

5.0V ~ 14V 入力, 3.0A 1ch 降圧 DC/DC コンバータ

BD9859EFJ

概要

かんたん降压スイッチングレギュレータパワー-MOSFET 内蔵タイプ BD9859EFJ は、主に 2 次側電源用途として、例えば 9V や 12V などの固定電源から 1.2V/1.8V/3.3V/5V 等の降压出力を作ることができます。

本 IC は 750kHz の高周波動作による外付けコイル/コンデンサの小型化、15V 耐圧の整流用 Nch-FET SW の内蔵、また電流モード制御による高速負荷応答、簡単な外部設定、位相補償システムを有しており、広い範囲の外付け定数にて小型の電源を簡単に作る事が可能です。

特長

- フィードバック電圧 1.0V±1.0%
- ソフトスタート機能内蔵
- 過電流保護回路、低入力誤動作防止回路、加熱保護回路内蔵
- EN 端子によるオン/オフ制御

用途

9V/12V ラインなどを持つ民生機器全般

基本アプリケーション回路

(入力 12V、出力 5.0V/2.5A)

重要特性

- 入力電圧範囲 5.0V～14V
- 出力電圧範囲 1.0V～0.7xVCC
- 出力電流 3.0A(Max)
- スイッチング周波数 750kHz(Typ)
- ハイサイド Nch FET オン抵抗 100mΩ(Typ)
- プリチャージ用 Nch FET オン抵抗 5Ω(Typ)
- スタンバイ電流 0μA(Typ)
- 動作温度範囲 -40℃～+85℃

パッケージ

W (Typ) x D (Typ) x H (Max)

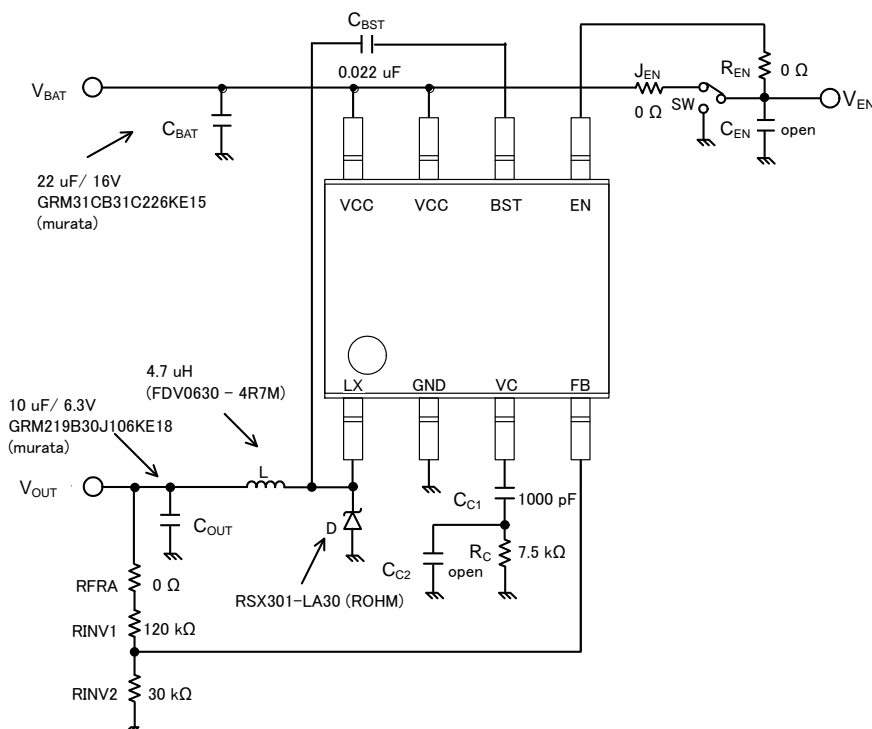
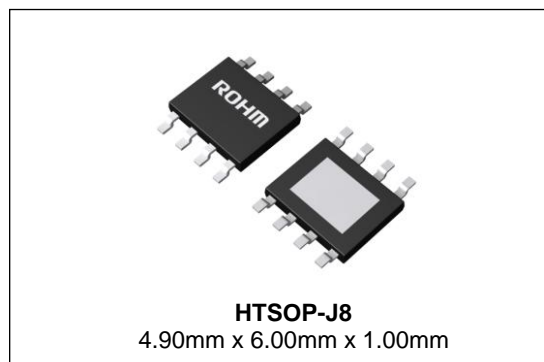


Figure 1. 基本アプリケーション回路

端子配置図

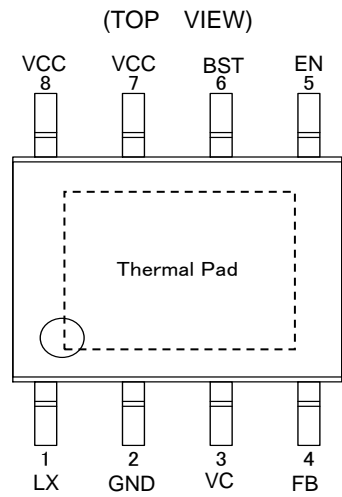


Figure 2. 端子配置図

端子説明

Pin No.	Pin Name	Function
1	LX	NMOSFET ソース端子。
2	GND	接地端子。
3	VC	エラーアンプ出力端子。
4	FB	出力電圧帰還端子。
5	EN	オン/オフ制御端子。
6	BST	ブートストラップ用コンデンサ接続端子。
7	VCC	電源電圧端子。
8	VCC	電源電圧端子。

ブロック図

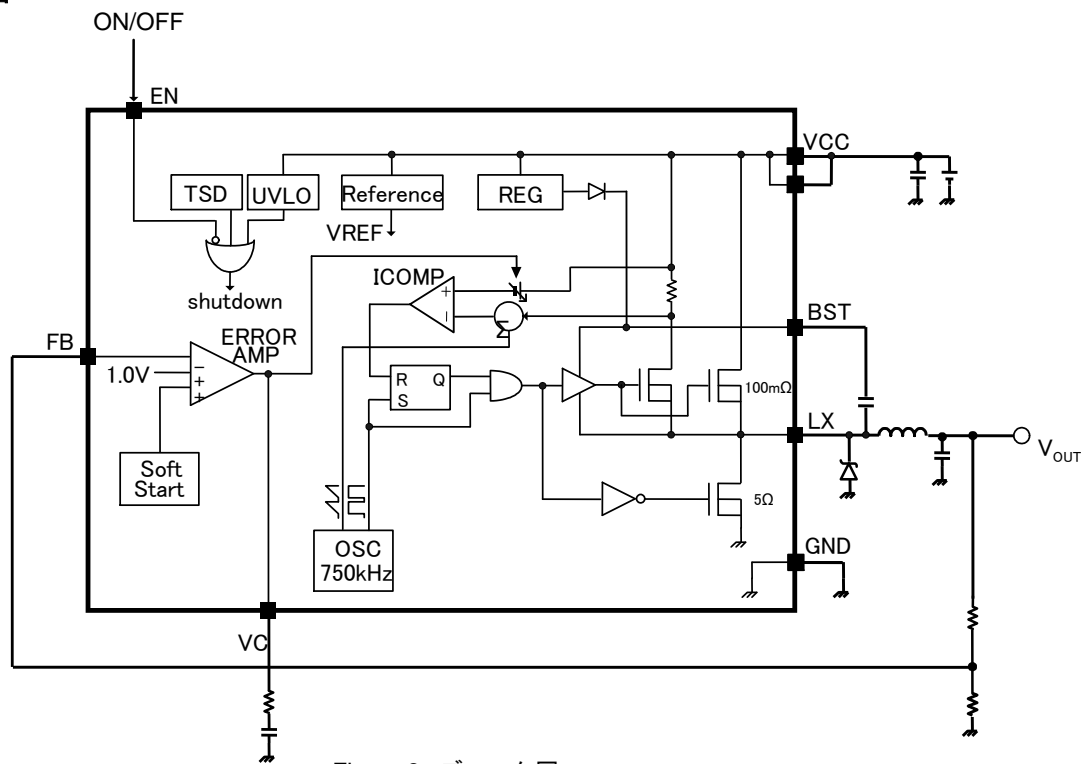


Figure 3. ブロック図

絶対最大定格

項目	記号	定格	単位
最大印加電源電圧	V _{CC}	15	V
BST-GND 間	V _{BST}	22	V
BST-LX 間	ΔV_{BST}	7	V
EN-GND 間	V _{EN}	15	V
LX-GND 間	V _{LX}	15	V
FB-GND 間	V _{FB}	7	V
VC-GND 間	V _C	7	V
ハイサイド NchFET ドレイン電流	I _{DH}	3	A
許容損失	P _d	3.76 ^(Note 1)	W
動作温度範囲	T _{opr}	-40~+85	°C
保存温度範囲	T _{stg}	-55~+150	°C
ジャンクション温度	T _{jmax}	150	°C

(Note 1) 70mm x 70mm x 1.6mm 4層基板(銅箔面積: 70mm x 70mm)実装時。1°C上昇する度に 30.08mW 減ずる。(25°C以上)

注意: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

推奨動作条件(Ta=25°C)

項目	記号	電圧範囲	単位
電源電圧	V _{CC}	5.0~14	V
出力電圧	V _{OUT}	1.0~0.7xV _{CC}	V

電気的特性

(特に指定のない限り、Ta=25°C、V_{CC}=12V、V_O=5V、V_{EN}=3V)

項目	記号	規格値			単位	条件
		最小	標準	最大		
【回路電流】						
スタンバイ時回路電流	I _{ST}	—	0	10	μA	V _{EN} =0V
動作時回路電流	I _{CC}	—	2.8	5.6	mA	V _{FB} =1.2V
【低電圧入力誤動作防止回路】						
検出スレッシュホールド電圧	V _{UV}	4.2	4.4	4.6	V	
ヒステリシス幅	V _{UVHY}	-	200	400	mV	
【発振器】						
発振周波数	f _{OSC}	675	750	825	kHz	
Max Duty Cycle	D _{MAX}	75	85	95	%	
【エラーアンプ】						
FB 端子スレッシュホールド電圧	V _{FB}	0.990	1.000	1.010	V	
FB 端子入力電流	I _{FB}	-1.0	0	+1.0	μA	V _{FB} =0V
相互コンダクタンス	G _M	70	140	280	μA/V	I _C =±10μA, V _C =1.5V
ソフトスタート時間	t _{SOFT}	2.0	4.0	6.0	ms	
【出力部】						
ハイサイド Nch FET オン抵抗	R _{ON_H}	—	100	200	mΩ	
プリチャージ用 Nch FET オン抵抗	R _{ON_L}	—	5	10	Ω	
過電流検出電流	I _{OCF}	3.5	5.5	—	A	
【CTL】						
EN 端子スレッシュホールド電圧	オン	V _{EN_ON}	2.0	—	14	V
	オフ	V _{EN_OFF}	-0.3	—	+0.3	V
EN 端子入力電流	I _{EN}	2.5	7.5	15	μA	V _{EN} =3V

特性データ(参考データ)

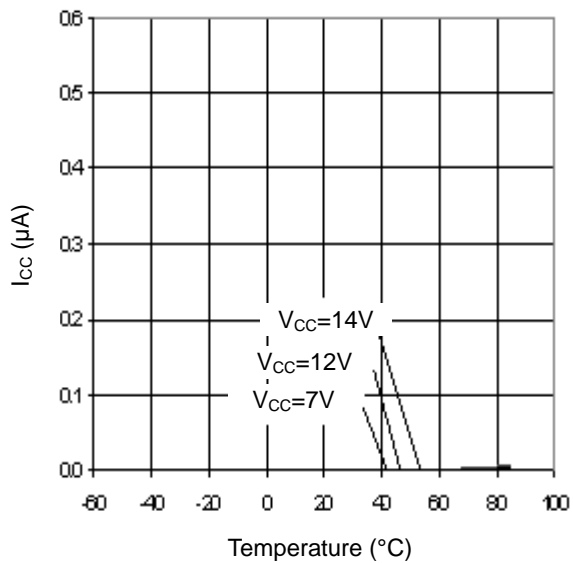
(特に指定のない限り、 $T_a=25^{\circ}\text{C}$, $V_{CC}=12\text{V}$, $V_O=5\text{V}$, $V_{EN}=3\text{V}$)

Figure 4. Standby Circuit Current vs Temperature

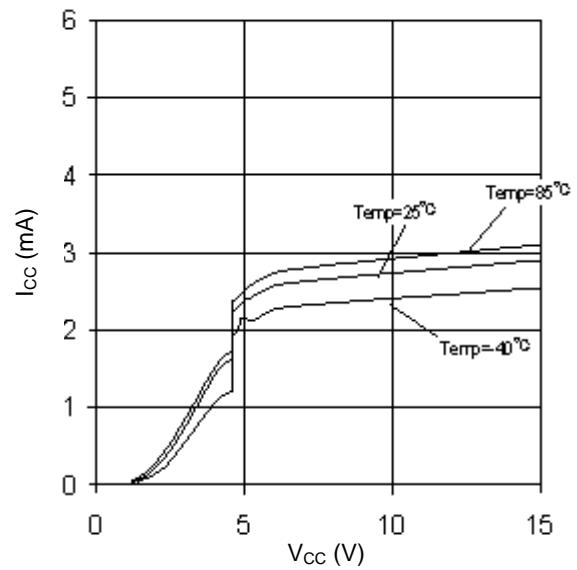
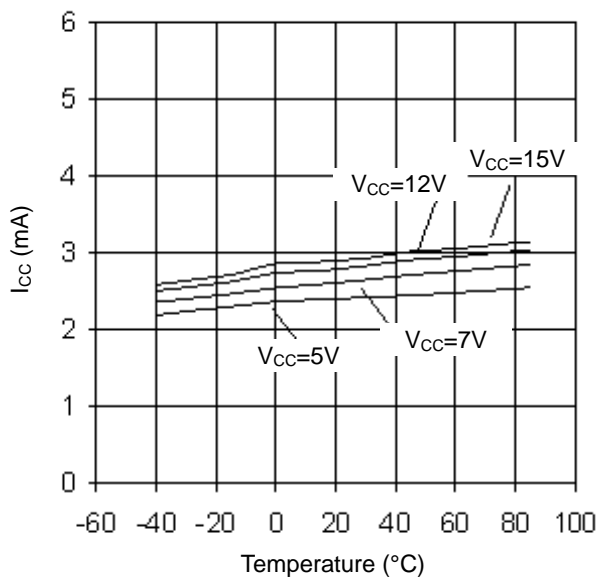
Figure 5. Circuit Current vs V_{CC} 

Figure 6. Circuit Current vs Temperature

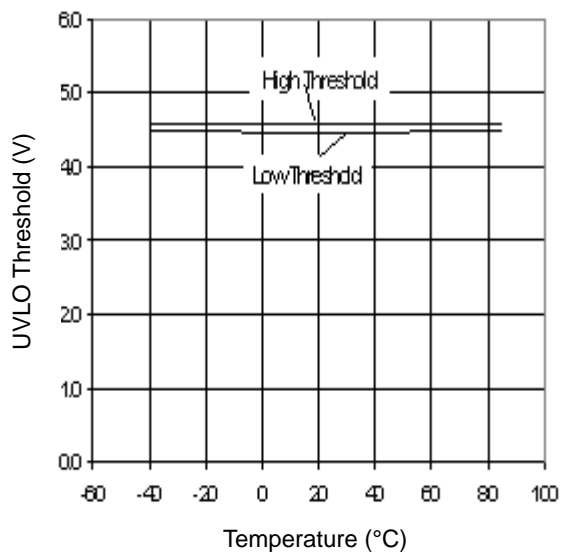


Figure 7. UVLO Threshold Voltage vs Temperature

特性データ(参考データ) - 続き

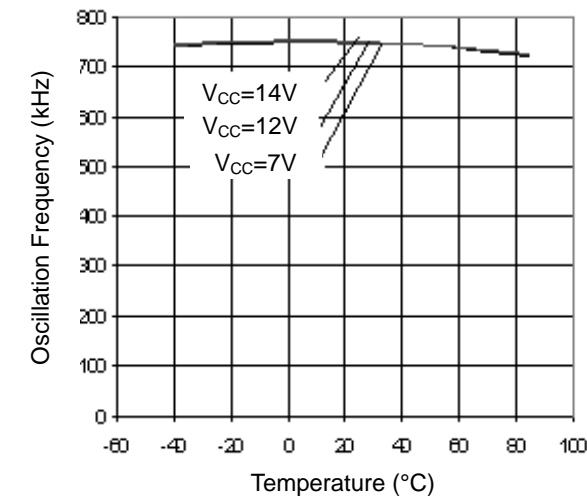


Figure 8. Oscillation Frequency vs Temperature

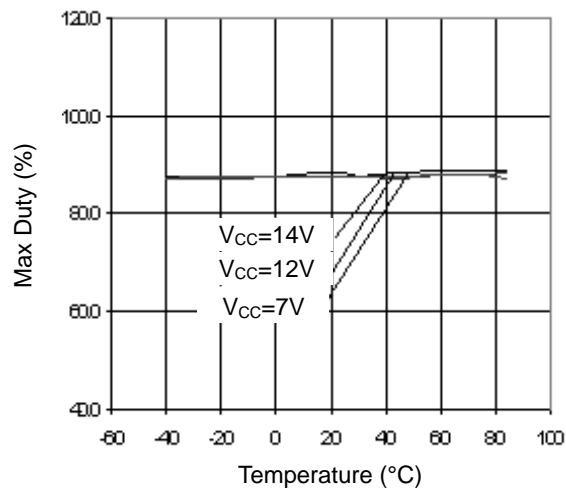


Figure 9. Maximum Duty Cycle vs Temperature

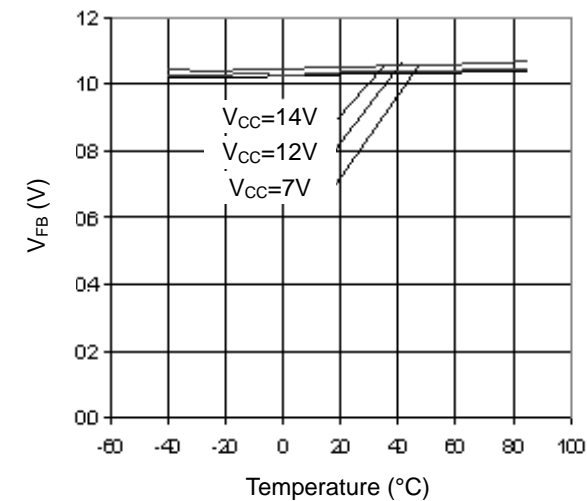


Figure 10. FB Threshold Voltage vs Temperature

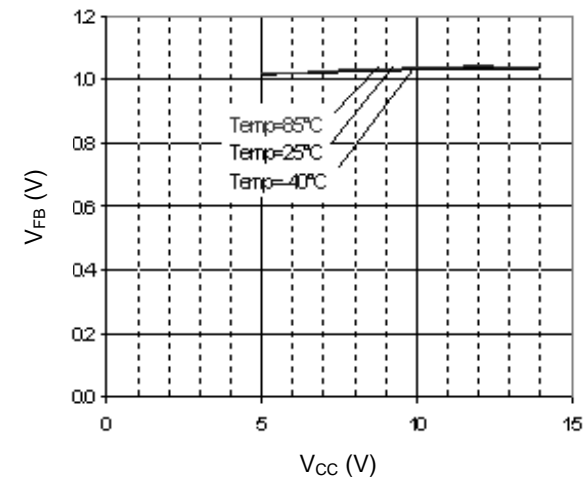


Figure 11. FB Threshold Voltage vs V_{CC}

特性データ(参考データ) - 続き

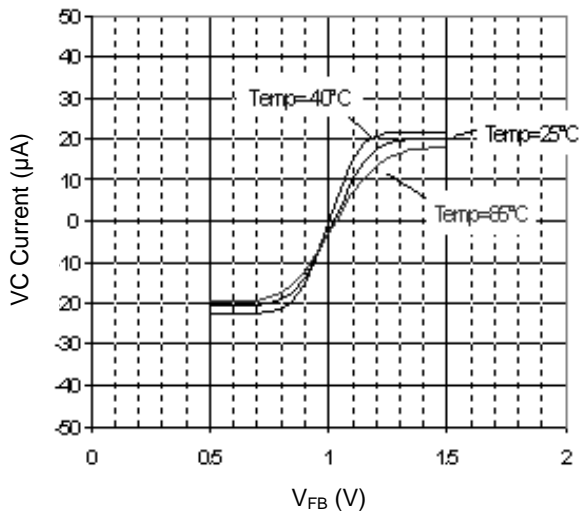


Figure 12. VC Current vs FB Voltage

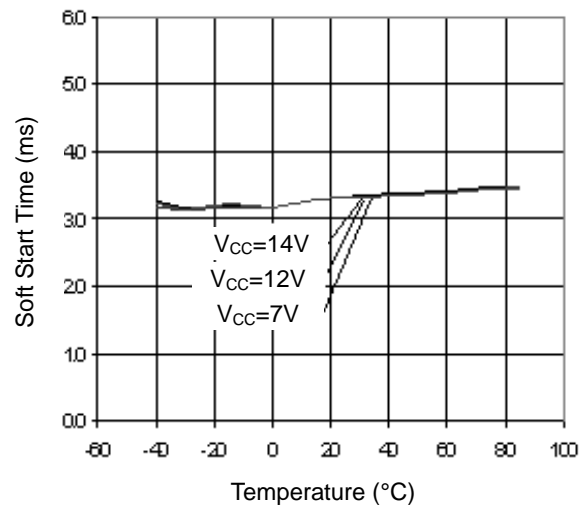


Figure 13. Soft Start Time vs Temperature

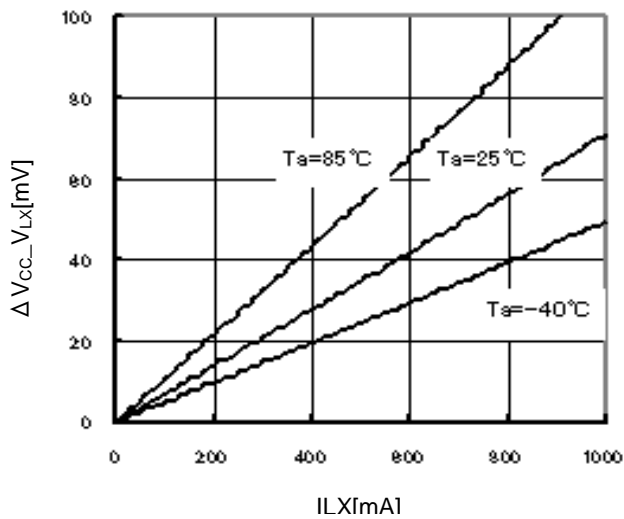


Figure 14. High Side FET ON-Resistance Temperature Characteristics

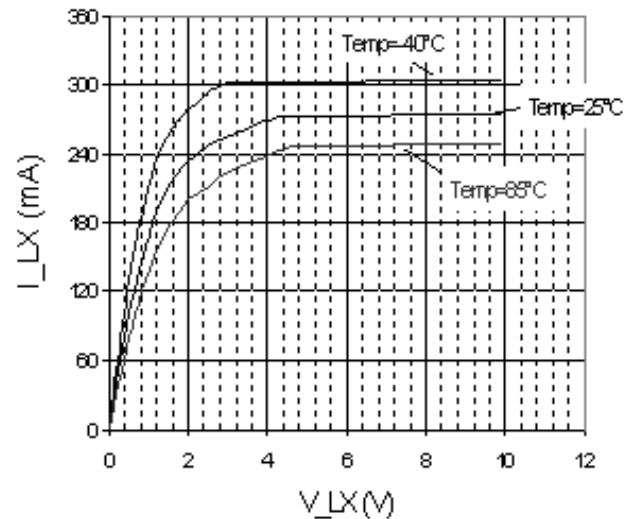


Figure 15. Low Side ON-Resistance Temperature Characteristics

特性データ(参考データ) - 続き

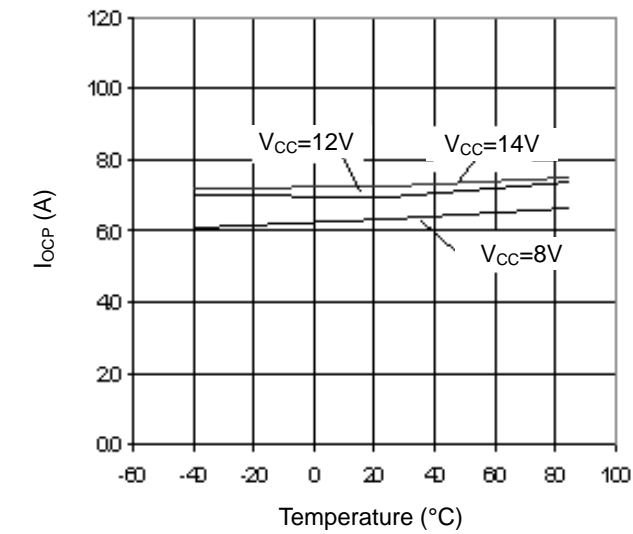


Figure 16. OCP Detect Current vs Temperature

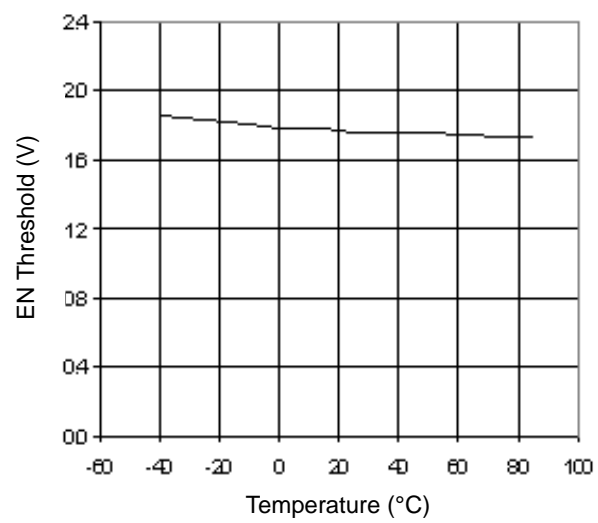


Figure 17. EN Threshold Voltage vs Temperature

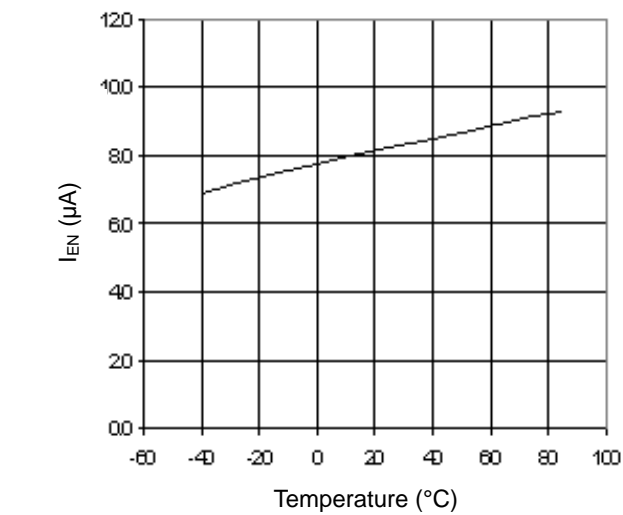
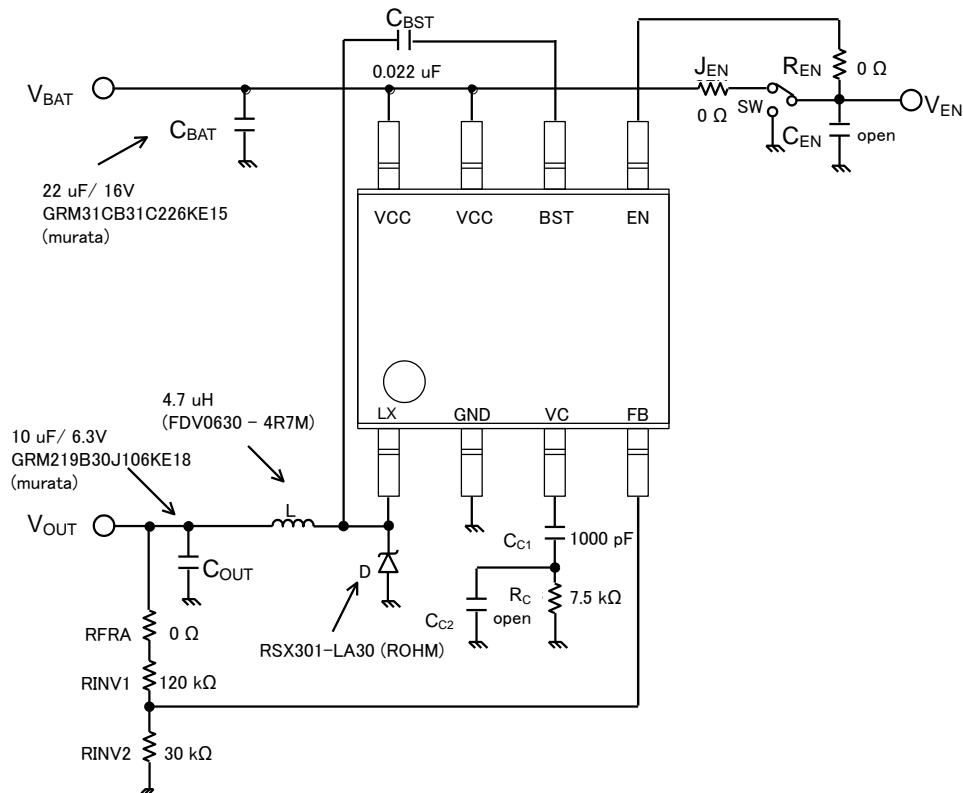


Figure 18. EN Pin Input Current vs Temperature

アプリケーション情報

1. アプリケーション回路例(入力 12V、出力 5.0V/2.5A)



2. ブロック説明

- (1) Reference
エラーアンプ基準電圧を生成するブロックです。
基準電圧は 1.0V となっています。
- (2) REG
ゲート駆動電圧生成及び内部回路電源用 5V 低飽和 regulator です。
- (3) OSC
動作周波数が 750kHz 固定のこぎり波発振回路です。
- (4) Soft Start
DC/DC コンバータの出力電圧にソフトスタートをかけ、起動時の突入電流を防ぐ回路です。ソフトスタート時間は IC 内部で設定しており、EN 端子を立ち上げてから 4mSec 後に基準電圧が 1.0V に到達し、出力電圧が設定電圧となります。
- (5) ERROR AMP
出力信号を検出し、PWM 制御信号を出力する誤差増幅器です。
内部基準電圧は 1.0V に設定されています。
また本エラーアンプの出力(VC)端子 GND 間に位相補償素子として C、R を接続します。(P.13 参照)
- (6) ICOMP
入力電圧に応じて出力電圧をコントロールする、電圧-パルス幅変換器です。
誤差増幅器出力電圧と、内部 SLOPE 波形に FET SW の電流に応じた電圧を加算した電圧を比較して出力パルスの幅を制御し、ドライバへ出力します。
- (7) Nch FET SW
DC/DC コンバータのコイル電流を切り換える内蔵整流 SW です。
15V 耐圧 100mΩSW を内蔵しております。
本 FET の電流定格は 3.0A となっておりますので DC 電流+コイルのリプル電流を含め 3.0A 以内で使用してください。

(8) UVLO

低電圧誤動作防止回路です。

電源電圧の立ち上がり時、及び電源電圧低下時の内部回路の誤動作を防止します。

VCC 端子電圧及び内部 REG 電圧をモニタしており、VCC 電圧が 4.4V 以下となると出力 FET をすべてオフとし DC/DC コンバータ出力をオフにして、ソフトスタート回路がリセットされます。

なお本スレッシュホールドは 200mV のヒステリシスを有しています。

(9) TSD

加熱保護(温度保護)回路です。

最大接合部温度($T_j=150^{\circ}\text{C}$)を超える異常な温度を検知すると、出力 FET をすべてオフとし DC/DC コンバータ出力をオフにします。温度が低下すると、ヒステリシスを持って自動復帰します。

(10) EN

EN 端子(5pin)に印加する電圧で、IC のオン/オフをコントロールできます。

2.0V 以上の電圧を印加するとオン、オープンもしくは 0V 印加でオフとなります。

端子には約 400k Ω のプルダウン抵抗が内蔵されています。

3. 参考アプリケーションデータ(参考応用回路例)

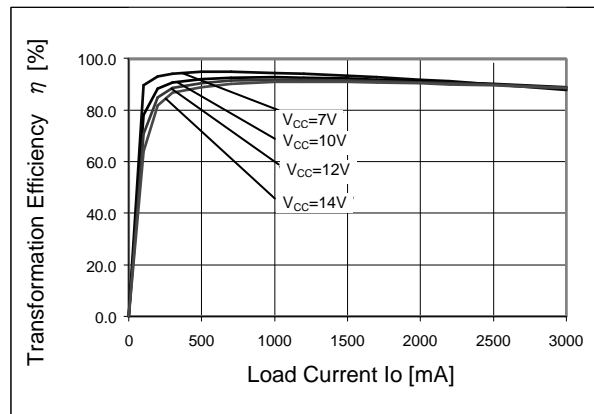
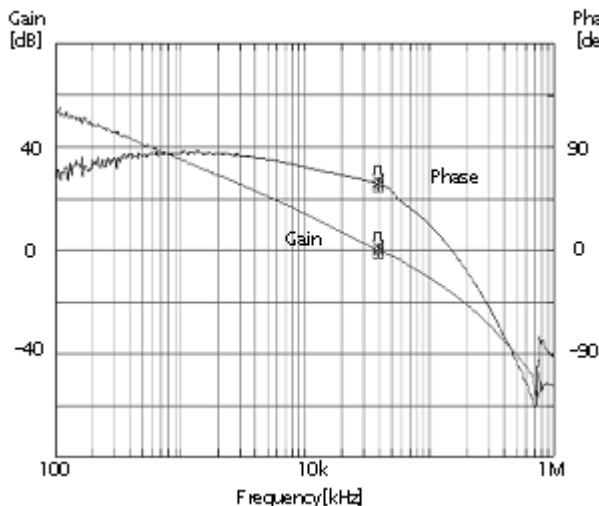
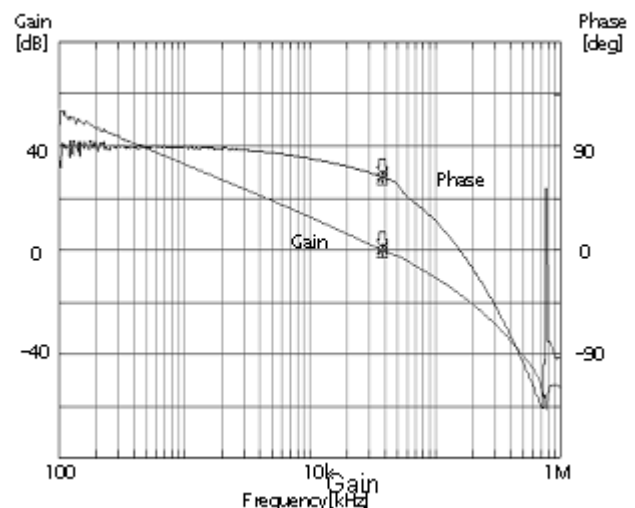


Figure 19. 効率データ

Figure 20. 周波数特性($I_O=1.5\text{A}$)Figure 21. 周波数特性($I_O=3.0\text{A}$)

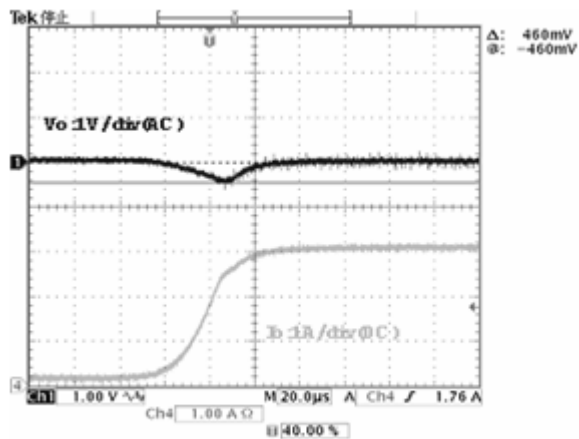


Figure 22. 負荷応答
($I_o=0A \rightarrow 3A$)

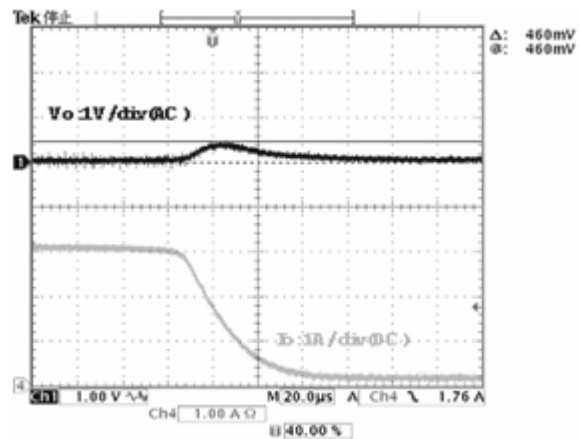


Figure 23. 負荷応答
($I_o=3A \rightarrow 0A$)

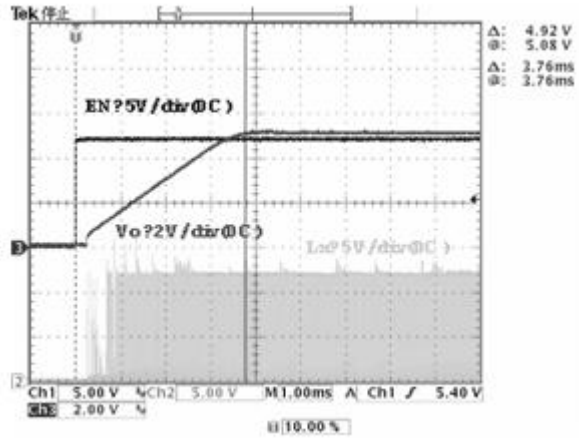


Figure 24. 起動波形

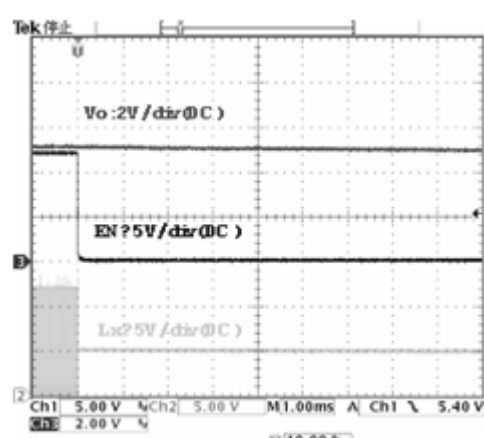


Figure 25. 停止波形

4. 評価基板パターン(参考)

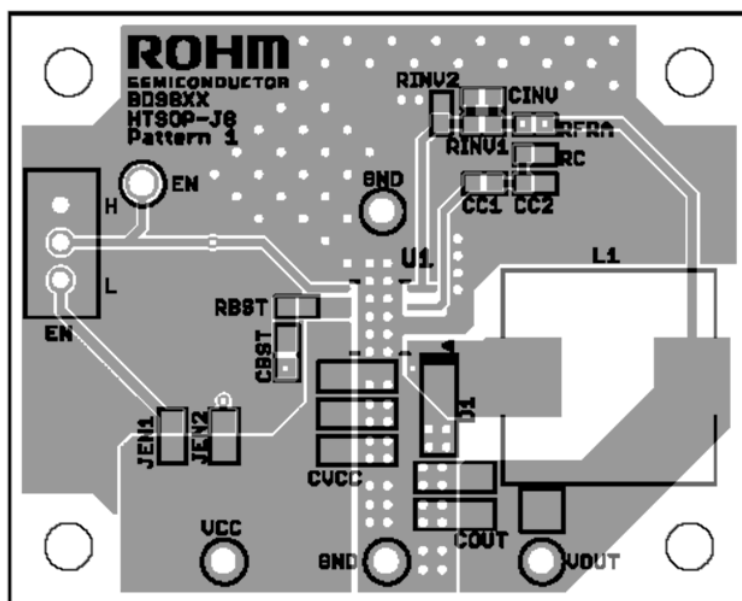


Figure 26. 評価基板パターン

- (1) 裏面の放熱板は低インピーダンスの GND 平面としてください。
- (2) VCC、LX、PGND のラインには大電流が流れますのでできるだけ太いパターンを作製してください。

5. アプリケーション部品選定方法

(1) インダクタ

電流定格(下記電流値 I_{pecac})を満たし、DCR(直流抵抗成分)が低く、シールドタイプのものを推奨いたします。

インダクタの値はインダクタリプル電流に影響し、出力リップルの原因となります。

このリップル電流は以下の式のようにコイルのL値が大きいほど、またスイッチング周波数が高いほど小さくすることができます。

$$I_{PEAK} = I_{OUT} + \Delta I_L / 2 \quad [A] \quad (1)$$

$$\Delta I_L = \frac{V_{IN} - V_{OUT}}{L} \times \frac{V_{OUT}}{V_{IN}} \times \frac{1}{f} \quad [A] \quad (2)$$

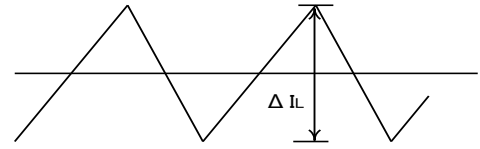


Figure 27. インダクタ電流

η : 効率
 ΔI_L : 出力リップル電流
 f : スwitchング周波数

インダクタリプル電流の設計値は、最大入力電流の 20%~50%程度を目安として設計を行ってください。

コイルの定格を超える電流をコイルに流しますとコイルが磁気飽和を起こし、効率の低下や出力の発振を引き起こすことがあります。ピーク電流がコイルの定格電流を超えないよう十分なマージンをもって選定してください。

(2) 出力コンデンサ

出力に使用するコンデンサは出力リップルを軽減するため、ESR の低いセラミックコンデンサを推奨いたします。

また、コンデンサの定格は DC バイアス特性を考慮にいれたうえ、最大定格が出力電圧に対して十分マージンのあるものを使用してください。

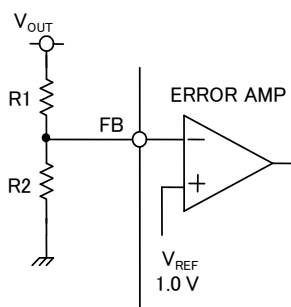
出力リップル電圧は次式より求められます。

$$V_{pp} = \Delta I_L \times \frac{1}{2\pi \times f \times C_O} + \Delta I_L \times R_{ESR} \quad [V] \quad (3)$$

許容リップル電圧内に収まるよう設定を行ってください。

(3) 出力電圧設定

ERROR AMP の内部基準電圧は 1.0V となっています。出力電圧は(4)式のように決定されます。



$$V_O = \frac{(R1 + R2)}{R2} \times 1.0 \quad [V] \quad (4)$$

Figure 28. 電圧帰還抵抗設定方法

(4) ブーストコンデンサ

BST 端子-LX 端子間に、ゲート駆動電圧生成 REG(5V)の出力容量として $C_{BST}=0.022\mu F$ (積層セラミックコンデンサ)を接続してください。

(5) DC/DC コンバータ周波数特性の調整について

位相補償素子 C_{C1} 、 C_{C2} 、 R_C の役割 (P.8 参考アプリケーション回路例参照)

ループの安定性と応答性は、エラーアンプの出力である VC 端子を通して制御されます。

安定性と応答性を決めるポールとゼロの組み合わせを、VC 端子に直列に接続されたコンデンサと抵抗との組み合わせで調整します。

電圧帰還ループの DC ゲインは、次の式によって計算できます。

$$Adc = R_I \times G_{CS} \times A_{EA} \times \frac{V_{FB}}{V_{OUT}}$$

V_{FB} = フィードバック電圧(1.0V)

A_{EA} = 誤差増幅器の電圧ゲイン(設計値 : 60dB)

G_{CS} = 電流検出のトランスコンダクタンス(設計値 : 6A/V)

R_I = 出力負荷抵抗値

本 DC/DC の制御ループには、2 つの重要なポールがあります。

一つは、位相補償コンデンサ(C_{C1})と誤差増幅器の出力抵抗とによって生じます。

もう一つは、出力コンデンサと負荷抵抗によって生じます。

これらのポールは、下記の周波数に現れます。

$$f_{p1} = \frac{G_{EA}}{2\pi \times C_{C1} \times A_{EA}}$$

$$f_{p2} = \frac{1}{2\pi \times C_{OUT} \times R_I}$$

G_{EA} = 誤差増幅器のトランスコンダクタンス(設計値 : 140μA/V)

ここで、この制御ループでは、一つのゼロが重要となります。

位相補償コンデンサ C_{C1} と位相補償抵抗 R_C によって生じるゼロで、下記の周波数に現れます。

$$f_{z1} = \frac{1}{2\pi \times C_{C1} \times R_C}$$

また、もし出力コンデンサが大きい、かつその ESR(R_{ESR})が大きい場合は、この制御ループでは、重要な別のゼロ(ESR ゼロ)を持つ場合があります。

この ESR ゼロは、出力コンデンサの ESR と容量によって生じ、下記の周波数に存在します。

$$f_{ZESR} = \frac{1}{2\pi \times C_{OUT} \times R_{ESR}}$$

(ESR ゼロ)

この場合、2 つめの位相補償コンデンサ(C_{C2})と位相補正抵抗(R_C)とで決定される 3 番目のポールを、ループゲイン上の ESR ゼロの効果を補正するために使用します。

このポールは下記の周波数に存在します。

$$f_{p3} = \frac{1}{2\pi \times C_{C2} \times R_C}$$

(ESR ゼロを補正するポール)

位相補償設計の目標は、必要な帯域と位相余裕を得るための伝達関数を形作ることです。

帰還ループのループゲインが"0"となるクロスオーバー周波数(帯域)は重要です。

クロスオーバー周波数が低くなると、電源変動応答や負荷応答が悪化します。

一方、クロスオーバー周波数が高すぎると、ループの不安定性を生じる事があります。

目安としては、クロスオーバー周波数をスイッチング周波数の 1/20 とすることを目標とします。

位相補償定数の選定方法を、下記に示します。

- (a) 希望するクロスオーバー周波数にセットするために位相補償抵抗(R_C)を選択します。
 R_C の計算は下記の式で行います。

$$R_C = \frac{2\pi \times C_{OUT} \times f_C}{G_{EA} \times G_{CS}} \times \frac{V_{OUT}}{V_{FB}} < \frac{2\pi \times C_{OUT} \times 0.1 \times f_s}{G_{EA} \times G_{CS}} \times \frac{V_{OUT}}{V_{FB}}$$

ここで、 f_C は希望するクロスオーバー周波数です。通常スイッチング周波数(f_s)の 1/20 程度にします。

- (b) 希望する位相余裕を達成するために位相補償コンデンサ(C_{C1})を選択します。
 代表的なインダクタンス値(数 μH ~20 μH 程度)をもつアプリケーションでは、クロスオーバー周波数の 1/4 以下に補償のゼロをあわせることで、十分な位相余裕が得られます。 C_{C1} は次の式で計算できます。

$$C_{C1} > \frac{4}{2\pi \times R_C \times f_C}$$

R_C = 位相補償抵抗

- (c) 2 つめの位相補償コンデンサ C_{C2} が必要かどうかの検討を行います。
 もし出力コンデンサの ESR ゼロがスイッチング周波数の半分より小さいところに存在した場合は、2 つめの位相補償コンデンサが必要となります。つまり、下記の式がなりたった場合です。

$$\frac{1}{2\pi \times C_{OUT} \times R_{ESR}} < \frac{f_s}{2}$$

この場合は、2 つめの位相補償コンデンサ C_{C2} を追加して、ESR ゼロの周波数 f_{p3} に 3 番めのポールの周波数をあわせませます。

C_{C2} は次の式から求めます。

$$C_{C2} = \frac{C_{OUT} \times R_{ESR}}{R_C}$$

入出力等価回路図

Pin. No	端子名	端子等価回路図	Pin. No	端子名	端子等価回路図
1 2 6 7 8	LX GND BST VCC VCC		4	FB	
3	VC		5	EN	

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源－グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬけが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、許容損失を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

使用上の注意 — 続き

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

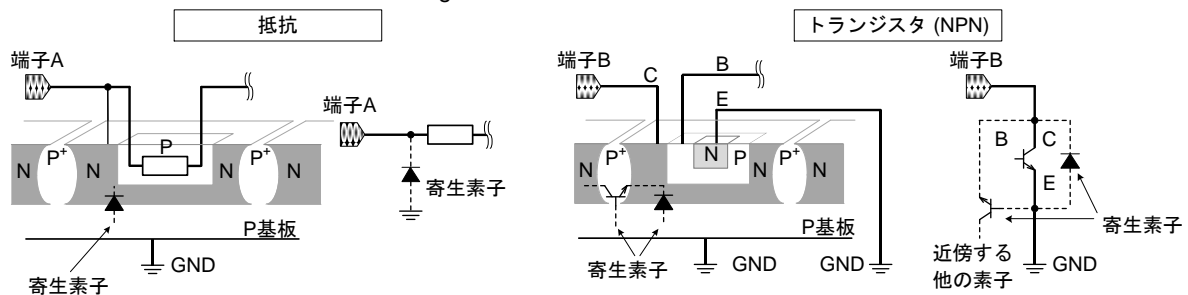
例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND>(端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

Figure 29. モノリシック IC 構造例



13. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計等は、絶対に避けてください。

14. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

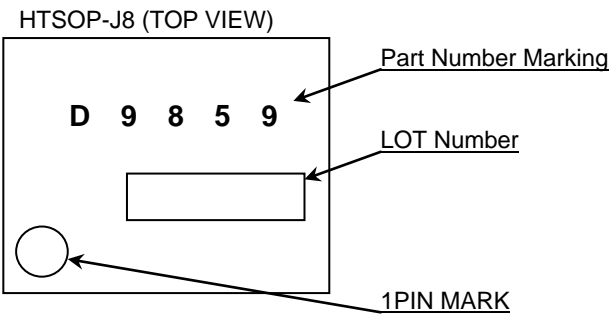
15. ハイサイド NchFET について

本 FET の電流定格は 2.0A となっておりますので、出力電流にコイルのリプル電流を含めて 2.0A 以内で使用してください。

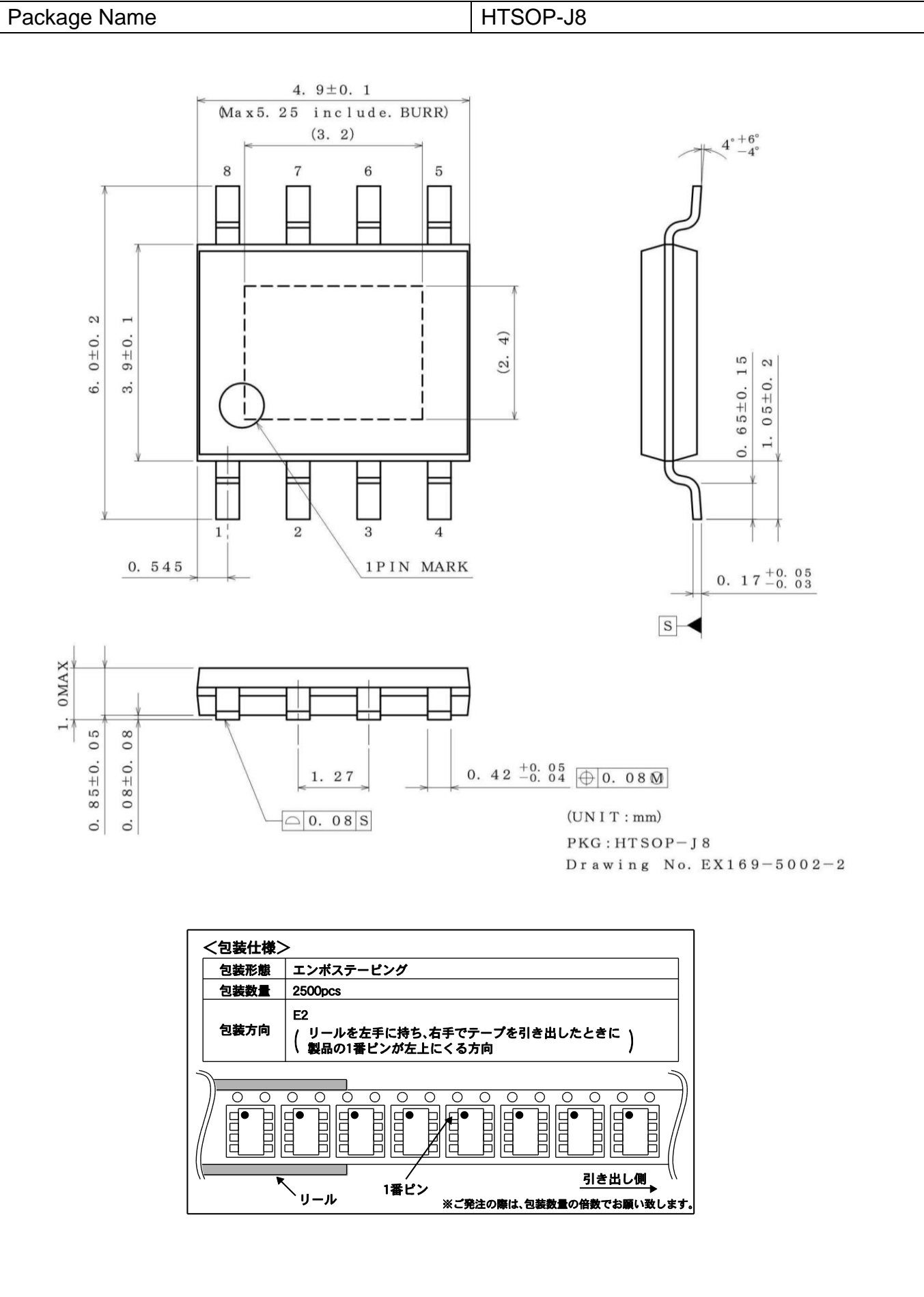
発注形名情報

B D 9 8 5 9 E F J						-	E 2	
形名						パッケージ	包装、フォーミング仕様	
						EFJ : HTSOP-J8	E2: リール状エンボステレーピング	

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	Revision	改定内容
2014.11.04	001	新規作成
2016.01.22	002	P1.(重要特性)出力電圧範囲 : 1.0V ⇒ 1.0V~0.7xVCC P3.(推奨動作条件)出力電圧 : 1.0 ⇒ 1.0~0.7xVCC

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。