

TFT 電源 LSI シリーズ

車載パネル向けシステム電源 IC

BD81842MUV-M

●概要

BD81842MUV-M は TFT 液晶パネルを使うカーナビゲーション、車載センターディスプレイ及びインストルメント・クラスタ向けのシステム電源です。許容電力の大きなパッケージに、低抵抗で大電流を流せる FET を内蔵しており、発熱無しで大電流の負荷が引けます。チャージポンプコントローラも内蔵されており、アプリケーション点数の削減に貢献いたします。また、ゲートシェーディング機能も内蔵しております。

●重要特性

- 入力電圧範囲 : 2.0V to 5.5V
- AVDD 出力電圧範囲 : 6.0V to 18V
- SRC 出力電圧範囲 : 12V to 34V
- VCOM ショート電流 : 200mA (Typ.)
- 発振周波数 : 2.1MHz (Typ.)
- 動作温度範囲 : -40°C to +105°C

●特殊特性

- FB 基準電圧 : $\pm 3\%$ ($T_a = -40 \sim 105^\circ\text{C}$)
- 発振周波数 : $\pm 10.5\%$ ($T_a = -40 \sim 105^\circ\text{C}$)

●アプリケーション回路

●用途

カーナビゲーション、車載センターディスプレイ及びインストルメント・クラスタ向け TFT-LCD パネル用電源

●特長

- AEC-Q100 対応^(Note 1)
- 昇圧 DC/DC コンバータ; 18 V/2.5 A スイッチ電流出力
- 発振周波数: 2.1 MHz
- オペアンプ (ショート電流 200mA)
- 正 / 負 チャージポンプコントローラ
- ゲートシェーディング
- 保護回路:
 - 低電圧誤動作防止回路
 - 熱保護回路 (ラッチモード)
 - 過電流保護回路 (AVDD)
 - タイマラッチ型ショート保護回路(SCP)
 - SCP 無効時間内蔵 (UVLO オフから 185ms)

(Note1: Grade 2)

●パッケージ

VQFN24SV4040

W(Typ.) x D(Typ.) x H(Max.)
4.0mm x 4.0mm x 1.0mm

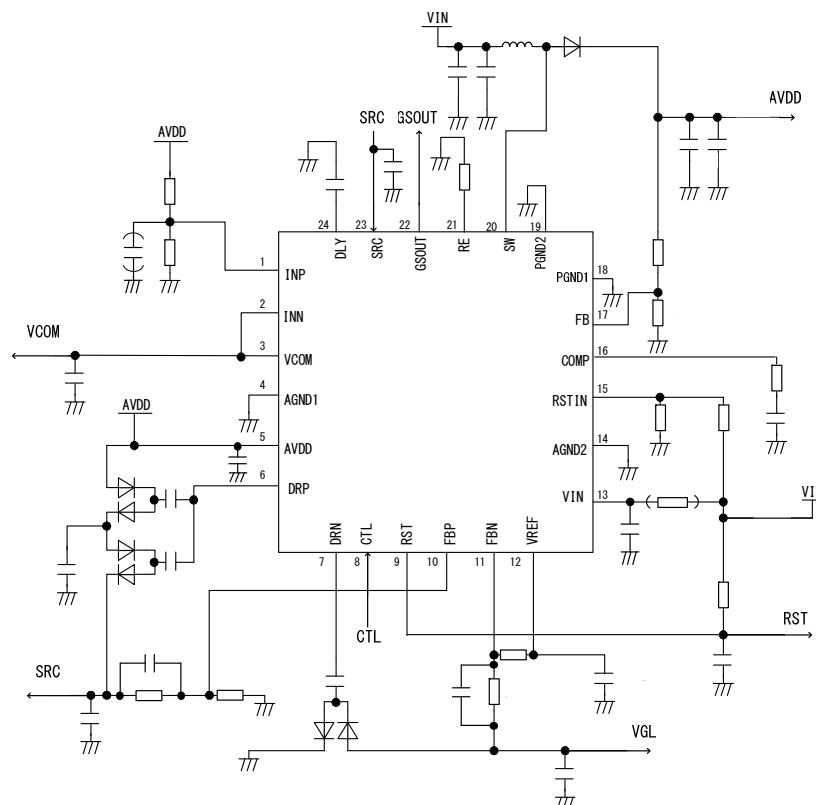


Figure 1. アプリケーション回路

目次

●概要	1
●重要特性	1
●特殊特性	1
●用途	1
●特長	1
●端子配置図	3
●端子説明	3
●ブロック図	4
●主要ブロック機能	5
●絶対最大定格	6
●熱抵抗	6
●推奨動作条件	6
●電気的特性	7
●電気的特性曲線	9
●応用回路例	15
●入出力シーケンス	16
●保護機能について	17
●Reset 機能について	17
●ゲートシェーディング機能について	18
●アプリケーション部品選定方法	19
●PCB レイアウトの注意点	24
●入出力等価回路図	26
●使用上の注意	27
●発注形名情報	29
●標印図	29
●外形寸法図と包装・フォーミング仕様	30
●改訂履歴	31

●端子配置図 (TOP VIEW)

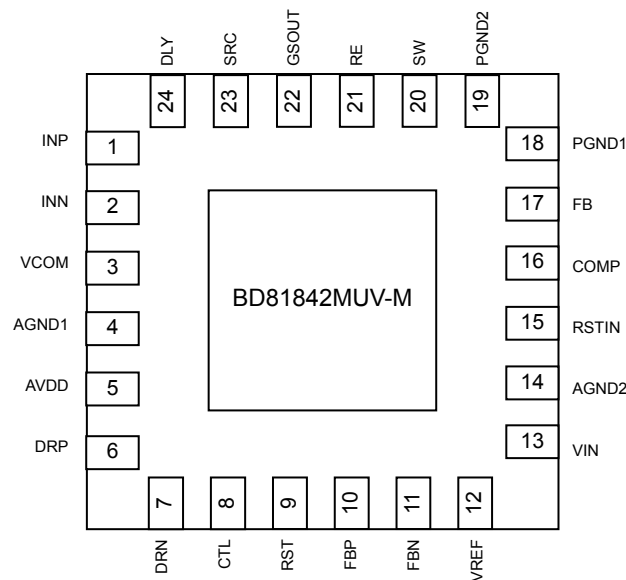


Figure 2. 端子配置図

●端子説明

Pin No.	端子名	機能
1	INP	VCOM アンプ入力 (+)
2	INN	VCOM アンプ入力 (-)
3	VCOM	VCOM アンプ出力
4	AGND1	GND
5	AVDD	アンプとチャージポンプ用供給電圧入力
6	DRP	正チャージポンプのドライブ端子
7	DRN	負チャージポンプのドライブ端子
8	CTL	高電圧スイッチコントロール端子
9	RST	オープンドレインリセット出力
10	FBP	正チャージポンプ基準電圧
11	FBN	負チャージポンプ基準電圧
12	VREF	基準電圧出力
13	VIN	PWM 用供給電圧
14	AGND2	GND
15	RSTIN	リセットコンパレータ入力
16	COMP	昇圧エラーアンプ出力
17	FB	昇圧 DC/DC 基準電圧
18	PGND1	昇圧 FET 用 GND
19	PGND2	昇圧 FET 用 GND
20	SW	昇圧 DC/DC スイッチング端子
21	RE	高電圧スイッチ用電圧引き抜き端子
22	GSOUT	高電圧スイッチ用出力端子
23	SRC	高電圧スイッチ用供給電圧入力
24	DLY	高電圧スイッチ用遅延設定端子

●ブロック図

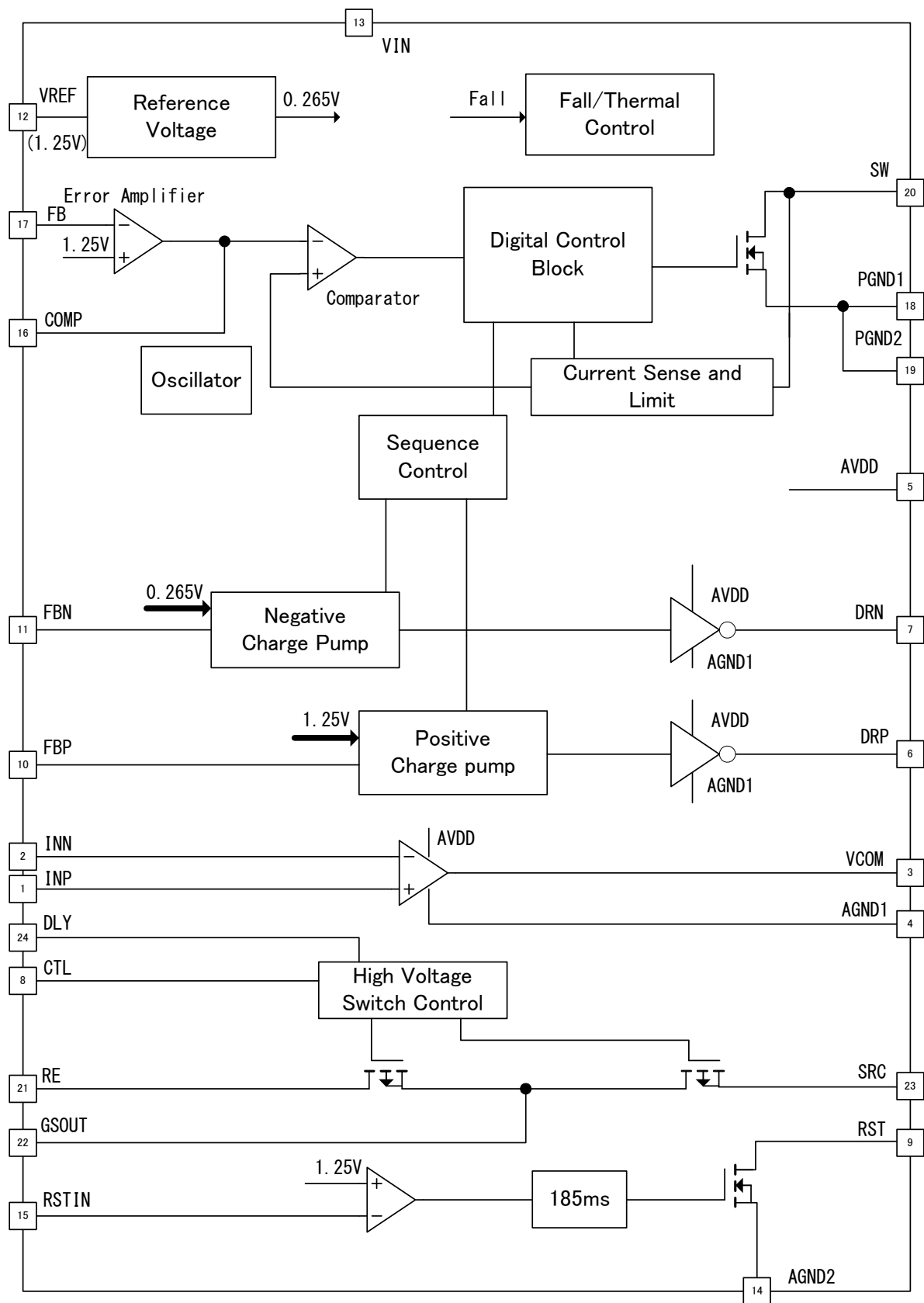


Figure 3. 主要ブロック図

●主要ブロック機能

- ・昇圧コンバータ
DC/DC 昇圧用のコントロール回路です。
FB 端子電圧が 1.25V になるように SW のデューティが制御されます。
- ・正チャージポンプ
正チャージポンプ用コントロール回路です。
FBP 端子電圧が 1.25V になるように DRP の振幅が制御されます。
- ・負チャージポンプ
負側チャージポンプ用コントロール回路です。
FBN 端子電圧が 0.265V になるように DRN の振幅が制御されます。
- ・ゲートシェーディングコントローラ
P-MOS FET で構成されたスイッチ回路です。
GSOUT スイッチングは CTL 入力と同期して動作します。
CTL 端子には VIN 以下の電圧を入力してください。
VIN が UVLO シュレッシュホールドもしくは、RST=Low(=RSTIN<1.25V)下で落ちた時、
GSOUT は High(=SRC)に引き上げられます。
- ・VCOM
1CH のオペアンプブロックです。
- ・Reset
オープンドレインタイプの出力である RST 端子は、
RSTIN 端子の論理により(RSTIN>1.25V→RST=OFF)、ON/OFF(=Low/High)します。
ただし、電源投入から 185ms(Typ.)までは、RSTIN の論理に因らず High を出力します。
(RST 端子は通常 VIN にプルアップして使用してください。)
- ・VREF
内部基準電圧 1.25V(Typ.)を発生させるブロックです。
サーマル/ショート保護が回路をシャットダウンしても、VREF は出力を維持します。
- ・TSD/UVLO/OVP/UVF
サーマルシャットダウン回路は IC 内部温度が 160°C (Typ.)以上で、IC をシャットダウンさせます。
低電圧誤作動防止回路は VIN が 1.85 V (Typ.)以下の時、IC をシャットダウンさせます。
過電圧保護回路は AVDD が 20 V (Typ.)以上の時、IC をシャットダウンさせます。
低電圧保護回路は、AVDD が 1.3 V (Typ.)以下の時、IC をシャットダウンさせます。
- ・Start-up コントローラ
起動シーケンス生成回路です。
VIN の投入により、VIN→VGL→AVDD→SRC の順に出力するように制御されます。
(16 ページの Fig.27 を参照してください)

●絶対最大定格(Ta= 25°C)

項目	記号	定格			単位
		最小	標準	最大	
電源電圧	VIN	-0.3	-	7	V
出力端子	AVDD, SW, DRP, DRN, VCOM	-0.3	-	20	V
	SRC, GSOUT, RE	-0.3	-	36	V
	RST, COMP, VREF	-0.3	-	7	V
	SRC – GSOUT	-0.3	-	40	V
入力端子	FB, FBP, FBN	-0.3	-	VIN+0.3	V
	INN, INP	-0.3	-	20	V
機能端子電圧	RSTIN, DLY, CTL	-0.3		VIN+0.3	V
最大接合部温度	Tjmax	-	-	150	°C
動作温度範囲	Topr	-40	-	105	°C
保存温度範囲	Tstg	-55	-	150	°C

●熱抵抗 (Note 2)

項目	記号	熱抵抗 (Typ)		単位
		1 層基板 ^(Note 4)	4 層基板 ^(Note 5)	
VQFN24SV4040				
ジャンクションー周囲温度間熱抵抗	θ_{JA}	150.6	37.9	°C/W
ジャンクションーパッケージ上面中心間熱特性パラメータ ^(Note 3)	Ψ_{JT}	20	9	°C/W

(Note 2) JESD51-2A(Still-Air)に準拠。

(Note 3) ジャンクションからパッケージ(モールド部分)上面中心までの熱特性パラメータ。

(Note 4) JESD51-3に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mm

1層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70μm

(Note 5) JESD51-5, 7に準拠した基板を使用。

測定基板	基板材	基板寸法	サーマルビア ^(Note 6)	
			ピッチ	直径
4層	FR-4	114.3mm x 76.2mm x 1.6mm	1.20mm	Φ0.30mm

1層目 (表面) 銅箔		2層目、3層目 (内層) 銅箔		4層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン +電極引出し用配線	70μm	74.2mm□(正方形)	35μm	74.2mm□(正方形)	70μm

(Note 6) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

●推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	VIN	2.0	-	5.5	V
出力端子	AVDD	6	-	18	V
	SRC	12	-	34	V

●電気的特性 (特に記載のない限り VIN = 3.3V, AVDD = 10V and Ta=25°C)

項目	記号	規格値			単位	条件
		最小	標準	最大		
全体						
回路電流	I _{VIN}	-	1.2	3	mA	スイッチング動作無 Ta=-40～105℃
低電圧保護閾値	V _{UVLO}	1.75	1.85	1.95	V	V _{IN} 立上り Ta=-40～105℃
内部参考出力電圧	V _{REF}	1.225	1.25	1.275	V	無負荷 Ta=25℃
		1.2125	1.25	1.2875	V	無負荷 Ta=-40～105℃
熱保護 (上昇)	TSD	-	160	-	℃	ジャンクション温度
ショート保護時間	T _{SCP}	51	63	75	ms	FB, FBP, FBN の いずれかが Low
昇圧コンバータ (AVDD)						
FB 基準電圧	V _{FB}	1.2375	1.25	1.2625	V	Ta=25℃
		1.2125	1.25	1.2875	V	Ta=-40～105℃
FB 低電圧領域	V _{TL_FB}	0.9	1.0	1.1	V	V _{FB} 立下り
FB 入力バイアス電流	I _{FB}	-	0.1	2	μA	FB= 1.5V Ta=-40～105℃
SW リーク電流	I _{SW_L}	-	0	10	μA	SW=20V Ta=-40～105℃
最大デューティーサイクル	M _{DUTY}	85	90	95	%	FB= 1.0V
SW ON 抵抗	R _{SW}	-	200	250	mΩ	SW= 200mA
SW 端子の過電流保護電流	I _{SWLIM}	2.5	4.5	6.5	A	Ta=-40～105℃
過電圧保護	V _{OVF}	18	20	22	V	AVDD 立上り
低電圧保護	V _{UVP}	1	1.3	3	V	AVDD 立下り
昇圧ソフトスタート	T _{SS_FB}	12.5	15.5	18.5	ms	Ta=-40～105℃
発振周波数	F _{SW}	1.9	2.1	2.3	MHz	Ta=25℃
		1.88	2.1	2.32	MHz	Ta=-40～105℃
リセット						
RST 出力低電圧	V _{RST}	-	0.05	0.2	V	RST =1.2mA
RSTIN 閾値電圧	V _{TH_L}	1.18	1.25	1.32	V	RSTIN 立上り Ta=-40～105℃
RSTIN 入力電流	I _{RSTIN}	-	0	6	μA	RSTIN=0 to V _{IN} -0.3 Ta=-40～105℃
RST 端子の High 固定時間	T _{NO_SCP}	165	185	205	ms	UVLO 解除から Ta=-40～105℃
オペアンプ						
入力範囲	V _{RANGE}	0	-	AVDD	V	
オフセット電圧	V _{OS}	-	2	15	mV	INP= 5.0V
入力電流	I _{INP}	-	0	3	μA	INP= 5.0V Ta=-40～105℃
出力スイッチング電圧 (INP= 5.0V)	V _{OH}	-	5.03	5.06	V	V _{COM} = +50mA
	V _{OL}	4.94	4.97	-	V	V _{COM} = -50mA
ショート電流	I _{SHT_VCOM}	-	200	400	mA	INP= 5.0V
出力遷移時間	SR	10	40	250	V/us	

●電氣的特性 (特に記載のない限り VIN = 3.3V, AVDD = 10V and Ta=25°C) (続き)

項目	記号	規格値			単位	条件
		最小	標準	最大		
負側チャージポンプ (VGL)						
FBN 基準電圧	V _{FBN}	242	265	288	mV	Ta=25°C
		239	265	291	mV	Ta=-40~105°C
FBN 低電圧領域	V _{TL_FBN}	400	450	500	mV	FBN 立上り
FBN 入力バイアス電流	I _{FBN}	-	0.1	15	μA	FBN= 0.1V Ta=-40~105°C
発振周波数	F _{CPN}	425	525	625	kHz	Ta=-40~105°C
DRN リーク電流	I _{DRN_L}	-	0	10	μA	FBN=1.0V Ta=-40~105°C
正側チャージポンプ (SRC)						
FBP 基準電圧	V _{FBP}	1.2325	1.25	1.2675	V	Ta=25°C
		1.2125	1.25	1.2875	V	Ta=-40~105°C
FBP 低電圧領域	V _{TL_FBP}	0.95	1.0	1.05	V	FBP 立下り
FBP 入力バイアス電流	I _{FBP}	-	0.1	15	μA	FBP= 1.5V Ta=-40~105°C
発振周波数	F _{CPP}	425	525	625	kHz	Ta=-40~105°C
DRP リーク電流	I _{DRP_L}	-	0	10	μA	FBP= 1.5V Ta=-40~105°C
ソフトスタート時間	T _{SSP}	3.2	3.9	4.6	ms	Ta=-40~105°C
ゲートシェーディング機能(GSOUT)						
DLY ソース電流	I _{DLY}	3.5	5	6.5	μA	Ta=-40~105°C
DLY 閾値電圧	V _{TL_DLY}	0.85	1.25	1.65	V	DLY 立下り Ta=-40~105°C
CTL 入力 High 電圧	V _{IN_H}	V _{IN} ×0.65	-	V _{IN}	V	V _{IN} に依存 Ta=-40~105°C
CTL 入力 Low 電圧	V _{IN_L}	0	-	V _{IN} ×0.25	V	V _{IN} に依存 Ta=-40~105°C
CTL 入力バイアス電流	I _{CTL}	-	0	6	μA	RSTIN=0 to V _{IN} -0.3 Ta=-40~105°C
入出力遅延時間(立上り)	T _{GS_R}	-	100	200	ns	SRC= 25V
入出力遅延時間(立下がり)	T _{GS_F}	-	100	200	ns	SRC= 25V
SRC -GSOUT 間 ON 抵抗	R _{GS_H}	-	15	30	Ω	DLY = 1.5V
GSOUT-RE 間 ON 抵抗	R _{GS_M}	-	30	100	Ω	DLY = 1.5V
GSOUT-GND 間 ON 抵抗	R _{GS_L}	-	2.5	5.0	kΩ	DLY = 1.0V

○この製品は耐放射線設計は行っておりません。

●電気的特性曲線 (参考データ)

(特に記載のない限り VIN = 3.3V, AVDD = 10V and Ta=25°C)

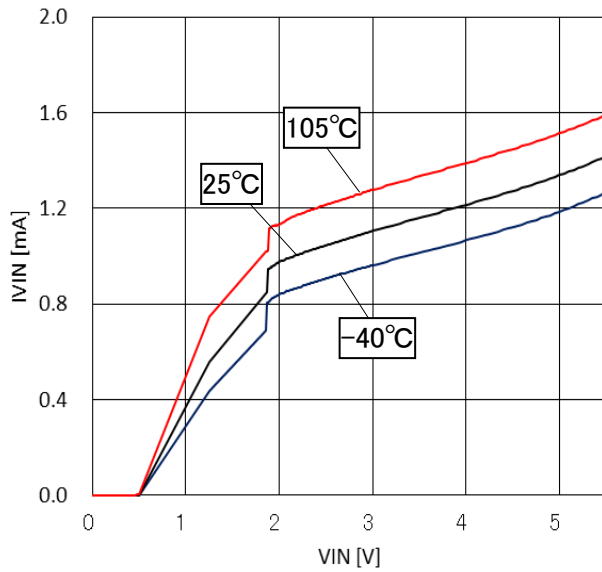
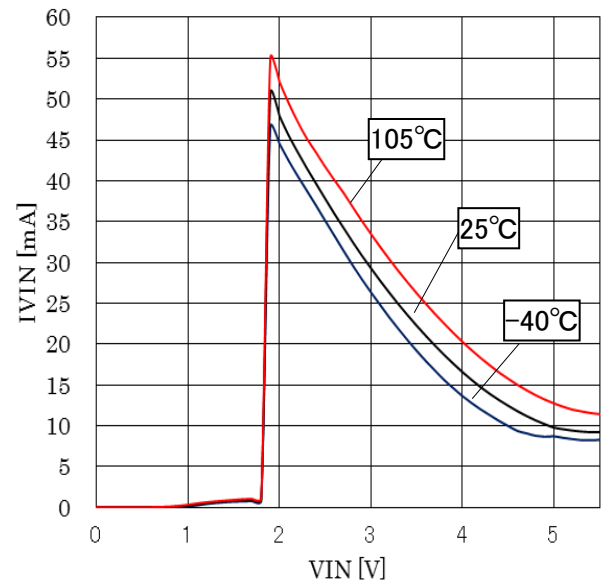
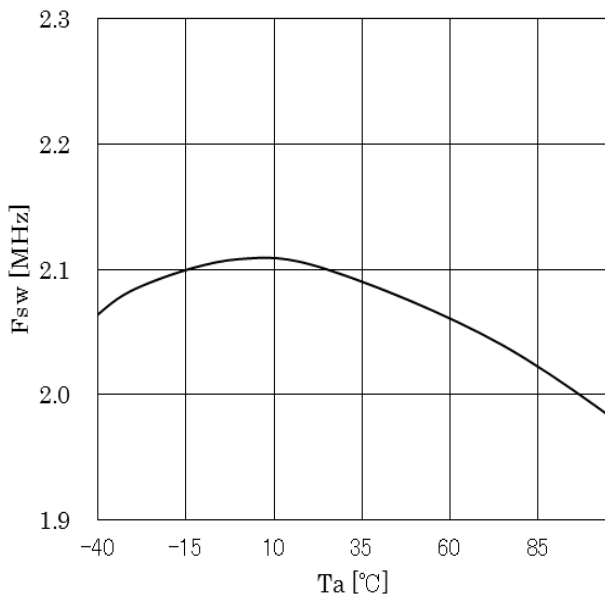
Figure 4. 回路電流
(スイッチング無し)Figure 5. 回路電流
(スイッチングあり)

Figure 6. 発振周波数の温度変化

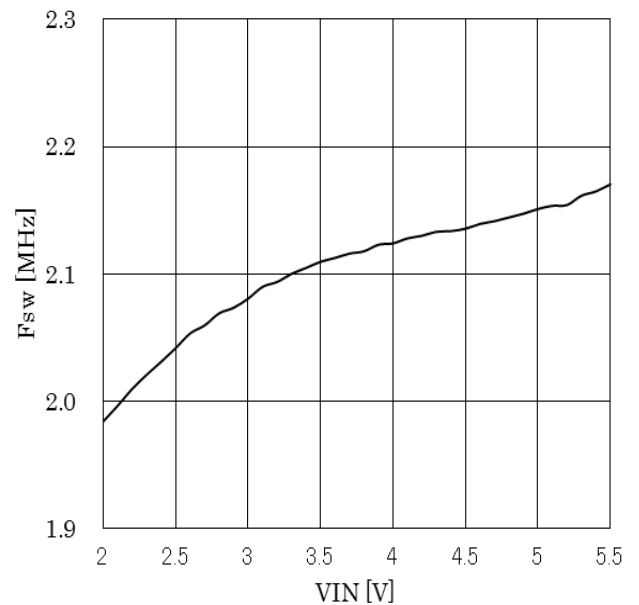


Figure 7. 発振周波数の電源依存特性

●電气的特性曲线 (参考データ)

(特に記載のない限り VIN = 3.3V, AVDD = 10V and Ta=25°C)

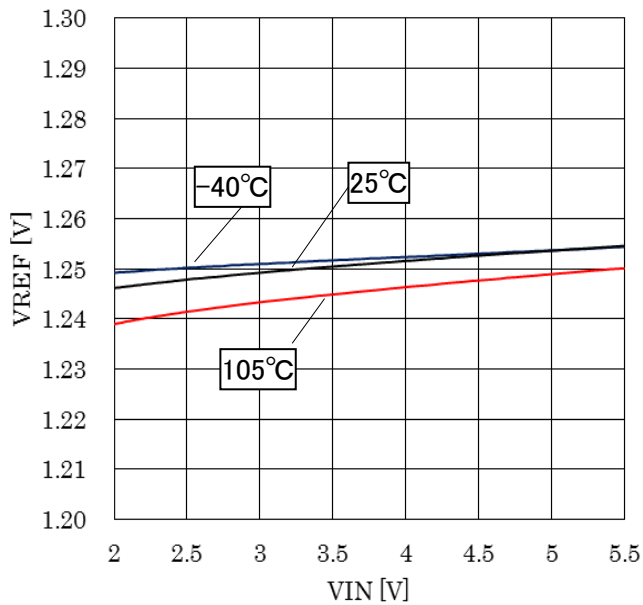


Figure 8. VREF の電源電圧依存性

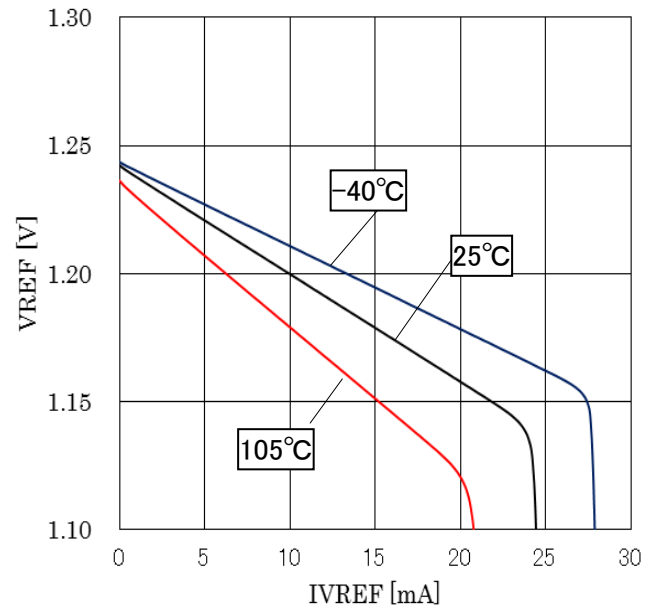


Figure 9. VREF の負荷電流依存性

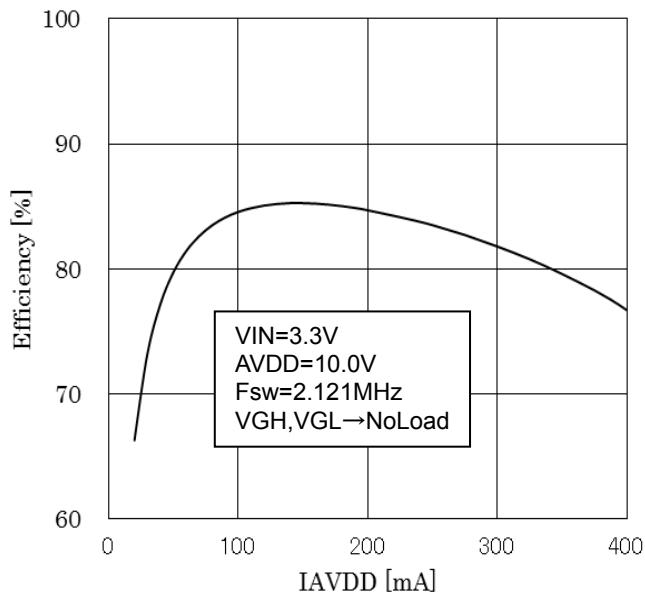


Figure 10. 昇圧回路の効率

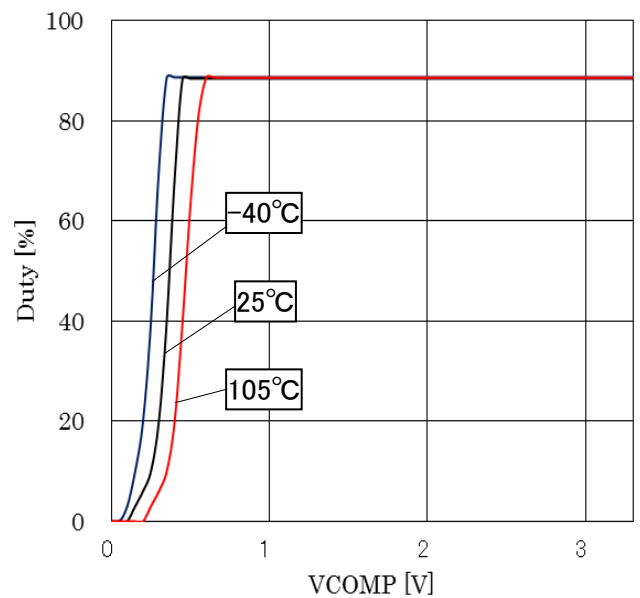


Figure 11. COMP 端子電圧による DUTY の変化

●電气的特性曲线 (参考データ)
(特に記載のない限り VIN = 3.3V, AVDD = 10V and Ta=25°C)

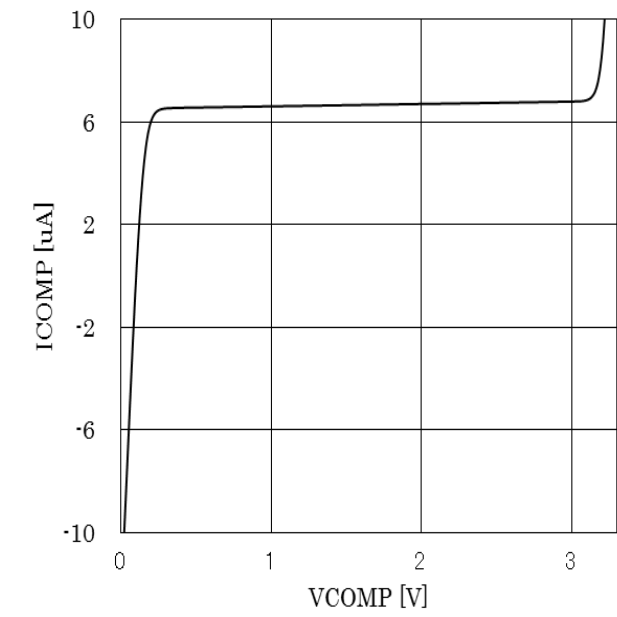


Figure 12. COMP 端子の流入電流

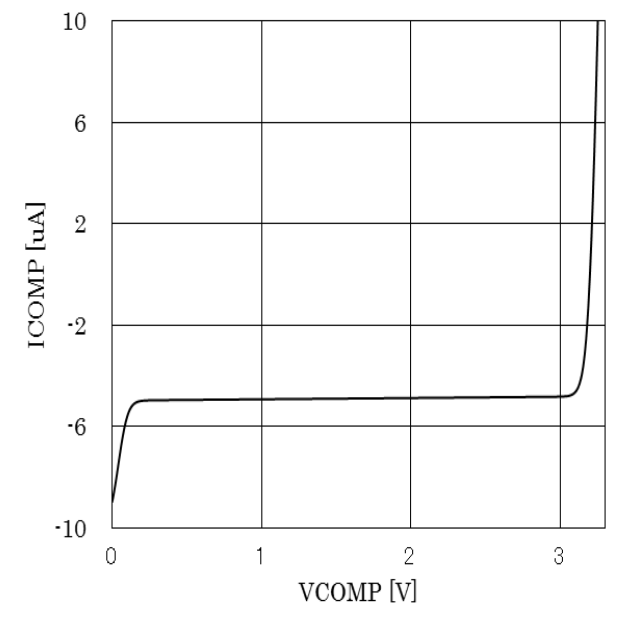


Figure 13. COMP 端子の流出電流

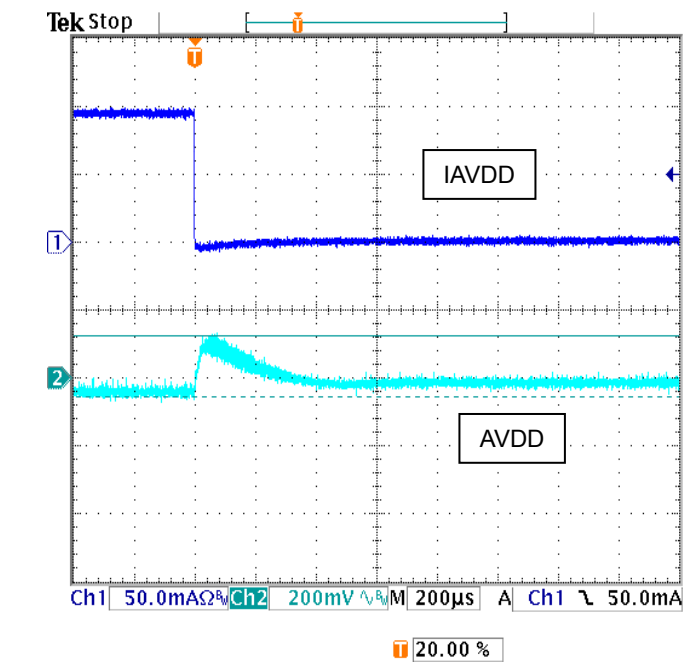


Figure 14. 負荷変動立下り

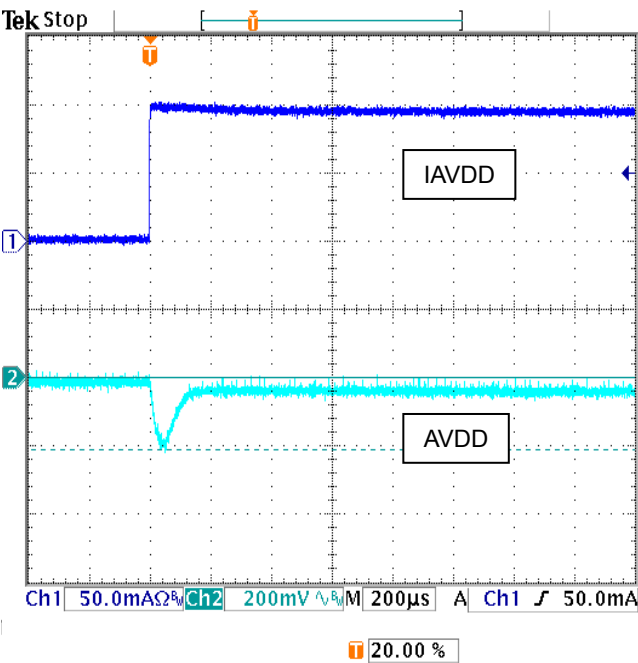


Figure 15. 負荷変動立上り

●電気的特性曲線 (参考データ)
(特に記載のない限り VIN = 3.3V, AVDD = 10V and Ta=25°C)

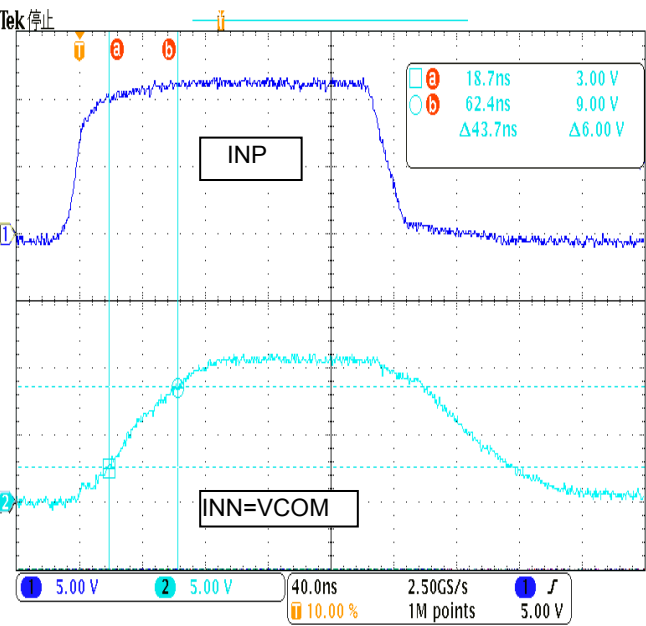


Figure 16. VCOM の出力遷移時間
(立ち上がり)

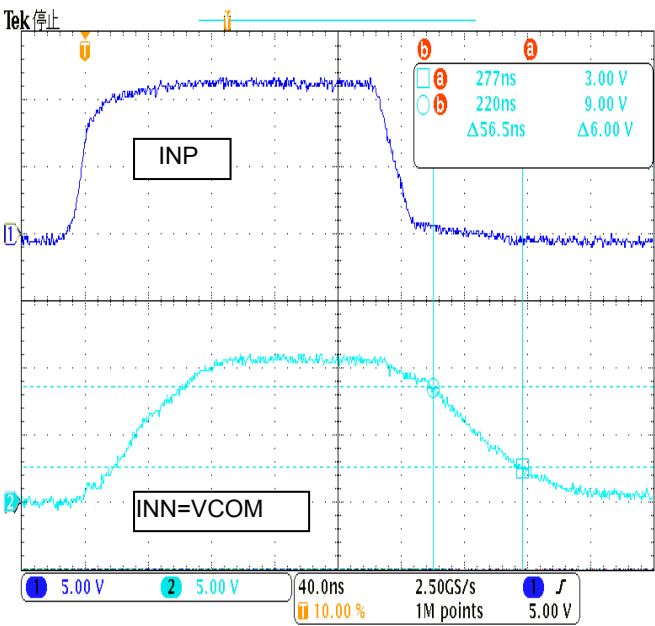


Figure 17. VCOM の出力遷移時間
(立ち下がり)

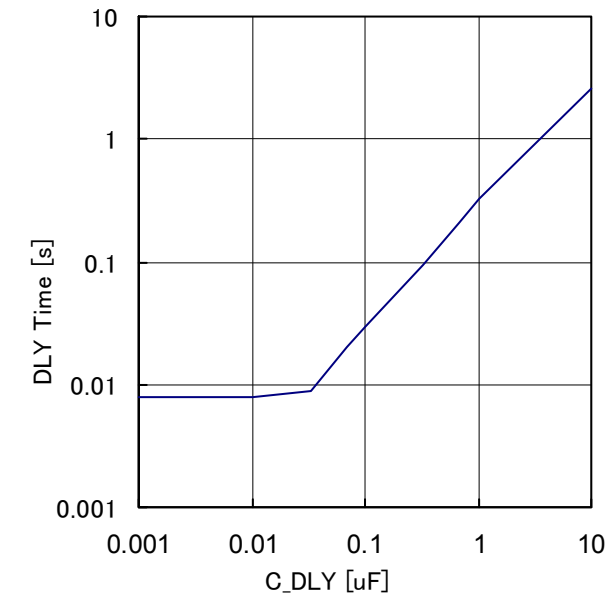


Figure 18. DLY 端子容量と遅延時間

●電气的特性曲线 (参考データ)
(特に記載のない限り VIN = 3.3V, AVDD = 10V and Ta=25°C)

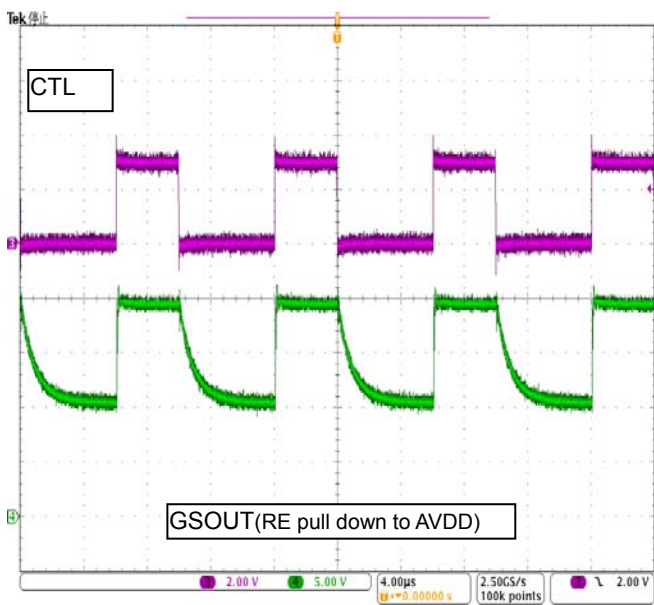


Figure 19. ゲートシェーディング波形 1

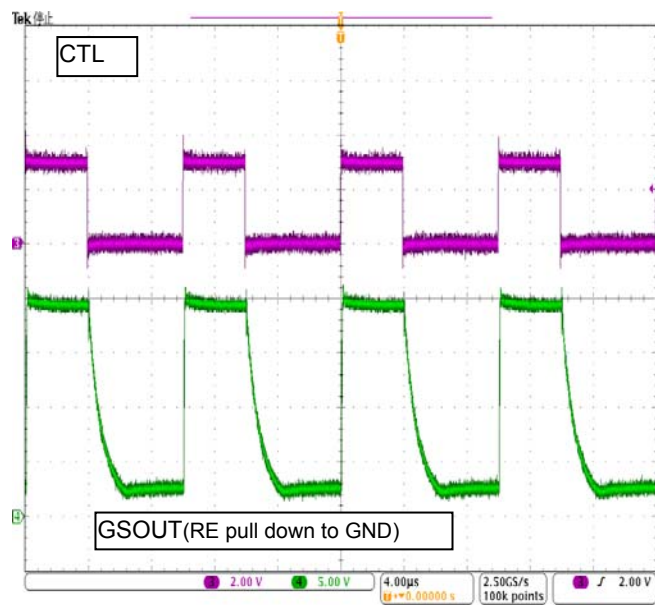


Figure 20. ゲートシェーディング波形 2

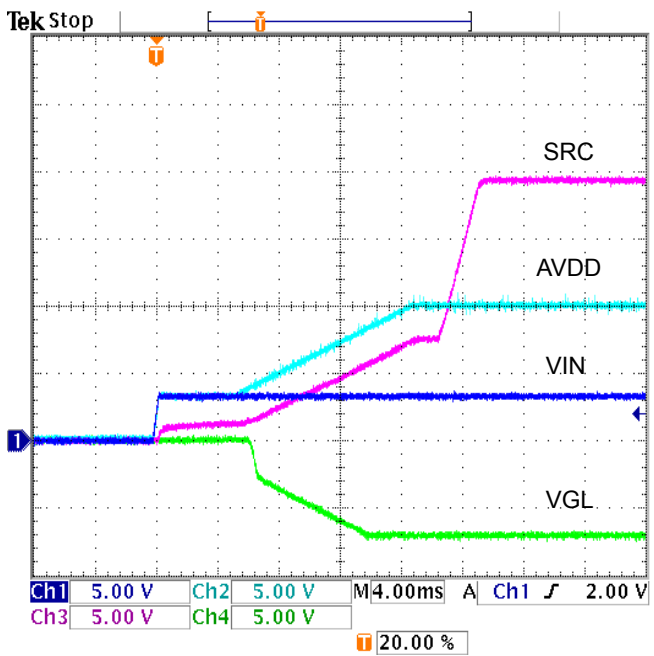


Figure 21. 電源投入波形 1
(主要出力)

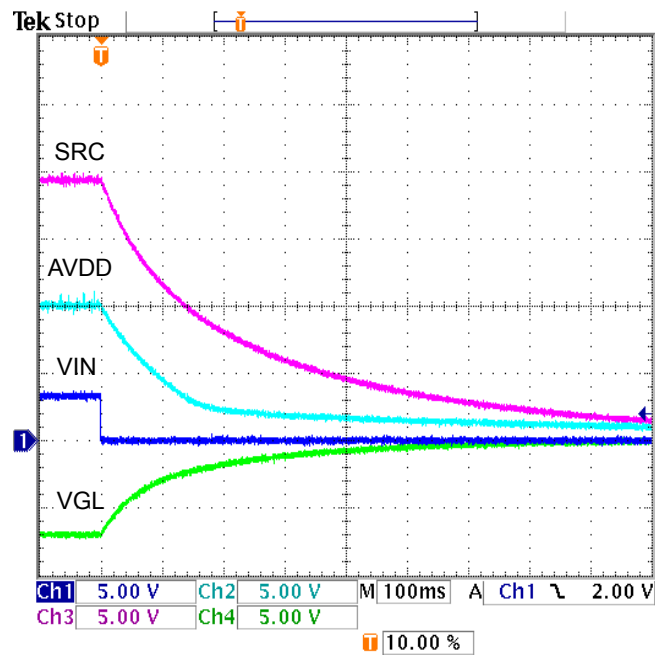


Figure 22. 電源停止波形 1
(主要出力)

●電氣的特性曲線 (参考データ)
(特に記載のない限り VIN = 3.3V, AVDD = 10V and Ta=25°C)

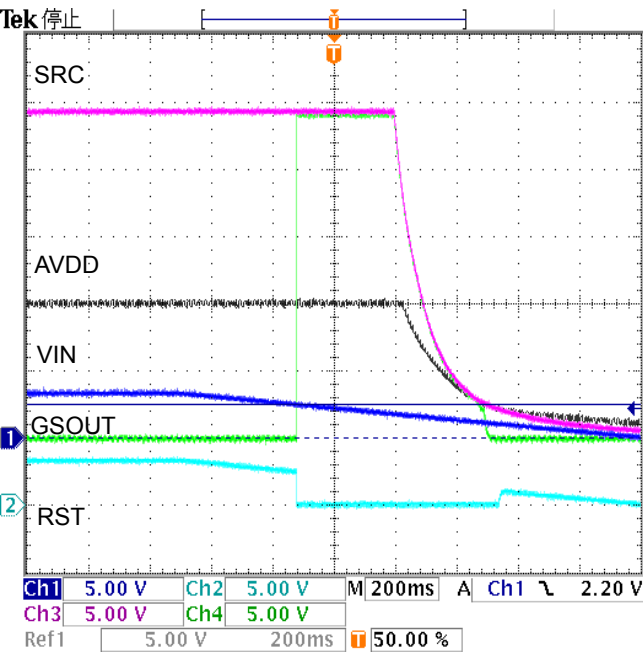


Figure 23. 電源停止波形 2
(R_RST_U=10k,R_RST_D=10k)

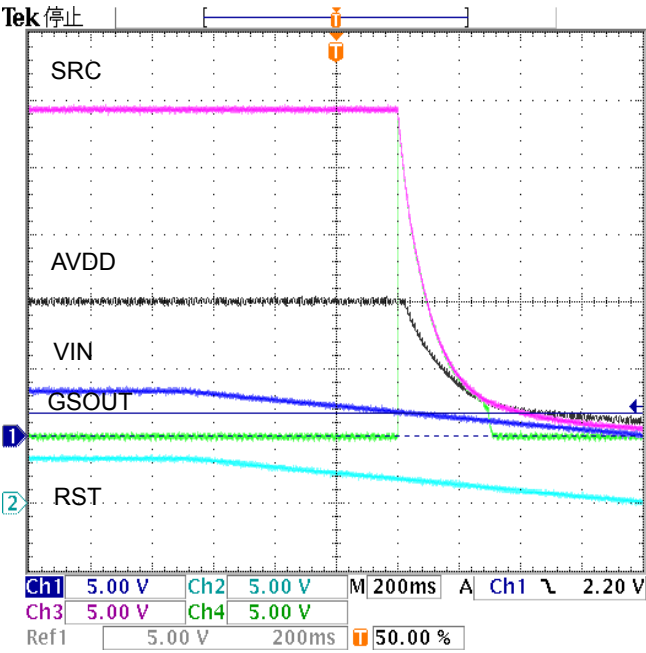


Figure 24. 電源停止波形 3
(R_RST_U=10k,R_RST_D=OPEN)

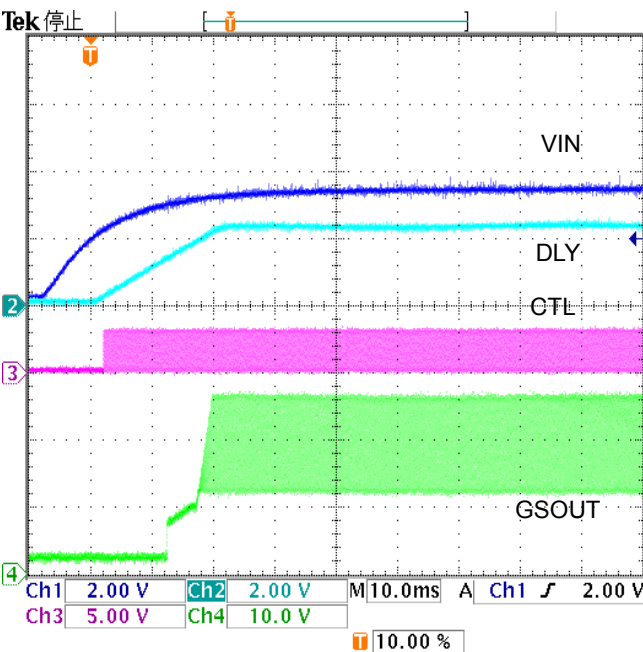


Figure 25. 電源投入波形 2
(CTL=signal, RE pull down to AVDD)

● 応用回路例

抵抗を INP 端子の近くに配置できず、ノイズの回り込みが想定される場合はコンデンサを挿入してください。(0.1uF-1uF)

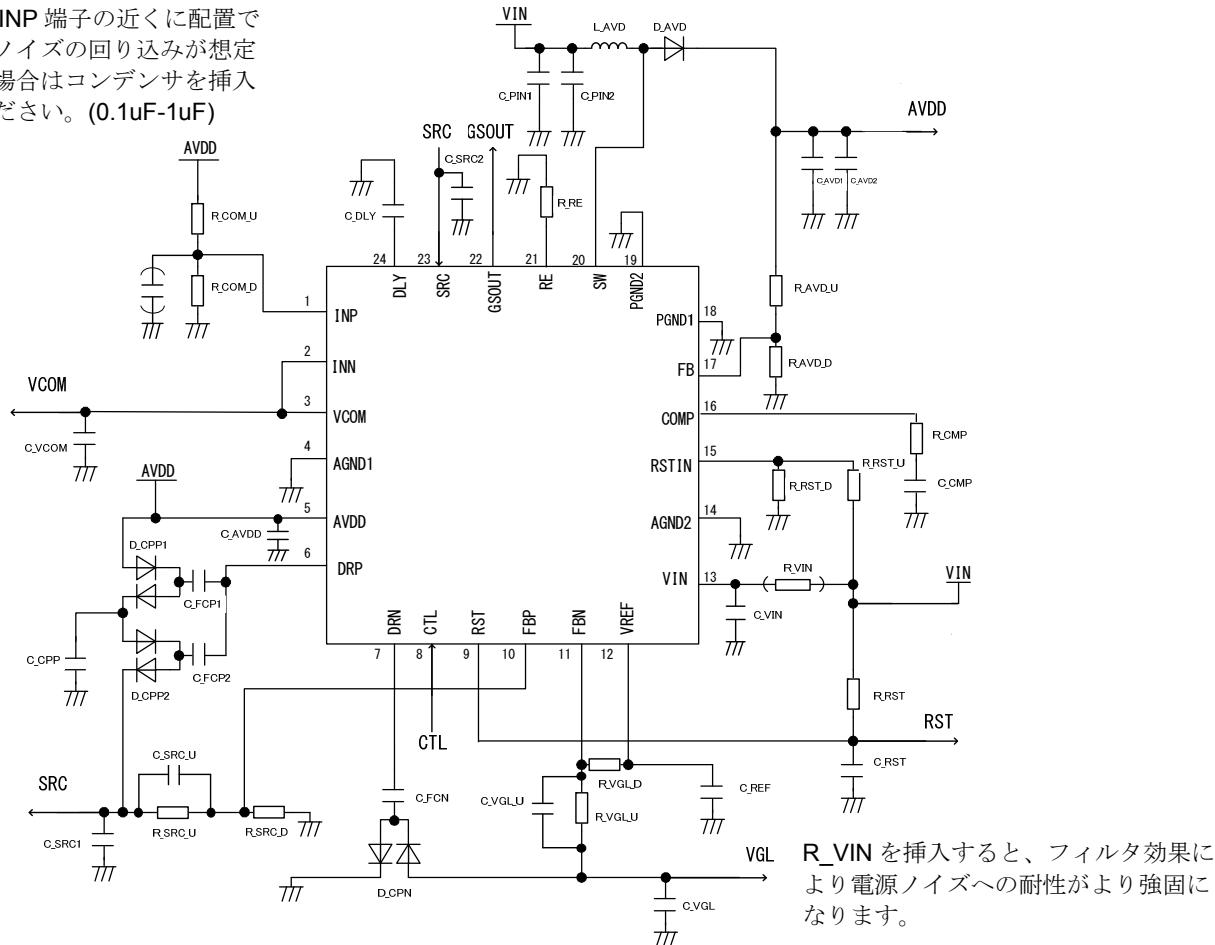


Figure 26. 応用回路例

アプリケーション回路 部品リスト (VIN=3.3V, AVDD=10V, SRC=20V, VGL=-7.1V, VCOM=5V)

項目	推奨値			単位	メーカー	部品名
	最小	標準	最大			
C_VIN	0.47	1.0	-	uF	TDK	CGA3E1X7R1C105M
R_VIN	1	10	20	Ω	ROHM	MCR03
C_PIN1	4.7	10	-	uF	TDK	CGA5L1X7R1C106M
C_PIN2	4.7	10	-	uF	TDK	CGA5L1X7R1C106M
C_AVD1	4.7	10	22	uF	TDK	CGA5L1X7R1E106M
C_AVD2	4.7	10	22	uF	TDK	CGA5L1X7R1E106M
L_AVD	4.7	10	22	uH	TDK	LTF5022T-100M1R3-H
D_AVD	-	30/5	-	V/A	ROHM	RB080L-30DD
R_AVD_U	6.8	91	330	kΩ	ROHM	MCR03
R_AVD_D	6.8	13	330	kΩ	ROHM	MCR03
R_CMP	-	24	-	kΩ	ROHM	MCR03
C_CMP	-	2200	-	pF	TDK	CGA3E2X7R1H222M
R_RST_U	-	10	-	kΩ	ROHM	MCR03
R_RST_D	-	10	-	kΩ	ROHM	MCR03
R_RST	-	10	-	kΩ	ROHM	MCR03
C_RST	-	1.0	-	uF	TDK	CGA3E1X7R1C105M
C_DLY	10	33	100	nF	TDK	CGA3E2X7R1H333M
R_RE	0.2	1.0	5.1	kΩ	ROHM	MCR03
C_AVDD	0.047	0.1	-	uF	TDK	CGA3E2X7R1H104M
C_REF	0.1	0.22	0.47	uF	TDK	CGA3E2X7R1C224M

項目	推奨値			単位	メーカー	部品名
	最小	標準	最大			
C_VGL	0.47	1.0	10	uF	TDK	CGA3E1X7R1C105M
C_FCN	0.047	0.1	1.0	uF	TDK	CGA3E2X7R1H104M
D_CPN	-	80/100	-	V/mA	ROHM	DAN217UMFH
R_VGL_U	6.8	120	330	kΩ	ROHM	MCR03
R_VGL_D	6.8	16	330	kΩ	ROHM	MCR03
C_VGL_U	10	100	4700	pF	TDK	CGA3E2NP01H101J
C_SRC1	0.47	1.0	10	uF	TDK	CGA4J3X7R1H105M
C_FCP1	0.047	0.1	1.0	uF	TDK	CGA3E2X7R1H104M
C_FCP2	0.047	0.1	1.0	uF	TDK	CGA3E2X7R1H104M
C_CPP	0.047	0.1	1.0	uF	TDK	CGA3E2X7R1H104M
D_CPP1	-	80/100	-	V/mA	ROHM	DAN217UMFH
D_CPP2	-	80/100	-	V/mA	ROHM	DAN217UMFH
R_SRC_U	6.8	150	330	kΩ	ROHM	MCR03
R_SRC_D	6.8	10	330	kΩ	ROHM	MCR03
C_SRC_U	10	100	4700	pF	TDK	CGA3E2NP01H101J
C_SRC2	0.47	1.0	10	uF	TDK	CGA4J3X7R1H105M
R_COM_U	6.8	51	330	kΩ	ROHM	MCR03
R_COM_D	6.8	51	330	kΩ	ROHM	MCR03
C_VCOM	0.1	1.0	10	uF	TDK	CGA3E1X7R1E105M

※温度特性やDC バイアス特性を加味して最小値以上となるように設定してください。

COMP 端子定数やコイルについては出力電圧や負荷によって調整が必要になります。実機での十分な確認をお願いします。

●入出力シーケンス

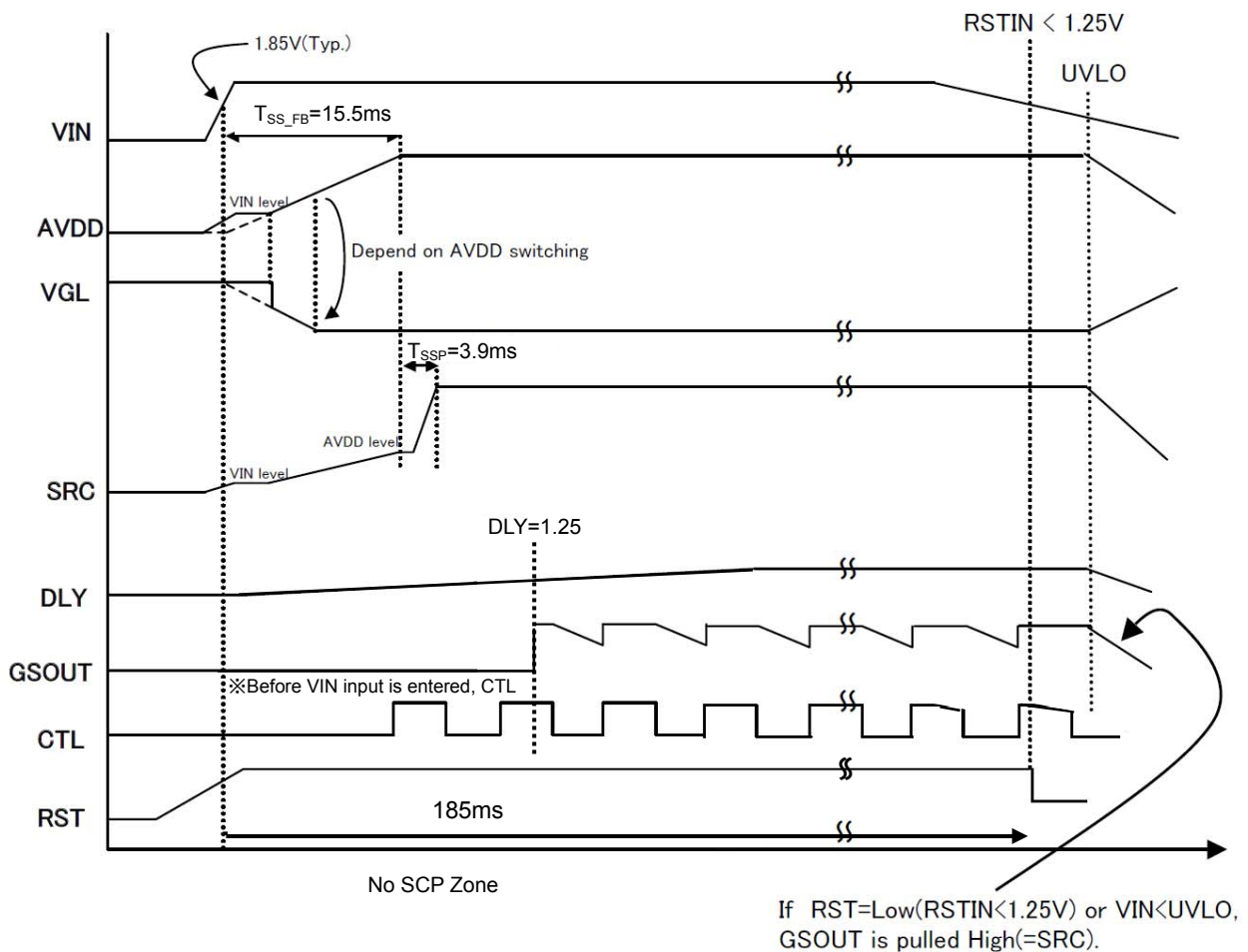


Figure 27. 入出力シーケンス

●保護機能について

・VIN 低電圧保護

	AVDD	SRC	VGL
立下り(Typ.)		1.65V	
立上り(Typ.)		1.85V	
動作	全チャンネルがシャットダウンします。 電源電圧が低電圧保護電圧以下の条件では、スタンバイ状態になります。		

・熱保護

	AVDD	SRC	VGL
閾値(Typ.)		160℃	
動作	熱保護検出後、即時に全チャンネルシャットダウンしてラッチします。 復帰させる際は、電源を UVLO 電圧以下から再投入してください。		

・AVDD 過電圧保護

	AVDD
閾値(Typ.)	20V
動作	昇圧 DC/DC のスイッチング動作を停止させます。

・AVDD 低電圧保護

	AVDD
閾値(Typ.)	1.3V
動作	昇圧 DC/DC のスイッチング動作を停止させます。

・過電流保護

	AVDD
閾値(Min.)	2.5A
動作	昇圧 DC/DC のスイッチング動作を停止させます。

・ショート保護

	AVDD	SRC	VGL
閾値(Typ.)	AVDD x 0.8	SRC x 0.8	VGL x 0.8
動作	ショート保護検出後、63msec(Typ.)後に全チャンネルシャットダウンしてラッチします。 復帰させる際は、電源を UVLO 電圧以下から再投入してください。		

●Reset 機能について

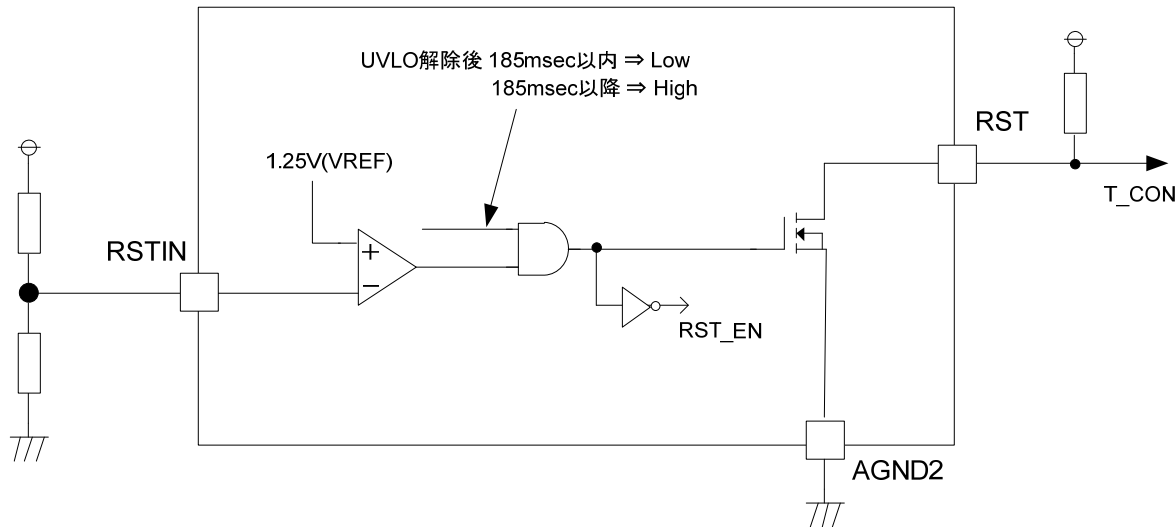


Figure.28 Reset 説明図

オープンドレイン端子である RST 端子は、RSTIN 端子が Low(<1.25V)のとき Low 電圧を出力し、RSTIN 端子が High のときは High 電圧を出力します。但し、電源投入後 185msec(Typ.)までは、RSTIN の論理に因らず High を出力します。(RST 端子は VIN にプルアップして使用してください)
また、ゲートシェーディング機能は RST_EN が High になることで起動します。つまり RSTIN=Low に設定するときはゲートシェーディング機能が使用できません。
ゲートシェーディング機能を使用しない場合は、SRC,RE,CTL を GND ショートもしくは抵抗プルダウンで使用してください。

●ゲートシェーディング機能について

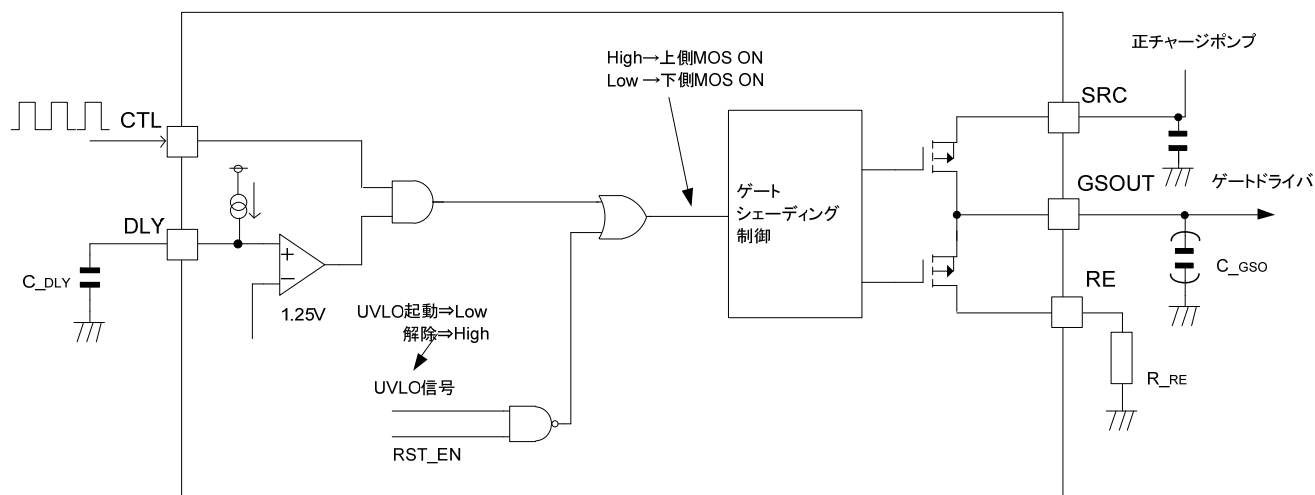


Figure.29 ゲートシェーディング説明図

ゲートシェーディング出力を CTL 入力によって制御する場合は、RSTIN=High(>1.25V)かつ、DLY=High(>1.25V)に設定する必要があります。ここで、DLY 端子オープンにすると電源投入のタイミングで High になりますが、容量(C_{DLY})を挿入することで、電源投入から High になるまでの遅延時間(t_{DELAY})の設定が可能です。t_{DELAY} は次の式より決定されます。

$$t_{\text{DELAY}} = (C_{\text{DLY}} \times 1.25\text{V}) / 5\mu\text{A} \quad [\text{sec}]$$

CTL 入力が高 ($0.65 \times V_{IN} \sim V_{IN}$) のときは、SRC-GSOUT 間の MOS が ON し、GSOUT から SRC の電圧が出力されます。CTL 入力が Low ($0 \sim 0.25 \times V_{IN}$) のときは、GSOUT-RE 間の MOS が ON し、外付け RC (R_{RE}, C_{GSO}) で決まる傾斜で RE 電圧まで下がります。傾斜調整時、次の定数範囲を推奨します; 抵抗 (R_{RE}) = 200Ω - 5.1kΩ, コンデンサ (C_{GSO}) = 0.1μF 以下。CTL 入力の Low 区間 (t_{WL}) に GSOUT が下がる電圧 ΔV は以下の式で計算出来ます。

$$\Delta V = SRC \times \left(1 - \exp \left(- \frac{t_{WL}}{C_{GSO} \times R_{RE}} \right) \right) \quad [M]$$

ただし、C GSO を挿入すると損失が発生します。損失 ΔP は以下の式で計算出来ます。

$$\Delta P = \text{Frequency(CTL)} \times \Delta V^2 \times C_{\text{GSO}} \quad [\text{W}]$$

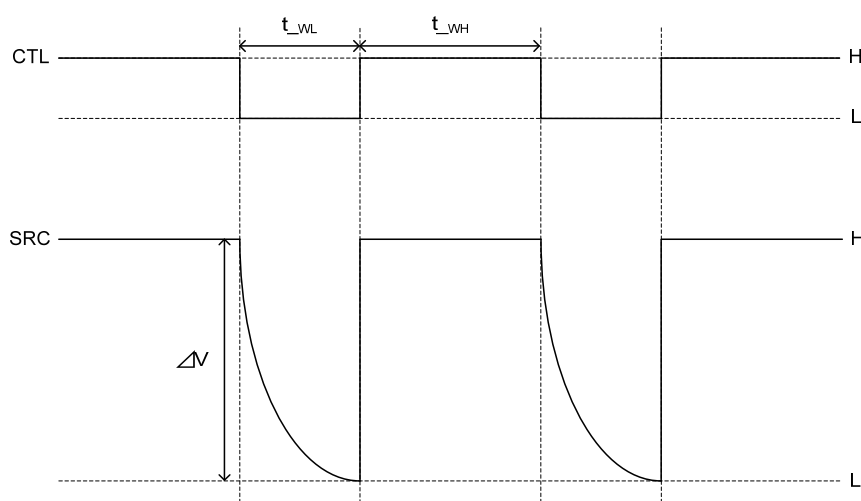


Figure.30 ゲートシェーディング入出力波形

ゲートシェーディング機能を使用しない場合は、SRC,RE,CTL を GND ショートもしくは抵抗プルダウンで使用してください。
 DLY 端子はノイズによる誤動作を防ぐためにコンデンサを接続してください。

●アプリケーション部品選定方法

(1) 出力、LC 定数(昇圧コンバータ)

出力に関するインダクタ L は、インダクタの定格電流 I_{LR} 、入力電流最大値 I_{INMAX} により決定されます。

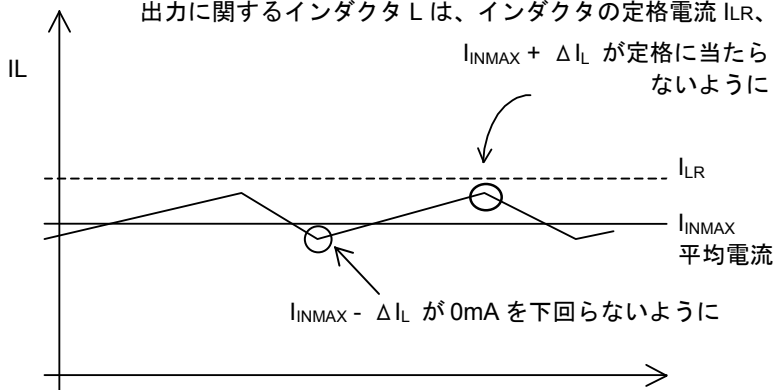


Figure 31. コイル電流波形

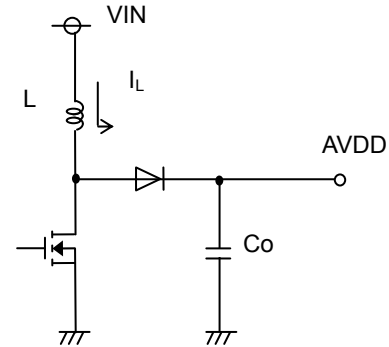


Figure 32. 出力アプリケーション回路図

$I_{INMAX} + \Delta I_L$ が定格電流 I_{LR} に当たらないように調整してください。また、 $I_{INMAX} - \Delta I_L$ が 0mA を下回ると軽負荷モード(DCM)になります。軽負荷モードと連続モード(CCM)の切り替わり時はジッタ特性が悪化します。そのため、 $I_{INMAX} - \Delta I_L$ が 0mA を下回らないようにコイル(L 値)を調整してください。 ΔI_L は次の式から求められます。

$$\Delta I_L = \frac{1}{L} \times \frac{1}{f} \times \frac{V_{IN}}{V_{IN} - V_{AVDD}} \times \frac{V_{AVDD} - V_{IN}}{V_{AVDD}} \quad [A] \quad \text{ただし、} f: \text{スイッチング周波数}$$

また、インダクタ L の値も±30%程度のバラツキを持つことがありますので、十分にマージンを持って設定してください。コイル定格電流 I_{LR} を超えまると、IC 内部素子を損傷する可能性があります。

BD81842MUV-M はカレントモード DC/DC コンバータ制御を採用しており、コイルの値において最適化された設計を行っております。電力効率、応答性、安全性の面から、4.7 uH ~ 22 uH のコイルの値を推奨いたします。

(2) 出力コンデンサの設定

出力に使用するコンデンサは、リップル電圧 V_{PP} の許容値と、負荷急変時におけるドロップ電圧の許容値のうち、容量の大きい値を選択してください。出力リップル電圧は、次式より求められます。

$$\Delta V_{PP} = I_{LMAX} \times RESR + \frac{1}{fCo} \times \frac{V_{IN}}{V_{AVDD}} \times \left(I_{LMAX} - \frac{\Delta I_L}{2} \right) \quad [V] \quad \begin{array}{l} \text{ただし、} f: \text{スイッチング周波数} \\ \text{RESR: 出力コンデンサの ESR} \end{array}$$

許容リップル電圧内におさまるように設定を行ってください。

また、負荷急変時のドロップ電圧 V_{DR} は次の式から概算してください。

$$V_{DR} = \frac{\Delta I}{Co} \times 10 \mu s \quad [V]$$

ただし、10usec は DC/DC 応答速度の概算値です。

これらの 2 つの値が規格値に入るよう、十分マージンを考慮した容量値の設定をお願いします。

(3) 入力コンデンサの選定

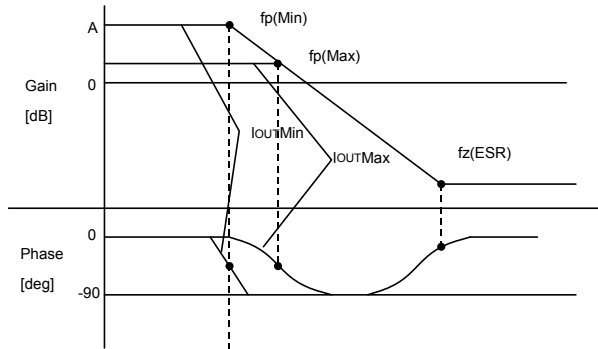
DC/DC コンバータでは、ピーク電流が入力—出力間で流れるため入力側にもコンデンサが必要です。そのため、入力コンデンサとして、10uF 以上でかつ 100mΩ 以下の低 ESR コンデンサを推奨いたします。この範囲外の入力コンデンサを選定しますと、入力電圧に過大なリップル電圧が重畳し、IC の誤作動を引き起こす可能性があります。

ただし、この条件は、負荷電流、入力電圧、出力電圧、インダクタ値、スイッチング周波数により変化します。実機によるマージンチェックを必ず行なうようお願い致します。

(4) 位相補償回路 RC、Cc の設定

カレントモード制御では、コイル電流が制御されているため、出力コンデンサと負荷抵抗からなる CR フィルターによるポール(位相遅れ)が低周波数領域に 1 つと、出力コンデンサとコンデンサの ESR によるゼロ(位相進み)が高周波数領域に 1 つだけできます。この場合、電力増幅器のポールをキャンセルするために、誤差増幅器の出力に下記のように Cc と Rc でゼロ点を追加するだけで簡単に補償できます

積分器のオープンループ特性



誤差増幅器位相補償特性

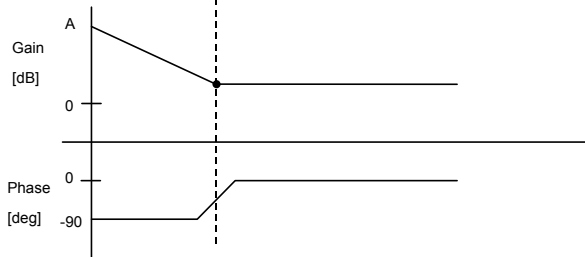


Figure 33. Gain と Phase

$$F_p = \frac{1}{2\pi \times R_o \times C_o} \text{ [Hz]}$$

$$f_z(\text{ESR}) = \frac{1}{2\pi \times \text{ESR} \times C_o} \text{ [Hz]}$$

電力増幅段のポールについて

出力電流が減少すると、負荷抵抗 R_o が増大し、ポールの周波数は低くなります。

$$f_p(\text{Min}) = \frac{1}{2\pi \times R_{o\text{Max}} \times C_o} \text{ [Hz]} \leftarrow \text{at light load}$$

$$f_z(\text{Max}) = \frac{1}{2\pi \times R_{o\text{Min}} \times C_o} \text{ [Hz]} \leftarrow \text{at heavy load}$$

電力増幅段のゼロについて

出力コンデンサを大きくすると、ポール周波数は低くなりますが、ゼロ周波数は変化しません。(これはコンデンサが 2 倍になると、コンデンサの ESR が 1/2 になるため。)

$$f_p(\text{Amp.}) = \frac{1}{2\pi \times R_c \times C_c} \text{ [Hz]}$$

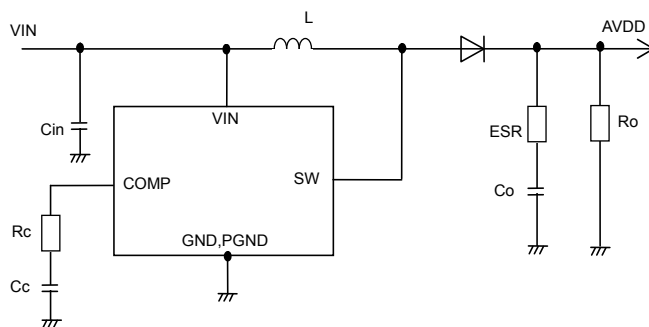


Figure 34. アプリケーション回路図

安定した帰還ループを作るためには、次のように、出力コンデンサと負荷抵抗によってできるポール $f_p(\text{Min.})$ を誤差増幅器の CR ゼロ補正でキャンセルすることで実現されます。

$$f_z(\text{Amp.}) = f_p(\text{Min.}) \rightarrow \frac{1}{2\pi \times R_c \times C_c} = \frac{1}{2\pi \times R_{o\text{max}} \times C_o} \text{ [Hz]}$$

(5) 帰還抵抗定数の設計

帰還抵抗の設定は次の式を参考にしてください。設定範囲としては、6.8 kΩ ~ 330 kΩ を推奨いたします。6.8kΩ以下の抵抗に設定すると、電力効率の低下を招き、また 330kΩ以上の抵抗に設定すると、内部誤差増幅器の入力バイアス電流 0.1 μA(TYP) によりオフセット電圧が大きくなります。

$$AVDD = \frac{R_AVD_U + R_AVD_D}{R_AVD_D} \times FB \quad [V]$$

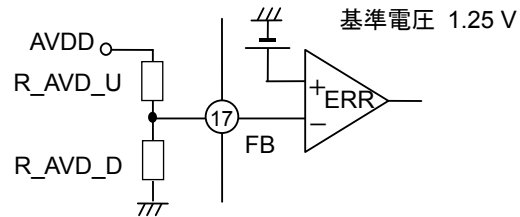


Figure 35. アプリケーション回路図

(6) 正側チャージポンプの設定

本 IC にはチャージポンプコントローラが内蔵されており、そのため安定化したゲート電流を生成することが可能です。出力電圧は以下の式によって、決定できます。設定範囲としては 6.8 kΩ ~ 330 kΩ を推奨いたします。6.8kΩ,以下の抵抗に設定いたしますと、電力効率の低下を招き、330 kΩ,以上に設定しますと、内部誤差増幅器の入力バイアス電流 0.1 μA (TYP)により、オフセット電圧が大きくなります。

$$SRC = \frac{R_SRC_U + R_SRC_D}{R_SRC_D} \times FBP \quad [V]$$

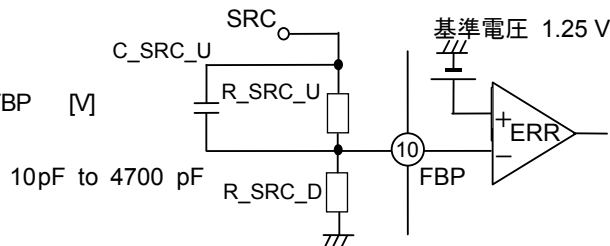


Figure 36. アプリケーション回路図

出力電圧のオーバーシュートを防止するため、R_SRC_U と並列に容量 C_SRC_U を追加してください。容量値は 10 pF ~ 4700 pF. を推奨いたします。ただし、調整が必要となることがありますので、実機での十分なご確認をお願いします。

チャージポンプの段数については下記の式を参考に調整してください。ただし、最終的には実機での確認をお願いします。また、下記計算式にて、結果が小さな値となるときは損失の増加が想定されますのでご注意ください。

$$\frac{SRC}{(n+1) \times AVDD - 2n \times Vf} < 1 \quad \text{ただし、n: チャージポンプの段数, Vf: ダイオードの順方向電圧}$$

(7) 負側チャージポンプの設定

本 IC には負電圧用チャージポンプが内蔵されており、そのため安定化したゲート電圧を生成することが可能です。出力電圧は、以下の式によって決定できます。設定範囲としては 6.8 kΩ ~ 330 kΩ を推奨いたします。6.8 kΩ 以下の抵抗に設定しますと、電力効率の低下を招き、330 kΩ 以上に設定しますと内部誤差増幅器の入力バイアス電流 0.1 μA (TYP) により、オフセット電圧が大きくなります。

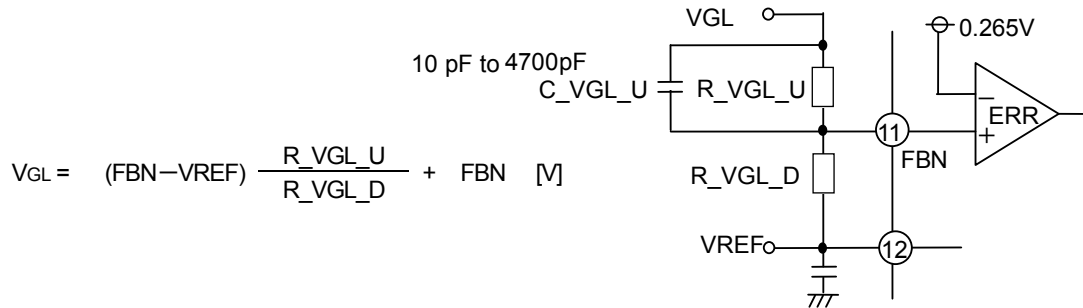


Figure 37. アプリケーション回路図

出力電圧のオーバーシュートを防止するため、R_VGL_U と並列に容量 C_VGL_U を追加してください。容量値は 10 pF ~ 4700 pF を推奨いたします。ただし、調整が必要となることがありますので、実機での十分なご確認をお願いします。

チャージポンプの段数については下記の式を参考に調整してください。ただし、最終的には実機での確認をお願いします。また、下記計算式にて、結果が小さな値となるときは損失の増加が想定されますのでご注意ください。

$$\frac{-V_{GL}}{-(n \times AVDD - 2n \times V_f)} < 1 \quad \text{ただし、} n: \text{チャージポンプの段数, } V_f: \text{ダイオードの順方向電圧}$$

(8) VCOM アンプの設定

VCOM は、0V ~ AVDD 電圧(1pin (INP)入力電圧)を出力範囲とする rail-to-rail、高スルーレートのオペアンプです。出力コンデンサは、安定性の観点から 0.1μF ~ 10μF を推奨します。

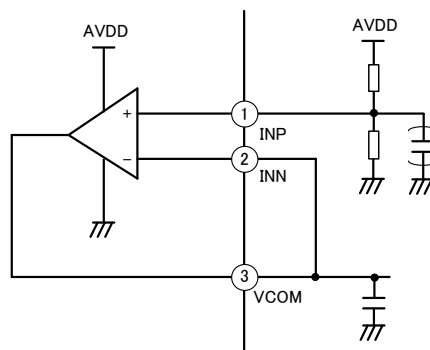


Figure 38. アプリケーション回路図

(9) 機能未使用時のアプリケーション回路設定

ゲートシェーディング機能未使用時、SRC, RE, CTL, DLY の各端子は下記のように処理してください。

※SRC, RE, CTL 端子はプルダウン(0Ω - $10k\Omega$)するか GND ショートしてください。
DLY 端子は、ノイズによる誤動作を防ぐためにコンデンサを接続してください。

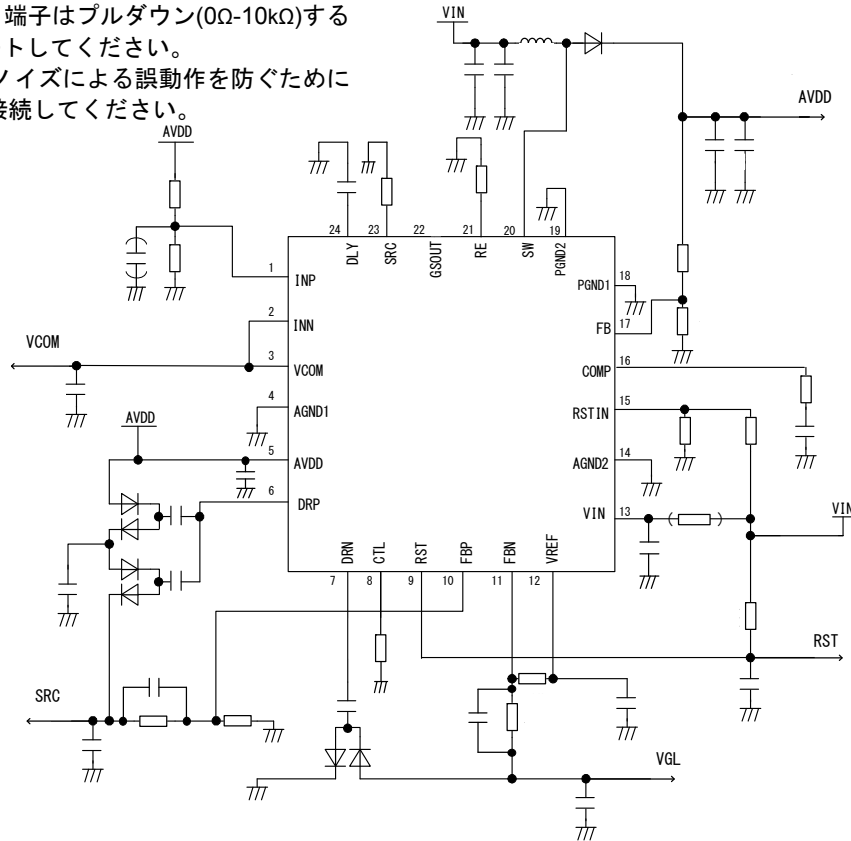


Figure 39. アプリケーション回路図：ゲートシェーディング未使用時

VCOM 未使用時、INP, INN, VCOM の各端子は下記のように処理してください。

※INP 端子はプルダウン(0Ω - $10k\Omega$)するか GND ショートしてください。

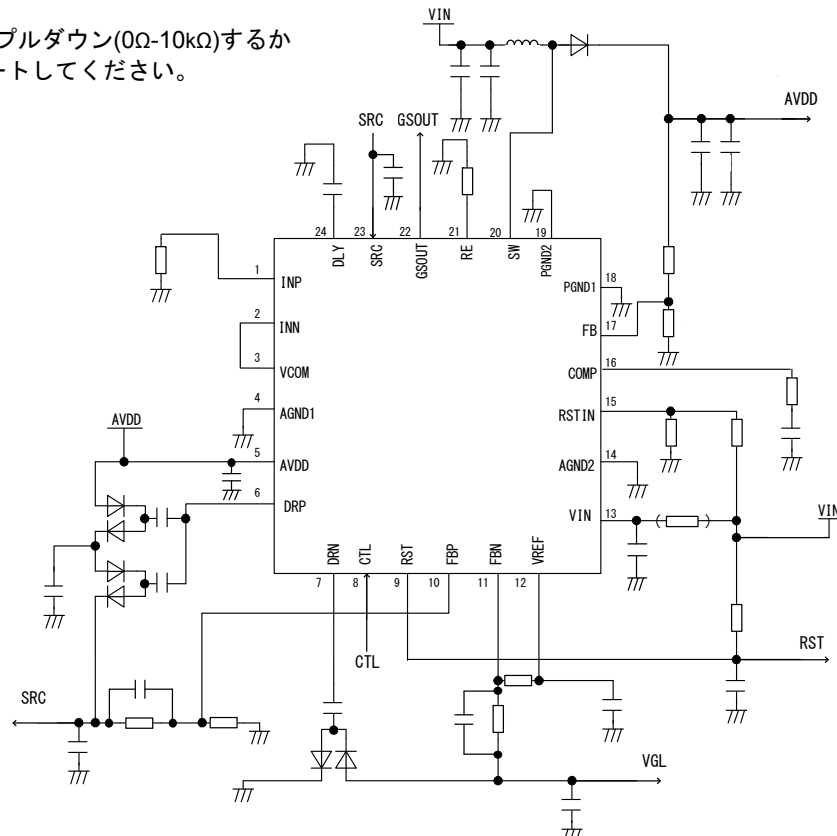


Figure 40. アプリケーション回路図：VCOM 未使用時

●PCB レイアウトの注意点

GND 配線パターン

大電流 GND (PGND) は太く配線するようにし、大電流経路で細い配線パターンや少ないビアなどインピーダンスが高い箇所が発生しないよう注意してください。そのため、PCB は 4 層以上で設計して頂くことを推奨します(中間層を GND シールドとして使用し各 GND を直接繋げてください)。もし 2 層以下で設計される場合は、熱やノイズに注意して実機での十分なご確認をお願いします。

スイッチングライン配線パターン

DC/DC コンバータのスイッチングライン(SW 端子)からインダクタ・ダイオードへの配線は短くて太い配線となるよう接続してください。配線が長くなるとスイッチングによるリンギングが大きくなり本 IC の耐圧を超える電圧が発生する恐れがあります。また、スイッチングラインは PCB レイア変更をしないようにしてください。

スイッチングラインとフィードバックラインや COMP ラインなどのノイズの影響を受けやすいラインとは隣接しないようにしてください。スイッチングノイズ伝播により、動作安定性を欠く要因となります。

多層 PCB 基板の場合には、スイッチングラインとノイズの影響を受けやすいラインやその外付け部品が層間で隣接しないようにもご注意ください。スイッチングラインとこれらノイズの影響を受けやすいラインを遠ざけることが難しい場合には、間にグラウンドシールドラインを挿入することを推奨します。

電源電圧ライン配線パターン

電源電圧(VIN)、内部基準電圧(VREF)には IC 端子の近傍に平滑コンデンサを配置してください。

特に、VIN は昇圧 DC/DC の内蔵 MOSFET の電源ラインのため、端子から 2mm 以内にコンデンサ配置が必須です。

また、VIN は 3mm 以上の太さで配線してください。さらに、抵抗を挿入することで RC フィルタが形成され、電源変動に対してより強固にすることができます。平滑コンデンサは PCB レイア変更をしないようにしてください。

Fig.41 に上記の PCB レイアウトの注意事項を踏まえた回路図を示しています。

- ◆ 太線: 大電流ライン
- ◆ 青線(点鎖線): ノイズの影響を受けやすい配線
- ◆ 赤線(点鎖線): スwitchingなどのノイズ源となる配線

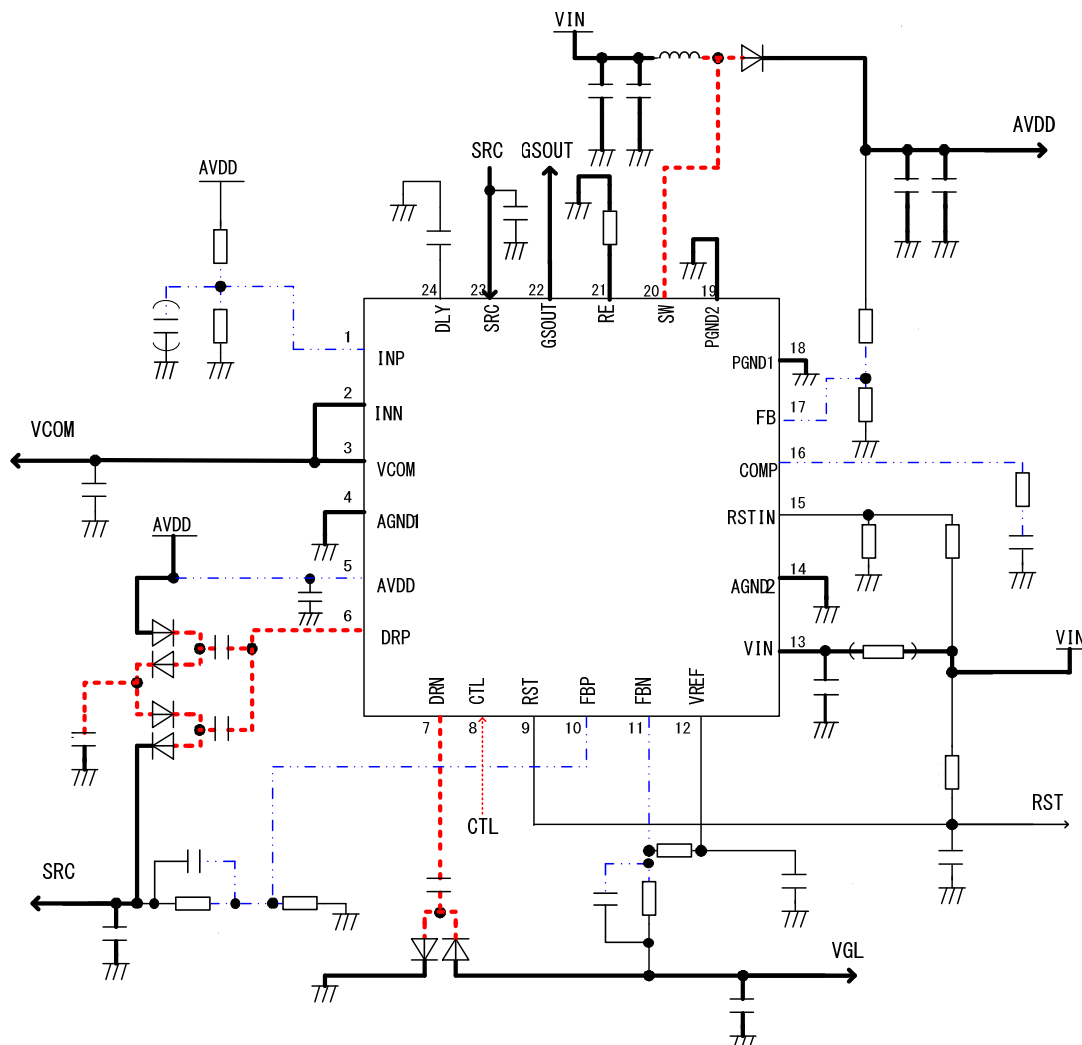


Figure 41. アプリケーション回路図

推奨レイアウトパターン

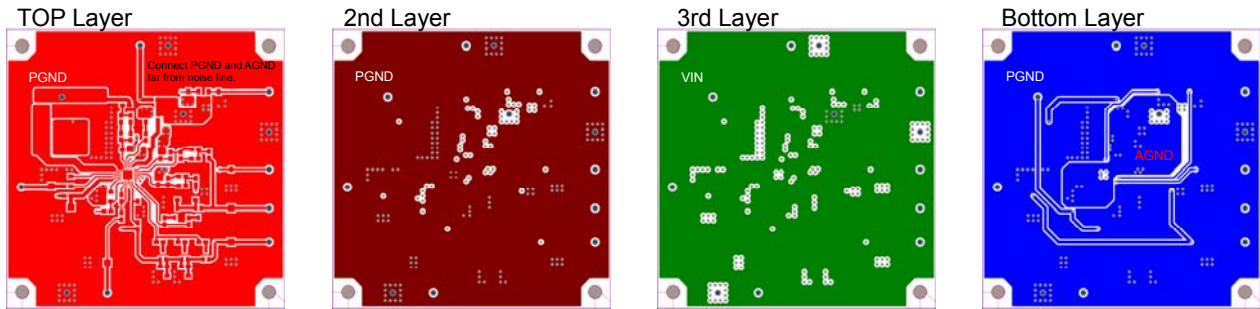


Figure 42. 推奨レイアウトパターン

EMC 対策レイアウト

PCB 設計時の EMC 対策案を紹介します。

PCB 設計時にできる対策

- ① AVDD 配線を太く短く配線する。
- ② 昇圧 DC/DC の電流ループを太く短く配線する。

外付け部品でできる対策

- ③ コモンモードフィルタやビーズコイルといった EMC フィルタを AVDD ライン挿入する。
- ④ 周波数特性の良い(サイズの小さい)コンデンサ(10pF - 1,000pF)を出力コンデンサと並列に挿入する。
- ⑤ SW 端子にスナバ回路を挿入する。(効率の悪化が懸念されるのでご注意ください)

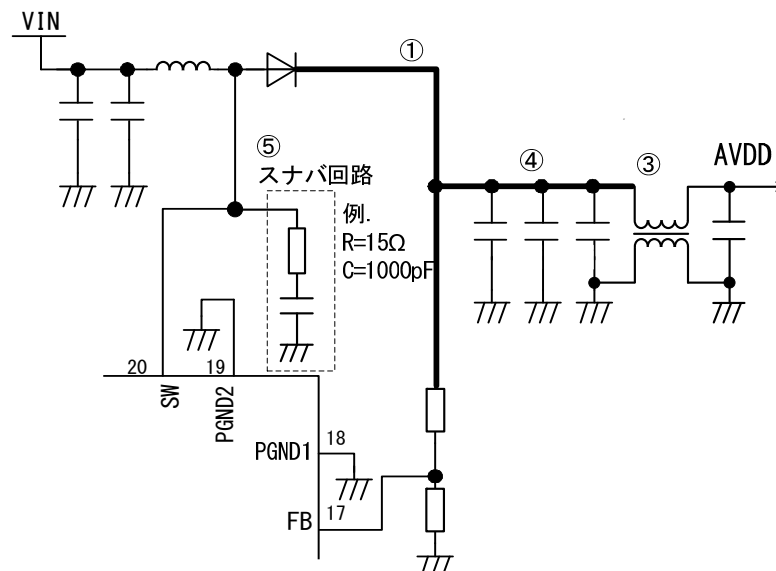


Figure 43. アプリケーション回路図

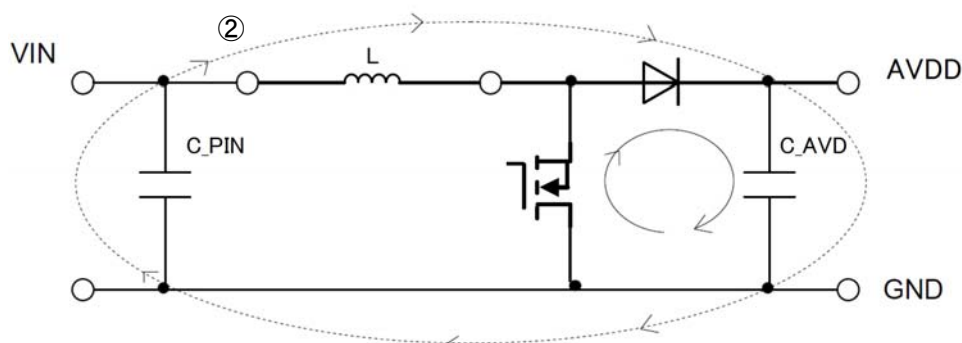


Figure 44. 電流ループ

● 入出力等価回路図
(4.AGND1, 14.AGND2, 18.PGND1, 19.PGND2 を除く)

1.INP 2.INN	3.VCOM 6.DRP 7.DRN	5.AVDD
8.CTL	9.RST	10.FBP 11.FBN 15.RSTIN
12.VREF	13.VIN	16.COMP
17.FB	20.SW	21.RE
22.GSOUT	23.SRC	24.DLY

●使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最高接合部温度を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A) の時、トランジスタ (NPN) では GND > (端子 B) の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、GND > (端子 B) の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板) より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

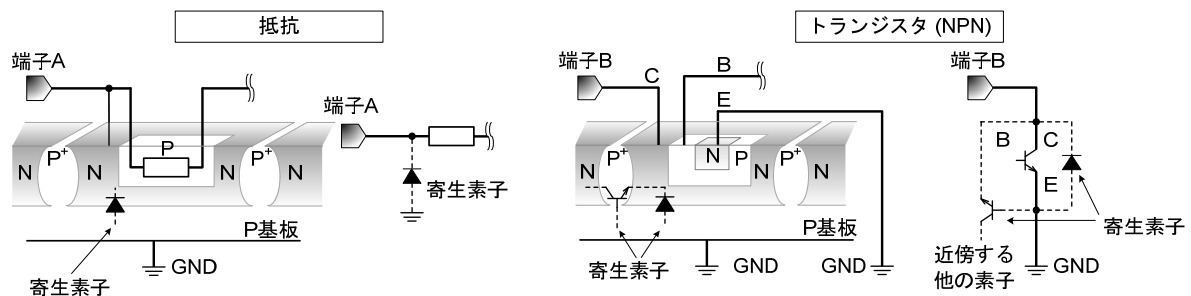


Figure 45. モノリシック IC 構造例

13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

15. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一 許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下しても停止状態が継続するため、動作を再開するためには電源を再投入する必要があります。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計等は、絶対に避けてください。

16. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

●発注形名情報

B D 8 1 8 4 2 M U V

-

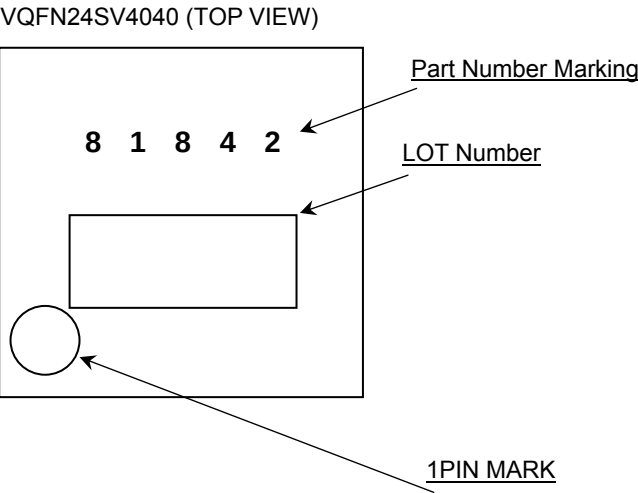
ME2

形名

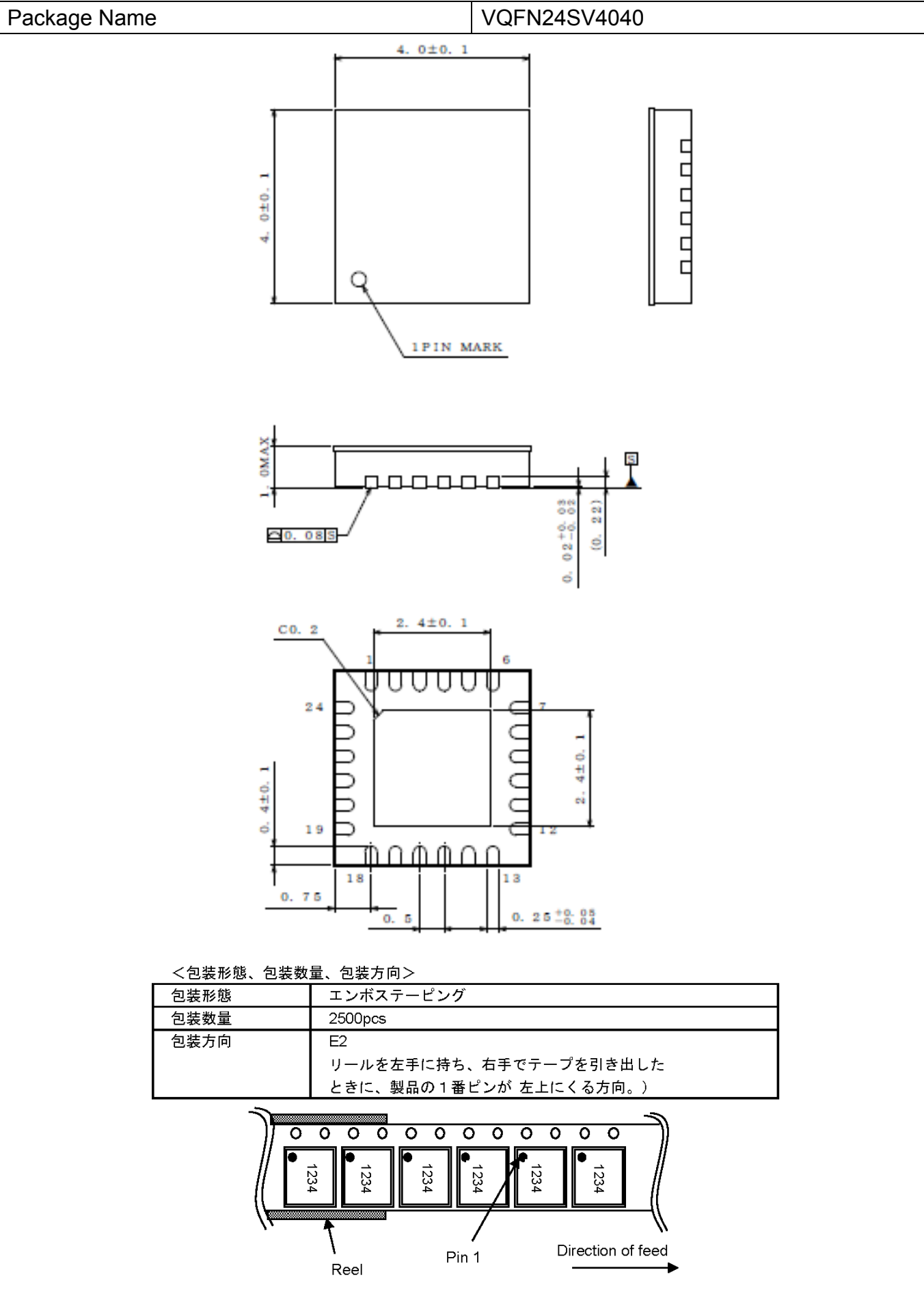
パッケージ
MUV:VQFN24SV4040

製品ランク
M: 車載ランク製品
包装、フォーミング仕様
E2: リール形状エンボステーパーピング

●標印図



●外形寸法図と包装・フォーミング仕様



●改訂履歴

日付	版	変更内容
2015.10.26	001	新規作成
2016.06.23	002	①P6 熱抵抗: 実装ランドパターン+電極引出し用配線 74.2mm ² (正方形) ⇒ 74.2mm□(正方形) ②P17 保護機能について: 低電圧保護⇒VIN 低電圧保護 ③P25 推奨レイアウトパターン追加

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。