

1chip FET 内蔵タイプ スイッチングレギュレータシリーズ

昇圧/反転 2ch スイッチングレギュレータ

BD81870EFV-M

●概要

BD81870EFV は FET 内蔵、電流モードコントロールの昇圧及び反転 DC/DC コンバータの計 2ch を搭載したスイッチングレギュレータです。

●特長

- AEC-Q100 対応^(NOTE1)
- 広入力電圧対応 2.5V ~ 5.5V
- 高周波数動作 2.1MHz
- 300mΩ/22V の Nch FET、300mΩ/15.5V の Pch FET を内蔵
- 昇圧回路はソフトスタート機能付きの 150mΩ ハイサイド SW を内蔵
- 独立 ON/OFF 可能、各 CH ディスチャージ SW を内蔵
- 各種保護を内蔵：OCP, SCP, OVP, UVLO, TSD^(NOTE1:Grade2)

●用途

- カーナビゲーションパネル、車載計器パネル

●基本アプリケーション回路

(TOP VIEW)

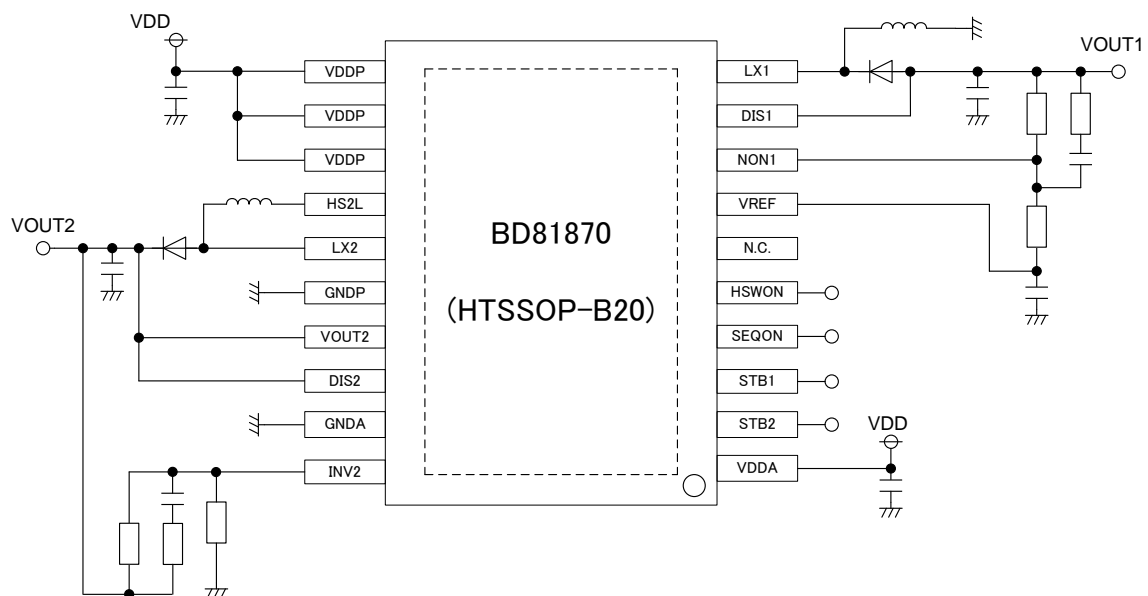


Figure 1. Application Circuit

●特殊特性

- 基準電圧精度： ±3% (Ta=-40~105°C)
- スイッチング周波数： ±14.3% (Ta=-40~105°C)

●重要特性

- 入力電圧範囲： 2.5V ~ 5.5V
- 昇圧出力電圧範囲： VDD x 1.24 ~ 18.0V
- 反転出力電圧範囲： VDD - 13.0V ~ -1.0V
- スイッチング周波数： 2.1MHz(Typ.)
- Nch FET オン抵抗： 300mΩ (Typ.)
- Pch FET オン抵抗： 300mΩ (Typ.)
- 動作温度範囲： -40°C ~ +105°C

●パッケージ

HTSSOP-B20

 W (Typ.) x D (Typ.) x H (Max.)
6.5mm x 6.4mm x 1.00mm


HTSSOP-B20

目 次

●概要	1
●特徴	1
●用途	1
●基本アプリケーション回路	1
●特殊特性	1
●重要特性	1
●パッケージ	1
●端子配置図	3
●端子説明	3
●ブロック図	4
●各ブロック動作説明	5
●絶対最大定格	7
●熱抵抗	8
●推奨動作範囲	8
●電気的特性	9
●参考データ	11
●タイミングチャート 1	17
●タイミングチャート 2	18
●アプリケーション例	19
●部品定数限界	20
●アプリケーション部品選定方法	21
●アプリケーション使用の注意	23
●レイアウトパターン設計について	25
●入出力等価回路図	26
●使用上の注意	27
●発注形名情報	30
●標印図	30
●外形寸法図と包装・フォーミング仕様	31
●改訂履歴	32

●端子配置図

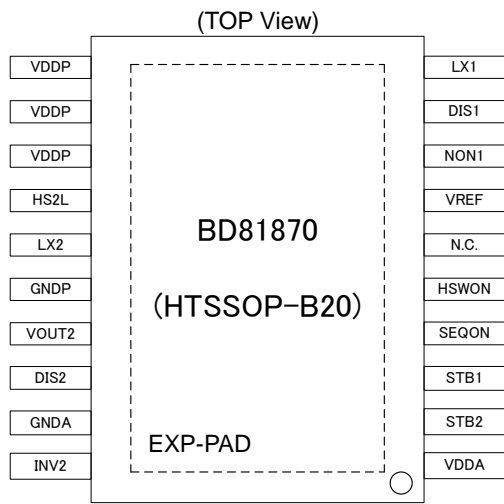


Figure 2. Pin Configuration

●端子説明

端子番号	記 号	機 能	端子番号	記 号	機 能
1	VDDA	電源入力端子	11	VDDP	電源入力端子
2	STB2	昇圧出力 ON/OFF 端子	12	VDDP	電源入力端子
3	STB1	反転出力 ON/OFF 端子	13	VDDP	電源入力端子
4	SEQON	シーケンス ON/OFF 端子	14	HS2L	ハイサイドスイッチ出力端子
5	HSWON	ハイサイドスイッチ ON 端子	15	LX2	昇圧出力スイッチング端子
6	N.C.	—	16	GNDP	昇圧出力 GND 端子
7	VREF	反転出力基準電圧端子	17	VOUT2	昇圧出力センス端子
8	NON1	反転出力帰還端子	18	DIS2	昇圧出力ディスチャージ端子
9	DIS1	反転出力ディスチャージ端子	19	GNDA	アナログ GND 端子
10	LX1	反転出力スイッチング端子	20	INV2	昇圧出力帰還端子
-	EXP-PAD	裏面の放熱 PAD、GND に接続してください			

●ブロック図

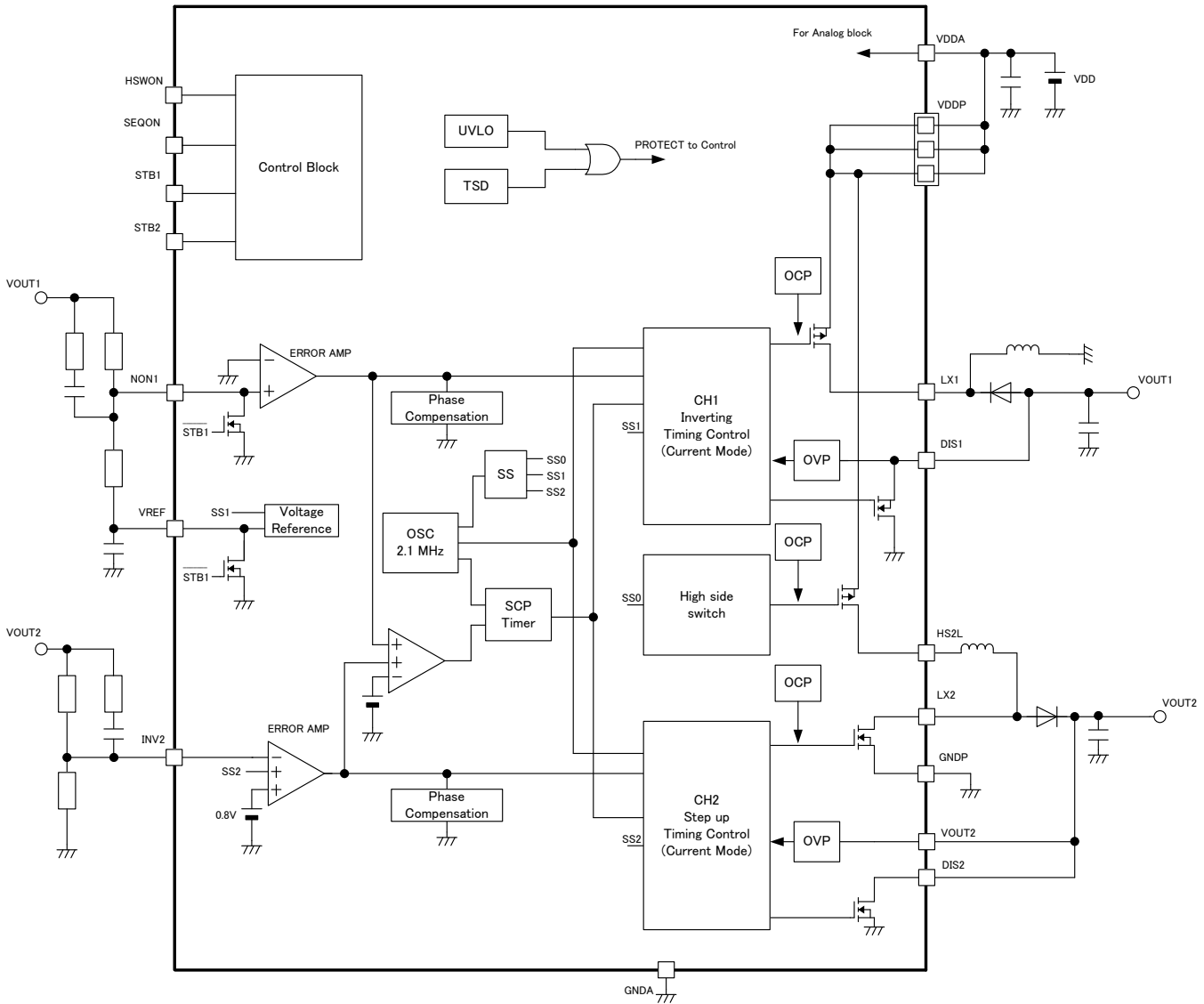


Figure 3. Block Diagram

●各ブロック動作説明

1. Control Block

反転 DC/DC、昇圧 DC/DC、ハイサイドスイッチの各チャネルの ON/OFF をコントロールするブロックです。
SEQON 端子と HSWON 端子により、ON/OFF シーケンスを変更できます。
SEQON 端子と HSWON 端子は VDD または GND にショートして使用してください。
(プルアップ・プルダウンによる内部固定はされていません。)

制御入力					出力チャネル		
UVLO/TSD (内部信号)	SEQON	HSWON	STB1	STB2	反転 DC/DC	昇圧 DC/DC	ハイサイド スイッチ
H	-	-	-	-	OFF	OFF	OFF
L	L	L	L/H	L/H	STB1	STB2	
L	L	H	L/H	L/H	STB1	STB2	ON
L	H	L	L/H	(Note 1)	内蔵 ON/OFF シーケンス		
L	H	H	L/H	(Note 1)	内蔵 ON/OFF シーケンス		ON

(Note 1) 12.出力ディスチャージの項目参照。

2. Voltage Reference

反転出力基準電圧及び昇圧出力エラーアンプ基準電圧を生成するブロックです。

3. UVLO

低電圧入力誤動作防止回路です。

4. TSD

異常発熱による IC 破壊を防止するための保護回路です。
IC が 175°C(typ.)以上になると全出力がシャットダウンします。温度が 150°C(typ.)まで下がると動作は復帰します。

5. OSC

内部周波数を決定する発振回路です。

6. Soft Start (SS)

DC/DC コンバータ起動時の出力電圧を徐々に上昇させることにより、起動時のラッシュ電流を防止する回路です。
反転 DC/DC、昇圧 DC/DC、ハイサイドスイッチの内部ソフトスタート信号を生成します。

7. SCP Timer

タイマーラッチ式の短絡保護回路です。反転または昇圧 DC/DC が動作中、
SCP を検出した状態で 31msec (typ) 経過すると、すべての出力チャネルがオフラッチします。
UVLO または TSD が動作すると、オフラッチは解除されます。
SEQON=L のときは、STB1 と STB2 を L とすると、オフラッチは解除されます。
SEQON=H のときは、STB1 を L とすると、オフラッチは解除されます。

反転 DC/DC において、NON1 端子がエラーアンプ基準電圧 0.0V を上回るとエラーアンプ出力が上昇し、SCP を検出します。
昇圧 DC/DC において、INV2 端子がエラーアンプ基準電圧 0.8V を下回るとエラーアンプ出力が上昇し、SCP を検出します。

8. High Side Switch

昇圧出力と電源入力の経路を遮断することで、昇圧出力に電源電圧が出力されるのを防ぎます。昇圧出力起動時には、ソフトスタート機能により、ラッシュ電流が流れるのを防ぎます。
ハイサイドスイッチに過電流が流れると、ハイサイドスイッチはオフ状態でラッチします。
ハイサイドスイッチが OFF となる制御入力条件となると、ラッチは解除されます。

9. ERROR AMP

出力信号を検出し、PWM 制御信号を出力する誤差増幅器です。

10. Timing Control

ERROR AMP の出力電圧に応じて、DUTY をコントロールします。

11. OCP

内蔵 FET に流れる電流を制限することにより、IC の破壊を防ぎます。
OCP を検出すると DUTY が制限され、反転 DC/DC では出力電圧が上昇 (昇圧 DC/DC では出力電圧が低下) します。
そのため SCP が検出され、上記タイマーラッチ動作により、最終的には全出力チャネルがオフラッチします。

12. 出力ディスチャージ

反転 DC/DC の出力容量は、STB1 端子が L のとき DIS1 端子からディスチャージされます。

SEQON 端子を H とした場合、STB2 端子を H とすると、ディスチャージ機能を無効とできます。

SEQON 端子を L とした場合、STB2 端子は昇圧 DC/DC の制御端子となるため、ディスチャージを無効にできません。

昇圧 DC/DC の出力容量は、ハイサイドスイッチがオフのとき、DIS2 端子からディスチャージされます。

HSWON 端子を H とした場合、電源の UVLO が解除されると、ハイサイドスイッチは動作するため、

昇圧 DC/DC の動作によらず、昇圧 DC/DC の出力容量はディスチャージされません。

DIS2 端子から出力容量への経路を切断することで、ディスチャージ機能を無効とできます。

13. OVP

出力電圧が一定以上になると、スイッチングを停止し、過電圧による IC の破壊を防ぎます。

反転 DC/DC では、DIS1 端子が VDDA 基準で -14.5V (typ) となると、スイッチングを停止します。

DIS1 端子の電圧が上昇すると、反転 DC/DC はスイッチングを再開します。

反転 DC/DC の OVP は 1.0V (typ) のヒステリシスがあります。

昇圧 DC/DC では、VOUT2 端子が GND 基準で 20.5V (typ) となると、スイッチングを停止します。

VOUT2 端子の電圧が低下すると、昇圧 DC/DC はスイッチングを再開します。

昇圧 DC/DC の OVP は 1.5V (typ) のヒステリシスがあります。

●絶対最大定格

項 目	記号	定 格			単位
		MIN	TYP	MAX	
Supply Voltage	VDDA, VDDP	-0.3	-	7	V
Input Voltage	STB1, STB2, SEQON, HSWON	-0.3	-	7	V
	NON1, INV2	-0.3	-	7	V
Output Voltage	VREF	-0.3	-	7	V
	LX1	VDDP -15.5	-	VDDP +0.3	V
	DIS1	VDDP -15.5	-	VDDP +0.3	V
	HS2L	-0.3	-	7	V
	LX2	-0.3	-	22	V
	VOUT2	-0.3	-	22	V
	DIS2	-0.3	-	22	V
Operating Ambient Temperature Range	Ta	-40	-	105	°C
Storage Temperature Range	Tstg	-55	-	150	°C
Maximum Continuous Junction Temperature	Tjmax	-	-	150	°C

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

●熱抵抗 (Note 1)

項目	記号	熱抵抗(Typ)		単位
		1 層基板 <small>(Note 3)</small>	4 層基板 <small>(Note 4)</small>	
HTSSOP-B20				
ジャンクションー周囲温度間熱抵抗	θ_{JA}	143.0	26.8	°C/W
ジャンクションーパッケージ上面中心間熱特性パラメータ <small>(Note 2)</small>	Ψ_{JT}	8	4	°C/W

(Note 1) JESD51-2A(Still-Air) に準拠。

(Note 2) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 3) JESD51-3 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3mm x 76.2mm x 1.57mm
1層目（表面）銅箔		
銅箔パターン	銅箔厚	
実装ランドパターン ＋電極引出し用配線	70μm	

(Note 4) JESD51-5,7 に準拠した基板を使用。

測定基板	基板材	基板寸法		サーマルビア (Note 5)	
				ピッチ	直径
4層	FR-4	114.3mm x 76.2mm x 1.6mm		1.20 mm	Φ0.30 mm
1層目（表面）銅箔		2層目、3層目（内層）銅箔		4層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン ＋電極引出し用配線	70μm	74.2mm□（正方形）	35μm	74.2mm□（正方形）	70μm

(Note 5) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

●推奨動作範囲

(Ta=-40°C~105°C)

項目	記号	定格			単位
		MIN	TYP	MAX	
Power supply voltage	VDD	2.5	-	5.5	V
Inverted output voltage	VOUT1	VDD - 13	-	-1.0	V
Step up output voltage	VOUT2	VDD x 1.24	-	18	V

●電気的特性

(特に記載のない限り、Ta=25°C, VDD=3.6V)

Parameter	Symbol	Limits			Unit	Condition
		MIN	TYP	MAX		
【 Under Voltage Lockout Threshold 】						
UVLO release voltage	UVL_REL	2.1	2.3	2.5	V	VDD sweep up
UVLO detect voltage	UVL_DET	1.7	1.8	1.9	V	VDD sweep down
【 Oscillator 】						
Oscillating frequency	FOSC	1.8	2.1	2.4	MHz	-40<Ta<105°C
LX1 Max Duty	DMAX1	80	86	-	%	
LX2 Max Duty	DMAX2	80	86	-	%	
【 Error AMP, VREF 】						
VREF voltage	VREF	0.985	1.000	1.015	V	VREF- NON1 feedback resistance R1B 20kΩ
VREF voltage range	VREF_R	0.970	1.000	1.030	V	-40<Ta<105°C VDD=2.5 to 5.5V
INV2 voltage	VINV	0.788	0.800	0.812	V	
INV2 voltage range	VINV_R	0.776	0.800	0.824	V	-40<Ta<105°C VDD=2.5 to 5.5V
CH1 Soft start time	TSS1	2.5	3.2	3.9	ms	
CH2 Soft start time	TSS2	2.5	3.2	3.9	ms	
【 Internal FET 】						
LX1 PMOS ON resistance	RLX1	-	300	480	mΩ	
DIS1 discharge resistance	RDIS1	-	100	160	Ω	VSTB1=0V, IDIS1=-1mA
NON1 discharge resistance	RNON1	-	150	240	Ω	VSTB1=0V, INON1=1mA
VREF discharge resistance	RVREF	-	150	240	Ω	VSTB1=0V, IVREF=1mA
HighsideSW ON resistance	RHSW	-	150	240	mΩ	
LX2 NMOS ON resistance	RLX2	-	300	480	mΩ	
DIS2 discharge resistance	RDIS2	-	100	160	Ω	VSTB2=0V, IDIS2=-1mA
LX1 OCP threshold ^(Note 1)	IOCP1	1.2	2.4	3.6	A	
LX2 OCP threshold ^(Note 1)	IOCP2	1.2	2.4	3.6	A	
HS2L leak current	ILX_HSW	-1	0	1	μA	
LX1 leak current	ILK_LX1	-1	0	1	μA	
LX2 leak current	ILK_LX2	-1	0	1	μA	
【 OVP 】						
CH1 Over voltage protection	OVP1	VDD -15.5	VDD -14.5	VDD -13.5	V	Monitoring DIS1
CH2 Over voltage protection	OVP2	19	20.5	22	V	Monitoring VOUT2
【 TSD 】						
TSD Detect Temperature ^(Note 1)	TSD_DET	150	175	200	°C	
TSD Hysteresis ^(Note 1)	TSD_HYS	-	25	-	°C	

(Note 1) 設計保証項目であり、出荷時の全数測定は実施しておりません。

●電気的特性

(特に記載のない限り、Ta=25°C, VDD=3.6V)

Parameter		Symbol	Limits			Unit	Condition
			MIN	TYP	MAX		
【 Control Block 】							
Control voltage	Active	VH	VDD x0.7	-	-	V	
	Non-active	VL	-	-	VDD x0.3	V	
STB pull down resistance		RCTRL	560	800	1040	kΩ	STB1, STB2
【 Circuit current 】							
Standby current VDD		ISTB	-	-	1	μA	STB1=STB2=0V SEQON=HSWON=0V LX1=0V, HS2L=0V
Standby current range VDD		ISTB_R	-	-	20	μA	-40<Ta<105℃
Circuit current of operation VDD		IDD	-	500	700	μA	STB1=STB2=3.6V NON1=-0.2V, INV2=1.2V

●参考データ
(特に記載のない限り、Ta=25°C, VDD=3.6V, VOUT1=-6.2V, VOUT2=6.2V)

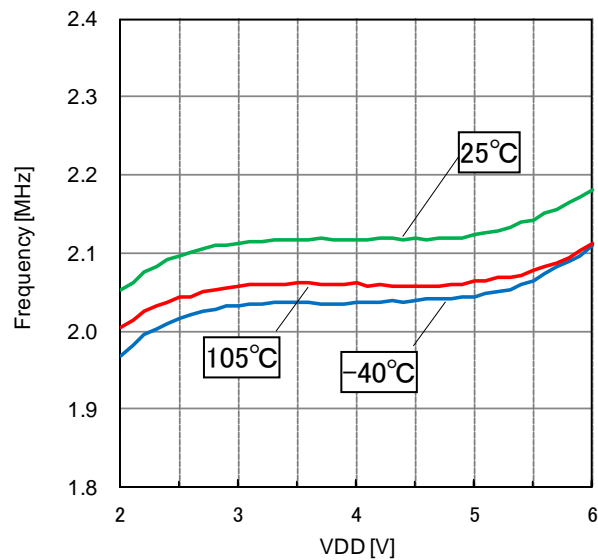


Figure 4. Frequency vs. VDD

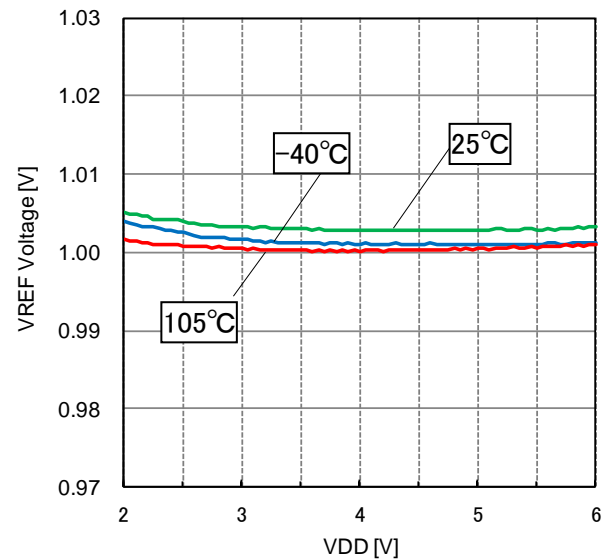


Figure 5. VREF Voltage vs. VDD

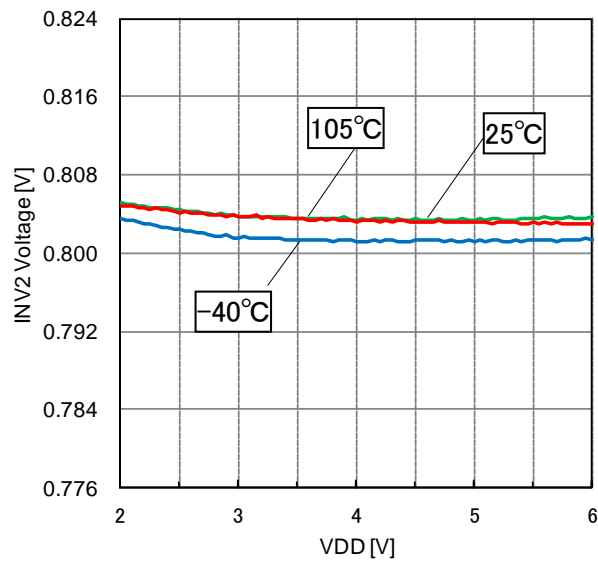


Figure 6. INV2 Voltage vs. VDD

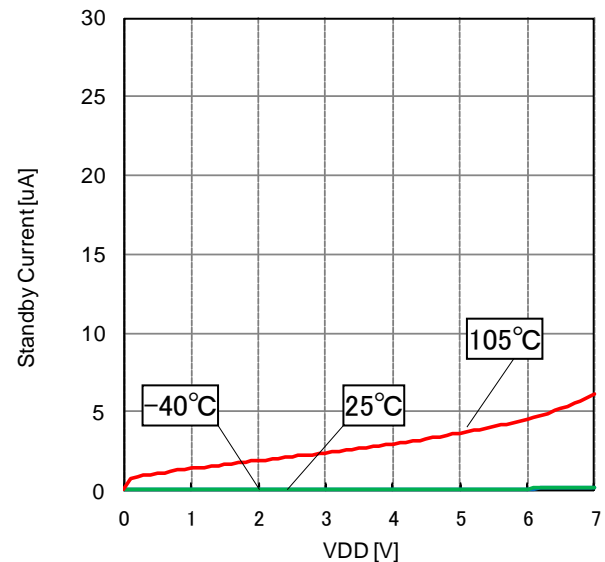


Figure 7. Standby Current vs. VDD

●参考データ
(特に記載のない限り、Ta=25°C, VDD=3.6V, VOUT1=-6.2V, VOUT2=6.2V)

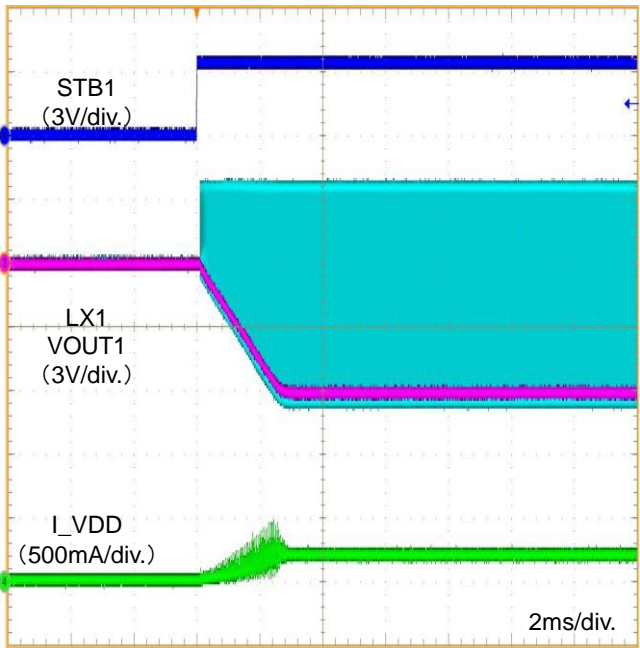


Figure 8. VOUT1 STB ON Waveform (Load 100mA)

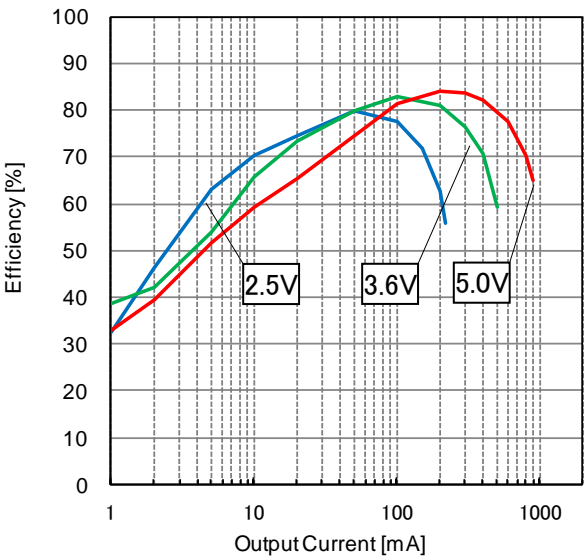


Figure 9. VOUT1 Efficiency vs. Output Current (VDD)

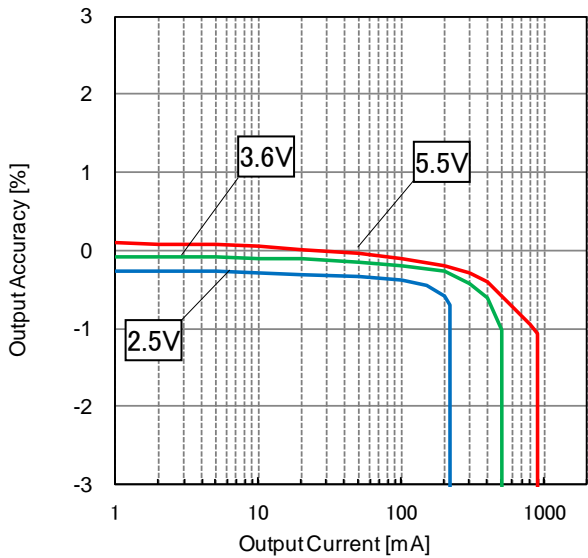


Figure 10. VOUT1 Output Accuracy vs. Output Current (VDD)

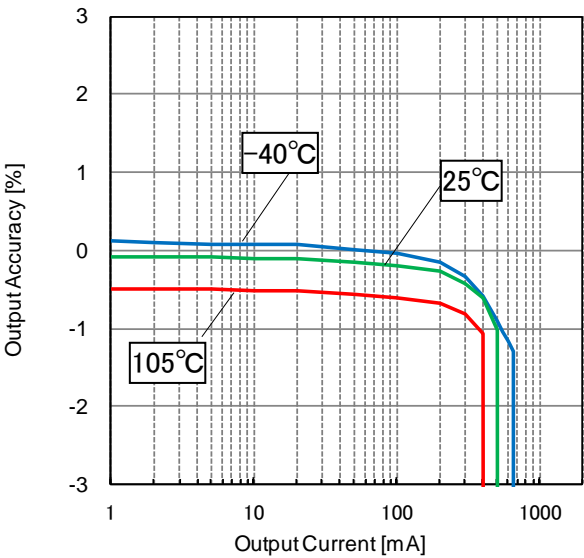


Figure 11. VOUT1 Output Accuracy vs. Output Current (Temp)

●参考データ
(特に記載のない限り、Ta=25°C, VDD=3.6V, VOUT1=-6.2V, VOUT2=6.2V)

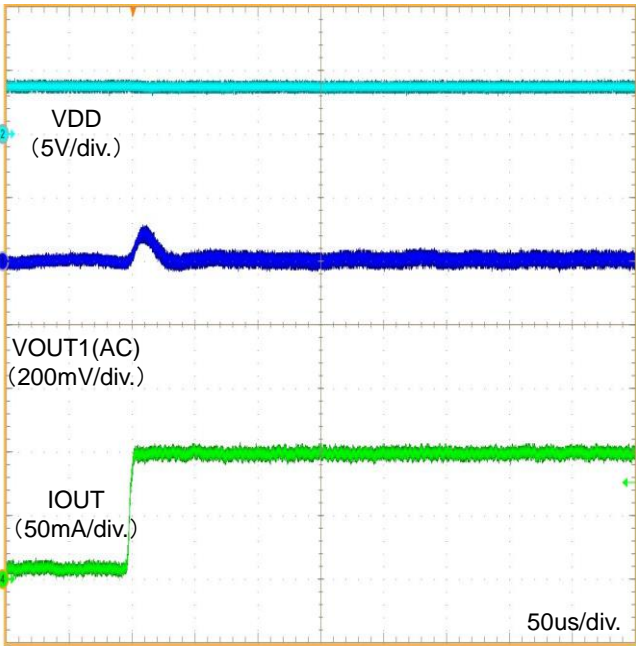


Figure 12. VOUT1 Load Transient Response Rising

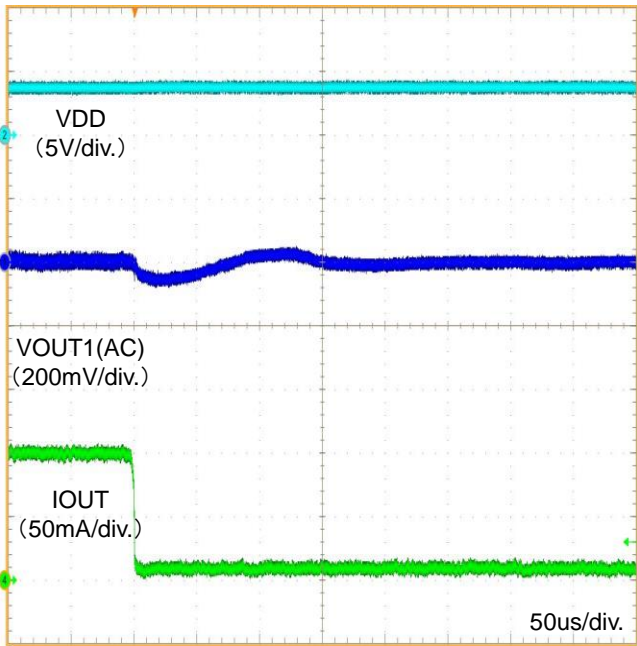


Figure 13. VOUT1 Load Transient Response Falling

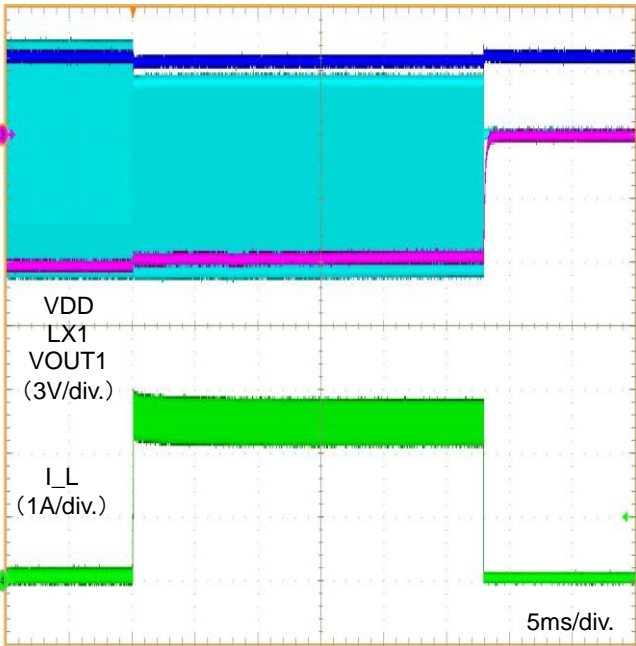


Figure 14. VOUT1 Over Current Protection

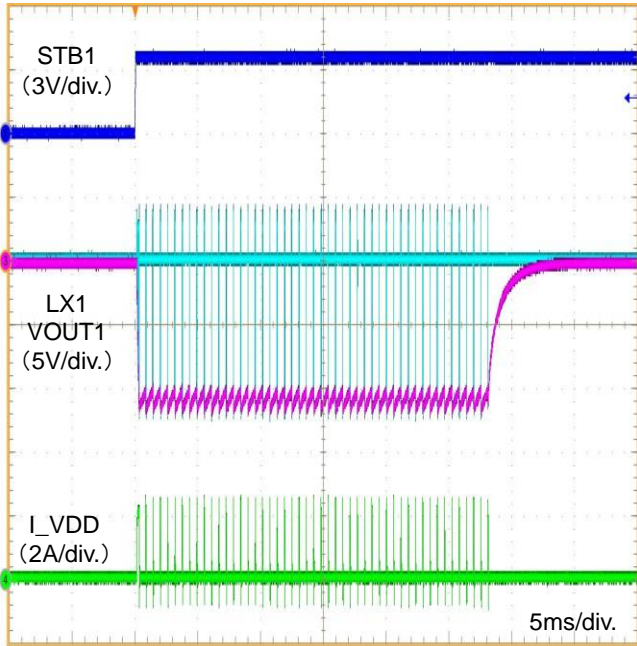


Figure 15. VOUT1 Over Voltage Protection

●参考データ
(特に記載のない限り、Ta=25°C, VDD=3.6V, VOUT1=-6.2V, VOUT2=6.2V)

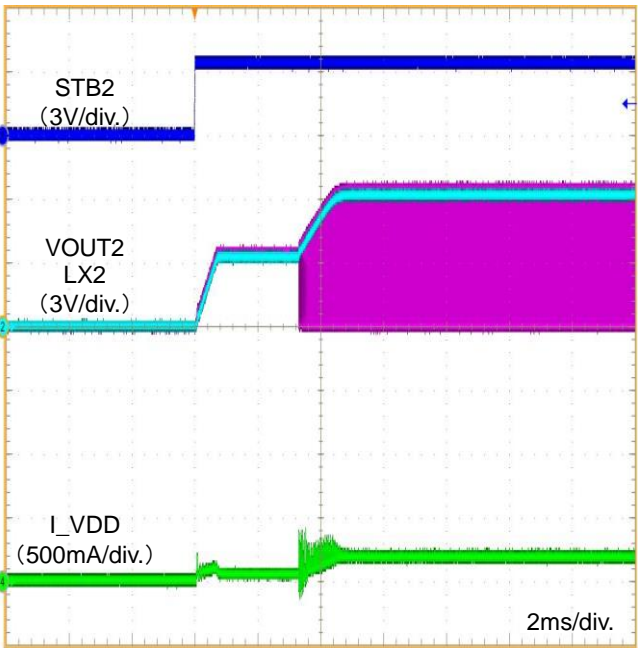


Figure 16. VOUT2 STB ON Waveform (Load 100mA)

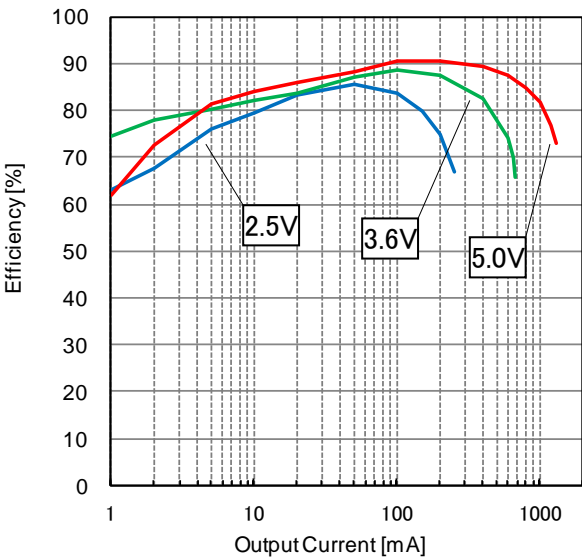


Figure 17. VOUT2 Efficiency vs. Output Current (VDD)

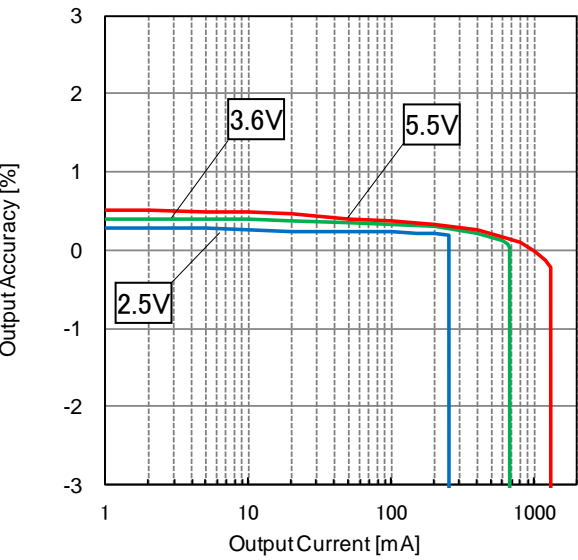


Figure 18. VOUT2 Output Accuracy vs. Output Current (VDD)

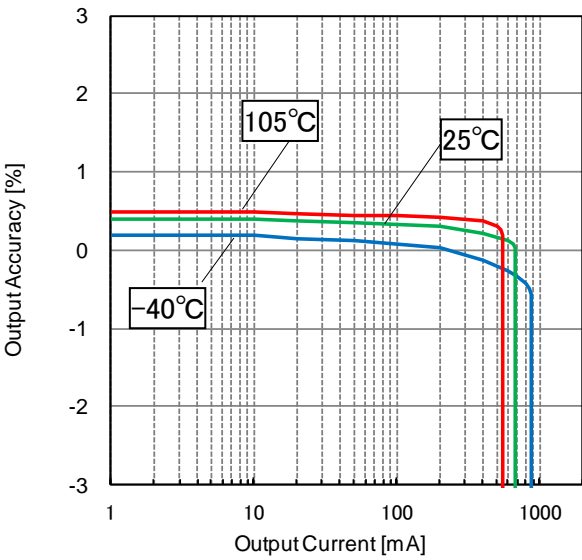


Figure 19. VOUT2 Output Accuracy vs. Output Current (Temp)

●参考データ
(特に記載のない限り、Ta=25°C, VDD=3.6V, VOUT1=-6.2V, VOUT2=6.2V)

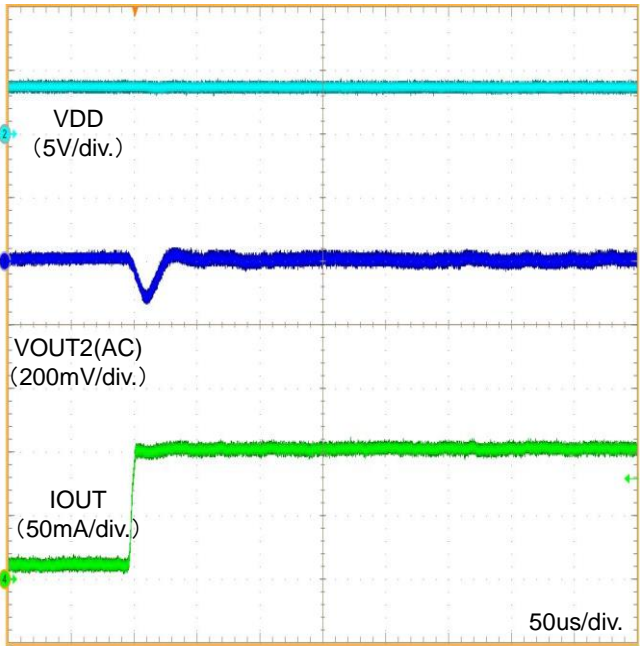


Figure 20. VOUT2 Load Transient Response Rising

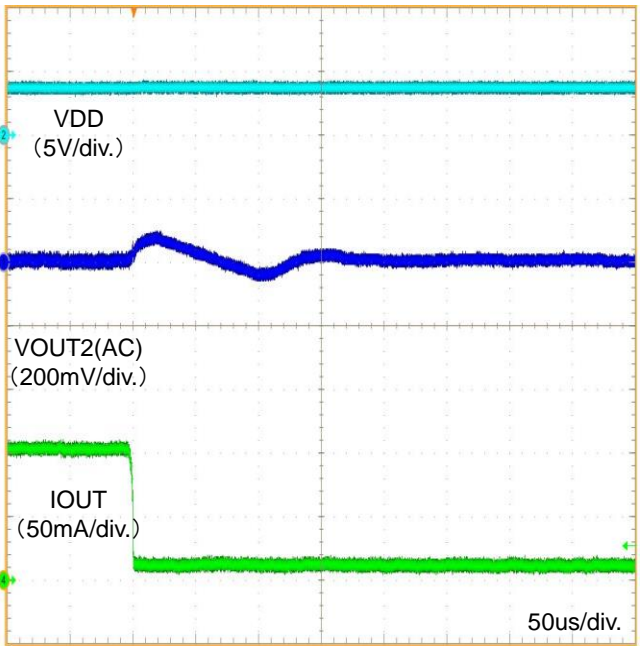


Figure 21. VOUT2 Load Transient Response Falling

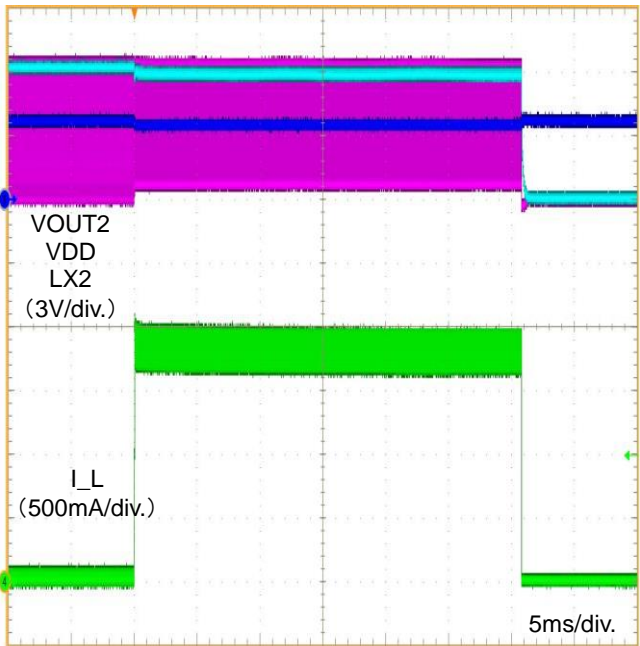


Figure 22. VOUT2 Over Current Protection

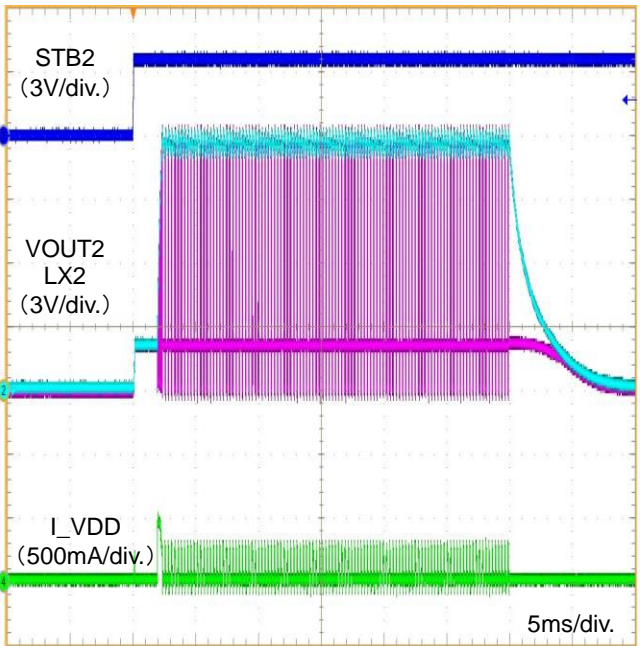


Figure 23. VOUT2 Over Voltage Protection

●参考データ
(特に記載のない限り、Ta=25℃, VDD=3.6V, VOUT1=-6.2V, VOUT2=6.2V)

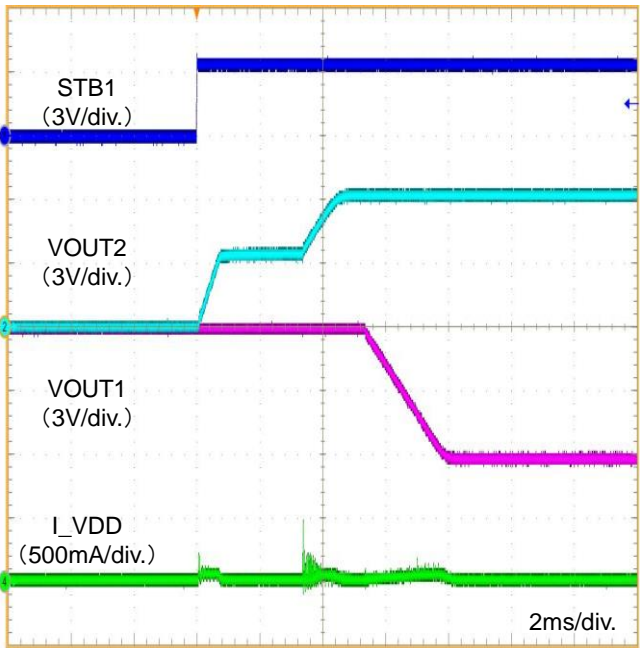


Figure 24. STB ON Waveform (SEQON=H, no load)

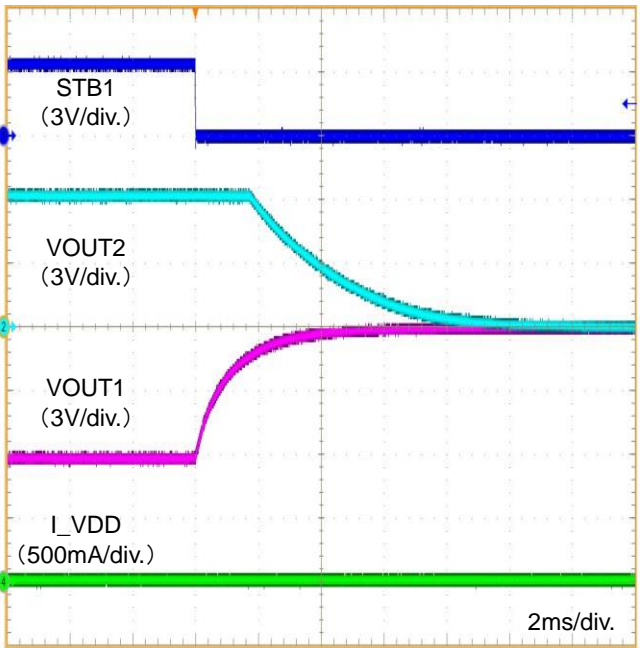


Figure 25. STB OFF Waveform (SEQON=H, no load)

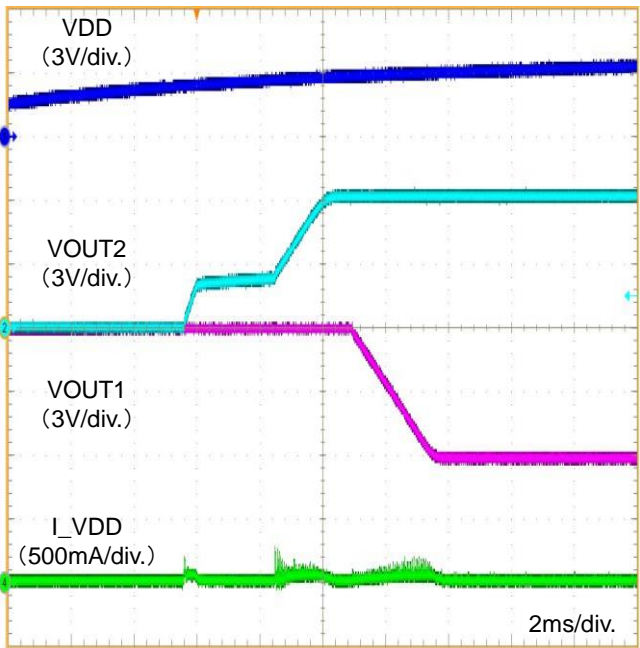


Figure 26. VDD ON Waveform (SEQON=H, no load)

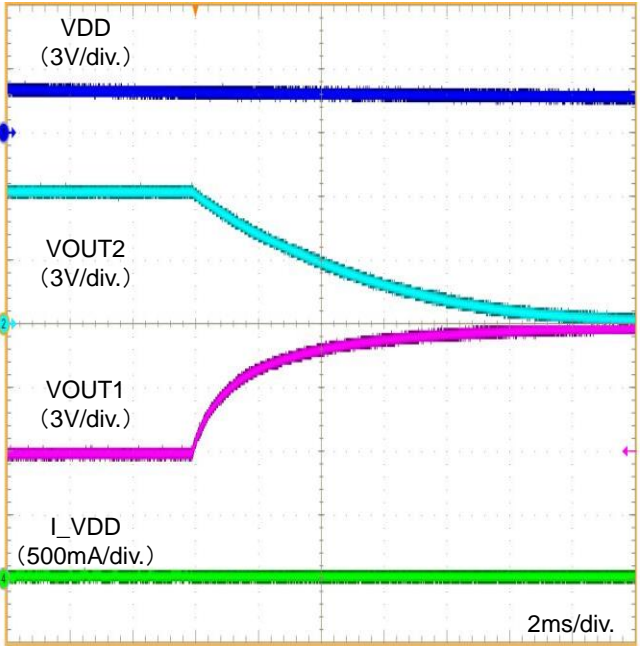


Figure 27. VDD OFF Waveform (SEQON=H, no load)

● タイミングチャート 1

本 IC の STB 制御時の ON / OFF シーケンスは以下ようになります。(STB1 と STB2 を VDD と独立制御)

SEQON 端子を L とした場合、反転 DC/DC と昇圧 DC/DC をそれぞれ制御できます。

STB1 端子を H とすると、反転 DC/DC のソフトスタートを開始します。

STB2 端子を H とすると、昇圧 DC/DC はソフトスタートを開始しますが、

昇圧 DC/DC のソフトスタート開始は、ハイサイドスイッチのソフトスタート開始から 2msec (typ.) 経過後となります。

ハイサイドスイッチのソフトスタート開始は、HSWON 端子が L の場合は STB2 端子が H となったとき、

HSWON 端子が H の場合は、VDD の UVLO が解除された時となります。

(HSWON 端子が H の場合の ON / OFF シーケンスは赤点線で示すようになります。)

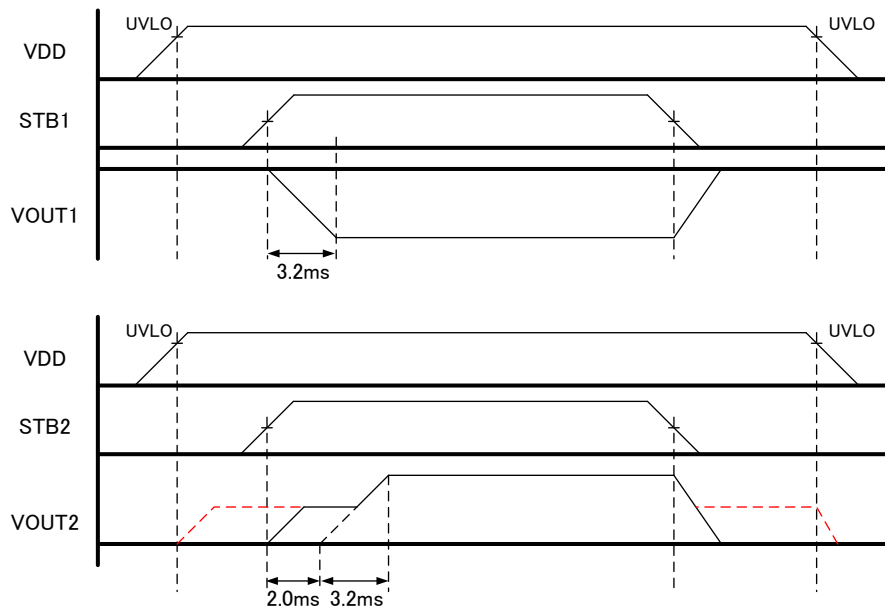


Figure 28. VDD ≠ STB, SEQON = GND

SEQON 端子を H とした場合、反転 DC/DC と昇圧 DC/DC は内部シーケンス制御となります。

STB1 端子を H とすると、昇圧 DC/DC のソフトスタート完了後に、反転 DC/DC のソフトスタートを開始します。

STB1 端子を L とすると、反転 DC/DC のオフ後 2.0msec 経過後に、昇圧 DC/DC はオフします。

昇圧 DC/DC のオフ時遅延が発生するのは、反転 DC/DC のソフトスタート開始以降に、STB1 端子を L としたときです。

(HSWON 端子が H の場合の ON / OFF シーケンスは赤点線で示すようになります。)

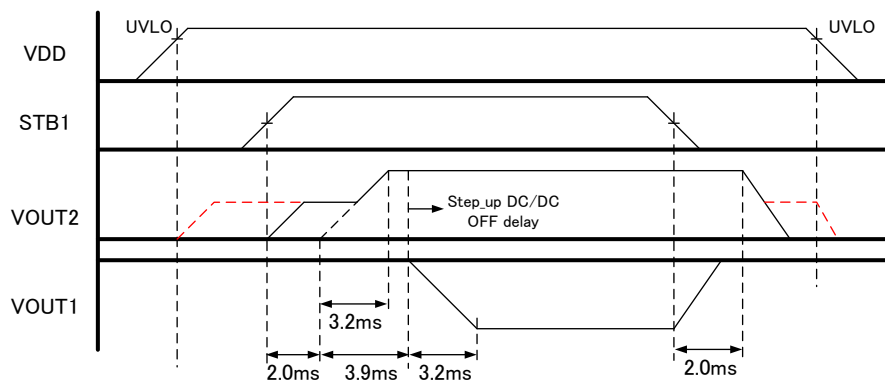


Figure 29. VDD ≠ STB, SEQON = VDD

● タイミングチャート 2

本 IC の UVLO 制御時の ON / OFF シーケンスは以下ようになります。(STB1 または STB2 を VDD とショート)

SEQON 端子を L とした場合、反転 DC/DC と昇圧 DC/DC をそれぞれ制御できます。

STB1 端子と VDD をショート時、VDD の UVLO が解除されると、反転 DC/DC のソフトスタートを開始します。

STB2 端子と VDD をショート時、VDD の UVLO が解除されると、昇圧 DC/DC はソフトスタートを開始しますが、昇圧 DC/DC のソフトスタート開始は、ハイサイドスイッチのソフトスタート開始から 2msec (typ.) 経過後となります。ハイサイドスイッチのソフトスタート開始は、VDD の UVLO が解除された時となります。

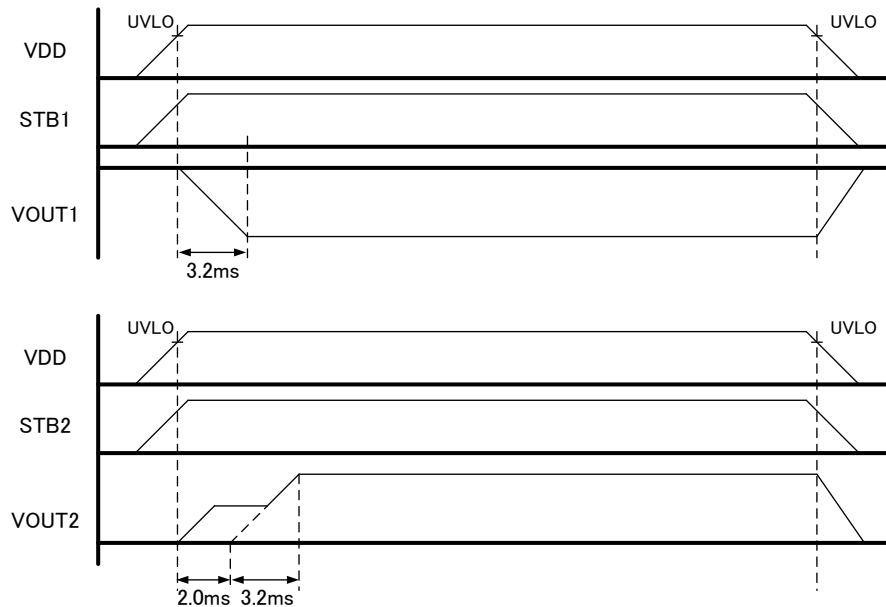


Figure 30. VDD=STB1=STB2, SEQON = GND

SEQON 端子を H とした場合、反転 DC/DC と昇圧 DC/DC は内部シーケンス制御となります。

STB1 端子と VDD をショート時、VDD の UVLO が解除されると、昇圧 DC/DC のソフトスタート完了後に、反転 DC/DC のソフトスタートを開始します。

STB1 端子と VDD をショート時、VDD の UVLO が検出されると、反転 DC/DC と昇圧 DC/DC は同時にオフします。

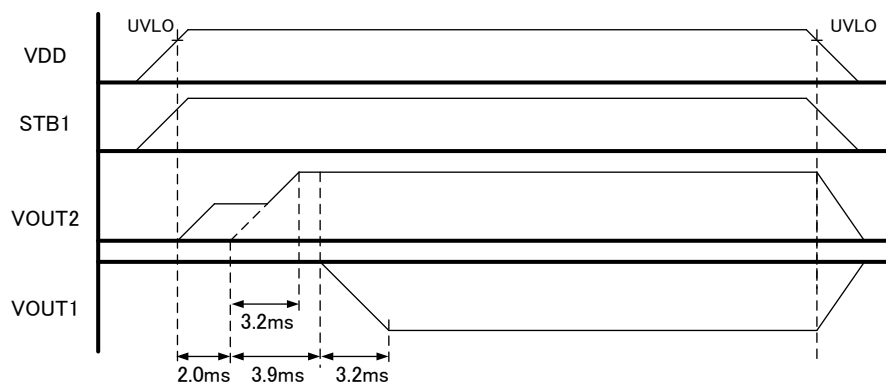


Figure 31. VDD=STB1=STB2, SEQON = VDD

●アプリケーション例
(TOP VIEW)

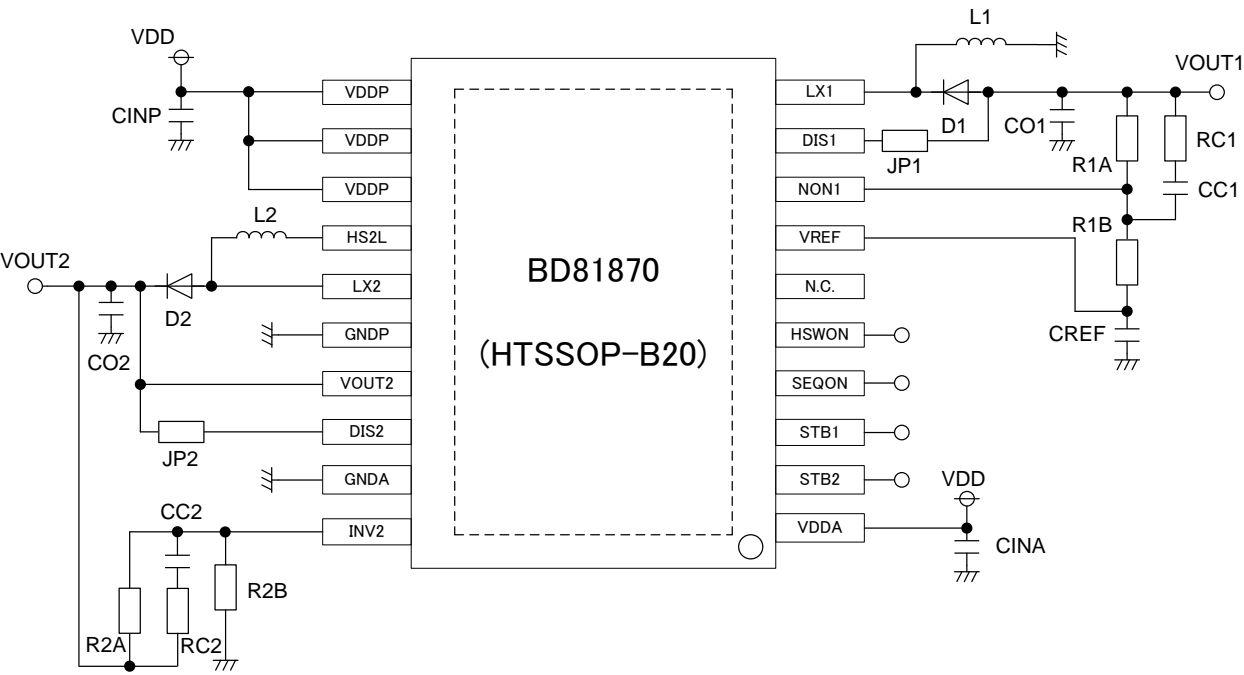


Figure 32. Application Example

●アプリケーション回路部品リスト

・ VDD 3.6V, VOUT1 -6.2V/200mA, VOUT2 6.2V/200mA

Parts name	Value	Company	Parts Number
CINA	1uF/16V	Murata	GCM188R71C105KA64
CINP	10uF/16V	Murata	GCM31CR71C106KA64
L1	4.7uH/1.2A	Yuden	NRS4012T4R7MDGJV
D1	30V/1A	ROHM	RB550VAM-30TR
CO1	22uF/10V x2 直列	Yuden	LMK316ABJ226KLHT
R1A	24kΩ, 100kΩ 直列	ROHM	MCR03
R1B	20kΩ	ROHM	MCR03
CC1	22pF/50V	Murata	GCM1885C1H220JA16
RC1	10kΩ	ROHM	MCR03
CREF	0.1uF/10V	Yuden	LMK105BJ104KVHF
L2	4.7uH/1.2A	Yuden	NRS4012T4R7MDGJV
D2	30V/1A	ROHM	RB550VAM-30TR
CO2	22uF/10V x2 直列	Yuden	LMK316ABJ226KLHT
R2A	270kΩ x2 並列	ROHM	MCR03
R2B	20kΩ	ROHM	MCR03
CC2	15pF/50V	Murata	GCM1885C1H150JA16
RC2	5.1kΩ	ROHM	MCR03

・ VDD 3.6V, VOUT1 -9.0V/30mA, VOUT2 18V/30mA

Parts name	Value	Company	Parts Number
CINA	1uF/16V	Murata	GCM188R71C105KA64
CINP	10uF/16V	Murata	GCM31CR71C106KA64
L1	4.7uH/1.2A	Yuden	NRS4012T4R7MDGJV
D1	30V/1A	ROHM	RB550VAM-30TR
CO1	22uF/10V x2 直列	Yuden	LMK316ABJ226KLHT
R1A	180kΩ	ROHM	MCR03
R1B	20kΩ	ROHM	MCR03
CC1	33pF/50V	Murata	GCM1885C1H330JA16
RC1	2.2kΩ	ROHM	MCR03
CREF	0.1uF/10V	Yuden	LMK105BJ104KVHF
L2	4.7uH/1.2A	Yuden	NRS4012T4R7MDGJV
D2	30V/1A	ROHM	RB550VAM-30TR
CO2	22uF/16V x2 直列	Yuden	EMK325BJ226KMHP
R2A	430kΩ x2 並列	ROHM	MCR03
R2B	10kΩ	ROHM	MCR03
CC2	68pF/50V	Murata	GCM1885C1H680JA16
RC2	5.1kΩ	ROHM	MCR03

●部品定数限界

Parts name	Limits			Unit	Conditions
	MIN	TYP	MAX		
CINA	0.6 (Note 1)	1	—	uF	VDD=2.5V to 5.5V
CINP	6 (Note 1)	10	—	uF	VDD=2.5V to 5.5V
CO1 (Note 2)	6.6 (Note 1)	11	(Note 3)	uF	VOUT1= -6.2V
CO1 (Note 2)	4.4 (Note 1)	11	(Note 3)	uF	VOUT1= -9V
CO2 (Note 2)	6.6 (Note 1)	11	(Note 3)	uF	VOUT2=6.2V
CO2 (Note 2)	4.4 (Note 1)	11	(Note 3)	uF	VOUT2=18V
L1 (Note 2)	2.2	4.7	10	uH	—
L2 (Note 2)	2.2	4.7	10	uH	—
R1	—	—	250	kΩ	R1 = R1A + R1B
R2	—	—	250	kΩ	R2 = R2A + R2B

(Note 1) コンデンサの容量は温度特性、DC バイアス特性、などを考慮して最小値を下回らないように設定してください。

(Note 2) 位相特性についても考慮して、選定が必要です。

(Note 3) 起動時のラッシュ電流も考慮して、選定が必要です。

●アプリケーション部品選定方法

1. 出力インダクタ

電流定格（下記電流値 I_{peak} ）を満たし、ESR（直流等価抵抗）が低く、シールドタイプのを推奨します。
以下の式に示すように、インダクタの値はリップル電流に大きく影響します。

$$I_{peak} = \frac{V_{in} - V_{out}}{V_{in} \times \eta} \times I_{out} + \frac{1}{2} \times \frac{V_{in} \times (-V_{out})}{L \times f \times (V_{in} - V_{out})} \quad (\text{反転 DC/DC})$$

$$I_{peak} = \frac{V_{out}}{V_{in} \times \eta} \times I_{out} + \frac{1}{2} \times \frac{V_{in} \times (V_{out} - V_{in})}{L \times f \times V_{out}} \quad (\text{昇圧 DC/DC})$$

η : Efficiency(<0.92), f : Switching frequency, L : inductance

以上式の第二項はコイルのリップル電流 ΔI_L です。

※コイルの定格を超える電流をコイルに流しますとコイルが磁気飽和を起こし、効率の低下や出力の発振を引き起こすことがあります。ピーク電流がコイルの定格電流を超えないよう十分なマージンをもって選定してください。

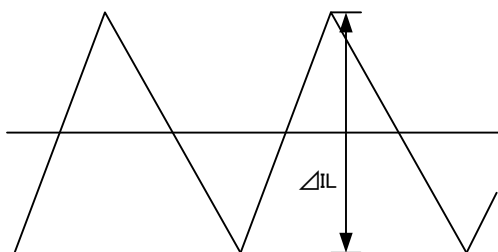


Figure 33. Ripple Current

2. 出力容量

出力に使用するコンデンサは出力電圧リップルを軽減するため、ESR の低いセラミック・コンデンサを推奨いたします。
また、コンデンサの定格は DC バイアス特性を考慮にいたしたうえ、最大定格が出力電圧に対して十分マージンのあるものを使用してください。セラミック・コンデンサを用いた場合の出力リップル電圧は次式より求められます。

$$\Delta V_{PP} = I_{peak} \times R_{ESR} + \frac{I_{out}}{C_{out}} \times \frac{-V_{out}}{V_{in} - V_{out}} \times \frac{1}{f} \quad (\text{反転 DC/DC})$$

$$\Delta V_{PP} = I_{peak} \times R_{ESR} + \frac{I_{out}}{C_{out}} \times \frac{V_{out} - V_{in}}{V_{out}} \times \frac{1}{f} \quad (\text{昇圧 DC/DC})$$

許容リップル電圧内に収まるよう設定を行ってください。

3. 出力電圧設定

CH1

反転基準電圧の VREF は 1.0V、ERRORAMP の内部基準電圧は 0V となっています。

出力電圧は以下の式で決まります。

$$VOUT1 = - \frac{R1A}{R1B} \times 1.0V$$

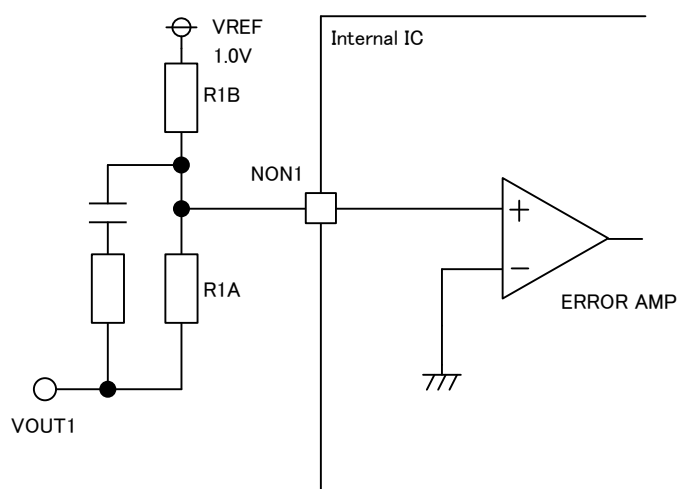


Figure 34. CH1 setting of feedback resistance

CH2

ERROR AMP の内部基準電圧は 0.8V となっています。出力電圧は以下の式で決まります。

$$VOUT2 = \frac{R2A + R2B}{R2B} \times 0.8V$$

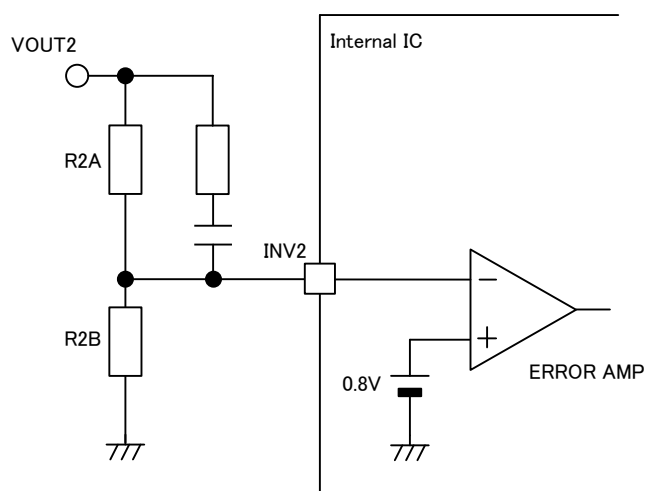


Figure 35. CH2 setting of feedback resistance

●アプリケーション使用の注意

1. 反転 DC/DC ソフトスタートについて

反転 DC/DC のソフトスタート機能は、反転基準電圧の VREF をソフトスタートすることにより実現されています。反転 DC/DC をオフすると、VREF 端子は内蔵の MOS (typ. 150Ω) によりディスチャージされます。

反転 DC/DC をオフ後すぐに再起動する動作では、VREF 端子が完全にディスチャージされていないと、出力がソフトスタートせず、起動時ラッシュ電流が流れる場合があります。

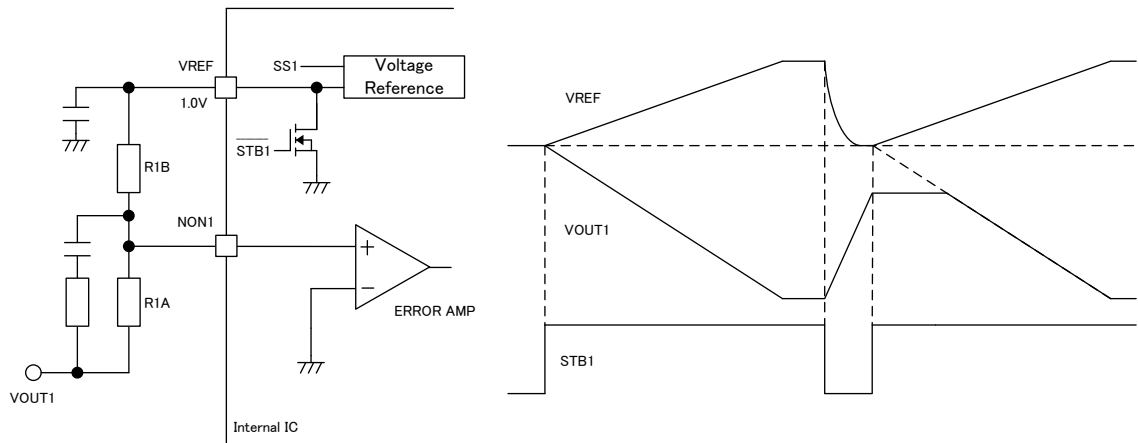


Figure 36. CH1 softstart function

2. ハイサイドスイッチのソフトスタート時間について

ハイサイドスイッチのソフトスタート時間は、電源電圧と出力電圧設定により変化します。ソフトスタート時間 T_{HSWSS} は以下の式で決まります。

$$T_{HSWSS} = 1.6\text{msec} \times \frac{V_{DD} - V_f}{V_{out}}$$

また、ハイサイドスイッチのソフトスタート時の出力容量への電流は、

$$I_{HSWSS} = \frac{C_{out} \times V_{out}}{1.6\text{msec}}$$

となります。 $C_{out}=4.7\mu\text{F}$, $V_{out}=18\text{V}$ とすると、 $I_{HSWSS} = 53\text{mA}$ となります。

3. 出力可能電流について

反転 DC/DC と昇圧 DC/DC の出力可能電流は、電源電圧と出力電圧設定により変化します。DUTY または FET の許容電流による制限があるためです。以下に入出力条件と出力可能電流の表を示します。
(この表は、任意のサンプルにてオフラッチが動作する出力電流を測定した参考データです。保証値ではありません。)

Iout[mA]		VOUT1[V]	
		-6	-9
VDD[V]	2.5	220	123
	3	350	243
	3.5	480	343
	4	602	436
	4.5	722	
	5	844	
	5.5	952	

Iout [mA]		VOUT2[V]				
		6	9	12	15	18
VDD[V]	2.5	252	150	76		
	3	406	252	177	97	
	3.5	584	364	268	200	120
	4	777	481	352	273	215
	4.5	1000	608	440	340	276
	5		738	534	414	334
	5.5		876	644	487	383

Figure 37. Output Current Ability

4. 使用しないチャンネルの処理

反転 DC/DC のみを使用する場合は、各端子の処理を以下のようにしてください。

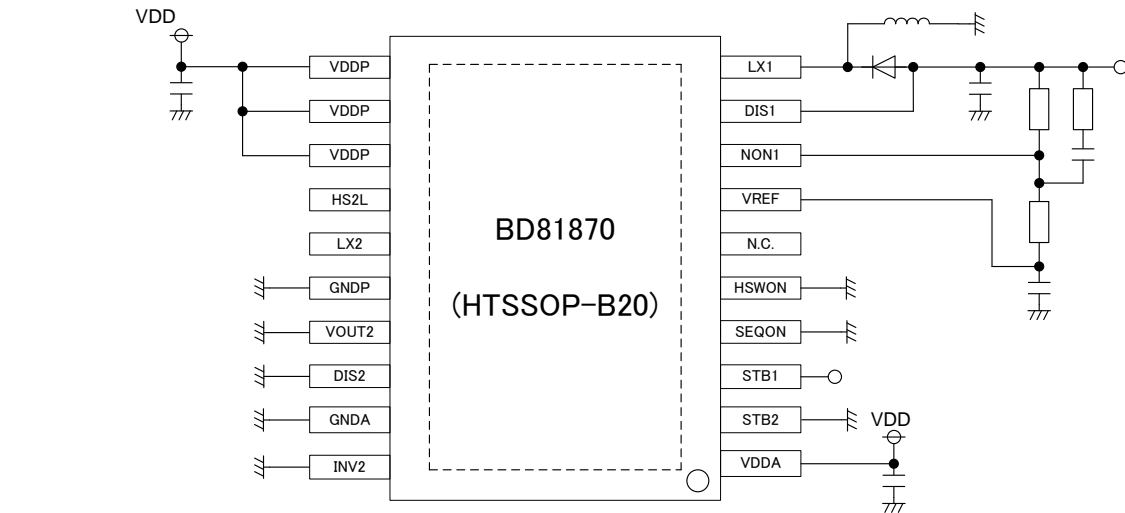


Figure 38. Disable CH2 boost DC/DC channel

昇圧 DC/DC のみを使用する場合は、各端子の処理を以下のようにしてください。

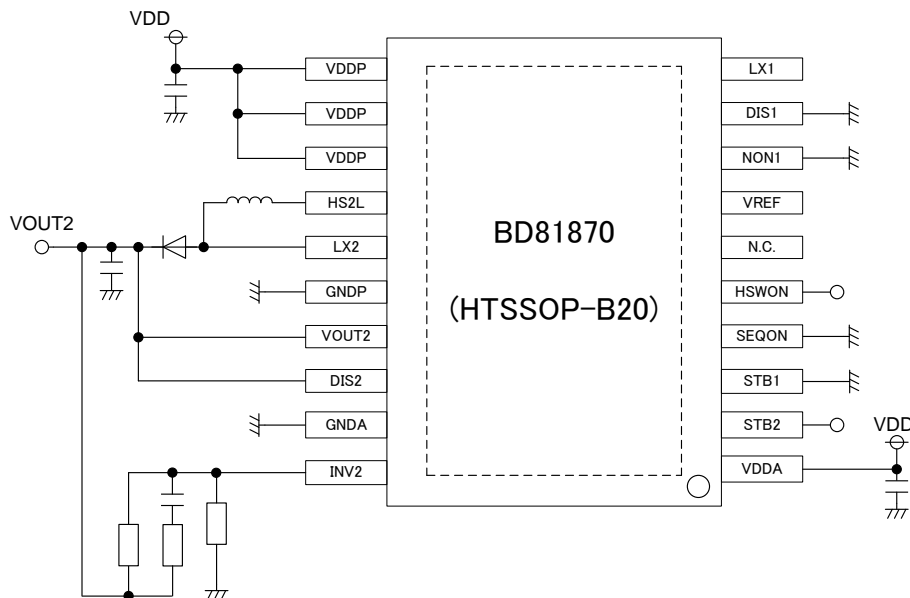


Figure 39. Disable CH1 inverted DC/DC channel

●レイアウトパターン設計について

DC/DC コンバータのスイッチングラインは短くて太い配線となるよう接続してください。
配線が長くなるとスイッチングによるリンギングが大きくなり本 IC の耐圧を超える電圧が発生する恐れがあります。
部品配置制約によりやむを得ず配線が長くなる場合は、スナバー回路を挿入するなどの対策が必要となる場合があります。

IC 裏面のサーマル PAD は IC の基板と高い熱伝導率で結合されています。
そのため、できるだけ大きな GND プレーンに接続することで発熱を抑えることができます。
また、PCB 上に使用していないエリアがある場合は、IC や周辺部品の放熱を助けるため、GND、VDD などの DC ノードの銅箔プレーンを配置してください。

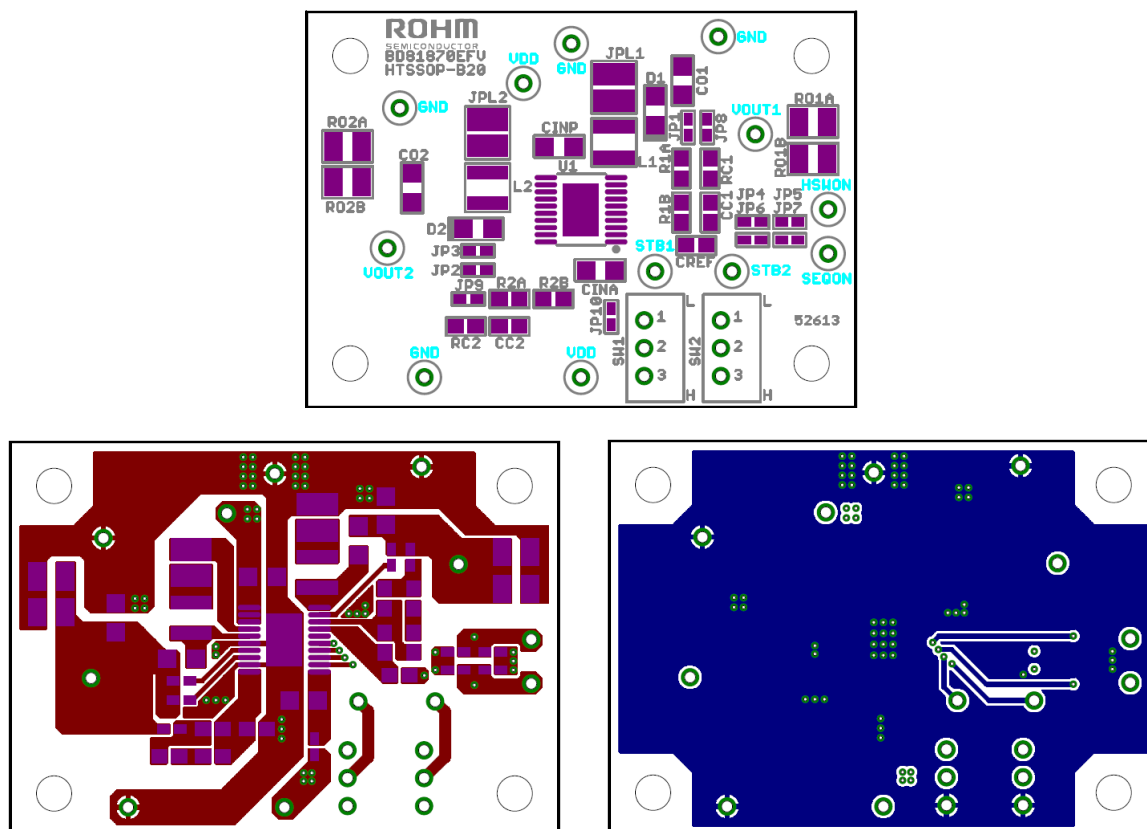


Figure 40. PCB Pattern Reference

●入出力等価回路図

VDDA	STB2, STB1	SEQON, HSWON
VREF	NON1	DIS1
LX1, VDDP	HS2L	LX2
VOUT2	DIS2	INV2

●使用上の注意

1. 電源の逆接続について
電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。
2. 電源ラインについて
基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。
3. グラウンド電位について
機能的に負電位を入出力する端子を除き、グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子、負電位入出力端子以外の端子がグラウンド以下の電圧にならないようにしてください。
4. グラウンド配線パターンについて
小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。
5. 熱設計について
万一、最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最高接合部温度を超えないようにしてください。
6. 推奨動作条件について
この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。
7. ラッシュカレントについて
IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。
8. 強電磁界中の動作について
強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

●使用上の注意 — 続き

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。

この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ(NPN)では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (端子 B)$ の時、前述の寄生ダイオードと近接する他の素子のN層によって寄生のNPNトランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできません。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

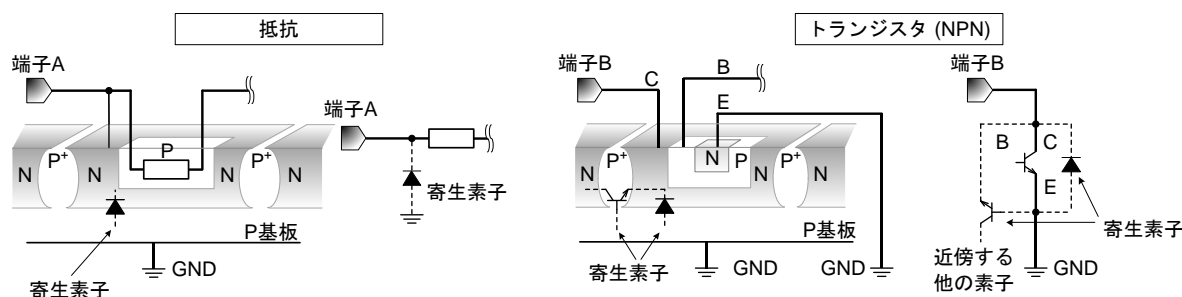


Figure 41. モノリシック IC 構造例

13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

●使用上の注意 — 続き

15. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

16. 過電流保護回路について

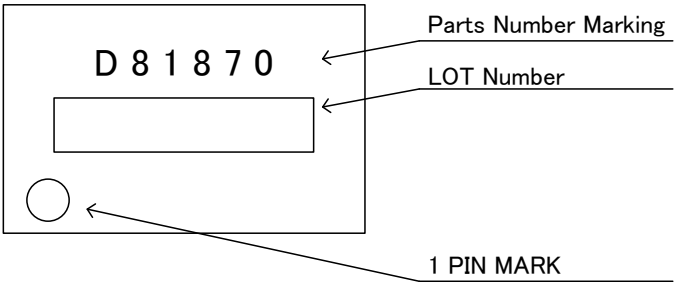
出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

●発注形名情報

B D 8 1 8 7 0 E F V										
品名						パッケージ EFV:HTSSOP-B20				

ME2
部品ランク M: 車載向け 包装、フォーミング仕様 E2: Embossed carrier tape

●標印図



●外形寸法図と包装・フォーミング仕様

[illegible]

●改訂履歴

日付	Revision	変更内容
2016.07.29	001	新規作成
2018.05.25	002	P.21 アプリケーション部品選定方法 1.出力インダクタの文言変更。

ご注意

ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ① 潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ② 推奨温度、湿度以外での保管
 - ③ 直射日光や結露する場所での保管
 - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。