

デジタルスチルカメラ/デジタルビデオカメラ用電源 IC シリーズ

4CH Power MOSFET 内蔵タイプ

システムスイッチングレギュレータ(14V 耐圧)



BD9866GUL

●概要

BD9866GUL は 3 チャンネル降圧用, 1 チャンネル昇降圧自動切り替え用の計 4chDC/DC コンバータ用 IC です。全チャンネル FET を内蔵しており, 外付け部品の削減が可能です。また各チャンネルの独立制御可能のため, 非動作チャンネルの低消費電力化を実現しています。

●特長

- 1) 降圧 3ch, 昇降圧自動切替可能 1ch の計 4ch を搭載
- 2) 全チャンネル Power MOSFET 内蔵
- 3) 全チャンネル過電流保護機能(OCP)を内蔵
- 4) タイマラッチ方式短絡保護回路(SCP)を内蔵
- 5) 低電圧入力誤動作防止回路(UVLO)を内蔵
- 6) 過熱保護回路(TSD)を内蔵
- 7) PG 機能内蔵
- 8) 外部同期可能
- 9) 各チャンネル独立 ON/OFF 制御可能
- 10) 全チャンネルのエラーアンプ入出力間位相補償を内蔵
- 11) 動作周波数 1MHz

●パッケージ

WLCSP(3.75mm×3.75mm)

●用途

デジタル一眼カメラ, デジタルビデオカメラ

●主要特性

・ 入力電圧範囲 :	4.0V~14.0V
・ 出力電圧	
CH1 基準電圧:	0.6V±1.67% (typ.)
CH2 基準電圧:	0.8V±1.25% (typ.)
CH3 基準電圧:	0.8V±1.25% (typ.)
CH4 基準電圧:	0.8V±1.25% (typ.)
・ 出力電流	
CH1 出力電流:	3.0A(max)
CH2 出力電流:	2.0A(max)
CH3 出力電流:	1.5A(max)
CH4 出力電流:	3.0A(max)
・ スwitching周波数:	1MHz(typ.)

●機能ブロック図及び出力電圧設定例

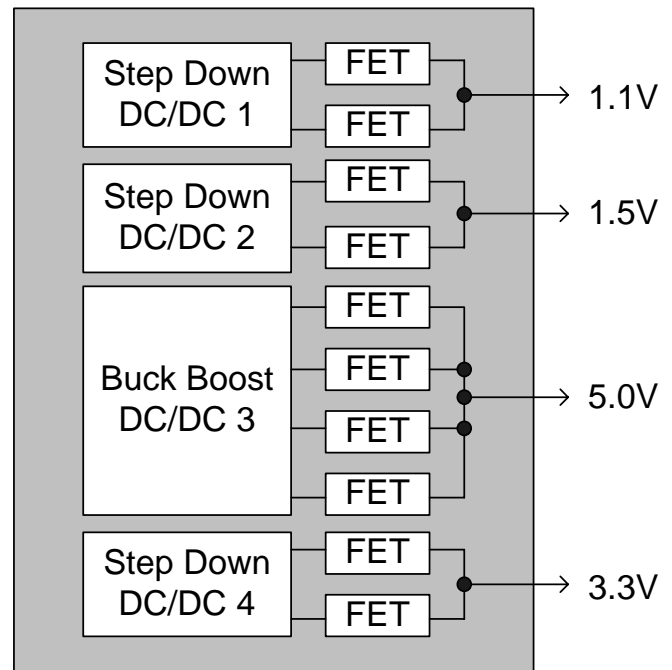


Figure. 1 機能ブロック図

●ピン配置(Bottom View)

G	PVCC1	PVCC1	VREGD	PVCC	GND	VCC	PVCC4
F	Lx1	CH1G	INV1	VREGB	VREGA	RT	PVCC4
E	Lx1	CH2G	SYNC	INV3	INV4	Lx4	Lx4
D	PGND1	PGND1	CTL2	INV2	RTSS	PGND4	PGND4
C	PGND2	PGND2	1pin POST	CTL1	CTL4	CTL3	SEL
B	Lx2	Lx2	PGND	SCP	PG	Lx32	VO3
A	PVCC2	PVCC2	PVCC3	Lx31	PGND3	PGND3	Lx32
	1	2	3	4	5	6	7

Figure.2 ピン配置

●端子説明

PINno	端子名	I/O	機能
G6	VCC	-	電源入力
G4	PVCC	-	DRIVER 用 REG 電源入力
B3	PGND	-	接地
G1,G2,A1,A2, A3,F7,G7	PVCC1,2,3,4	-	出力段電源入力
D1,D2,C1,C2, A5,A6,D6,D7	PGND1,2,3,4	-	出力段接地
G5	GND	-	接地
G3	VREGD	O	LowsideDRIVER 用 3.5VREG 出力端子
F5	VREGA	O	内部基準用 3.5VREG 出力端子
F4	VREGB	O	HighsideDRIVER 用 PVCC-3.5VREG 出力端子
B7	Vo3	O	CH3 出力電圧端子
E1,F1,B1,B2, E6,E7	Lx1,2,4	O	インダクタ接続端子
A4	Lx31	O	CH3 入力側インダクタ接続端子
A7,B6	Lx32	O	CH3 出力側インダクタ接続端子
F3,D4,E4,E5	INV1,2,3,4	I	エラーアンプ反転入力端子
E3	SYNC	I	周波数外部入力端子
F6	RT	-	OSC タイミング抵抗接続端子
B4	SCP	-	タイマラッチ時間設定コンデンサ接続端子
C4,D3,C6,C5	CTL1,2,3,4	I	CH1~4 ON/OFF スイッチ(CTL=H 動作)
B5	PG	O	パワーグッド信号出力端子(SCP 時 L)
F2,E2	CH1,2G	O	CH1,2 パワーグッド信号出力端子
D5	RTSS	O	RT 電圧設定端子
C7	SEL	I	CH2,4 軽負荷モード ON/OFF 制御端子

●ブロック図

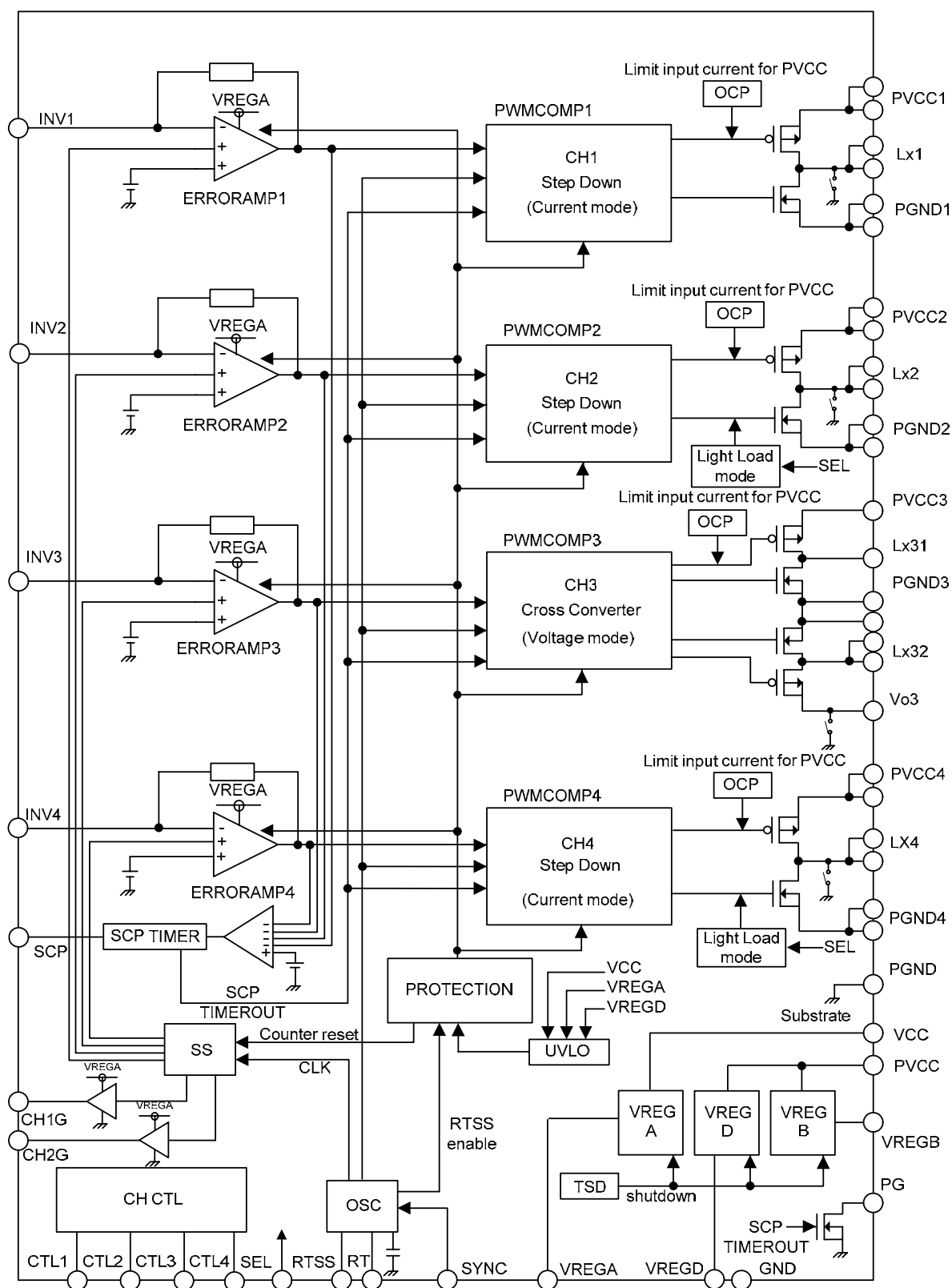


Figure. 3 ブロック図

●絶対最大定格

項 目	記 号	定 格	単 位
最大印加電源電圧	VCC, PVCC, PVCC1,2,3,4	-0.3~15	V
最大入力電流	IPVCC1,4	3.5	A
	IPVCC2,3	2.5	A
最大印加入力電圧	VREGA, VREGD, PVCC1,2,3,4-VREGB	-0.3~7	V
	Lx1, Lx2, Lx31, Lx4	-0.3~15	V
	Lx32, Vo3	-0.3~10.5	V
	PG	-0.3~15	V
	CH1,2G	-0.3~7	V
	CTL1,2,3,4	-0.3~15	V
	SEL	-0.3~15	V
	SYNC	-0.3~15	V
許容損失	Pd	1.25 ^(*)	W
動作温度範囲	Topr	-25~+85	°C
保存温度範囲	Tstg	-55~+125	°C
ジャンクション温度	Tjmax	125	°C

(1*)50mm×50mm×1.75mm ガラスエポキシ 8 層基板実装時(Ta=25°C時. Ta=25°C以上で使用する場合は 12.5mW/°Cで軽減.)

●動作条件

項 目	記 号	規 格 値			単位	条 件
		最 小	標 準	最 大		
電源電圧	VCC,PVCC	4.0	6.0	14	V	
VREGA,VREGD 端子接続容量	CVREGA,D	0.47	1.0	2.2	μF	
VREGB 端子接続容量	CVREGB	0.47	1.0	2.2	μF	対 PVCC 接続
SCP 端子接続容量	CSCP	0.001	—	2.2	μF	
発振周波数	FOSC	0.6	1.0	1.5	MHz	
OSC タイミング抵抗	RT	47	82	120	kΩ	82KΩ にて 1MHz 発振
RTSS 端子接続容量	CRTSS	1000	10000	—	pF	
SYNC 端子入力 H	VSYNCH	3.0	-	VCC	V	
SYNC 端子入力 L	VSYNCL	-0.3	-	0.5	V	
SYNC 端子入力 Duty	DSYNC	40	50	60	%	
CH3 出力電圧設定範囲	VVOUT3	4.0	—	10	V	
CH1 出力電流	IOUTCH1	—	—	3 ^(*)	A	1.1V 出力時
CH2 出力電流	IOUTCH2	—	—	2 ^(*)	A	1.5V 出力時
CH3 出力電流	IOUTCH3	—	—	1.5 ^(*)	A	5.0V 出力時
CH4 出力電流	IOUTCH4	—	—	3 ^(*)	A	3.3V 出力時

(*) IC を安定に動作させるために入出力端子(VCC,PVCC,VREG)にはコンデンサを必ず接続してください。

(*) IC のトータル損失が許容損失を超えないように電力設計を行ってください。

●過電流保護部

項 目	記 号	規 格 値			単位	条 件
		最 小	標 準	最 大		
CH1 PVCC1 OCP 検出電流	IOCP1	3.2	-	-	A	
CH2 PVCC2 OCP 検出電流	IOCP2	2.2	-	-	A	
CH3 PVCC3 OCP 検出電流	IOCP3	3.0	-	-	A	
CH4 PVCC4 OCP 検出電流	IOCP4	3.2	-	-	A	

●電気的特性(特に指定のない限り Ta=25°C, VCC=PVCC=6V, RT=82kΩ, CTL1~4=3V)

項 目	記 号	規 格 値			単位	条 件
		最 小	標 準	最 大		
【内部レギュレータ部】						
内部基準用レギュレータ出力電圧	VREGA	3.3	3.5	3.7	V	IVREGA=-1mA
HighsideFET 駆動用 レギュレータ出力電圧	VREGB	VCC-3.7	VCC-3.5	VCC-3.3	V	IVREGB=+1mA
LowsideFET 駆動用 レギュレータ出力電圧	VREGD	3.3	3.5	3.7	V	IVREGD=-1mA
【低電圧入力誤動作防止回路部】						
VCC 低電圧誤動作防止回路検出 スレッシュホールド電圧	VSTD1	3.2	3.4	3.6	V	VCC 端子電圧モニタ
VCC 低電圧誤動作防止回路検出 ヒステリシス電圧幅	VHYS1	—	0.1	0.2	V	VCC 端子電圧モニタ 解除時
VREG 低電圧誤動作防止回路検出 スレッシュホールド電圧	VSTD2	2.8	3.0	3.2	V	VREGA,VREGD 端子 電圧モニタ
VREG 低電圧誤動作防止回路検出 ヒステリシス電圧幅	VHYS2	—	0.1	0.2	V	VREGA,VREGD 端子 電圧モニタ. 解除時
【短絡保護回路部】						
SCP 端子流出電流	ISCP	2.5	5.0	7.5	μA	VSCP=0.1V
SCP 端子検出電圧	VTSC	0.45	0.50	0.55	V	
SCP 端子待機時電圧	VSSC	—	10	100	mV	
【発振回路部】						
DC/DC コンバータ発振周波数	FOSC	0.9	1.0	1.1	MHz	RT=82kΩ
Max duty Lx1,Lx2,Lx4	DMAX1,2,4	-	-	100	%	VSCP=0V ^{(*)4} , Lx1,Lx2,Lx4 High Duty
Max duty Lx31	DMAX31	-	-	100	%	Lx31 High Duty
Max duty Lx32	DMAX32	74	80	86	%	Lx32 Low Duty
RTSS 端子待機時電圧	RTSSF	-	1	20	mV	CTL1~4=0V
RTSS 端子流入電流	IRTSSI	-7	-5	-3	μA	
RTSS 端子流出電流	IRTSSO	3	5	7	μA	
【誤差増幅器部】						
INV1~4 端子入力バイアス電流	IINV1,2,3,4	-50	0	50	nA	INV=2.0V
INV1 端子スレッシュホールド電圧	VINV1	0.590	0.600	0.610	V	
INV2~4 端子スレッシュホールド電圧	VINV2,3,4	0.790	0.800	0.810	V	
【ソフトスタート部】						
ソフトスタート時間 CH1	TSS1	0.7	1.4	2.1	msec	
ソフトスタート時間 CH2,3,4	TSS2,3,4	0.95	1.9	2.85	msec	

(*)4) 100% Duty は短絡保護回路が動作し充電を開始します.そのため SCP 端子充電時間以下の過渡状態のみに使用可能です.

●電気的特性(特に指定のない限り Ta=25°C, VCC=PVCC=6V, RT=82kΩ, CTL1~4=3V)

項 目	記 号	規 格 値			単位	条 件
		最 小	標 準	最 大		
【ドライバー部】						
Lx1 Highside SW ON 抵抗	RON1P	-	180	300	mΩ	ILx1=-50mA
Lx1 Lowside SW ON 抵抗	RON1N	-	75	130	mΩ	ILx1=+50mA
Lx2 Highside SW ON 抵抗	RON2P	-	190	305	mΩ	ILx2=-50mA
Lx2 Lowside SW ON 抵抗	RON2N	-	100	160	mΩ	ILx2=+50mA
Lx31 Highside SW ON 抵抗	RON31P	-	190	305	mΩ	ILx31=-50mA
Lx31 Lowside SW ON 抵抗	RON31N	-	115	185	mΩ	ILx31=+50mA
Lx32 Highside SW ON 抵抗	RON32P	-	230	370	mΩ	Vo3=5.0V, ILx32=-50mA
Lx32 Lowside SW ON 抵抗	RON32N	-	115	185	mΩ	ILx32=+50mA
Lx4 Highside SW ON 抵抗	RON4P	-	170	290	mΩ	ILx4=-50mA
Lx4 Lowside SW ON 抵抗	RON4N	-	140	230	mΩ	ILx4=+50mA
Lx1,Lx2,Lx4 端子 ディスチャージ抵抗	RDISLX,2,4	40	100	160	Ω	CTL1,2,4=0V
VO3 端子ディスチャージ抵抗	RDISVO3	40	100	160	Ω	CTL3=0V
【パワーグッド部】						
PG 端子 ON 抵抗	RONPG	-	350	600	Ω	PG=1V
PG 端子リーク電流	ILKPG	-	0	1.0	μA	PG=15V
CH1G,CH2G 端子 H 電圧	CH1,2GH	VREGA -0.5	-	-	V	ICTL1,2G=-100uA
CH1G,CH2G 端子 L 電圧	CH1,2GL	-	-	0.5	V	ICTL1,2G=+100uA
【コントロール部】						
CTL 端子電圧(動作)	VCTLH	2.5	-	VCC	V	CTL1,2,3,4
CTL 端子電圧(非動作)	VCTL	-0.3	-	0.8	V	CTL1,2,3,4
CTL 端子プルダウン抵抗	RCTL	250	400	700	kΩ	CTL1,2,3,4
SEL 端子電圧(H)	VSELH	2.5	-	VCC	V	
SEL 端子電圧(L)	VSELL	-0.3	-	0.8	V	
SEL 端子プルダウン抵抗	RSEL	250	400	700	kΩ	
【回路電流】						
スタンバイ(IC OFF)時回路電流	ISTB	-	0	5	μA	CTL1~4=0V
動作時回路電流(SCP 検出時)	ICCST	-	5	10	mA	INV1,2,3,4=0V アナログ部回路電流
無負荷時回路電流 (アプリケーション動作時)	ICCAPP	-	35	45	mA	全 CH 出力時 (推奨部品定数時)

●应用回路例

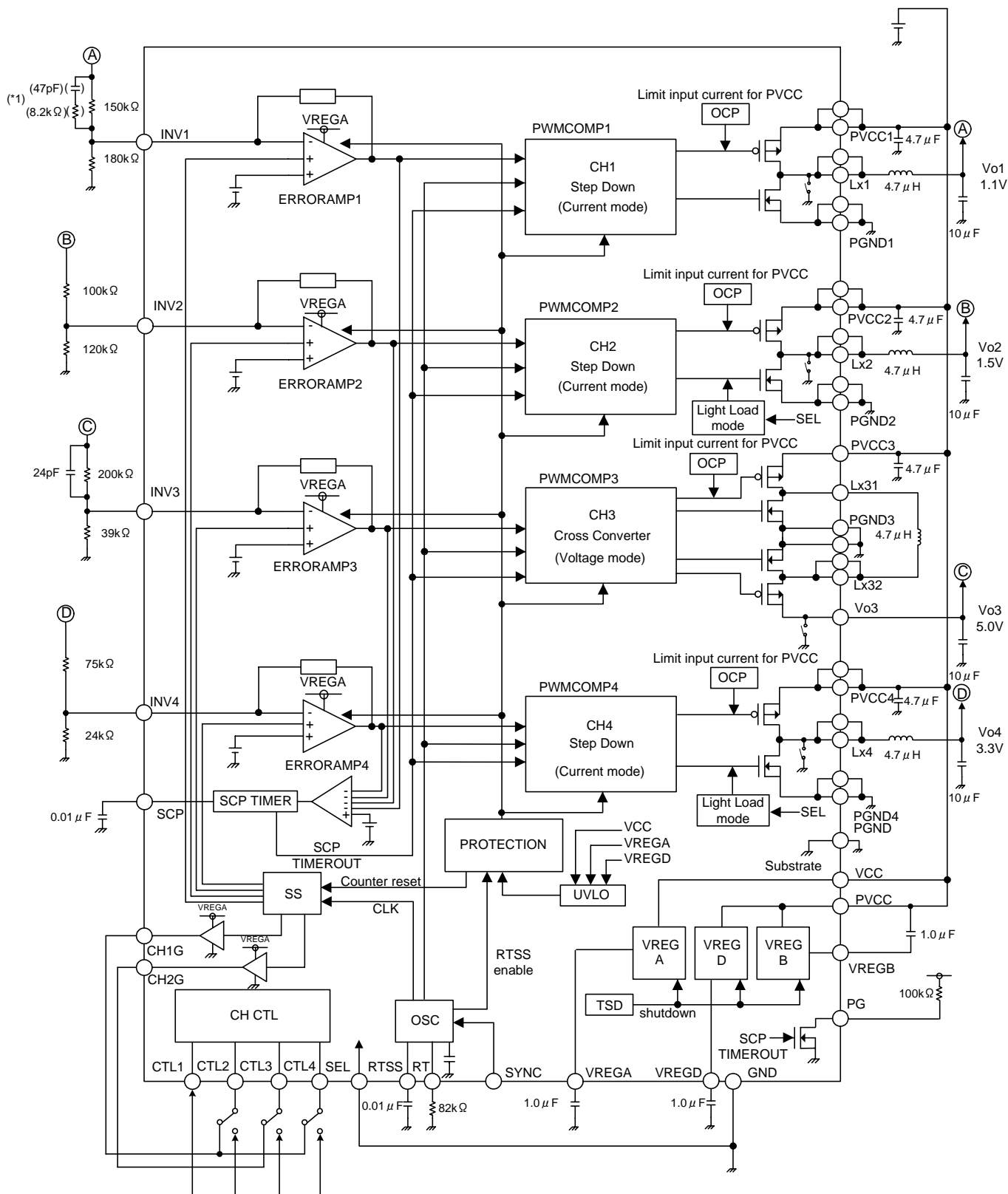


Figure. 4 アプリケーション応用回路例 1

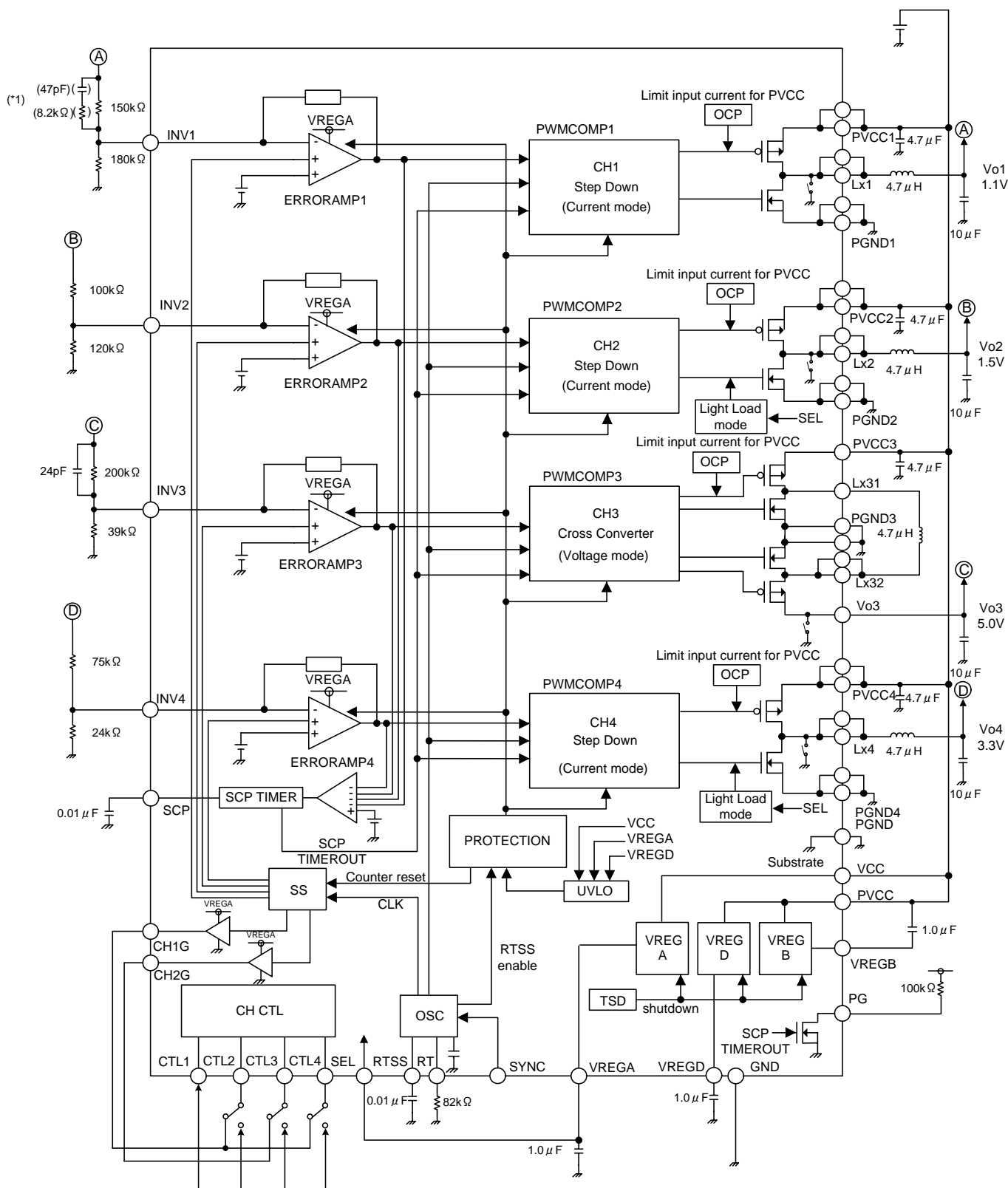


Figure 5 アプリケーション応用回路例 2

(*1) 過渡応答特性を改善させたい場合にオプションとして追加してください。

各応用回路図の例は推奨すべきものと確信しておりますが、ご使用にあたっては特性の確認を十分にお願います。その他外付け定数を変更してご使用になるときは、静特性のみならず過渡特性も含め外付け部品及び当社 IC のバラツキ等を考慮して十分なマージンをみて決定してください。

●起動時タイミングチャート

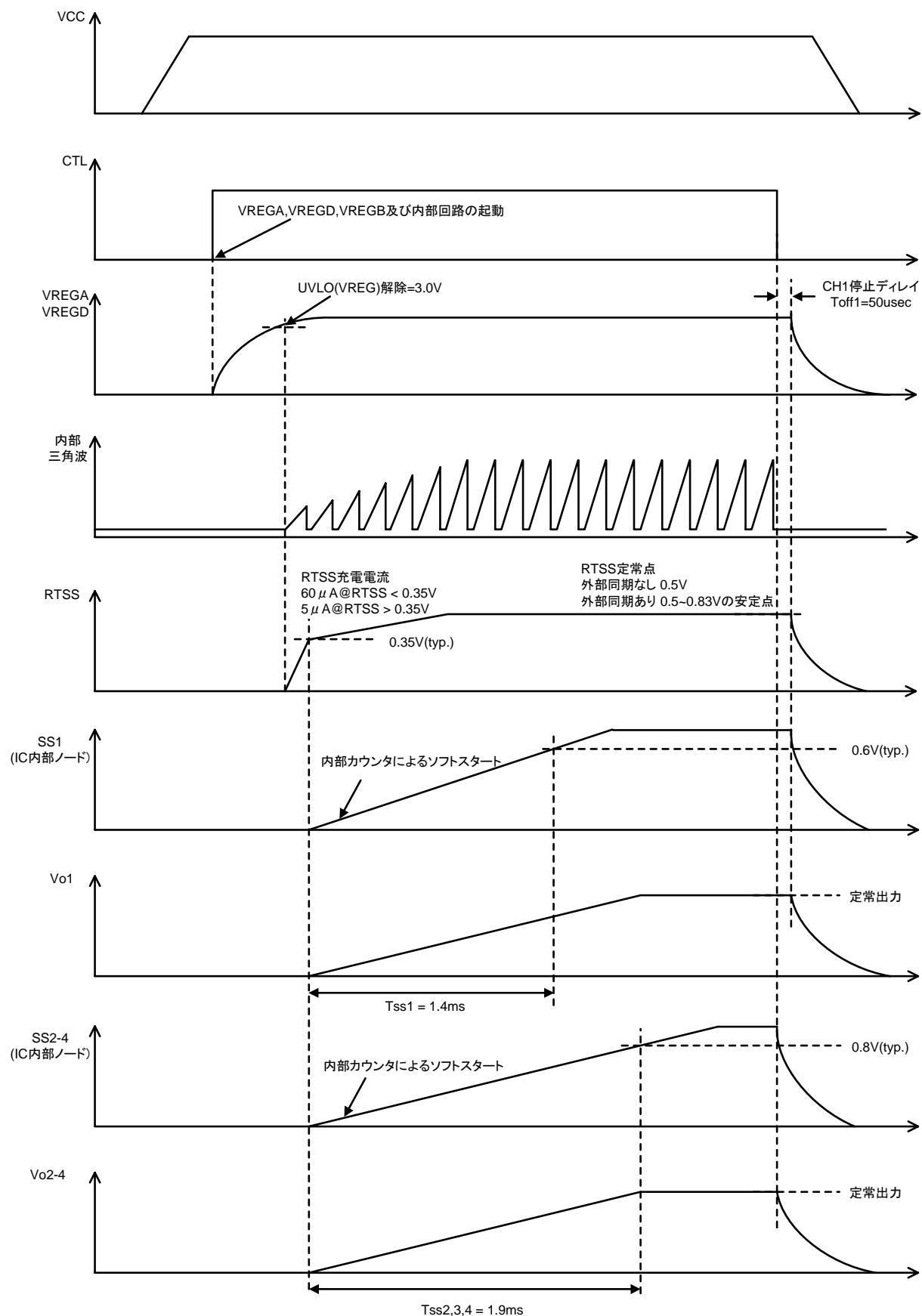


Figure.6 起動時タイミングチャート

●電源瞬断時タイミングチャート

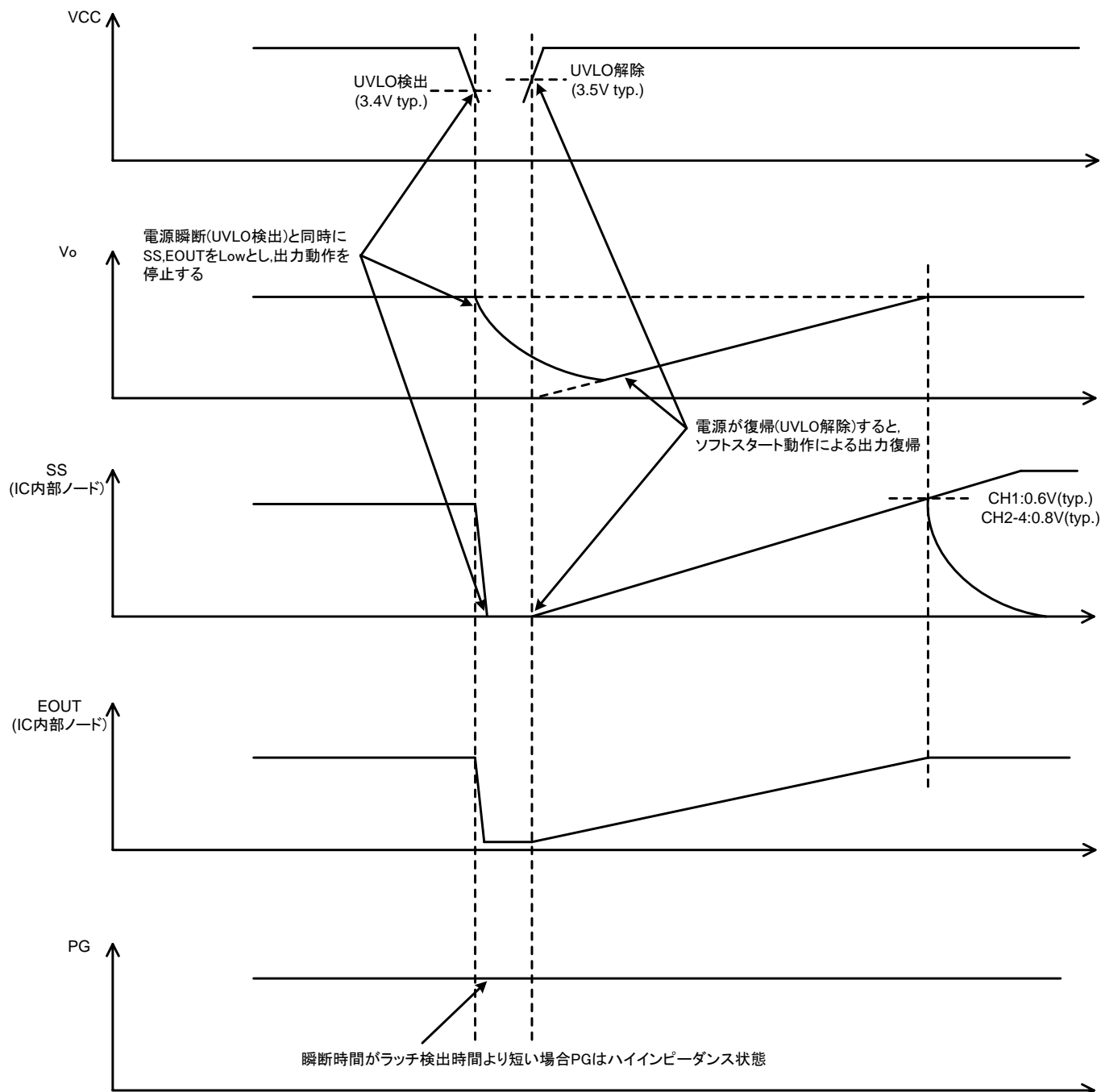
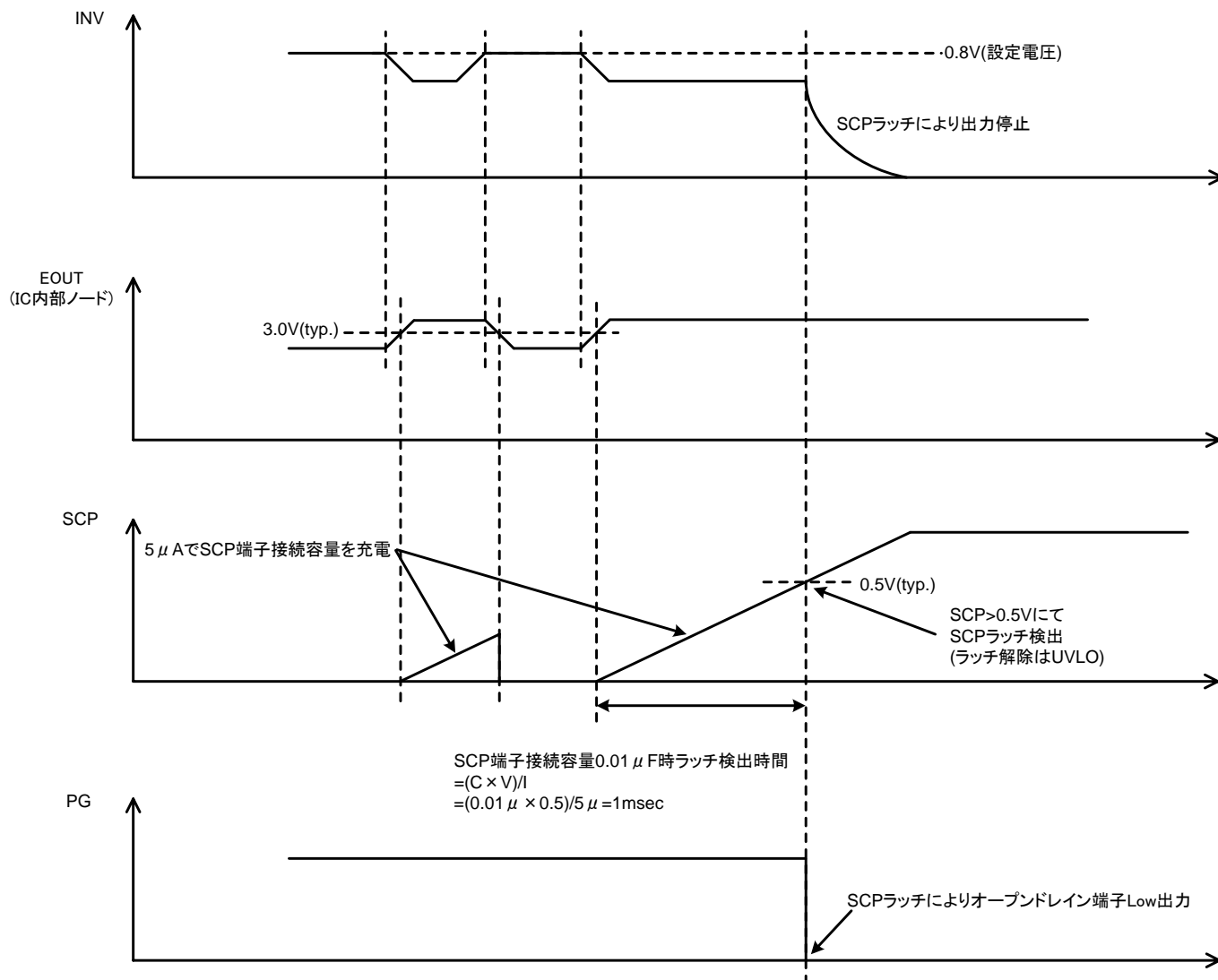


Figure. 7 電源瞬断時タイミングチャート
(UVLO 検出し,解除後にソフトスタートによる再起動)

●起動後 SCP 動作時タイミングチャート

Figure. 8 起動後 SCP 動作時タイミングチャート
(出力中の電圧異常)

●出力短絡起動時タイミングチャート

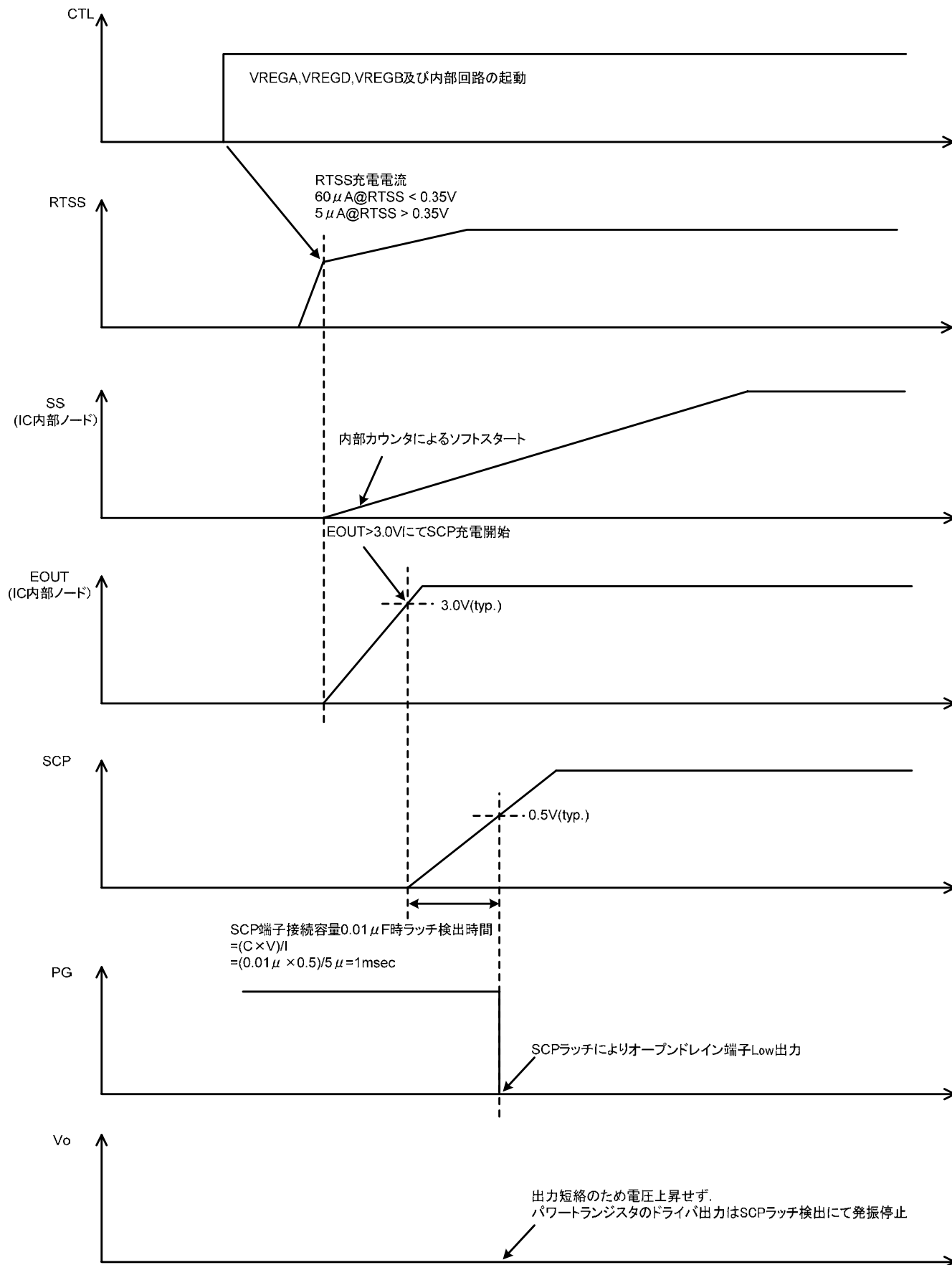


Figure. 9 出力短絡起動時タイミングチャート

●特性データ

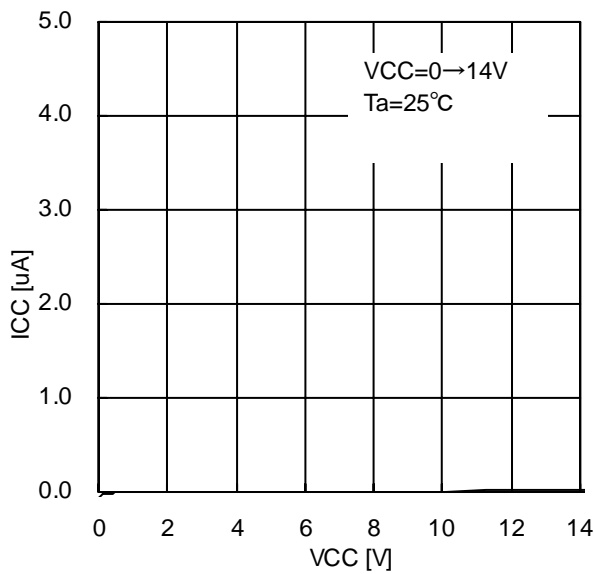


Figure.10 ICC(OFF) - VCC

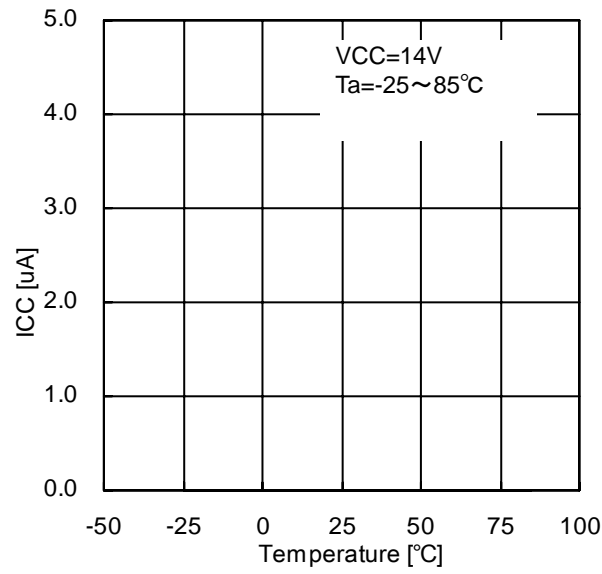


Figure.11 ICC(OFF) - Ta

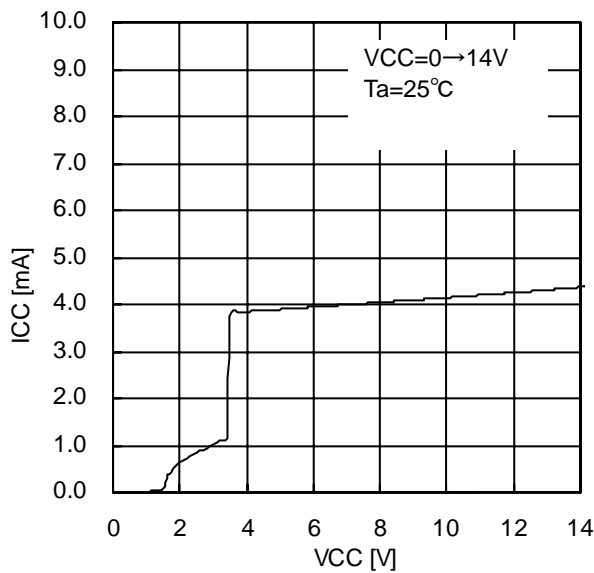


Figure.12 ICC(SCP state) - VCC

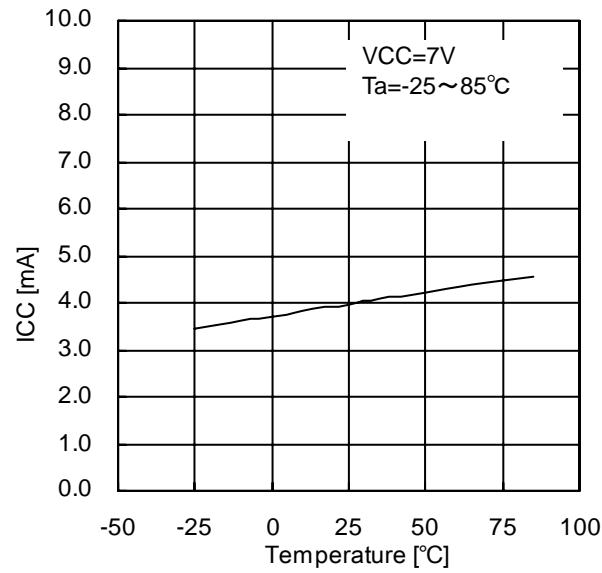


Figure.13 ICC(SCP state) - Ta

●特性データ(続き)

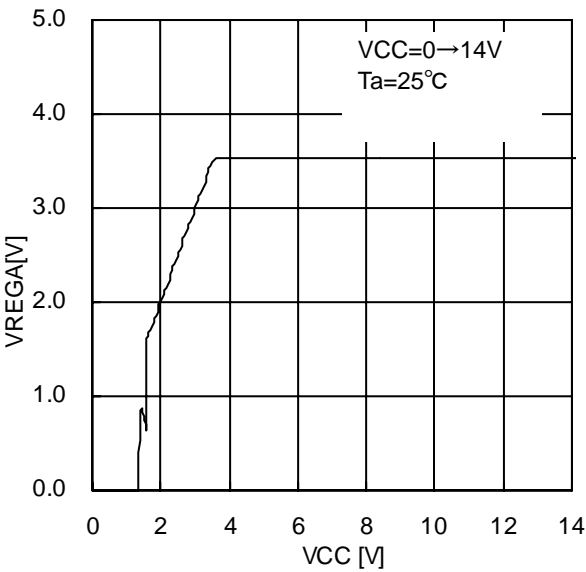


Figure.14 VREGA - VCC

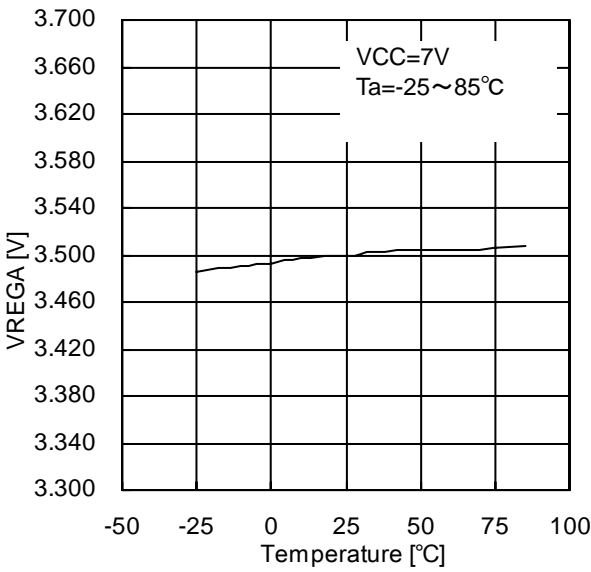


Figure.15 VREGA – Ta

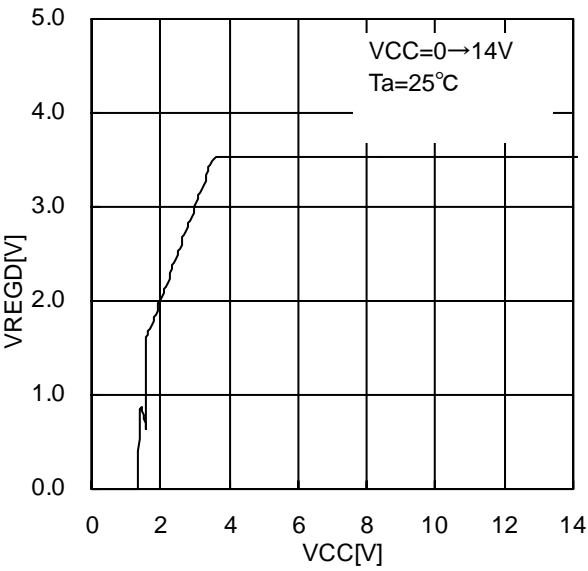


Figure.16 VREGD- VCC

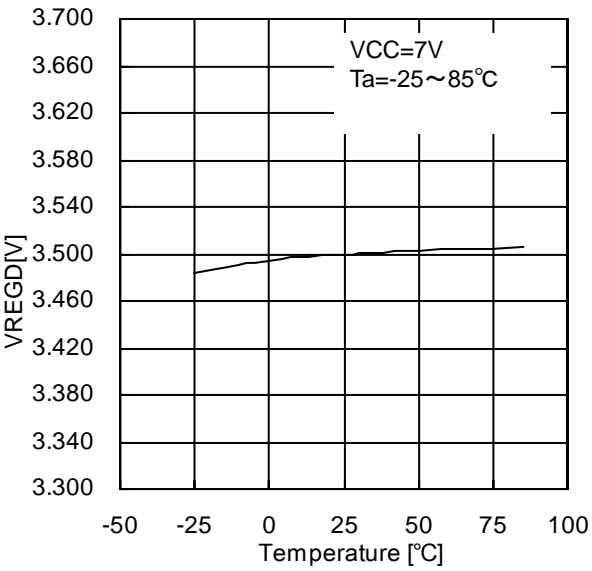


Figure.17 VREGD – Ta

●特性データ(続き)

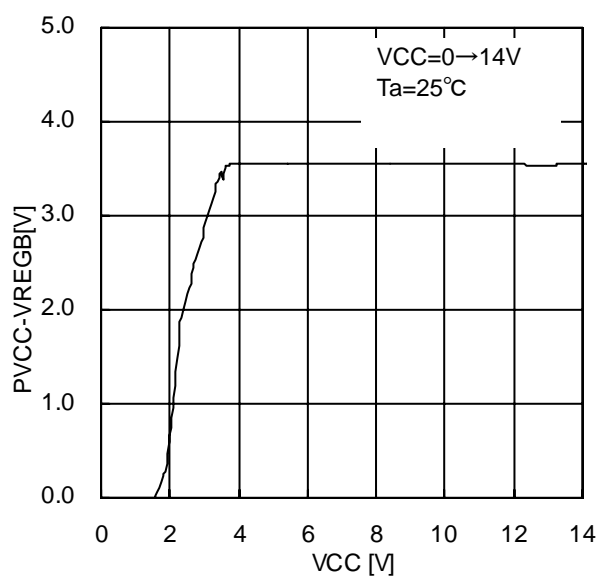


Figure.18 (PVCC-VREGB)- VCC

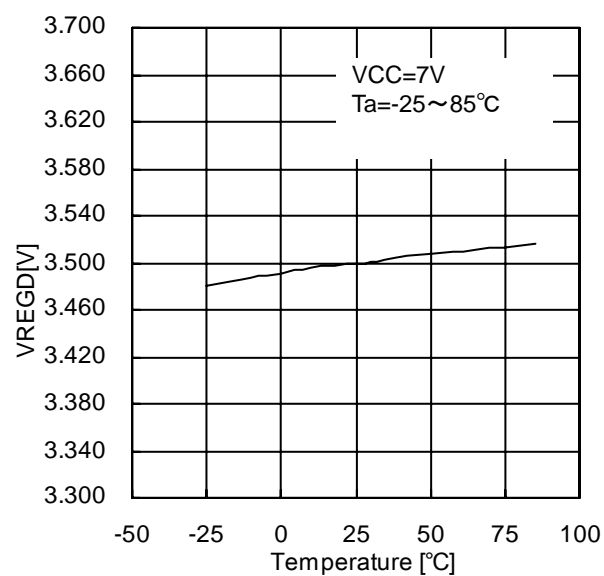
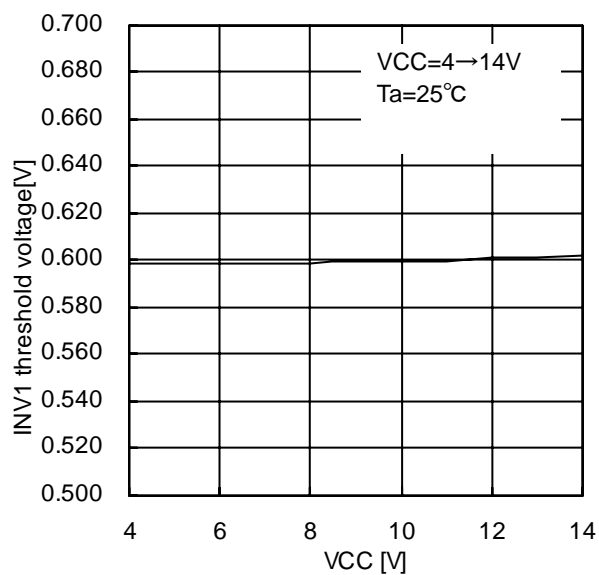
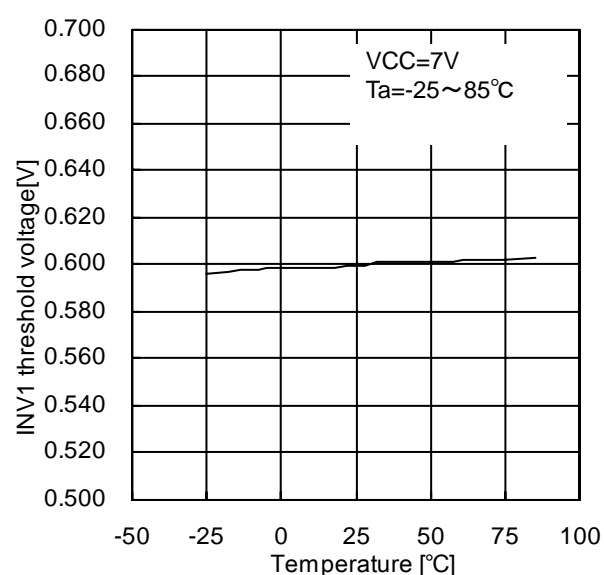


Figure.19 (PVCC-VREGB) – Ta

Figure.20
INV1 threshold voltage – VCCFigure.21
INV1 threshold voltage – Ta

●特性データ(続き)

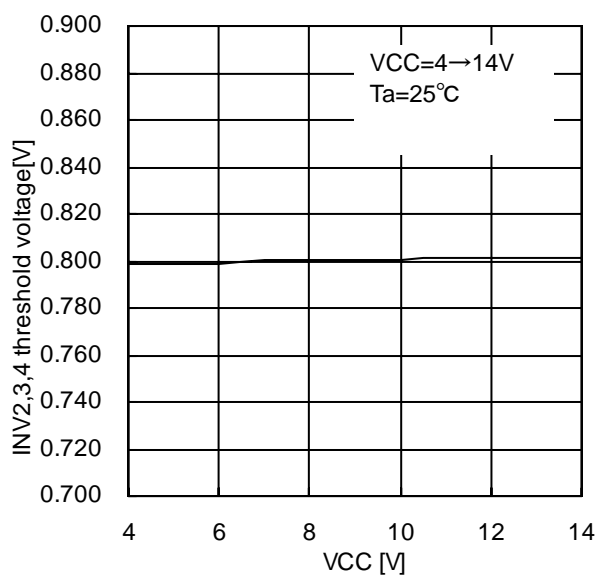


Figure.22
INV2,3,4 threshold voltage- VCC

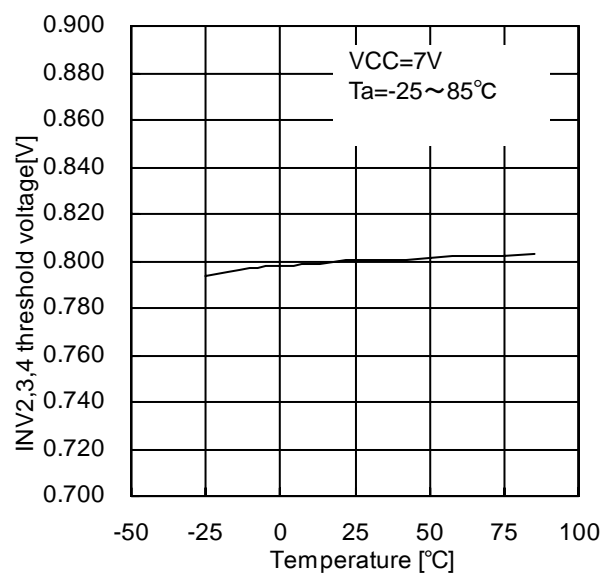


Figure.23
INV2,3,4 threshold voltage- Ta

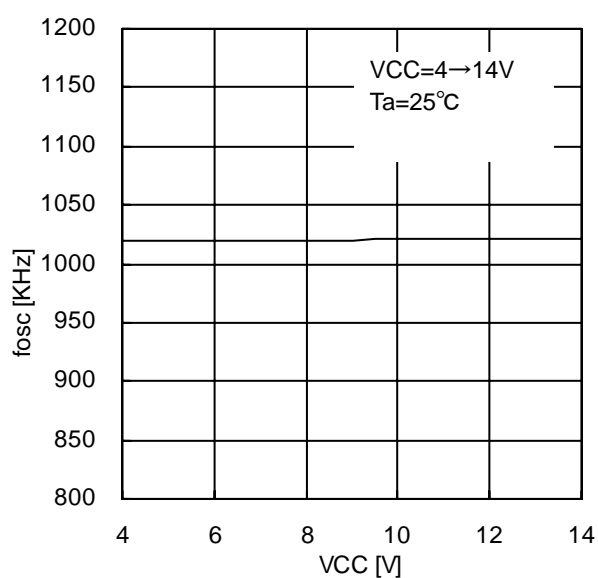


Figure.24 fosc - VCC

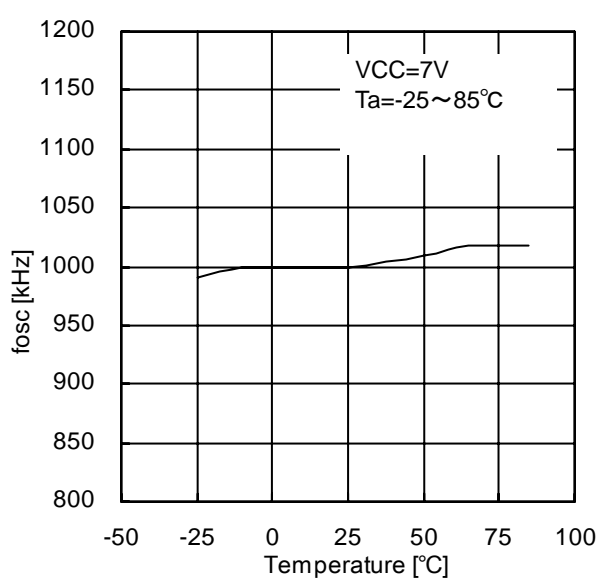
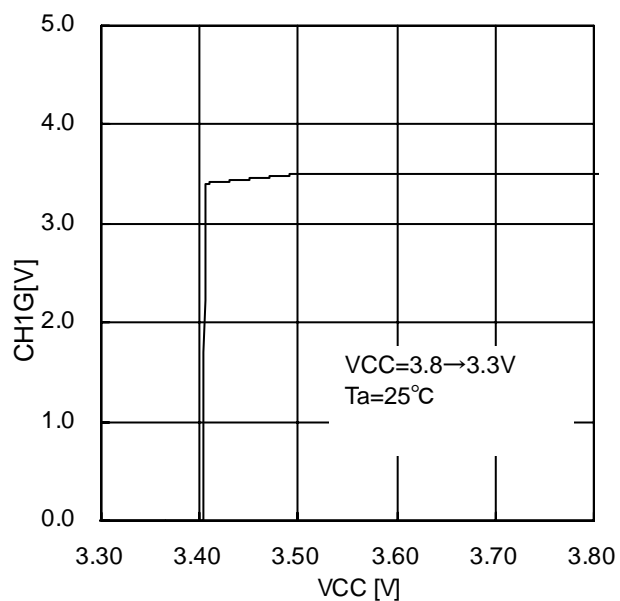
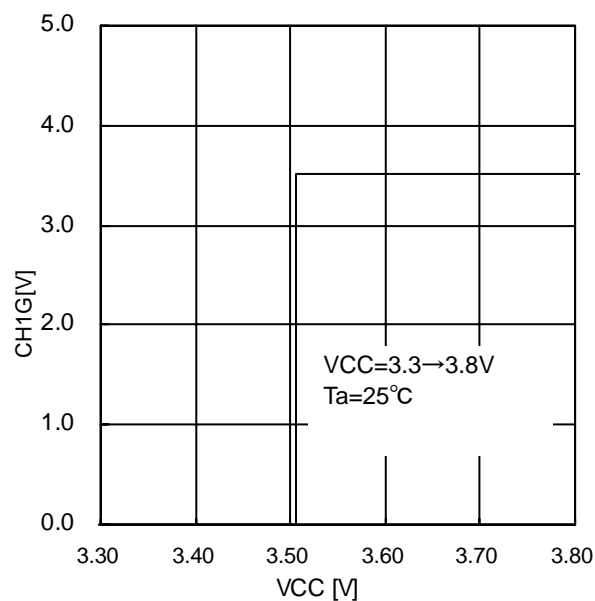
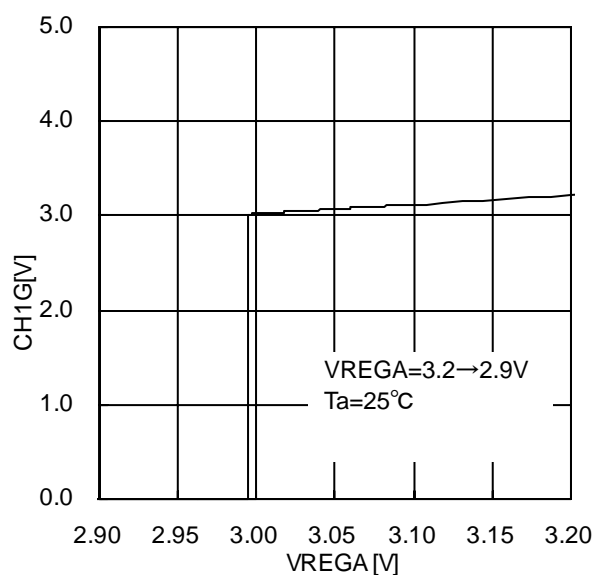
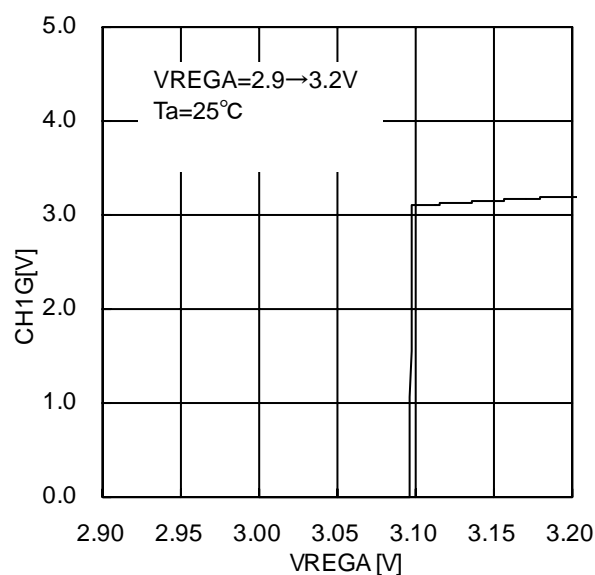


Figure.25 fosc - Ta

●特性データ(続き)

Figure.26 UVLO VCC
detect threshold voltageFigure.27 UVLO VCC
reset threshold voltageFigure.28 UVLO VREGA
detect threshold voltageFigure.29 UVLO VREGA
reset threshold voltage

●特性データ(続き)

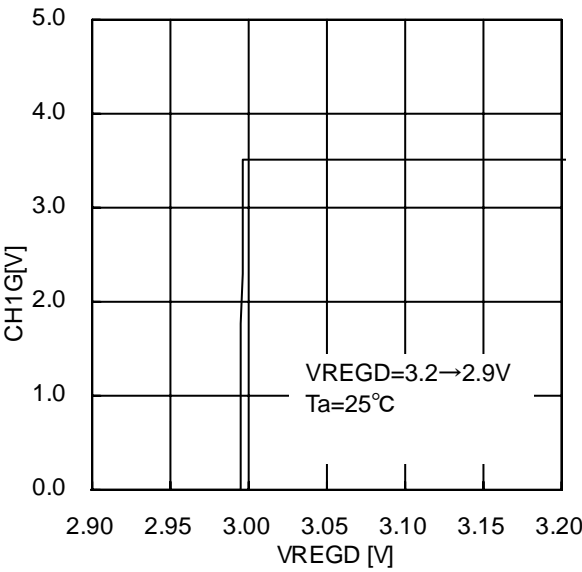


Figure.30 UVLO VREGD detect threshold voltage

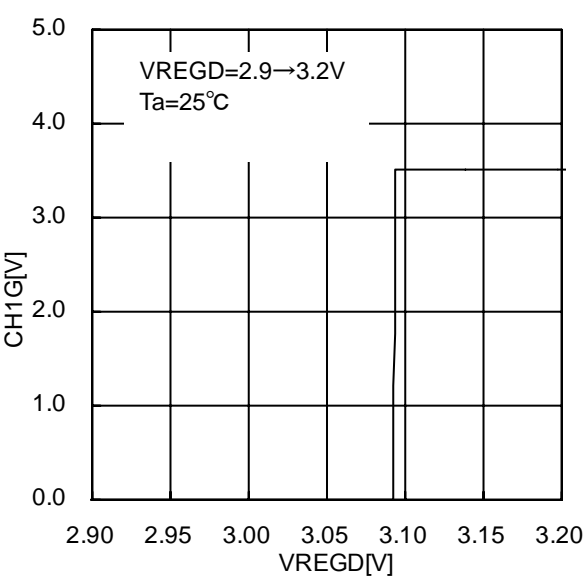


Figure.31 UVLO VREGD reset threshold voltage

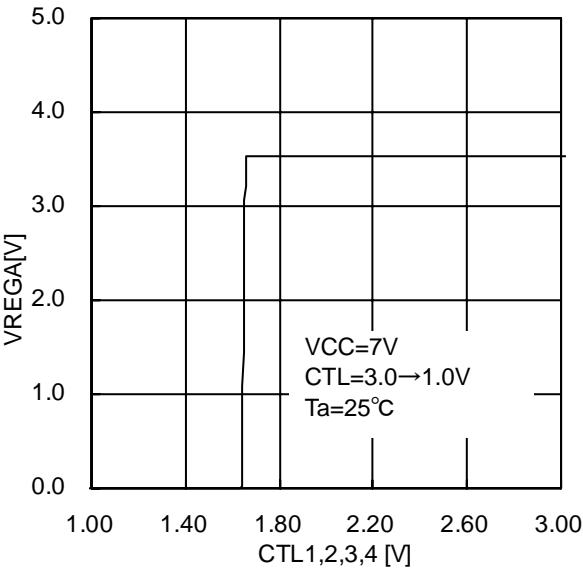


Figure.32 CTL OFF threshold voltage

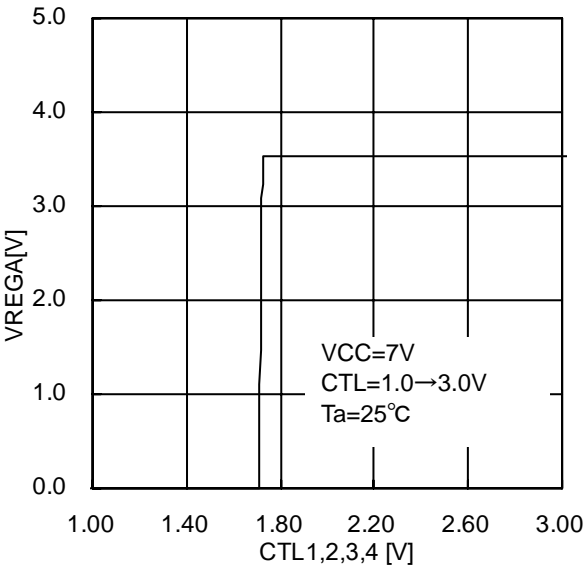


Figure.33 CTL ON threshold voltage

●特性データ(続き)

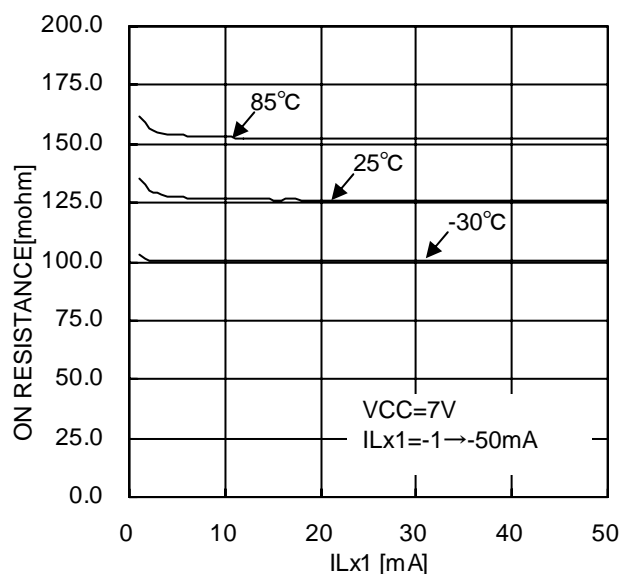


Figure.34 Lx1 High side FET RON
(Ta=-30°C, 25°C, 85°C)

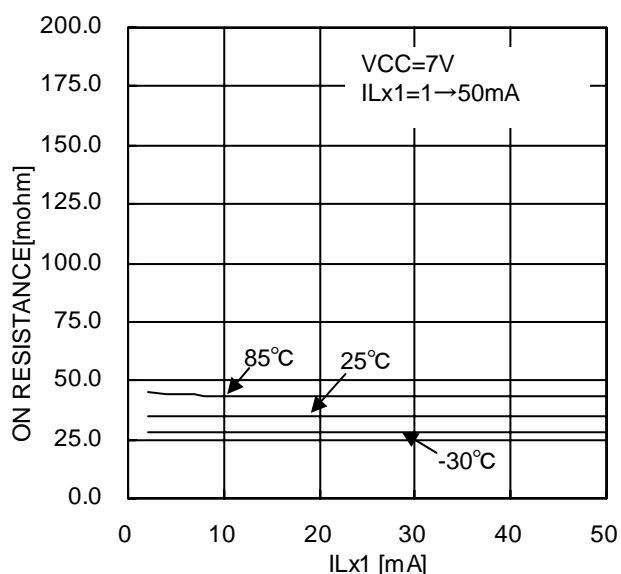


Figure.35 Lx1 Low side FET RON
(Ta=-30°C, 25°C, 85°C)

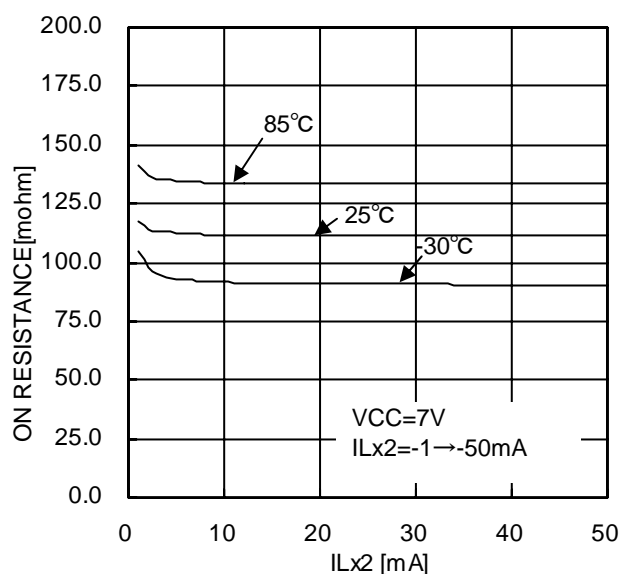


Figure.36 Lx2 High side FET RON
(Ta=-30°C, 25°C, 85°C)

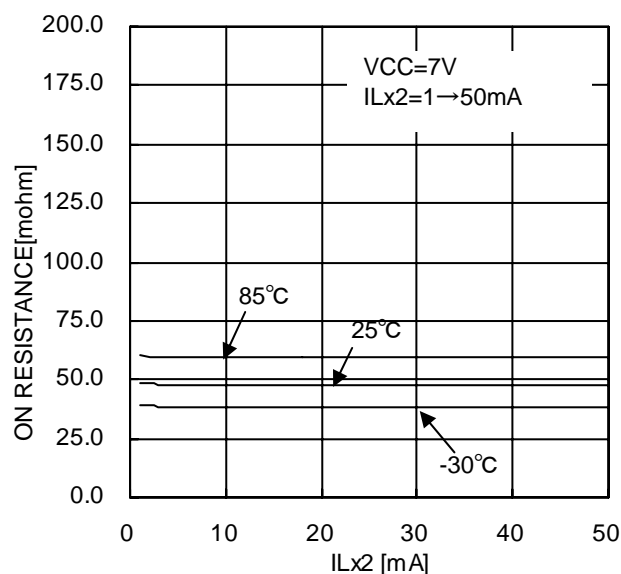
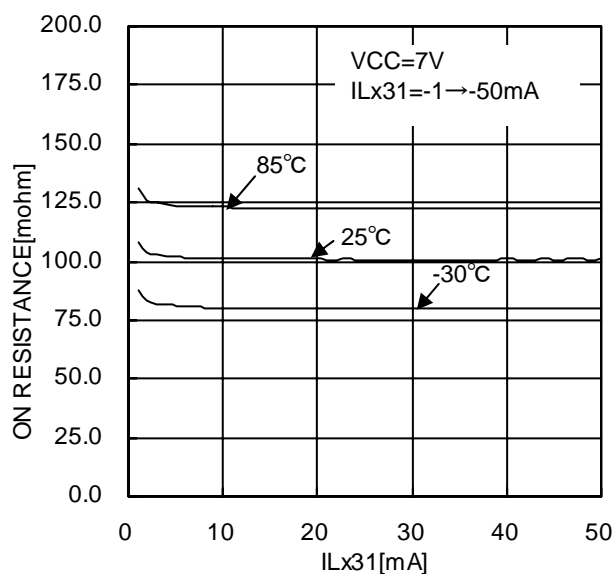
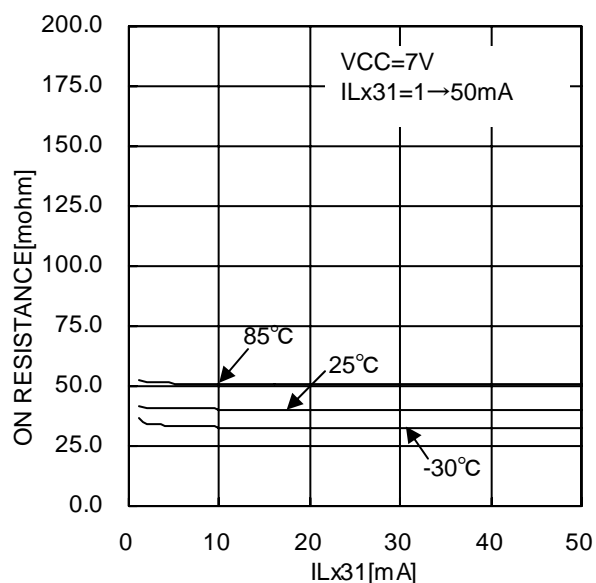
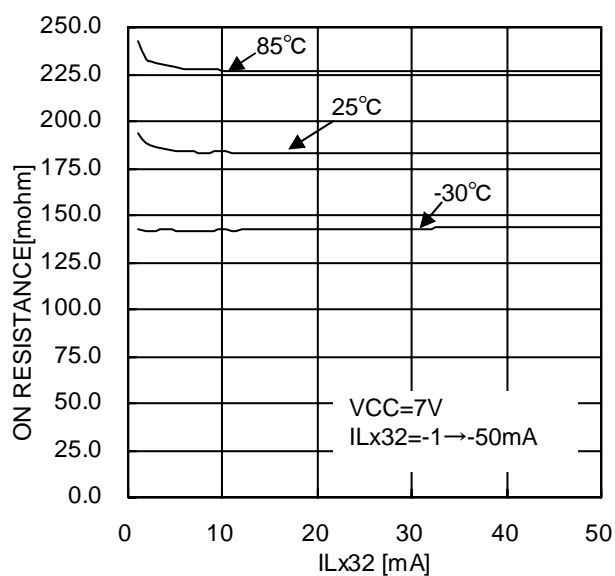
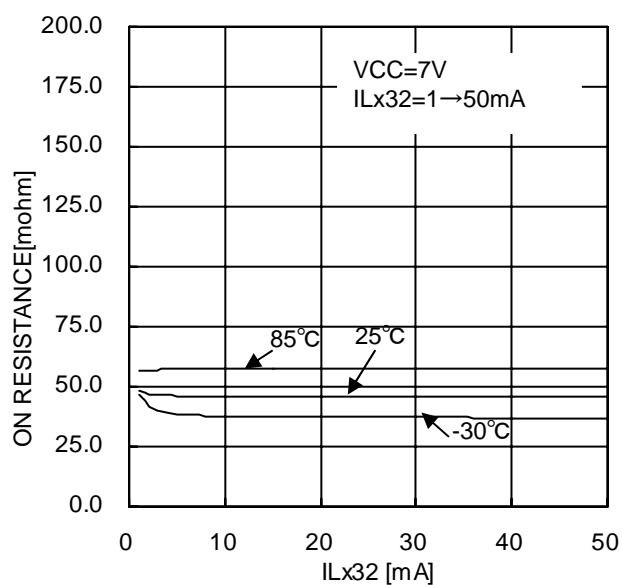


Figure.37 Lx2 Low side FET RON
(Ta=-30°C, 25°C, 85°C)

●特性データ(続き)

Figure.38 Lx31 High side FET RON
(Ta=-30°C, 25°C, 85°C)Figure.39 Lx31 Low side FET RON
(Ta=-30°C, 25°C, 85°C)Figure.40 Lx32 High side FET RON
(Ta=-30°C, 25°C, 85°C)Figure.41 Lx32 Low side FET RON
(Ta=-30°C, 25°C, 85°C)

●特性データ(続き)

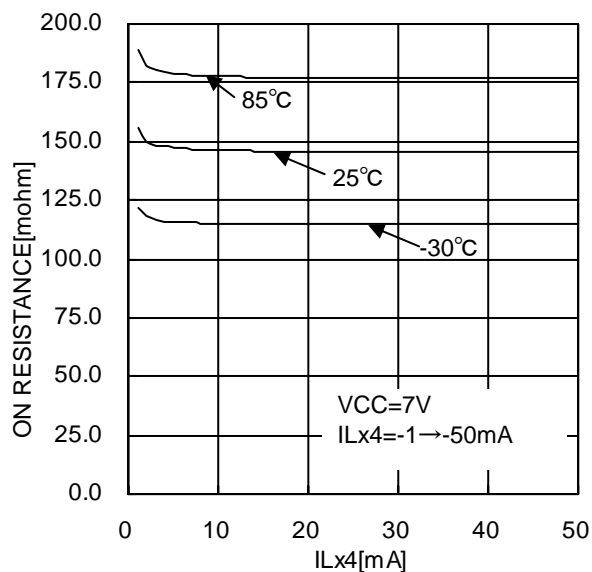


Figure.42 Lx4 High side FET RON
(Ta=-30°C, 25°C, 85°C)

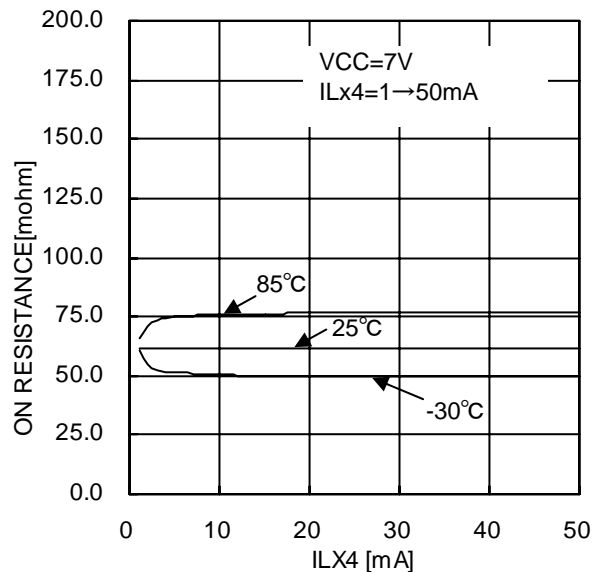


Figure.43 Lx4 Low side FET RON
(Ta=-30°C, 25°C, 85°C)

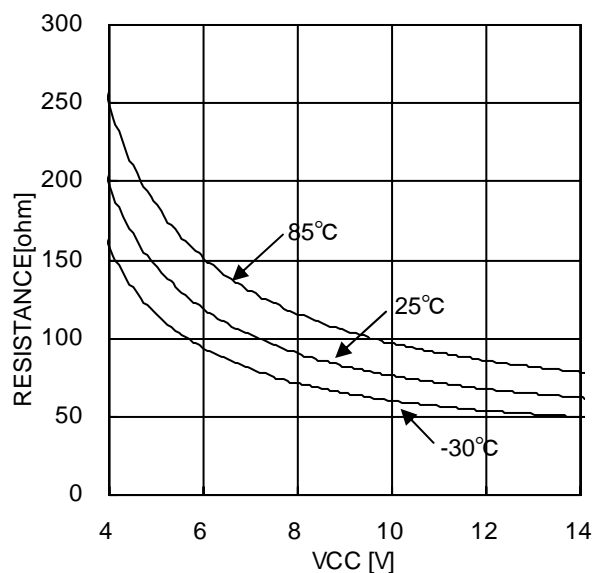


Figure.44 Lx1 discharge SW RON
(Ta=-30°C, 25°C, 85°C)

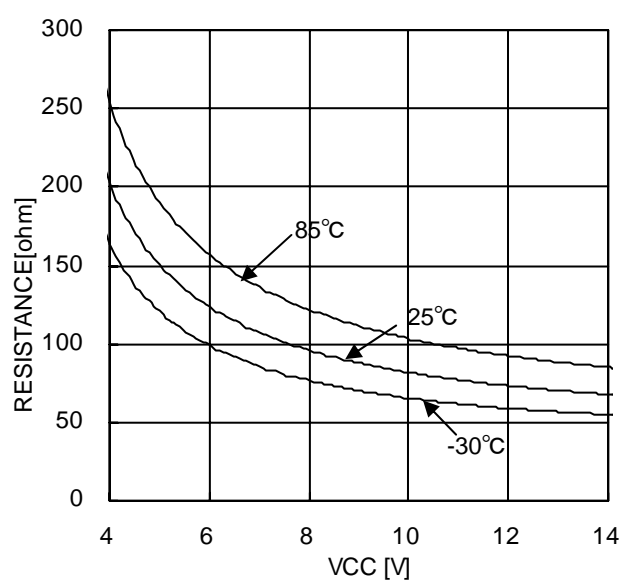


Figure.45 Lx2 discharge SW RON
(Ta=-30°C, 25°C, 85°C)

●特性データ(続き)

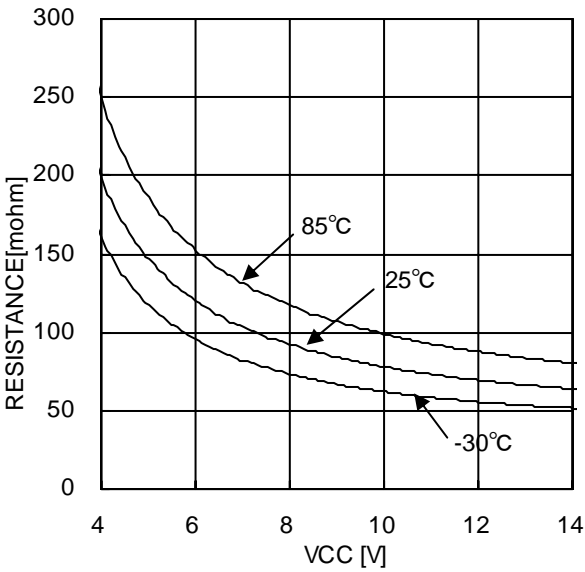


Figure.46 Vo3 discharge SW RON
(Ta=-30°C, 25°C, 85°C)

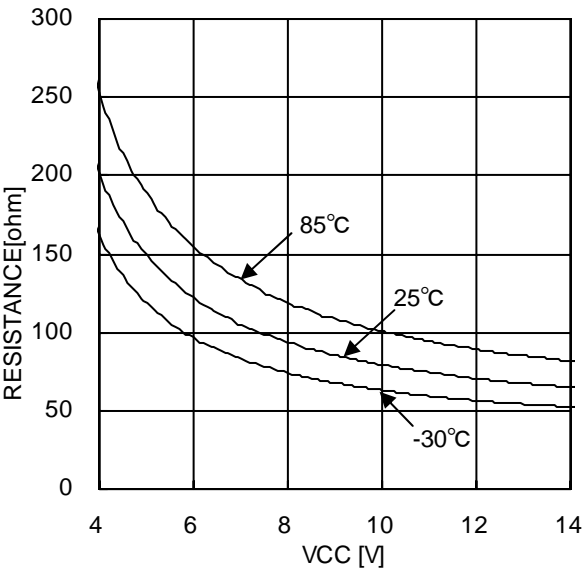
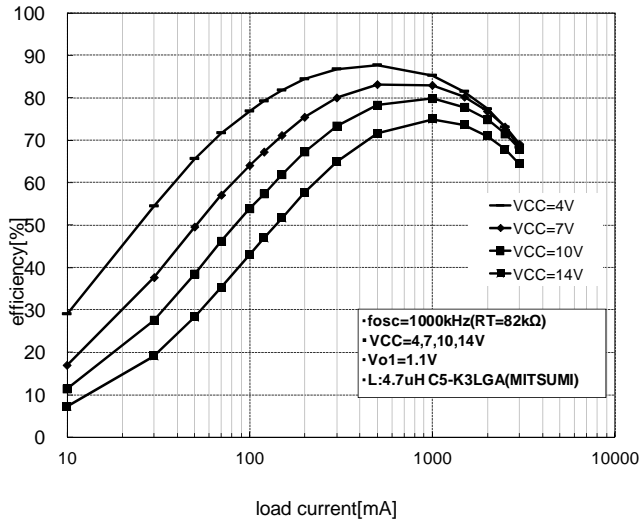
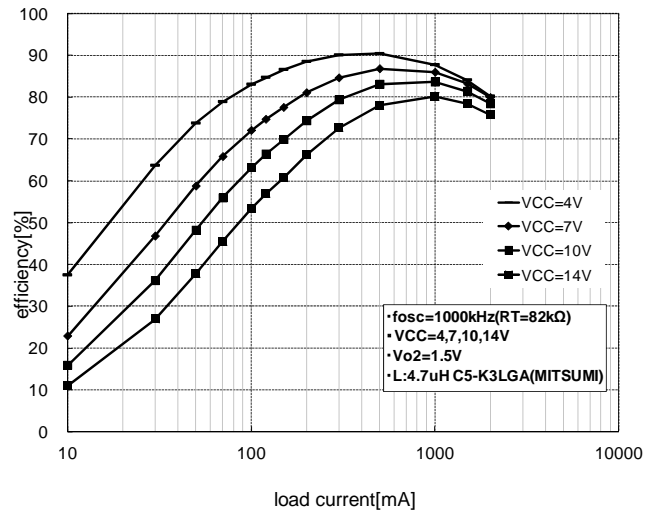
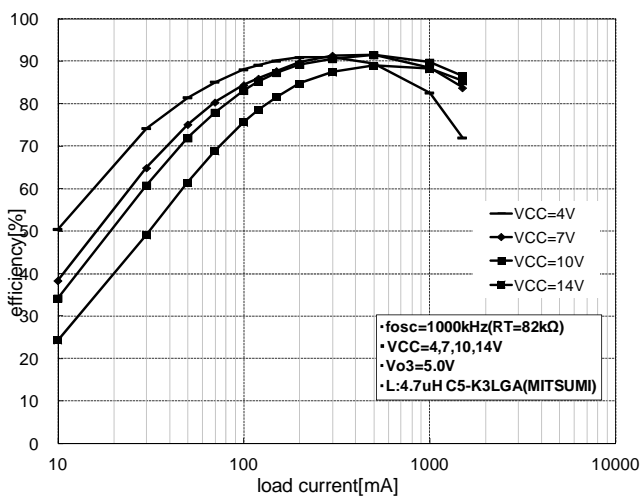
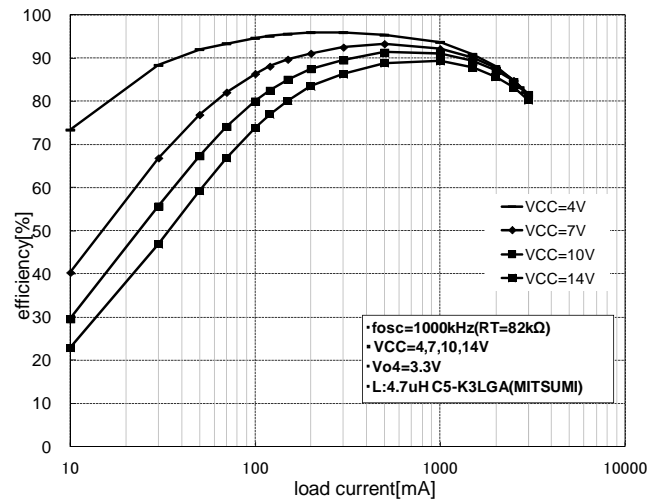


Figure.47 Lx4 discharge SW RON
(Ta=-30°C, 25°C, 85°C)

●電力変換効率

Figure.48 Efficiency – load current
CH1 $V_{o1}=1.1V$ Figure.49 Efficiency – load current
CH2 $V_{o2}=1.5V$ Figure.50 Efficiency – load current
CH3 $V_{o3}=5.0V$ Figure.51 Efficiency – load current
CH4 $V_{o4}=3.3V$

- 各ブロック動作説明

- ・DCDC ブロック(4 チャンネル)

本 IC において,各チャンネルの仕様は以下のようになっております.

	CH1	CH2	CH3	CH4
TYPE	降圧	降圧	昇降圧	降圧
MODE	カレントモード	カレントモード	ボルテージモード	カレントモード
同期整流	○	○	○	○
FET 構成	内蔵 P/N	内蔵 P/N	内蔵 P/N	内蔵 P/N
ソフトスタート	内蔵カウンタ	内蔵カウンタ	内蔵カウンタ	内蔵カウンタ
ON/OFF 制御	独立	独立	独立	独立

Table.1 各チャンネル仕様

- ・VREGA,VREGD,VREGB ブロック

VREGA は 3.5V 出力の内部電源用レギュレータです.また VREGD は 3.5V のローサイド内蔵 FET のゲートバイアス電圧を供給し,VREGB は PVCC-3.5V のハイサイド内蔵 FET のゲートバイアス電圧を供給します.これらのレギュレータには発振止めとして,端子-GND 間(VREGB は端子-PVCC 間)にセラミックコンデンサ(0.47~2.2 μ F)を挿入してください.挿入するコンデンサの容量値は 1.0 μ F を推奨いたします.

- ・三角波発振器ブロック(OSC)

RT 端子に周波数設定用の抵抗を接続することで,三角波(スロープ波)を生成し,各 CH の PWM コンパレータに入力します.RT=82k Ω 時,1.0MHz の動作周波数となります.詳細な設定方法は p.26 を参照してください.外部同期機能用 SYNC 端子にクロックを入力した状態で CTL 端子を ON といたしますと,SYNC 端子入力周波数と同期した周波数にて DC/DC コンバータが発振いたします.外部同期の詳細説明は p.29 を参照してください.

- ・ERRORAMP ブロック

出力電圧を INV 端子で検知して出力設定電圧との誤差を増幅し,内部 EOUT ノードより出力します.比較電圧は CH1 は 0.6V で精度は $\pm 1.67\%$, CH2~4 は 0.8V で,精度は $\pm 1.25\%$ です.出力電圧設定方法については p.26 を参照してください.

- ・PWM コンパレータブロック

SLOPE 波形とエラーアンプ出力電圧を比較し,生成されたパルスのパルス幅により,FET ドライバの発振 Duty を制御します.

- ・カレントモードコントロールブロック

CH1,2,4 はカレントモードによる PWM 方式を採用しております.カレントモードの DC/DC コンバータでは,クロックのエッジ検出により,同期整流のメイン側 FET が ON し,電流コンパレータによりピーク電流を検出し,OFF します.

- ・昇降圧コントロールブロック

CH3 昇降圧回路の DUTY コントロール回路です.1.0MHz の SLOPE 波形とエラーアンプ出力を比較する PWM コンパレータと,それを 4 つの内蔵 FET の ON/OFF 信号へと切り替える Logic 回路により構成されています.

- ・ソフトスタートブロック(SS)

内蔵カウンタにより起動時のエラーアンプ基準電圧をスロープ状の立ち上がりとし,出力電圧をスロープ状の立ち上がりとすることにより出力コンデンサチャージによる入力ラッシュ電流を軽減する回路です.CH1 は 1.4msec(typ. fosc=1MHz 時), CH2~4 は 1.9msec(typ., fosc=1MHz 時)のソフトスタート時間となります.

また,CH1 のみ停止時に Toff1=50 μ sec の遅延時間を持ちます.Figure.6 に示すように CTL1 を H \rightarrow L とした後 50 μ sec 経過するまでは CH1 は出力を継続し,50 μ sec 経過すると出力停止します.

・チャンネルコントロールブロック(CH_CTL)

CTL1~4 端子により各チャンネル出力 ON/OFF の独立制御が可能です。2.5V~VCC の電圧を印加すると ON となり、オープン又は-0.3V~-0.8V の電圧を印加すると OFF になります。全てのチャンネルを OFF とすることで、IC がスタンバイ状態になります。各端子には 400k Ω (Typ.) のプルダウン抵抗が内蔵されております。なお、CH3 動作中に CH4 を停止させた場合 CH3 出力に電圧変動が発生する場合がありますので問題がありませんか十分ご確認の上使用してください。

CTL				LX					VREGA	VREGD	VREGB	OSC
1	2	3	4	1	2	31	32	4				
L	L	L	L	L	L	Z	L	L	N	N	N	N
H	L	L	L	A	L	Z	L	L	A	A	A	A
L	H	L	L	L	A	Z	L	L	A	A	A	A
L	L	H	L	L	L	A	A	L	A	A	A	A
L	L	L	H	L	L	Z	L	A	A	A	A	A
H	H	H	H	A	A	A	A	A	A	A	A	A

Table.2 CTL 表

・短絡保護回路(SCP)

タイマラッチ方式の短絡保護回路です。いずれかのチャンネルの出力電圧が設定電圧より低下することにより、エラーアンプ出力が上昇し、3.0V(typ.)を超えると、SCP 端子に接続されたコンデンサを 5 μ A で充電し始めます。SCP 端子電圧が 0.5V に達すると、ラッチ回路が動作して全チャンネルの出力を OFF に固定します。ラッチ回路をリセットするには、CTL 端子を一旦"L"にしたのち、再度"H"にしてください。もしくは電源電圧を再投入してください。なお、短絡保護回路を使用しない場合は、SCP 端子を GND にショートしてください。SCP 機能動作時のタイミングチャートは p.11,12 を参照してください。

・低電圧入力誤動作防止回路(UVLO)

電源投入時や電源瞬断時の IC 誤動作を防止するための保護回路です。VCC 端子電圧が 3.4V(typ.)以下、または VREGA, VREGD 端子電圧が 3.0V(typ.)以下で、全チャンネルの出力を OFF に固定し、同時にエラーアンプ出力電圧を L レベルに固定します。また、各 UVLO の検出電圧には 0.1V(typ.)のヒステリシス幅があり、スレッシュホールドオンラインでの入力電圧変動による誤動作を防止しています。UVLO 動作時のタイミングチャートは p.10 を参照してください。

・温度保護回路(サーマルシャットダウン/TSD)

異常発熱による IC 破壊を防止するための保護回路です。チップの異常発熱(175 $^{\circ}$ C)を検知すると、内部レギュレータの出力電圧を L レベル(VREGB は VCC)に固定します。また、検出温度と解除温度にはヒステリシス幅(25 $^{\circ}$ C)があり、スレッシュホールドオンラインでの温度変動による誤動作を防止しています。p.34 に使用上の注意を記載しております。

・パワーグッド回路(PG)

オープンドレインの出力形状となっており、SCP 検出時には 350 Ω (typ.)の抵抗値により PG 端子をプルダウンします。通常は抵抗でプルアップして使用してください。PG 機能動作時のタイミングチャートは p.11,12 を参照してください。

・CH1,2 ソフトスタートグッド回路(CH1G,CH2G)

VREGA を電源とするインバータ出力形状の端子で、CH1 及び 2 のソフトスタート終了を検知し出力します。各チャンネル CTL 端子 L 時または CTL ON 後ソフトスタート中出力電圧が設定電圧の 90%より低い間は L を出力、ソフトスタートの終了時出力電圧が設定電圧の 90%を超えると H を出力します。(Figure.57 に示すように、CH1 については CTL1 が H から L になると CH1G 出力も H \rightarrow L となりますが、CH1 停止ディレイ時間 50 μ sec の間 CH1 は出力を継続します。)なお、ソフトスタート終了後に出力電圧が 90%以下に低下した場合には出力は H のままとなります。CH1G 端子または CH2G 端子を他チャンネルの CTL 端子と接続することにより各チャンネルの立ち上がり順序を制御することができます。CH1,2 ソフトスタートグッド機能使用時のタイミングチャートは p.30 を参照してください。

・軽負荷モード制御回路(SEL)

SEL 端子により CH2,4 の PWM 動作/軽負荷モード動作制御が可能です。2.5V~VCC の電圧を印加すると ON となり、オープン又は-0.3V~-0.8V の電圧を印加すると OFF になります。SEL 端子には 400k Ω (Typ.)のプルダウン抵抗が内蔵されております。本機能を使用する場合には SEL 端子と VREGA 端子をショートしての使用を推奨いたします。

・過電流保護回路(OCP)

入力電流を検出して過負荷もしくは出力短絡時、内蔵 FET に許容量以上の電流が流れることによる IC の破壊を防ぎます。OCP を検出すると内蔵 FET をミニマムデューティにて発振させることで入力電流を制限し、出力電圧を低下させた後 SCP 検出により全チャンネルの DC/DC コンバータ動作を安全に停止いたします。検出電流値は p.4 を参照してください。CH3 に関しては出力電圧 Vo3=5.0V 設定時、負荷電流 Io3>1.8A, Vo3=5.5V 設定時、Io3>1.64A にて検出しますので OCP 動作電流および入力電流定格を超えない条件での使用をお願いします。

- 周辺部品設定方法
- 発振周波数設定方法

発振周波数 F_{osc} は、 R_T 端子に接続するタイミング抵抗により設定することができます。1.0MHz 設定時の R_T に接続する抵抗値は約 82k Ω となります。

なお、周波数と R_{RT} [k Ω]との関係式は以下のようになります。

$$F_{osc} = \frac{82}{R_{RT}} \times 1000[\text{kHz}]$$

上記理論式をもとに設定後、実機にて動作確認を行ってください。

- 出力電圧設定方法

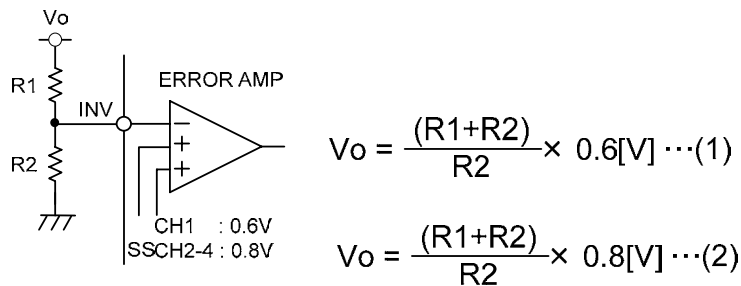


Figure.52 出力電圧設定方法

各チャンネルの出力電圧は INV1~4 端子に接続する帰還抵抗 R_1 、及び R_2 により CH1 は上式(1)、CH2~4 は上式(2)で求められる電圧に設定されます。

本 IC は位相補償を内蔵しています。 R_1 及び R_2 の合計が CH1~CH2 は 90k~1M Ω 、CH3 は 100k~500k Ω 、CH4 は 70k~300k Ω の範囲で設定して頂くと共に、異常発振のないことを十分に確認を行ってください。

- 未使用チャンネル端子処理

未使用チャンネルの各端子は下図のように処理を行い使用してください。

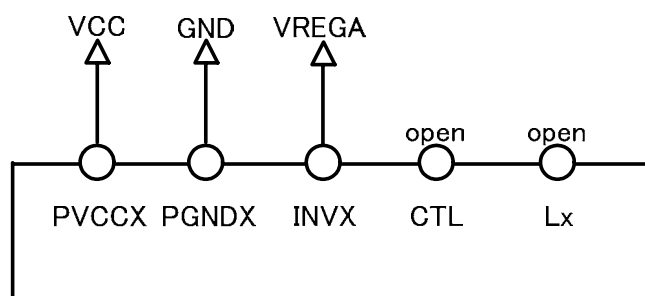


Figure.53 未使用チャンネル端子処理方法

・ SCP 機能使用方法

エラーアンプの出力(EOUT 電圧)を監視し端子電圧が 3.0V(typ.)を越えた場合,短絡保護回路図(Figure.54)において過負荷検知比較器(SCP COMP)出力は,L レベルとなります.すると,トランジスタの Q1 がオフとなり SCP 端子に外付けされた短絡保護用コンデンサ C_{SCP} に 5.0μA で充電を開始します.コンデンサ C_{SCP} の電圧がスレッシュホールド電圧(V_{tsc}≒0.5V)まで充電されると DC/DC 出力を停止させます.過負荷検知比較器検出から出力停止までのショート検知時間 T_{SCP}[sec]は以下の数式により決まります.

$$T_{SCP} [\text{sec}] \doteq \frac{0.5[\text{V}] \times C_{SCP} [\mu\text{F}]}{5.0 [\mu\text{A}]}$$

なお,CTL 端子を L レベルにすることで,SCP 端子電圧を放電し短絡保護の解除が可能です.
SCP 機能動作時のタイミングチャートは p.11,12 を参照してください.

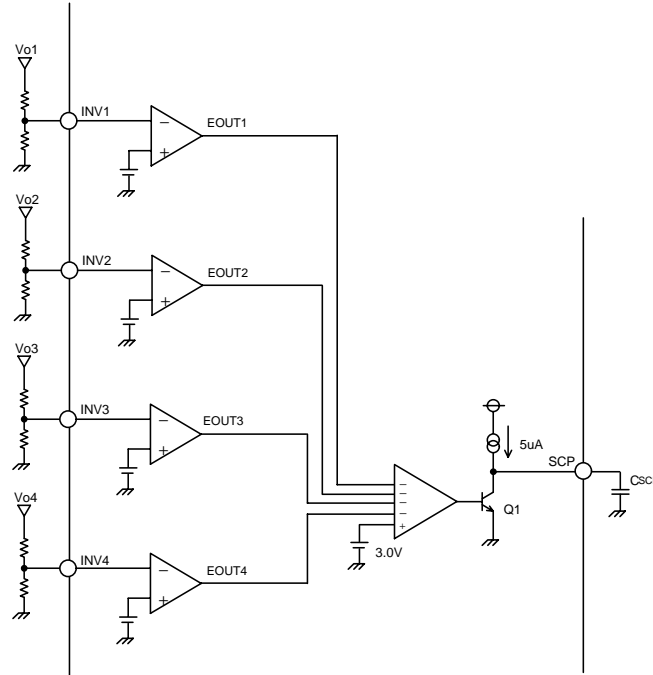


Figure.54 短絡保護回路図

・ CH1,2,4 の出力電圧設定方法について

CH1,2,4 は 100%Duty が出力可能ですが,90~95%の Max Duty を持ちます.このため SCP 機能使用時に入出力電圧差が小さい,あるいは負荷電流が大きい場合 SCP が動作する可能性があります.通常,降圧 DC/DC の ON Duty は V_{OUT}/V_{IN} と表せますが,負荷を引いた際の実際の ON Duty は V_{OUT}/(V_{IN}-I_o × R_{on})となります.Max Duty を超えると 100% Duty 出力となりますが,100% Duty は SCP が動作するまでの過渡状態のみ出力可能です.このため,入出力電圧の Duty が Max Duty を超えないように設定してください.

・出力インダクタの選定方法

電流定格が下記電流値 I_{peak} より十分大きく,DCR(直流抵抗成分)が低く, またシールドタイプのものを推奨いたします。

インダクタの値はリップル電流に大きく影響します。

リップル電流は以下の式のようにコイルの L 値が大きいほど, またスイッチング周波数が高いほど小さくすることができます。

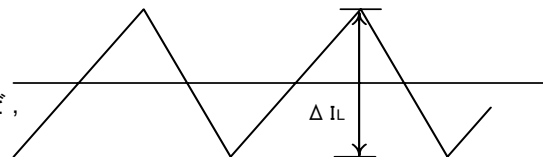


Figure.55 インダクタのリップル電流

$$I_{peak} = I_{out} + \frac{\Delta I_L}{2} \quad [A] \cdots \cdots \text{降圧モード時(1)}$$

$$I_{peak} = I_{out} \times \frac{V_{in} + V_{out}}{2 \times 0.8 \times V_{in} \times \eta} + \frac{\Delta I_L}{2} \quad [A] \cdots \cdots \text{昇降圧モード時(2)}$$

$$I_{peak} = I_{out} \times \frac{V_{out}}{V_{in} \times \eta} + \frac{\Delta I_L}{2} \quad [A] \cdots \cdots \text{昇圧モード時(3)}$$

$$\Delta I_L = \frac{(V_{in} - V_{out})}{L} \times \frac{V_{out}}{V_{in}} \times \frac{1}{f} \quad [A] \cdots \cdots \text{降圧モード時(4)}$$

$$\Delta I_L = \frac{|(V_{in} - V_{out})|}{L} \times \frac{V_{out} \times 2 \times 0.8}{(V_{in} + V_{out})} \times \frac{1}{f} \quad [A] \cdots \cdots \text{昇降圧モード時(5)}$$

$$\Delta I_L = \frac{(V_{out} - V_{in})}{L} \times \frac{V_{in}}{V_{out}} \times \frac{1}{f} \quad [A] \cdots \cdots \text{昇圧モード時(6)}$$

(η : 電力変換効率, ΔI_L : 出力リップル電流, f : スwitchング周波数)

リップル電流は,最大出力電流の 20%~50%程度を目安として設計を行ってください。

コイルの定格を超える電流をコイルに流しますとコイルが磁気飽和を起こし,効率の低下や出力の発振を引き起こすことがあるため,ピーク電流がコイルの定格を超えないよう十分なマージンを持って選定してください。

・出力コンデンサの選定方法

出力に使用するコンデンサは出力リップル電圧を軽減するため,ESR の低いセラミックコンデンサを推奨いたします。また,コンデンサの定格は DC バイアス特性を考慮に入れたうえ,最大定格が出力電圧に対して十分に大きいものを 使用してください。

セラミックコンデンサを用いた場合の出力リップル電圧は次式より求められます。

$$V_{pp} = \Delta I_L \times \frac{1}{2\pi \times f \times C_o} + \Delta I_L \times R_{ESR} \quad [V] \cdots \cdots (7)$$

上記理論式をもとに許容リップル電圧内に収まるよう設定後,実機にて動作確認を行ってください。

・外部同期設定について

外部同期機能を使用する際は、IC の動作を停止させた後にクロックを停止してください。途中で止めた場合、内部で生成している三角波(スロープ波)のディスチャージをしなくなってしまうため、内部の発振器が停止し DC/DC としての動作が停止いたします。なお、SYNC 端子にクロックを入れる前に IC の電源を印加してください。SYNC 端子-VCC 端子間には保護 Di が入っており、VCC 端子に電圧が印加されていない状態では、SYNC→VCC の経路で電流が流れます。

SYNC 端子に任意の周波数のパルスを印加した状態で CTL 端子を ON とすることにより、入力周波数と同期した発振周波数で DC/DC コンバータ動作を行う外部同期機能を使用することができます。

外部同期機能では、任意の周波数において内部三角波の高さを一定に保つために、入力する周波数に従って RTSS 端子電圧を上昇させる制御を行います。この RTSS 端子電圧の上昇する範囲以上の周波数では内部スロープの高さを一定に保つことができないため、入力する周波数は以下の式のように RT 端子に接続する抵抗により設定される周波数より 20%早い周波数以内としてください。

RRT により設定される周波数 < SYNC 端子に入力する周波数 < (RRT により設定される周波数 $\times 1.2$)

RTSS 端子周辺ブロックは、起動時、RTSS 端子に接続した容量値の時定数で立ち上がります。また、IC 内部では立ち上がりで誤動作しないよう、RTSS=0.35V に達するまでは、SS 端子がディスチャージされております。この間の RTSS 流出電流は、立ち上がりを早くするため、約 60 μ A で設定されております。RTSS=0.35V に達するまでの立ち上がり時間は以下の式で求めることができます。

$$T_{RTSS1}[\text{sec}] \doteq \frac{0.35 \times C_{RTSS}[\text{pF}]}{60[\mu\text{F}]}$$

(ex. C_{RTSS} =10000pF とした場合、 $T_{RTSS1} \doteq 60\mu\text{sec}$)

RTSS=0.35V に達したのちは、RTSS 流入電流は通常の 5.0 μ A に戻り、約 0.5V にて安定するまでの立ち上がり時間は以下の式で求めることができます。

$$T_{RTSS2}[\text{sec}] \doteq \frac{\{(0.5(*1) - 0.35) \times C_{RTSS}[\text{pF}]\}}{5.0[\mu\text{A}]} \quad (*1)\text{RTで設定した周波数が外部同期周波数とほぼ同じ場合}$$

(ex. C_{RTSS} 10000pF とした場合、 $T_{RTSS2} \doteq 300\mu\text{sec}$)

また、RTSS 端子は、安定点で電流のシンク/ソースを繰り返し、安定した電圧を出力しますが、外部同期の立ち上がりクロックを用いてシンク/ソースの切り替えを行っているため、RTSS 端子に接続するコンデンサの容量値が小さすぎると、(特に周波数が低い場合)次のクロックがくるまでに電圧が大きく変動してしまい、MaxDuty等の精度がとれなくなってしまう可能性があります。オーダーとしては、周波数を 1.0MHz 付近で動作させる場合、10000pF 程度を使用してください。それ以上の容量値を使用する場合は、安定度は増しますが、SS 機能が動作するまでの時間が遅くなりますので、ご注意ください。

・CH1,2 ソフトスタートグッド機能について

CH1 および 2 にはソフトスタートの終了を検知するソフトスタートグッド機能を内蔵しており CH1G 端子と CH2G 端子をそれぞれ検知出力端子としています。各チャンネル CTL OFF 時または CTL ON 後ソフトスタート中で出力電圧が設定電圧の 90%より低い間は L を出力, ソフトスタートの終了時出力電圧が設定電圧の 90%を超えると H を出力します。下図 Figure.56 のように CH1G, または CH2G 端子を他の CTL 端子と接続することによりソフトスタートグッド機能を使用して立ち上がり順序を制御することができます。CH1G 端子と CTL2,4 端子を接続することにより CH1 のソフトスタート終了後に CTL2 および CTL4 が H となり CH2,4 が動作を開始します。その後 CH2 のソフトスタート終了後 CTL3 が H となり CH3 が動作を開始します。停止時には CTL1 を OFF とすることにより全チャンネルが停止します (Figure.57.)

CH1,2 ソフトスタートグッド機能を使用しない場合には CH1G 端子, CH2G 端子をそれぞれオープンとしてください。

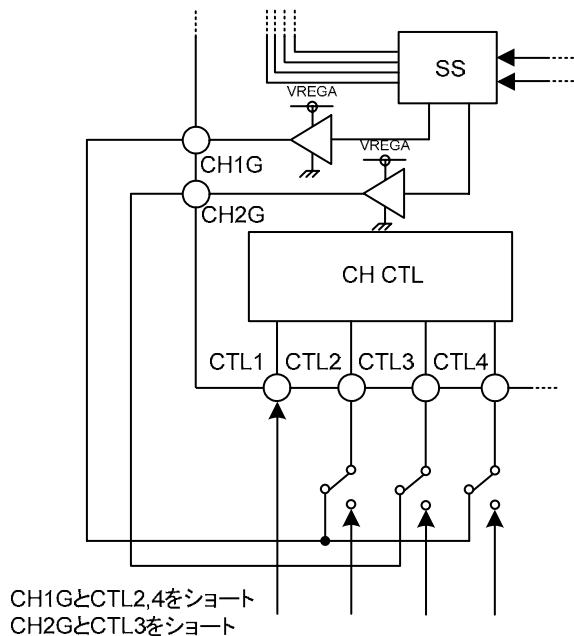


Figure.56 起動順序制御回路例

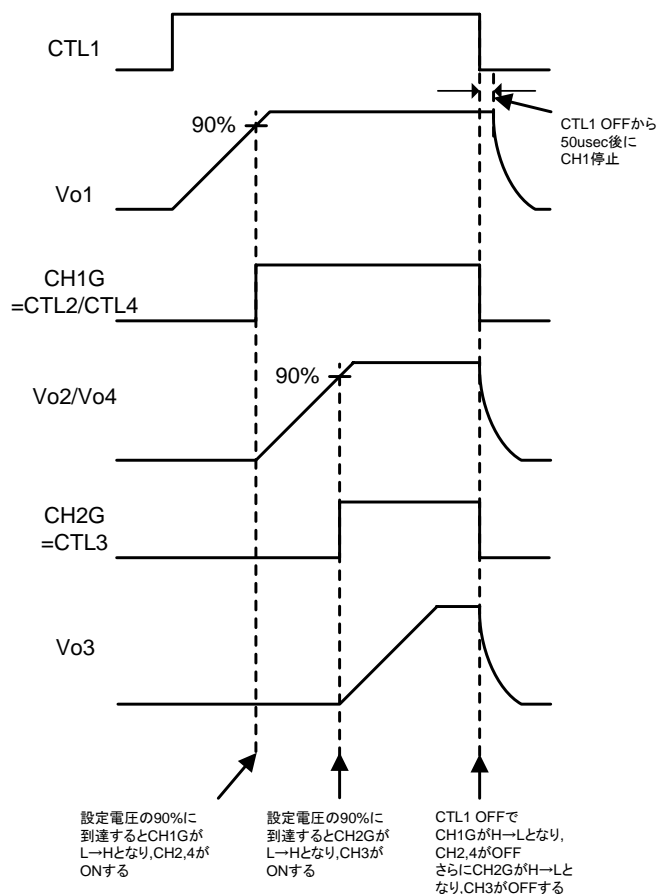


Figure.57 起動順序制御時タイミングチャート

- 基板レイアウト上の注意点

- ・入力コンデンサ(バイパスコンデンサ: C_{in_bp})は PVCC, PGND へ最短で接続してください。

→電流のループを最小にし、寄生インピーダンスを下げるのが目的です。基本的にスイッチング電流は電源 $V_{in}(C_{in})$ から供給しますが、入力コンデンサ内や基板配線などの寄生インピーダンスや寄生インダクタンスが存在するため、急峻な電流変化については、直近に配置したパスコンから I_p のようなループで電流を供給するためです。

入力コンデンサの構成としては、 C_{in} に相当する箇所に大きな電界コンデンサ、パスコンに相当する箇所にセラミックコンデンサを配置するのが望ましいと考えられます。

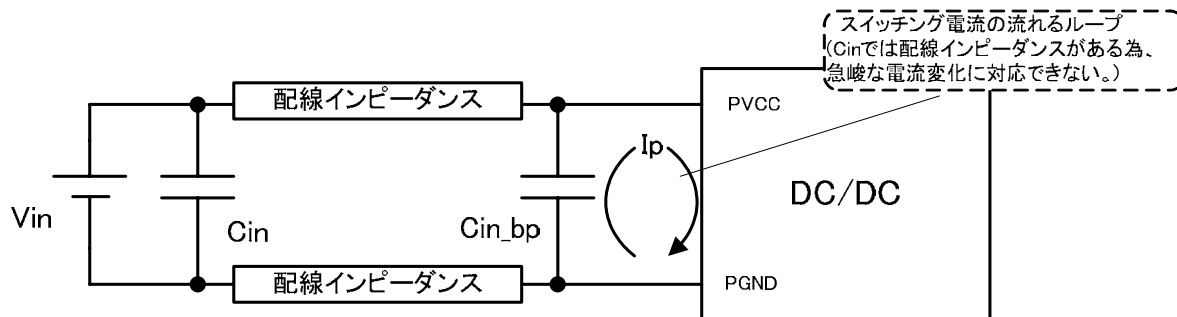
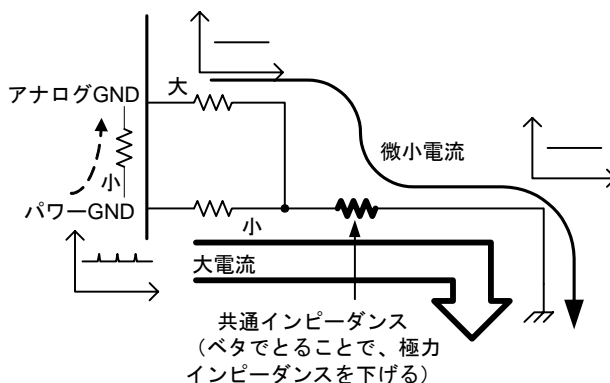


Figure.58 入力コンデンサの役割

- ・ GND, PGND はできるだけ太く短い配線としてください。

→本 IC では、内部のサブコンタクトを GND および PGND でとっております。そのため、GND と PGND を分けて 1 点 GND をとっても、内部では GND—PGND がサブコンタクトを介して接続されており、外で接続されているインピーダンスより内部のインピーダンスが低い場合、PGND に流れる電流は内部の GND に向かって流れてしまいます。この場合、内部のバンドギャップや周波数を決めているオシレータブロックに影響を及ぼす可能性があります。つまり、内部の GND までのインピーダンスよりも外部の PGND のインピーダンスを下げる必要がありますので、GND, PGND は太く短い配線としてください。(GND は電流が少ないラインなので、PGND に比べ多少インピーダンスがついても問題ありません。)



内部 PGND から内部 GND までのインピーダンスより PGND から接地点までのインピーダンスを下げることで、内部 GND への電流が減ります。
アナログ GND から外部 PGND までのインピーダンスを高くすることで、さらに内部 GND への電流が減る方向になります。

Figure.59 共通インピーダンスの影響

- ・電源ノイズの干渉をさけるため、帰還抵抗-帰還端子間にはできるだけ短く配線を行なってください

→帰還端子(INV1~4)に電源ノイズなどが干渉すると出力電圧が発振する恐れがあります。

- ・VCC および PVCC 端子が絶対最大定格を超えないよう使用してください。

→入力コンデンサの位置によってはパターンの L 成分により、リンギングを引き起こし、定格を超えてしまう場合があります。参考例としましてプリントパターンの厚みが 35 μ m、パターン幅が 1.0mm の場合、IC からコンデンサまでの長さは 5.0mm 以下で配置してください。

●端子等価回路図

	端子名	端子等価回路図		端子名	端子等価回路図
G6 G5 G4 B3	VCC GND PVCC PGND		C4 D3 C6 C5 C7	CTL1 CTL2 CTL3 CTL4 SEL	
F3 D4 E4 E5	INV1 INV2 INV3 INV4		E3	SYNC	
B4	SCP		B5	PG	
D5	RTSS		F6	RT	
F5 G3	VREGA VREGD		F4	VREGB	

Figure.60 端子等価回路図 1

	端子名	端子等価回路図		端子名	端子等価回路図
G1,G2 A1,A2 F7,G7 F4 E1,F1 B1,B2 E6,E7 D1,D2 C1,C2 D6,D7	PVCC1 PVCC2 PVCC4 VREGB Lx1 Lx2 Lx4 PGND1 PGND2 PGND4		A3 F4 A4 A5,A6	PVCC3 VREGB Lx31 PGND3	
B7 A7,B6 A5,A6	VO3 Lx32 PGND3		F2 E2	CH1G CH2G	

Figure.61 端子等価回路図 2

●熱軽減特性

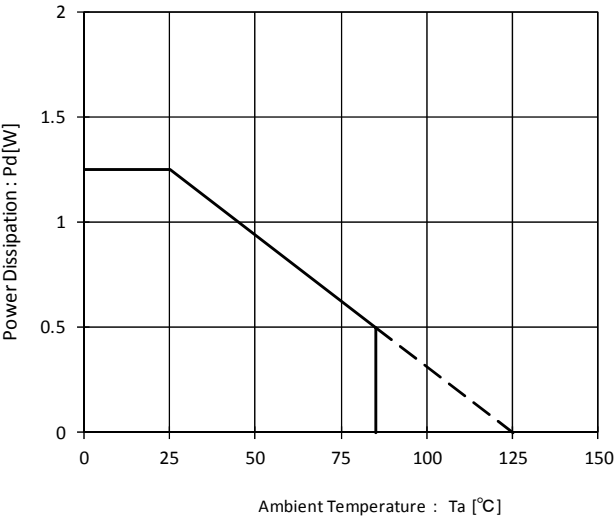


Figure.62 許容損失

Ta=25℃以上で使用する場合は 12.5mW/℃で軽減.LSI の損失がパッケージ許容損失を超えない範囲で使用してください.
50mm×50mm×1.75mm ガラスエポキシ8層基板実装時のデータです(Ta=25℃)

●使用上の注意

1.) 絶対最大定格について

本製品におきましては品質管理には十分注意を払っておりますが、印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は劣化または破壊に至る可能性があります。またショートモードもしくはオープンモード等破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズ等物理的な安全対策を施して頂けるようご検討をお願いします。

2.) GND 電位について

GND ピンの電位はいかなる動作状態においても、最低電位になるようにしてください。

3.) 熱設計について

実際の使用状態での許容損失(Pd)を考え、十分マージンを持った熱設計を行ってください。

4.) ピン間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また出力間や出力と電源 GND 間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

5.) 強電磁界中の動作について

強電磁界中でのご使用では、誤動作をする可能性がありますのでご注意ください。

6.) 共通インピーダンスについて

電源及び GND の配線は、共通のインピーダンスを下げる、リップルをできるだけ小さくする(配線をできるだけ太く短くする、L,Cによりリップルを落とす)等、十分な配慮を行ってください。

7.) 温度保護回路(TSD 回路)

本 IC は温度保護回路(TSD 回路)を内蔵しています。温度保護回路(TSD 回路)はあくまでも熱的暴走から IC を遮断することを目的とした回路であり、IC の保護及び保証を目的としておりません。よって、この回路を動作させて以降の連続使用及び動作を前提とした使用はしないでください。

8.) 電源投入時のラッシュカレントについて

CMOS IC、複数電源を持つ IC では、電源投入時に瞬間的にラッシュカレントが流れる場合がありますので電源カップリング容量や電源、GND パターン配線の幅、引き回しに注意してください。

9.) 強い光による影響

ストロボ光などの大光量がパッケージに入射した場合、誤動作を引き起こす場合があります。光が入射しないよう遮光対策の上、十分な動作確認を行っていただくようお願いします。

10) IC 端子入力について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば Figure.63 のように抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND>(端子 A)の時、トランジスタ(NPN)では GND>(端子 B)の時、

P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND>(端子 B)の時

前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。

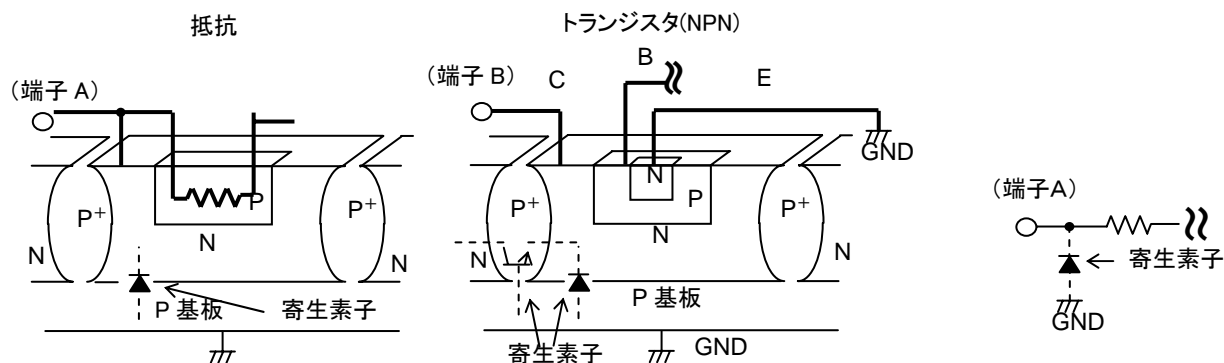


Figure. 63 バイポーラ IC の簡易構造例

●発注形名情報

B D 9 8 6 6 G U L

Part Number

Package
GUL:VCSP50L3

E 2

Packaging and forming specification
E2:Embossed tape and reel

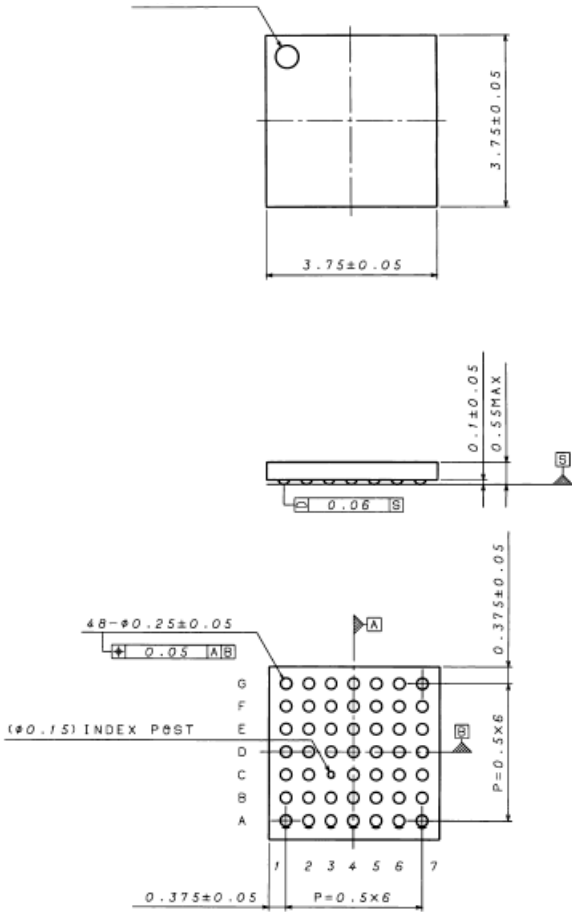


Figure. 64 外形寸法図

(UNIT: mm)

●標印図

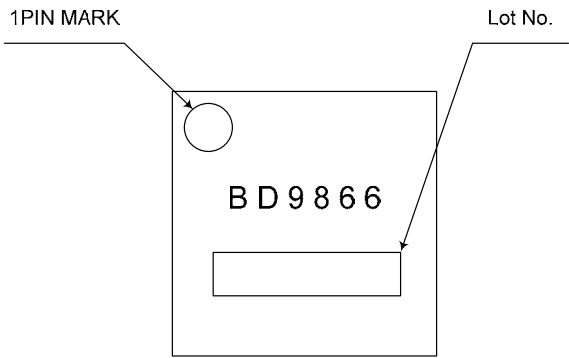


Figure. 65 標印図

包装形態	エンボステーピング
包装数量	2,500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに、製品の1番ピンが左上にくる方向。)

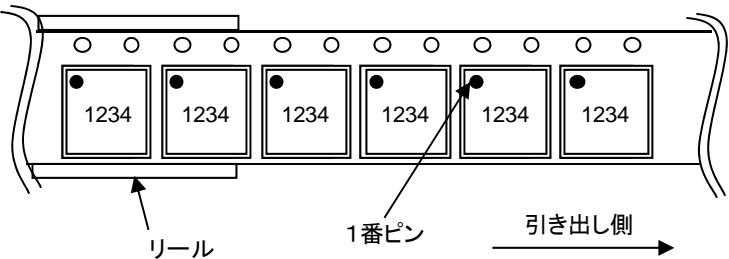


Figure. 65 包装方向

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けはリフローはんだを原則とさせていただきます。なお、フロー方法でのご使用につきましては別途ロームまでお問い合わせください。
詳細な実装及び基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。