

TFT-LCD パネル用電源 IC シリーズ

12V 入力 多チャンネル
システム電源 IC

BM81004MUV

●概要

BM81004MUV は、液晶 TV 向け TFT-LCD パネル用システム電源です。パネル駆動用電源(SOURCE 用電圧、LOGIC 用電圧)に加えて、正/負チャージポンプコントローラ、Gate Pulse Modulation 機能を内蔵しています。また、各種設定値を保持する EEPROM を有しており、出力電圧や SOFT START 時間等を設定することができます。

●特長

- 昇圧 DC/DC コンバータ (AVDD). (同期整流, ロードスイッチ内蔵/外付).
- 降圧 DC/DC コンバータ 1 (VIO). (非同期整流).
- 降圧 DC/DC コンバータ 2 (VCORE). (同期整流).
- 降圧 DC/DC コンバータ 3 (HAVDD). (同期整流).
- 正チャージポンプコントローラ (VGH).
- 負チャージポンプコントローラ (VGL).
- Gate Pulse Modulation (GPM) 機能.
- 高耐圧 LDO (50mA).
- 10bit DAC 制御 Gamma アンプ 4ch
- 8bit DAC 制御 VCOM アンプ
- I2C による出力電圧制御. EEPROM 内蔵.
- スイッチング周波数 750kHz. (AVDD, VIO)
- スイッチング周波数 1MHz. (VCORE, HAVDD)

●用途

- TFT-LCD パネル

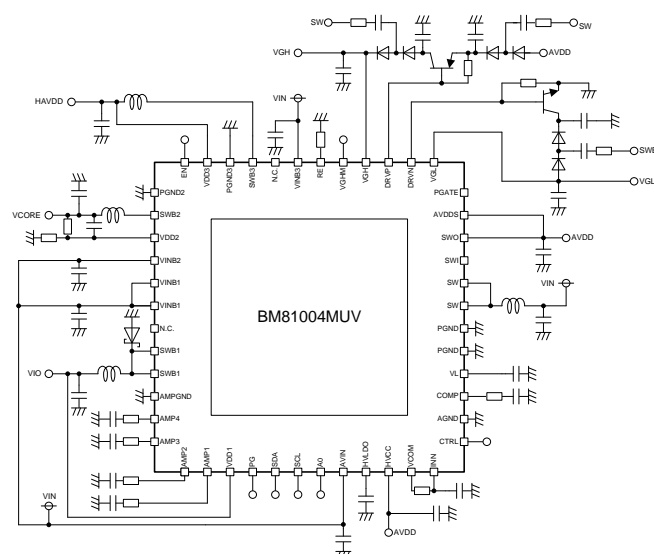
●基本アプリケーション回路 1
(TOP VIEW)

Figure 1. Application Circuit 1

●重要特性

- 入力電圧範囲: 8.6V ~ 14.0V
- AVDD 出力電圧範囲: 11.7V ~ 18.0V
- VIO 出力電圧範囲: 2.2V ~ 3.7V
- HAVDD 出力電圧範囲: 4.8V ~ 11.1V
- VGH 出力電圧範囲: 25V ~ 40.5V
- VGL 出力電圧範囲: -10.2V ~ -4.0V
- スイッチング周波数: 750kHz(Typ.)
1MHz(Typ.)
- 動作温度範囲: -40°C ~ +105°C

●パッケージ

VQFN48V7070A

W(Typ.) x D(Typ.) x H(Max.)
7.00mm x 7.00mm x 1.0mm

●基本アプリケーション回路2 (TOP VIEW)

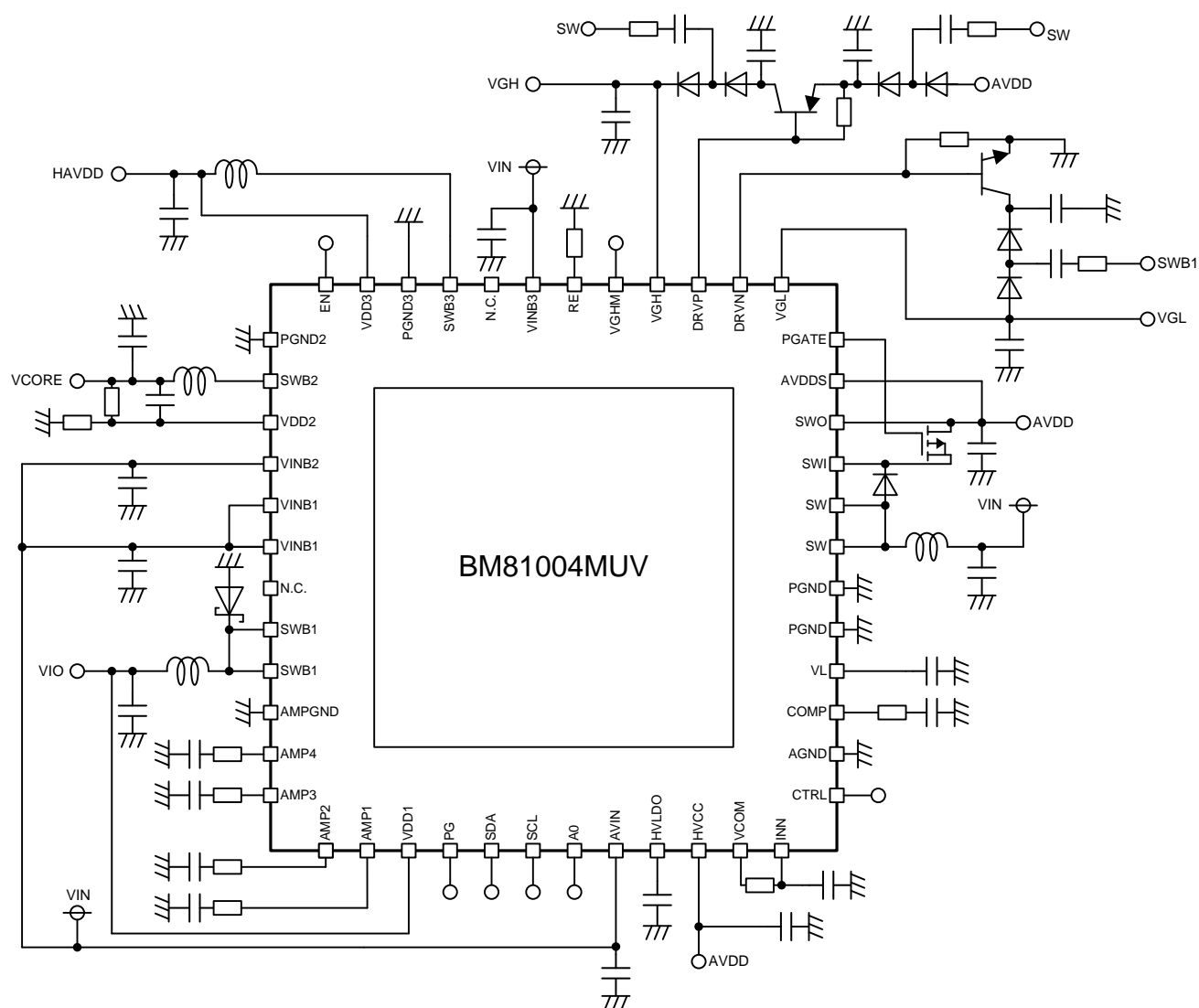


Figure 2. Application Circuit 2

目 次

●概要	1
●特長	1
●用途	1
●基本アプリケーション回路 1	1
●重要特性	1
●パッケージ	1
●基本アプリケーション回路 2	2
●端子配置図	4
●端子説明	4
●ブロック図	5
●各ブロック動作説明	6
●絶対最大定格	7
●推奨動作範囲	7
●電気的特性	8
●参考データ	12
●タイミングチャート	24
●アプリケーション例	25
●各ブロック保護機能説明	26
●保護機能一覧	28
●シリアル通信について	29
●Register Map	32
●Command Table 1	33
●Command Table 2	34
●アプリケーション部品選定方法	35
●レイアウトパターン設計について	40
●熱損失について	40
●入出力等価回路図	41
●使用上の注意	44
●発注形名情報	46
●標印図	46
●外形寸法図と包装・フォーミング仕様	47
●改訂履歴	48

●端子配置図
(TOP View)

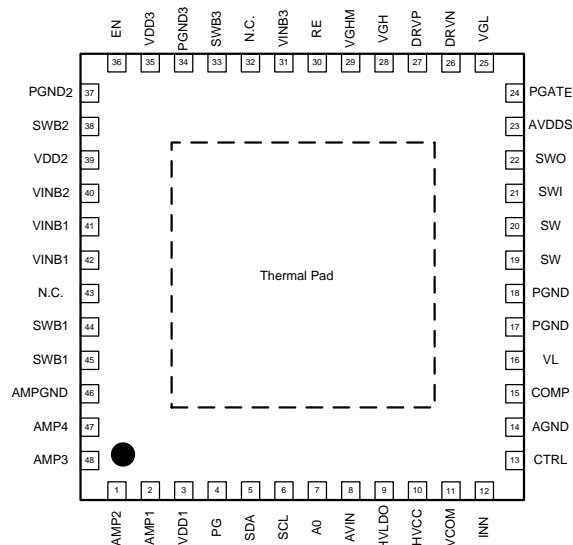


Figure 3. Pin Configuration

●端子説明

端子番号	記 号	機 能	端子番号	記 号	機 能
1	AMP2	Gamma アンプ出力端子 2	25	VGL	負チャージポンプ出力端子
2	AMP1	Gamma アンプ出力端子 1	26	DRVN	負チャージポンプ ドライブ端子
3	VDD1	降圧 DC/DC 出力端子 1	27	DRVVP	正チャージポンプ ドライブ端子
4	PG	Power GOOD 信号出力端子	28	VGH	正チャージポンプ出力端子
5	SDA	シリアルデータ入力端子	29	VGHM	GPM 出力端子
6	SCL	シリアルクロック入力端子	30	RE	GPM スロープ調整端子
7	A0	I2C アドレス選択端子	31	VINB3	降圧 DC/DC 用電源端子 3
8	AVIN	電源入力端子	32	N.C.	—
9	HVLDO	高耐圧 LDO 出力端子	33	SWB3	降圧 DC/DC スイッチング端子 3
10	HVCC	VCOM & Gamma 用電源端子	34	PGND3	降圧 DC/DC 用 GND 端子 3
11	VCOM	VCOM アンプ出力端子	35	VDD3	降圧 DC/DC 出力端子 3
12	INN	VCOM アンプ負帰還端子	36	EN	イネーブル端子
13	CTRL	GPM コントロール端子	37	PGND2	降圧 DC/DC 用 GND 端子 2
14	AGND	アナログ GND 端子	38	SWB2	降圧 DC/DC スイッチング端子 2
15	COMP	エラーアンプ出力端子	39	VDD2	降圧 DC/DC 出力端子 2
16	VL	内部 REG 出力端子	40	VINB2	降圧 DC/DC 用電源端子 2
17	PGND	昇圧 DC/DC GND 端子	41	VINB1	降圧 DC/DC 用電源端子 1
18	PGND	昇圧 DC/DC GND 端子	42	VINB1	降圧 DC/DC 用電源端子 1
19	SW	昇圧 DC/DC スイッチング端子	43	N.C.	—
20	SW	昇圧 DC/DC スイッチング端子	44	SWB1	降圧 DC/DC スイッチング端子 1
21	SWI	ロードスイッチ入力端子	45	SWB1	降圧 DC/DC スイッチング端子 1
22	SWO	ロードスイッチ出力端子	46	AMPGND	Gamma アンプ用 GND 端子
23	AVDDS	昇圧 DC/DC 出力帰還端子	47	AMP4	Gamma アンプ出力端子 4
24	PGATE	ロードスイッチ GATE ドライブ端子	48	AMP3	Gamma アンプ出力端子 3

●ブロック図

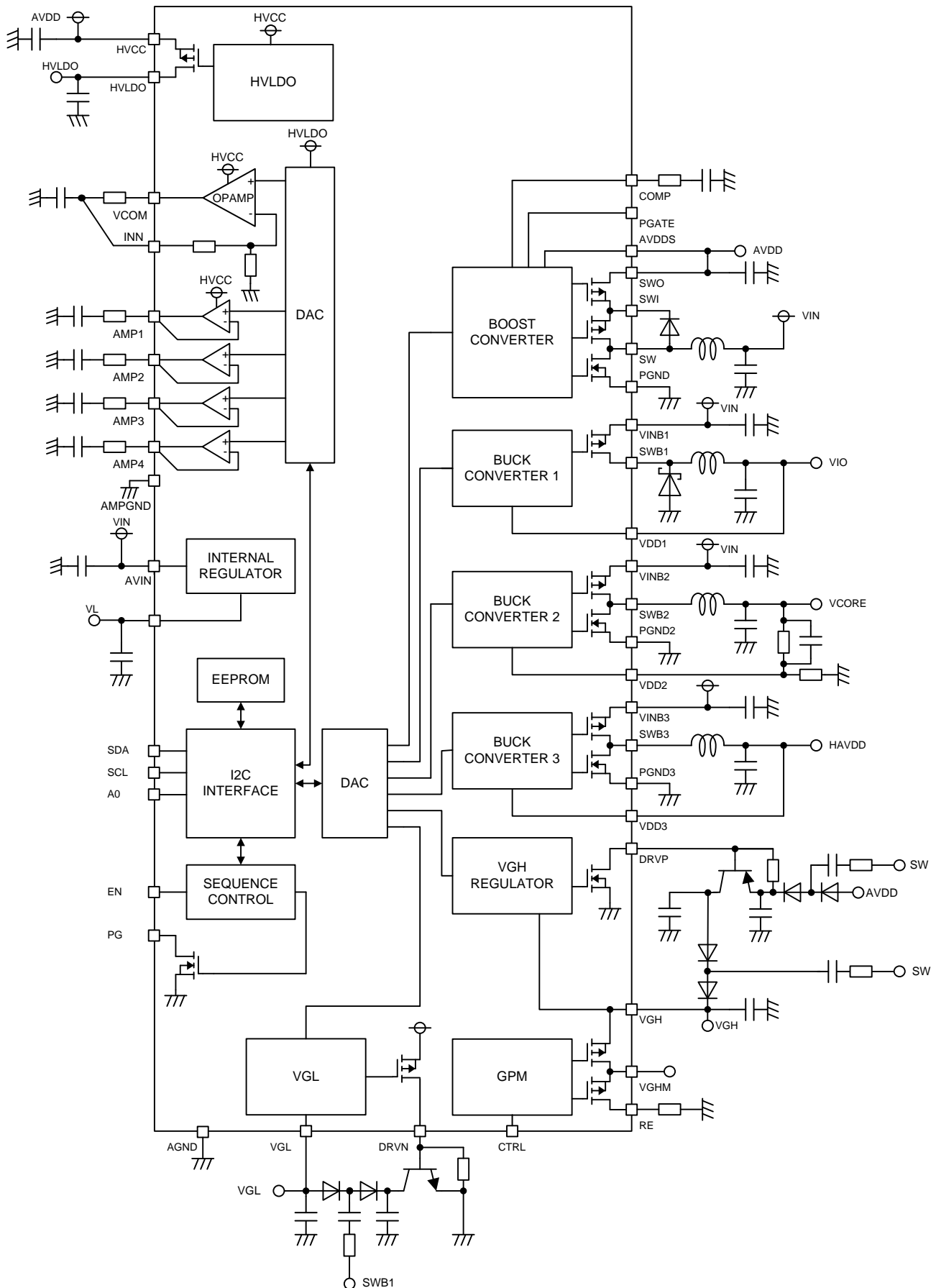


Figure 4. Block Diagram

●各ブロック動作説明

① BUCK CONVERTER BLOCK 2

電源電圧から V_{CORE}(VDD2)電圧を生成するブロックです。

VIN の UVLO 解除後に VL が起動し、EEPROM への Auto Read が動作した後に V_{CORE} は起動します。

動作中は OVP, UVP, OCP の保護機能により、IC の破壊を防止します。

② BUCK CONVERTER BLOCK 1

電源電圧から V_{IO}(VDD1)電圧を生成するブロックです。

V_{CORE} の起動した後に V_{IO} は起動します。

VIN 起動時に Power On Reset が働き、EEPROM に書き込まれた設定が Register に反映されます。

動作中は OVP, UVP, OCP の保護機能により、IC の破壊を防止します。

③ VGL REGULATOR BLOCK

VGL 電圧を生成するブロックです。

V_{CORE} 起動完了後、VGL は起動を開始します。

VIN 起動時に Power On Reset が働き、EEPROM に書き込まれた設定が Register に反映されます。

動作中は UVP, OCP の保護機能により、IC の破壊を防止します

④ BOOST CONVERTER BLOCK

電源電圧から AVDD(SW0)電圧を生成するブロックです。

V_{CORE}, V_{IO}, VGL が起動した状態で、EN=H となることで起動します。

HAVDD 電圧の設定電圧範囲は AVDD 設定電圧に依存し、

HAVDD 電圧の下限值は $AVDD \times 0.4$ に制限されます。

VIN 起動時に Power On Reset が働き、EEPROM に書き込まれた設定が Register に反映されます。

動作中は OVP, UVP, OCP の保護機能により、IC の破壊を防止します。

⑤ BUCK CONVERTER BLOCK 3

電源電圧から HAVDD(VDD3)電圧を生成するブロックです。

HAVDD 電圧は、AVDD 電圧に追従して起動します。

VIN 起動時に Power On Reset が働き、EEPROM に書き込まれた設定が Register に反映されます。

動作中は OVP, UVP, OCP の保護機能により、IC の破壊を防止します。

⑥ HIGH VOLTAGE LDO BLOCK

AVDD (HVCC) 電圧から HVLDO 電圧を生成するブロックです。

HVLDO 電圧は、AVDD 電圧に追従して起動します。

VIN 起動時に Power On Reset が働き、EEPROM に書き込まれた設定が Register に反映されます。

動作中は UVP, OCP の保護機能により、IC の破壊を防止します。

⑦ VCOM AMPLIFIER BLOCK

AVDD (HVCC) 電圧から VCOM 電圧を生成するブロックです。VCOM 電圧設定用のキャリブレーターが内蔵されており、

VCOM 電圧は、AVDD 電圧に追従して起動します。

VIN 起動時に Power On Reset が働き、EEPROM に書き込まれた設定が Register に反映されます。

⑧ GAMMA AMPLIFIER BLOCK

AVDD (HVCC) 電圧から AMP1~4 電圧を生成するブロックです。

AMP1~4 電圧は、AVDD 電圧に追従して起動します。

VIN 起動時に Power On Reset が働き、EEPROM に書き込まれた設定が Register に反映されます。

⑨ VGH REGULATOR BLOCK

AVDD 電圧から VGH 電圧を生成するブロックです。

AVDD 起動完了後、VGH は起動を開始します。

VIN 起動時に Power On Reset が働き、EEPROM に書き込まれた設定が Register に反映されます。

動作中は OVP, UVP, OCP の保護機能により、IC の破壊を防止します。

⑩ GPM BLOCK

PMOS FET で構成された TFT のゲート電圧を駆動する為のスイッチ回路です。

VGHM 出力は CTRL 入力と同期し、CTRL=H の時 High 電圧=VGH を出力します。

GPM Falling Limit 電圧は EEPROM で設定可能です。

※ ご注意

- ・ EN 端子は入力トレラント対応です。EN>VIN となっても問題ありません。
- ・ PG 端子を使用しない場合は、GND にショート、またはオープンにしてください。

●絶対最大定格

項 目	記号	定 格			単位
		MIN	TYP	MAX	
Supply Voltage	AVIN, VINB1, VINB2, VINB3	-0.3	-	24	V
	HVCC	-0.3	-	20	V
Input Voltage	SDA, SCL, A0, EN, CTRL	-0.3	-	7	V
Output Voltage	VL	-0.3	-	6.5	V
	COMP, PG	-0.3	-	7	V
	SW, SWI, SWO, PGATE, AVDDS, VDD1, SWB1, VDD2, SWB2, VDD3, SWB3	-0.3	-	24	V
	HVLDO, VCOM, INN AMP1, AMP2, AMP3, AMP4	-0.3	-	20	V
	VGL, DRVN	-15	-	7	V
	DRVp, VGH, VGHM, RE	-0.3	-	48	V
Operating Ambient Temperature Range	Ta	-40	-	105	°C
Storage Temperature Range	Tstg	-55	-	150	°C
Maximum Continuous Junction Temperature	Tjmax (*1)	-	-	150	°C
Power Dissipation (*2)	Pd	5.08			W
	θ_{ja}	24.6			degC/W

*1 保存時の接合温度を示します。

*2 Derating in done 40.6mW/°C for operating above Ta≥25°C(On 4-layer 76.2mm×114.3mm×1.6mm board).

●推奨動作範囲

(Ta=-40°C~105°C)

項 目	記号	定 格			単位
		MIN	TYP	MAX	
Supply Voltage	AVIN	8.6	-	14	V
機能端子電圧	EN, A0, CTRL	-0.1	-	5.5	V
2 線シリアル端子電圧	SDA, SCL	-0.1	-	5.5	V
2 線シリアル周波数	FCLK	-	-	400	kHz

●電気的特性

(特に記載のない限り、Ta=25°C, AVIN,VINB1,VINB2,VINB3=12V)

項 目	記号	規 格 値			単位	条 件
		MIN	TYP	MAX		
【 GENERAL 】						
VIN Under Voltage Lockout Threshold	VIN_UVLO	8.0	8.3	8.6	V	VIN rising
		7.25	7.55	7.85	V	VIN falling
Thermal shutdown	TSD	155	175	195	°C	Design guarantee
Internal Oscillator Frequency 1	FOSC1	600	750	900	kHz	AVDD, VIO, 0 < Ta < 50°C
Internal Oscillator Frequency 2	FOSC2	800	1000	1200	kHz	VCORE, HAVDD, 0 < Ta < 50°C
VL Voltage	VL	4.9	5	5.1	V	
Consumption Current	ICC	-	5.4	-	mA	Not Switching
【 LOGIC SIGNALS SDA, SCL, EN, A0, CTRL 】						
High Level Input Voltage	VIH	2	-	-	V	
Low Level Input Voltage	VIL	-	-	0.5	V	
Minimum Output Voltage	VSDA	-	-	0.4	V	SDA, ISDA=3mA
Pull-Down Resistance	RLOGIC	140	200	260	kΩ	EN, A0, CTRL
【 BOOST CONVERTER (AVDD) 】						
Output Voltage Range	AVDD	11.7	-	18.0	V	0.1V step
Regulation Voltage	AVDD_R	15.444	15.6	15.756	V	27h, 1%, 0 < Ta < 50°C
Hi-Side Leakage Current	ILK_SWH	-	0	10	uA	SWI=18V, SW=0V
Hi-Side SW ON-Resistance	RON_SWH	-	100	200	mΩ	ISW=-500mA
Lo-Side SW Leakage Current	ILK_SWL	-	0	10	uA	SW=18V
Lo-Side SW ON-Resistance	RON_SWL	-	100	200	mΩ	ISW=500mA
Load SW ON-Resistance	RON_LS	-	100	200	mΩ	ILS=500mA
SW Current Limit	ILIM_SW	4.25	5	5.75	A	5.0A – Offset(0.0A) setting L=6.8uH, 0 < Ta < 50°C
SW Current Limit Offset	ILIM_SET	0	-	2.8	A	0.4A step
Over-Voltage Protection Rise	VOVP_AVD D_RISE	18	19.5	21	V	
Over-Voltage Protection Fall	VOVP_AVD D_FALL	-	18	-	V	
AVDD UVP Detecting Voltage	VUVP_ AVDD	-	AVDD x 0.8	-	V	
Soft Start Time	TSS_ AVDD	10	-	20	msec	
Load Switch Current Limit	ILIM_LSW	-	7	-	A	
External Load Switch Current Limit	ILIM_EXT	450	540	630	mV	
PGATE Drive Capability	PGATE_ DRV	-	10	-	uA	

●電気的特性

(特に記載のない限り、Ta=25°C, AVIN,VINB1,VINB2,VINB3=12V)

項 目	記号	規 格 値			単位	条 件
		MIN	TYP	MAX		
【 BUCK CONVERTER 1 (VIO) 】						
Output Voltage Range	VIO	2.2	-	3.7	V	0.1V step
Regulation Voltage	VIO_R	3.234	3.3	3.366	V	0Bh, 2%, 0 < Ta < 50℃
Hi-Side SWB1 Leak Current	ILK_ SWB1H	-	0	10	uA	VINB1=18V, SWB1=0V
Hi-Side SWB1 ON-Resistance	RON_ SWB1H	-	200	300	mΩ	SWB1=-500mA
SWB1 Current Limit	ILIM_ SWB1	2.8	3.5	4.2	A	L=6.8uH, 0 < Ta < 50℃
VIO Over-Voltage Protection	VOVP_ VIO	VIO x 1.03	VIO x 1.1	VIO x 1.17	V	
VIO UVP Detecting Voltage	VUVP_ VIO	-	VIO x 0.8	-	V	Frequency 1/4
Soft Start Time	TSS_VIO	-	3.3	-	msec	VIO=3.3V
【 BUCK CONVERTER 2 (VCORE) 】						
VCORE Reference Voltage	VCORE_ REF	0.396	0.400	0.404	V	1%, Ta=25℃
		0.394	0.400	0.406	V	1.5%, 0 < Ta < 50℃
Hi-Side SWB2 Leak Current	ILK_ SWB2H	-	0	10	uA	VINB2=18V, SWB2=0V
Hi-Side SWB2 ON-Resistance	RON_ SWB2H	-	175	300	mΩ	SWB2=-500mA
Lo-Side SWB2 Leak Current	ILK_ SWB2L	-	0	10	uA	SWB2=18V
Lo-Side SWB2 ON-Resistance	RON_ SWB2L	-	175	300	mΩ	SWB2=500mA
SWB2 Current Limit	ILIM_ SWB2	2.4	3.0	3.6	A	L=6.8uH, 0 < Ta < 50℃
VCORE Over-Voltage Protection	VOVP_ VCORE	VCORE x 1.03	VCORE x 1.1	VCORE x 1.17	V	
VCORE UVP Detecting Voltage	VUVP_ VCORE	-	VCORE x 0.8	-	V	Frequency 1/4
Soft Start Time	TSS_ VCORE	-	3	-	msec	
【 BUCK CONVERTER 3 (HAVDD) 】						
Output Voltage Range	HAVDD	4.8	-	11.1	V	0.1V step
Regulation Voltage	HAVDD_R	7.68	7.8	7.92	V	1Eh, 1.5%, 0 < Ta < 50℃
Hi-Side SWB3 Leak Current	ILK_ SWB3H	-	0	10	uA	VINB3=18V, SWB3=0V
Hi-Side SWB3 ON-Resistance	RON_ SWB3H	-	300	500	mΩ	SWB3=-500mA
Lo-Side SWB3 Leak Current	ILK_ SWB3L	-	0	10	uA	SWB3=18V
Lo-Side SWB3 ON-Resistance	RON_ SWB3L	-	300	500	mΩ	SWB3=500mA
SWB3 Current Limit	ILIM_ SWB3	1.2	1.8	2.4	A	L=6.8uH, 0 < Ta < 50℃
HAVDD Over-Voltage Protection	VOVP_ HAVDD	HAVDD x 1.03	HAVDD x 1.1	HAVDD x 1.17	V	
HAVDD UVP Detecting Voltage	VUVP_ HAVDD	-	HAVDD x 0.8	-	V	Frequency 1/4

●電気的特性

(特に記載のない限り、Ta=25°C, AVIN,VINB1,VINB2,VINB3=12V)

項 目	記号	規 格 値			単位	条 件
		MIN	TYP	MAX		
【 VGH REGULATOR 】						
Output Voltage Range	VGH	25	-	40.5	V	0.5V step
Regulation Voltage	VGH_R	34.47	35	35.53	V	14h, 1.5%, 0 < Ta < 50℃ Io=5mA
Over-Current Protection	ILIM_ DRV_P	5	-	-	mA	
VGH Over-Voltage Protection	VOVP_ VGH	42	45	48	V	
VGH UVP Detecting Voltage	VUVP_ VGH	-	VGH x 0.8	-	V	
Soft Start Time	TSS_VGH	-	7	-	msec	VGH=35V
【 VGL REGULATOR 】						
Output Voltage Range	VGL	-10.2	-	-4.0	V	0.2V step
Regulation Voltage	VGL_R	-6.09	-6	-5.91	V	0Ah, 1.5%, Ta=25℃ Io=5mA
		-6.12	-6	-5.88	V	0Ah, 2.0%, 0 < Ta < 50℃ Io=5mA
Over-Current Protection	ILIM_ DRV_N	5	-	-	mA	
VGL UVP Detecting Voltage	VUVP_ VGL	-	VGLx0.8	-	V	
Delay Time	TDLY_VGL	-	2.5	-	msec	
【 GATE PULSE MODULATION (GPM) 】						
VGH-VGHM ON-Resistance	RGHH	-	3	5	Ω	
RE-VGHM ON-Resistance	RGHL	-	3	-	Ω	
Propagation Delay	TGPM	150	250	350	nsec	

●電気的特性

(特に記載のない限り、Ta=25°C, AVIN,VINB1,VINB2,VINB3=12V)

項 目	記号	規 格 値			単位	条 件
		MIN	TYP	MAX		
【 HIGH VOLTAGE LDO 】						
Output Voltage Range	LDO	11.7	—	18.0	V	0.1V step
Regulation Voltage	LDO_R	15.12	15.2	15.28	V	23h, 0.5%
	LDO_R	15.09	15.2	15.31	V	23h, 0.7%, 0 < Ta < 50℃
Over-Current Protection	ILIM_LDO	-	100	-	mA	
HVLDO UVP Detecting Voltage	LDO_UVP	-	LDOx0.8	-	V	
I/O Differential Voltage	LDO_DIF	-	0.2	0.5	V	HVCC=15V, Io=50mA
【 VCOM AMPLIFIER 】						
Output Voltage Range	VCOM_R	HVLDO X0.36	—	HVLDO X0.54	V	
Slew Rate	SR	-	30	-	V/usec	No external components
Output Current Capability	I_VCOM	-	±200	-	mA	C2h
Load Stability	Δ VO1	-	±15	-	mV	Io=-50mA~50mA
DAC Resolution	RES1		8		Bit	
DAC Integral Non-linearity Error (INL)	LE1	-1	-	+1	LSB	02~FD is the allowable margin of error against the ideal linear.
DAC Differential Non-linearity Error (DNL)	DLE1	-1	-	+1	LSB	02~FD is the allowable margin of error against the ideal increase of 1LSB.
【 GAMMA AMPLIFIER 】						
Output Current Capability	I_AMP	30	-	-	mA	
Load Stability	Δ VO2	-	±15	-	mV	Io=-5mA~5mA
DAC Resolution	RES2		10		Bit	
DAC Integral Non-linearity Error (INL)	LE2	-2	-	+2	LSB	00F ~ 3F0 is the allowable margin of error against the ideal linear.
DAC Differential Non-linearity Error (DNL)	DLE2	-2	-	+2	LSB	00F ~ 3F0 is the allowable margin of error against the ideal increase of 1LSB.

○本製品は、耐放射線設計は行っておりません。

●参考データ

(特に記載のない限り、Ta=25°C, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCORE=1.2V, AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

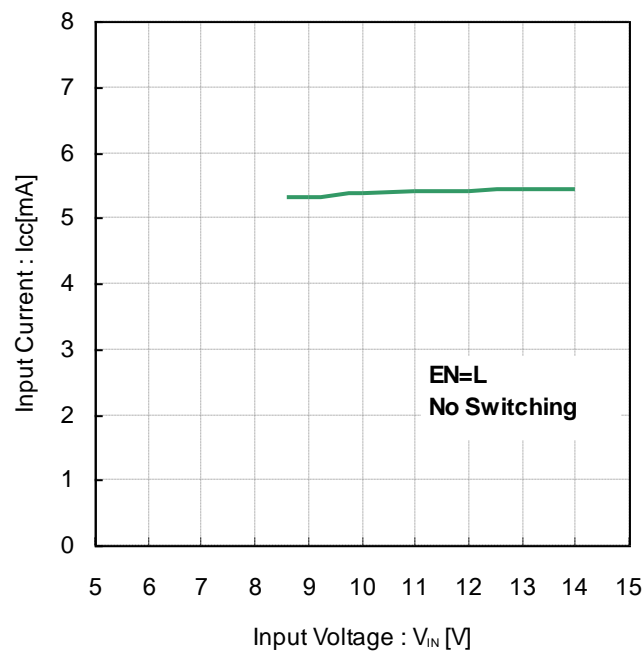


Figure 5. Input Current vs Input Voltage
(EN=L, スイッチング停止時)

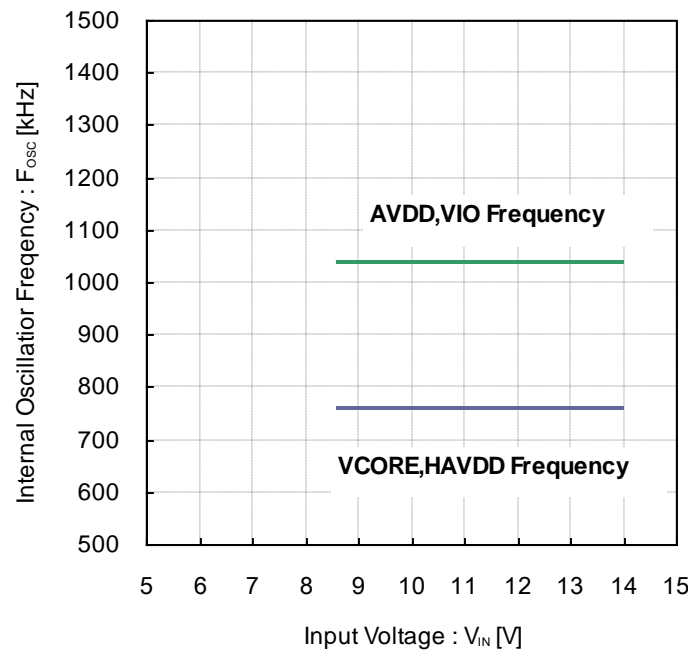


Figure 6. Internal Oscillator Frequency vs Input Voltage

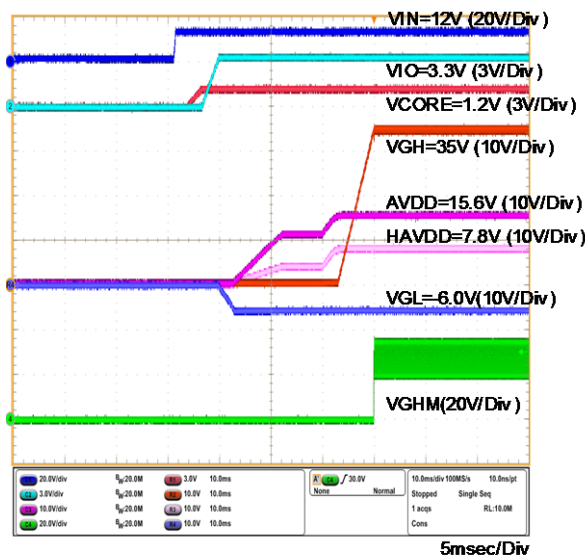


Figure 7. 起動波形 (AVDD・VGH 起動まで)

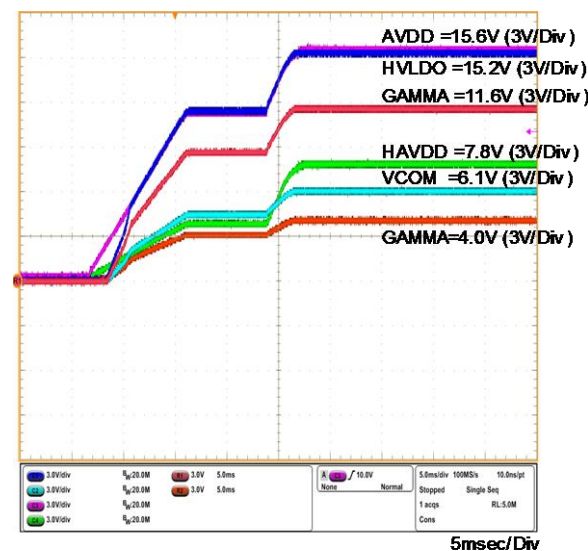


Figure 8. 起動波形 (AVDD 起動後)

●参考データ

(特に記載のない限り、Ta=25℃, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, Vcore=1.2V, AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

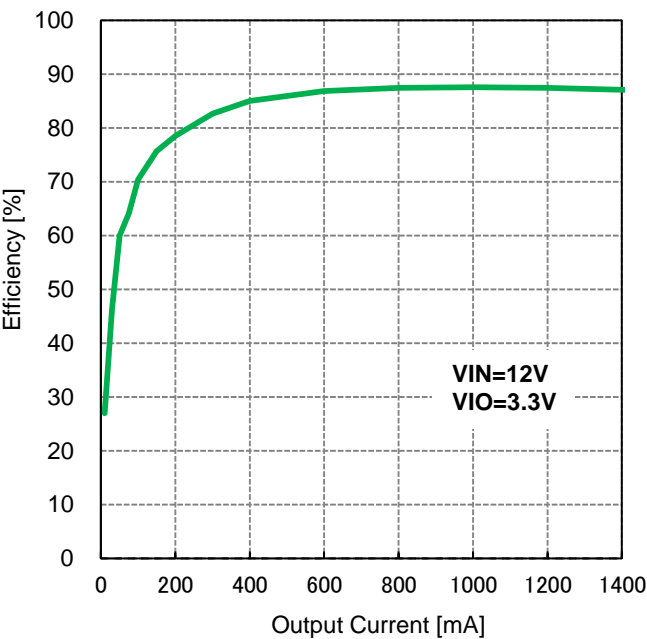


Figure 9. VIO Efficiency vs Output Current

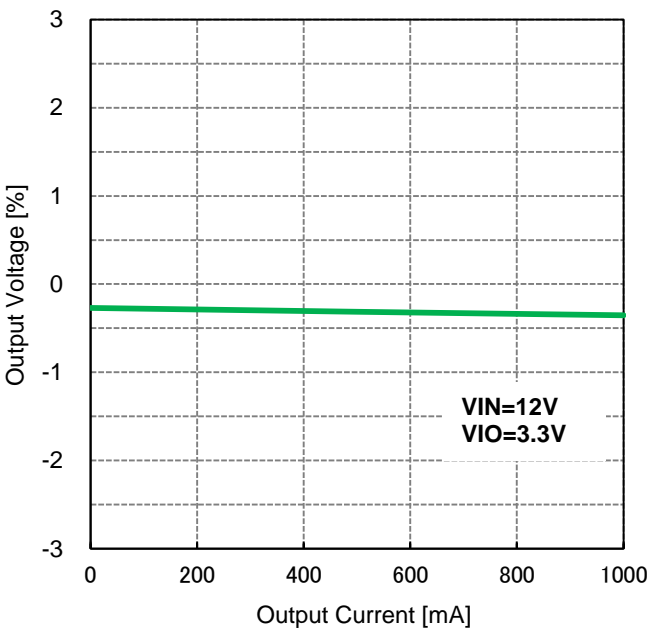


Figure 10. VIO Output Voltage vs Output Current

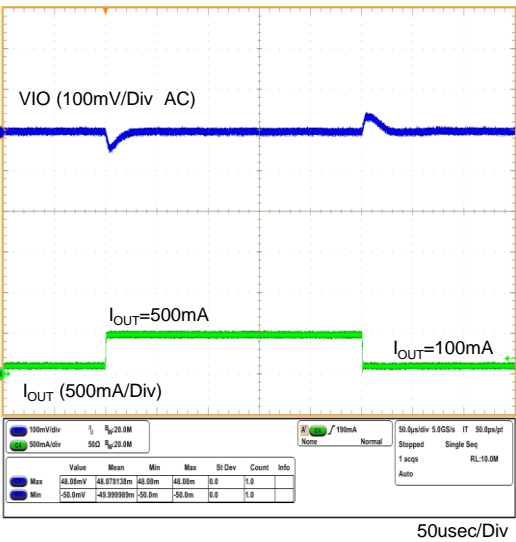


Figure 11. VIO 負荷応答

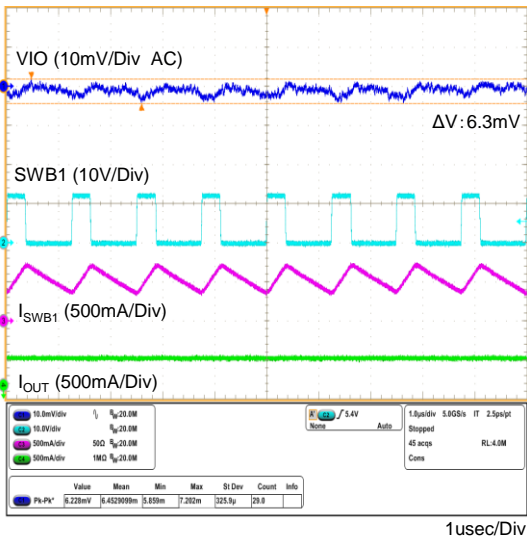


Figure 12. VIO スイッチング波形
(Output Current=500mA)

●参考データ
(特に記載のない限り、Ta=25°C, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCORE=1.2V,
AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

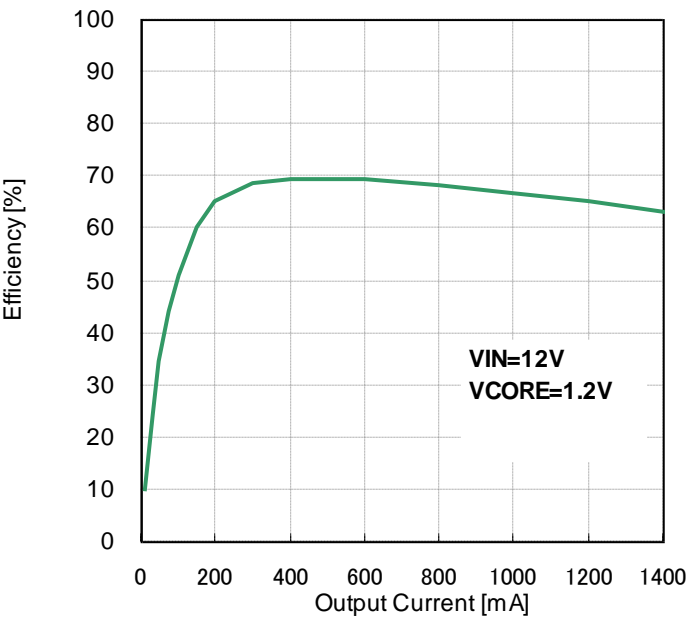


Figure 13. VCORE Efficiency vs Output Current

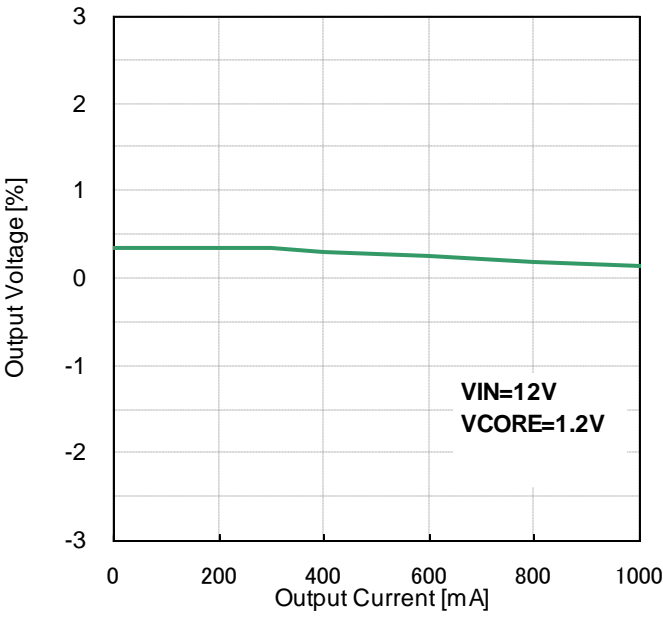


Figure 14. VCORE Output Voltage vs Output Current

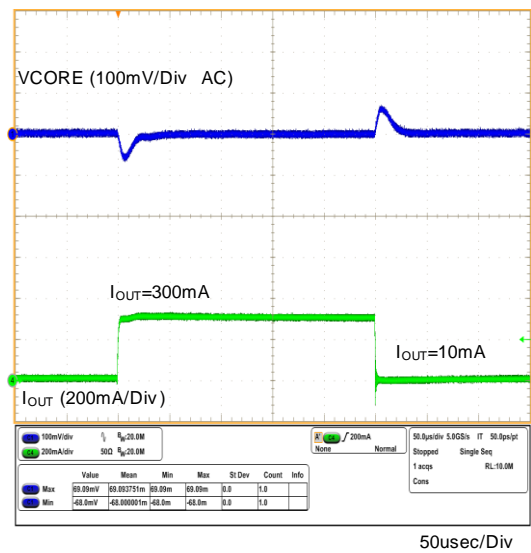


Figure 15. VCORE 負荷応答

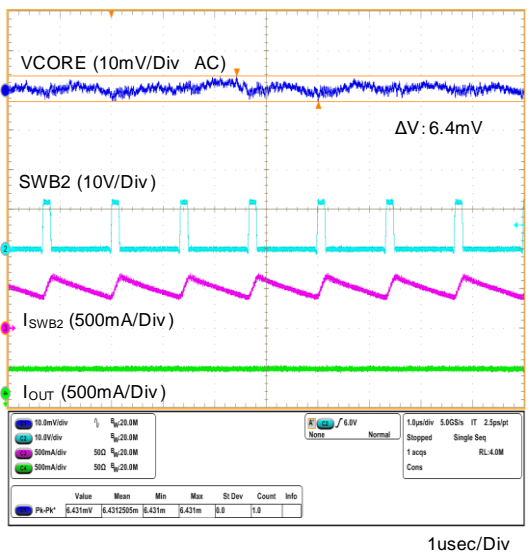


Figure 16. VCORE スイッチング波形
(Output Current=500mA)

●参考データ
(特に記載のない限り、Ta=25℃, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCore=1.2V,
AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

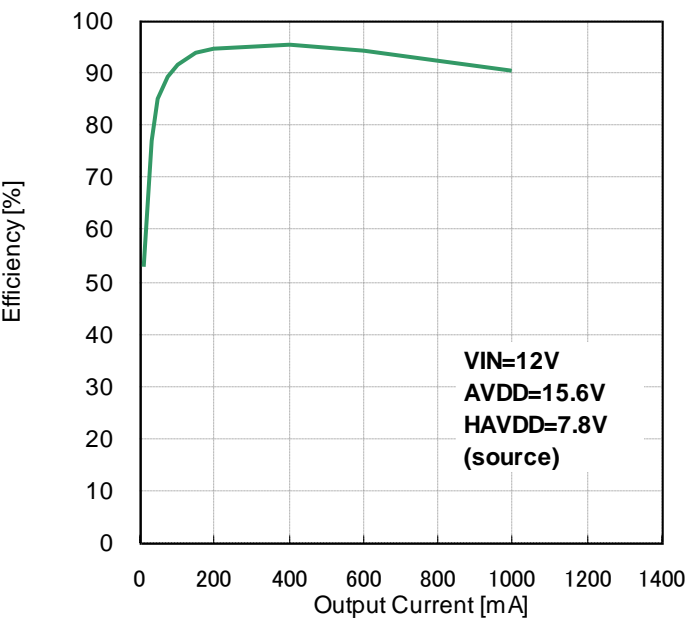


Figure 17. HAVDD Efficiency vs Output Current (source)

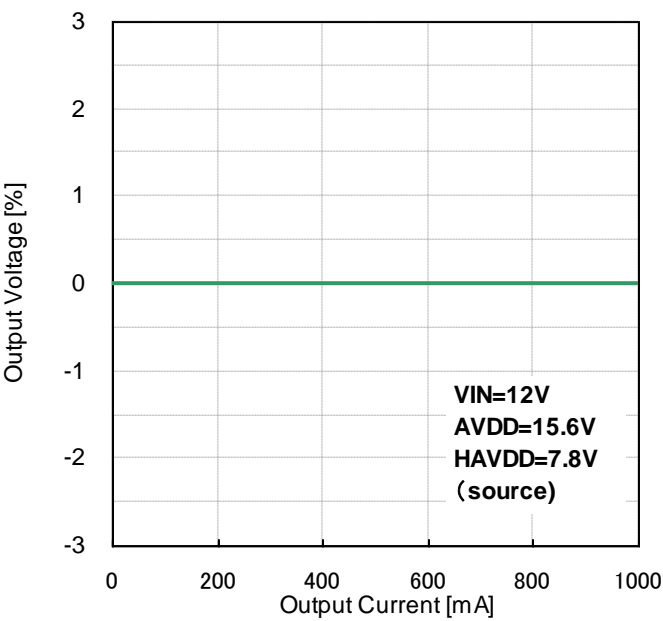


Figure 18. HAVDD Output Voltage vs Output Current (source)

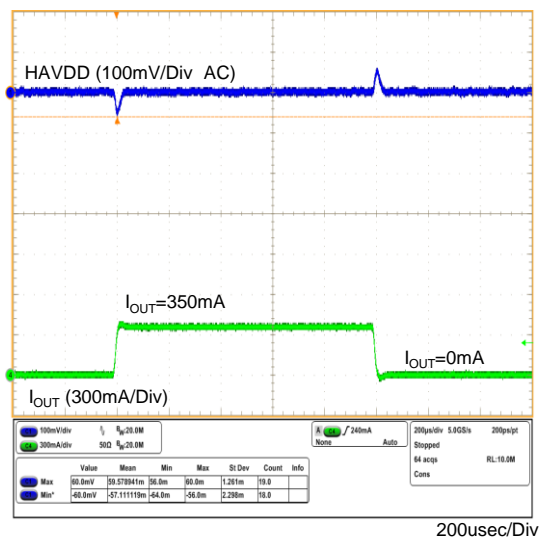


Figure 19. HAVDD 負荷応答 (source)

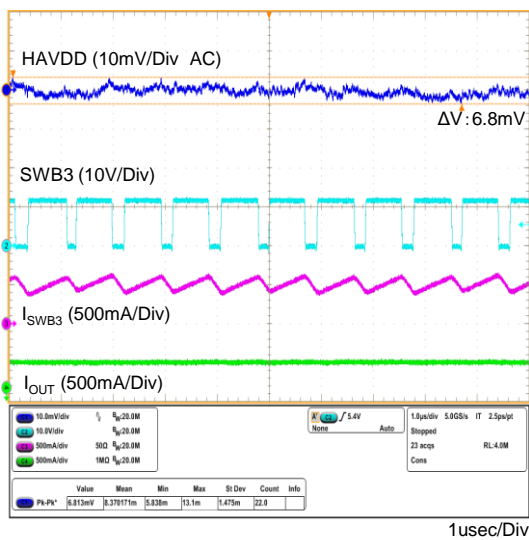


Figure 20. HAVDD スイッチング波形(source)
(Output Current=500mA)

●参考データ
(特に記載のない限り、Ta=25°C, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCore=1.2V,
AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

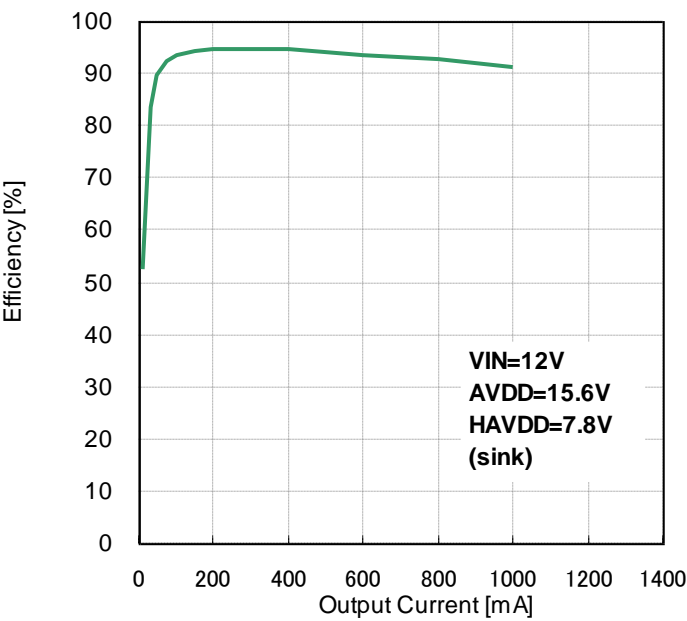


Figure 21. HAVDD Efficiency vs Output Current (sink)

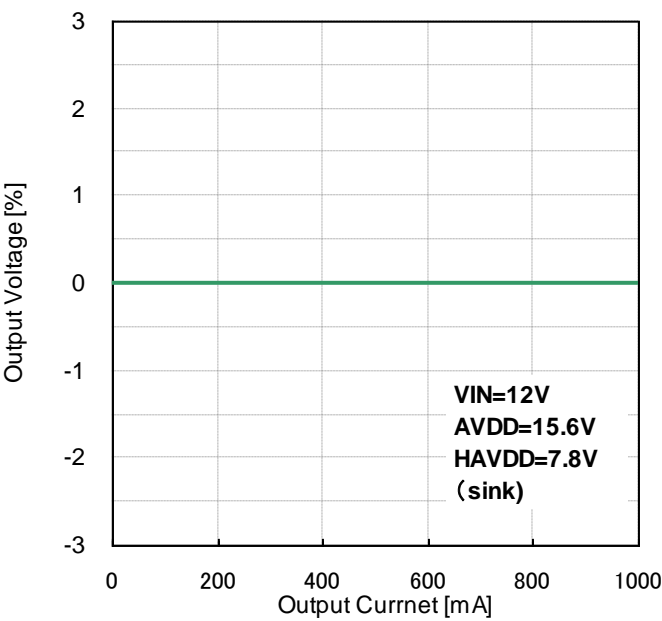


Figure 22. HAVDD Output Voltage vs Output Current (sink)

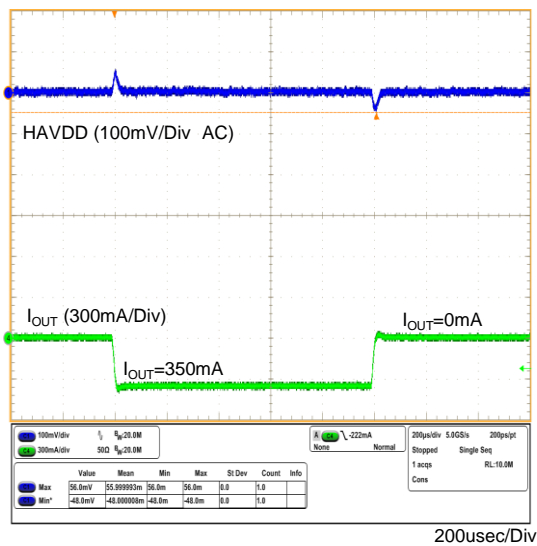


Figure 23. HAVDD 負荷応答 (sink)

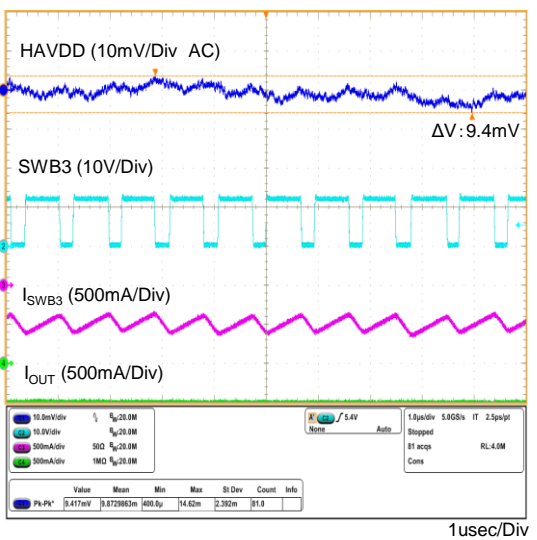


Figure 24. HAVDD スイッチング波形(sink)
(Output Current=500mA)

●参考データ
(特に記載のない限り、Ta=25℃, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCore=1.2V,
AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

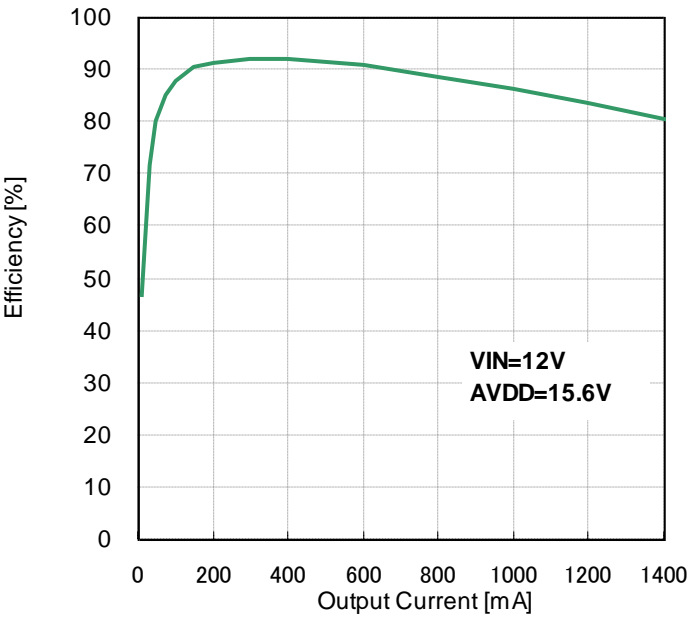


Figure 25. AVDD Efficiency vs Output Current

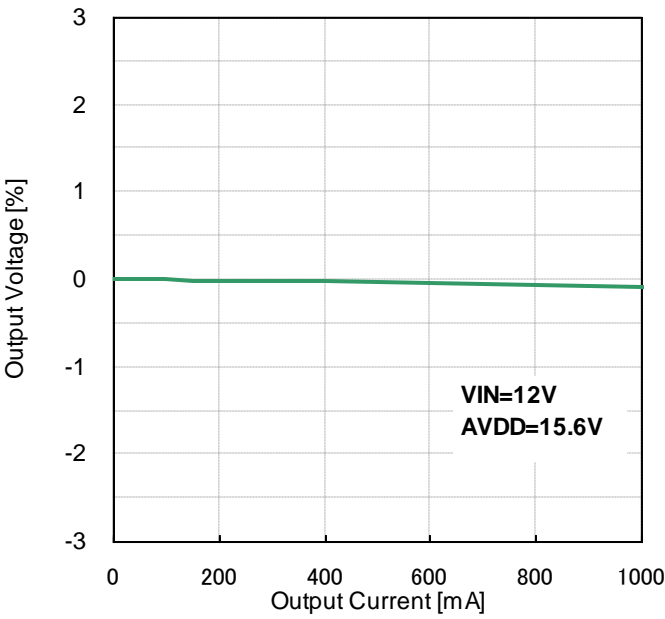


Figure 26. AVDD Output Voltage vs Output Current

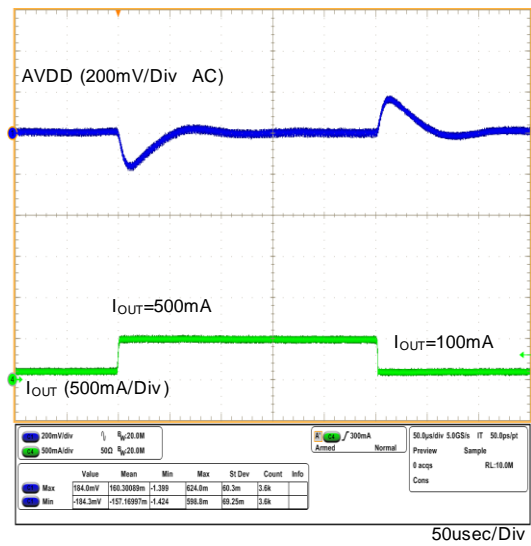


Figure 27. AVDD 負荷応答

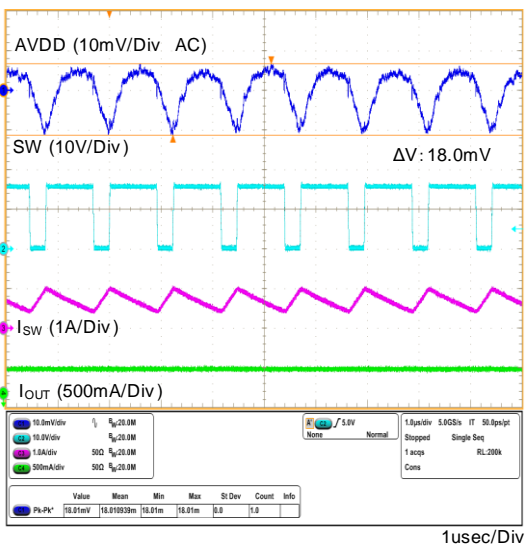


Figure 28. AVDD スイッチング波形
(Output Current=500mA)

●参考データ

(特に記載のない限り、Ta=25℃, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCore=1.2V, AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

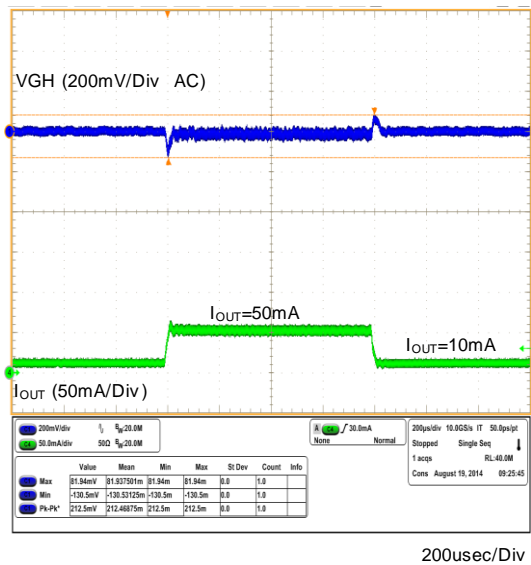


Figure 29. VGH 負荷応答

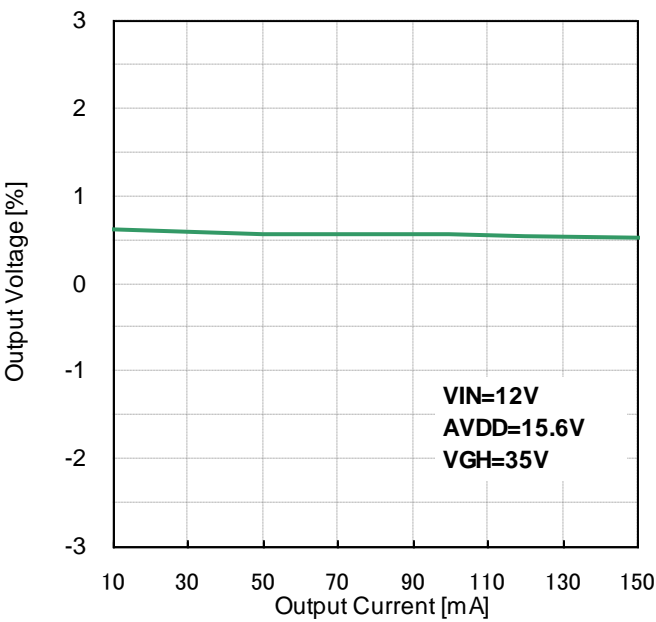


Figure 30. VGH Output Voltage vs Output Current

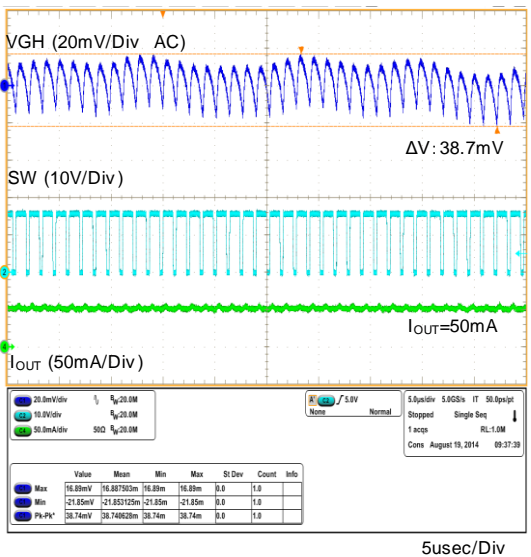


Figure 31. VGH リップル電圧

●参考データ

(特に記載のない限り、Ta=25℃, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCORE=1.2V, AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

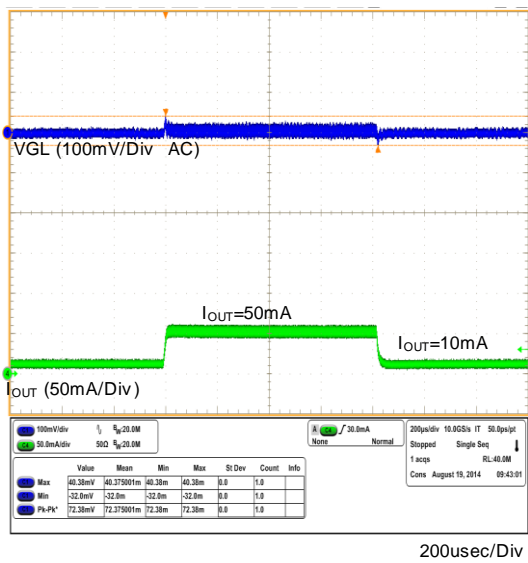


Figure 32. VGL 負荷応答

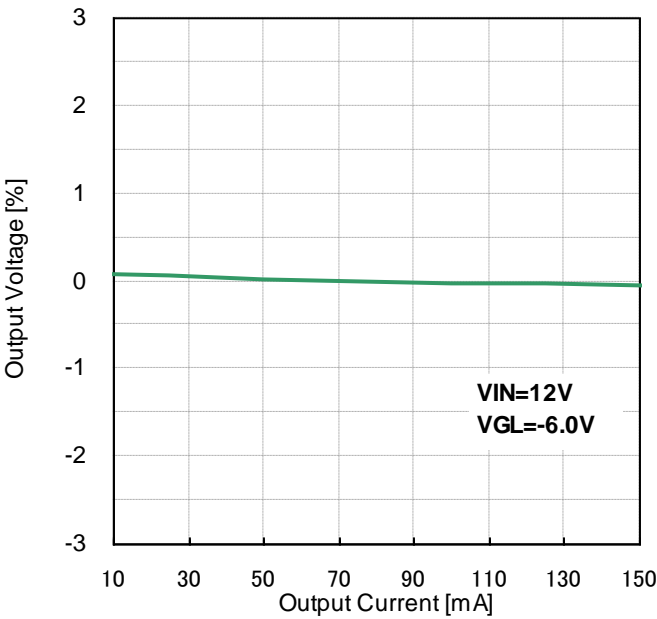


Figure 33. VGL Output Voltage vs Output Current

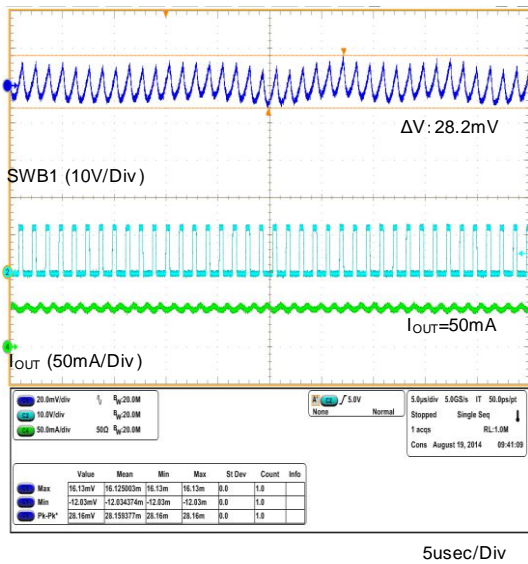


Figure 34. VGL リップル電圧

●参考データ

(特に記載のない限り、Ta=25°C、AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCORE=1.2V, AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

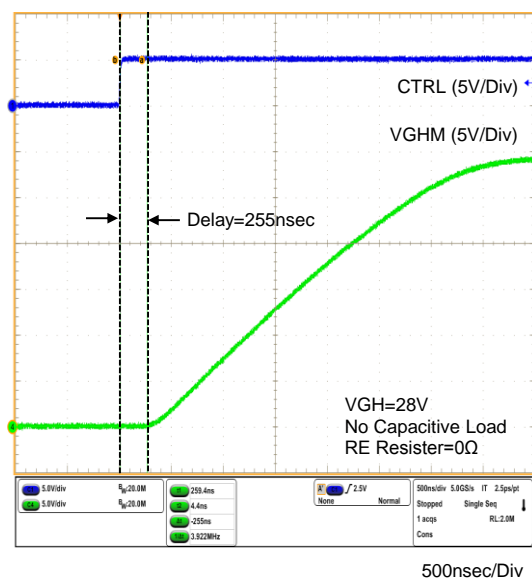


Figure 35. GPM Propagation Delay (rise)

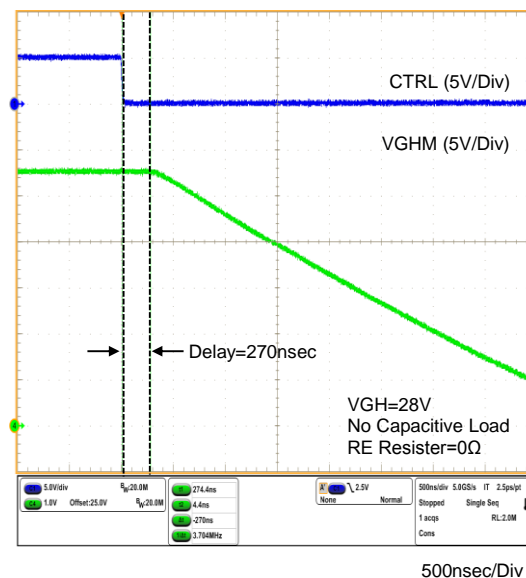


Figure 36. GPM Propagation Delay (fall)

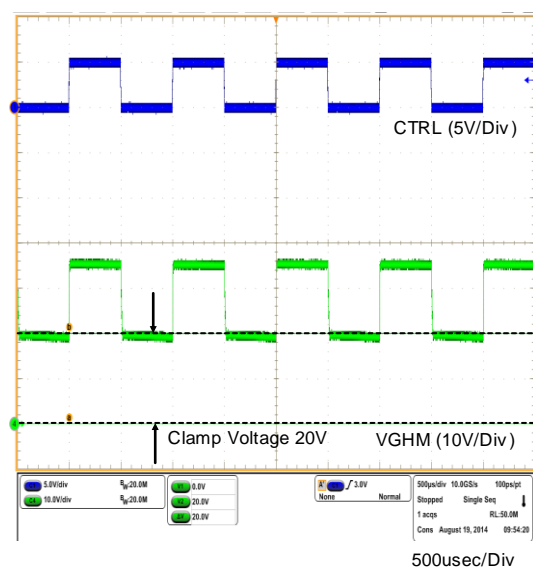


Figure 37. GPM Clamp Voltage (20V Clamp)

●参考データ
(特に記載のない限り、Ta=25°C, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCORE=1.2V,
AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

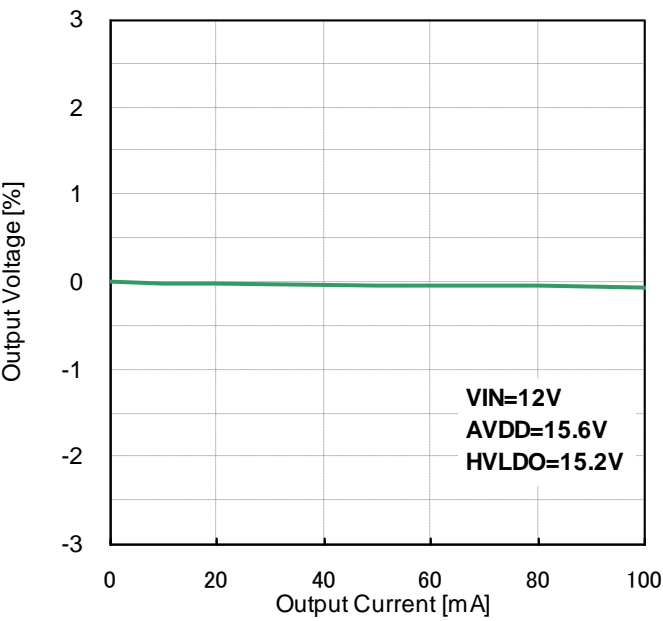


Figure 38. HVLDO Output Voltage vs Output Current

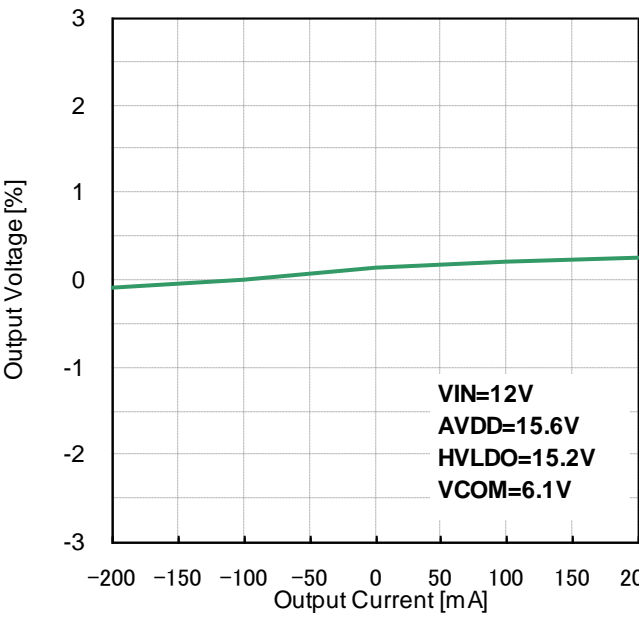


Figure 39. VCOM Output Voltage vs Output Current

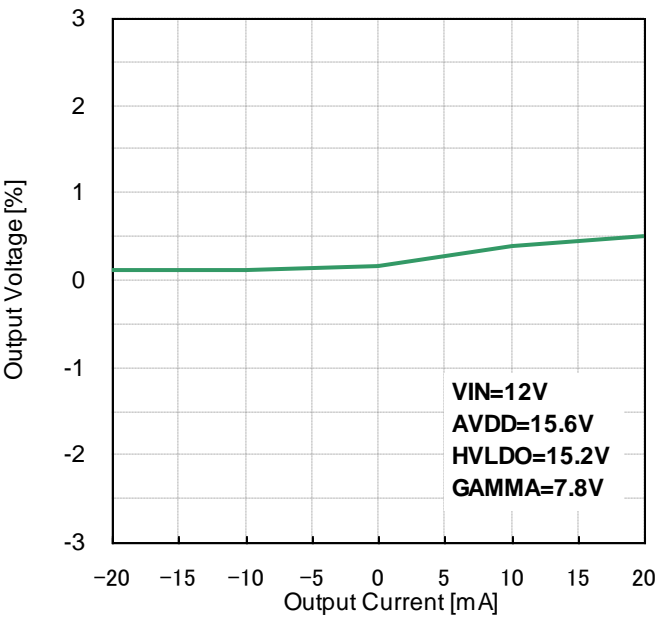


Figure 40. GAMMA Output Voltage vs Output Current

●参考データ
(特に記載のない限り、Ta=25℃, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCORE=1.2V,
AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

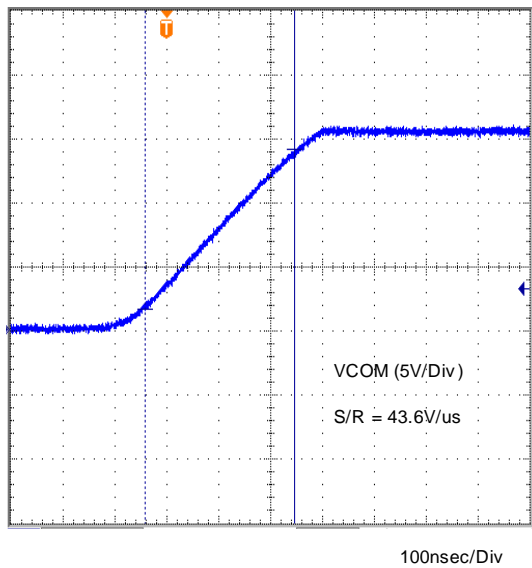


Figure 41. VCOM スルーレート (Rise)

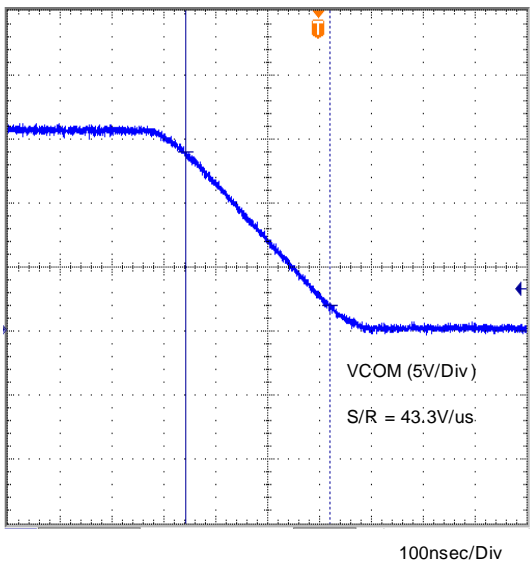


Figure 42. VCOM スルーレート (Fall)

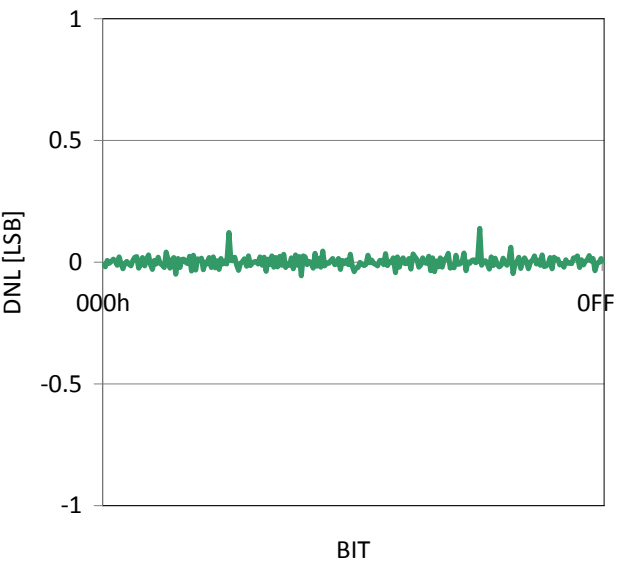


Figure 43. VCOM DNL vs BIT

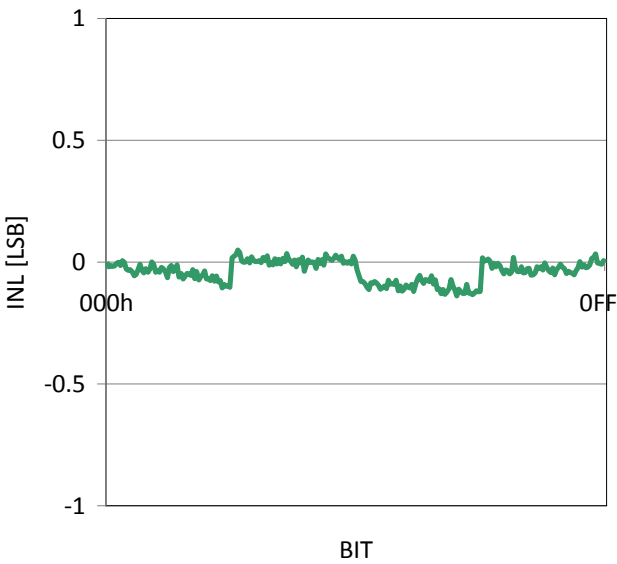


Figure 44. VCOM INL vs BIT

●参考データ

(特に記載のない限り、Ta=25°C, AVIN,VINB1,VINB2,VINB3=12V, VIO=3.3V, VCORE=1.2V, AVDD=15.6V, HAVDD=7.8V, VGH=35V, VGL=-6.0V, HVLDO=15.2V, VCOM=6.1V, GAMMA=7.8V, 無負荷)

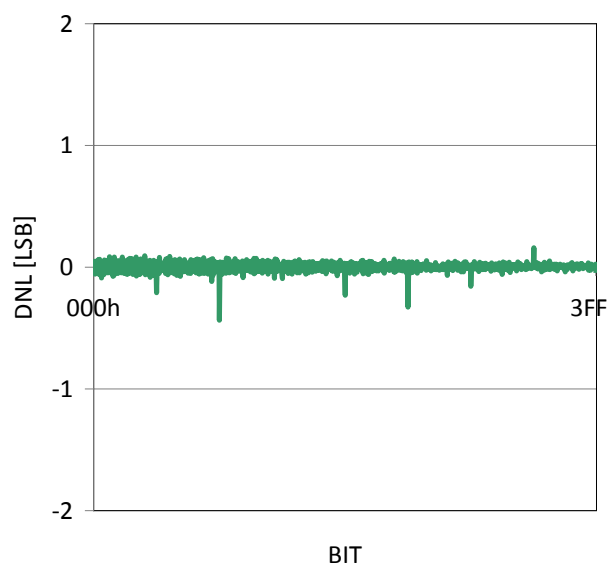


Figure 45. GAMMA DNL vs BIT

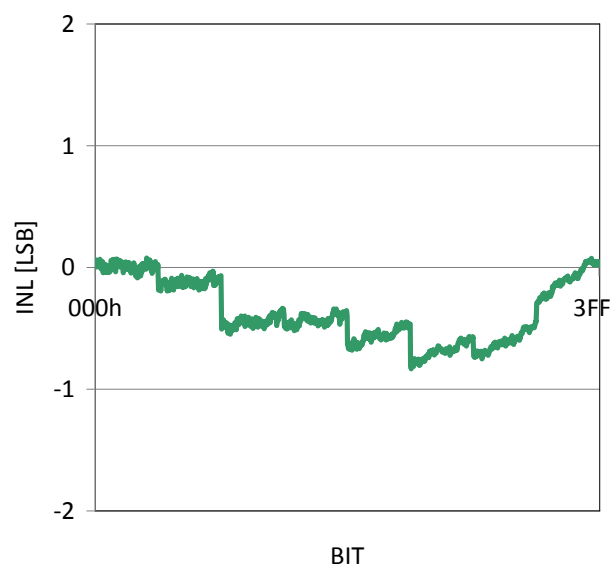


Figure 46. GAMMA INL vs BIT

●タイミングチャート

本 IC の ON / OFF シーケンスは以下ようになります。

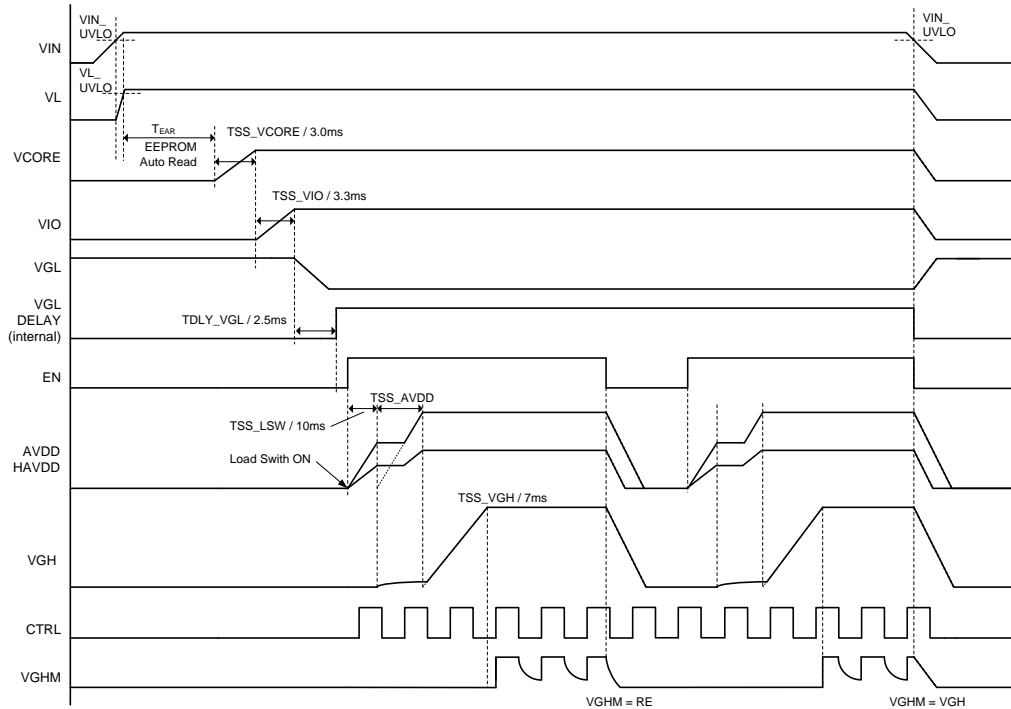


Figure 47. Timing Chart

VIN の UVLO 解除により、VL が起動します。

VL 起動完了後、Auto Read 動作により EEPROM データを読み出します。(T_{EAR}=2msec)

Auto Read 完了後、VCORE が起動します。VCORE の Soft Start 時間は 3.0msec となります。

VCORE の起動完了後、VIO が起動します。VIO の Soft Start 時間は 3.3V 設定時に 3.3msec となります。

VIO 起動完了後 PG=High となり、VGL が起動します。(SWB1 を使用した場合)。

VGL の SoftStart 時間は電圧設定や外付け容量により変わります。

VIO 起動完了し 2.5msec 経過後、EN=High とすると Load SW が ON(10msec)し、AVDD が起動します。

AVDD の SoftStart 時間はレジスタ設定にて変更可能です。(10msec or 20msec)

AVDD 起動完了後、VGH が起動します。VGH の SoftStart 時間は 35V 設定時に 7msec となります。

VGH 起動完了後、CTRL の立ち上がりもしくは立ち下りがトリガとなり、GPM 動作を開始します。

CTRL=Low により VGHM 電圧が下がります。

GPM クランプ電圧まで到達すると、VGHM 出力はハイインピーダンスとなります。

EN=Low により GPM, VGH, AVDD, HAVDD がシャットダウンします。この時、GPM 出力(VGHM)は RE と同電位になります。

VIN の UVLO を検出すると、全出力がシャットダウンします。この時、VGHM は VGH と同電位になります。

HVLDO, HAVDD は AVDD 電圧に追従して起動します。

VCOM, AMP1~4 は HVLDO 電圧に追従して起動します。

EN オフ時、AVDD, HAVDD の出力は HiZ 状態となります。HVLDO, VCOM, AMP1~4 の各出力は、AVDD が一定以下となるまで関係を保ってオフします。

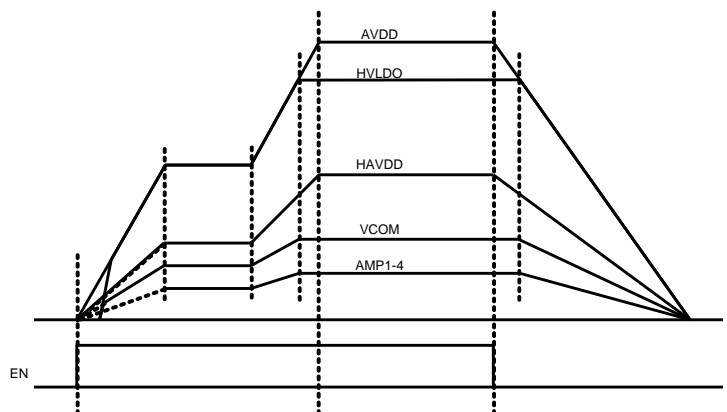


Figure 48. Timing Chart 2

●アプリケーション例
(TOP VIEW)

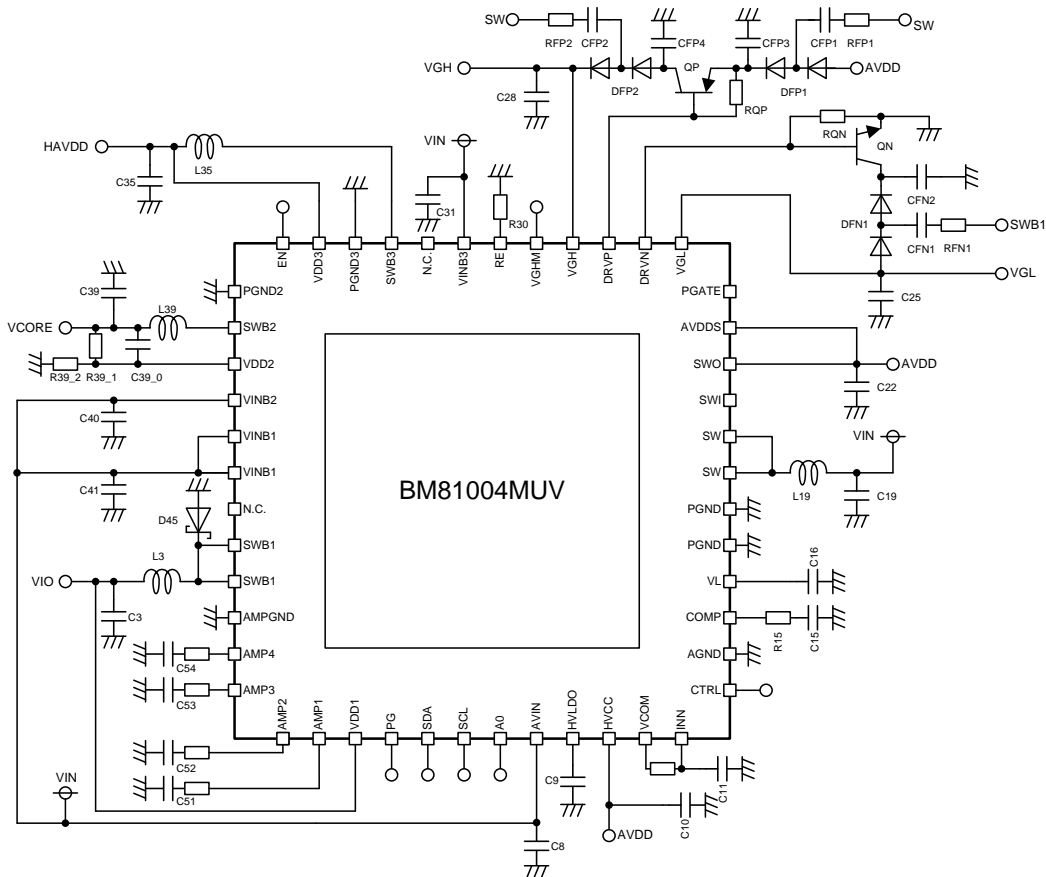


Figure 49. Application Example

●アプリケーション回路部品リスト

Parts name	Value	Company	Parts Number	Parts name	Value	Company	Parts Number
C3	4x 10 [uF]	MURATA	GRM21BB31A106KE18	C40	10 [uF]	MURATA	GRM31CB31E106KA75
C8	1 [uF]	MURATA	GRM188B31E105KA75	C41	2x 10 [uF]	MURATA	GRM31CB31E106KA75
C9	10 [uF]	MURATA	GRM31CB31E106KA75	C51-54	0.1 [uF]	MURATA	GRM188B31H104KA92
C10	10 [uF]	MURATA	GRM31CB31E106KA75	R15	2.7 [kΩ]	ROHM	MCR03
C11	10 [uF]	MURATA	GRM31CB31E106KA75	R30	300 [Ω]	ROHM	MCR25
C15	6.8 [nF]	MURATA	GRM188B11E682KA01	R39_1	330 [Ω]	ROHM	MCR03
C16	1 [uF]	MURATA	GRM188CB31E105KA75	R39_2	120 [Ω]	ROHM	MCR03
C19	2x 10 [uF]	MURATA	GRM31CB31E106KA75	RFN1	2.2 [Ω]	ROHM	MCR25
C22	4x 10 [uF]	MURATA	GRM31CB31E106KA75	RFP1-2	2.2 [Ω]	ROHM	MCR25
C25	4.7 [uF]	MURATA	GRM219B31C475KE15	RQN	100 [kΩ]	ROHM	MCR03
CFN1	0.1 [uF]	MURATA	GRM188B31H104KA92	RQP	100 [kΩ]	ROHM	MCR03
CFN2	470 [pF]	MURATA	GRM188B11H471KA01	L19	6.8 [uH]	TAIYO YUDEN	NS10165T6R8N
CFP1	0.1 [uF]	MURATA	GRM188B31H104KA92	L3	6.8 [uH]	TAIYO YUDEN	NRS8040T6R8M
CPF2	0.1 [uF]	MURATA	GRM188B31H104KA92	L35	6.8 [uH]	TAIYO YUDEN	NRS8040T6R8M
CPF3	1 [uF]	MURATA	GRM21BB31H105KA12	L39	6.8 [uH]	TAIYO YUDEN	NRS8040T6R8M
CFP4	2.2 [nF]	MURATA	GRM188B11H222KA01	D45	-	ROHM	RSX301L-30
C28	10 [uF]	MURATA	GRM31CB31H106KA12	DFN1	-	ROHM	RB558W
C31	10 [uF]	MURATA	GRM31CB31E106KA75	DFP1	-	ROHM	RB558W
C35	2x 10 [uF]	MURATA	GRM31CB31E106KA75	DFP2	-	ROHM	RB558W
C39	4x 10 [uF]	MURATA	GRM21BB31A106KE18	QN	PNP	ROHM	2SCR513P
C39_0	22 [nF]	MURATA	GRM188B31H104KA92	QP	NPN	ROHM	2SAR513P

●各ブロック保護機能説明

1. BUCK CONVERTER BLOCK 1 (VIO)

1-1. Over Voltage Protection (OVP)

VIO 電圧が上昇して IC 等が破壊するのを防ぐために OVP 機能を有しています。VDD1 端子に入力される電圧をモニタし、VDD1 端子電圧 $>110\%$ (typ.)となると異常状態と判断し、OVP が機能します。OVP を検出するとスイッチングを停止、OVP 検出解除電圧(100%, typ.)まで VIO 電圧が降下後、スイッチングを再開します。

1-2. Over Current Protection (OCP)

SWB1 のピーク電流が 3.5A(typ.)以上になった場合、Switching を制御し内蔵 Power MOS に流れる電流を制限します。

1-3. Under Voltage Protection (UVP)

出力に対してタイマーラッチ式 UVP 機能を持っています。異常状態 (VIO $<80\%$)を検出すると、SWB1 周波数が 1/4 に分周されます。異常状態が 10msec(typ.)継続した場合、全出力がシャットダウン状態でラッチされます。ラッチ状態を解除し、再起動させるためには電源の再投入が必要です。

2. BUCK CONVERTER BLOCK 2 (VCORE)

2-1. Over Voltage Protection (OVP)

VCORE 電圧が上昇して IC 等が破壊するのを防ぐために OVP 機能を有しています。VDD2 端子に入力される電圧をモニタし、VDD2 端子電圧 $>110\%$ (typ.)となると異常状態と判断し、OVP が機能します。OVP を検出するとスイッチングを停止、OVP 検出解除電圧(100%, typ.)まで VCORE 電圧が降下後、スイッチングを再開します。

2-2. Over Current Protection (OCP)

SWB2 のピーク電流が 3.0A(typ.)以上になった場合、Switching を制御し内蔵 Power MOS に流れる電流を制限します。

2-3. Under Voltage Protection (UVP)

出力に対してタイマーラッチ式 UVP 機能を持っています。異常状態 (VCORE $<80\%$)を検出すると、SWB2 周波数が 1/4 に分周されます。異常状態が 10msec(typ.)継続した場合、全出力がシャットダウン状態でラッチされます。ラッチ状態を解除し、再起動させるためには電源の再投入が必要です。

3. VGL REGULATOR BLOCK

3-1. Over Current Protection (OCP)

DRVN 電流が 5 mA(min.)以上になった場合、DRVN のソース電流(NPN Tr の Base 電流)を制限します。

3-2. Under Voltage Protection (UVP)

出力に対してタイマーラッチ式 UVP 機能を持っています。異常状態 (VGL $>80\%$)が 10msec(typ.)継続した場合、全出力がシャットダウン状態でラッチされます。ラッチ状態を解除し、再起動させるためには電源の再投入が必要です。

4. BOOST CONVERTER BLOCK (AVDD)

4-1. Over Voltage Protection (OVP)

AVDD 電圧が上昇して IC 等が破壊するのを防ぐために OVP 機能を有しています。SWO 端子に入力される電圧をモニタし、SWO 端子電圧が 19.5V (typ.)となると異常状態と判断し、OVP が機能します。OVP を検出するとスイッチングを停止し、OVP 検出解除電圧 18V (typ.)まで AVDD 電圧が降下するとスイッチングを再開します。

4-2. Over Current Protection (OCP)

SW のピーク電流が 5.0A(typ.)以上になった場合、Switching を制御し内蔵 Power MOS に流れる電流を制限します。

4-3. Under Voltage Protection (UVP)

出力に対してタイマーラッチ式 UVP 機能を持っています。異常状態 (AVDD $<80\%$)が 10msec(typ.)継続した場合、全出力がシャットダウン状態でラッチされます。ラッチ状態を解除し、再起動させるためには電源の再投入が必要です。

4-4. Load Switch Over Current Protection (LSW_OCP)

Load Switch のピーク電流が 7A(typ.)以上になった場合、Load Switch を制御し内蔵 Power MOS に流れる電流を制限します。

5. BUCK CONVERTER BLOCK 3 (HAVDD)

5-1. Over Voltage Protection (OVP)

HAVDD 電圧が上昇して IC 等が破壊するのを防ぐために OVP 機能を有しています。VDD3 端子に入力される電圧をモニタし、VDD3 端子電圧 $>110\%$ (typ.)となると異常状態と判断し、OVP が機能します。OVP を検出するとスイッチングを停止、OVP 検出解除電圧(100%, typ.)まで HAVDD 電圧が降下後、スイッチングを再開します。

5-2. Over Current Protection (OCP)

SWB3 のピーク電流が 1.5A(typ.)以上になった場合、Switching を制御し内蔵 Power MOS に流れる電流を制限します。

5-3. Under Voltage Protection (UVP)

出力に対してタイマーラッチ式 UVP 機能を持っています。異常状態 (HAVDD $<80\%$)を検出すると、SWB3 周波数が 1/4 に分周されます。異常状態が 10msec(typ.)継続した場合、全出力がシャットダウン状態でラッチされます。ラッチ状態を解除し、再起動させるためには電源の再投入が必要です。

6. HIGH VOLTAGE LDO BLOCK

6-1. Over Current Protection (OCP)

HVLDO 電流が 100mA(typ.)以上になった場合、HVLDO のソース電流を制限します。

6-2. Under Voltage Protection (UVP)

出力に対してタイマーラッチ式 UVP 機能を持っています。異常状態 (HVLDO $<80\%$)が 10msec(typ.)継続した場合、全出力がシャットダウン状態でラッチされます。ラッチ状態を解除し、再起動させるためには電源の再投入が必要です。

7. VGH REGULATOR BLOCK

7-1. Over Voltage Protection (OVP)

VGH 電圧が上昇して IC 等が破壊するのを防ぐために OVP 機能を有しています。VGH 端子に入力される電圧をモニタし、VGH 端子電圧 $>45\text{V}$ (typ.)となると異常状態と判断し、OVP が機能します。OVP を検出すると DRVP 端子の電流を制限します。OVP 検出解除電圧(42V, typ.)まで VGH 電圧が降下後、DRVP 端子の電流制限を解除します。

7-2. Over Current Protection (OCP)

DRVP 電流が 5 mA(min.)以上になった場合、DRVP のシンク電流(PNP Tr の Base 電流)を制限します。

7-3. Under Voltage Protection (UVP)

出力に対してタイマーラッチ式 UVP 機能を持っています。異常状態 (VGH $<80\%$)が 10msec(typ.)継続した場合、全出力がシャットダウン状態でラッチされます。ラッチ状態を解除し、再起動させるためには電源の再投入が必要です。

8. GENERAL

8-1. Thermal shutdown

IC が 175°C(typ.)以上になると全出力がシャットダウンします。温度が 150°C(typ.)まで下がると動作は復帰します。

8-2. VIN Under Voltage Lock Out

UVLO 電圧以下での回路誤動作を防止しています。VIN 電圧が UVLO 電圧(7.55V / 8.3V)以下の条件では、スタンバイ状態となります。

●保護機能一覧

BLOCK	Protective Function	Working Condition	Action	Protective removal
BUCK CONVERTER 1	OVP	VIO>110%	Stops switching.	VIO<100%
	OCP	I_SWB1>3.5A	Control switching pulse duty to not over current limit.	I_SWB1<3.5A
	UVP	VIO<80%	Frequency becomes 1/4	VIO>80%
			IC shutdown if UVP status maintains during 10msec.	IC restart
BUCK CONVERTER 2	OVP	VCORE>110%	Stops switching.	VCORE<100%
	OCP	I_SWB2>3.0A	Control switching pulse duty to not over current limit.	I_SWB2<3.0A
	UVP	VCORE<80%	Frequency becomes 1/4	VCORE>80%
			IC shutdown if UVP status maintains during 10msec.	IC restart
VGL REGULATOR	OCP	I_DRVN>5mA	Limit DRVN current.	I_DRVN<5mA
	UVP	VGL<80%	IC shutdown if UVP status maintains during 10msec.	IC restart
BOOST CONVERTER	OVP	AVDD>19.5V	Stops switching	AVDD<18V
	OCP	I_SW>5A	Control switching pulse duty to not over current limit.	I_SW<5A
	UVP	AVDD<80%	IC shutdown if UVP status maintains during 10msec.	IC restart
LOAD SW	OCP	I_SWO>7.0A	Off the Load Switch.	IC restart
BUCK CONVERTER 3	OVP	HAVDD>110%	Stops switching.	HAVDD<100%
	OCP	I_SWB3>1.5A	Control switching pulse duty to not over current limit.	I_SWB3<1.5A
	UVP	HAVDD<80%	Frequency becomes 1/4	HAVDD>80%
			IC shutdown if UVP status maintains during 10msec.	IC restart
HIGH VOLTAGE LDO	OCP	I_HVLDO>100mA	Limit HVLDO current.	I_HVLDO<100mA
	UVP	HVLDO<80%	IC shutdown if UVP status maintains during 10msec.	IC restart
VGH REGULATOR	OVP	VGH>45V	DRVN current limit to 0mA	VGH<42V
	OCP	I_DRVP>5 mA	Limit DRVP current.	I_DRVP<5mA
	UVP	VGH<80%	IC shutdown if UVP status maintains during 10msec.	IC restart
GENERAL	TSD	Tj>175°C	IC shutdown	Tj<150°C
	UVLO	VIN<7.55V	IC shutdown	VIN>8.3V

●シリアル通信について

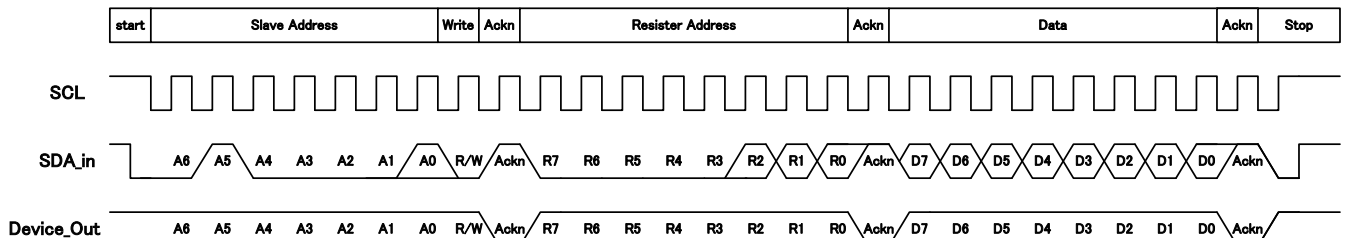
ホストとのコマンド・インターフェースに²I²Cバス制御を用います。スレーブアドレスの他に 1 バイトのレジスタ・アドレスを指定して書き込みや読み出しを行います。²I²C バス スレーブモードのフォーマットを以下に示します。

Write operation	Start	Slave Address						R/W	A	Register Address				A	DATA				A	Stop
		0	1	0	0	0	0	A0	0	0	Select Register Address (8bit)				0	8bit DATA				0
Read operation	Start	Slave Address						R/W	A	Register Address				A	DATA				A	Stop
		0	1	0	0	0	0	A0	1	0	Select Register Address (8bit)				0	8bit DATA				0

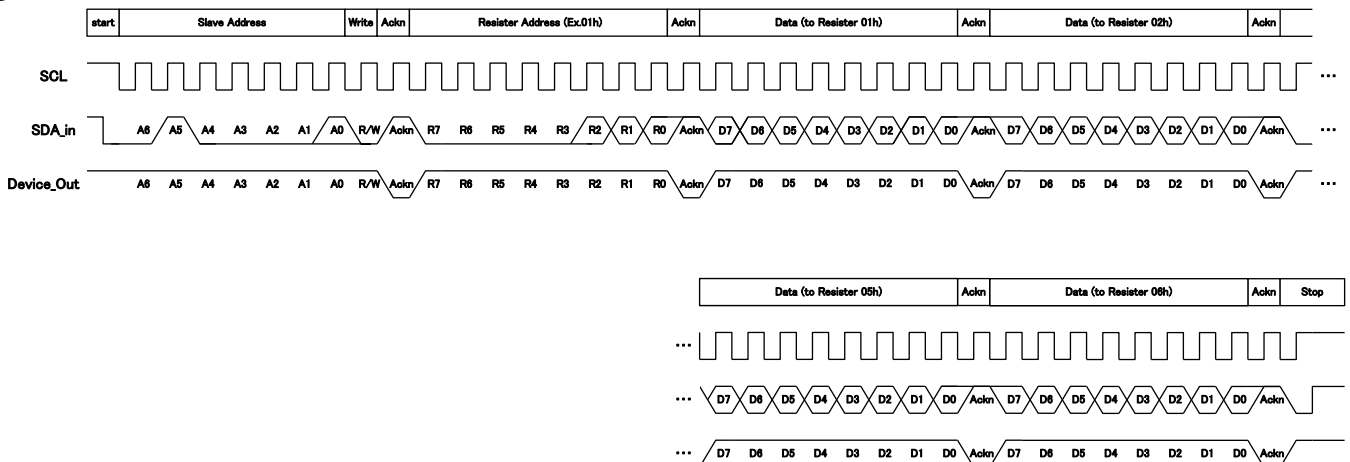
Start : スタート・コンディション
 Slave Address : 7bitのスレーブアドレスを送ります。(MSB ファースト)
 A0 はスレーブアドレス選択端子により(1/0)選択が可能です。
 A : アクノリッジ
 送受信されているデータにはバイトごとにアクノリッジ・ビットが付け加わる。
 データの送受信が正しく行われているときは”L”が送受信されます。
 ”H”の場合は、アクノリッジが無かったこととなります。
 Register Address : 8bitのレジスタ・アドレスを用います。
 DATA : データ・バイト。送受信するデータ (MSB ファースト)
 Stop : ストップ・コンディション

I²C BUS からレジスタへの書き込みモードとして、①シングルモード、②マルチモードがあります。
 シングルモードでは指定された1つのレジスタにデータを書き込みます。
 マルチモードでは2Byte 目で指定されたレジスタをスタートアドレスとして、複数のデータを入力することにより、連続してデータの書き込みを行なうことができます。
 シングルモード・マルチモードの設定は STOP ビットの有無により設定できます。

① シングルモードタイミングチャート



② マルチモードタイミングチャート



●I2C タイミング規定

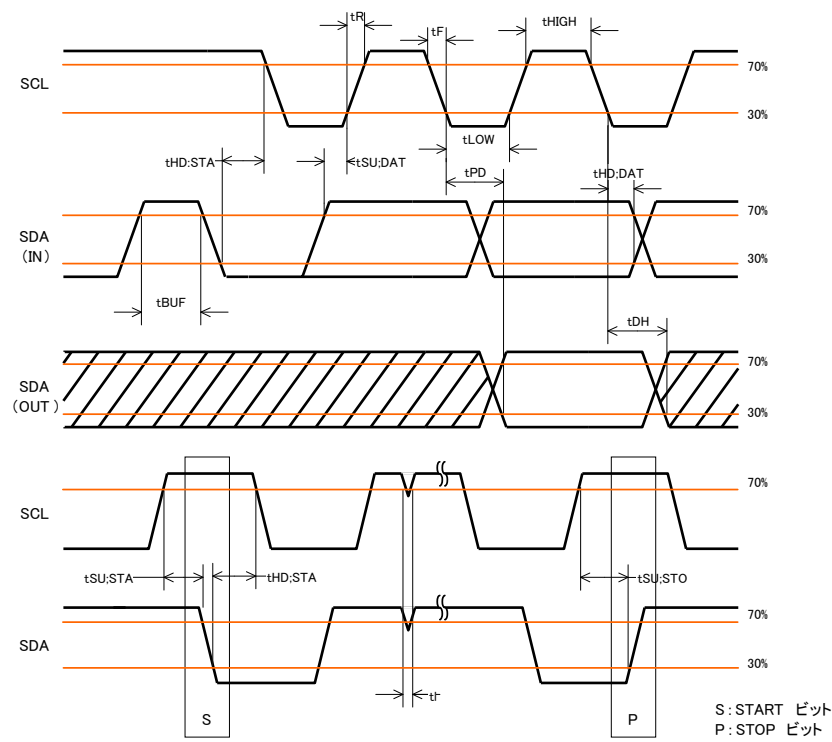


Figure 50. I2C Timing

・ タイミング規定

パラメータ	記号	NORMALモード			FASTモード			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
SCL 周波数	f SCL	-	-	100	-	-	400	kHz
SCL "H"時間	tHIGH	4.0	-	-	0.6	-	-	us
SCL "L"時間	tLOW	4.7	-	-	1.2	-	-	us
立ち上がり時間	tR	-	-	1.0	-	-	0.3	us
立ち下り時間	tF	-	-	0.3	-	-	0.3	us
スタート条件ホールド時間	tHD ; STA	4.0	-	-	0.6	-	-	us
スタート条件セットアップ時間	tSU ; STA	4.7	-	-	0.6	-	-	us
SDA ホールド時間	tHD ; DAT	200	-	-	100	-	-	ns
SDA セットアップ時間	tSU ; DAT	200	-	-	100	-	-	ns
アクノレッジ遅延時間	tPD	-	-	0.9	-	-	0.9	us
アクノレッジホールド時間	tDH	-	0.1	-	-	0.1	-	us
ストップ条件セットアップ時間	tSU ; STO	4.7	-	-	0.6	-	-	us
バス開放時間	tBUF	4.7	-	-	1.2	-	-	us
ノイズスパイク幅	TI	-	0.1	-	-	0.1	-	us

●コマンド・インターフェースについて

データ送受信するための通信フォーマットは以下の通りです。

I2C Write format

Start	Slave Address							R/W	A	Register Address							A	DATA							A	Stop
	0	1	0	0	0	0	0	A0	0	0	00h to 0Fh							0	N-bytes DATA							0

3byte 目以降は DATA を続けて入力することで続きの Register に入力可能です。

10h 以降の DATA は無効となります。

入力された Data は ACK が出力されたタイミングで Register に反映されます。

I2C Read format

1. Read data from DAC Register

Start	Slave Address							R/W	A	Register Address							A	
	0	1	0	0	0	0	A0	0	0	00h to 0Fh							0	
Repeated Start	Slave Address							R/W	A	DATA							A	Stop
	0	1	0	0	0	0	A0	1	0	N-bytes DATA							0	

●EEPROM の書き込み条件について

Register のデータを EEPROM に書き込むための通信フォーマットは以下の通りです。下記のコマンドにより、各 Register に格納されている DATA が EEPROM に書き込まれます。

EEPROM Write format

Start	Slave Address							R/W	A	Register Address							A	DATA							A	Stop
	0	1	0	0	0	0	A0	0	0	1	1	1	1	1	1	1	0	1	X	X	X	X	X	X	X	

D6 ~ D0 は Don't care

●起動時の Automatic EEPROM Read 機能について

VIN 電圧起動時にリセット信号を発生させ、各レジスタの初期化を行います。

その後、VL 起動完了によりスタンバイ状態が解除されると EEPROM に書き込まれている DATA をレジスタに読み込みます。

従って、PMIC は EEPROM の設定で起動します。

以下に Automatic EEPROM READ シーケンスを示します。

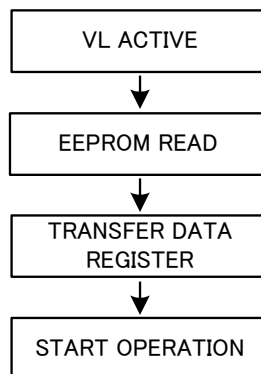


Figure 51. Automatic EEPROM Read Function at Start-up

●EEPROM 設定項目

Register Address	Bits	Function	Default(*1)	Resolution
00h	6	Channel Disable Register	00h	-
01h	6	AVDD output voltage setting[5:0]	15.6V [27h]	0.1V [11.7V to 18.0V]
02h	3	AVDD OCP offset setting[2:0]	1.6A [04h]	0.4A [0A to 2.8A]
03h	1	AVDD soft start time setting[0]	10msec [00h]	10msec [10msec or 20msec]
04h	4	VIO output voltage setting[3:0]	3.3V [0Bh]	0.1V [2.2V to 3.7V]
05h	6	HAVDD output voltage setting[5:0]	7.8V [1Eh]	0.1V [4.8V to 11.1V]
06h	5	VGH output voltage setting[4:0]	35V [14h]	0.5V [25V to 40.5V]
07h	2	GPM clamp voltage setting[1:0]	20V [01h]	5V [15V to 30V]
08h	5	VGL output voltage setting[4:0]	-6.0V [0Ah]	0.2V [-10.2V to -4.0V]
09h	6	HVLDO output voltage setting[5:0]	15.2V [23h]	0.1V [11.7V to 18.0V]
0Ah	8	VCOM output voltage setting[7:0]	6.103V[C5h]	HVLDOx0.18/256 [HVLDOx0.36 to HVLDOx0.54]
0Bh[7:6], 0Ch	10	AMP1 output voltage setting[9:0]	7.808V[1F2h]	HVLDO/1024[0V to HVLDO]
0Bh[5:4], 0Dh	10	AMP2 output voltage setting[9:0]	7.808V[1F2h]	HVLDO/1024[0V to HVLDO]
0Bh[3:2], 0Eh	10	AMP3 output voltage setting[9:0]	7.808V[1F2h]	HVLDO/1024[0V to HVLDO]
0Bh[1:0], 0Fh	10	AMP4 output voltage setting[9:0]	7.808V[1F2h]	HVLDO/1024[0V to HVLDO]
FFh	8	Control Register[7:0]		

*1 出荷時の EEPROM DATA となります。

*2 Default 電圧設定時の値です。各出力の Soft start 時間は設定電圧によって変化します。

●Channel Disable Register

Register Address = 00h							
[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
-	-	VCORE	HAVDD	VGH	VGL	GPM	AVDD_EXT

0 : Enable 1 : Disable

AVDD_EXT 1 : AVDD 外付けモード

●Control Register

Register Address	DATA [BIN]	Function
FFh	1xxx_xxxx	Write to EEPROM from DAC Register data.

x : Don't care bit

●Register Map

Resister Address	D7	D6	D5	D4	D3	D2	D1	D0	Default
00h	—	—	VCORE	HAVDD	VGH	VGL	GPM	AVDD_EXT	00h
01h	—	—	AVDD[5:0]						27h
02h	—	—	—	—	—	AVDD OCP offset[2:0]			04h
03h	—	—	—	—	—	—	—	AVDD SS	00h
04h	—	—	—	—	VIO [3:0]				0Bh
05h	—	—	HAVDD [5:0]						1Eh
06h	—	—	—	VGH [4:0]					14h
07h	—	—	—	—	—	—	GPM clamp [1:0]		01h
08h	—	—	—	VGL [4:0]					0Ah
09h	—	—	HVLDO[5:0]						23h
0Ah	VCOM [7:0]								C5h
0Bh	AMP1[9:8]		AMP2[9:8]		AMP3[9:8]		AMP4[9:8]		55h
0Ch	AMP1[7:0]								F2h
0Dh	AMP2[7:0]								F2h
0Eh	AMP3[7:0]								F2h
0Fh	AMP4[7:0]								F2h
FFh	(Control Register)								—

●Command Table 1

	Register Address								
	01 [5:0]	02 [2:0]	03 [0]	04 [3:0]	05 [5:0]	06 [4:0]	07 [1:0]	08 [4:0]	09 [5:0]
DATA (HEX)	AVDD [V]	AVDD OCP offset [A]	AVDD soft start [msec]	VIO [V]	HAVDD [V]	VGH [V]	GPM clamp [V]	VGL [V]	HVLDO [V]
00	11.7	0.0	10	2.2	4.8	25.0	15	-4.0	11.7
01	11.8	0.4	20	2.3	4.9	25.5	20	-4.2	11.8
02	11.9	0.8		2.4	5.0	26.0	25	-4.4	11.9
03	12.0	1.2		2.5	5.1	26.5	30	-4.6	12.0
04	12.1	1.6		2.6	5.2	27.0		-4.8	12.1
05	12.2	2.0		2.7	5.3	27.5		-5.0	12.2
06	12.3	2.4		2.8	5.4	28.0		-5.2	12.3
07	12.4	2.8		2.9	5.5	28.5		-5.4	12.4
08	12.5			3.0	5.6	29.0		-5.6	12.5
09	12.6			3.1	5.7	29.5		-5.8	12.6
0A	12.7			3.2	5.8	30.0		-6.0	12.7
0B	12.8			3.3	5.9	30.5		-6.2	12.8
0C	12.9			3.4	6.0	31.0		-6.4	12.9
0D	13.0			3.5	6.1	31.5		-6.6	13.0
0E	13.1			3.6	6.2	32.0		-6.8	13.1
0F	13.2			3.7	6.3	32.5		-7.0	13.2
10	13.3				6.4	33.0		-7.2	13.3
11	13.4				6.5	33.5		-7.4	13.4
12	13.5				6.6	34.0		-7.6	13.5
13	13.6				6.7	34.5		-7.8	13.6
14	13.7				6.8	35.0		-8.0	13.7
15	13.8				6.9	35.5		-8.2	13.8
16	13.9				7.0	36.0		-8.4	13.9
17	14.0				7.1	36.5		-8.6	14.0
18	14.1				7.2	37.0		-8.8	14.1
19	14.2				7.3	37.5		-9.0	14.2
1A	14.3				7.4	38.0		-9.2	14.3
1B	14.4				7.5	38.5		-9.4	14.4
1C	14.5				7.6	39.0		-9.6	14.5
1D	14.6				7.7	39.5		-9.8	14.6
1E	14.7				7.8	40.0		-10.0	14.7
1F	14.8				7.9	40.5		-10.2	14.8
20	14.9				8.0				14.9
21	15.0				8.1				15.0
22	15.1				8.2				15.1
23	15.2				8.3				15.2
24	15.3				8.4				15.3
25	15.4				8.5				15.4
26	15.5				8.6				15.5
27	15.6				8.7				15.6
28	15.7				8.8				15.7
29	15.8				8.9				15.8
2A	15.9				9.0				15.9
2B	16.0				9.1				16.0
2C	16.1				9.2				16.1
2D	16.2				9.3				16.2
2E	16.3				9.4				16.3
2F	16.4				9.5				16.4
30	16.5				9.6				16.5
31	16.6				9.7				16.6
32	16.7				9.8				16.7
33	16.8				9.9				16.8
34	16.9				10.0				16.9
35	17.0				10.1				17.0
36	17.1				10.2				17.1
37	17.2				10.3				17.2
38	17.3				10.4				17.3
39	17.4				10.5				17.4
3A	17.5				10.6				17.5
3B	17.6				10.7				17.6
3C	17.7				10.8				17.7
3D	17.8				10.9				17.8
3E	17.9				11.0				17.9
3F	18.0				11.1				18.0

 : Default Value

●Command Table 2

	Register Address
	0A
	[7:0]
DATA (HEX)	VCOM [V]
00	HVLDOx0.18x(3 - 0/256)
01	HVLDOx0.18x(3 - 1/256)
02	HVLDOx0.18x(3 - 2/256)
⋮	⋮
FD	HVLDOx0.18x(3 - 253/256)
FE	HVLDOx0.18x(3 - 254/256)
FF	HVLDOx0.18x(3 - 255/256)

	Register Address			
	0B[7:6], 0C	0B[5:4], 0D	0B[3:2], 0E	0B[1:0], 0F
	[9:0]	[9:0]	[9:0]	[9:0]
DATA (HEX)	AMP1 [V]	AMP2 [V]	AMP3 [V]	AMP4 [V]
000	HVLDOx(1 - 0/1024)	HVLDOx(1 - 0/1024)	HVLDOx(1 - 0/1024)	HVLDOx(1 - 0/1024)
001	HVLDOx(1 - 1/1024)	HVLDOx(1 - 1/1024)	HVLDOx(1 - 1/1024)	HVLDOx(1 - 1/1024)
002	HVLDOx(1 - 2/1024)	HVLDOx(1 - 2/1024)	HVLDOx(1 - 2/1024)	HVLDOx(1 - 2/1024)
⋮	⋮	⋮	⋮	⋮
3FD	HVLDOx(1 - 1021/1024)	HVLDOx(1 - 1021/1024)	HVLDOx(1 - 1021/1024)	HVLDOx(1 - 1021/1024)
3FE	HVLDOx(1 - 1022/1024)	HVLDOx(1 - 1022/1024)	HVLDOx(1 - 1022/1024)	HVLDOx(1 - 1022/1024)
3FF	HVLDOx(1 - 1023/1024)	HVLDOx(1 - 1023/1024)	HVLDOx(1 - 1023/1024)	HVLDOx(1 - 1023/1024)

・ HVLDO=15.2[V]の場合

	Register Address
	0A
	[7:0]
DATA (HEX)	VCOM [V]
00	8.208
01	8.197
02	8.187
⋮	⋮
C5	6.103
⋮	⋮
FD	5.504
FE	5.493
FF	5.483

	Register Address			
	0B[7:6], 0C	0B[5:4], 0D	0B[3:2], 0E	0B[1:0], 0F
	[9:0]	[9:0]	[9:0]	[9:0]
DATA (HEX)	AMP1 [V]	AMP2 [V]	AMP3 [V]	AMP4 [V]
000	15.200	15.200	15.200	15.200
001	15.185	15.185	15.185	15.185
002	15.170	15.170	15.170	15.170
⋮	⋮	⋮	⋮	⋮
1F2	7.808	7.808	7.808	7.808
⋮	⋮	⋮	⋮	⋮
3FD	0.045	0.045	0.045	0.045
3FE	0.030	0.030	0.030	0.030
3FF	0.015	0.015	0.015	0.015

step幅	0.011
-------	-------

step幅	0.015	0.015	0.015	0.015
-------	-------	-------	-------	-------

●アプリケーション部品選定方法

1. Buck Converter

出力 L 定数の選定

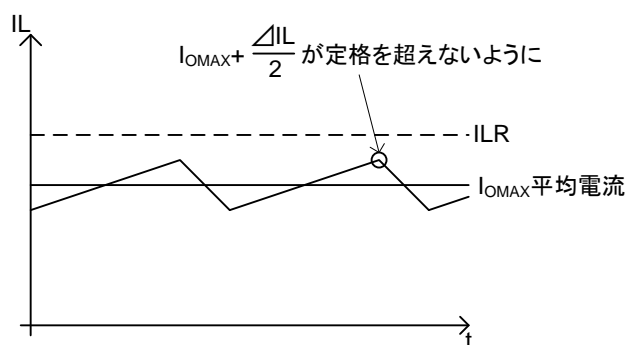


Figure 52. Inductor Current Waveform (Buck Converter).

出力に使用するインダクタ L は、インダクタの定格電流 I_{LR} 、出力電流最大値 I_{OMAX} により決定されます。

$I_{OMAX} + \Delta I_L / 2$ が定格電流 I_{LR} に当たらないように調整してください。この時、 ΔI_L は次の式から求められます。

$$\Delta I_L = \frac{1}{L} \times (V_{IN} - V_O) \times \frac{V_O}{V_{IN}} \times \frac{1}{f} \quad [\text{A}] \quad \text{ただし、} f: \text{スイッチング周波数}$$

また、インダクタ L の値も $\pm 30\%$ 程度のバラツキを持つことがありますので、十分にマージンを持って設定してください。
コイル電流が、コイルの定格電流 I_{LR} を越えまると、IC 内部素子を損傷する可能性があります。

入出力コンデンサの選定

出力に使用するコンデンサ C_o は、リップル電圧 V_{PP} の許容値と、負荷急変時のドロップ電圧の許容値のうち、容量の大きい値を選択してください。

出力リップル電圧は、次式より求められます。

$$\Delta V_{PP} = \Delta I_L \times R_{ESR} + \frac{\Delta I_L}{2 C_o} \times \frac{V_O}{V_{IN}} \times \frac{1}{f}$$

許容リップル電圧内におさまるように設定を行ってください。

また、負荷急変時のドロップ電圧 V_{DR} は、次の式から概算してください。

$$V_{DR} = \frac{\Delta I_L}{C_o} \times 10 \mu\text{sec} \quad [\text{V}]$$

ただし、 $10 \mu\text{sec}$ は DC/DC 応答速度の概算値です。

これらの 2 つの値が規格値に入るよう、 C_o の設定をお願いします。

DC/DC コンバータでは、ピーク電流が入力-出力間で流れるため入力側にもコンデンサが必要です。そのため、入力コンデンサとして、 $10 \mu\text{F}$ 以上でかつ $100\text{m}\Omega$ 以下の低 ESR コンデンサを推奨いたします。この範囲外の入力コンデンサを選定しますと、入力電圧に過大なリップル電圧が重畳し、IC の誤作動を引き起こす可能性があります。

ただし、この条件は負過電流、入力電圧、出力電圧、インダクタ値、スイッチング周波数により変化しますので、実機によるマージンチェックを必ず行うようお願いいたします。

出力整流ダイオードの選定

DC/DC コンバータの出力段に使用する整流用のダイオードとして、ショットキーバリアダイオードを推奨いたします。最大インダクタ電流と最大電源電圧に注意して選定を行なってください。

最大インダクタ電流	$I_{OMAX} + \frac{\Delta I_L}{2}$	<	ダイオードの定格電流
最大電源電圧	VIN	<	ダイオードの定格電圧

なお、各パラメータには、30%~40%のばらつきがありますので、十分にマージンを取って設計をしてください。

2. Boost Converter

出力 L 定数の選定

出力に使用するコイル L は、コイルの定格電流 I_{LR} 、入力電流最大値 I_{INMAX} により決定されます。

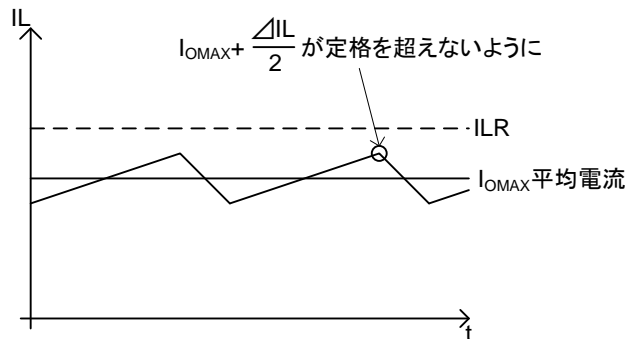


Figure 53. Inductor Current Waveform (Boost Converter).

$I_{INMAX} + \Delta I_L/2$ が定格電流 I_{LR} に当たらないように調整してください。この時、 ΔI_L は次の式から求められます。

$$\Delta I_L = \frac{1}{L} \times V_{IN} \times \frac{V_O - V_{IN}}{V_O} \times \frac{1}{f} \quad [A] \quad \text{ただし、} f : \text{スイッチング周波数}$$

また、コイル L の値も±30%程度のバラツキを持つことがありますので、十分にマージンを持って設定してください。コイル電流が、コイルの定格電流 I_{LR} を超えますと、IC 内部素子を損傷する可能性があります。

出力コンデンサの設定

出力に使用するコンデンサ C_O は、リップル電圧 V_{PP} の許容値と、負荷急変時のドロップ電圧の許容値のうち、容量の大きい値を選択してください。

出力リップル電圧は、次式より求められます。

$$\Delta V_{PP} = I_{LMAX} \times R_{ESR} + \frac{1}{f \times C_O} \times \frac{V_{IN}}{V_O} \times \left(I_{LMAX} - \frac{\Delta I_L}{2} \right)$$

許容リップル電圧内におさまるように設定を行ってください。

DC/DC コンバータでは、ピーク電流が入力-出力間で流れるため入力側にもコンデンサが必要です。そのため、入力コンデンサとして、10 μF 以上でかつ 100m Ω 以下の低 ESR コンデンサを推奨いたします。この範囲外の入力コンデンサを選定しますと、入力電圧に過大なリップル電圧が重畳し、IC の誤作動を引き起こす可能性があります。

ただし、この条件は負過電流、入力電圧、出力電圧、インダクタ値、スイッチング周波数により変化しますので、実機によるマージンチェックを必ず行うようお願いいたします。

位相補償

位相設定方法

負帰還がかかるフィードバック系の安定条件は、次のようになります。

- ・ゲインが 1(0dB)の時の位相遅れが 150°以下(すなわち位相マージン 30°以上)

また、DC/DC コンバータアプリケーションは、スイッチング周波数によりサンプリングされていますので、全体の系の GBW は、スイッチング周波数の 1/10 以下に設定します。まとめると、アプリケーションが目標とする特性は以下のようになります。

- ・ゲインが 1(0dB)の時の位相遅れが 150°以下(位相マージン 30°以上)
- ・その時の GBW(すなわちゲイン 0dB の周波数)がスイッチング周波数の 1/10 以下

GBW の制限により応答性が決定されますので、応答性をあげるためには、スイッチング周波数の高周波化が必要となります。

AVDD は電流モード制御です。電流モード制御はエラーアンプと負荷によって形成される 2 つのポールと、位相補償にて付加する 1 つのゼロを持つ、2-pole 1zero システムとなります。

それぞれのポール・ゼロの極点を適切に配置することで、良好な過渡負荷応答特性と安定性を確保します。

一般的な DC/DC コンバータのボードプロット図を下图に示します。(a)点では、エラーアンプの出力インピーダンスと Ccp 容量によって形成されるポールによってゲインが落ち始めます。その後、(b)点にくるまでに、負荷によるポールをキャンセルするため、Rcp 抵抗と Ccp 容量によって形成されるゼロを挿入し、ゲイン・位相の変動を相殺します。

また、GBW(ゲイン 0dB のときの周波数)は、エラーアンプにつける位相補償容量によって決定されますので、GBW を下げたい場合はコンデンサを大きくします。

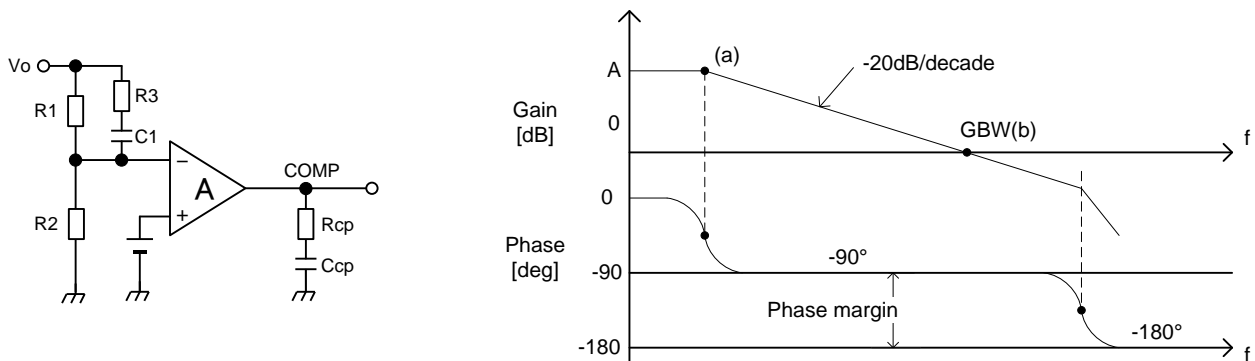


Figure 54. Setting phase compensation.

Rpc 抵抗と Cpc 容量によって形成されるゼロ(fz1)は次式で表されます。

また、フィードフォワードキャパシタ C1 は、R1 抵抗と共にゼロ(fz2)を形成し、その限られた周波数領域において位相マージンを押し上げる用途で使われます。

$$\text{位相進み } fZ1 = \frac{1}{2\pi C_{cp} R_{cp}} \text{ [Hz]}$$

$$\text{位相進み } fZ2 = \frac{1}{2\pi C1 R1} \text{ [Hz]}$$

3. Positive Charge Pump : VGH

出力整流ダイオードの選定

最大出力電流と最大出力電圧に十分注意して、選定してください。

最大出力電流	I_{OMAX}	<	ダイオードの定格電流
最大出力電圧	AVDD	<	ダイオードの定格電圧

なお、各パラメータには、30%~40%のばらつきがありますので、十分にマージンを取って設計をしてください。

3-2. 出力 PNP トランジスタの選定

最大出力電流、最大出力電圧、電源電圧に十分注意して、選定してください。

Boost Converter Duty	$D = \frac{AVDD - V_{IN}}{AVDD}$		
最大出力電流	$\frac{I_{OMAX}}{D}$	<	トランジスタの定格電流
電源電圧	AVDD x 2	<	トランジスタの定格電圧
DC ゲイン	I_{OMAX} / I_{BASE}	<	トランジスタの hfe
損失(2 倍)	$(2 \times AVDD - V_{GH} - 2 \times V_f) \times I_{OUT}$	<	トランジスタの許容損失
損失(3 倍)	$(3 \times AVDD - V_{GH} - 4 \times V_f) \times I_{OUT}$	<	トランジスタの許容損失
最大 DRVP 電流	$I_{BASE} (5mA)$		

なお、各パラメータには、30%~40%のばらつきがありますので、十分にマージンを取って設計をしてください。

3-3. Base emitter resistor の選定

PNP トランジスタの base-emitter 間抵抗は、100kΩ を推奨いたします。

3-4. Flying capacitor と Switch node resistor の選定

0.1μF~0.47μF のフライングキャパシタと 1Ω ~20Ω の抵抗の挿入を推奨いたします。

3-5. 出力コンデンサの選定

10μF のセラミックコンデンサの使用を推奨します。

負荷応答性を向上させる場合は、より大きい値のコンデンサを使用してください。

4. Negative Charge Pump : VGL

4-1. 出力整流ダイオードの選定

最大出力電流と最大出力電圧に十分注意して、選定してください。

最大出力電流	I_{OMAX}	<	ダイオードの定格電流
最大出力電圧	V_{IN}	<	ダイオードの定格電圧

なお、各パラメータには、30%~40%のばらつきがありますので、十分にマージンを取って設計をしてください。

4-2. 出力 NPN トランジスタの選定

最大出力電流、最大出力電圧、電源電圧に十分注意して、選定してください。

Converter Duty	$D = \frac{V_{IN} - V_{IO}}{V_{IN}}$		
最大出力電流	$\frac{I_{OMAX}}{D}$	<	トランジスタの定格電流
電源電圧	V_{IN}	<	トランジスタの定格電圧
DC ゲイン	I_{OMAX} / I_{BASE}	<	トランジスタの h_{fe}
損失(2 倍)	$(V_{IN} - V_{GL} - 2 \times V_f) \times I_{OUT}$	<	トランジスタの許容損失
最大 DRVN 電流	$I_{BASE} (5mA)$		

なお、各パラメータには、30%~40%のばらつきがありますので、十分にマージンを取って設計をしてください。

4-3. Base emitter resistor の選定

NPN トランジスタの base-emitter 間抵抗は、100k Ω を推奨いたします。

4-4. Flying capacitor と Switch node resistor の選定

0.1 μ F~0.47 μ F のフライングキャパシタと 1 Ω ~20 Ω の抵抗の挿入を推奨いたします。

4-5. 出力コンデンサの選定

10 μ F のセラミックコンデンサの使用を推奨します。

負荷応答性を向上させる場合は、より大きい値のコンデンサを使用してください。

5. High Voltage LDO : HVLDO

5-1. 出力コンデンサの選定

4.7 μ F~10 μ F 程度の容量のセラミックコンデンサの使用を推奨します。

●レイアウトパターン設計について

DC/DC コンバータのスイッチングラインは短くて太い配線となるよう接続してください。

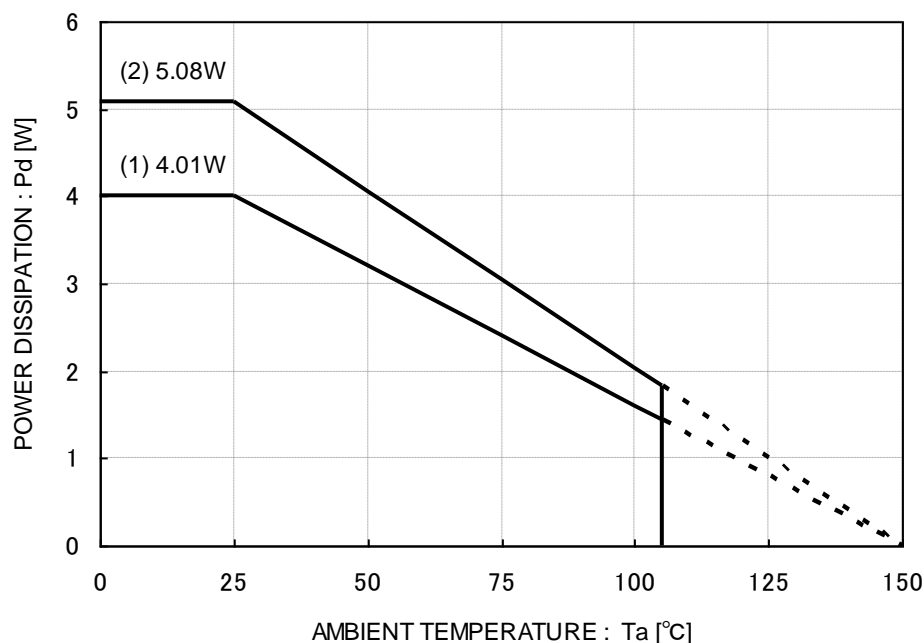
配線が長くなるとスイッチングによるリンギングが大きくなり本 IC の耐圧を超える電圧が発生する恐れがあります。
部品配置制約によりやむを得ず配線が長くなる場合は、スナバー回路を挿入する等の対策が必要となる場合があります。

IC 裏面のサーマル PAD は IC の基板と高い熱伝導率で結合されています。

そのため、できるだけ大きな GND プレーンに接続することで発熱を抑えることができます。

また、PCB 上に使用していないエリアがある場合は、IC や周辺部品の放熱を助けるため、GND、VIN などの DC ノードの銅箔プレーンを配置してください。

●熱損失について



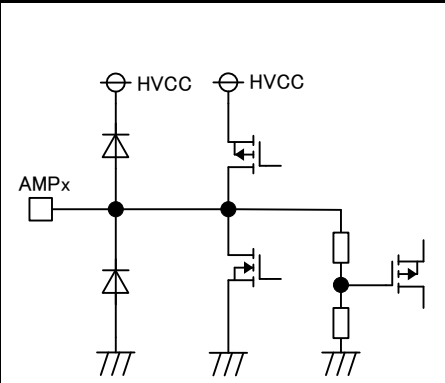
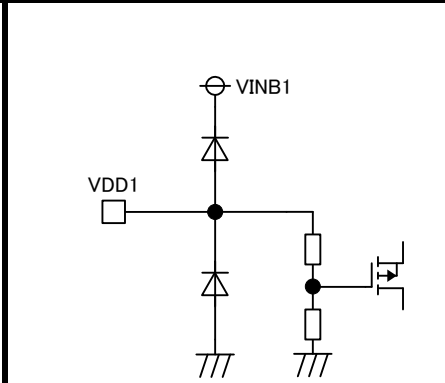
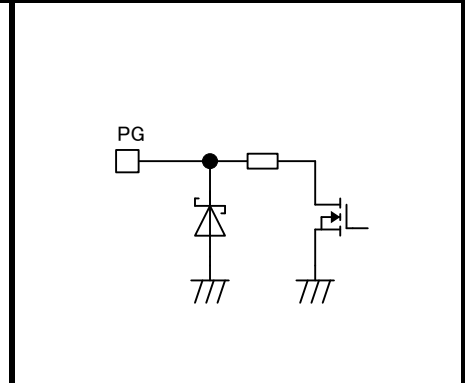
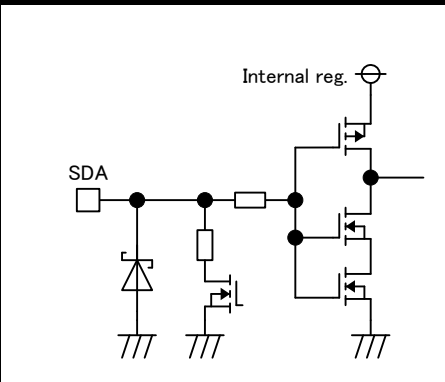
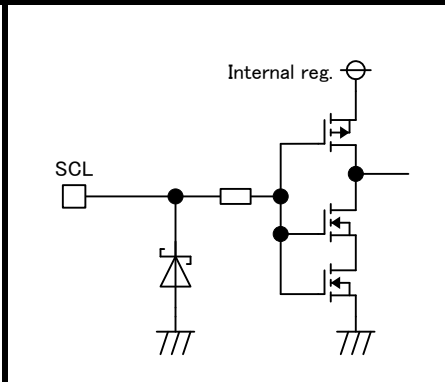
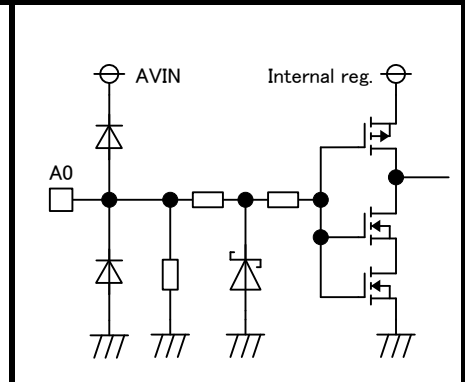
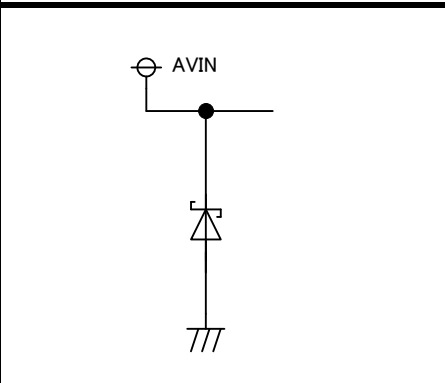
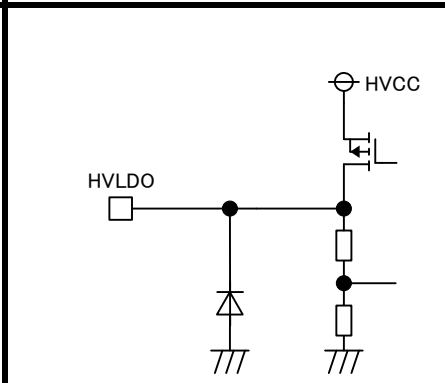
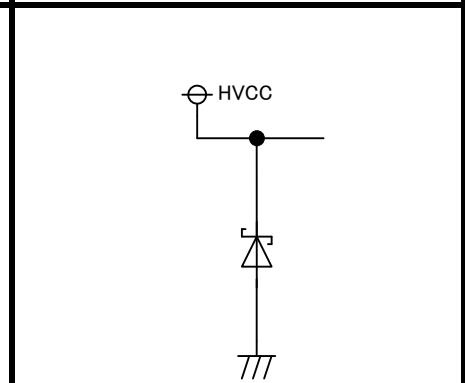
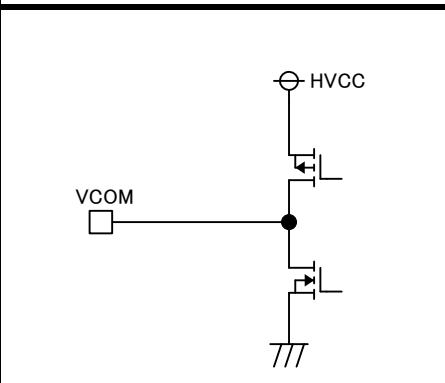
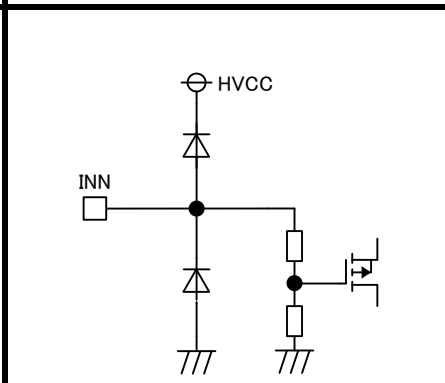
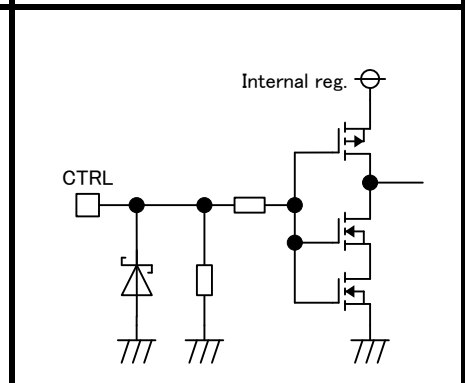
VQFN48V7070A Package

On 4-layer 114.3mm × 74.2mm × 1.6mm glass epoxy PCB

(1) 2-layer board (Backside copper foil area 74.2 mm × 74.2 mm)

(2) 4-layer board (The 2nd, 3rd layers and backside copper foil area 74.2 mm × 74.2 mm)

●入出力等価回路図

1, 2, 47, 48. AMP1~4	3. VDD1	4.PG
		
5.SDA	6.SCL	7.A0
		
8. AVIN	9.HVLDO	10. HVCC
		
11.VCOM	12. INN	13. CTRL
		

●入出力等価回路図

15.COMP	16.VL	19, 20.SW
21.SWI	22.SWO	23.AVDDS
24.PGATE	25.VGL	26.DRVN
27.DRVP	28.VGH	29.VGHM

●入出力等価回路図

30.RE	31.VINB3	33. SWB3
35. VDD3	36. EN	38. SWB2
39. VDD2	40. VINB2	41, 42.VINB1
44, 45. SWB1	—	—
	—	—

●使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、許容損失を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

●使用上の注意 — 続き

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ (NPN) では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ (NPN) では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。

例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。

また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

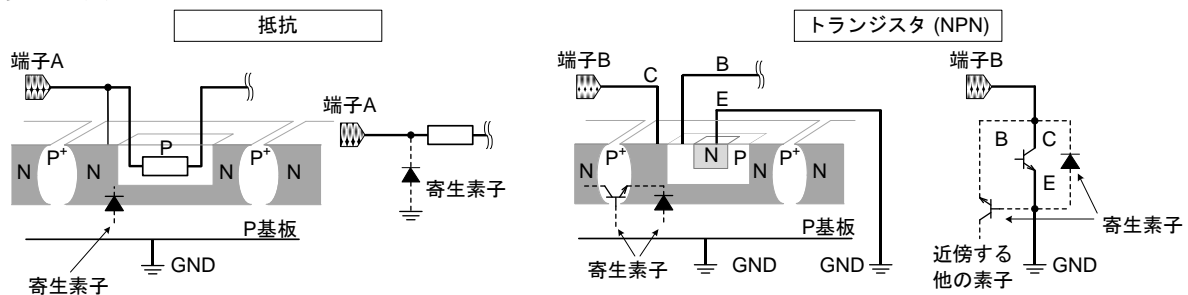


Figure 55. モノリシック IC 構造例

13. セラミックコンデンサの特性変動について

外付けコンデンサに、セラミックコンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮の上定数を決定してください。

14. 安全動作領域について

本製品を使用する際には、出力トランジスタが絶対最大定格及び ASO を超えないよう設定してください。

15. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

16. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

●発注形名情報

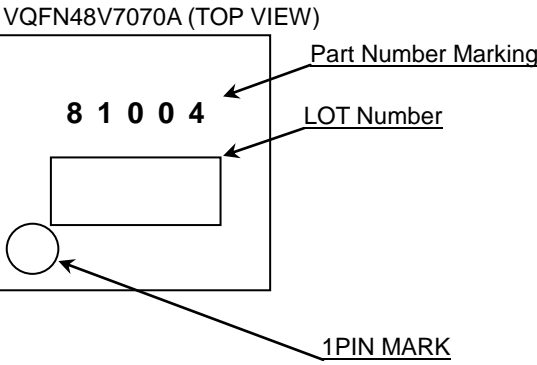
B M 8 1 0 0 4 M U V

ZE2

品名
パッケージ
MUV:VQFN48V7070A

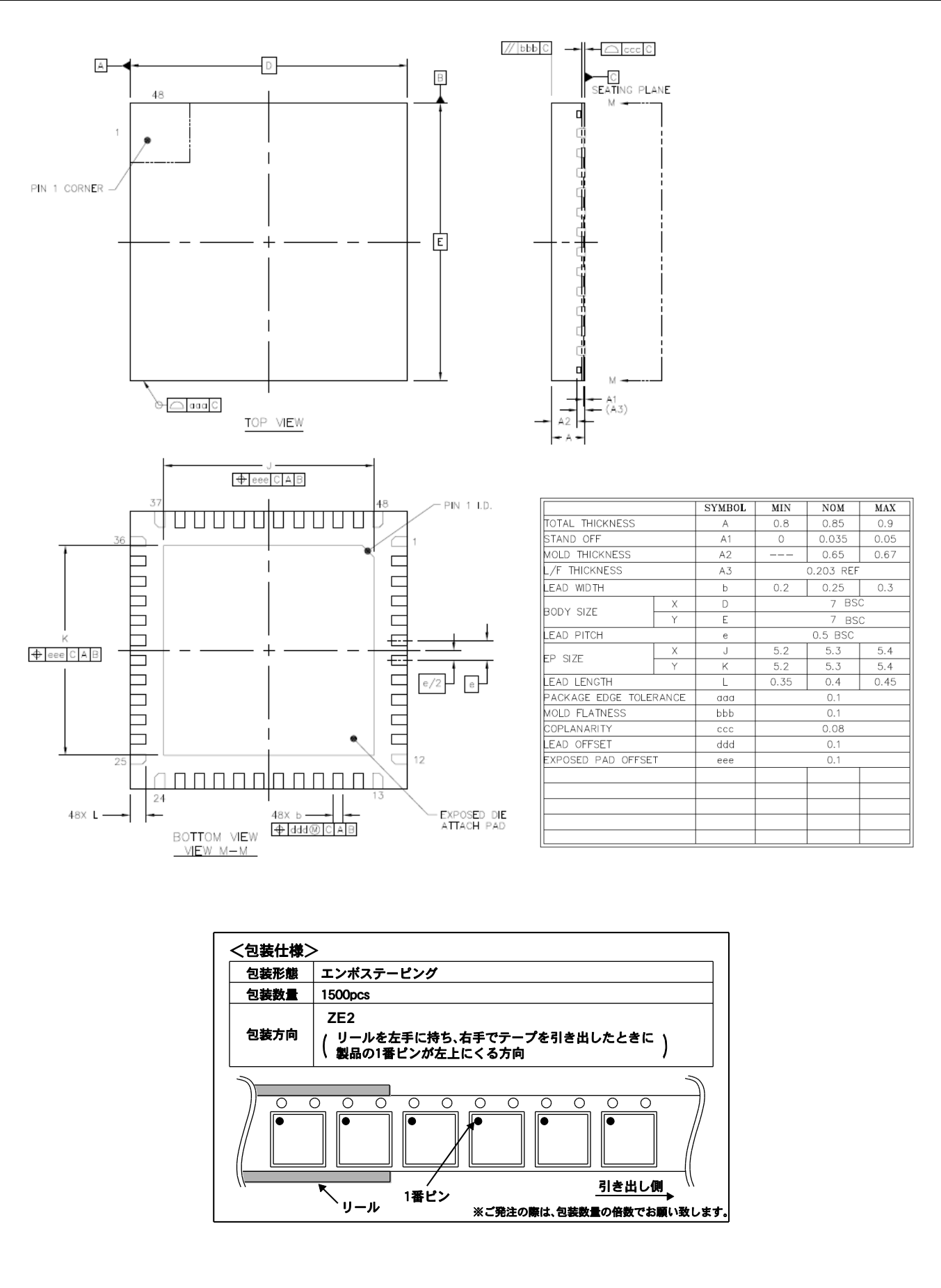
包装、フォーミング仕様
ZE2: Embossed tape and reel

●標印図



●外形寸法図と包装・フォーミング仕様

Package Name	VQFN48V7070A
--------------	--------------



●改訂履歴

日付	Revision	変更内容
2014.09.16	001	新規作成
2014.12.04	002	Page 8/48 TSD MIN, MAX 記載 Page 9/48 VOVP_VIO, VOVP_VCORE, VOVP_HAVDD MIN, MAX 記載

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに QR コードが印字されていますが、QR コードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。