

抵抗膜方式 タッチパネルコントローラ IC

BU21023GUL BU21023MUV

概要

『4線式抵抗膜方式タッチパネルコントローラ』ICは逐次型ADCを内蔵し、4線式抵抗膜方式タッチパネルに対応した1点又は2点検出可能なコントローラです。1点タッチのX座標/Y座標の位置検出に加え筆圧検出も可能です。また、2点に限りマルチタッチの検出可能です。CPUを内蔵しフィルタリング等の処理、検出座標の自動生成を内部で行います。1点/2点の座標変化からジェスチャ検出も可能です。

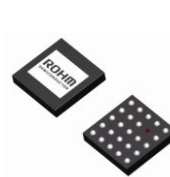
特長

- 1点座標検出、2点座標検出及びジェスチャ認識
- タッチ検出閾値調整機能による軽快な操作
- 1点タッチの押し圧認識
- HOSTインタフェース 4線SPI/2線シリアルバス (IFSEL pin 処理にて切り替え)
- 割り込み出力極性が設定可能
- 内蔵 10-bit ADC による指タッチ及びスタイラス入力の高精度認識
- 内蔵 CPU ファームウェアのダウンロードをEEPROMとHOSTより選択可能
- フィルタリングオプションによる誤認識回避
- 所定の処理でマニュアルキャリブレーション可能
- X-Y座標スワップ機能
- 3V単一電源
- 小型パッケージ及び広動作温度範囲
- コンシューマ向けに最適

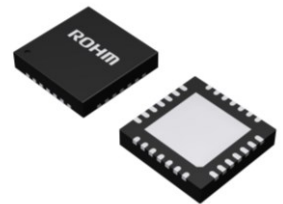
パッケージ

VCSP50L2
VQFN028V5050

W (Typ) x D (Typ) x H (Max)
2.60mm x 2.60mm x 0.55mm
5.00mm x 5.00mm x 1.00mm



VCSP50L2



VQFN028V5050

用途

- 4線式抵抗膜方式タッチパネルによるUI(User Interface)を内蔵する機器
- 携帯電話機、PDA(Personal Digital Assistant)、などの携帯用情報通信機器
- タブレットPC、ノートPC、LCDディスプレイなど

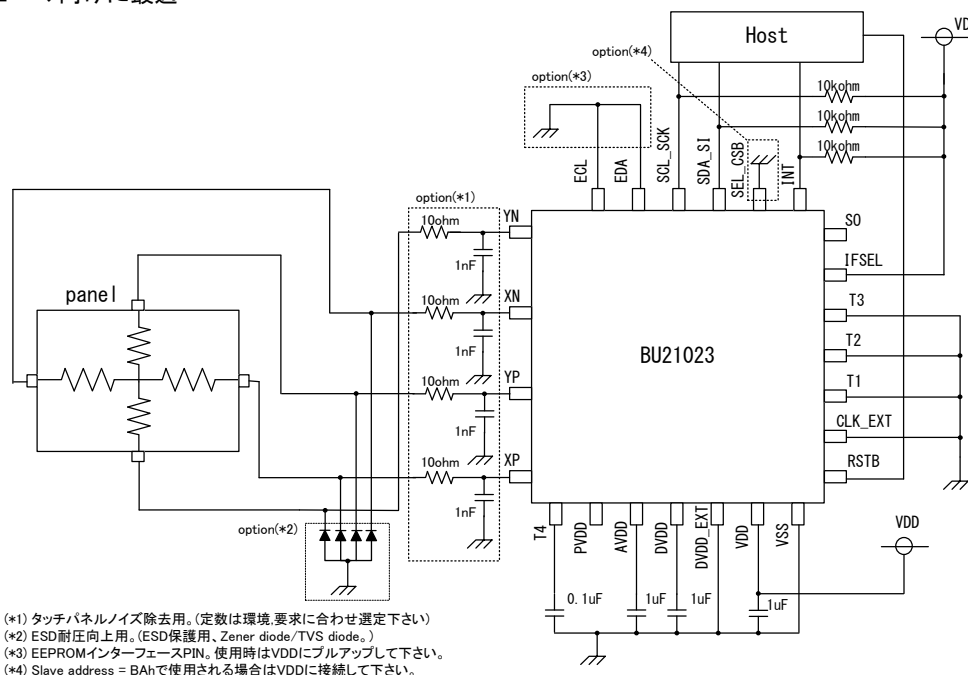


Figure 1. BU21023MUV/BU21023GUL 応用回路例 (2線シリアルバス)

詳細は奨励回路図項を参照ください。

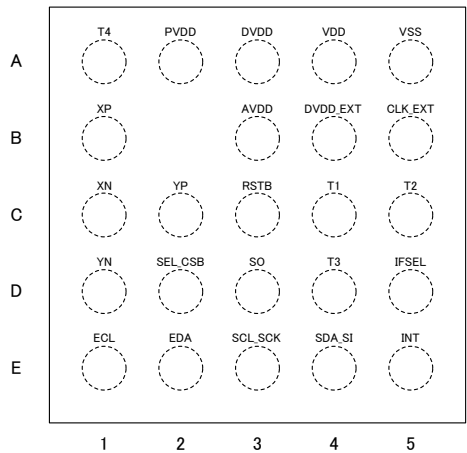
○製品構造：シリコンモノリシック集積回路 ○耐放射線設計はしていません

www.rohm.co.jp

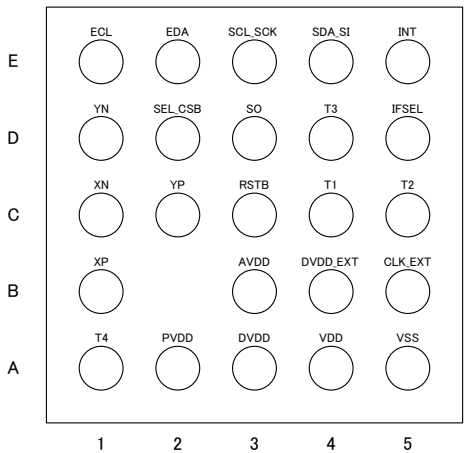
© 2013 ROHM Co., Ltd. All rights reserved.

TSZ22111・14・001

端子配置図 / 端子説明
【BU21023GUL】



TOP VIEW (BALL SIDE DOWN)

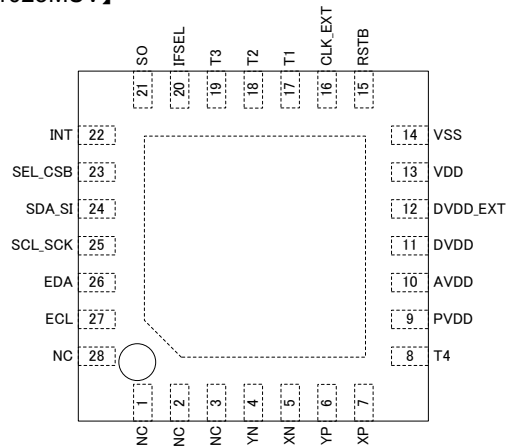


BOTTOM VIEW (BALL SIDE UP)

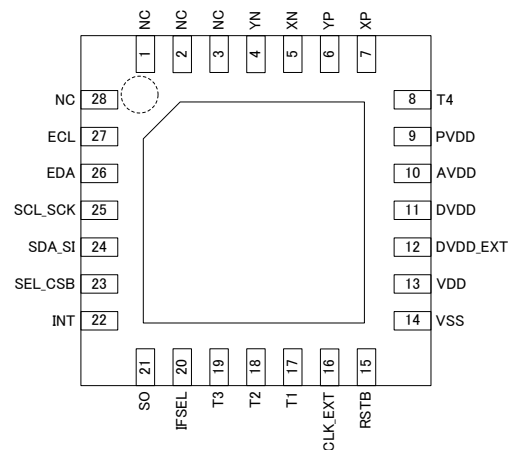
番号	端子名	属性	機能				等価回路
D1	YN	I/O	パネルインタフェース				E
C1	XN	I/O	パネルインタフェース				E
C2	YP	I/O	パネルインタフェース				E
B1	XP	I/O	パネルインタフェース				E
A1	T4	I/O	テスト端子				E
A2	PVDD	O	レギュレータ出力(パネル電源)				-
B3	AVDD	O	レギュレータ出力(アナログ電源)				-
A3	DVDD	I/O	レギュレータ出力(デジタル電源) or デジタル電源				-
B4	DVDD_EXT	I	デジタル電源設定(H=外部, L=内部)				E
A4	VDD	-	チップ電源				-
A5	VSS	-	グラウンド				-
C3	RSTB	I	H/W リセット				E
B5	CLK_EXT	I	外部供給クロック入力端子				A
C4	T1	I	テスト端子				A
C5	T2	I	テスト端子				A
D4	T3	I	テスト端子				A
D5	IFSEL	I	インタフェース選択端子 (L=SPI, H=2 線シリアル)				A
D3	SO	O	SPI	出力データ	2wire	-	F
E5	INT	O	割り込み出力端子				C
D2	SEL_CSB	I	SPI	チップセレクト	2wire	slave address 選択	C
E4	SDA_SI	I/O	SPI	入力データ	2wire	データ	C
E3	SCL_SCK	I	SPI	クロック	2wire	クロック	C
E2	EDA	I/O	EEPROM 用 SDA				C
E1	ECL	O	EEPROM 用 SCL				C

1. AVDD,DVDD 端子は 1[μF](5)にて GND に接続、PVDD 端子はオープンにて使用してください。
2. DVDD_EXT 端子"H"レベル固定にて、デジタル CORE 電源を DVDD 端子より供給可能です。
3. ECL, EDA, INT 端子は 10[kΩ](5)にてプルアップ、T4 端子は 0.1[μF](5)にてプルアップ、T1, T2, T3 端子は直接 GND に接続してください。EEPROM 未使用時は ECL, EDA を直接 GND に接続してください。
4. 2 線シリアルバス I/F 使用時は SCL_SCK, SDA_SI を 10[kΩ](5)にてプルアップ、SO 端子はオープンにて使用ください。
5. 各定数は推奨値であり、保証値ではありません。
6. VDD(チップ電源)未印加時に RSTB を"H"にすることを禁止致します。
7. INT 端子の極性をレジスタ 0x30 で変更することが可能です。
8. 通常使用時は CLK_EXT 端子を GND に接続してください。
9. INT 端子はテストモード時のみ入力属性として使用可能な構成となっています。

端子配置図 / 端子説明—続き
【BU21023MUV】



TOP VIEW (LEAD SIDE DOWN)



BOTTOM VIEW (LEAD SIDE UP)

番号	端子名	属性	機能			等価回路
1	NC	-	-			-
2	NC	-	-			-
3	NC	-	-			-
4	YN	I/O	パネルインタフェース			E
5	XN	I/O	パネルインタフェース			E
6	YP	I/O	パネルインタフェース			E
7	XP	I/O	パネルインタフェース			E
8	T4	I/O	テスト端子			E
9	PVDD	O	レギュレータ出力 (パネル電源)			-
10	AVDD	O	レギュレータ出力 (アナログ電源)			-
11	DVDD	I/O	レギュレータ出力 (デジタル電源) or デジタル電源			-
12	DVDD_EXT	I	デジタル電源設定(H=外部, L=内部)			E
13	VDD	-	チップ電源			-
14	VSS	-	グラウンド			-
15	RSTB	I	H/W リセット			E
16	CLK_EXT	I	外部供給クロック入力端子			A
17	T1	I	テスト端子			A
18	T2	I	テスト端子			A
19	T3	I	テスト端子			A
20	IFSEL	I	インタフェース選択端子 (L=SPI, H=2 線シリアル)			A
21	SO	O	SPI	出力データ	2wire -	F
22	INT	O	割り込み出力端子			C
23	SEL_CSB	I	SPI	チップセレクト	2wire slave address 選択	C
24	SDA_SI	I/O	SPI	入力データ	2wire データ	C
25	SCL_SCK	I	SPI	クロック	2wire クロック	C
26	EDA	I/O	EEPROM 用 SDA			C
27	ECL	O	EEPROM 用 SCL			C
28	NC	-	-			-

1. AVDD,DVDD 端子は 1[μF](5)にて GND に接続、PVDD 端子はオープンにて使用してください。
2. DVDD_EXT 端子"H"レベル固定にて、デジタル CORE 電源を DVDD 端子より供給可能です。
3. ECL, EDA, INT 端子は 10[kΩ](5)にてプルアップ、T4 端子は 0.1[μF](5)にて GND、T1, T2, T3 端子は直接 GND に接続してください。
EEPROM 未使用時は ECL, EDA を未使用時は直接 GND に接続してください。
4. 2 線シリアルバス I/F 使用時は SCL_SCK, SDA_SI を 10[kΩ](5)にてプルアップ、SO 端子はオープンにて使用ください。
5. 各定数は推奨値であり、保証値ではありません。
6. VDD (チップ電源)未印加時に RSTB を"H"にすることを禁止致します。
7. INT 端子の極性をレジスタ 0x30 で変更することが可能です。
8. 通常使用時は CLK_EXT 端子を GND に接続してください。
9. INT 端子はテストモード時のみ入力属性として使用可能な構成となっています。
10. NC 端子はオープンにて使用下さい。
11. パッケージ裏面のサーマル PAD は GND に接続してください。

入出力等価回路図

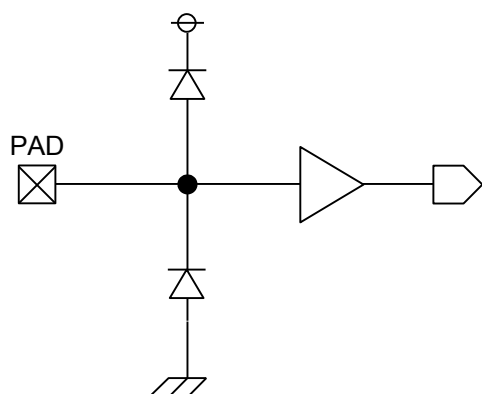


Figure A

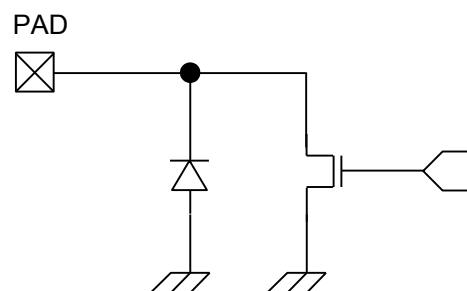


Figure B

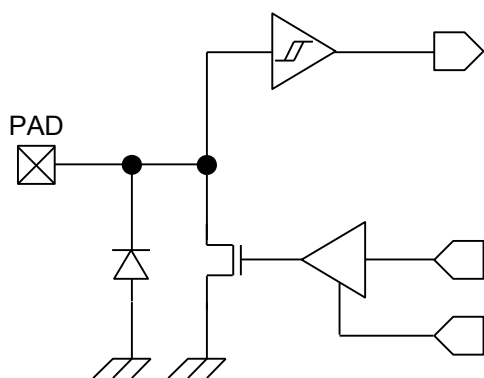


Figure C

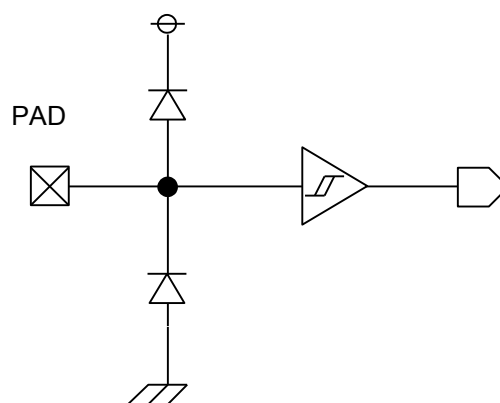


Figure D

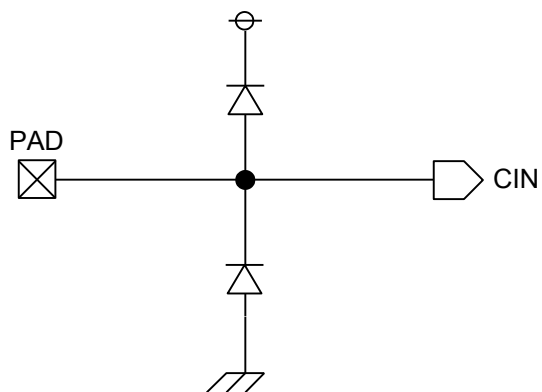


Figure E

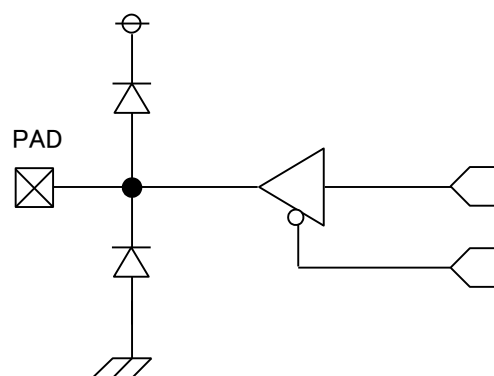
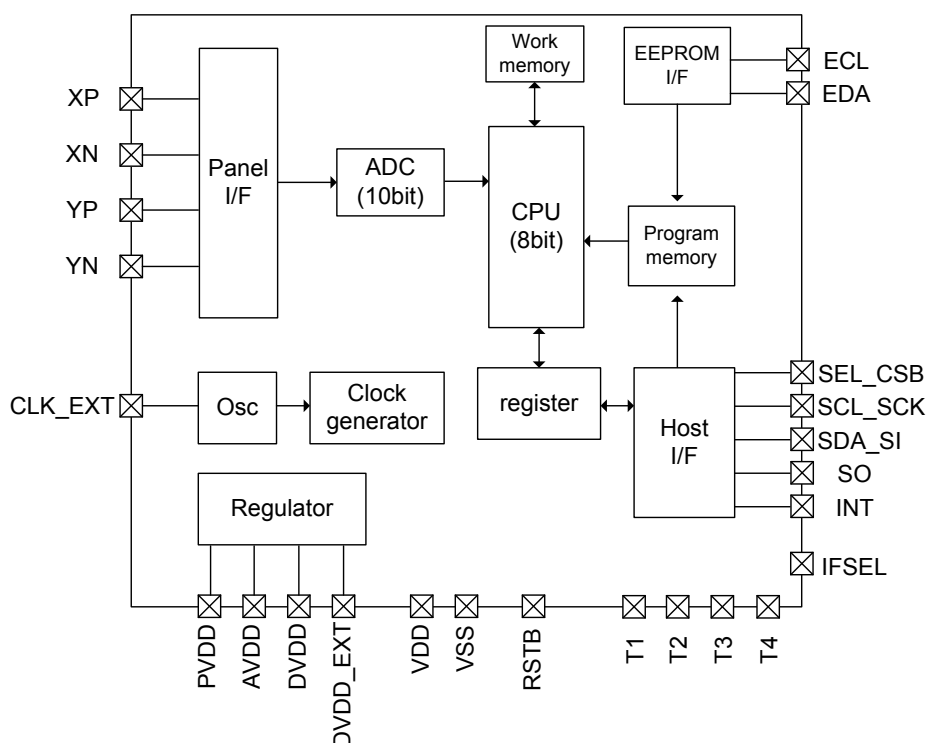


Figure F

Figure 2. BU21023GUL / BU21023MUV 端子等価回路図

ブロック図 / 各ブロック動作説明

【BU21023GUL / BU21023MUV】



Panel-I/F	4 線式抵抗膜方式タッチパネルインタフェース
ADC	10bit A/D converter
OSC	内部用クロック 20MHz 生成発振器
Regulator	内部用電源 1.8V 生成 DVDD のみ外部供給可能
Clock Generator	システムクロック、内部タイミング生成
CPU Core	ノイズフィルタリング、マルチタッチ検出、タッチ座標生成
Work Memory	CPU 用ワークメモリ
Program Memory	CPU 用プログラムメモリ
EEPROM-I/F	CPU プログラムメモリダウンロードデータ格納用外部 EEPROM-I/F
Host I/F	4 線 SPI / 2 線シリアルバス

絶対最大定格

項 目		記号	定 格	単位	条 件
電源電圧		V_{DD}	-0.3 ~ +4.5	V	
端子印加電圧		V_{IN}	-0.3 ~ $V_{DD}+0.3$	V	
許容損失	BU21023GUL	Pd	0.83 ^(Note 1)	W	
	BU21023MUV		0.70 ^(Note 2)	W	
保存温度範囲		Tstg	-50 ~ +125	°C	

(Note 1) Ta=25°C 以上で使用する場合は、1°C につき 0.0083W を減じる。(ローム指定 50mm x 58mm 基板実装時)

(Note 2) Ta=25°C 以上で使用する場合は、1°C につき 0.00704W を減じる。(ローム指定 74.2 x 74.2 x 1.6t mm 1 層基板実装時)

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けるようご検討をお願いします。

推奨動作条件

項 目	記号	規 格 値			単位	条 件
		最小	標準	最大		
電源電圧	V_{DD}	2.70	3.00	3.60	V	
デジタル CORE 電源電圧	DV_{DD}	1.62	1.80	1.98	V	DVDD 外部設定時
動作温度	Topr	-20	+25	+85	°C	

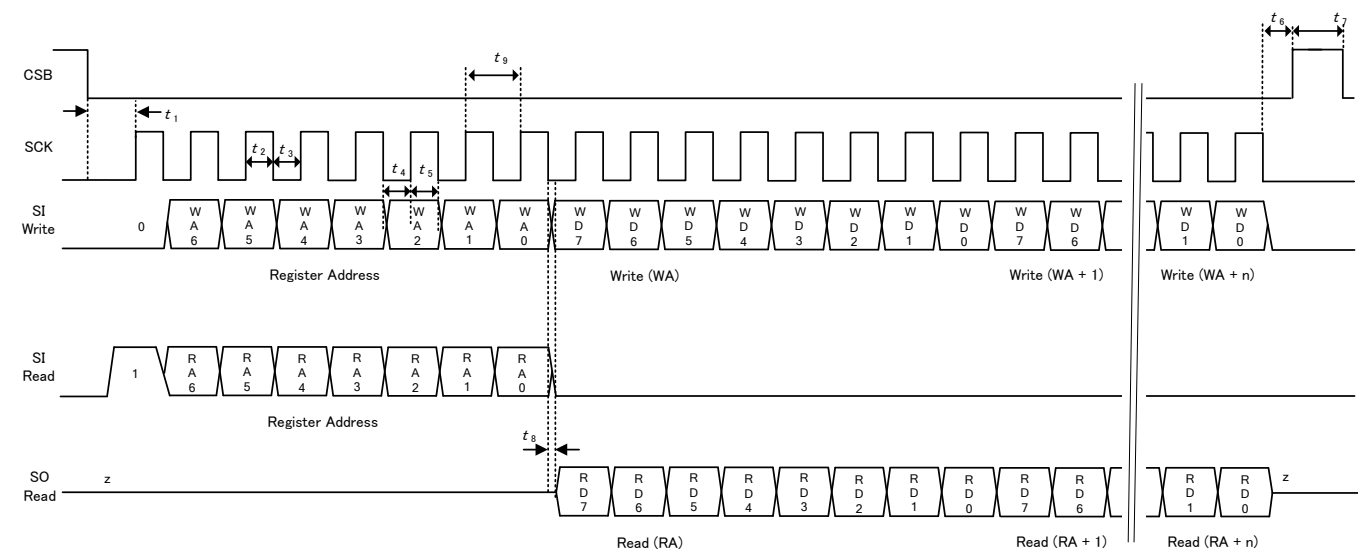
BU21023 は 3V 単一電源で動作可能ですが、DVDD_EXT 端子を H レベルに設定する事により DVDD 端子よりデジタル CORE 電源電圧(1.8V)の外部印加が可能です。

電気的特性(Ta=25°C、 $V_{DD}=3.00V$ 時)

項目	記号	規格値			単位	条 件
		最小	標準	最大		
低レベル入力電圧	V_{IL}	-0.5	-	$0.2 \times V_{DD}$	V	
高レベル入力電圧	V_{IH}	$0.8 \times V_{DD}$	-	$V_{DD}+0.5$	V	
低レベル出力電圧	V_{OL}	-	-	0.4	V	
高レベル出力電圧	V_{OH}	$V_{DD}-0.4$	-	-	V	
静止電流	I_{ST}	-	-	1	μA	RSTB=L
待機電流 1	I_{CC1}	-	60	100	μA	DVDD_EXT=L
待機電流 2	I_{CC2}	-	10	20	μA	DVDD_EXT=H
動作電流	I_{DD}	-	4	6	mA	No Load
発振周波数	Freq	18	20	22	MHz	
分解能	Ad	1024x1024			Bit	
微分非直線性誤差	DNL	-3.0	-	+3.0	LSB	
積分非直線性誤差	INL	-3.0	-	+3.0	LSB	

HOST-I/F 仕様 (4 線 SPI)

(SCK = SCL_SCK 端子, SI = SDA_SI 端子, CSB = SEL_CSB 端子, SO = SO 端子として記載)



条件: $V_{DD} = 3.0V$ $T_a = 25^{\circ}C$

項目	記号	規格値			単位	条 件
		最小	標準	最大		
CSB セットアップ時間	t_1	30	-	-	ns	
SCK "H"レベル時間	t_2	30	-	-	ns	
SCK "L"レベル時間	t_3	30	-	-	ns	
SI セットアップ時間	t_4	20	-	-	ns	
SI ホールド時間	t_5	20	-	-	ns	
CSB ホールド時間	t_6	20	-	-	ns	
CSB "H"レベル時間	t_7	50	-	-	ns	
SO 出力遅延時間	t_8	-	-	15	ns	
SCK 周波数	t_9	-	-	15	MHz	

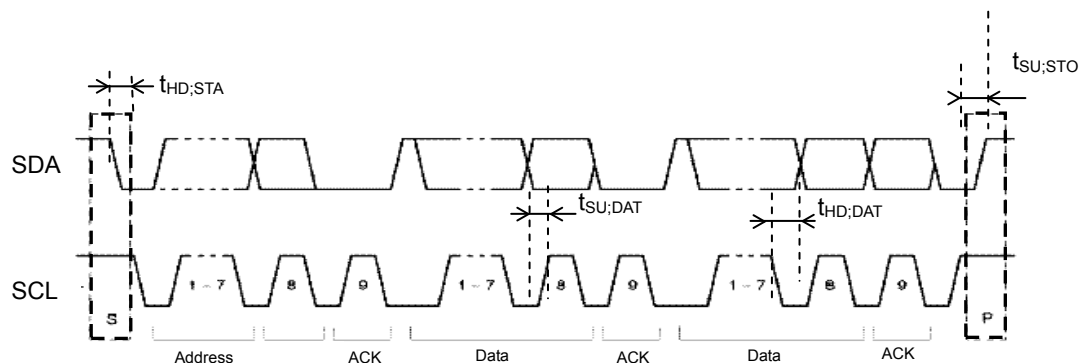
IFSEL 端子を L レベル設定時は 4 線 SPI インタフェース、H レベル設定時は 2 線シリアルバスインタフェースの選択が可能です。

HOST-I/F 仕様 (2 線シリアルバス)

(SCL=SCL_SCK 端子, SDA=SDA_SI 端子として記載)

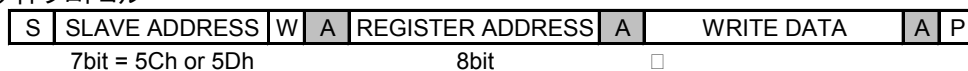
2 線シリアルバスの Slave Address は、SEL_CSB 端子の状態によって、5Ch または 5Dh のどちらかを使用することができます。

SEL_CSB = "L" : Slave address = 5Ch
 SEL_CSB = "H" : Slave address = 5Dh

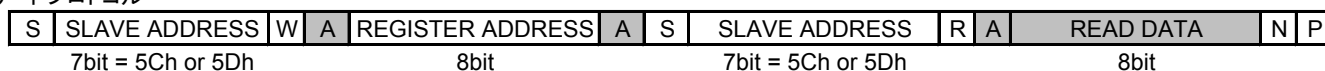
条件: $V_{DD} = 3.0V$ $T_a = 25^\circ C$

項 目	記号	規 格 値			単位	条 件
		最小	標準	最大		
SCL クロック周波数	f_{SCL}	0	-	400	kHz	
START ホールド時間	$t_{HD;STA}$	0.6	-	-	μs	
SCL の"L"幅	t_{LOW}	1.3	-	-	μs	
SCL の"H"幅	t_{HIGH}	0.6	-	-	μs	
データホールド時間	$t_{HD;DAT}$	0.1	-	-	μs	
データセットアップ時間	$t_{SU;DAT}$	0.1	-	-	μs	
STOP セットアップ時間	$t_{SU;STO}$	0.6	-	-	μs	

・ライトプロトコル



・リードプロトコル



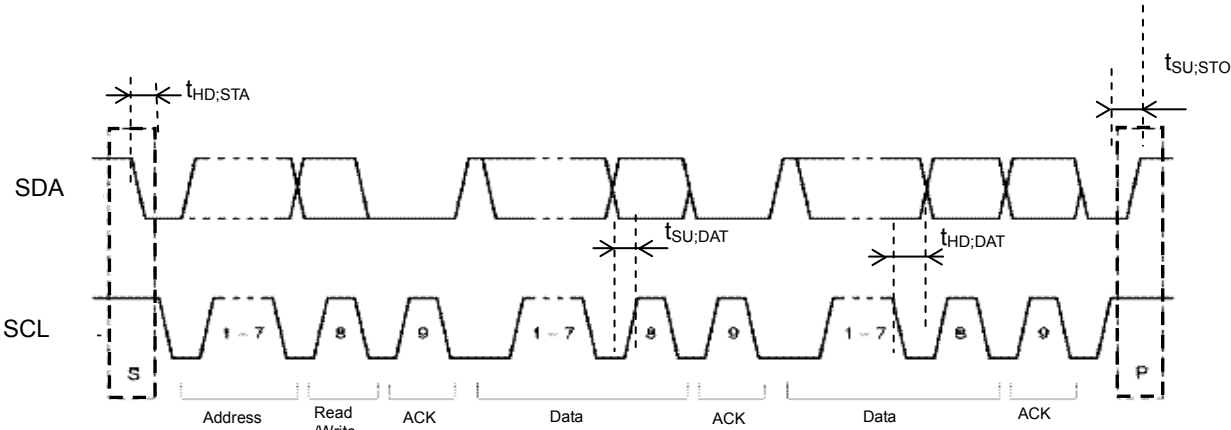
S = START condition
 P = STOP condition
 R = data direction READ (SDA HIGH)
 W = data direction WRITE (SDA LOW)
 A = acknowledge (SDA LOW)
 N = not acknowledge (SDA HIGH)

EEPROM-I/F 仕様

(SCL = ECL 端子, SDA = EDA 端子として記載)

ファームウェアダウンロード用に EEPROM-I/F を持ちます
EEPROM デバイスアドレスは 0x51(EEPROM_ADDR)で設定可能です

タイミングチャート



条件: V_{DD} = 3.0V Ta=25°C

項 目	記号	規 格 値			単位	条 件
		最小	標準	最大		
SCL クロック周波数	f _{SCL}	270	310	350	kHz	
START ホールド時間	t _{HD;STA}	0.7	-	0.9	μs	
SCL の"L"幅	t _{LOW}	1.4	-	1.8	μs	
SCL の"H"幅	t _{HIGH}	1.4	-	1.8	μs	
データホールド時間	t _{HD;DAT}	0.7	-	0.9	μs	
データセットアップ時間	t _{SU;DAT}	0.7	-	0.9	μs	
STOP セットアップ時間	t _{SU;STO}	0.7	-	0.9	μs	

プロトコル

- *ライトコマンドはサポートしていません
- *リードコマンドは以下ようになります

Start

S	SLAVE ADDRESS	W	A	WORD ADDRESS(n)	A	S	SLAVE ADDRESS	R	A	READ DATA(n)	N	P
---	---------------	---	---	-----------------	---	---	---------------	---	---	--------------	---	---

Stop

抵抗膜方式タッチパネルの特長

抵抗膜方式タッチパネルは2枚の抵抗膜で構成され、LCDディスプレイ上に配置されます。またスタイラスや指による押圧によってタッチを検出するので、グローブをした指の検出も可能です。

抵抗膜方式タッチパネルの精度

一般的に抵抗膜方式タッチパネルの精度は dpi(dots per inch)で評価され、タッチパネルの物理的な大きさと IC 内部の ADC の精度によって決まります。例として 3.5 インチ(X) x 5 インチ(Y)のパネルに対しての BU21023 の Y 方向の精度は $1024 / 5 = 204$ dpi です。ただし、抵抗膜方式タッチパネルでは ADC の精度ではなくタッチパネルへの押圧や指の太さによって精度が制限されることがあります。

機能

BU21023 は標準的な 4 線式抵抗膜方式タッチパネルと HOST に接続されます。BU21023 はアナログ回路とデジタル回路を内蔵し、2 点タッチ座標とピンチ、スプレッドなどのジェスチャ検出情報を HOST に送信します。

BU21023 は CPU を内蔵し、HOST インタフェースからの制御が可能です。HOST インタフェースは IFSEL 端子の設定によって 2 線シリアルバスか 4 線 SPI の選択が可能です。BU21023 は INT 端子を持ち、その極性をレジスタによって設定出来ます。また、割り込みが発生した段階で HOST は割り込み状態レジスタを読む事により割り込みの内容を知ることが出来ます。

内部 CPU のプログラムメモリは HOST インタフェースか EEPROM によりダウンロードでき、どちらからダウンロードするかはレジスタ設定によって選択可能です。

BU21023 のセンシングにはノーマルセンシングとインターバルセンシングがあり、レジスタ設定によって選択が可能です。ノーマルセンシングでは内蔵 CPU はタッチされている間は連続的に Z、X、Y の座標を検出します。また、インターバルセンシングでは規定時間毎にセンシングを行います。

BU21023 は各パネルによってタッチ検出の閾値や、1 点か 2 点かを検出する閾値設定の最適化が可能です。

BU21023 の制御レジスタなどの設定フローチャートの詳細に関してはアプリケーションノートを参照してください。また、アプリケーションノートには 2 点タッチ検出をする為に必要なパラメータ設定方法についても記載されています。

推奨回路例

【BU21023GUL/BU21023MUV】

BU21023GUL と BU21023MUV は 2 つの HOST インタフェース(4 線 SPI, 2 線シリアルバス)を有します。
各インタフェース使用時の応用回路例を下図に示します。

(BU21023GUL は CSP パッケージですが BU21023MUV との差異比較のため、同様の図で示してあります)

*内蔵 CPU ファームウェアのダウンロードを HOST より行う場合、ECL/EDA 端子は GND へ接続してください。

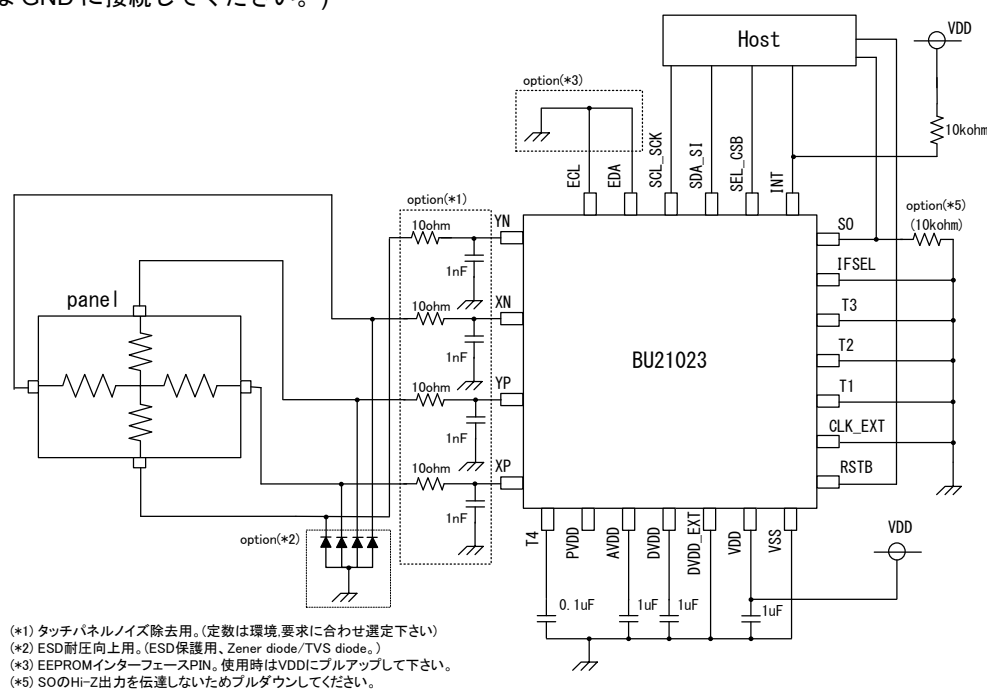
EEPROM 使用時は VDD にプルアップしてください。(回路例 : 10k Ω)

*ESD 耐性向上のため、各センサ端子に TVS ダイオードまたはツェナーダイオードを接続してください。

*INT 端子は VDD または HOST 側 IO 電圧(最大 4.5V)にプルアップしてください。

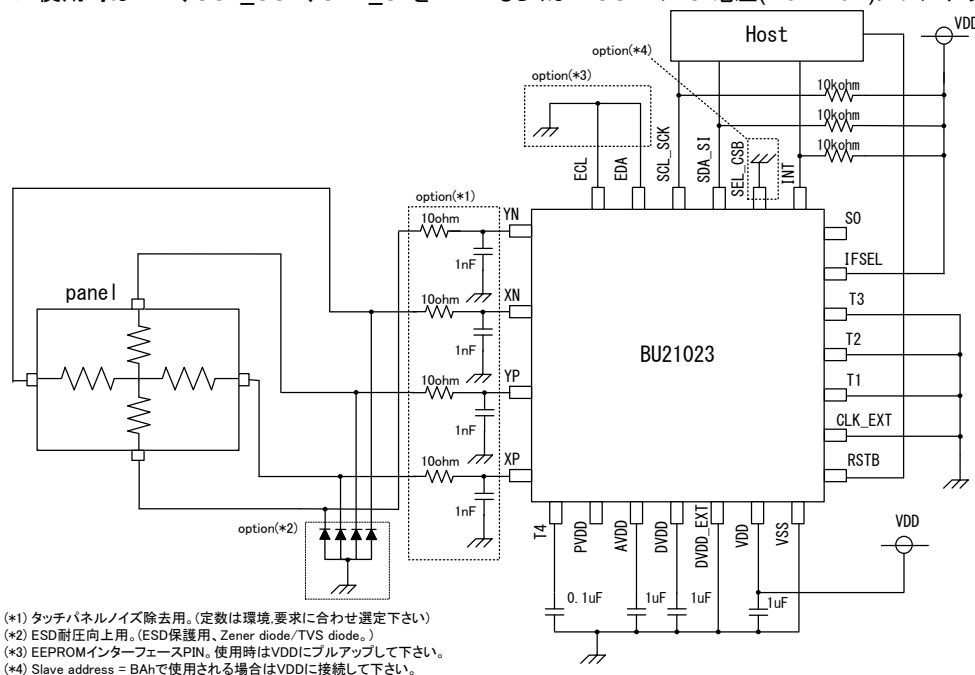
*4 線 SPI 使用時、SO 端子は GND にプルダウンしてください。

(未使用時は GND に接続してください。)



Example 1 : BU21023MUV/BU21023GUL 応用回路例 1(4 線 SPI)

2 線シリアルバス使用時は INT、SCL_SCK、SDA_SI を VDD もしくは HOST の IO 電圧(max.4.5V)にプルアップしてください。



Example 2 : BU21023MUV/BU21023GUL 応用回路例 2(2 線シリアルバス)

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなどの対策をして、最高接合部温度を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることができる範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

使用上の注意 — 続き

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

LSI の構造上、寄生素子は電位関係によって必然的に形成されます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因となり得ます。したがって、入力端子にグラウンドより低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分注意してください。また、LSI に電源電圧を印加していない時、入力端子に電圧を印加しないでください。さらに、電源電圧を印加している場合にも、各入力端子は電源電圧以下の電圧もしくは電氣的特性の保証値内としてください。

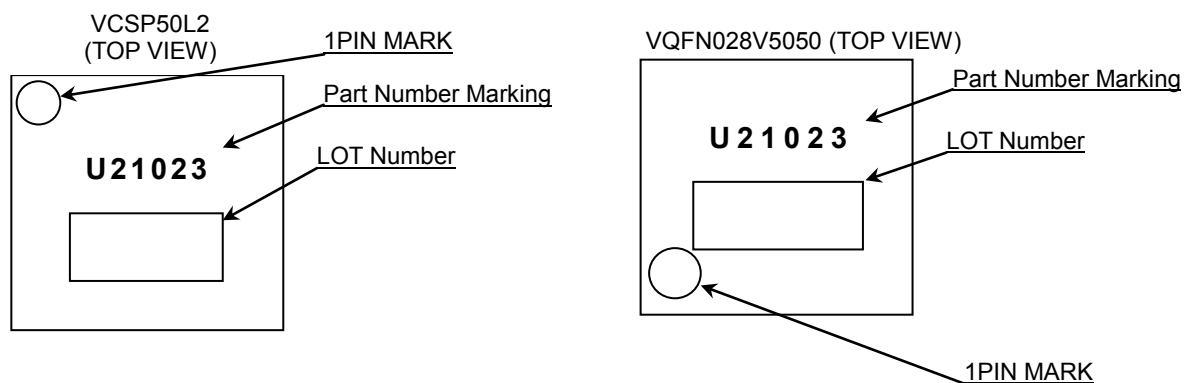
13. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ定数を決定してください。

発注形名情報

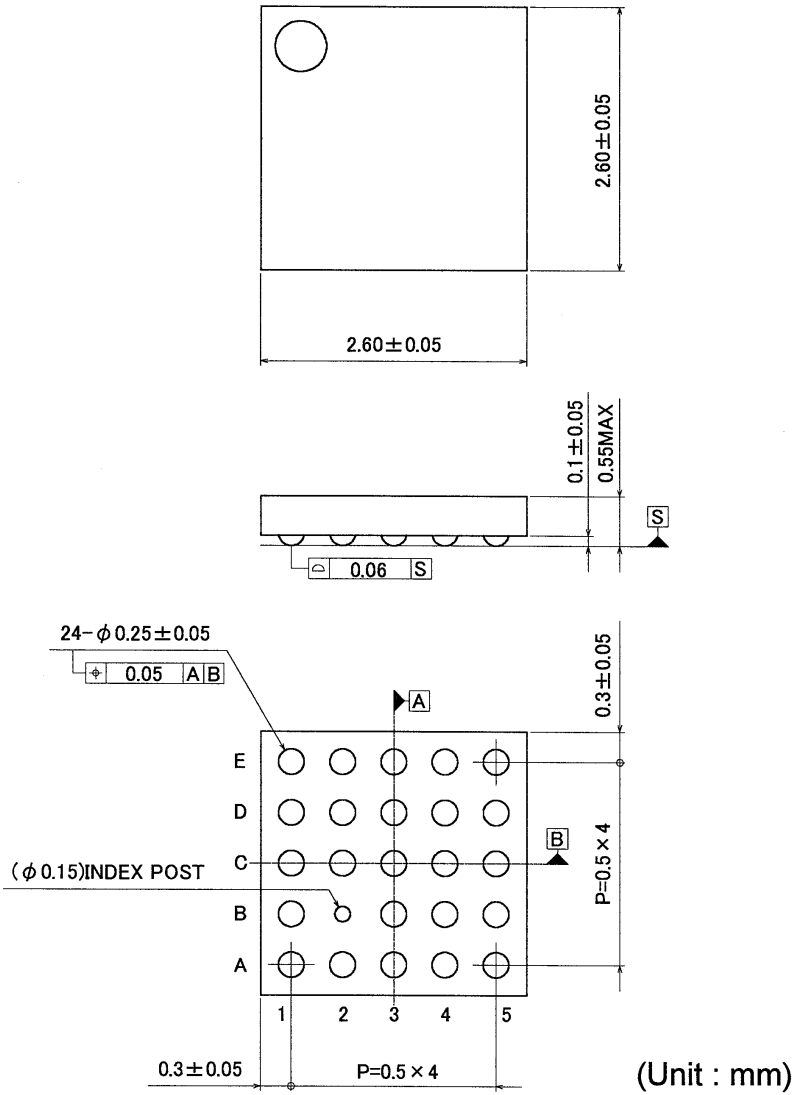
B U 2 1 0 2 3 x x x	-	E 2
品番	パッケージ GUL : VCSP50L2 MUV: VQFN028V5050	包装、フォーミング仕様 E2: リール状エンボステープニング

標印図



外形寸法図と包装・フォーミング仕様

Package Name	VCSP50L2 (BU21023GUL)
--------------	-----------------------



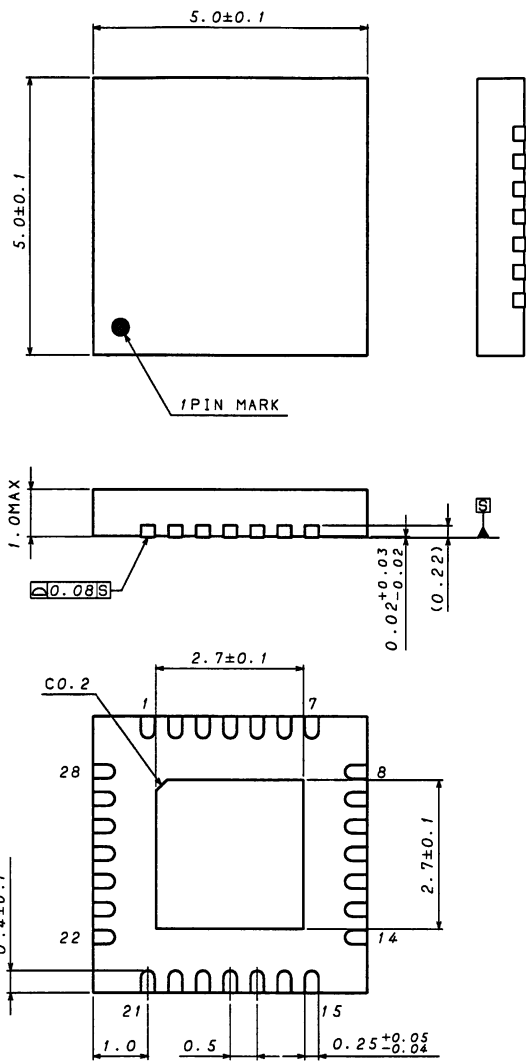
<包装仕様>	
包装形態	エンボステーパーピング
包装数量	3000pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに) 製品の1番ピンが左上にくる方向)

The diagram shows a cross-section of the reel and tape. The reel is on the left, and the tape is being pulled out to the right. The tape has a series of pockets, each containing a package. The first pin is labeled "1番ピン". The direction of pull is indicated by an arrow labeled "引き出し側".

※ご発注の際は、包装数量の倍数でお願い致します。

外形寸法図と包装・フォーミング仕様—続き

Package Name	VQFN028V5050 (BU21023MUV)
--------------	---------------------------

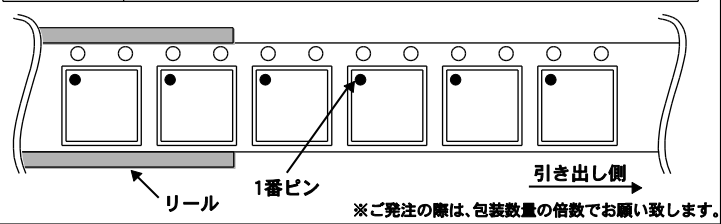


(UNIT: mm)

PKG: VQFN028V5050
Drawing No. EX473-5002-2

＜包装仕様＞

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 (リールを左手に持ち、右手でテープを引き出したときに 製品の1番ピンが左上にくる方向)



改訂履歴

日付	Revision	変更内容
2013.10.15	001	新規作成
2014.02.17	002	BU21024FV-M に関する記載を削除
2014.03.17	003	P10 「別ドキュメント」を「アプリケーションノート」に記載変更
2016.06.07	004	<p>P1 誤記訂正 (変更前) 用途 ■ 4 線式抵抗膜方式タッチパネル (変更後) 用途 ■ 4 線式抵抗膜方式タッチパネル</p> <p>P1 Figure 1. BU21023MUV/BU21023GUL 応用回路例 (2 線シリアルバス) VDD - VSS 間にパスコンとして 1.0uF コンデンサ追加 TVS diode 表記(記号)変更 注釈追加</p> <p>P3 サーマル PAD の接続について追記</p> <p>P6 誤記訂正 1 層基板サイズ (変更前) ローム指定 70 x 70 x 1.6 mm³ (変更後) ローム指定 74.2 x 74.2 x 1.6t mm</p> <p>P8 誤記訂正 端子名脱字 (変更前) SE_CSB 端子 (変更後) SEL_CSB 端子</p> <p>P8 条件明記 HOST-I/F 仕様 (4 線 SPI) VDD = 3.0V Ta=25° C</p> <p>P9 条件明記 EEPROM-I/F 仕様 VDD = 3.0V Ta=25° C</p> <p>P10 誤記訂正 タッチパネルの精度 (変更前) BU21023/24 (変更後) BU21023</p> <p>P11 推奨回路例 Example 1 : BU21023MUV/BU21023GUL 応用回路例 1(4 線 SPI) VDD - VSS 間にパスコンとして 1.0uF コンデンサ追加 TVS diode 表記(記号)変更 注釈追加 Example 2 : BU21023MUV/BU21023GUL 応用回路例 2(2 線シリアルバス) VDD - VSS 間にパスコンとして 1.0uF コンデンサ追加 TVS diode 表記(記号)変更 注釈追加</p> <p>P12-13 「使用上の注意」を追記 (以降ページ番号変更)</p>

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します）、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。