

加速度センサシリーズ

Kionix™ Technology

加速度センサ IC



KX022ACR-Z

概要

KX022ACR-Z は、Kionix™ Technology^(Note 1)を用いた MEMS 静電容量式の 3 軸加速度センサです。加速度レンジは $\pm 2\text{ g}$, $\pm 4\text{ g}$, $\pm 8\text{ g}$, $\pm 16\text{ g}$ に対応しています。差動容量変化検出の原理に基づいてセンシングしているため、プロセス変動、温度及び環境ストレスによる誤差が最小化されています。

(Note 1) Kionix™ Technology とは、独自のプラズマ微細加工と、シリコンのリッドウェハをデバイスウェハにウェハレベルで貼りつけて封止する技術です。

重要特性

- 加速度レンジ : $\pm 2\text{ g}$, $\pm 4\text{ g}$, $\pm 8\text{ g}$, $\pm 16\text{ g}$
- Wake-up と Back-to-sleep の
閾値分解能 : 3.9 mg/counts
- 出力データレート : $0.781\text{ Hz} \sim 1600\text{ Hz}$
- 内蔵 Buffer : 43 または 86 セットのサンプル保存
- 動作温度範囲 : $-40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$

パッケージ

VLGA012AV02A

W (Typ) x D (Typ) x H (Max)

2.0 mm x 2.0 mm x 1.0 mm

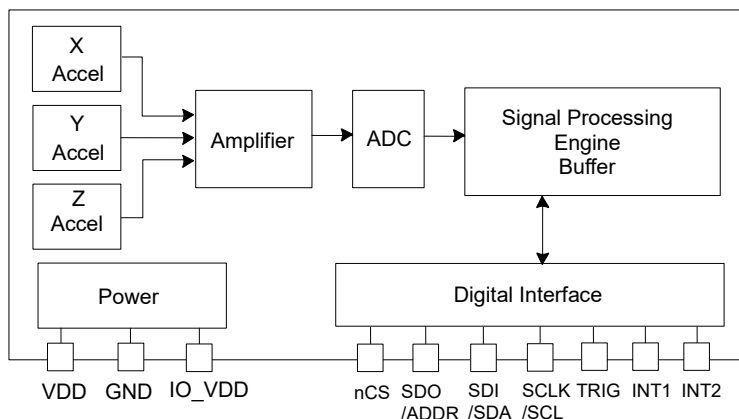
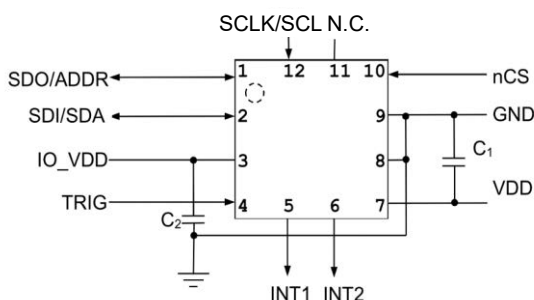
特長

- Kionix™ Technology 搭載^(Note 1)
- 加速度レンジと出力データレートが選択可能
- 低消費モードと高分解能モードを選択可能
- デジタルハイパスフィルタ出力対応
- Buffer 内蔵
- 低消費電力モードのノイズと電力を調整可能
- Free Fall, Directional Single-tap/Double-tap, Tilt Position 機能を内蔵
- Wake-up / Back-to-sleep 機能を内蔵
- 最大 400 kHz のデジタル I²C 対応
- 最大 10 MHz のデジタル SPI 対応
- 鉛フリーの半田に対応
- 優れた温度性能
- 高い衝撃耐性
- 工場出荷時にオフセットと感度を調整済
- Self-test 機能搭載

用途

- モバイル端末、ウェアラブル機器、ヒアラブル機器
- ヘルスケア、フィットネス
- PC、タブレット、ゲーム機、スマートオーディオ
- 家電機器、オフィス機器

基本アプリケーション回路及びブロック図



Kionix™ はローム株式会社の商標または登録商標です。

○製品構造：シリコンを主材料とした半導体集積回路 ○耐放射線設計はしてありません

www.rohm.co.jp

© 2023 ROHM Co., Ltd. All rights reserved.

TSZ22111・14・001

目次

概要 1

特長 1

用途 1

重要特性 1

パッケージ 1

基本アプリケーション回路及びブロック図 1

目次 2

端子配置図 3

端子説明 3

絶対最大定格 4

熱抵抗 4

推奨動作条件 4

電気的特性 5

I²C Bus タイミング特性 6

I²C Bus 通信フォーマット 6

4-Wire SPI Bus タイミング特性 7

3-Wire SPI Bus タイミング特性 8

レジスタマップ 9

モーション割込み 40

エラー通知機能 41

Buffer 機能 42

Buffer 操作 43

特性データ 48

電源投入手順 49

加速度検出例 50

応用回路例 52

入出力等価回路図 52

使用上の注意 53

発注形名情報 55

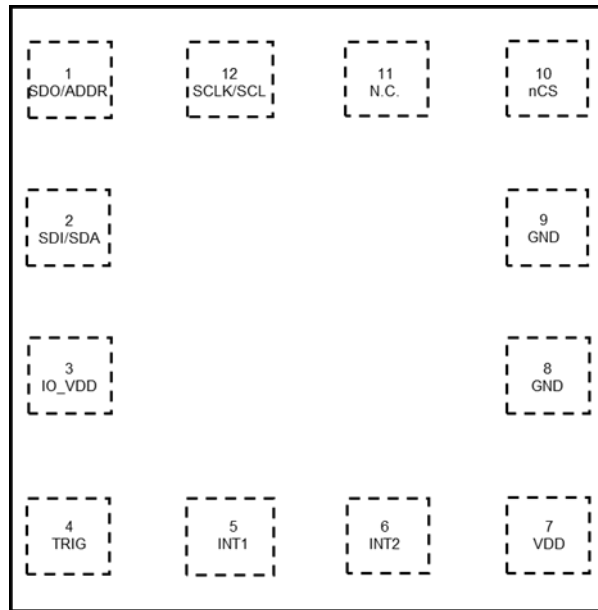
標印図 55

外形寸法図と包装・フォーミング仕様 56

改訂履歴 57

端子配置図

Top View



端子説明

端子番号	端子名	機 能
1	SDO/ADDR	4 線式 SPI 通信中はシリアル・データ出力端子です。 I ² C 通信時はターゲットアドレスの最下位ビット(LSB)を設定する入力端子です。 I ² C 通信を使用する場合はフローティングにはしないでください。 4 線式または 3 線式 SPI 通信を使用する場合はプルアップまたはプルダウンしてください。
2	SDI/SDA	SPI 通信中はシリアル・データ入力端子です。 I ² C 通信中はシリアル・データ入出力端子 ^(Note 1) です。 フローティングにはしないでください。
3	IO_VDD	デジタル電源入力端子 ^(Note 2) です。
4	TRIG	Buffer コントロール用トリガ入力端子です。 外部トリガオプションを使用しない場合は GND に接続してください。
5	INT1	割り込み出力端子です。 パワーオン・シーケンス中はハイインピーダンス状態です。 パワーオン・シーケンス終了後に駆動されます。 使用しない場合はオープン状態にしてください。
6	INT2	割り込み出力端子です。 パワーオン・シーケンス中はハイインピーダンス状態です。 パワーオン・シーケンス終了後に駆動されます。 使用しない場合はオープン状態にしてください。
7	VDD	コア電源入力端子 ^(Note 2) です。
8	GND	グラウンド端子です。
9	GND	グラウンド端子です。
10	nCS	SPI 通信中はチップセレクト入力端子(アクティブ LOW)です。 I ² C 通信中は使用しません、IO_VDD に接続してください。 フローティングにはしないでください。
11	N.C.	非接続端子です。VDD、IO_VDD または GND に接続できます。
12	SCLK/SCL	SPI 及び I ² C 通信中はシリアル・クロック入力端子 ^(Note 1) です。 フローティングにはしないでください。

(Note 1) SDA, SCL, または INT 端子に接続されている他のデバイスがあり、その信号レベルが急峻に変化した場合、アンダーシュートが発生し端子電圧がグラウンドを下回る可能性があります。
このような場合はデバイスの端子の近くにコンデンサを配置するなどの対策をしてください。

(Note 2) バイパスコンデンサ (0.1 µF) を IC のできるだけ近くに配置してください。

絶対最大定格 (Ta = 25 °C)

項 目	記号	定 格	単位
電源電圧 (VDD, IO_VDD)	V _{MAX}	4.5	V
入出力電圧 (Note 1)	V _{INOUT}	-0.3 ~ +4.5	V
保存温度範囲	T _{stg}	-40 ~ +125	°C
最高接合部温度	T _{jmax}	150	°C
機械的ショック (通電及び非通電状態)	S _{OV}	5000 g for 0.5 ms 10000 g for 0.2 ms	g

(Note 1) SDO/ADDR 端子、SDI/SDA 端子、TRIG 端子、INT1 端子、INT2 端子、nCS 端子、SCLK/SCL 端子

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようご検討をお願いします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

熱抵抗 (Note 2)

項 目	記号	熱抵抗(Typ)		単位
		1 層基板 (Note 4)	4 層基板 (Note 5)	
VLGA012AV02A				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	195.7	131.0	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 3)	Ψ_{JT}	8	6	°C/W

(Note 2) JESD51-2A(Still-Air)に準拠。

(Note 3) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 4) JESD51-3 に準拠した基板を使用。

(Note 5) JESD51-7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1 層	FR-4	114.3 mm x 76.2 mm x 1.57 mmt

1 層目（表面）銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m

測定基板	基板材	基板寸法
4 層	FR-4	114.3 mm x 76.2 mm x 1.6 mmt

1 層目（表面）銅箔		2 層目、3 層目（内層）銅箔		4 層目（裏面）銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m	74.2 mm□（正方形）	35 μ m	74.2 mm□（正方形）	70 μ m

推奨動作条件

項 目	記号	最小	標準	最大	単位
電源電圧(VDD)	V _{VDD}	1.7	2.5	3.6	V
I/O 電圧(IO_VDD)	V _{IO_VDD}	1.7	2.5	V _{VDD}	V
入力電圧	V _{IN}	0.0	-	3.6	V
I ² C クロック入力周波数	f _{SCL_I2C}	-	-	0.4	MHz
SPI クロック入力周波数	f _{SCL_SPI}	-	-	10	MHz
I ² C ターゲットアドレス (Note 6)	-	1Eh or 1Fh			-
WHO_AM_I レジスタ値	-	C8h			-
出力データレート (Note 7)	-	0.781	50	1600	Hz
出力信号帯域 (Note 8)	-	ODR/9 or ODR/2			-
動作温度	Topr	-40	+25	+85	°C

(Note 6) ターゲットアドレスは ADDR 端子の接続先で決まります。GND に接続した場合は 1Eh です。

IO_VDD に接続した場合は 1Fh です。

(Note 7) 記載している値は標準値です。I²C 通信または SPI 通信でユーザ設定が可能です。

詳細は ODCNTL レジスタを参照してください。

(Note 8) 加速度センサの出力を参照してください。

電気的特性

(特に指定のない限り $V_{DD} = 2.5\text{ V}$, $V_{IO_VDD} = 2.5\text{ V}$, $T_a = 25\text{ }^{\circ}\text{C}$, 加速度レンジ = $\pm 2\text{ g}$)

項 目	記号	最小	標準	最大	単位	条 件
消費電流						
高分解能モード	I_{dd_HR}	-	220	-	μA	ODR = 400 Hz
低消費モード	I_{dd_LP}	-	10	-	μA	ODR = 50 Hz ^(Note 1)
スタンバイモード	I_{ss}	-	0.9	-	μA	
ロジック入出力電圧						
LOW 入力電圧	V_{IL}	-	-	$0.2 \times V_{IO_VDD}$	V	
HIGH 入力電圧	V_{IH}	$0.8 \times V_{IO_VDD}$	-	-	V	
LOW 出力電圧 1 ^(Note 2)	V_{OL1}	-	-	$0.2 \times V_{IO_VDD}$	V	$IO_VDD < 2\text{ V}$
LOW 出力電圧 2 ^(Note 2)	V_{OL2}	-	-	0.4	V	$IO_VDD \geq 2\text{ V}$
HIGH 出力電圧	V_{OH}	$0.8 \times V_{IO_VDD}$	-	-	V	
起動特性						
スタートアップタイム ^(Note 3)	T_{SU}	-	$0.9 + 1000 / \text{ODR}$	-	ms	
パワーアップタイム ^(Note 4)	T_{PU}	-	20	50	ms	
加速度特性						
0 g オフセット	-	-	± 25	± 90	mg	
0 g オフセットの温度傾斜	-	-	± 0.2	-	mg/ $^{\circ}\text{C}$	
感度 1 ^(Note 5)	-	15401	16384	17367	counts/g	GSEL [1:0] = 0 ($\pm 2\text{ g}$)
感度 2 ^(Note 5)	-	7700	8192	8684	counts/g	GSEL [1:0] = 1 ($\pm 4\text{ g}$)
感度 3 ^(Note 5)	-	3850	4096	4342	counts/g	GSEL [1:0] = 2 ($\pm 8\text{ g}$)
感度 4 ^(Note 5)	-	1925	2048	2171	counts/g	GSEL [1:0] = 3 ($\pm 16\text{ g}$)
感度の温度傾斜	-	-	± 0.01	-	%/ $^{\circ}\text{C}$	X,Y-axis
	-	-	± 0.03	-	%/ $^{\circ}\text{C}$	Z-axis
Positive Self-test での出力変化量	-	-	0.5	-	g	
機械的信号帯域 (-3 dB) ^(Note 6)	-	-	3.5	-	kHz	X,Y-axis
	-	-	1.8	-	kHz	Z-axis
非線形性	-	-	± 0.6	-	% of FS	
他軸感度	-	-	2	-	%	
RMS ノイズ ^(Note 7)	-	-	0.7	-	mg	高分解能モード

(Note 1) 電流は、出力データレート(ODR)、有効化された割り込み機能、平均フィルタ制御設定及び VDD によって異なります。

記載は OWUF [2:0] = 0, OSA [3:0] = 6, AVC [2:0] = 2 設定での測定値です。

(Note 2) I²C 通信時は SCL 端子と SDA 端子に 1.5 k Ω 以上のプルアップ抵抗を IO_VDD 間に挿入してください。

(Note 3) スタートアップタイムは、PC1 = 1 に設定されてから加速度出力が有効になるまでの時間です。ODR と Operation モード設定によって値が変わります。

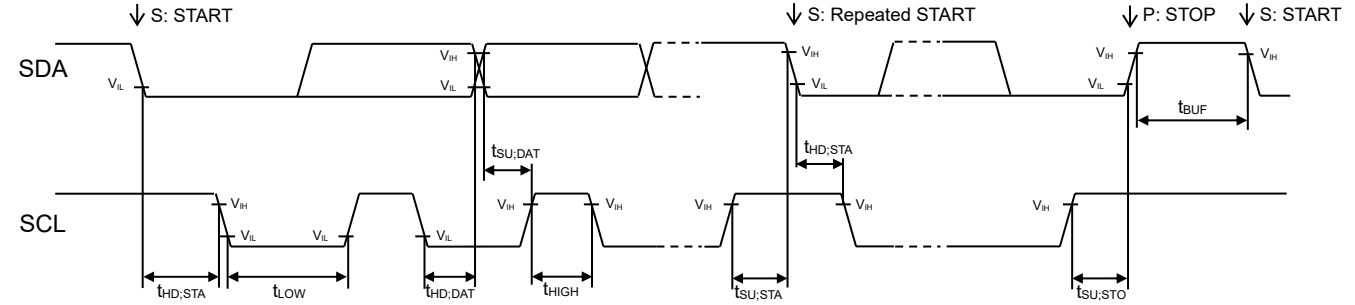
(Note 4) パワーアップタイムは、VDD 電圧が有効な値に達してからから、デバイスが起動完了するまでの時間です。

(Note 5) 分解能と加速度レンジは、I²C または SPI によって設定可能です。 $\pm 1\text{ g}$ 環境での許容誤差です。

(Note 6) 信号帯域は出力データレート(ODR)とローパスフィルタの設定によって変わります。

(Note 7) ノイズは ODR、Operation モード、ローパスフィルタ設定によって変わります。記載は ODR = 50 Hz, RES = 1, IIR_BYPASS = 0, LPRO = 1 の設定での測定値です。

I²C Bus タイミング特性



(特に指定のない限り V_{VDD} = 2.5 V, V_{IO_VDD} = 2.5 V, Ta = 25 °C)

項 目	記号	最小	標準	最大	単位	条 件
SCL クロック周波数	f _{SCL}	0	-	400	kHz	
SCL ‘LOW’ 期間	t _{LOW}	1.3	-	-	μs	
SCL ‘HIGH’ 期間	t _{HIGH}	0.6	-	-	μs	
Repeated START セットアップ時間	t _{SU,STA}	0.6	-	-	μs	
START ホールド時間	t _{HD,STA}	0.6	-	-	μs	
データセットアップタイム	t _{SU,DAT}	100	-	-	ns	
データホールドタイム	t _{HD,DAT}	0	-	-	μs	
STOP セットアップ時間	t _{SU,STO}	0.6	-	-	μs	
STOP-START 間バスフリー時間	t _{BUF}	1.3	-	-	μs	

I²C Bus 通信フォーマット

1. 書き込みフォーマット

(1) レジスタアドレスの指定のみを行う場合

S	Target Address	W 0	ACK	Register Address	ACK	P
---	----------------	--------	-----	------------------	-----	---

(2) レジスタアドレスを指定後、書き込みを行う場合

S	Target Address	W 0	ACK	Register Address	ACK
---	----------------	--------	-----	------------------	-----

Data specified at register address field	ACK	...	ACK	Data specified at register address field + N	ACK	P
--	-----	-----	-----	--	-----	---

2. 読み出しフォーマット

(1) レジスタアドレスを指定後、レジスタの読み出しを行う場合

S	Target Address	W 0	ACK	Register Address	ACK
---	----------------	--------	-----	------------------	-----

S	Target Address	R 1	ACK	Data specified at register address field	ACK
---	----------------	--------	-----	--	-----

Data specified at register address field + 1	ACK	...	ACK	Data specified at register address field + N	NACK	P
--	-----	-----	-----	--	------	---

(2) 既に指定されたアドレスからデータを読み出す場合

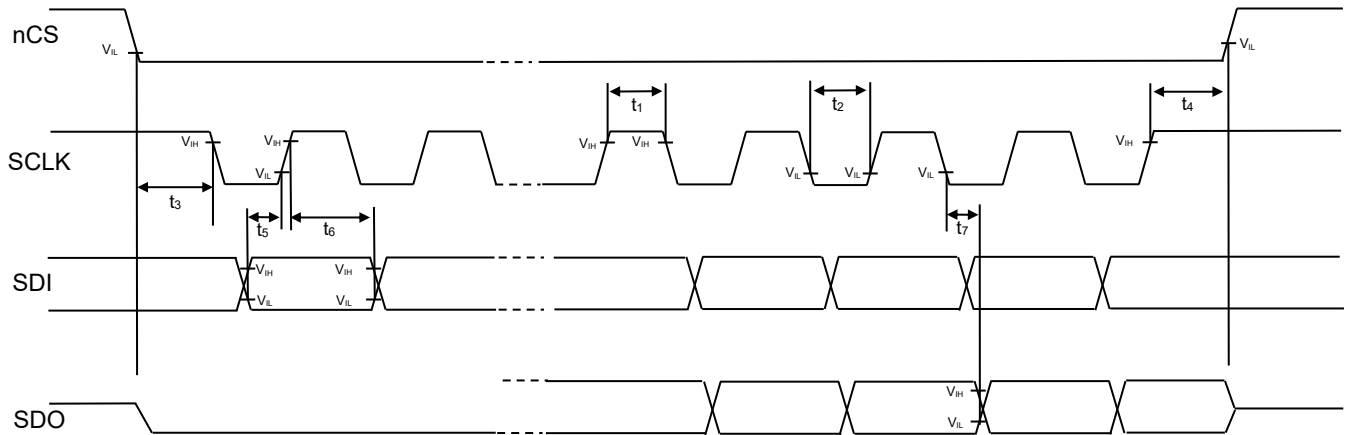
S	Target Address	R 1	ACK	Data specified at register address field	ACK
---	----------------	--------	-----	--	-----

Data specified at register address field + 1	ACK	...	ACK	Data specified at register address field + N	NACK	P
--	-----	-----	-----	--	------	---



4-Wire SPI Bus タイミング特性

SDO 端子と IO_VDD 端子間にプルアップ抵抗を挿入する場合は、1 kΩ が推奨値です。下表は、SDO 端子の負荷容量が 20 pF 以下での測定値です。nCS が HIGH の間(無送信時)、SCLK は HIGH を維持してください。SDI の最上位ビット(MSB)を書き込み時は LOW、読み出し時は HIGH にしてください。すべてのコマンドで最初に MSB に送信してください。ホストは、次のデータ要求の前に、1 クロック($1/f_{SCLK}$)期間以上 nCS を HIGH にしてください。

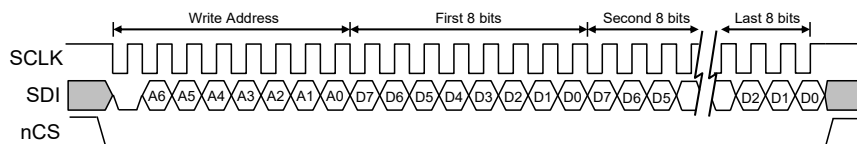


(特に指定のない限り $V_{DD} = 2.5\text{ V}$, $V_{IO_VDD} = 2.5\text{ V}$, $T_a = 25\text{ }^{\circ}\text{C}$)

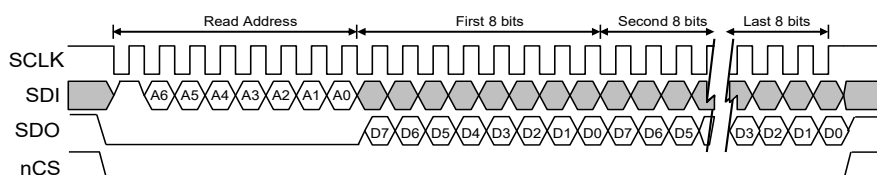
項 目	記号	最小	標準	最大	単位	条 件
SCLK クロック周波数	f_{SCLK}	-	-	10	MHz	
SCLK 'HIGH' 期間	t_1	45	-	-	ns	
SCLK 'LOW' 期間	t_2	45	-	-	ns	
nCS LOW から最初の SCLK 立ち下がりエッジまでの時間	t_3	20	-	-	ns	
最後の SCLK 立ち上がりエッジから nCS HIGH になるまでの時間	t_4	20	-	-	ns	
SDI 入力が有効になってから SCLK の立ち上がりエッジまでの時間	t_5	10	-	-	ns	
SCLK の立ち上がりエッジから SDI 入力が無効になるまでの時間	t_6	10	-	-	ns	
SCLK の立ち下がりエッジから SDO 出力が有効になるまでの時間 (Note 1)	t_7	-	35	-	ns	

(Note 1) 読み出し中のみ

1. 書き込みフォーマット



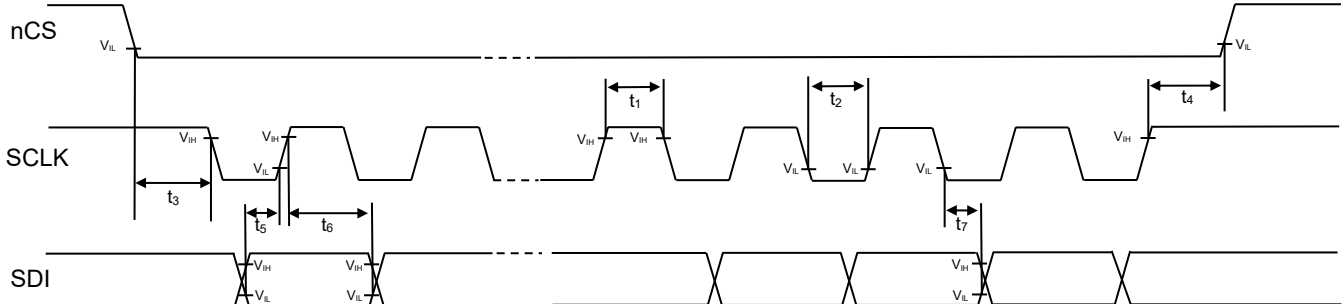
2. 読み出しフォーマット



3-Wire SPI Bus タイミング特性

SDI 端子と IO_VDD 端子間にプルアップ抵抗を挿入する場合は、1 k Ω が推奨値です。下表は、SDI 端子の負荷容量が 20 pF 以下での測定値です。nCS が HIGH の間(無送信時)、SCLK は HIGH を維持してください。SDI の最上位ビット(MSB)を書き込み時は LOW、読み出し時は HIGH にしてください。すべてのコマンドで最初に MSB に送信してください。ホストは、次のデータ要求の前に、1 クロック($1/f_{SCLK}$)期間以上 nCS を HIGH にしてください。

SDO/ADDR 端子はハイインピーダンス状態になっているため、GND または IO_VDD に接続してください。

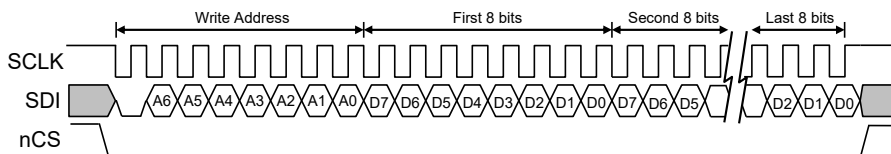


(特に指定のない限り V_{VDD} = 2.5 V, V_{IO_VDD} = 2.5 V, Ta = 25 °C)

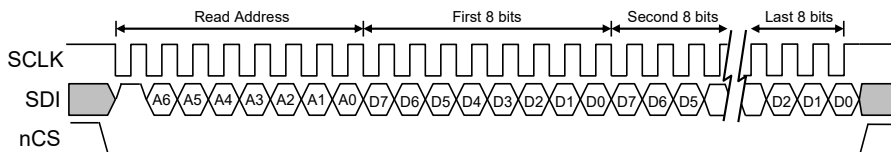
項 目	記号	最小	標準	最大	単位	条 件
SCLK クロック周波数	f _{SCLK}	-	-	10	MHz	
SCLK 'HIGH' 期間	t ₁	45	-	-	ns	
SCLK 'LOW' 期間	t ₂	45	-	-	ns	
nCS LOW から最初の SCLK 立ち下がりエッジまでの時間	t ₃	20	-	-	ns	
最後の SCLK 立ち上がりエッジから nCS HIGH までの時間	t ₄	20	-	-	ns	
SDI 入力が無効になってから SCLK の立ち上がりエッジまでの時間	t ₅	10	-	-	ns	
SCLK の立ち上がりエッジから SDI 出力が無効になるまでの時間	t ₆	10	-	-	ns	
SCLK の立ち下がりエッジから SDI 出力が無効になるまでの時間 (Note 1)	t ₇	-	35	-	ns	

(Note 1) 読み出し中のみ

1. 書き込みフォーマット



2. 読み出しフォーマット



レジスタマップ^(Note 1)

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
00h	XHPL	R	XHP [7:0]							
01h	XHPH	R	XHP [15:8]							
02h	YHPL	R	YHP [7:0]							
03h	YHPH	R	YHP [15:8]							
04h	ZHPL	R	ZHP [7:0]							
05h	ZHPH	R	ZHP [15:8]							
06h	XOUTL	R	XOUT [7:0]							
07h	XOUTH	R	XOUT [15:8]							
08h	YOUTL	R	YOUT [7:0]							
09h	YOUTH	R	YOUT [15:8]							
0Ah	ZOUTL	R	ZOUT [7:0]							
0Bh	ZOUTH	R	ZOUT [15:8]							
0Ch	COTR	R	COTR [7:0]							
0Fh	WHO_AM_I	R/W	WAI [7:0]							
10h	TSCP	R	0	0	LE	RI	DO	UP	FD	FU
11h	TSPP	R	0	0	LE	RI	DO	UP	FD	FU
12h	INS1	R	0	0	TLE	TRI	TDO	TUP	TFD	TFU
13h	INS2	R	BTS	BFI	WMI	DRDY	TDTS [1:0]		WUFS	TPS
14h	INS3	R	0	0	XNWU	XPWU	YNWU	YPWU	ZNWU	ZPWU
15h	STATUS_REG	R	PC1_STAT	RES_STAT	CRC_F	INT	POR_STAT	STAT_REG	Reserved	WAKE
17h	INT_REL	R	INT_REL							
18h	CNTL1	R/W	PC1	RES	DRDYE	GSEL [1:0]		TDTE	WUFE	TPE
19h	CNTL2	R/W	SRST	COTC	LEM	RIM	DOM	UPM	FDM	FUM
1Ah	CNTL3	R/W	OTP [1:0]		OTDT [2:0]			OWUF [2:0]		

(Note 1) 上記アドレス以外のアドレスへの書き込みはしないでください。

表記が '0' のレジスタには '0' 以外を書き込まないでください。表記が '1' のレジスタには '1' 以外を書き込まないでください。

レジスタマップ(Notes 1) – 続き

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
1Bh	ODCNTL	R/W	IIR_BYPASS	LPRO	Reserved		OSA [3:0]			
1Ch	INC1	R/W	PW1 [1:0]		IEN1	IEA1	IEL1	0	STPOL	SPI3E
1Dh	INC2	R/W	0	AOI	XNWUE	XPWUE	YNWUE	YPWUE	ZNWUE	ZPWUE
1Eh	INC3	R/W	0	0	TLEM	TRIM	TDOM	TUPM	TFDM	TFUM
1Fh	INC4	R/W	FFI1	BFI1	WMI1	DRDYI1	BTSI1	TDTI1	WUFI1	TPI1
20h	INC5	R/W	PW2 [1:0]		IEN2	IEA2	IEL2	ACLR2	ACLR1	0
21h	INC6	R/W	FFI2	BFI2	WMI2	DRDYI2	BTSI2	TDTI2	WUFI2	TPI2
22h	TILT_TIMER	R/W	TSC [7:0]							
23h	WUFC	R/W	WUFC [7:0]							
24h	TDTRC	R/W	0	0	0	0	0	0	DTRE	STRE
25h	TDC	R/W	TDC [7:0]							
26h	TTH	R/W	TTH [7:0]							
27h	TTL	R/W	TTL [7:0]							
28h	FTD	R/W	FTDH [4:0]					FTDL [2:0]		
29h	STD	R/W	STD [7:0]							
2Ah	TLT	R/W	TLT [7:0]							
2Bh	TWS	R/W	TWS [7:0]							
2Ch	MAN_WAKE	W	0	0	0	0	0	0	MAN_WAKE	MAN_SLEEP
2Dh	BTS_CNTL	R/W	BTSE	0	0	0	0	OBTS [2:0]		
2Eh	BTSC	R/W	BTSC [7:0]							
2Fh	BTS_TH	R/W	BTSTH [7:0]							
30h	WUF_TH	R/W	WUFTH [7:0]							
31h	BTS_WUF_TH	R/W	0	BTSTH [10:8]			0	WUFTH [10:8]		
32h	TILT_ANGLE_LL	R/W	LL [7:0]							
33h	TILT_ANGLE_HL	R/W	HL [7:0]							
34h	HYST_SET	R/W	Reserved		XEG [5:0]					
35h	LP_CNTL	R/W	1	AVC [2:0]			1	0	1	1

(Note 1) 上記アドレス以外のアドレスへの書き込みはしないでください。

表記が '0' のレジスタには '0' 以外を書き込まないでください。表記が '1' のレジスタには '1' 以外を書き込まないでください。

レジスタマップ^(Note 1) – 続き

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
36h	FFTH	R/W	FFTH [7:0]							
37h	FFC	R/W	FFC [7:0]							
38h	FFCNTL	R/W	FFIE	ULMODE	0	0	DCRM	OFFI [2:0]		
3Ah	BUF_CNTL1	R/W	Reserved	SMP [6:0]						
3Bh	BUF_CNTL2	R/W	BUFE	BRES	BFIE	Reserved			BM [1:0]	
3Ch	BUF_STATUS_1	R	SMP_LV [7:0]							
3Dh	BUF_STATUS_2	R	BUF_TRI G	0	0	0	0	0	0	0
3Eh	BUF_CLEAR	W	BUF_CLEAR [7:0]							
3Fh	BUF_READ	R	BUF_READ [7:0]							
46h	BTS_WUF_CNTL	R/W	0	TH_MOD E	C_MODE _BTS	C_MODE _WUF	0	0	0	1
60h	SELFTEST	W	SELFTEST [7:0] (activation key = CAh)							

(Note 1) 上記アドレス以外のアドレスへの書き込みはしないでください。

表記が '0' のレジスタには '0' 以外を書き込まないでください。表記が '1' のレジスタには '1' 以外を書き込まないでください。

レジスタマップ – 続き

(00h-05h) XHPL, XHPH, YHPL, YHPH, ZHPL, ZHPH

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
00h	XHPL	R	XHP [7:0]							
01h	XHPH	R	XHP [15:8]							
02h	YHPL	R	YHP [7:0]							
03h	YHPH	R	YHP [15:8]							
04h	ZHPL	R	ZHP [7:0]							
05h	ZHPH	R	ZHP [15:8]							

Fields	Function
XHP [15:0] YHP [15:0] ZHP [15:0]	加速度のハイパスフィルタ出力です。このデータは、CNTL3 レジスタの OWUF ビット、または BTS_CNTL レジスタの OBTS ビットのいずれかによって設定されるデータレート周期で更新されます。

(06h-0Bh) XOUTL, XOUTH, YOUTL, YOUTH, ZOUTL, ZOUTH

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
06h	XOUTL	R	XOUT [7:0]							
07h	XOUTH	R	XOUT [15:8]							
08h	YOUTL	R	YOUT [7:0]							
09h	YOUTH	R	YOUT [15:8]							
0Ah	ZOUTL	R	ZOUT [7:0]							
0Bh	ZOUTH	R	ZOUT [15:8]							

Fields	Function
XOUT [15:0] YOUT [15:0] ZOUT [15:0]	加速度センサが有効化されている場合(CNTL1 レジスタの PC1 ビットが '1' に設定)、16 ビットの 3 軸加速度データがレジスタに格納されます。出力データは、2 の補数データ形式です。

レジスタマップ - 続き

Data Format:

16-bit Register Data (2 の補数)	10 進数換算値	加速度レンジ = ± 2 g	加速度レンジ = ± 4 g	加速度レンジ = ± 8 g	加速度レンジ = ± 16 g
0111 1111 1111 1111	+32767	+1.99994 g	+3.99988 g	+7.99976 g	+15.99952 g
0111 1111 1111 1110	+32766	+1.99988 g	+3.99976 g	+7.99952 g	+15.99904 g
...	...	...	...	...	...
0000 0000 0000 0001	+1	+0.00006 g	+0.00012 g	+0.00024 g	+0.00048 g
0000 0000 0000 0000	0	0.00000 g	0.00000 g	0.00000 g	0.00000 g
1111 1111 1111 1111	-1	-0.00006 g	-0.00012 g	-0.00024 g	-0.00048 g
...	...	...	...	...	...
1000 0000 0000 0001	-32767	-1.99994 g	-3.99988 g	-7.99976 g	-15.99952 g
1000 0000 0000 0000	-32768	-2.00000 g	-4.00000 g	-8.00000 g	-16.00000 g

8-bit Register Data (2 の補数)	10 進数換算値	加速度レンジ = ± 2 g	加速度レンジ = ± 4 g	加速度レンジ = ± 8 g	加速度レンジ = ± 16 g
0111 1111	+127	+1.98438 g	+3.96875 g	+7.93750 g	+15.87500 g
0111 1110	+126	+1.96875 g	+3.93750 g	+7.87500 g	+15.75000 g
...	...	...	...	...	...
0000 0001	+1	+0.01563 g	+0.03125 g	+0.06250 g	+0.12500 g
0000 0000	0	0.00000 g	0.00000 g	0.00000 g	0.00000 g
1111 1111	-1	-0.01563 g	-0.03125 g	-0.06250 g	-0.12500 g
...	...	...	...	...	...
1000 0001	-127	-1.98438 g	-3.96875 g	-7.93750 g	-15.87500 g
1000 0000	-128	-2.00000 g	-4.00000 g	-8.00000 g	-16.00000 g

(0Ch) COTR

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
0Ch	COTR	R	COTR [7:0]							

default value 55h

Fields	Function
COTR [7:0]	このビットはホストとの通信が適切に実施されているかの検証に使用できます。CNTL2 レジスタの COTC ビットが '1' に設定された場合、このレジスタの読み出し値は AAh になります。このレジスタから AAh を読み出した後、読み出し値は自動的にデフォルト値(55h)に戻ります。また、CNTL2 レジスタの COTC ビットも自動で '0' にクリアされます。

レジスタマップ – 続き

(0Fh) WHO_AM_I

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
0Fh	WHO_AM_I	R/W	WAI [7:0]							

default value C8h

Fields	Function
WAI [7:0]	このレジスタは、工場出荷時に既知の値(C8h)が書き込まれています。デバイスの認識などに使用できます。

(10h) TSCP

このレジスタは現在の Tilt Position を出力します。CNTL3 レジスタの OTP ビットによって設定された ODR 周期で更新されます。レジスタ読み出し中は更新されません。各 Tilt Position の出力はビットごとに割り当てられています。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
10h	TSCP	R	0	0	LE	RI	DO	UP	FD	FU

default value 20h

Fields	Function
LE	左向き(X 軸 マイナス)
RI	右向き(X 軸 プラス)
DO	下向き(Y 軸 マイナス)
UP	上向き(Y 軸 プラス)
FD	裏向き(Z 軸 マイナス)
FU	表向き(Z 軸 プラス)

(11h) TSPP

このレジスタは前回の Tilt Position を出力します。CNTL3 レジスタの OTP ビットによって設定された ODR 周期で更新されます。レジスタ読み出し中は更新されません。各 Tilt Position の出力はビットごとに割り当てられています。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
11h	TSPP	R	0	0	LE	RI	DO	UP	FD	FU

default value 20h

Fields	Function
LE	左向き(X 軸 マイナス)
RI	右向き(X 軸 プラス)
DO	下向き(Y 軸 マイナス)
UP	上向き(Y 軸 プラス)
FD	裏向き(Z 軸 マイナス)
FU	表向き(Z 軸 プラス)

レジスタマップ – 続き

(12h) INS1

このレジスタは、Directional Tap 割り込みが発生した軸を示します。CNTL3 レジスタの OTDT ビットによって設定された ODR 周期で更新されます。これらのビットは、割り込みラッチ解放レジスタ (INT_REL) が読み出されるとクリアされます。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
12h	INS1	R	0	0	TLE	TRI	TDO	TUP	TFD	TFU

Fields	Function
TLE	X 軸マイナス方向
TRI	X 軸プラス方向
TDO	Y 軸マイナス方向
TUP	Y 軸プラス方向
TFD	Z 軸マイナス方向
TFU	Z 軸プラス方向

レジスタマップ – 続き

(13h) INS2

このレジスタは割り込みの発生源を出力します。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
13h	INS2	R	BTS	BFI	WMI	DRDY	TDTS [1:0]		WUFS	TPS

Fields	Function
BTS	Back-to-sleep 機能の割り込み状態を出力します。割り込みラッチ解放レジスタ (INT_REL)が読み出されると '0' にクリアされます。 BTS = 0 - Back-to-sleep イベントを検出していません。 BTS = 1 - Back-to-sleep イベントを検出しました。
BFI	Buffer のフル状態を出力します。Buffer から少なくとも 1 つのサンプルが読み出されると、自動的に '0' にクリアされます。 BFI = 0 - Buffer はフル状態ではありません。 BFI = 1 - Buffer はフル状態です。
WMI	FIFO モードまたは Stream モード時に Buffer が BUF_CNTL1 レジスタの SMP ビットによって設定されたサンプル量を超えたことを出力します。Trigger モードでは使用されません。Buffer が読み出され、設定されたサンプル量を下回ると自動的に '0' にクリアされます。 WMI = 0 - Buffer は設定された閾値以下の状態です。 WMI = 1 - Buffer は設定された閾値以上の状態です。
DRDY	加速度データが更新されたことを出力します。加速度データの読み出し後、または割り込みラッチ解放レジスタ (INT_REL)読み出し後に '0' にクリアされます。 DRDY = 0 - 加速度データが更新されていません。 DRDY = 1 - 加速度データが更新されています。
TDTS [1:0]	Directional Tap 機能の割り込み状態を出力します。割り込みラッチ解放レジスタ (INT_REL)が読み出されると '0' にクリアされます。 TDTS [1:0] = 0 - タップイベントは発生していません。 TDTS [1:0] = 1 - Single-tap が検出されました。 TDTS [1:0] = 2 - Double-tap が検出されました。 TDTS [1:0] = 3 - 設定しないでください。
WUFS	Wake-up 機能の状態を出力します。割り込みラッチ解放レジスタ (INT_REL)が読み出されると '0' にクリアされます。 WUFS = 0 - Wake-up イベントを検出していません。 WUFS = 1 - Wake-up イベントを検出しました。
TPS	Tilt Position 機能の割り込み状態を出力します。割り込みラッチ解放レジスタ (INT_REL)が読み出されると '0' にクリアされます。 TPS = 0 - Tilt Position が変化していません。 TPS = 1 - Tilt Position が変化しました。

レジスタマップ – 続き

(14h) INS3

このレジスタは Wake-up 機能と Back-to-sleep 機能の状態を出力します。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
14h	INS3	R	0	0	XNWU	XPWU	YNWU	YPWU	ZNWU	ZPWU

Fields	Function
XNWU	X 軸マイナス方向の状態を出力します。
XPWU	X 軸プラス方向の状態を出力します。
YNWU	Y 軸マイナス方向の状態を出力します。
YPWU	Y 軸プラス方向の状態を出力します。
ZNWU	Z 軸マイナス方向の状態を出力します。
ZPWU	Z 軸プラス方向の状態を出力します。

(15h) STATUS_REG

このレジスタはデバイスの状態を出力します。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
15h	STATUS_REG	R	PC1_STAT	RES_STAT	CRC_F	INT	POR_STAT	STAT_REG	Reserved	WAKE

Fields	Function
PC1_STAT	CNTL1 レジスタの PC1 ビットが反映されます。 PC1_STAT = 0 - CNTL1 レジスタの PC1 ビットが '0' に設定されています。 PC1_STAT = 1 - CNTL1 レジスタの PC1 ビットが '1' に設定されています。
RES_STAT	CNTL1 レジスタの RES ビットが反映されます。 RES_STAT = 0 - CNTL1 レジスタの RES ビットが '0' に設定されています。 RES_STAT = 1 - CNTL1 レジスタの RES ビットが '1' に設定されています。
CRC_F	内蔵設定メモリ(OTP)の読み出しエラーを出力します。 CRC_F = 0 - OTP の読み出し成功しています。 CRC_F = 1 - OTP の読み出しに失敗した可能性があります。ソフトウェアリセット、もしくは加速度センサの電源電圧を再投入してください。
INT	割り込み発生の有無を出力します。全割り込み情報の OR 理論が出力されます。 INT = 0 - 割り込みイベントは検出されませんでした。 INT = 1 - 割り込みイベントが検出されました。
POR_STAT	ソフトウェアリセット、もしくは電源投入による OTP の読み出しの発生有無を出力します。 POR_STAT = 0 - POR イベントは発生していません。 POR_STAT = 1 - POR イベントが発生しました。STATUS_REG を読み出し後、自動的に '0' にクリアされます。
STAT_REG	加速度センシング状態を出力します。 STAT_REG = 0 - 加速度センサがスタンバイモード状態、VDD レベルが最小限必要な値を下回っている、出力データが有効ではない、のいずれかの状態の可能性があります。 STAT_REG = 1 - 加速度センサは正常に動作しています。
WAKE	Wake-up 機能及び Back-to-sleep 機能によって検出された状態を出力します。検出された状態を出力するのみで、Power モードは変更されないことにご注意ください。電源投入後の初期状態は、Sleep 状態です。 WAKE = 0 - Sleep 状態が検出されています。 WAKE = 1 - Wake 状態が検出されています。

レジスタマップ – 続き

(17h) INT_REL

このレジスタが読み出されると割り込み状態がクリアされ、ラッチされた割り込み物理端子(INT1, INT2)が非アクティブ状態になります。読み出し値はダミーです。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
17h	INT_REL	R	INT_REL							

(18h) CNTL1

このレジスタは加速度センサの主要な機能を設定します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
18h	CNTL1	R/W	PC1	RES	DRDYE	GSEL [1:0]		TDTE	WUFE	TPE

default value 00h

Fields	Function												
PC1	加速度のセンシングの有無を設定します。スタンバイモードから Operation モードに移行する際は最大で 1.2/ODR の遅延時間がかかることにご注意ください。 PC1 = 0 - スタンバイモードです。 PC1 = 1 - 低消費モード、または高分解能モードです。 <table><tr><th>PC1</th><th>RES</th><th>Power モード</th></tr><tr><td>0</td><td>Don't care</td><td>スタンバイモード</td></tr><tr><td>1</td><td>0</td><td>低消費モード</td></tr><tr><td>1</td><td>1</td><td>高分解能モード</td></tr></table>	PC1	RES	Power モード	0	Don't care	スタンバイモード	1	0	低消費モード	1	1	高分解能モード
PC1	RES	Power モード											
0	Don't care	スタンバイモード											
1	0	低消費モード											
1	1	高分解能モード											
RES	Operation モードを決定します。ノイズは ODR、RES、及び LP_CNTL 設定によって変化し、ノイズにより有効分解能が低下する場合がありますことにご注意ください。 RES = 0 - PC1 = 1 の場合、低消費モード RES = 1 - PC1 = 1 の場合、高分解能モード												
DRDYE	Data Ready 機能(加速度データの更新通知)の有効/無効を設定します。 DRDYE = 0 - Data Ready 機能が無効になります。 DRDYE = 1 - Data Ready 機能が有効になります。												
GSEL [1:0]	加速度出力レンジを設定します。 GSEL [1:0] = 0 - 加速度レンジが±2 g に設定されます。 GSEL [1:0] = 1 - 加速度レンジが±4 g に設定されます。 GSEL [1:0] = 2 - 加速度レンジが±8 g に設定されます。 GSEL [1:0] = 3 - 加速度レンジが±16 g に設定されます。												
TDTE	Single-tap/Double-tap イベントを検出する Directional Tap 機能を有効にします。 TDTE = 0 - Directional Tap 機能が無効になります。 TDTE = 1 - Directional Tap 機能が有効になります。												
WUFE	Wake-up 機能を有効にします。 WUFE = 0 - Wake-up 機能が無効になります。 WUFE = 1 - Wake-up 機能が有効になります。												
TPE	デバイスの向きの変化を検出する Tilt Position 機能を有効にします。 TPE = 0 - Tilt Position 機能が無効になります。 TPE = 1 - Tilt Position 機能が有効になります。												

レジスタマップ – 続き

(19h) CNTL2

このレジスタは加速度センサの主要な機能を設定します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

LEM、RIM、DOM、UPM、FDM、及び FUM ビットは、Tilt Position 機能の検出軸の有効/無効を制御します。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
19h	CNTL2	R/W	SRST	COTC	LEM	RIM	DOM	UPM	FDM	FUM

default value 3Fh

Fields	Function
SRST	'1' を書き込むとソフトウェアリセットを実行します。ソフトウェアリセット中に SPI 通信でこのビットを読み出すと、'1' が読み出されます。I²C 通信で読み出した場合は、ソフトウェアリセット中は KX022ACR-Z は NACK を返します。 SRST = 0 - ソフトウェアリセットを開始しません。 SRST = 1 - ソフトウェアリセット動作を開始します。
COTC	ホストの通信が適切に実施されているかの検証に使用できます。 COTC = 0 - COTR ビットが 55h に設定されます。 COTC = 1 - COTR ビットが AAh に設定されます。COTC ビットは、COTR の読み取り後、自動的に '0' に戻ります。(COTR も 55h に戻ります)
LEM	Tilt Position 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 LEM = 0 - 左向き(X 軸マイナス)が無効になります。 LEM = 1 - 左向き(X 軸マイナス)が有効になります。
RIM	Tilt Position 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 RIM = 0 - 右向き(X 軸プラス)が無効になります。 RIM = 1 - 右向き(X 軸プラス)が有効になります。
DOM	Tilt Position 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 DOM = 0 - 下向き(Y 軸マイナス)が無効になります。 DOM = 1 - 下向き(Y 軸マイナス)が有効になります。
UPM	Tilt Position 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 UPM = 0 - 右向き(Y 軸プラス)が無効になります。 UPM = 1 - 右向き(Y 軸プラス)が有効になります。
FDM	Tilt Position 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 FDM = 0 - 裏向き(Z 軸マイナス)が無効になります。 FDM = 1 - 裏向き(Z 軸マイナス)が有効になります。
FUM	Tilt Position 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 FUM = 0 - 表向き(Z 軸プラス)が無効になります。 FUM = 1 - 表向き(Z 軸プラス)が有効になります。

レジスタマップ – 続き

(1Ah) CNTL3

このレジスタは加速度センサの主要な機能を設定します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
1Ah	CNTL3	R/W	OTP [1:0]		OTDT [2:0]			OWUF [2:0]		

default value A8h

Fields	Function																																				
OTP [1:0]	Tilt Position 機能の出力データレートを設定します。Tilt Position 機能の出力データレートの初期値は 12.5 Hz です。 <table><tr><th>OTP [1]</th><th>OTP [0]</th><th>出力データレート</th></tr><tr><td>0</td><td>0</td><td>1.563 Hz</td></tr><tr><td>0</td><td>1</td><td>6.25 Hz</td></tr><tr><td>1</td><td>0</td><td>12.5 Hz</td></tr><tr><td>1</td><td>1</td><td>50 Hz</td></tr></table>	OTP [1]	OTP [0]	出力データレート	0	0	1.563 Hz	0	1	6.25 Hz	1	0	12.5 Hz	1	1	50 Hz																					
OTP [1]	OTP [0]	出力データレート																																			
0	0	1.563 Hz																																			
0	1	6.25 Hz																																			
1	0	12.5 Hz																																			
1	1	50 Hz																																			
OTDT [2:0]	Directional Tap 機能の出力データレートを設定します。Directional Tap 機能の出力データレートの初期値は 400 Hz です。 <table><tr><th>OTDT [2]</th><th>OTDT [1]</th><th>OTDT [0]</th><th>出力データレート</th></tr><tr><td>0</td><td>0</td><td>0</td><td>12.5 Hz</td></tr><tr><td>0</td><td>0</td><td>1</td><td>25 Hz</td></tr><tr><td>0</td><td>1</td><td>0</td><td>50 Hz</td></tr><tr><td>0</td><td>1</td><td>1</td><td>100 Hz</td></tr><tr><td>1</td><td>0</td><td>0</td><td>200 Hz</td></tr><tr><td>1</td><td>0</td><td>1</td><td>400 Hz</td></tr><tr><td>1</td><td>1</td><td>0</td><td>800 Hz</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1600 Hz</td></tr></table>	OTDT [2]	OTDT [1]	OTDT [0]	出力データレート	0	0	0	12.5 Hz	0	0	1	25 Hz	0	1	0	50 Hz	0	1	1	100 Hz	1	0	0	200 Hz	1	0	1	400 Hz	1	1	0	800 Hz	1	1	1	1600 Hz
OTDT [2]	OTDT [1]	OTDT [0]	出力データレート																																		
0	0	0	12.5 Hz																																		
0	0	1	25 Hz																																		
0	1	0	50 Hz																																		
0	1	1	100 Hz																																		
1	0	0	200 Hz																																		
1	0	1	400 Hz																																		
1	1	0	800 Hz																																		
1	1	1	1600 Hz																																		
OWUF [2:0]	Wake-up 機能とハイパスフィルタの出力データレート(ODR)を設定します。初期状態は 0.781 Hz です。 <table><tr><th>OWUF [2]</th><th>OWUF [1]</th><th>OWUF [0]</th><th>出力データレート</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0.781 Hz</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1.563 Hz</td></tr><tr><td>0</td><td>1</td><td>0</td><td>3.125 Hz</td></tr><tr><td>0</td><td>1</td><td>1</td><td>6.25 Hz</td></tr><tr><td>1</td><td>0</td><td>0</td><td>12.5 Hz</td></tr><tr><td>1</td><td>0</td><td>1</td><td>25 Hz</td></tr><tr><td>1</td><td>1</td><td>0</td><td>50 Hz</td></tr><tr><td>1</td><td>1</td><td>1</td><td>100 Hz</td></tr></table>	OWUF [2]	OWUF [1]	OWUF [0]	出力データレート	0	0	0	0.781 Hz	0	0	1	1.563 Hz	0	1	0	3.125 Hz	0	1	1	6.25 Hz	1	0	0	12.5 Hz	1	0	1	25 Hz	1	1	0	50 Hz	1	1	1	100 Hz
OWUF [2]	OWUF [1]	OWUF [0]	出力データレート																																		
0	0	0	0.781 Hz																																		
0	0	1	1.563 Hz																																		
0	1	0	3.125 Hz																																		
0	1	1	6.25 Hz																																		
1	0	0	12.5 Hz																																		
1	0	1	25 Hz																																		
1	1	0	50 Hz																																		
1	1	1	100 Hz																																		

レジスタマップ – 続き

(1Bh) ODCNTL

このレジスタは加速度の出力データレート(ODR)とフィルタを設定します。このレジスタの値を変更するには、予め PC1 ビットを ‘0’ に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
1Bh	ODCNTL	R/W	IIR_BYPASS	LPRO	Reserved		OSA [3:0]			

default value 06h

Fields	Function																																																																	
IIR_BYPASS	フィルタバイパスモード IIR_BYPASS = 0 - 加速度データにローパスフィルタを適用します。 IIR_BYPASS = 1 - ローパスフィルタをバイパスします。																																																																	
LPRO	ローパスフィルタのカットオフ周波数を設定します。 LPRO = 0 - ローパスフィルタのカットオフ周波数は ODR/9 に設定されます。 LPRO = 1 - ローパスフィルタのカットオフ周波数は ODR/2 に設定されます。																																																																	
OSA [3:0]	加速度の出力データレートを設定します。初期値は 50 Hz です。このデータレート設定は各種割り込み機能の ODR 設定と同じか、それ以上に設定してください。 <table><tr><th>OSA [3]</th><th>OSA [2]</th><th>OSA [1]</th><th>OSA [0]</th><th>出力データレート</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0.781 Hz^(Note 1)</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1.563 Hz^(Note 1)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>3.125 Hz^(Note 1)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>6.25 Hz^(Note 1)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>12.5 Hz^(Note 1)</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>25 Hz^(Note 1)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>50 Hz^(Note 1)</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>100 Hz^(Note 1)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>200 Hz^(Note 1)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>400 Hz^(Note 1)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>800 Hz</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1600 Hz</td></tr></table> (Note 1) 低消費モードが利用可能です。	OSA [3]	OSA [2]	OSA [1]	OSA [0]	出力データレート	0	0	0	0	0.781 Hz ^(Note 1)	0	0	0	1	1.563 Hz ^(Note 1)	0	0	1	0	3.125 Hz ^(Note 1)	0	0	1	1	6.25 Hz ^(Note 1)	0	1	0	0	12.5 Hz ^(Note 1)	0	1	0	1	25 Hz ^(Note 1)	0	1	1	0	50 Hz ^(Note 1)	0	1	1	1	100 Hz ^(Note 1)	1	0	0	0	200 Hz ^(Note 1)	1	0	0	1	400 Hz ^(Note 1)	1	0	1	0	800 Hz	1	0	1	1	1600 Hz
OSA [3]	OSA [2]	OSA [1]	OSA [0]	出力データレート																																																														
0	0	0	0	0.781 Hz ^(Note 1)																																																														
0	0	0	1	1.563 Hz ^(Note 1)																																																														
0	0	1	0	3.125 Hz ^(Note 1)																																																														
0	0	1	1	6.25 Hz ^(Note 1)																																																														
0	1	0	0	12.5 Hz ^(Note 1)																																																														
0	1	0	1	25 Hz ^(Note 1)																																																														
0	1	1	0	50 Hz ^(Note 1)																																																														
0	1	1	1	100 Hz ^(Note 1)																																																														
1	0	0	0	200 Hz ^(Note 1)																																																														
1	0	0	1	400 Hz ^(Note 1)																																																														
1	0	1	0	800 Hz																																																														
1	0	1	1	1600 Hz																																																														

レジスタマップ – 続き

(1Ch) INC1

このレジスタは、物理割り込み端子、Self-test の極性 SPI インタフェースモードの設定を制御します。このレジスタの値を変更するには、予め PC1 ビットを ‘0’ に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
1Ch	INC1	R/W	PW1 [1:0]		IEN1	IEA1	IEL1	0	STPOL	SPI3E

default value 10h

Fields	Function
PW1 [1:0]	物理割り込み端子 INT1 の割り込みパルス幅を設定します。 PW1 = 0 - パルス幅が 50 μ s に設定されます。 PW1 = 1 - パルス幅が OSA 周期に設定されます。 PW1 = 2 - パルス幅が OSA 周期の 2 倍に設定されます。 PW1 = 3 - 使用しません。
IEN1	物理割り込み端子 INT1 の有効/無効を設定します。 IEN1 = 0 - 物理割り込み端子が無効になります。 IEN1 = 1 - 物理割り込み端子が有効になります。
IEA1	物理割り込み端子 INT1 の極性を設定します。 IEA1 = 0 - 物理割り込み端子の極性がアクティブ LOW に設定されます。 IEA1 = 1 - 物理割り込み端子の極性がアクティブ HIGH に設定されます。
IEL1	物理割り込み端子 INT1 の割り込みモードを設定します。 IEL1 = 0 - 物理割り込み端子は、INT_REL 読み出しによってクリアされるまでラッチされます。 IEL1 = 1 - 物理割り込み端子は、PW1 で設定されたパルスを生成します。
STPOL	Self-test の極性を設定します。 STPOL = 1 - Self-test の極性が反転します。 STPOL = 0 - Self-test の極性は標準です。
SPI3E	3 線式 SPI インタフェースを有効に設定します。 SPI3E = 0 - 4 線式 SPI モードに設定されます。 SPI3E = 1 - 3 線式 SPI モードに設定されます。

レジスタマップ – 続き

(1Dh) INC2

このレジスタはモーション検出機能(Wake-up 機能及び Back-to-sleep 機能)を設定します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
1Dh	INC2	R/W	0	AOI	XNWUE	XPWUE	YNWUE	YPWUE	ZNWUE	ZPWUE

default value 3Fh

Fields	Function
AOI	モーション検出の AND 理論 / OR 理論を設定します。 AOI = 0 - 有効化された軸方向の OR 理論でモーションを検出します。 AOI = 1 - 有効化された軸方向の AND 理論でモーションを検出します。 すべての軸方向が有効になっている場合の例を示します。 OR 理論では(XN XP YN YP ZN ZP)でモーションを検出します。 AND 理論では(XN XP) & (YN YP) & (ZN ZP)でモーションを検出します。
XNWUE	モーション機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 XNWUE = 0 - X 軸マイナス方向が無効になります。 XNWUE = 1 - X 軸マイナス方向が有効になります。
XPWUE	モーション機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 XPWUE = 0 - X 軸プラス方向が無効になります。 XPWUE = 1 - X 軸プラス方向が有効になります。
YNWUE	モーション機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 YNWUE = 0 - Y 軸マイナス方向が無効になります。 YNWUE = 1 - Y 軸マイナス方向が有効になります。
YPWUE	モーション機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 YPWUE = 0 - Y 軸プラス方向が無効になります。 YPWUE = 1 - Y 軸プラス方向が有効になります。
ZNWUE	モーション機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 ZNWUE = 0 - Z 軸マイナス方向が無効になります。 ZNWUE = 1 - Z 軸マイナス方向が有効になります。
ZPWUE	モーション機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 ZPWUE = 0 - Z 軸プラス方向が無効になります。 ZPWUE = 1 - Z 軸プラス方向が有効になります。

レジスタマップ – 続き

(1Eh) INC3

このレジスタは、Directional Tap の検知軸の有効/無効を設定します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
1Eh	INC3	R/W	0	0	TLEM	TRIM	TDOM	TUPM	TFDM	TFUM

default value 3Fh

Fields	Function
TLEM	Directional Tap 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 TLEM = 0 - X 軸マイナス方向が無効になります。 TLEM = 1 - X 軸マイナス方向が有効になります。
TRIM	Directional Tap 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 TRIM = 0 - X 軸プラス方向が無効になります。 TRIM = 1 - X 軸プラス方向が有効になります。
TDOM	Directional Tap 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 TDOM = 0 - Y 軸マイナス方向が無効になります。 TDOM = 1 - Y 軸マイナス方向が有効になります。
TUPM	Directional Tap 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 TUPM = 0 - Y 軸プラス方向が無効になります。 TUPM = 1 - Y 軸プラス方向が有効になります。
TFDM	Directional Tap 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 TFDM = 0 - Z 軸マイナス方向が無効になります。 TFDM = 1 - Z 軸マイナス方向が有効になります。
TFUM	Directional Tap 機能のマイナス軸 / プラス軸方向の有効/無効を設定します。 TFUM = 0 - Z 軸プラス方向が無効になります。 TFUM = 1 - Z 軸プラス方向が有効になります。

レジスタマップ – 続き

(1Fh) INC4

このレジスタは、物理割り込み端子 INT1 への割り込み出力を設定します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
1Fh	INC4	R/W	FFI1	BFI1	WMI1	DRDYI1	BTSI1	TDTI1	WUF11	TPI1

default value 00h

Fields	Function
FFI1	Free fall 機能の割り込み出力有効/無効を設定します。 FFI1 = 0 - 割り込みは物理割り込み端子 INT1 に出力されません。 FFI1 = 1 - 割り込みは物理割り込み端子 INT1 に出力されます。
BFI1	Buffer フル機能の割り込み出力有効/無効を設定します。 BFI1 = 0 - 割り込みは物理割り込み端子 INT1 に出力されません。 BFI1 = 1 - 割り込みは物理割り込み端子 INT1 に出力されます。
WMI1	Watermark 機能の割り込み出力有効/無効を設定します。 WMI1 = 0 - 割り込みは物理割り込み端子 INT1 に出力されません。 WMI1 = 1 - 割り込みは物理割り込み端子 INT1 に出力されます。
DRDYI1	Data Ready 機能の割り込み出力有効/無効を設定します。 DRDYI1 = 0 - 割り込みは物理割り込み端子 INT1 に出力されません。 DRDYI1 = 1 - 割り込みは物理割り込み端子 INT1 に出力されます。
BTSI1	Back-to-sleep 機能の割り込み出力有効/無効を設定します。 BTSI1 = 0 - 割り込みは物理割り込み端子 INT1 に出力されません。 BTSI1 = 1 - 割り込みは物理割り込み端子 INT1 に出力されます。
TDTI1	Directional Tap 機能の割り込み出力有効/無効を設定します。 TDTI1 = 0 - 割り込みは物理割り込み端子 INT1 に出力されません。 TDTI1 = 1 - 割り込みは物理割り込み端子 INT1 に出力されます。
WUF11	Wake-up 機能の割り込み出力有効/無効を設定します。 WUF11 = 0 - 割り込みは物理割り込み端子 INT1 に出力されません。 WUF11 = 1 - 割り込みは物理割り込み端子 INT1 に出力されます。
TPI1	Tilt Position 機能の割り込み出力有効/無効を設定します。 TPI1 = 0 - 割り込みは物理割り込み端子 INT1 に出力されません。 TPI1 = 1 - 割り込みは物理割り込み端子 INT1 に出力されます。

レジスタマップ – 続き

(20h) INC5

このレジスタは、物理割り込み端子 INT2 の設定を制御します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
20h	INC5	R/W	PW2 [1:0]		IEN2	IEA2	IEL2	ACLR2	ACLR1	0

default value 10h

Fields	Function
PW2 [1:0]	物理割り込み端子 INT2 の割り込みパルス幅を設定します。 PW2 = 0 - パルス幅が 50 μ s に設定されます。 PW2 = 1 - パルス幅が OSA 周期に設定されます。 PW2 = 2 - パルス幅が OSA 周期の 2 倍に設定されます。 PW2 = 3 - 使用しません。
IEN2	物理割り込み端子 INT2 の有効/無効を設定します。 IEN2 = 0 - 物理割り込み端子が無効になります。 IEN2 = 1 - 物理割り込み端子が有効になります。
IEA2	物理割り込み端子 INT2 の極性を設定します。 IEA2 = 0 - 物理割り込み端子の極性がアクティブ LOW に設定されます。 IEA2 = 1 - 物理割り込み端子の極性がアクティブ HIGH に設定されます。
IEL2	物理割り込み端子 INT2 の割り込みモードを設定します。 IEL2 = 0 - 物理割り込み端子は、INT_REL 読み出しによってクリアされるまでラッチされます。 IEL2 = 1 - 物理割り込み端子は、PW2 で設定されたパルスを生成します。
ACLR2	各機能の割り込み端子 INT2 自動ラッチクリアの有効/無効を設定します。 ACLR2 = 0 - ラッチされた割り込みは自動的にクリアされません。INT_REL 読み出しによってクリアされるまでは、たとえ検出したとしてもパルス割り込みは発生しません。 ACLR2 = 1 - ラッチされた割り込みは自動的にクリアされます。INT_REL 読み出しをしなくても、検出毎にパルス割り込みは発生します。
ACLR1	各機能の割り込み端子 INT1 自動ラッチクリアの有効/無効を設定します。 ACLR1 = 0 - ラッチされた割り込みは自動的にクリアされません。INT_REL 読み出しによってクリアされるまでは、たとえ検出したとしてもパルス割り込みは発生しません。 ACLR1 = 1 - ラッチされた割り込みは自動的にクリアされます。INT_REL 読み出しをしなくても、検出毎にパルス割り込みは発生します。

レジスタマップ – 続き

(21h) INC6

このレジスタは、物理割り込み端子 INT2 への割り込み出力を設定します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
21h	INC6	R/W	FFI2	BFI2	WMI2	DRDYI2	BTSI2	TDTI2	WUFI2	TPI2

default value 00h

Fields	Function
FFI2	Free fall 機能の割り込み出力有効/無効を設定します。 FFI2 = 0 - 割り込みは物理割り込み端子 INT2 に出力されません。 FFI2 = 1 - 割り込みは物理割り込み端子 INT2 に出力されます。
BFI2	Buffer フル機能の割り込み出力有効/無効を設定します。 BFI2 = 0 - 割り込みは物理割り込み端子 INT2 に出力されません。 BFI2 = 1 - 割り込みは物理割り込み端子 INT2 に出力されます。
WMI2	Watermark 機能の割り込み出力有効/無効を設定します。 WMI2 = 0 - 割り込みは物理割り込み端子 INT2 に出力されません。 WMI2 = 1 - 割り込みは物理割り込み端子 INT2 に出力されます。
DRDYI2	Data Ready 機能の割り込み出力有効/無効を設定します。 DRDYI2 = 0 - 割り込みは物理割り込み端子 INT2 に出力されません。 DRDYI2 = 1 - 割り込みは物理割り込み端子 INT2 に出力されます。
BTSI2	Back-to-sleep 機能の割り込み出力有効/無効を設定します。 BTSI2 = 0 - 割り込みは物理割り込み端子 INT2 に出力されません。 BTSI2 = 1 - 割り込みは物理割り込み端子 INT2 に出力されます。
TDTI2	Directional Tap 機能の割り込み出力有効/無効を設定します。 TDTI2 = 0 - 割り込みは物理割り込み端子 INT2 に出力されません。 TDTI2 = 1 - 割り込みは物理割り込み端子 INT2 に出力されます。
WUFI2	Wake-up 機能の割り込み出力有効/無効を設定します。 WUFI2 = 0 - 割り込みは物理割り込み端子 INT2 に出力されません。 WUFI2 = 1 - 割り込みは物理割り込み端子 INT2 に出力されます。
TPI2	Tilt Position 機能の割り込み出力有効/無効を設定します。 TPI2 = 0 - 割り込みは物理割り込み端子 INT2 に出力されません。 TPI2 = 1 - 割り込みは物理割り込み端子 INT2 に出力されます。

(22h) TILT_TIMER

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
22h	TILT_TIMER	R/W	TSC [7:0]							

default value 00h

Fields	Function
TSC [7:0]	Tilt Position 機能のカウント数を設定します。このカウント数に、CNTL3 レジスタの OTP ビットで設定されるデータレートの周期をかけると、カウント時間になります。Tilt Position 割り込みを発生させるためには、カウント時間の間、閾値判定条件を満たし続ける必要があります。

レジスタマップ – 続き

(23h) WUFC

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
23h	WUFC	R/W	WUFC [7:0]							

default value 00h

Fields	Function
WUFC [7:0]	Wake-up 機能のカウント数を設定します。このカウント数に、CNTL3 レジスタの OWUF ビットで設定されるデータレートの周期をかけると、カウント時間になります。Wake-up 割り込みを発生させるためには、カウント時間の間、閾値判定条件を満たし続ける必要があります。

(24h) TDTRC

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
24h	TDTRC	R/W	0	0	0	0	0	0	DTRE	STRE

default value 03h

Fields	Function
DTRE	Double-tap 割り込みの有効/無効を設定します。 DTRE = 0 - Double-tap 割り込みを無効にします。 DTRE = 1 - Double-tap 割り込みを有効にします。
STRE	Single-tap 割り込みの有効/無効を設定します。 STRE = 0 - Single-tap 割り込みを無効にします。 STRE = 1 - Single-tap 割り込みを有効にします。

(25h) TDTC

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
25h	TDTC	R/W	TDTC [7:0]							

default value 78h

Fields	Function
TDTC [7:0]	このレジスタには、Double-tap イベントを検出するためのカウンタ情報が含まれています。Directional Tap の ODR が 400 Hz 以下の場合、このカウント数に、データレートの周期をかけると、カウント時間になります。Directional Tap の ODR が 800 Hz の場合、このカウント数に、データレートの周期の 2 倍をかけると、カウント時間になります。Directional Tap の ODR が 1600 Hz の場合、このカウント数に、データレートの周期の 4 倍をかけると、カウント時間になります。Directional Tap の ODR は、CNTL3 レジスタの OTDT ビットによって定義されます。TDTC カウントは、最初の Tap の始まりに開始され、Double-tap イベントの最初の Tap と 2 番目の Tap の間の最小時間間隔を表します。具体的には、2 番目の Tap イベントは TDTC の外で終了する必要があります。Rohm 推奨のデフォルト値は 0.3 秒 (78h) です。

レジスタマップ – 続き

(26h) TTH

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
26h	TTH	R/W	TTH [7:0]							

default value CBh

Fields	Function
TTH [7:0]	このレジスタは、Tap が検出されたかを判断するための 8 ビットの Performance Index (PI)の上限閾値を表します。この値は、8 g 出力値の上位 8 ビットを参照します(デバイスの実際の g レンジ設定とは無関係)。このレジスタは 8 ビットですが、上限閾値を設定する際に、レジスタ値は内部で 2 倍されます。この乗算により、上限閾値は 0 から 510 の範囲となり、分解能は 2 カウントになります。Single-tap/Double-tap イベントの間、PI が TTL 閾値より大きく、TTH 閾値未満となるように設定してください。Rohm 推奨のデフォルト値は 203 (CBh) で、PI は次のように計算されます。 $X' = X \text{ (current)} - X \text{ (previous)}$ $Y' = Y \text{ (current)} - Y \text{ (previous)}$ $Z' = Z \text{ (current)} - Z \text{ (previous)}$ $PI = X' + Y' + Z' $

(27h) TTL

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
27h	TTL	R/W	TTL [7:0]							

default value 1Ah

Fields	Function
TTL [7:0]	このレジスタは、Tap が検出されたかを判断するための 8 ビット(0 - 255)の jerk の下限閾値を表します。この値は、8 g 出力値の上位 8 ビットを参照します(デバイスの実際の g レンジ設定とは無関係)。Single-tap/Double-tap イベントの間、Performance Index (PI)が TTL 閾値より大きく、TTH 閾値未満となるように設定してください。Rohm 推奨のデフォルト値は 26(1Ah)です。

(28h) FTD

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
28h	FTD	R/W	FTDH [4:0]					FTDL [2:0]		

default value A2h

Fields	Function
FTDH [4:0] FTDL [2:0]	このレジスタには、Tap イベントを検出するためのカウンタ情報が含まれています。Directional Tap の ODR が 400 Hz 以下の場合、このカウント数に、データレートの周期をかけると、カウント時間になります。Directional Tap の ODR が 800 Hz の場合、このカウント数に、データレートの周期の 2 倍をかけると、カウント時間になります。Directional Tap の ODR が 1600 Hz の場合、このカウント数に、データレートの周期の 4 倍をかけると、カウント時間になります。 Directional Tap の ODR は、CNTL3 レジスタの OTDT ビットによって定義されます。Tap イベントのみが検出されるようにするために、これらの時間制限が使用されます。Tap イベントは、少なくとも下限 (FTDL0 - FTDL2) のカウント時間、Performance Index 閾値を超え、かつ、上限 (FTDH0 - FTDH4) 以下である必要があります。Rohm の推奨デフォルト値は、上限は 0.05 秒、下限は 0.005 秒です (A2h)。

レジスタマップ – 続き

(29h) STD

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
29h	STD	R/W	STD [7:0]							

default value 24h

Fields	Function
STD [7:0]	このレジスタには、Double-tap イベントを検出するためのカウンタ情報が含まれています。Directional Tap の ODR が 400 Hz 以下の場合、このカウント数に、データレートの周期をかけると、カウント時間になります。Directional Tap の ODR が 800 Hz の場合、このカウント数に、データレートの周期の 2 倍をかけると、カウント時間になります。Directional Tap の ODR が 1600 Hz の場合、このカウント数に、データレートの周期の 4 倍をかけると、カウント時間になります。Directional Tap の ODR は、CNTL3 レジスタの OTDT ビットによって定義されます。Tap イベントのみが検出されるようにするために、これらの時間制限が使用されます。このレジスタは、Double-tap イベント内の 2 回のタップが Performance Index 閾値 (TTL) を超えることができる合計時間を設定します。Rohm が推奨する STD のデフォルト値は 0.09 秒(24h)です。

(2Ah) TLT

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
2Ah	TLT	R/W	TLT [7:0]							

default value 28h

Fields	Function
TLT [7:0]	このレジスタには、Tap イベントを検出するためのカウンタ情報が含まれています。Directional Tap の ODR が 400 Hz 以下の場合、このカウント数に、データレートの周期をかけると、カウント時間になります。Directional Tap の ODR が 800 Hz の場合、このカウント数に、データレートの周期の 2 倍をかけると、カウント時間になります。Directional Tap の ODR が 1600 Hz の場合、このカウント数に、データレートの周期の 4 倍をかけると、カウント時間になります。Directional Tap の ODR は、CNTL3 レジスタの OTDT ビットによって定義されます。Tap イベントのみが検出されるようにするために、これらの時間制限が使用されます。このレジスタは、潜在的な Tap イベント中に Tap アルゴリズムが Performance Index 閾値 (TTL) を超えるサンプルをカウントする合計時間を設定します。このレジスタは、Single-tap/Double-tap の両方のイベントで使用されます。ただし、物理割り込みピン INT1 または INT2 での Single-tap イベントの報告は、TWS の最後に発生します。Rohm が推奨する TLT のデフォルト値は 0.1 秒(28h)です。

レジスタマップ – 続き

(2Bh) TWS

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
2Bh	TWS	R/W	TWS [7:0]							

default value A0h

Fields	Function
TWS [7:0]	このレジスタには、Single-tap/Double-tap イベントを検出するためのカウンタ情報が含まれています。Directional Tap の ODR が 400 Hz 以下の場合、このカウント数に、データレートの周期をかけると、カウント時間になります。Directional Tap の ODR が 800 Hz の場合、このカウント数に、データレートの周期の 2 倍をかけると、カウント時間になります。Directional Tap の ODR が 1600 Hz の場合、このカウント数に、データレートの周期の 4 倍をかけると、カウント時間になります。Directional Tap の ODR は、CNTL3 レジスタの OTDT ビットによって定義されます。このレジスタは、Tap イベント全体(Single または Double)が発生する time window を定義します。物理割り込みピン INT1 または INT2 での Single-tap イベントのレポートは、この tap window の最後に発生します。Rohm が推奨する TWS のデフォルト値は 0.4 秒(A0h)です。

(2Ch) MAN_WAKE

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
2Ch	MAN_WAKE	W	0	0	0	0	0	0	MAN_WAKE	MAN_SLEEP

default value 00h

Fields	Function
MAN_WAKE	モーション検出機能の状態を強制的に上書きします。 MAN_WAKE = 0 - 現在の状態を維持します。 MAN_WAKE = 1 - STATUS_REG レジスタの WAKE ビットが '1' (WAKE 状態)になります。(MAN_WAKE ビットは、自動的にクリアされます)
MAN_SLEEP	モーション検出機能の状態を強制的に上書きします。 MAN_SLEEP = 0 - 現在の状態を維持します。 MAN_SLEEP = 1 - STATUS_REG レジスタの WAKE ビットが '0' (SLEEP 状態)になります。(MAN_SLEEP ビットは、自動的にクリアされます)

レジスタマップ – 続き

(2Dh) BTS_CNTL

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
2Dh	BTS_CNTL	R/W	BTSE	0	0	0	0	OBTS [2:0]		

default value 00h

Fields	Function																																				
BTSE	Back-to-sleep 機能の有効/無効を設定します。 BTSE = 0 - Back-to-sleep 機能が無効になります。 BTSE = 1 - Back-to-sleep 機能が有効になります。																																				
OBTS [2:0]	Back-to-sleep 機能とハイパスフィルタの出力データレート(ODR)を設定します。 初期状態は 0.781 Hz です。 <table><tr><th>OBTS [2]</th><th>OBTS [1]</th><th>OBTS [0]</th><th>出力データレート</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0.781 Hz</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1.563 Hz</td></tr><tr><td>0</td><td>1</td><td>0</td><td>3.125 Hz</td></tr><tr><td>0</td><td>1</td><td>1</td><td>6.25 Hz</td></tr><tr><td>1</td><td>0</td><td>0</td><td>12.5 Hz</td></tr><tr><td>1</td><td>0</td><td>1</td><td>25 Hz</td></tr><tr><td>1</td><td>1</td><td>0</td><td>50 Hz</td></tr><tr><td>1</td><td>1</td><td>1</td><td>100 Hz</td></tr></table>	OBTS [2]	OBTS [1]	OBTS [0]	出力データレート	0	0	0	0.781 Hz	0	0	1	1.563 Hz	0	1	0	3.125 Hz	0	1	1	6.25 Hz	1	0	0	12.5 Hz	1	0	1	25 Hz	1	1	0	50 Hz	1	1	1	100 Hz
OBTS [2]	OBTS [1]	OBTS [0]	出力データレート																																		
0	0	0	0.781 Hz																																		
0	0	1	1.563 Hz																																		
0	1	0	3.125 Hz																																		
0	1	1	6.25 Hz																																		
1	0	0	12.5 Hz																																		
1	0	1	25 Hz																																		
1	1	0	50 Hz																																		
1	1	1	100 Hz																																		

(2Eh) BTSC

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
2Eh	BTSC	R/W	BTSC [7:0]							

default value 00h

Fields	Function
BTSC [7:0]	Back-to-sleep 機能のカウント数を設定します。このカウント数に、BTS_CNTL レジスタの OBTS ビットで設定されるデータレートの周期をかけると、カウント時間になります。Back-to-sleep 割り込みを発生させるためには、カウント時間の間、閾値判定条件を満たし続ける必要があります。

レジスタマップ – 続き

(2Fh-31h) BTS_TH, WUF_TH, BTS_WUF_TH

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
2Fh	BTS_TH	R/W	BTSTH [7:0]							

default value 80h

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
30h	WUF_TH	R/W	WUFTH [7:0]							

default value 80h

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
31h	BTS_WUF_TH	R/W	0	BTSTH [10:8]			0	WUFTH [10:8]		

default value 00h

Fields	Function
BTSTH [10:0]	Back-to-sleep 機能の閾値を設定します。初期状態で 0.5 g の加速度変化に対応するように設定してあります。

Fields	Function
WUFTH [10:0]	Wake-up 機能の閾値を設定します。初期状態で 0.5 g の加速度変化に対応するように設定してあります。

(32h-33h) TILT_ANGLE_LL, TILT_ANGLE_HL

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
32h	TILT_ANGLE_LL	R/W	LL [7:0]							

default value 0Ch

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
33h	TILT_ANGLE_HL	R/W	HL [7:0]							

default value 2Ah

Fields	Function
LL [7:0]	このレジスタは、tilt angle 検出の下限閾値を設定します。下限閾値は、8 g 出力値の上位 8 ビットと比較されます(デバイスの実際の g レンジ設定は無関係)。KX022ACR-Z は、tilt angle が水平から 22° の下限閾値に設定された状態で工場から出荷されます。推奨される最小 tilt angle は 10° であることに注意してください。

Fields	Function
HL [7:0]	このレジスタは、tilt angle 検出の上限閾値を設定します。上限閾値は、8 g 出力値の上位 8 ビットと比較されます(デバイスの実際の g レンジ設定は無関係)。

レジスタマップ – 続き

(34h) HYST_SET

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
34h	HYST_SET	R/W	Reserved		XEG [5:0]					

default value 14h

Fields	Function
XEG [5:0]	このレジスタは、Screen Rotation のヒステリシスを設定します。KX022ACR-Z は、HYST_SET が±15° のヒステリシスに設定された状態で工場から出荷されます。

(35h) LP_CNTL

このレジスタは低消費モードの加速度センサ出力平均化回数を設定します。

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
35h	LP_CNTL	R/W	1	AVC [2:0]			1	0	1	1

default value CBh

Fields	Function																																				
AVC [2:0]	低消費モードでの平均化回数を設定します。初期状態では 16 回平均です。																																				
	<table><tr><th>AVC [2]</th><th>AVC [1]</th><th>AVC [0]</th><th>Number of Averaging</th></tr><tr><td>0</td><td>0</td><td>0</td><td>Reserved</td></tr><tr><td>0</td><td>0</td><td>1</td><td>2 回平均</td></tr><tr><td>0</td><td>1</td><td>0</td><td>4 回平均</td></tr><tr><td>0</td><td>1</td><td>1</td><td>8 回平均</td></tr><tr><td>1</td><td>0</td><td>0</td><td>16 回平均</td></tr><tr><td>1</td><td>0</td><td>1</td><td>32 回平均</td></tr><tr><td>1</td><td>1</td><td>0</td><td>64 回平均</td></tr><tr><td>1</td><td>1</td><td>1</td><td>128 回平均</td></tr></table>	AVC [2]	AVC [1]	AVC [0]	Number of Averaging	0	0	0	Reserved	0	0	1	2 回平均	0	1	0	4 回平均	0	1	1	8 回平均	1	0	0	16 回平均	1	0	1	32 回平均	1	1	0	64 回平均	1	1	1	128 回平均
	AVC [2]	AVC [1]	AVC [0]	Number of Averaging																																	
	0	0	0	Reserved																																	
	0	0	1	2 回平均																																	
	0	1	0	4 回平均																																	
	0	1	1	8 回平均																																	
	1	0	0	16 回平均																																	
	1	0	1	32 回平均																																	
	1	1	0	64 回平均																																	
1	1	1	128 回平均																																		

(36h) FFTH

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
36h	FFTH	R/W	FFTH [7:0]							

default value 00h

Fields	Function
FFTH [7:0]	このレジスタは、Free Fall 検出の閾値を設定します。この値は、8 g 出力値の上位 8 ビットと比較されます(デバイスの実際の g レンジ設定は無関係)。

レジスタマップ – 続き

(37h) FFC

このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
37h	FFC	R/W	FFC [7:0]							

default value 00h

Fields	Function
FFC [7:0]	Free fall 機能のカウント数を設定します。このカウント数に、FFCNTL レジスタの OFFI ビットで設定されるデータレートの周期をかけると、カウント時間になります。Free fall 割り込みを発生させるためには、カウント時間の間、閾値判定条件を満たし続ける必要があります。

(38h) FFCNTL

このレジスタは、Free fall 検出を制御します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
38h	FFCNTL	R/W	FFIE	ULMODE	0	0	DCRM	OFFI [2:0]		

default value 00h

Fields	Function																																				
FFIE	Free fall 機能を有効にします。 FFIE = 0 - Free fall 機能が無効になります。 FFIE = 1 - Free fall 機能が有効になります。																																				
ULMODE	Free fall 割り込みのラッチ制御を設定します。 ULMODE = 0 - Free fall 割り込みはラッチされます。 ULMODE = 1 - Free fall 割り込みはラッチされません。																																				
DCRM	Free fall 機能の debounce 方法を設定します。 DCRM = 0 - Free fall カウンタは count up/down に設定されます。 DCRM = 1 - Free fall カウンタは count up/reset に設定されます。																																				
OFFI [2:0]	Free fall 機能の出力データレートを設定します。初期状態は 12.5 Hz です。 <table><tr><th>OFFI [2]</th><th>OFFI [1]</th><th>OFFI [0]</th><th>出力データレート</th></tr><tr><td>0</td><td>0</td><td>0</td><td>12.5 Hz</td></tr><tr><td>0</td><td>0</td><td>1</td><td>25 Hz</td></tr><tr><td>0</td><td>1</td><td>0</td><td>50 Hz</td></tr><tr><td>0</td><td>1</td><td>1</td><td>100 Hz</td></tr><tr><td>1</td><td>0</td><td>0</td><td>200 Hz</td></tr><tr><td>1</td><td>0</td><td>1</td><td>400 Hz</td></tr><tr><td>1</td><td>1</td><td>0</td><td>800 Hz</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1600 Hz</td></tr></table>	OFFI [2]	OFFI [1]	OFFI [0]	出力データレート	0	0	0	12.5 Hz	0	0	1	25 Hz	0	1	0	50 Hz	0	1	1	100 Hz	1	0	0	200 Hz	1	0	1	400 Hz	1	1	0	800 Hz	1	1	1	1600 Hz
OFFI [2]	OFFI [1]	OFFI [0]	出力データレート																																		
0	0	0	12.5 Hz																																		
0	0	1	25 Hz																																		
0	1	0	50 Hz																																		
0	1	1	100 Hz																																		
1	0	0	200 Hz																																		
1	0	1	400 Hz																																		
1	1	0	800 Hz																																		
1	1	1	1600 Hz																																		

レジスタマップ – 続き

(3Ah) BUF_CNTL1
このレジスタは Buffer の Watermark を設定します。このレジスタの値を変更するには、予め PC1 ビットを ‘0’ に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
3Ah	BUF_CNTL1	R/W	Reserved	SMP [6:0]						

default value 00h

Fields	Function
SMP [6:0]	Watermark 割り込みを発生させるサンプル数、またはトリガイイベントの前に保存されるサンプル数を決定します。BRES = 1 の場合、サンプル数の最大は 43 です。BRES = 0 の場合、サンプル数の最大は 86 です。 FIFO モード及び Stream モードの場合、SMP は watermark 割り込みを発生させるために必要な Buffer のサンプル数を指定します。Trigger モードの場合、SMP は、トリガイイベント前の Buffer のサンプル数を、Buffer にどのくらい保持するかを設定します。

レジスタマップ – 続き

(3Bh) BUF_CNTL2

このレジスタは Buffer 動作を設定します。レジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
3Bh	BUF_CNTL2	R/W	BUFE	BRES	BFIE	Reserved			BM [1:0]	

default value 00h

Fields	Function																				
BUFE	Buffer の有効/無効を設定します。 BUFE = 0 - Buffer が無効になります。 BUFE = 1 - Buffer が有効になります。																				
BRES	Buffer によって収集される加速度データの分解能を決定します。 BRES = 0 - 8 ビットサンプルが Buffer に蓄積されます。 BRES = 1 - 16 ビットサンプルが Buffer に蓄積されます。																				
BFIE	Buffer フル割り込みの有効/無効を設定します。 BFIE = 0 - Buffer フル割り込みが無効になります。 BFIE = 1 - Buffer フル割り込みが有効になります。																				
BM [1:0]	Buffer の動作モードを設定します。																				
	<table><tr><th>BM [1]</th><th>BM [0]</th><th>Mode</th><th>Description</th></tr><tr><td>0</td><td>0</td><td>FIFO</td><td>Buffer は、8 ビット低分解能の 86 セットまたは 16 ビット高分解能の 43 セットのデータを収集した後データの収集を停止し、Buffer がフルでない場合にのみ新しいデータを収集します。</td></tr><tr><td>0</td><td>1</td><td>Stream</td><td>Buffer は、最新の 8 ビット低分解能の 86 セットまたは 16 ビット高分解能の 43 セットのデータを保持します。Buffer がフルになると、新しいデータ用の領域を確保するために最も古いデータが破棄されます。</td></tr><tr><td>1</td><td>0</td><td>Trigger</td><td>トリガイメントが発生すると、Buffer はトリガイメント前の SMP [6:0]で設定したサンプル数のデータを保持し、フルになるまでデータの収集を続けます。Buffer がフルでない場合にのみ新しいデータを収集します。</td></tr><tr><td>1</td><td>1</td><td>FILO</td><td>Buffer は、最新の 8 ビット低分解能の 86 セットまたは 16 ビット高分解能の 43 セットのデータを保持します。Buffer がフルになると、新しいデータ用の領域を確保するために最も古いデータが破棄されます。Buffer を読み取ると、最も新しいデータが出力されます。</td></tr></table>	BM [1]	BM [0]	Mode	Description	0	0	FIFO	Buffer は、8 ビット低分解能の 86 セットまたは 16 ビット高分解能の 43 セットのデータを収集した後データの収集を停止し、Buffer がフルでない場合にのみ新しいデータを収集します。	0	1	Stream	Buffer は、最新の 8 ビット低分解能の 86 セットまたは 16 ビット高分解能の 43 セットのデータを保持します。Buffer がフルになると、新しいデータ用の領域を確保するために最も古いデータが破棄されます。	1	0	Trigger	トリガイメントが発生すると、Buffer はトリガイメント前の SMP [6:0]で設定したサンプル数のデータを保持し、フルになるまでデータの収集を続けます。Buffer がフルでない場合にのみ新しいデータを収集します。	1	1	FILO	Buffer は、最新の 8 ビット低分解能の 86 セットまたは 16 ビット高分解能の 43 セットのデータを保持します。Buffer がフルになると、新しいデータ用の領域を確保するために最も古いデータが破棄されます。Buffer を読み取ると、最も新しいデータが出力されます。
	BM [1]	BM [0]	Mode	Description																	
	0	0	FIFO	Buffer は、8 ビット低分解能の 86 セットまたは 16 ビット高分解能の 43 セットのデータを収集した後データの収集を停止し、Buffer がフルでない場合にのみ新しいデータを収集します。																	
	0	1	Stream	Buffer は、最新の 8 ビット低分解能の 86 セットまたは 16 ビット高分解能の 43 セットのデータを保持します。Buffer がフルになると、新しいデータ用の領域を確保するために最も古いデータが破棄されます。																	
1	0	Trigger	トリガイメントが発生すると、Buffer はトリガイメント前の SMP [6:0]で設定したサンプル数のデータを保持し、フルになるまでデータの収集を続けます。Buffer がフルでない場合にのみ新しいデータを収集します。																		
1	1	FILO	Buffer は、最新の 8 ビット低分解能の 86 セットまたは 16 ビット高分解能の 43 セットのデータを保持します。Buffer がフルになると、新しいデータ用の領域を確保するために最も古いデータが破棄されます。Buffer を読み取ると、最も新しいデータが出力されます。																		

(3Ch) BUF_STATUS_1

このレジスタは、Buffer のステータスを出力します。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
3Ch	BUF_STATUS_1	R	SMP_LV [7:0]							

Fields	Function
SMP_LV [7:0]	Buffer に格納されているデータのバイト数を出力します。BRES = 1 の場合、このカウントは、Buffer に 3 軸分サンプルするごとに 6 ずつ増加します。BRES = 0 の場合、このカウントは、Buffer に 3 軸分サンプルするごとに 3 ずつ増加します。このレジスタから 0 が読まれる場合、Buffer にデータは格納されていません。

レジスタマップ – 続き

(3Dh) BUF_STATUS_2

このレジスタは、Buffer トリガ機能のステータスを出力します。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
3Dh	BUF_STATUS_2	R	BUF_TRIG	0	0	0	0	0	0	0

Fields	Function
BUF_TRIG	Trigger モードが選択されている場合、Buffer のトリガ機能のステータスを出力します。Trigger モードを使用する場合、Buffer の読み取りはトリガイベントの後にのみ実行する必要があります。

(3Eh) BUF_CLEAR

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
3Eh	BUF_CLEAR	W	BUF_CLEAR [7:0]							

default value 00h

Fields	Function
BUF_CLEAR [7:0]	このレジスタに任意のデータが書き込まれると、ラッチされた Buffer の状態の情報とすべての Buffer のデータがクリアされます。

(3Fh) BUF_READ

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
3Fh	BUF_READ	R	BUF_READ [7:0]							

Fields	Function
BUF_READ [7:0]	Buffer に蓄積された加速度データを出力します。Buffer の読み取り操作中には、新しいデータが Buffer に書き込まれないことに注意してください。したがって、Buffer からデータを読み取る時は注意が必要です。データを損失させたくない場合は、Buffer 読み取り操作を ODR サイクル内に完了する必要があります。

レジスタマップ – 続き

(46h) BTS_WUF_CNTL

このレジスタはモーション検出機能を設定します。このレジスタの値を変更するには、予め PC1 ビットを '0' に設定してください。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
46h	BTS_WUF_CNTL	R/W	0	TH_MODE E	C_MODE _BTS	C_MODE _WUF	0	0	0	1

default value 41h

Fields	Function
TH_MODE	Wake-up / Back-to-sleep 機能の閾値モードを設定します。 TH_MODE = 0 - 絶対閾値モードに設定されます。 TH_MODE = 1 - 相対閾値モードに設定されます。
C_MODE_BTS	Back-to-sleep 機能のカウンタ動作モードを設定します。 C_MODE_BTS = 0 - カウンタはインクリメント/リセットにするように設定されます。 C_MODE_BTS = 1 - カウンタはインクリメント/デクリメントにするように設定されます。
C_MODE_WUF	Wake-up 機能のカウンタ動作モードを設定します。 C_MODE_WUF = 0 - カウンタはインクリメント/リセットにするように設定されます。 C_MODE_WUF = 1 - カウンタはインクリメント/デクリメントにするように設定されます。

(60h) SELFTEST

このレジスタは Self-test を有効/無効に設定します。

Register Address	Register Name	R/W	D7	D6	D5	D4	D3	D2	D1	D0
60h	SELFTEST	W	SELFTEST [7:0] (activation key = CAh)							

Fields	Function
SELFTEST [7:0]	このビットに Activation key 値(CAh)を書き込むと、Self-test モードになります。

Self-test を実行するには、次の手順が必要です。

- ・ CNTL1 レジスタの PC1 ビットを '0' に設定して、Standby モードします。
- ・ このレジスタに CAh を書き込んで、Self-test 機能を有効にします。
- ・ CNTL1 レジスタの PC1 ビットを '1' に設定して、Operation モードにします。

Self-test 機能を有効にすると加速度センサに疑似的な加速度が印可され、X、Y、Z 軸の出力が DC シフトします。Self-test 応答(ST)の計算式を下に示します。

$$ST [g] = | ((OUTPUT_ST_ON [counts]) - (OUTPUT_ST_OFF [counts])) | / Sensitivity [counts/g]$$

Self-test によるシフト値(電気的特性の表の Positive Self-test での出力変化量を参照)より加速度センサが機械的に動作する状態かご確認頂けます。Self-test モードを無効にするには、次のいずれかの方法をご使用ください。

- ・ 電源を再投入してください。
- ・ CNTL2 レジスタの SRST ビットを '1' に設定してソフトウェアリセットを実行してください。
- ・ CNTL1 レジスタの PC1 ビットを '0' に設定した後、SELFTEST レジスタに 00h を書き込んでください。

モーション割り込み

モーション検出機能(Wake-up 及び Back-to-sleep 機能)による高分解能な閾値割り込みを備えています。これらの機能を使用すると、加速度センサの出力変化が定義された閾値を下回った場合(Back-to-sleep イベント)、または閾値を超えた場合(Wake-up イベント)に割り込みを発生します。この機能は割り込みを生成するだけで、設定(Power モード、データレートなど)は変更されないことにご注意ください。

1. 有効化/無効化

Wake-up 及び Back-to-sleep 機能は、CNTL1 の WUFE ビットと BTS_CNTL レジスタの BTSE ビットを使用して有効/無効に設定でき、モーション検出の方向は INC2 レジスタで任意の軸に対して設定できます。

2. Debounce カウンタ

Wake-up 及び Back-to-sleep 機能には、モーションを検出するためのカウンタが内蔵されています。このカウンタ機能は、BTS_WUF_CNTL レジスタの C_MODE_BTSE ビットまたは C_MODE_WUF ビットを使用して設定できます。カウンタは、加速度センサのデータが Wake-up 機能または Back-to-sleep 機能の閾値を下回ったり上回ったりした場合に、自身をリセットまたはデクリメントするように構成できます。Wake-up 機能の WUFC は、CNTL3 レジスタの OWUF ビットで設定されたデータレート周期でカウントされます。同様に、Back-to-sleep 機能の BTSC は、BTS_CNTL レジスタの OBTS ビットで設定されたデータレート周期でカウントされます。次式に設定した Wake-up 及び Back-to-sleep 遅延時間の WUFC 及び BTSC レジスタ値の計算方法を示します。

$WUFC \text{ (counts)} = \text{Wake-up 遅延時間 (秒)} \times \text{Wake-up 機能 ODR (Hz)}$

$BTSC \text{ (counts)} = \text{Back-to-sleep 遅延時間 (秒)} \times \text{Back-to-sleep 機能 ODR (Hz)}$

3. 閾値の分解能

モーション割り込み閾値は、BTS_TH、WUF_TH、及び BTS_WUF_TH レジスタの WUFTH ビット及び BTSTH ビットによって設定されます。CNTL1 レジスタの GSEL ビットで設定される加速度出力レンジに関わらず、これらのレジスタの値は加速度センサの 8 g 出力の上位 11 ビットと比較されます。これにより、3.9 mg/counts の閾値分解能が得られます。

$2^{11} \text{ counts}/8 \text{ g} = 2048 \text{ counts}/8 \text{ g} = 256 \text{ counts/g}$ または 3.9 mg/counts

4. 閾値の計算

Wake-up 閾値(WUFTH)と Back-to-sleep 閾値 (BTSTH)の計算方法を下に示します。Wake-up 機能はユーザ設定された加速度レンジとは連動しないことにご注意ください。

$WUFTH \text{ (counts)} = \text{Wake-up 閾値 (g)} \times 256 \text{ (counts/g)}$

$BTSTH \text{ (counts)} = \text{Back-to-sleep 閾値 (g)} \times 256 \text{ (counts/g)}$

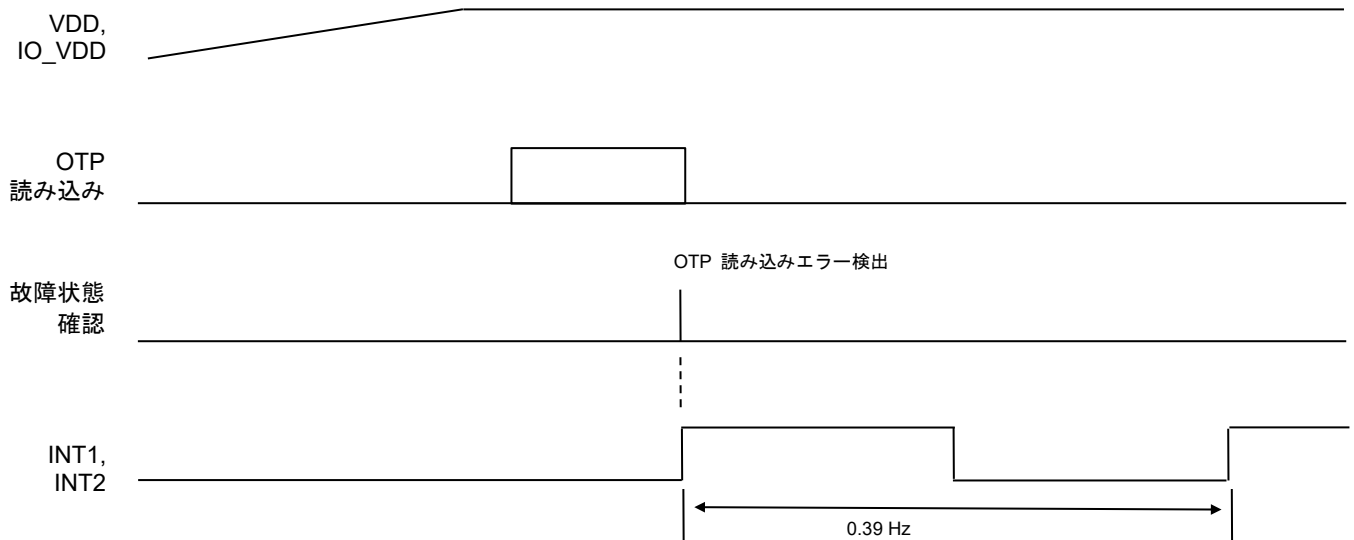
5. 相対/絶対閾値モードの選択

モーション割り込みに使用される閾値モードは、BTS_WUF_CNTL レジスタの TH_MODE ビットで絶対加速度値または相対加速度値のいずれかに設定できます。

エラー通知機能

INT1 及び INT2 に出力される OTP メモリ読み込みエラー通知機能があります。なお、エラー通知機能は割り込み機能よりも優先されます。IEN1 と IEN2 が設定されていない場合でも、INT1 と INT2 は切り替わり、割り込みは無視されます。エラーは、STATUS_REG レジスタの CRC_F ビットにも出力されます。

CRC_F ビットが '1' になり、エラーが検出されると INT1 端子と INT2 端子が IO_VDD レベルと GND レベルをトグルします。エラーが検出されたら、ソフトウェアリセットを実行するか、デバイスの電源を再投入してください。この通知機能は、任意の power モードで使用できます。



Buffer 機能

Buffer 機能は、モード設定に基づいて加速度データを蓄積及び出力します。4 つの Buffer モードが利用可能で、サンプルは低分解能(8 ビット)または高分解能(16 ビット)で蓄積できます。加速度データは、ODCNTL レジスタの OSA ビットで指定された ODR で収集されます。各 Buffer モードでは、データの蓄積、データの出力、及びステータスインジケータの方法が異なります。

1. FIFO モード

データ蓄積

Buffer がフルになると、サンプル収集は停止します。

データ出力

データは、最も古いサンプルの最も古いバイト(分解能に基づいて X_L または X)が最初に出力されます。

ステータスインジケータ

Watermark 割り込みは、Buffer 内のサンプル数がサンプル数閾値に達したときに発生します。Watermark 割り込みは、Buffer に含まれるサンプル数がこの数未満になるまでアクティブのままです。これは、Buffer をクリアするか、明示的に SMPX(以下の式で計算される)以上のデータを読み出せば、Watermark 割り込みはクリアされます。

$BRES = 0:$

$$SMPX = SMP_LV [7:0] / 3 - SMP [6:0]$$

$BRES = 1:$

$$SMPX = SMP_LV [7:0] / 6 - SMP [6:0]$$

Equation 1. サンプル数閾値を超えるサンプル

2. Stream モード

データ蓄積

Buffer がフルになっても、サンプル収集が続行されます。古いデータは破棄され、新しいデータ用の領域が確保されます。

データ出力

データは、最も古いサンプルから最初に出力されます (FIFO 読み取りポインタを使用)。

ステータスインジケータ

Watermark 割り込みは、Buffer 内のサンプル数がサンプル数閾値に達したときに発生します。Watermark 割り込みは、Buffer に含まれるサンプル数がこの数未満になるまでアクティブのままです。これは、Buffer をクリアするか、明示的に SMPX(Equation 1 で計算)以上のデータを読み出せば、Watermark 割り込みはクリアされます。

3. Trigger モード

データ蓄積

物理的な割り込みがデジタル機能の 1 つによって発生した場合、またはロジック HIGH 信号が TRIG 端子で発生した場合、トリガイメントがアサートされ、イベント前の SMP [6:0] サンプルが保持されます。サンプル収集は、Buffer がいっぱいになるまで続行されます。

データ出力

データは、最も古いサンプルから最初に出力されます (FIFO 読み取りポインタを使用)。

ステータスインジケータ

物理割り込みが発生するか、ロジック HIGH 信号が TRIG 端子で発生し、Buffer に少なくとも SMP [6:0] のサンプル数がある場合、BUF_STATUS_2 の BUF_TRIG ビットがアサートされます。Buffer からデータを読み出した後は、BUF_CLEAR レジスタに書き込み、BUF_TRIG ビットをクリアしてください。

4. FILO モード

データ蓄積

Buffer がフルになっても、サンプル収集が続行されます。古いデータは破棄され、新しいデータ用の領域が確保されます。

データ出力

データは、最も新しいサンプルの最も新しいバイト(分解能に基づいて Z_H または Z)が最初に出力されます。

ステータスインジケータ

Watermark 割り込みは、Buffer 内のサンプル数がサンプル数閾値に達したときに発生します。Watermark 割り込みは、Buffer に含まれるサンプル数がこの数未満になるまでアクティブのままです。これは、Buffer をクリアするか、明示的に SMPX(Equation 1 で計算)以上のデータを読み出せば、Watermark 割り込みはクリアされます。

Buffer 操作

次の図は、Buffer の操作を概念的に示しています。実際の実装は、さまざまな Buffer モードがどのように動作するかについて簡単に説明します。Figure 1 は、Buffer 内の高分解能 3 軸サンプルを表しています。Figure 1 ~ Figure 10 は簡易的な説明のために 10 サンプルバージョンの Buffer を表しており、サンプル数閾値は 8 に設定されています。選択したモードに関係なく、Buffer は一度に 1 バイトずつ順番に蓄積されます。Buffer の読み取り操作中は新しいデータが Buffer に書き込まれないことに注意してください。したがって、Buffer から読み取るときはご注意ください。データ損失が望ましくない場合は、Buffer 読み取り操作をデータレートサイクル内に完了する必要があります。

Figure 1 は、1 つの 6 バイトのデータサンプルを示しています。FIFO 読み取りポインタ、及び FILO 読み取りポインタの位置を示します。

Index	Byte	
0	X_L	← FIFO 読み取りポインタ
1	X_H	
2	Y_L	
3	Y_H	
4	Z_L	
5	Z_H	← FILO 読み取りポインタ
6		

Buffer 書き込みポインタ →

Figure 1. 1 つの Buffer サンプル

選択したモードに関係なく、Buffer は一度に 1 サンプルずつ順番に蓄積されます。Figure 2 に FIFO 読み出しポインタ、及び FILO 読み取りポインタの位置を示します。Buffer 書き込みポインタは、次のサンプルが Buffer に書き込まれる場所を示します。

Index	Sample	
0	Data0	← FIFO 読み取りポインタ
1	Data1	
2	Data2	← FILO 読み取りポインタ
3		
4		
5		
6		
7		← サンプル数閾値
8		
9		

Buffer 書き込みポインタ →

Figure 2. Buffer 蓄積

Buffer 操作 – 続き

Buffer は、サンプル数閾値に達するまで順番に蓄積され続けます。Figure 3 に FIFO 読み出しポインタ、及び FILO 読み取りポインタの位置を示します。

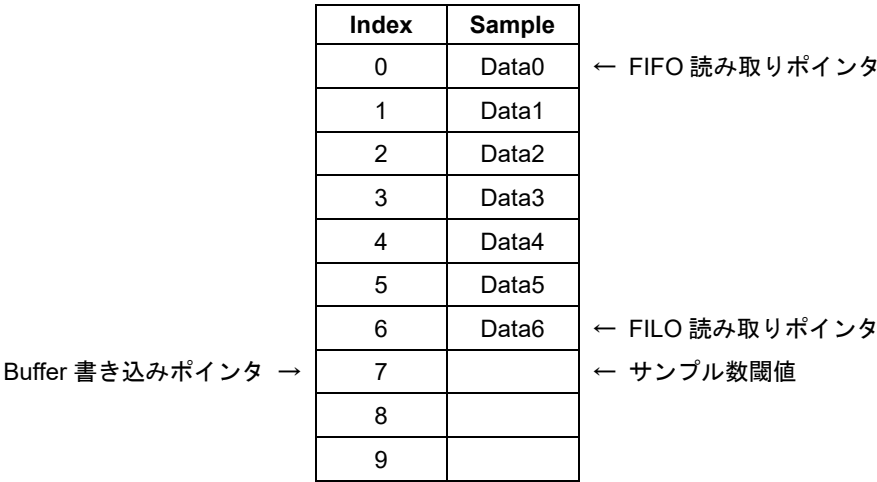


Figure 3. サンプル数閾値付近の Buffer 蓄積

FIFO、Stream、及び FILO モードでは、Buffer 内のサンプル数がサンプル数閾値に達すると、Watermark 割り込みが発生させます。Trigger モードでは、これは、新しいデータ用の領域を確保するために Buffer 内の最も古いデータが破棄されるポイントです。

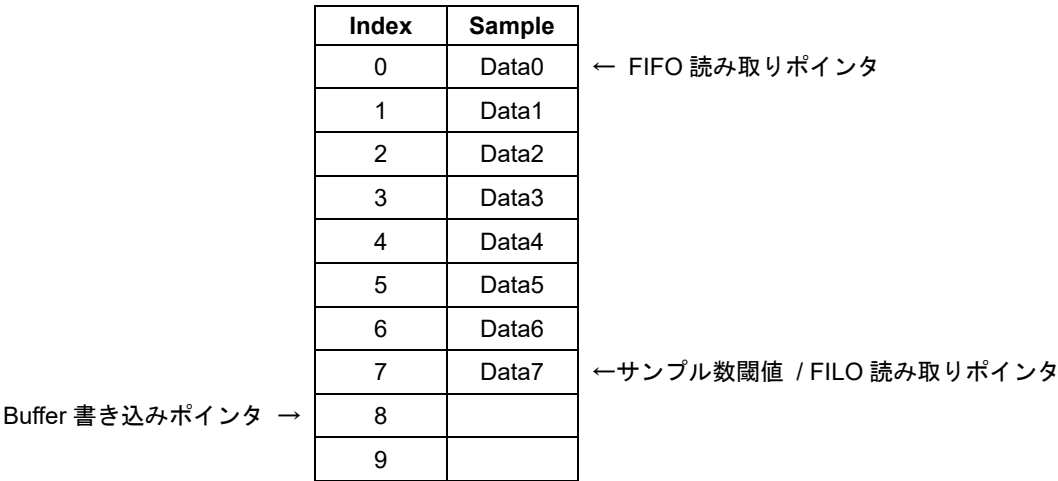


Figure 4. サンプル数閾値の Buffer 蓄積

Buffer 操作 - 続き

Trigger モードでは、データはサンプル数閾値に達するまで Buffer に順次蓄積されます。サンプル数閾値に達すると、新しいサンプルが収集されるときに最も古いサンプルが破棄されます。Figure 5 では、Data8 用の領域を確保するために Data0 が破棄されることを示しています。

Index	Sample	
0	Data1	← トリガ読み取りポイント
1	Data2	
2	Data3	
3	Data4	
4	Data5	
5	Data6	← サンプル数閾値
6	Data7	
7	Data8	
8		
9		

トリガ書き込みポイント →

Figure 5. トリガイイベント前の追加データ

トリガイイベントが発生すると、Buffer は古いサンプルを破棄せず、代わりに Buffer がフルになるまで順番に蓄積を開始します。その後、Buffer はサンプルの収集を停止します(Figure 6 参照)。これにより、Buffer はトリガイイベントの前に SMP [6:0] サンプルを保持し、トリガイイベントの後に SMPX サンプルを保持します。

Index	Sample	
0	Data1	← トリガ読み取りポイント
1	Data2	
2	Data3	
3	Data4	
4	Data5	
5	Data6	← サンプル数閾値
6	Data7	
7	Data8	
8	Data9	
9	Data10	

Figure 6. トリガイイベント後の追加データ

Buffer 操作 – 続き

FIFO、Stream、FILO、及び(トリガイベント発生後の)Trigger モードでは、サンプル数閾値に達した後も Buffer は順番に蓄積され続けます。Buffer がフルになった後のサンプルの蓄積は、選択した動作モードによって異なります。FIFO モードと Trigger モードは、Buffer がフルになるとサンプルの蓄積を停止し、Stream、及び FILO モードは新しいサンプルが蓄積されると最も古いデータの破棄を開始します。

Index	Sample	
0	Data0	← FIFO 読み取りポインタ
1	Data1	
2	Data2	
3	Data3	
4	Data4	
5	Data5	
6	Data6	
7	Data7	
8	Data8	← サンプル数閾値
9	Data9	← FILO 読み取りポインタ

Figure 7. Buffer フル

Buffer が FILO、または Stream モードで蓄積された後、新しいサンプルが収集されると、最も古いサンプルが破棄されます。Figure 8 では、Data10 用の領域を確保するために Data0 が破棄されることを示しています。

Index	Sample	
0	Data1	← FIFO 読み取りポインタ
1	Data2	
2	Data3	
3	Data4	
4	Data5	
5	Data6	
6	Data7	
7	Data8	
8	Data9	← サンプル数閾値
9	Data10	← FILO 読み取りポインタ

Figure 8. Buffer フル - Stream、または FILO モードでの追加サンプル蓄積

Buffer 操作 – 続き

FIFO、Stream、または Trigger モードでは、Buffer から 1 つのサンプルを読み取ると、最も古いサンプルが削除され、Buffer の内容全体が上にシフトされます(Figure 9 参照)。

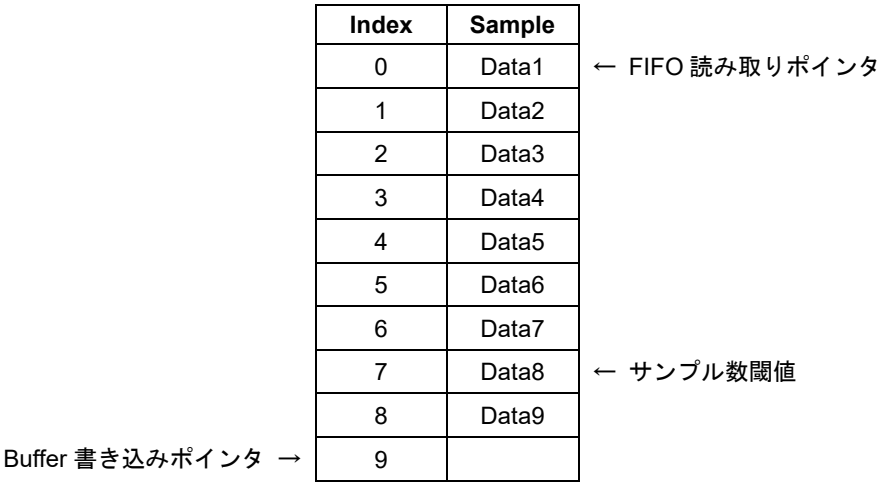


Figure 9. Buffer フルからの FIFO 読み取り

FILO モードでは、Buffer から 1 つのサンプルを読み取ると、最も新しいサンプルが削除され、古いサンプルは Buffer にそのまま残ります(Figure 10 参照)。

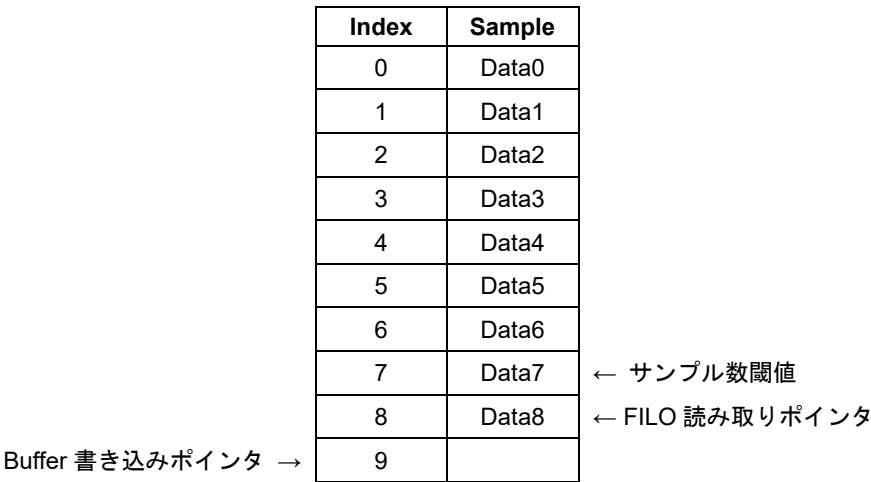


Figure 10. Buffer フルからの FILO 読み取り

特性データ
(参考データ)
(特に指定のない限り $V_{IO_VDD} = 2.5\text{ V}$, $V_{VDD} = 2.5\text{ V}$, $T_a = 25\text{ }^{\circ}\text{C}$)

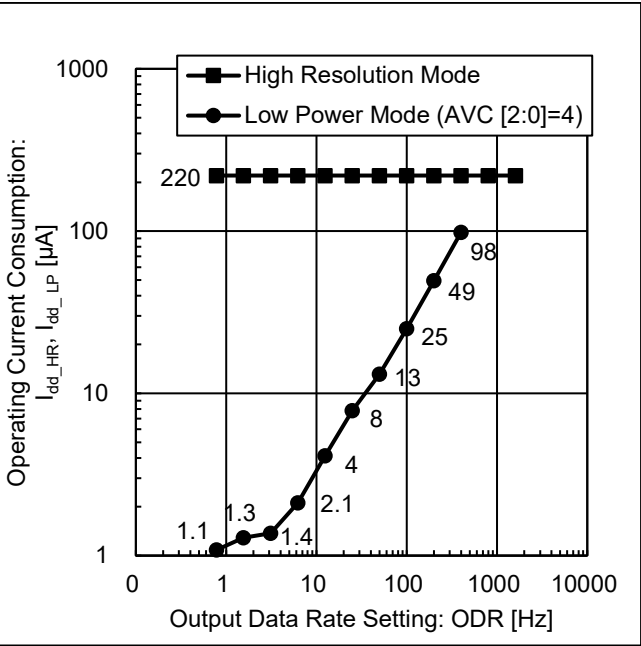


Figure 11. 動作時消費電流 vs ODR

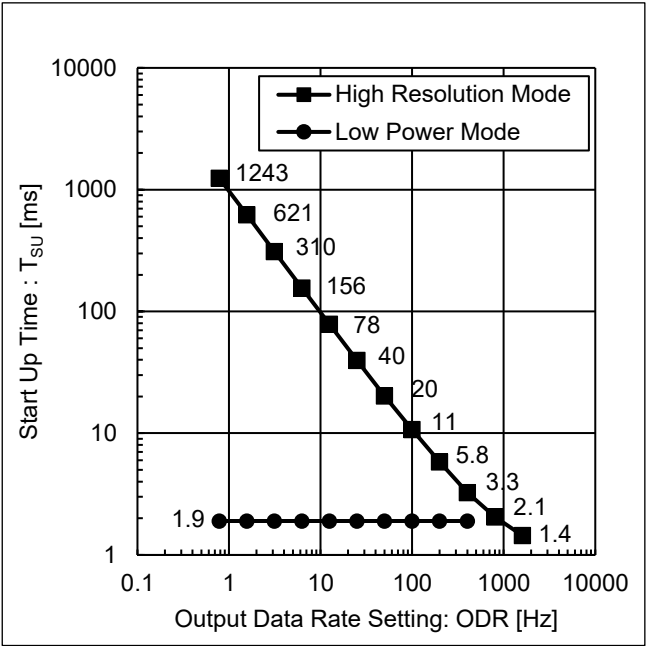
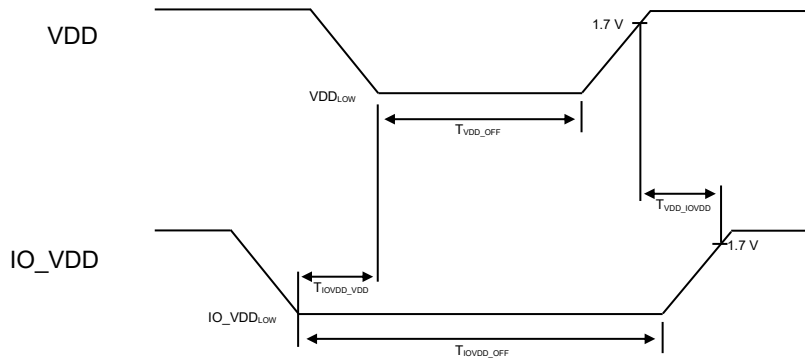


Figure 12. スタートアップタイム vs ODR

電源投入手順

パワーオンリセット(POR)が正しく機能するかどうかは、個々のアプリケーションの特定の $V_{DD_{LOW}}$ 及び T_{VDD_OFF} プロファイルに依存します。 $V_{DD_{LOW}}$ を最小化し、 T_{VDD_OFF} を最大化することを推奨します。また、 V_{DD} のランプアップ時間は単調にすることをお勧めします。適切に POR を実行するには、POR 性能がこれらのパラメータによって異なる可能性があるため、お客様が指定した V_{DD} 、 $V_{DD_{LOW}}$ 、 T_{VDD_OFF} 、及び温度の範囲でアプリケーションを評価する必要があります。ベンチテストでは、適切に POR が実行される範囲を実測しています。適切に POR を実行するには、次の表と一致する動作閾値を設定します。



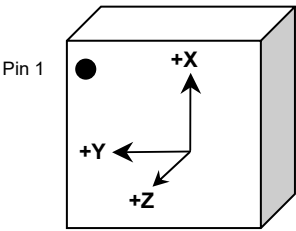
(特に指定のない限り $V_{VDD} = 2.5\text{ V}$, $V_{IO_VDD} = 2.5\text{ V}$ and $T_a = 25\text{ }^{\circ}\text{C}$)

項 目	記号	最小	標準	最大	単位	条 件
VDD off 時間	T_{VDD_OFF}	10	-	-	ms	
IO_VDD off 時間	$T_{IO_VDD_OFF}$	10	-	-	ms	
VDD low 電圧	$V_{DD_{LOW}}$	-	-	250	mV	
IO_VDD low 電圧	IO_VDD_{LOW}	-	-	250	mV	
IO_VDD low から VDD low までの時間	T_{IOVDD_VDD}	0	-	-	ms	
VDD high から IO_VDD high までの時間	T_{VDD_IOVDD}	0	-	-	ms	

(Note) VDD と IO_VDD は、常に単調ランプである必要があります。
 V_{IO_VDD} は V_{VDD} 以下にしておく必要があります。
意図しない状態にならないようにするには、VDD と IO_VDD の両方を GND($\leq 250\text{ mV}$)に一定期間($\geq 10\text{ ms}$)プルダウンする必要があります。
パワーアップタイムは電氣的特性表で指定されています。
デバイスが組み込まれる特定のシステムのパフォーマンスを評価することにより、タイミング(T_{VDD_OFF})と閾値($V_{DD_{LOW}}$)レベルをユーザが決定することが重要です。

加速度検出例

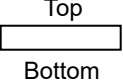
デバイスが+X、+Y、または+Z 方向に加速されると、対応する出力が増加します。



静的 X/Y/Z 出力 vs 地表への向き GSEL [1:0] = 0 (加速度レンジ: $\pm 2\text{ g}$)

Position	1		2		3		4		5		6	
Diagram												
Earth's surface												
Resolution (bits)	16	8	16	8	16	8	16	8	16	8	16	8
X (counts)	+16384	+64	0	0	-16384	-64	0	0	0	0	0	0
Y (counts)	0	0	-16384	-64	0	0	+16384	+64	0	0	0	0
Z (counts)	0	0	0	0	0	0	0	0	+16384	+64	-16384	-64

静的 X/Y/Z 出力 vs 地表への向き GSEL [1:0] = 1 (加速度レンジ: $\pm 4\text{ g}$)

Position	1		2		3		4		5		6	
Diagram												
Earth's surface												
Resolution (bits)	16	8	16	8	16	8	16	8	16	8	16	8
X (counts)	+8192	+32	0	0	-8192	-32	0	0	0	0	0	0
Y (counts)	0	0	-8192	-32	0	0	+8192	+32	0	0	0	0
Z (counts)	0	0	0	0	0	0	0	0	+8192	+32	-8192	-32

加速度検出例 - 続き

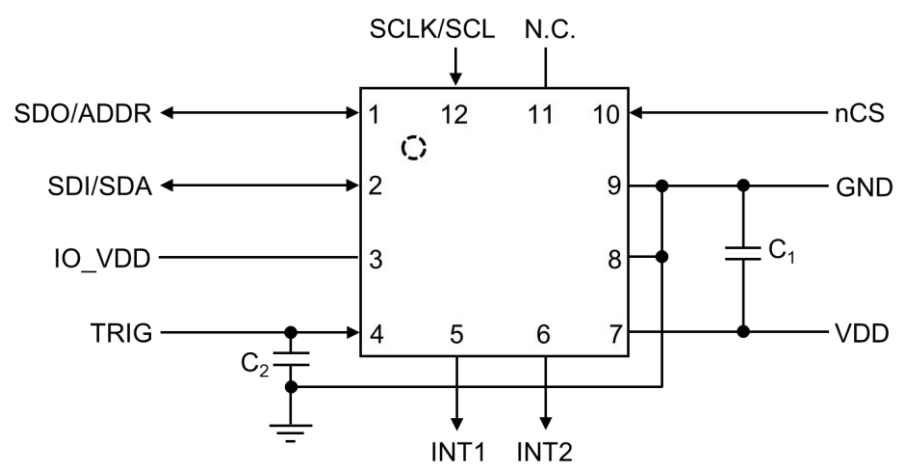
静的 X/Y/Z 出力 vs 地表への向き GSEL [1:0] = 2 (加速度レンジ: ± 8 g)

Position	1		2		3		4		5		6	
Diagram												
	Earth's surface		Earth's surface		Earth's surface		Earth's surface		Earth's surface		Earth's surface	
Resolution (bits)	16	8	16	8	16	8	16	8	16	8	16	8
X (counts)	+4096	+16	0	0	-4096	-16	0	0	0	0	0	0
Y (counts)	0	0	-4096	-16	0	0	+4096	+16	0	0	0	0
Z (counts)	0	0	0	0	0	0	0	0	+4096	+16	-4096	-16

静的 X/Y/Z 出力 vs 地表への向き GSEL [1:0] = 3 (加速度レンジ: ± 16 g)

Position	1		2		3		4		5		6	
Diagram												
	Earth's surface		Earth's surface		Earth's surface		Earth's surface		Earth's surface		Earth's surface	
Resolution (bits)	16	8	16	8	16	8	16	8	16	8	16	8
X (counts)	+2048	+8	0	0	-2048	-8	0	0	0	0	0	0
Y (counts)	0	0	-2048	-8	0	0	+2048	+8	0	0	0	0
Z (counts)	0	0	0	0	0	0	0	0	+2048	+8	-2048	-8

応用回路例



入出力等価回路図

端子名	等価回路図	端子名	等価回路図
VDD IO_VDD		SDI/SDA SDO/ADDR	
SCLK/SCL TRIG nCS		INT1 INT2	

使用上の注意

1. 電源の逆接続について

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑止してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源ーグラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

使用上の注意 - 続き

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

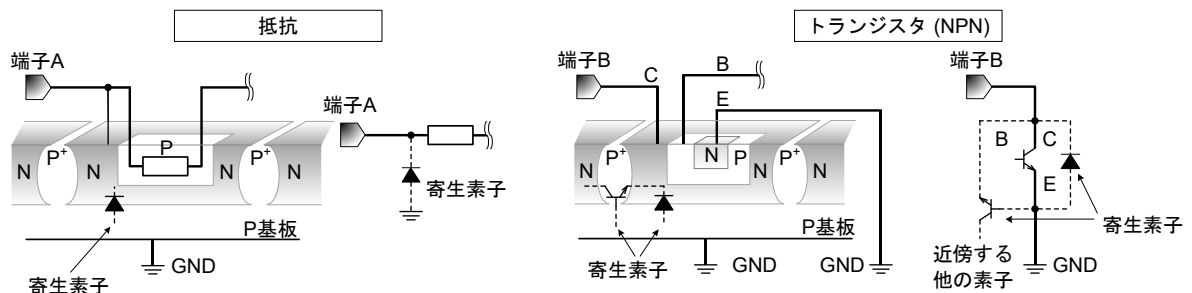


Figure 13. モノリシック IC 構造例

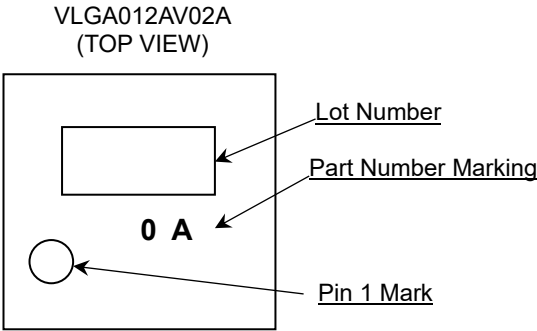
11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

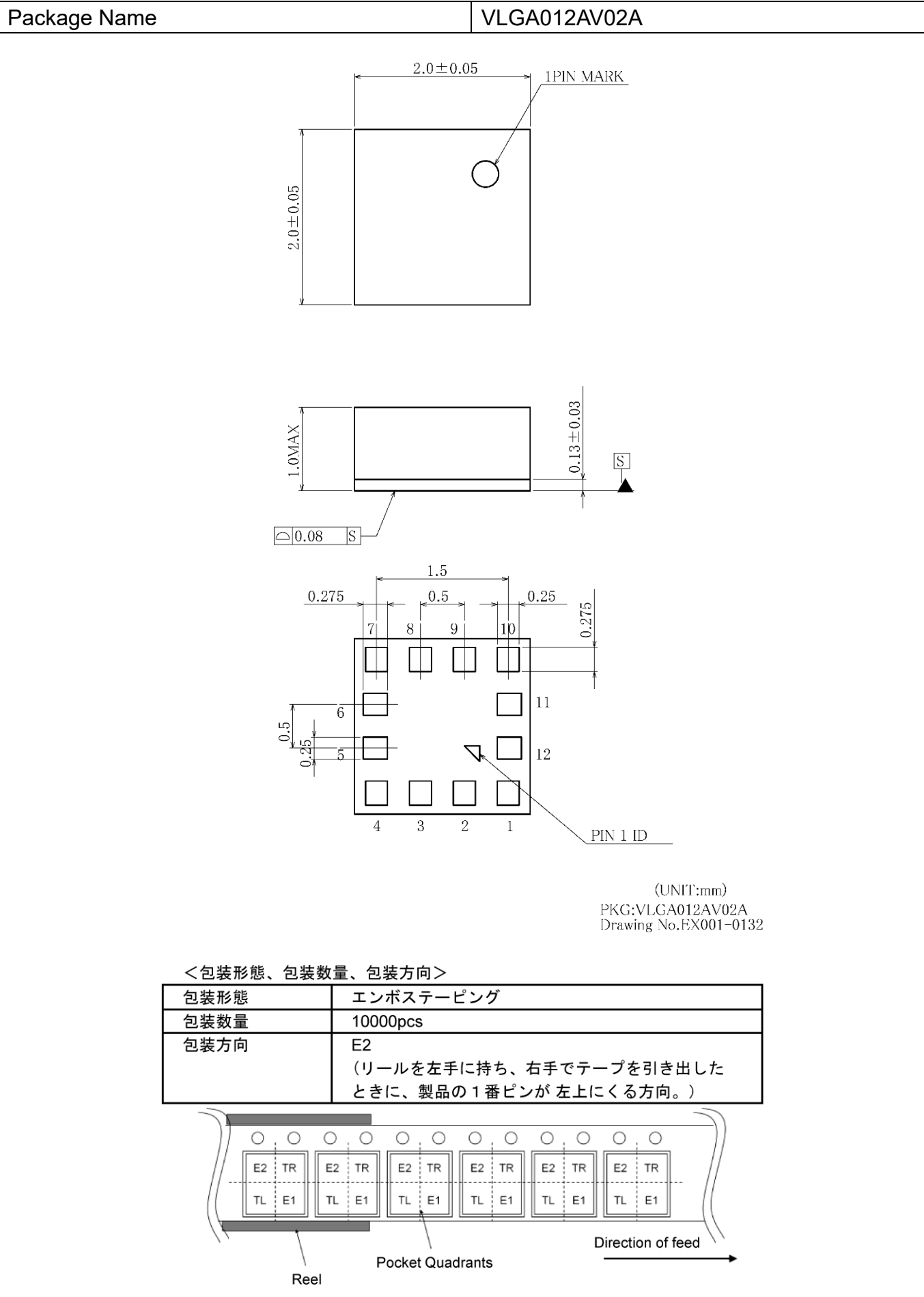
発注形名情報

K X 0 2 2 A C R										-	Z E2	
品名											包装、フォーミング仕様 Z: 外注パッケージ E2: リール状エンボステーピング	

標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2023.12.25	002	新規作成

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂ 等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合（無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。）又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。