

SiC 파워 디바이스 · 모듈

어플리케이션 노트

Rev.003

【주의사항】 본 어플리케이션 노트에 기재된 평가 데이터 등은 ROHM에서 동일 조건 하에 평가한 결과를 참고로서 나타낸 것입니다. 본 자료에 기재된 특성은 당사가 보증하지 않습니다.

목차

1. SiC 반도체	5
1.1 SiC 재료의 물성 및 특징	5
1.2 파워 디바이스로서의 특징	5
2. SiC SBD 특징	6
2.1 디바이스 구조 및 특징	6
2.2 SiC SBD의 순방향 특성	7
2.3 SiC SBD 리커버리 특성	8
2.4 SiC SBD의 순방향 서지 특성	9
2.5 직렬·병렬 사용 시 주의사항	10
2.5.1 직렬 접속	10
2.5.2 병렬 접속	10
3. SiC MOSFET 특징	11
3.1 디바이스 구조와 특징	11
3.2 규격화 ON 저항 (RonA)	12
3.3 Vos-ん 특성	13
3.4 구동 게이트 전압과 ON 저항	14
3.5 ON 저항의 온도계수	15
3.6 Vgs-쇼 특성	16
3.7 Turn On 특성	17
3.8 Turn Off 특성	
3.9 내부 게이트 저항	19
3.10 바디 다이오드의 리커버리 특성	20
3.11 BV (Breakdown Voltage) 온도 의존성	21
3.12 플라이백용 1700V SiC MOSFET	22
3.13 제 3 세대 Trench 게이트 SiC MOSFET	23
3.14 스위칭 특성의 온도 의존성	24
3.15 스위칭 특성의 게이트 전압 의존성	25
3.16 스위칭 속도의 드레인 전류 의존성	25
3.17 기생 인덕턴스가 스위칭 특성에 미치는 영향	26
3.18 Kelvin 소스 패키지	27
4. 디스크리트용 평가 기판	28
4.1 SiC MOSFET 디스크리트용 평가 기판	
4.2 평가 사례	29
5. 게이트 드라이브	
5.1 회로 방식의 수의사항	
5.1.1 펄스 트랜스에 의한 구동	
5.1.2 Bootstrap 방식에 의한 High side 구동	
5.1.3 절면 선원에 의한 High side 구동	
5.1.4 바이너스 바이어스 생성 회로	
5.2 버버 (Buffer) 회도	
5.3 UVLO (Under Voltage Lock Out : 서선압 오농작 방지 기능)	
5.4 SIC MOSEET 공 게이드 느라이버 IC	
5.5 건경 계이트 선압 (VGS)	
5.0 건경 외상 게이트 서양 (<i>K</i> G_EXT)	

	5.7 권장 Dead Time (t _{DT})	.39
	5.8 Self Turn-on 대책	.40
	5.9 마이너스 서지 대책	.41
	5.10 단락 보호	.42
	5.10.1 DESAT	.42
	5.10.2 전류 Sense 단자가 있는 MOSFET의 단락 보호	.42
	5.11 권장 레이아웃	.43
	5.12 MOSFET 직렬 · 병렬 사용 시 주의사항	.45
	5.12.1 직렬 접속	.45
	5.12.2 병렬 접속	.47
6.	SiC 파워 모듈 특징	50
	6.1 SiC 모듈 특징	.50
	6.2 회로 구성	.50
	6.3 NTC 서미스터 (thermistor)	.51
	6.4 파워 모듈 부착 방법	.53
	6.4.1 Heat Sink 부착	.53
	6.4.2 신호선 부착	.54
	6.5 스위칭 특성	.55
	6.5.1 드레인 저류 의존성 온도 의존성	.55
	6.5.2 게이트 저항 의존성	.56
	6.5.3 게이트 바이어스 의존성	.57
	6.6 IGBT 모듈과의 스위칭 손실 비교	.58
	6.6.1 토탈 스위칭 손실 비교	.58
	6.6.2 리커버리 손실 (Err) 비교	.58
	6.6.3 Turn On 손실 (Eon) 비교	.59
	6.6.4 Turn Off 손실 (Foff) 비교	.59
	6 7 Self turn-on 대책	.60
	6.8 RBSOA (역 바이어스 안전 동작 영역)	.61
	69 다이오드 소전류 좁은 펔스 통전 시 l/s 서지	.62
	6 10 G-type 파원 모듈	.63
7.	모듈용 평가 기판	64
	7.1 SiC 파워 모듈용 드라이브 기판	.64
	7 2 서지 전압 대책	.65
8.	신뢰성	67
	- · · · · · · · · · · · · · · · · · · ·	.67
	8.1.1 d l⁄d <i>t</i> 파괴	.67
	8.1.2 SiC SBD 신뢰성 시험 결과	.67
	8.2 SiC MOSFET 신뢰성	.69
	8.2.1 게이트 산화막	.69
	8.2.2 Threshold value 안정성 (게이트 플러스 바이어스)	.70
	8.2.3 Threshold value 안정성 (게이트 마이너스 바이어스)	.70
	8.2.4 Threshold value 안정성 (제 3 세대 MOSFET)	.71
	8.2.5 단락 내량	.71
	8.2.6 d <i>V</i> d <i>t</i> 파괴	.71
	8.2.7 우주방사선 기인 중성자 내량	.72
	8.2.8 정전파괴 내량	.73

	8.2.9 파워 사이클 주의사항	73
	8.3 SiC 파워 모듈 신뢰성	75
	8.3.1 파워 사이클	75
	8.3.2 HV-H3TRB (High Voltage High Humidity High Temperature Reverse Bias)	76
	8.3.3 SiC 파워 모듈 신뢰성 시험 결과	77
9.	품번 구성	78
	9.1 SiC SBD (디스크리트 제품)	78
	9.2 SiC MOSFET (디스크리트 제품)	79
	9.3 SiC 파워 모듈	80
	9.4 SiC SBD (Chip 제품)	81
	9.5 SiC MOSFET (Chip 제품)	81
10). 응용회로 예	82
10). 응용회로 예 10.1 역률 개선 (PFC) 회로, boost chopper	. 82 82
10). 응용회로 예 10.1 역률 개선 (PFC) 회로, boost chopper 10.2 강압 Chopper	. 82 82 82
10	D. 응용회로 예 10.1 역률 개선 (PFC) 회로, boost chopper 10.2 강압 Chopper 10.3 승강압 Chopper	. 82 82 82 82
10	0. 응용회로 예 10.1 역률 개선 (PFC) 회로, boost chopper 10.2 강압 Chopper 10.3 승강압 Chopper 10.4 Totem Pole PFC	. 82 82 82 82 82 83
10	0. 응용회로 예 10.1 역률 개선 (PFC) 회로, boost chopper 10.2 강압 Chopper 10.3 승강압 Chopper 10.4 Totem Pole PFC 10.5 플라이백 컨버터	. 82 82 82 82 83 83
10	0. 응용회로 예	. 82 82 82 83 83 83
10	0. 응용회로 예	 82 82 82 83 83 83 84
10	0. 응용회로 예	 82 82 82 83 83 83 84 84
10	0. 응용회로 예	 82 82 82 83 83 83 84 84 84

1. SiC 반도체

1.1 SiC 재료의 물성 및 특징

SiC (Silicon Carbide)는 실리콘 (Si)과 탄소 (C)로 구성된 화합물 반도체 재료입니다. Table 1-1 은 각 반도체 재료의 전기적 특징입니다. SiC 의 절연 파괴 전계 강도 (Breakdown Field)는 Si 의 10 배, 밴드 갭 (Energy Gap)은 Si 의 3 배로 우수할 뿐만 아니라, 디바이스 제조에 필요한 p 형, n 형의 폭넓은 제어가 가능한 점 등 Si 의 한계를 뛰어넘은 파워 디바이스용 재료로 기대되고 있습니다. SiC 에는 다양한 폴리타이프 (다형체 결정 구조)가 존재하여, 각각 물성치가 다릅니다. 파워 디바이스용으로 4H-SiC 가 최적이며 현재 4inch~6inch 의 단결정 웨이퍼가 양산화되고 있습니다.

Properties	Si	4H-SiC	GaAs	GaN
Crystal Structure	Diamond	Hexagonal	Zincblende	Hexagonal
Energy Gap : E_{G} (eV)	1.12	3.26	1.43	3.5
Electron Mobility : μ_n (cm ² /Vs)	1400	900	8500	1250
Hole Mobility : μ_{p} (cm ² /Vs)	600	100	400	200
Breakdown Field : <i>E</i> _B (V/cm) X10 ⁶	0.3	3	0.4	3
Thermal Conductivity (W/cm°C)	1.5	4.9	0.5	1.3
Saturation Drift Velocity : v_{s} (cm/s) X10 ⁷	1	2.7	2	2.7
Relative Dielectric Constamt : ϵ_s	11.8	9.7	12.8	9.5
p, n Control	0	0	0	Δ
Thermal Oxide	0	0	×	х

Table 1-1. 반도체 재료의 전기적 특징

1.2 파워 디바이스로서의 특징

SiC 는 절연 파괴 전계 강도가 Si 에 비해 약 10 배 높아, 600V~수 천 V 의 고내압 파워 디바이스를 Si 디바이스와 비교하여 불순물 농도가 높고, 박막의 드리프트층으로 제작할 수 있습니다. 고내압 파워 디바이스의 저항 성분 대부분은 이 드리프트층의 저항이므로 SiC 로는 단위 면적당 ON 저항이 매우 낮은 고내압 디바이스를 실현할 수 있습니다. 이론상 동일한 내압일 때 Si 와 비교하여 1/300 로 면적당 드리프트층 저항을 저감시킬 수 있습니다. Si 에서는 고내압화에 따른 ON 저항 증대를 개선하기 위해 IGBT (Insulated Gate Bipolar Transistor : 절연 게이트 타입 바이폴라 트랜지스터) 등 소수 캐리어 디바이스 (바이폴라 디바이스)가 주로 사용되어 왔지만, 스위칭 손실이 크다는 문제가 있어, 이로 인해 발생하는 발열로 고주파 구동에는 한계가 있었습니다. SiC 에는 고속 디바이스 구조인 다수 캐리어 디바이스 (Schottky Barrier Diode 및 MOSFET)로 고내압을 실현할 수 있으므로 「고내압」, 「저 ON 저항」, 「고속」 3 가지를 동시에 실현할 수 있습니다.

또한, Band Gap 이 Si 의 약 3 배 넓으므로 고온에도 동작 가능한 파워 디바이스를 실현할 수 있습니다. (현재 패키지의 내열 신뢰성 제약으로 150°C~175°C를 보증하며, 향후 패키지 기술이 증진되면 200°C 이상의 보증 온도가 가능해집니다.)

2. SiC SBD 특징

2.1 디바이스 구조 및 특징

SiC는 고속 디바이스 구조인 Schottky Barrier Diode (SBD) 구조로 1200V 이상의 고내압 다이오드를 실현할 수 있습니다. (Si에서 SBD는 최고 200V 정도까지)

따라서 Figure 2-1 처럼 현재 주류인 고속 PN 접합 다이오드 (FRD : Fast Recovery Diode)에서 전환됨으로써 리커버리 손실을 대폭 삭감할 수 있습니다. 전원의 고효율화 또는 고주파 구동에 따른 코일 등 수동 부품의 소형화, 노이즈 저감에 기여합니다. 역률 개선 회로 (PFC 회로)나 2 차측 정류 Bridge 를 중심으로 EV 충전기, 태양광 발전 파워 컨디셔너, 서버 전원, 에어컨 등 넓은 범위에 응용되고 있습니다.

현재 ROHM 에는 650V, 1200V, 1700V 내압의 SBD 라인업이 있습니다.



Figure 2-1. Si 와 SiC 의 정격 전압 범위 (다이오드)

2.2 SiC SBD 의 순방향 특성

SiC SBD 의 Rising 전압은 Si FRD 와 동등하고 1V 보다 조금 낮습니다. Rising 전압은 Schottky 장벽의 Barrier 로 결정되며 통상 Barrier height 를 낮게 설계하면 Rising 전압은 낮게 발생하지만, 역 바이어스 시 리크 전류가 증가하는 트레이드 오프 관계에 있습니다. ROHM 의 제 2 세대 SBD는 프로세스를 연구하여, 리크 전류나 리커버리 성능을 기존품과 동일하게 유지하면서 Rising 전압을 약 0.15V 저감시켰습니다. 또한, 제 3 세대 SBD 에는 JBS (Junction Barrier Schottky) 구조와 제 2 세대 SBD 의 Low 1/ 프로세스를 조합시킴으로써 한층 더 Low VF화, Low 리크 전류화를 실현하였습니다. 특히 고온 시 1/ 를 대폭 삭감하였습니다.

온도 의존성은 Si FRD 와 다르며, 고온일수록 동작 저항 증가에 의해 / 가 증가합니다. 열 폭주가 발생하기 어려우므로 안심하시고 병렬 접속으로 사용하여 주시기 바랍니다. Figure 2-2 는 대표적인 / - / - 특 특성입니다.



Figure 2-2. SiC SBD 순방향 특성 (650V, 10A Class)

2.3 SiC SBD 리커버리 특성

Si의 고속 PN 다이오드 (FRD: Fast Recovery Diode)는 순방향에서 역방향으로 전환하는 순간에 큰 과도전류가 흘러, 이 기간에 역 바이어스 상태로 이행함으로써 큰 손실이 발생합니다. 이는 순방향 통전 시 Drift 층 안에 축적된 소수 캐리어가 소멸되기까지의 기간 (축적 시간)동안 전기 전도에 영향을 주기 때문에 발생합니다. 순방향 전류가 클수록, 또한 온도가 높을수록, 리커버리 시간이나 리커버리 전류가 커져 막대한 손실이 발생합니다.

SiC SBD 는 소수 캐리어를 전기 전도로 사용하지 않는 다수 캐리어 디바이스 (Unipolar Device)이므로 원리적으로 소수 캐리어 축적이 발생하지 않습니다. 접합 용량을 방전하는 정도의 작은 전류가 흐르는 것만으로 SiFRD와 비교하여 손실을 대폭 삭감할 수 있습니다. 이 과도 전류는 온도나 순방향 전류에 대부분 의존하지 않기 때문에 어떠한 환경에도 안정적인 고속 리커버리를 실현할 수 있습니다. 또한, 리커버리 전류에 기인하여 발생한 노이즈 삭감도 기대할 수 있습니다.

Figure 2-3 은 SiC SBD 와 Si FRD 의 리커버리 특성 측정 결과입니다. SiC 는 사용 온도나 흐르는 전류와 상관없이 리커버리 전류가 대폭 삭감되었음을 알 수 있습니다.









2.4 SiC SBD 의 순방향 서지 특성

제 2 세대 SBD 는 Pure Schottky 구조라고 하는 Drift 층에 Schottky Metal 만 부착한 심플한 구조를 채용하고 있습니다. 그러나 고온 시 Drift 층의 저항값은 증가하므로 순방향 서지 전류가 흐를 때 자기 발열로 전류를 제한하여 피크 서지 전류 IFSM 이 Si FRD 에 비해 낮은 경향이 있습니다. PFC 회로에 바이패스 다이오드가 없는 경우, 기동 시 등 돌입 전류로 인해 SBD 에 고장이 발생할 우려가 있습니다.

제 3 세대 SBD 는 JBS 구조를 채용하여 IFSM 특성을 제 2 세대의 약 2 배로 향상시켰습니다. JBS 구조는 Schottky 경계면에 미세한 PN 접합 다이오드가 삽입되어 있어 대전류일 때 PN 접합을 통해 정공이 주입되어 Drift 층의 저항 증가를 억제합니다. 돌입 전류에 대해 높은 내성이 있기 때문에 바이패스 다이오드가 없는 PFC 회로에도 사용할 수 있습니다. Figure 2-4 는 제 2 세대와 제 3 세대의 구조 차이, Table 2-1 은 대표적인 전기적 특성 비교입니다.



Figure 2-4. 제 2 세대와 제 3 세대 SiC SBD 구조 비교

Table 2-1. 제 2 세대와 제 3 세대의 주요 전기적 특성 비교

Itom	제 2 세대	제 3 세대
	SCS210AG	SCS310AH
<i>V</i> _F @10A (25C) typ.	1.35V	1.35V
V _F @10A (150C) typ.	1.55V	1.44V
<i>I</i> _R (25C) typ.	2µA@600V	0.03µA@650V
I _{FSM} 50Hz, 1 pulse	38A	82A

직렬 · 병렬 사용 시 주의사항 2.5

파워 디바이스 선정 시 전압이나 전류 조건에 따라 원하는 정격의 디바이스가 존재하지 않을 수도 있습니다. 이 때 디바이스를 여러개 사용하는 경우가 있습니다만, 각각의 디바이스에는 반드시 특성 편차가 있으므로 특별한 주의가 필요합니다.

2.5.1 직렬 접속

디바이스 내압 이상의 전압을 Blocking 해야 할 때 SBD 를 직렬로 접속하는 경우가 있습니다. 각 소자에 가해지는 전압을 균등화하기 위해, 애노드와 캐소드 사이에 밸런스 저항을 병렬로 하는 경우가 일반적입니다만, Figure 2-5 (a)와 같이, SBD 는 역 바이어스 시의 누설전류 IR 이 크고 편차도 크기 때문에 밸런스 저항에 따른 대책은 현실적이지 않습니다.

또한, (b)의 단자 간 용량 C 는 인가되는 전압에 의해 크게 변화하므로 역 바이어스를 인가 직후 과도 상태 시 전압이 언밸런스해지거나 경우에 따라서는 정격 이상이 됩니다.

위와 같은 이유들로 직렬 접속 사용은 기본적으로 권장하지 않습니다.

2.5.2 병렬 접속

SBD 에 흘려보낼 전류가 디바이스 정격 이상일 때 병렬 접속으로 사용하는 경우가 있습니다. SiC SBD 에는 Figure 2-5 (c)와 같이, 전류가 증가하고 디바이스 온도가 상승하면 レ∉ 가 높아지므로 특정 디바이스에 전류가 집중되지 않고 균형을 이룹니다.

따라서 병렬 사용 시 부가 회로 추가 없이 사용할 수 있습니다만, 제품 Lot 을 동일하게 하거나 배선 임피던스를 최대한 동등하게 하는 등의 고려가 필요합니다.



(a) 1/k - k 특성

(b) 1/k - G 특성

1000



Figure 2-5. SCS306AM 전기적 특성 그래프 (발췌)

3. SiC MOSFET 특징

3.1 디바이스 구조와 특징

Si는 고내압 디바이스일수록 단위 면적당 ON 저항이 높아지므로 (내압의 약 2~2.5 배 증가) 600V 이상의 전압에는 주로 IGBT (절연 Gate Bypolar Transistor)가 사용됩니다. IGBT 는 전도도 변조라고 하여 소수 캐리어인 정공을 Drift 층 안에 주입함으로써 MOSFET 보다 ON 저항을 작게 합니다. 그러나 소수 캐리어 축적에 따라 Turn off 시 테일 (Tail) 전류가 발생하여 스위칭 손실이 크게 발생하는 원인이 됩니다.

SiC 는 Drift 층 저항이 Si 디바이스보다 낮아서 전도도 변조를 사용할 필요가 없고 고속 디바이스 구조인 MOSFET 로 고내압과 저저항을 양립할 수 있습니다. MOSFET 는 원리적으로 테일 전류가 발생하지 않기 때문에 IGBT 에서 변경할 경우 스위칭 손실을 대폭 삭감하며 냉각기 소형화를 실현할 수 있습니다. 또한, IGBT 로는 불가능했던 고주파 구동으로 인해 수동 부품 소형화에도 기여합니다. 600V~900V 의 Si MOSFET 에 비해서도 작은 Chip 면적 (소형 패키지 실장 가능) 및 바디 다이오드의 매우 작은 리커버리 손실 등의 장점이 있습니다.

현재 ROHM 에서는 650V, 1200V, 1700V Planar 타입, Trench 타입의 MOSFET 라인업을 구비하고 있습니다. 자동차 충전기, 산업기기의 전원이나 고효율 파워 컨디셔너의 인버터 / 컨버터부 등 다양한 용도로 폭넓게 사용되고 있습니다. Figure 3-1 은 Si 와 SiC 의 MOSFET 및 IGBT 정격 전압 범위 비교입니다.



Figure 3-1. Si 와 SiC 의 정격 전압 범위 (MOSFET, IGBT)

3.2 규격화 ON 저항 (RonA)

SiC 는 절연 파괴 전계 강도가 Si 의 10 배 이므로, 낮은 비저항 (resistor Ratio), 얇은 두께의 Drift 층으로 높은 내압을 실현할 수 있습니다. 따라서 동일한 내압으로 비교할 때 규격화 ON 저항 (RonA : 단위 면적당 ON 저항)이 작은 디바이스가 가능합니다. Figure 3-2 와 같이, 예를 들어 Break down 전압 900V 로 비교할 경우 SiC MOSFET 는 Si MOSFET 의 약 100 분의 1, Super Junction (SJ) MOSFET 의 약 10 분의 1 Chip 사이즈로 동일한 ON 저항을 실현할 수 있습니다. 이로써 작은 패키지로 저 ON 저항을 실현할 수 있으며 게이트 전하량 Qg, 용량 등도 작아집니다.

현재 Super Junction MOSFET 는 900V 까지의 제품만 있으며, SiC 에는 1700V 이상의 내압도 저 ON 저항으로 실현할 수 있습니다. IGBT 와 같은 바이폴라 디바이스 구조 (ON 저항은 낮아지고 스위칭 느림)를 취할 필요가 없기 때문에 저 ON 저항, 고내압, 고속 스위칭 전부를 겸비한 디바이스가 가능해집니다.



Figure 3-2. RonA 비교

3.3 V_{bs}-b특성

SiC MOSFET 는 IGBT 와 같은 Rising 전압이 없어 소전류부터 대전류까지 넓은 전류 영역에서 낮은 도통 손실을 달성할 수 있습니다.

Si MOSFET 는 150℃에서 ON 저항이 실온의 2 배 이상으로 상승하지만, SiC MOSFET 는 상승률이 비교적 낮기 때문에 열 설계가 쉽고 고온에도 저 ON 저항을 실현할 수 있습니다. Figure 3-3 에 상온, 고온 시 각 디바이스의 以s-b 특성입니다.



(a) Ta=25°C



(b) Ta=150°C

Figure 3-3. 1/bs – 쇼 특성

3.4 구동 게이트 전압과 ON 저항

SiC MOSFET 는 Drift 층 저항이 Si MOSFET 보다 낮은 반면, 현재 기술 수준으로는 MOS 채널 부분의 이동도가 낮아, 채널부 저항은 Si 디바이스에 비해 높게 되어 있습니다. 이로 인해 높은 게이트 전압일수록 낮은 ON 저항을 얻을 수 있습니다. (*V*_{GS}=20V 이상에서 서서히 포화)

Figure 3-4 의 *V*_{GS}-*R*_{DS(on)} 특성으로 알 수 있듯이, SiC MOSFET 는 일반 IGBT 나 Si MOSFET 에 사용되는 구동 전압 *V*_{GS}=10~15V 로는 본래의 저 ON 저항의 성능을 발휘할 수 없습니다. 따라서 충분한 저 ON 저항을 얻기 위해 *V*_{GS}=18V 전후로 구동할 것을 권장합니다.

또한, *V*_{Gs}=13V 이하일 때 고온일수록 ON 저항이 내려가는 경향이 있으므로, 병렬 접속한 경우 하나의 소자에 전류가 집중되어 열 폭주할 우려가 있기 때문에 사용하지 않도록 주의하여 주십시오.



Figure 3-4. VGs-RDS(on) 특성

3.5 ON 저항의 온도계수

일반적인 Si 고내압 MOSFET 는 고온에서 ON 저항이 크게 상승합니다. 이는 디바이스의 ON 저항 중 90% 이상을 차지하는 Drift 층 저항 (*R*_{EPI})이 100℃ 상승하면 약 2 배가 되는 경향이 있기 때문입니다.

SiC 의 Drift 층 저항도 Si 와 마찬가지로 100℃ 상승하면 약 2 배가 되는 경향이 있지만 디바이스 전체 ON 저항의 상승률은 Si MOSFET 에 비해 낮아집니다 (Figure 3-5). 이는 디바이스 ON 저항 중 Drift 층 저항이 차지하는 비율이 적고, 그 외 저항 성분이 많이 포함되기 때문입니다. 채널 저항 *R*_{CH}는 고온에서 약간 저하되고 n+기판의 저항 *R*_{SUB}는 온도 의존성이 거의 없습니다.

SiC MOSFET 도 내압이나 디바이스 설계에 따라 ON 저항의 온도계수가 달라집니다.650V 제품은 Drift 층의 저항 성분이 작기 때문에 온도계수가 매우 작아집니다. 1200V 제품은 Drift 층이 두껍고 저항 성분이 크기 때문에 온도계수도 커집니다. 동일한 내압의 SiC 제품이라도 Drift 층 두께가 두꺼우면 내압 실력치가 높고 신뢰성이 높으며 ON 저항의 온도계수가 커집니다 (Figure 3-6).



Figure 3-5. 650V SiC MOSFET, Si MOSFET 및 Si IGBT 의 규격화 RDS(on) 온도 특성



Figure 3-6. 1200V SiC MOSFET (제 2 세대 및 제 3 세대)의 규격화 RDS(on) 온도 특성

3.6 V_{GS}-ℎ 특성

Figure 3-7 은 V_{GS}-/b 특성입니다. 좌우 그래프는 동일한 데이터이며 좌측이 세로축 Log Scale, 우측이 Linear Scale 입니다. SiC MOSFET 의 Threshold Voltage 가 수 mA 로 정의된 경우 Si MOSFET 와 동일하며 실온에서 약 3V 입니다 (Normally Off). 하지만 수 A 를 흘리기 위해 필요한 게이트 전압은 실온에서 약 8V 이상이므로 잘못된 신호에 대한 내성은 IGBT 와 동일하다고 말할 수 있습니다. Threshold Voltage 는 고온일수록 저하되는 경향이 있습니다. 그래프로 알 수 있듯이 Ta=150℃ 일 때에도 V_{GS}=6V 이상으로 하지 않으면 5A 이상의 전류는 흐르지 않습니다.



Figure 3-7. VGs-쇼 특성 (SCT2080KE)

Figure 3-8 은 SiC MOSFET 와 IGBT 의 *V*_{GS} (*V*_{GE})- *b* (*b*) 특성 비교입니다. *b* (*b*) =10mA 의 *V*_{GS(th)}는 SiC 쪽이 낮지만 5A 이상일 때 IGBT 보다 높아지는 것을 알 수 있습니다.



Figure 3-8. V_{GS} (V_{GE})- ん(ん) 특성 (SiC MOSFET vs. IGBT)

3.7 Turn On 특성

SiC-MOSFET 와 SiC-SBD를 동일 패키지에 실장한 SCH2080KE 와, 동일 클래스의 Si-IGBT 와 Si-FRD를 동일 패키지에 실장한 제품에 각각 Half Bridge 회로를 구성하여, 유도 부하 더블 펄스 시험 (DPT)을 통해 스위칭 파형을 비교했습니다. Figure 3-9 는 이 시험 회로입니다.



Figure 3-9. 더블 펄스 시험 회로

SiC MOSFET 의 Turn On 속도는 Si IGBT 나 Si MOSFET 와 동일하게 수십 ns 입니다. 그러나 유도 부하 스위칭일 경우 Upper arm의 다이오드로의 전류 (commutate)에 의해 발생하는 리커버리 전류가 Lower arm 에도 관통하여 흐르기 때문에 다이오드 성능에 따라 손실이 더 크게 발생합니다 (Figure 3-10).

Si FRD 나 Si MOSFET 의 바디 다이오드는 보통 리커버리 전류가 매우 커 많은 손실이 발생합니다. 이 손실은 고온에서 더욱 커지는 경향이 있습니다. 한편, SiC SBD 는 온도와 상관없이 고속 리커버리가 가능하며 SiC MOSFET 의 바디 다이오드도 ☞ 는 높지만 SiC SBD 와 동등한 고속 성능을 나타냅니다. 이러한 고속 리커버리 성능에 의해 Turn On 손실 (Eon)을 수십 분의 일로 낮출 수 있습니다.

스위칭 속도는 외장 게이트 저항 $R_{G_{EXT}}$ 에 크게 의존합니다. 고속 동작을 실현하기 위해서는 수 Ω 정도로 낮은 게이트 저항을 권장합니다. 서지 전압을 고려한 후 적절한 게이트 저항을 선정하여 주십시오.





3.8 Turn Off 특성

SiC MOSFET 의 최대 장점은 IGBT 에 보이는 테일 전류가 원리적으로 발생하지 않는 것입니다. SiC 는 1200V 이상의 내압에도 고속 MOSFET 구조를 취할 수 있기 때문에 IGBT 보다 Turn Off 손실 (Eoff)을 약 90% 삭감 가능하며 (Figure 3-11), 회로의 에너지 절약이나 냉각기구 간소화 및 소형화에 기여합니다. IGBT의 테일 전류는 고온일수록 커지는 것에 비해 MOSFET 는 온도 의존성이 거의 없습니다.

또한 IGBT 는 큰 스위칭 손실에 따른 발열로 Junction 온도 (Tj)가 정격을 초과하므로 통상 20kHz 이상의 높은 주파수 영역에서는 사용할 수 없었습니다만, SiC MOSFET 는 Eoff 가 작아 50kHz 이상의 고속 스위칭 동작이 가능합니다. 고주파화로 인해 트랜스나 필터 등 수동 부품 소형화가 가능합니다 (Figure 3-12).

스위칭 속도는 외장 게이트 저항 $R_{G_{EXT}}$ 에 크게 의존합니다. 고속 동작을 실현하기 위해서는 수 Ω 정도로 낮은 게이트 저항을 권장합니다. 서지 전압을 고려한 후 적절한 게이트 저항을 선정하여 주십시오.



Figure 3-11. DPT Turn Off 파형



Figure 3-12. 고주파화에 의한 Transformer Size Down 예

3.9 내부 게이트 저항

Chip 내부 게이트 저항은 게이트 전극 재료인 시트 저항과 Chip 사이즈에 의존합니다. 동일한 설계일 때 Chip 사이즈에 반비례하고, 작은 Chip 일수록 높은 게이트 저항이 됩니다. SiC MOSFET 의 Chip 사이즈는 Si 디바이스보다 작기 때문에 용량은 작은 반면 게이트 저항은 큽니다. 제 2 세대 1200V 80mΩ 제품에는 내부 게이트 저항이 약 6.3Ω, 제 3 세대 1200V 80mΩ 제품은 약 12Ω 입니다.

스위칭 시간은 외장 게이트 저항에 크게 의존합니다. Figure 3-13 은 외장 게이트 저항과 스위칭 손실의 관계입니다. 게이트 저항을 크게 하면 손실도 커지므로 고속 스위칭을 실현하기 위해서는, 서지 상태를 확인하면서 수 Ω 정도로 최대한 작은 외장 게이트 저항을 사용하여 주십시오.



Figure 3-13. 스위칭 손실 외장 게이트 저항 의존성

3.10 바디 다이오드의 리커버리 특성

SiC MOSFET 의 바디 다이오드는 pn 다이오드이면서 소수 캐리어 수명이 짧아 소수 캐리어 축적 효과가 거의 보이지 않고, SBD 와 동일한 초고속 리커버리 성능 (수십 ns)을 나타냅니다. 이로 인해 Si MOSFET 의 바디 다이오드나 IGBT 외장 FRD 와 비교하여 리커버리 손실을 몇 분의 1부터 몇 십분의 1로 삭감할 수 있습니다.

바디 다이오드의 리커버리 시간은 SBD 와 마찬가지로 순방향 주입 전류 / 에 의존하지 않습니다. Figure 3-14 는 SiC MOSFET 의 바디 다이오드 (SCT2080KE)와 SiC SBD (SCH2080KE)의 리커버리 전류를 비교하고 있으며, d//dt가 일정한 경우 양쪽에 차이는 없습니다. 인버터 등 Bridge 응용에 있어서는 MOSFET 만으로 Bridge 회로를 구성해도 매우 적은 리커버리 손실을 달성할 수 있을 뿐만 아니라 리커버리 전류에 기인하여 발생된 고장 리스크나 노이즈 저감도 기대할 수 있습니다.



Figure 3-14. 역회복 특성

(a) SCH2080KE : SiC SBD 세트 타입, (b) SCT2080KE : SiC MOSFET 만 (바디 다이오드)

3.11 BV (Breakdown Voltage) 온도 의존성

SiC MOSFET 도 Si MOSFET 와 마찬가지로 고온일수록 BV 가 상승합니다. 저온에서 사용할 경우 실온에 비해 BV 값이 저하되지만 ROHM 의 SiC MOSFET는 충분한 마진 설계를 실시하여, 저온에도 정격 전압을 밑도는 경우가 없습니다. Figure 3-15 는 일반적인 BV 온도 의존 특성입니다.



Figure 3-15. BV 온도 의존 특성

3.12 플라이백용 1700V SiC MOSFET

1700V 내압의 SiC MOSFET는 Figure 3-16과 같이, Si MOSFET에 대해 RonA가 200 분의 1로 큰 성능 차이가 있으므로 10 분의 1 이하 Chip 사이즈로 10 분의 1 의 저 ON 저항을 실현할 수 있습니다. 200~400V AC 입력 산업기기의 보조 전원 (Flyback Converter)에 보통 사용되는 1500V Si MOSFET (10Ω 전후)를 저 ON 저항인 SiC MOSFET (1Ω 전후)로 전환하면 저발열화로 인한 히트 싱크 제거나, 면실장화에 따른 자동 실장화도 가능하며, Total Cost 상승 없이 소형화, 저발열화, 실장 공정 간소화를 실현할 수 있습니다. ROHM 은 SiC 전용 Flyback Controller IC 나, SiC MOSFET 와 Controller IC 세트 제품을 제안하고 있습니다.



Figure 3-16. 내압별 RonA 비교

3.13 제 3 세대 Trench 게이트 SiC MOSFET

제 3 세대 SiC MOSFET는 Trench 게이트 구조를 채용하고 있습니다 (Figure 3-17). Cell Pitch 를 축소하고 채널 저항을 저감시킨 한편, JFET 저항이라 불리우는 p-well 사이의 전류 경로 넓이에 기인하는 저항 성분도 배제하였습니다. 이로써 제 2 세대보다 RonA 를 절반으로 줄였습니다. Table 3-1 은 제 2 세대와 제 3 세대 MOSFET 의 주요 특성 비교 일람입니다. 동일한 ON 저항을 얻기 위해 필요한 Chip 면적이 작아, 경비 절감이 가능합니다.

일반적인 SiC Trench 게이트 MOSFET 구조는 게이트 Trench 밑 부분의 게이트 산화막이 Off 시 높은 전계에 노출되어 장기 신뢰성을 확보하는 것이 어렵습니다. ROHM은 독자적인 Double Trench 구조를 채용하여 이 문제를 해결하였습니다. 소스 부분에도 Trench 구조를 적용하여 그 밑 부분에 p 형층을 형성함으로써 Off 일 때 게이트 산화막에 가해지는 전계 강도를 35% 삭감하여 장기 신뢰성을 실현하였습니다.

또한, 제 3 세대 MOSFET는 게이트 전압 정격이 좁으므로, 제 5 장 게이트 서지 전압 대책 방법을 확인하여 정격 내에서 사용해 주시기 바랍니다.



(a) Planer 타입 (제 2 세대)



(b) Trench 타입 (제 3 세대)

Figure 3-17. 제 2 세대 및 제 3 세대 디바이스 구조

Device		제 2 세대 SCT2080KE	제 3 세대 SCT3040KL	
Package		TO247	TO247	1
Tjmax		175°C	175°C	
Pd Tc=25°C		262W	262W	
ld Tc=25°C		40A	55A	1
Vgs		-6 ~ 22V	-4 ~ 22V	1
Tj=25°C		80 mΩ	40 mΩ	Ron
Roll	Tj=125°C	125 mΩ	62 mΩ	
Eon Vdd=800V		760uJ	550uJ	Esw ⊥30%
Eoff Id=20A		120uJ	90uJ	
Ciss/Coss/Crss		2080 / 77 / 16 (pF)	1337 / 76 / 27 (pF)	Ciss ↓35%
Qg		106 nC	107 nC]
	Rg	6.3Ω	7Ω]

Table 3-1. 제 2 제대 및 제 3 제대 어머 특징 미뽀 (데이머지트 릴	Table 3-1.	제 2 세대 및	제 3 세대	여러 특성	비교	(데이터시트	발췌)
--	------------	----------	--------	-------	----	--------	-----

3.14 스위칭 특성의 온도 의존성

스위칭 속도는 디바이스의 기생 용량에 크게 의존하지만 SiC MOSFET 의 기생 용량은 온도에 대해 거의 변화가 없어, 스위칭 손실의 온도 특성은 극히 안정적입니다. Figure 3-18 과 같이, 스위칭 손실은 25°C~175°C로 거의 Flat 한 특성입니다. Figure 3-19 는 SCT3040KL (a) Ciss, (b) Crss, (c) Coss 에 대한 온도 특성입니다. 어떤 성분도 온도에 대해 안정적임을 알 수 있습니다.



Figure 3-18. 스위칭 손실 온도 의존성 (SCT3040KL)



Figure 3-19. Ciss, Crss, Coss 온도 의존성 (SCT3040KL)

3.15 스위칭 특성의 게이트 전압 의존성

 Figure 3-20 은 게이트 구동 전압에 의한 스위칭 손실 차이입니다. Turn On 일 때 스위칭 손실 Eon 은 구동 전원 V_{G(ON)}이

 높을수록 내려가고 18V 에서는 15V 보다 1.5 배 정도 낮아집니다. 이는 V_{G(ON)}과 플래토 (plateau) 전압의 전위차가 클수록

 게이트 전류가 커지고, Crss 방전 즉 드레인 전압 저하 속도를 높이기 때문입니다.

한편, Turn Off 일 때 스위칭 손실 Eoff는 V_{G(ON)}에 의한 변화가 거의 없습니다. Turn Off 시에는 플래토 전압과 게이트 Off 전압 (이 경우 0V)의 전위차로 Crss 를 충전하는 게이트 전류가 정해지고 V_{G(ON)}은 기본적으로 관계가 없기 때문입니다.



(a) Eon

(b) Eoff

Figure 3-20. 스위칭 손실의 VG(ON) 의존성

3.16 스위칭 속도의 드레인 전류 의존성

 Figure 3-21 은 드레인 전류 쇼의 차이에 따른 게이트-소스 전압 V_{GS}의 움직임입니다. Turn On 시 및 Turn Off 시 모두 쇼가

 커지면 플래토 전압이 커지는 경향이 있습니다. 따라서 쇼가 커지면 Turn On 속도는 느려지고 Turn Off 속도는 빨라집니다.



Figure 3-21. 쇼의 게이트-소스 전압 비교

3.17 기생 인덕턴스가 스위칭 특성에 미치는 영향

TO-247N 등 3 핀 타입 패키지는 게이트 구동 회로와 드레인 전류가 흐르는 주회로로 공통 소스 단자를 사용합니다. 그래서 소스 단자에 기인하는 기생 인덕턴스 Ls가 스위칭 시의 *b* 변화로 인해 BEMF를 발생시켜 게이트 구동 회로에 악영향을 미칩니다. Figure 3-22 는 이에 대한 메커니즘입니다. Turn On 시에는 드레인 전류 *lo*가 증가하여 그 *dlo/dt* 로 인해 발생한 전압 *Ls*·*dlo/dt*가 G-S 사이에 인가되는 실효 전압 *VGS(real)*를 감소시켜, 스위칭 속도를 떨어트립니다. 또한, Turn Off 시에는 *lo*가 감소하여 *Ls*에 Turn On 시와 반대 극성의 전압이 발생하고 Turn Off 동작을 방해합니다.



Figure 3-22. 소스 인덕턴스 영향에 따른 VGs

소스의 공통 인덕턴스 Ls 는 3 핀 패키지의 소스 단자나 내부 와이어 본딩뿐만 아니라 PCB 상의 배선 레이아웃에도 발생하기도 합니다.

Figure 3-23 은 PCB 상의 주회로와 구동 회로의 리턴선을 공통화한 경우의 폐해의 예입니다. 레이아웃 A 는 주회로와 리턴선이 일부 공통화되어 있지만 레이아웃 B 는 단자 solder 부로부터 완전 분리되어 있습니다. 레이아웃 A 가 *V_{GS}* 의 Rising 이 작고, *I_D* Rising 속도도 느려진 것을 알 수 있습니다. 구동 회로의 리턴선은 MOSFET 의 리드 단자 부분에서 주회로와 분리되도록 배선하는 것이 중요합니다.



3.18 Kelvin 소스 패키지

3.17 에서 설명한 소스 단자 기전에 따른 스위칭 속도로의 영향을 없애기 위해 Kelvin 소스 (드라이버 소스) 단자 부착 패키지를 개발하였습니다. ROHM 은 TO-247-4L (4 리드) 패키지를 제품화하였습니다. Figure 3-24 는 외관도, Figure 3-25 는 내부 등가 회로입니다.



Figure 3-24. Kelvin 소스 단자 부착 패키지 외관도



Figure 3-25. Kelvin 접속을 사용한 구동 회로

이 패키지는 MOSFET Chip 의 표면 전국에, 주회로 소스와 다른 와이어로 접속된 드라이버 소스 단자가 있습니다. 이로써 주회로 기생 인덕턴스가 전류 변화에 의해 기전되어도 구동회로에는 영향이 없어지므로 스위칭 손실을 대폭 개선할 수 있습니다. Figure 3-26 은 DPT 에 의한 스위칭 손실 비교를 TO-247N (3 리드)과 TO-247-4L (4 리드)로 시행한 결과입니다. 양쪽 모두 패키지만 다르며 사용한 Chip 은 동일합니다. 드라이버 소스 단자가 있음으로써 높은 /*D* 일수록 Turn On 및 Turn Off 손실이 크게 개선됨을 알 수 있습니다.



Figure 3-26. 스위칭 손실 비교 (TO-247N vs. TO-247-4L)

4. 디스크리트용 평가 기판

4.1 SiC MOSFET 디스크리트용 평가 기판

Table 4-1 은 ROHM 에서 발매한 SiC MOSFET (디스크리트)용 평가 기판 목록입니다. 스위칭 특성을 평가하기 위해 Half-Bridge 구성으로 되어 있으며, 더블 펄스 시험을 비롯하여, buck 및 boost Topology 평가를 최소 외장 부품으로 평가할 수 있습니다. 스위칭 속도 조정이나 구동 전압 변경이 가능하며 게이트 서지 보호 회로 등도 구비되어 있습니다. ROHM 홈페이지의 SiC 서포트 페이지 (<u>https://www.rohm.co.kr/power-device-support</u>)에 상세 정보가 있으므로 참조하여 주시기 바랍니다.

평가 대상 디바이스	외관	품명
TO-247N/TO-247-4L 제 3 세대 SCT3xxxxxxx series 용		P02SCT3040KR-EVK-001
TO-263-7L 제 3 세대 SCT3xxxxW7 series 용		P03SCT3030AW7-EVK-001 P03SCT3040KW7-EVK-001
TO-247N 제 2 세대 SCT2XXX series 용		P01SCT2080KE-EVK-001

Table 4-1. SiC MOSFET (디스크리트)용 평가 기판 일람

4.2 평가 사례

평가 기판 P02SCT3040KR-EVK-001 을 사용한 더블 펄스 시험의 실시 예를 설명하겠습니다. DUT 는 SCT3040KR 및 SCT3040KL (1200V, 40mΩ)입니다. Figure 4-1의 (a)는 시험회로, (b)는 측정 모습, (c)는 MOSFET의 게이트 구동 회로입니다. 시험에 필요한 측정기기는 (a)와 같이 제어 전원 (12V), Pulse Generator (PG), 부하용 인덕터 (250µH), 부하용 고압 전원 (*V*HVdc)입니다. *V*HVdc 에서 평가 기판까지 거리가 있기 때문에 이번에는 벌크용 콘덴서 (Bulk capacitor)를 연결하였습니다. 평가 기판상에도 10µF Film 콘덴서가 실장되어 있어, 기본적으로 Bulk 용 콘덴서는 필요없지만 동작 조건에 따라 연결할 것을 권장합니다.

(b)에 측정 시 V_{GS} Sensing 방법에 대해 설명합니다. 통상적으로 High side (HS) 측 MOSFET 파형 관측은 절연 Probe를 사용하지만 고내압 절연 Probe 앞쪽 끝 부분이 크기 때문에, MOSFET 단자에 직접 부착하는 것이 불가능합니다. 따라서 이번 측정에는 10cm 길이의 센스용 구리선을 MOSFET 의 게이트-소스 단자에 soldering 하고 그 끝에 Probe 를 연결하였습니다. 또 추가한 센스선의 인덕턴스에 의한 파형 Ringing 을 억제하기 위해 100Ω 댐핑 저항을 삽입하였습니다. (c)에 빨간색으로 표시된 부분은 MOSFET 의 게이트-소스 사이에 발생하는 서지를 제거하기 위한 보호 회로로서 그 효과도 함께 검증하였습니다.

이번에는 HS 측 MOSFET 를 스위칭용 디바이스로서 동작시켜 Low side (LS)측은 전류용 (commutation)으로 바디 다이오드를 사용했습니다. VHVdc는 800V, &가 55A~60A 정도가 되도록 펄스 폭을 조정하고 Turn On 및 Turn Off 시 스위칭 동작을 관측했습니다. Figure 4-2, 4-3 은 그에 대한 파형입니다.



(a) 측정 회로 블록도



(b) 측정 모습



(c) 게이트 구동 회로

Figure 4-1. P02SCT3040KR-EVK-001 측정 회로

Figure 4-2 의 (a), (b)는 *V*_{bs}, *b*의 파형이고 (c), (d)는 *V*_{Gs}의 파형이며, SCT3040KL (TO-247N)과 SCT3040RK (TO-247-4L)를 비교합니다. (c), (d)에 있는 스위칭 측 *V*_{GS_HS} 파형은 대부분 비슷하지만, (a)의 *b* 파형은 Turn On 일 때도 Turn Off 일 때도 TO-247-4L 이 매우 빠릅니다. 이는 "3.18 - Kelvin 소스 패키지"에서 기술한 드라이버 소스 단자로 인한 효과입니다. 상세 내용은 어플리케이션 노트 「Driver Source 단자에 의한 스위칭 손실 개선」*4 을 참조하여 주십시오.

한편, 비스위칭 (LS)측 MOSFET의 게이트-소스 전압 V_{GS_LS}는 어플리케이션 노트 「Bridge 구성에서의 gate-source 전압 작용」*1 에서 기술한 플러스 마이너스 서지를, Figure 4-1 (c)에서 나타내는 보호 회로를 통해 제거하며, SiC MOSFET 특유의 좁은 게이트 정격 전압을 만족하고 있음을 나타냅니다.



Figure 4-2. TO-247-4L (SCT3040KR)과 TO-247N (SCT3040KL)의 스위칭 파형 비교

Figure 4-3 은 스위칭 손실 Eon, Eoff 의 파형입니다.

TO-247-4L은 소스 단자 기전에 의한 스위칭 속도 지연 문제를 해소하여, 토탈 스위칭 손실을 약 35% 저감시킵니다.



Figure 4-3. TO-247-4L (SCT3040KR)과 TO-247N (SCT3040KL)의 스위칭 손실 비교

5. 게이트 드라이브

SiC MOSFET는 구동이 쉽고 드라이브 전력이 적은 Normally Off Type 전압 구동형 스위칭 소자입니다. 기본 구동 방법은 IGBT 나 Si MOSFET 과 동일합니다. 권장 구동 게이트 전압은 On 측이 +18V 전후, Off 측은 0V 이며, 높은 노이즈 내성이나 고속 스위칭이 요구될 경우 게이트 정격 전압 내에서 마이너스 전압도 인가할 수 있습니다. 본 장에서는 게이트 구동에 관한 설계 시 주의사항, 권장 동작 조건 등을 설명합니다.

5.1 회로 방식의 주의사항

5.1.1 펄스 트랜스에 의한 구동

펄스 트랜스에 의한 구동은 플러스 마이너스 극성에 같은 전압이 출력됩니다. SiC MOSFET 의 V_{GS} 정격은 플러스 측에 비해 마이너스 측 정격 범위가 좁기 때문에 플러스 마이너스 동전압을 출력하는 펄스 트랜스는 사용할 수 없습니다.

5.1.2 Bootstrap 방식에 의한 High side 구동

MOSFET를 상하 직렬로 접속한 Bridge 구성의 경우 High side 측 (HS) 게이트 구동은 Floating 방식을 채용할 필요가 있는데, 그 중 하나로서 Bootstrap 방식이 있습니다. 동작에 대해서는 매우 많은 문헌이 있으므로 여기서는 생략합니다만, HS 측 MOSFET 이 Off 일 때 보통 Figure 5-1 의 실선 화살표처럼 부하전류가 흐릅니다. 이 때 LS 측 MOSFET 이 Off 되어 있으면 바디 다이오드가 통전되기 때문에 Vsw 전압은 -レ疟 가 되고 Boot 캐패시터에는 (レ/G + レ疟)가 충전됩니다. 단, SiC MOSFET 의 바디 다이오드의 レ疟는 Si MOSFET 보다 크기 때문에 게이트 구동 IC 나 MOSFET 의 게이트 정격 전압을 초과하지 않도록 주의해야 합니다.



Figure 5-1. Bootstrap 회로

5.1.3 절연 전원에 의한 High side 구동

HS 측 MOSFET 구동용 전원으로서 절연 트랜스를 활용한 절연 전원을 사용할 경우, 트랜스의 1 차-2 차 사이에 존재하는 커플링 용량에 주의해야 합니다. 트랜스의 2 차측 (MOSFET 측)은 고속 dv/dt 으로 변하기 때문에 Figure 5-2 와 같이 트랜스의 커플링 용량을 통해 1 차측 GND1 에 전압 노이즈가 중첩되고, 최악의 경우 드라이버 IC 가 오동작할 위험이 있기 때문입니다. 따라서 Vsw 전압의 dv/dt 조건을 고려하여 최대한 작은 커플링 용량의 트랜스를 사용하여 주십시오.



Figure 5-2. 절연 전원용 트랜스포머의 노이즈 문제

5.1.4 마이너스 바이어스 생성 회로

Figure 5-3은 마이너스 바이어스를 생성하는 회로에 대한 예입니다. 각각의 회로에는 가격이나 실장 공간, 전압 정밀도 등에 장단점이 있으므로 MOSFET 사용 조건이나 시스템 요구를 충분히 고려하여 선정해 주십시오. 또한, 마이너스 바이어스에 대응하지 않는 드라이버 IC 는 마이너스 바이어스인 以_{G_N}을 드라이버 IC 의 GND 레벨에 접속하여 사용할 수 있지만 MOSFET 의 구동 전압을 드라이버 IC 내부에서 감시 (UVLO2)할 경우 구동 전압 감시 레벨이 마이너스 바이어스만큼 저하되므로 주의해야 합니다. 상세 내용은 "5.3 - UVLO (Under Voltage Lock Out : 저전압 오동작 방지 기능)"을 참조하여 주십시오.



(a) 제너 다이오드 방식

(b) 캐패시터 분압 방식



(c) 플러스 마이너스 출력 트랜스 방식

Figure 5-3. 마이너스 바이어스 생성 회로 예

5.2 버퍼 (Buffer) 회로

드라이버 IC는 MOSFET를 구동하기 위한 IC인 동시에, 이상 시 보호 기능을 갖춘 것도 적지 않습니다. 시스템 설계 시 필요한 기능이 있는 드라이버 IC 는 일반적으로 기능을 우선하여 선택하므로 충분한 구동 능력이 없는 경우가 있습니다. 또한, 파워 모듈 등 MOSFET 를 2 개 이상 병렬 접속하거나 Chip 사이즈가 큰 MOSFET 를 사용하는 등의 경우에도 드라이버 IC 만으로는 구동 능력이 부족한 경우가 있습니다.

이러한 경우 드라이버 IC 와 MOSFET 사이에 구동 능력을 보완하는 버퍼 회로를 설치하면 효과적입니다. 바이폴라 트랜지스터를 사용한 Push-pull 버퍼 회로에 대해, ROHM 의 드라이버 IC (BM61S41RFV-C)를 예로 들어 Figure 5-4 에 설명합니다.

Figure 5-4 의 빨간 점선으로 표시한 부분이 버퍼 회로입니다. OUT 단자에서 출력되는 구동 신호가 Q1, Q2 베이스에 접속되어 있으며 Hi 레벨일 때는 Q1 이 On 되고 Lo 레벨일 때는 Q2 가 On 됩니다. 드라이버 IC 의 구동 능력은 최대 정격 4A 이지만 Q1, Q2 에 ROHM 의 2SRC542, 2SRA542 를 사용함으로써 구동 능력을 약 10A (peak)까지 높일 수 있습니다.

또한, 버퍼 회로에는 발열을 분산시키는 역할도 기대할 수 있습니다. 스위칭 주파수를 높이려는 경우 드라이버 IC 발열이 문제가 될 수 있지만 버퍼 회로를 추가 부착하여 구동 회로 전체 발열을 분산시켜 고주파 대응이 가능합니다.



Figure 5-4. 버퍼 회로 예 (BM61S41RFV-C 사용)

5.3 UVLO (Under Voltage Lock Out : 저전압 오동작 방지 기능)

SiC MOSFET 는 구동 전압이 저하되면 On 일 때의 저항 (*R*_{bS(on)})이 높아지는 것에 대해 "3.4 - 구동 게이트 전압과 ON 저항"의 Figure 3-4 에서 설명하였습니다. 이로 인해 드라이버 IC 에는 통상적으로 구동 전압 저하를 감시하는 기능이 부가됩니다.

Table 5-1 은 ROHM 의 드라이버 IC (BM61xxxx 시리즈)의 구동 전압 감시 레벨 K_{UVLO2} 입니다. SiC MOSFET 는 Si MOSFET 나 IGBT 보다 구동 전압이 높아 SiC MOSFET 용으로 개발된 BM61S 시리즈는 UVLO2 레벨을 높게 설정합니다.

Item	Package	Isolation [kVrms]	Output Current [A]	V _{UVLO2} [V]	V _{OVP} [V]
BM61S40RFV				14.5	21.5
BM61S41RFV	SSOP-B10W	3750	4	14.5	NA
BM61M41RFV				7.4	NA

Table 5-1. BM61xxxxx 시리즈 VCC2 감시 레벨

여기서 주의해야할 점은 "5.1.4 - 마이너스 바이어스 생성 회로"에서도 설명했듯이 마이너스 바이어스 (VEE2)에 대응하지 않는 드라이버 IC 를 사용하여 마이너스 바이어스를 사용한 구동 회로로 하는 경우입니다. Figure 5-5 는 일반적인 구동 회로의 전원 공급 방법입니다. (a)는 마이너스 바이어스 대응 드라이버 IC 를 사용한 경우, (b)는 미대응 드라이버 IC 를 사용한 경우입니다. 게이트 구동용 전원은 On 시 V_{G_P} 전원, Off 시 V_{G_N} 전원을 사용하며 그 GND 를 V_{COM} 이라고 합니다. 일반적으로 드라이버 IC 의 V_{UVLO2} 는 IC 의 GND2 를 기준으로 하므로 (a)에서 GND2 는 VEE2 유무와 상관없이 일정하며 V_{G_P} 를 같은 레벨로 감시합니다. 한편, (b)의 경우 MOSFET의 구동 전압 감시 레벨 V_{MOS_UVLO2} 은 식 (1)과 같이 마이너스 바이어스 V_{G_N} 만큼 낮아집니다. 마이너스 바이어스를 사용하는 경우 최대한 마이너스 바이어스에 대응하는 드라이버 IC 를 선정하는 것이 좋습니다.

$$V_{MOS_UVLO2} = V_{UVLO2} - V_{G_N}$$
⁽¹⁾



Figure 5-5. 마이너스 바이어스 기능 유무에 따른 드라이브 회로 접속 예

5.4 SiC MOSFET 용 게이트 드라이버 IC

SiC MOSFET 용 게이트 드라이버 IC 를 선정함에 있어 특별히 고려할 점은 하기와 같습니다.

- 구동 전압 (최대 정격 등)
- 구동 능력 (출력 Peak 전류, 스위칭 주파수 등)
- 전파 지연 시간 (1 차-2 차간 등)
- 보호 기능 (Miller Clamp, DESAT, OCP, UVLO 등)
- 동상 과도 전압 내성 (CMTI: Common Mode Transient Immunity)

또한, 드라이버 IC 는 갖춰진 기능에 따라 단기능 타입 (Simple Type)과 다기능 타입 (Complex Type)으로 크게 두 가지 종류로 나뉩니다. Simple Type 은 구동 신호만 갖추어 SOP-8 이나 SSOP-10 등 소형 패키지로 제품화되어 있습니다. 한편, Complex Type 은 마이너스 바이어스 대응, 각종 보호 기능이나 온도 모니터 기능, 절연 전원 등을 갖추어 SOP-20 이상 대형 패키지에 제품화된 것이 많습니다.

필요 기능에 따라 다수 라인업 되어 있으므로 ROHM 홈페이지 (<u>https://www.rohm.co.kr</u>)를 참조하시거나 영업 담당에게 연락 주시기 바랍니다.
5.5 권장 게이트 전압 (V_{GS})

SiC MOSFET 구동 조건에는 특히 구동 전압이 중요합니다. "3.4 - 구동 게이트 전압과 ON 저항"에서 기술한 바와 같이, SiC MOSFET 는 충분한 저 ON 저항을 얻기 위해 Si MOSFET 보다 높은 구동 전압을 인가해야 합니다. SiC MOSFET 의 게이트 정격 전압은 Si MOSFET 보다 좁게 되어 있습니다.

Figure 5-6 은 ROHM 의 SiC MOSFET (SCT3040KL)와 Super Junction MOSFET (R6050KNZ4)의 구동 전압을 비교한 내용입니다. SCT3040KL 의 권장 구동 전압은 0V~+18V 로, R6050KNZ4 의 0V~+10V 에 비해 구동 전압의 폭을 크게 해야 합니다.

게이트 정격 전압에 대해서는 R6050KNZ4 이 -30V~+30V 로 되어 있지만 SCT3040KL 은 -4V~+26V 로 좁으며 특히 마이너스 바이어스에 주의해야 합니다. 또한, 게이트-소스 전압에는 스위칭 시 플러스 마이너스 서지가 중첩되는 경우가 있는데 이 플러스 마이너스 서지도 게이트 정격 전압 이내로 설정해야 합니다.

또한, ROHM SiC MOSFET 의 게이트 정격 전압은 세대마다 다르므로 Table 5-2 에 비교 일람을 기재하였습니다.

SiC MOSFET 의 게이트 정격 전압에 대해서는 "8.2 - SiC MOSFET 신뢰성"을 참조하여 주십시오.



Figure 5-6 SiC MOSFET 와 Si MOSFET 의 정격 게이트 전압 비교

Parameter		2 nd Generation SCT2xxxx	3 rd Generation SCT3xxxx
Gate-Source Voltage		-6V ~ +22V	-4V ~ +22V
Gate-Source Surge Voltage		-10V ~ +26V	-4V ~ +26V
Recommended Drive voltage	Positive	+18V ~ +20V	+18V ~ +20V
	Negative	-4V ~ 0V	0V

Table 5-2. 게이트-소스 전압 비교

5.6 권장 외장 게이트 저항 (R_{G_EXT})

MOSFET 의 스위칭 성능을 정할 때 중요한 요소는 외장 게이트 저항 (*R*_{G_EXT})입니다. 게이트 구동 시 Peak 전류는 식 (2)와 같이 드라이버 IC 의 출력 소스 저항 (*R*_{ONH})과 *R*_{G_EXT}, 내부 게이트 저항 (*R*_{G_INT}) 합계치로 정해집니다. "3.9 - 내부 게이트 저항"에서 설명한 것과 같이 SiC MOSFET 는 일반적으로 Si MOSFET 보다 내부 게이트 저항이 큰 경향이 있기 때문에 고속 스위칭하기 위해 외장 게이트 저항 *R*_{G_EXT} 를 작게 하고 게이트 전류를 크게 해야 합니다. 또한, "5.5 - 권장 게이트 전압 (*V*_{GS})"에서 설명한 게이트-소스 사이의 플러스 마이너스 서지도 *R*_{G_EXT} 가 클수록 커지므로 최대한 작은 값을 선정하여 서지를 작게 만들 수 있습니다.

$$I_{PEAK} = \frac{V_{G_P}}{\left(R_{ONH} + R_{G_EXT} + R_{G_INT}\right)}$$
(2)

단, 스위칭 속도를 빠르게 하면 드레인-소스 사이에 발생하는 전압 서지가 커지므로 정격 내에 들어가도록 $R_{G_{EXT}}$ 를 선정하거나 스너버 회로 등 서지 흡수 회로를 추가하여 서지를 흡수하여 주십시오.

5.7 권장 Dead Time (t_{DT})

Bridge 구성으로 사용되는 MOSFET 는 상하가 동시 On 되지 않도록 보통 Dead Time 기간을 둡니다. Figure 5-7 (a)는 boost 회로에서의 Dead Time 제어 사례입니다. Low side (LS) MOSFET 가 스위칭용, High side (HS) MOSFET 는 동기정류용으로써 동작합니다. 동일한 그림 (b)와 같이, HS 와 LS 의 동시 On 을 방지하기 위해 Dead Time 기간을 LS 의 Turn On 전과 Turn Off 후에 설정합니다. Dead Time 기간 중에는 MOSFET 의 바디 다이오드를 통해 인덕터 ∠ 전류가 흐릅니다. SiC MOSFET 의 바디 다이오드 순방향 전압 ☞ 5 디바이스보다 높으므로 최대한 짧은 시간에 하는 것이 바람직합니다.

Turn Off 일 때의 인덕터 *L* 전류 *L*_(OFF)가 작아지면 상하 MOSFET 의 Coss 로의 충방전 전류가 작아져 결과적으로 Dead Time 기간 중 Coss 충방전, 즉 *V*_{DS} 변화가 완료되지 않습니다. 이 경우 본래 발생하지 않는 동기 정류측 MOSFET 의 스위칭 손실이 발생하고 효율 저하나 발열 증대 문제가 발생합니다. 따라서 *L*_(OFF) 동작 조건을 따라 Dead Time 시간의 최소 값을 어림잡아야 합니다.

식 (3)의 최소 Dead Time 기간은 Coss를 일정하게 하여 간략하게 산출했지만 실제로는 드레인-소스 전압 Vos로 Coss가 변합니다. 일반적으로 데이터시트에 기재된 Coss 는 Vos의 대표값으로 기재된 경우가 많아 항상 최악의 조건이 아닙니다. Figure 5-8 의 Vos-C 특성을 사용하여 Coss 가 최대가 되는 Vos<1V 의 값을 통해 계산함으로써 여유가 있는 Dead Time 설계가 가능해집니다 (점선 부분). 실제 충방전에 필요한 전하량은 그림의 실선으로 표시된 부분의 면적이므로 식 (3)의 분자에 이 면적 부분을 사용하면 보다 정확하게 tor를 계산할 수 있습니다. Figure 5-8 과 같은 용량 그래프는 데이터시트에 정확하게 기재되어 있습니다.



Figure 5-8. 기생 용량의 Vbs 의존성 (SCT3040KL)

5.8 Self Turn-on 대책

인버터나 Full Bridge 회로 등 MOSFET를 Bridge 구성으로 사용할 경우 상하 Arm 중 한쪽 또는 양쪽 MOSFET가 동시에 Off 됩니다만, 스위칭 측 MOSFET 의 동작에 맞춰 비스위칭 측 (환류 측) Vos 나 6 가 바뀜으로써 게이트 단자를 Off 로 제어함에도 불구하고 의도치 않게 Turn On 되는 경우가 있습니다. 이를 Self Turn-on 이라 합니다. 이 현상이 발생하면 효율이 떨어지고 최악의 경우 MOSFET가 파괴될 수 있습니다.

Figure 5-9 는 대책 회로 예입니다. (a)는 Turn Off 전압을 마이너스 전압 (V_{G_N})으로 함으로써, Self Turn-on 의 trigger 가 되는 게이트 전압 상승이 발생해도 V_{GS(th})를 넘지 않게 합니다. 단, 마이너스 측 V_{GS} 정격 마진이 적은 제 3 세대 SiC MOSFET 에는 사용할 수 없습니다. (b)는 MOSFET 의 게이트-소스 사이에 1nF~5nF 콘덴서를 접속시킴으로써 순간적인 게이트 전압 상승을 억제합니다. (c)는 게이트-소스 전압이 일정 전압 이하에서 On 되는 것과 같은 액티브 미러 클램프 MOSFET 를 사용하여 게이트-소스 사이 전압 상승을 억제합니다. (b), (c)에 대해 기생 인덕턴스가 있으면 효과가 떨어지므로 대책 부품을 게이트 단자, 소스 단자에 최대한 가깝게 부착하는 것이 중요합니다. 부품 선정 시 기생 인덕턴스가 작은 소형 패키지 선택을 권장합니다.







(b) 게이트-소스 간 콘덴서 접속



(c) 액티브 미러 클램프 MOSFET

Figure 5-9. Bridge 구성의 Self Turn-on 대책 예

모든 방식에는 장단점이 있고 사용하는 드라이버 IC 가 가진 기능에 따라 적용할 수 없는 경우가 있습니다. Self Turn-on 발생 메커니즘을 바르게 이해한 후 선정하여 주시기 바랍니다.

Self Turn-on 발생 메커니즘은 어플리케이션 노트 「Bridge 구성에서의 Gate-source 전압 작용」*1 에서 설명하였습니다. 또한, 어플리케이션 노트 「Gate-Source 전압의 Surge 억제 방법」*2 에서 각종 대책 회로를 소개하고 있으므로 함께 참조하여 주십시오.

5.9 마이너스 서지 대책

"5.5 - 권장 게이트 전압 (*V*_{GS})"의 설명과 같이 SiC MOSFET 의 게이트 정격 전압은 매우 좁고 특히 마이너스 바이어스에 관하여 실사용 전압에 대해 수 V 마진만 있습니다. 따라서 게이트 마이너스 서지 대책을 설계 단계부터 포함하는 것이 매우 중요합니다.

Figure 5-10 은 마이너스 서지 대책 회로입니다. (a)는 게이트-소스 간에 마이너스 바이어스를 클램프하는 다이오드를 접속합니다. (b)는 MOSFET 의 게이트-소스 간에 1nF~5nF 콘덴서를 접속하여 게이트 전압의 순간적인 하강을 억제합니다. (c)는 게이트-소스 전압이 일정 전압 이하에서 On 하는 것과 같은 액티브 미러 클램프 MOSFET 를 사용함으로써 게이트-소스 간 전압 하강을 억제합니다. (b), (c)에 대해서는 "5.8 - Self Turn-on 대책"에서 설명한 Self Turn-on 대책과 동일하며 공용할 수 있습니다. 또한, 어떠한 경우도 Self Turn-on 대책과 동일하게, 대책 부품을 게이트 단자나 소스 단자 가장 가까이에 부착하는 것과 최대한 기생 인덕턴스가 작은 부품을 선택하는 것이 중요합니다.



(a) 게이트-소스 간 SBD 접속



(b) 게이트-소스 간 콘덴서 접속



(c) 액티브 미러 클램프 MOSFET

Figure 5-10. Bridge 구성의 마이너스 서지 대책

단, 마이너스 서지는 한 가지 요인으로 발생하지 않으며, Vbs 나 b 의 변화 타이밍과하게 밀접하게 관련된 여러 요인으로 인해 발생합니다. 마이너스 서지 발생 타이밍에 따라 효과적인 대책 방법이 다르므로, 우선 마이너스 서지 발생 요인을 정확하게 파악해야 합니다. 그 후 마이너스 바이어스 유무나 기판 레이아웃 조건 등 상황에 따른 최적의 대책을 취하는 것이 중요합니다.

마이너스 서지 발생 메커니즘은 어플리케이션 노트 「Bridge 구성에서의 Gate-source 전압 작용」*1 에서 설명하였습니다. 또, 어플리케이션 노트 「Gate-Source 전압의 Surge 억제 방법」*2 에서 각종 대책 회로를 소개하고 있으므로 함께 참조하여 주십시오.

5.10 단락 보호

MOSFET 단락 보호에는 몇가지 방식이 있습니다. 여기서는 대표적인 방법을 설명합니다.

5.10.1 DESAT

DESAT (Desaturation fault detection)는 가장 간단한 단락 보호로써 널리 사용되며 Complex Type 드라이버 IC 에는 제품 대부분에 탑재되어 있습니다.

Figure 5-11 에 ROHM 의 드라이버 IC (a) BM60052AFV-C, (b) BM6101FV-C 를 사용한 DESAT 회로 예입니다. 외장 부품은 DESAT 저항 *R*_{DESAT}, *R*₁, *R*₂ 및 R₃, DESAT 다이오드 *D*_{DESAT}, 블랭킹 콘덴서 *C*_{BLANK}로 이루어지며, 검출 레벨이나 검출 시간 등을 조정합니다. *D*_{DESAT} 는 MOSFET 의 스위칭 속도에 비례한 d*v*/d*t* 로 인가전압이 변하므로 고속 리커버리 타입을 선정합니다. 또한, *R*_{DESAT} 이나 *R*₁ 도 *D*_{DESAT} 의 리커버리 기간에 드레인 단자 전압이 인가되므로 정격전압이 낮은 저항은 그다지 적합하지 않으므로 주의해야 합니다.

단락 전류 검출 레벨이나 검출 시간은 사용 MOSFET 의 전류 허용값이나 단락 내량 등을 파악한 후 설정해야 합니다. 또한, MOSFET 의 회로 구성에 따라 소스 단자보다 드레인 단자 전압이 저하되고 드라이버 IC 의 DESAT 단자가 GND2 보다 낮아지는 경우가 있습니다. 다이오드 등에 의한 클램프 회로를 접속하여 DESAT 단자를 보호해야하므로 주의하여 주십시오.

상세 동작이나 단락 전류 레벨의 설정 방법 등은 사용하는 드라이버 IC 의 데이터시트나 어플리케이션 노트 등을 참조하여 주십시오.



(a) 드라이버 IC BM60052AFV-C 사용 시



(b) 드라이버 IC BM6101FV-C 사용 시

Figure 5-11. DESAT 회로

5.10.2 전류 Sense 단자가 있는 MOSFET 의 단락 보호

Figure 5-12 는 전류 Sense 단자가 있는 MOSFET 나 IGBT 의 전류 검출 회로입니다. 전류 Sense 저항 *R*SENSE 에 흐르는 전류는 드레인-소스 간에 흐르는 전류, 예를 들어 1000 분의 1 등의 Cell 수에 비례하여 작아지므로 대전류에도 전류 검출 회로에서의 전력 손실을 억제할 수 있습니다. 단, Bridge 구성의 리커버리 전류 등 노이즈 성분도 검출하기 때문에 회로 동작 조건에 따라서는 RC 필터 등으로 노이즈를 제거해야 합니다.



Figure 5-12. 드라이버 IC BM6101FV-C 를 사용한 과전류 보호 회로

5.11 권장 레이아웃

지금까지 설명한 게이트 드라이브 회로의 기능은 하기와 같습니다.

- 게이트 저항 (스위칭 속도 조정)
- 버퍼 회로 (게이트 구동 능력 증강)
- 게이트 서지 보호 (MOSFET 게이트 보호)
- MOSFET 단락 보호 (과전류 시 파괴 방지)
- 구동용 전원

이러한 모든 기능을 구현하기 위한 회로 부품을 프린트 기판상에 실장해야 합니다. 이상적으로는 모든 기능을 MOSFET 가까이에 실장하는 것이지만 기판 레이아웃상 우선 순위를 정해야 합니다.

또한 사용하는 디바이스 특성이나 회로 Topology 에 따라 게이트 서지 발생 정도나 대책의 우선 순위도 변하기 때문에 MOSFET 주변 회로 레이아웃 검증 시에는 어느 기능의 패턴 인덕턴스를 작게 해야 하는지 면밀하게 검토해야 합니다.

회로 Topology 분류는 MOSFET 구성과 스위칭 동작에 따라 나눌 수 있습니다. MOSFET 를 단독 사용하는 구성 (Single)과 MOSFET 를 상하 직렬로 접속하여 사용하는 구성 (Half Bridge)으로 크게 나눌 수 있고, 그 중 MOSFET 의 스위칭 동작은 하드 스위칭 방식 (Hard Switching)과 소프트 스위칭 방식 (Soft Switching)으로 나눠집니다.

Half Bridge 구성에서 비스위칭 측이 스위칭 측 동작에 영향을 받는 것에 비해 Single 구성은 단독 사용이므로 자신의 스위칭 동작만 고려하면 됩니다.

세대에 따라 스위칭 특성이나 게이트 정격전압에 차이가 있기 때문에 디바이스 세대마다 필요 기능을 분리하였습니다. Table 5-3 은 디바이스 세대, 회로 구성별 필요 기능과 레이아웃 지침입니다. 하기 순번을 통해 대책 부품 레이아웃의

우선도를 정하여 정격 내 동작 및 고효율을 양립할 수 있습니다.

Topology		제 2 세대 SiC MOSFET 제 3 세대 SiC MOSF	
Single End	Hard Switching Soft Switching	1) 게이트 저항 1) 게이트 저항 2) 게이트 저항	
Half Bridge	Hard Switching	1)G-S 간 외장 콘덴서 2)게이트 저항	1) 액티브 미러 클램프 MOSFET 2) 마이너스 서지 클램프 SBD 3) G-S 간 외장 콘덴서 4) 게이트 저항
	Soft Switching	1) 게이트 저항	1) 마이너스 서지 클램프 SBD 2)G-S 간 외장 콘덴서 3) 게이트 저항

Table 5-3. 게이트 구동 회로의 필요 기능

Figure 5-13 은 SiC MOSFET 용 Half Bridge 평가 기판 (P02SCT3040KR-EVK-001)의 레이아웃 사례입니다. (a)는 구동 회로도, (b)는 기판 실장 사진, (c) 및 (d)는 기판 패턴 레이아웃입니다.

이 기판은 제 3 세대 SiC MOSFET 를 하드 스위칭 동작으로 평가하기 위한 기판이므로 게이트 서지 대책이 가장 중요합니다. 사용하는 드라이버 IC(BM6101FV-C)에는 액티브 클램프 MOSFET 용 제어 신호가 갖춰서 있으므로 해당 MOSFET (Q2)를 SiC MOSFET 의 가장 가까이에 배치하고, 또한 마이너스 서지 흡수용 다이오드 (D3)와 그 바이패스 콘덴서 (C3)를 배치합니다. 다음은 플러스 서지 흡수용 다이오드 (D2)와 그 바이패스 콘덴서 (C2)를 레이아웃하는데, 드라이버 IC 부터 MOSFET 까지의 패턴 길이에 따른 인덕턴스로 인해 플러스 서지가 발생하므로 레이아웃 상황에 따라 실장 가능 여부를 판단합니다. 마지막으로 게이트-소스 간 Self Turn-on 대책용 콘덴서 (C1)를 배치합니다.

서지 흡수용 부품은 MOSFET 로부터의 거리가 멀수록 효과가 떨어지므로 (c)와 같이 MOSFET 에서 2cm 이내에 배치할 것을 권장합니다. 드라이버 소스 단자부터 드라이버 IC 의 리턴선은 드라이버 회로 부품 전체 바로 밑에 전면 패턴 (d)와 같이 레이아웃하고 구동 신호나 서지 보호 회로에 외부 노이즈 영향을 최대한 받지 않도록 하는 것이 중요합니다.



(a) 게이트 서지 보호 회로 예



(b) 게이트 서지 보호 회로 PCB 실장 예 (P02SCT3040KR-EVK-001)



(c) 부품 실장면



Figure 5-13. 게이트 서지 보호 회로 레이아웃 예 (P02SCT3040KR-EVK-001)

5.12 MOSFET 직렬 · 병렬 사용 시 주의사항

MOSFET 를 직렬 혹은 병렬로 동시에 동작시킬 경우 각각 디바이스에는 반드시 특성 편차가 있기 때문에 각각 완전히 같은 타이밍으로 동작시키는 것은 불가능에 가깝습니다. 따라서 단독 사용 시와는 다른 주의점이 있습니다. 이번 장에서 일반적인 주의사항을 설명하고 있으나, 복수개 사용을 권장하는 것은 아닙니다. 안전하게 동작하는지

확인한 후 사용하여 주십시오.

5.12.1 직렬 접속

디바이스에 인가되는 전압 以N 이 사용하는 디바이스의 정격 이상일 때 각각의 디바이스에 인가되는 전압을 절반으로 줄이기 위해 직렬 접속하는 (Figure 5-14) 경우가 있습니다만, 디바이스 특성 편차나 기판 배선 인덕턴스 등으로 인해 디바이스에 인가시키는 전압의 불균형이 발생하므로 주의해야 합니다.



Figure 5-14. MOSFET 직렬 접속

전원 투입 시 초기 상태 (아직 한번도 스위칭 동작을 하지 않은 상태)에서는 각각의 디바이스에 인가되는 전압은 Coss 에 비례하며, 일단 스위칭 동작이 개시되면 Turn Off 시 스위칭 속도의 편차에 의해 디바이스에 인가되는 전압의 불균형이 드러납니다. 하기 내용은 스위칭 속도 편차의 요인입니다.

- MOSFET의 V_{GS(th)}
- 구동 회로 능력 (외장 게이트 저항, 배선 인덕턴스)
- 구동 회로 지연
- MOSFET 의 Ciss, Crss, Coss, 내부 게이트 저항

 Figure 5-15 는 Turn Off 시의 Vos 파형 시뮬레이션 결과입니다. (a)는 시뮬레이션 회로와 조건입니다. (b)는

 V_{GS(th)}의 편차, (c)는 외장 R_G 의 편차, (d)는 게이트 구동 회로의 패턴 인덕턴스 차이, (e)는 드라이브 회로 지연

 편차, (f)는 C_{GD} 편차, (g)는 C_{GS} 편차로써, 이들이 각각 Q1, Q2 MOSFET 의 Vos 파형에 어떠한 영향을 미치는지

 나타냅니다. (e)와 같이, 불과 5ns 의 게이트 드라이브 회로 지연이나 (f)의 MOSFET C_{GD} 편차에 의한 Vos

 불균형이 현저하며, 그 이외에도 V_{GS(th)}나 드라이브 회로 패턴 인덕턴스의 영향도 결코 무시할 수 없습니다.

이와 같이, 모든 편차는 MOSFET 의 스위칭 속도에 크게 영향을 받으며 각 디바이스가 언밸런스한 스위칭 동작을 실행하면 스위칭 손실도 언밸런스해질 뿐만 아니라 결과적으로 정격 이상의 Vos 가 순간적으로 인가되어 신뢰성이 저하되고 최악의 경우 파괴될 위험이 있어 충분히 편차 검증을 한 후 동작시켜 주십시오.





5.12.2 병렬 접속

디바이스에 흐르는 전류 (LOAD 가 사용 디바이스 정격 이상일 경우 각각의 디바이스에 흐르는 전류 /b 를 절반으로 줄이기 위해 병렬 접속하는 경우가 있습니다.

Figure 5-16 (a)은 이에 대한 접속 예입니다. 디바이스 간 스위칭 동작 편차를 억제하기 위해 각각의 MOSFET에 외장 게이트 저항을 개별로 접속합니다. 외장 게이트 저항을 접속하지 않고 직접 구동하면 MOSFET 특성이나 구동 회로 편차로 인해 Turn On 일 때나 Turn Off 일 때의 과도 상태에서 전류 불균형이 쉽게 발생합니다. (Figure 5-16 (b))



(a) 병렬 접속 시 구동 회로



(b) 시뮬레이션에 의한 Turn On 시의 드레인 전류 불균형 (외장 게이트 저항 없음)

Figure 5-16. MOSFET 병렬 접속

그런데 외장 게이트 저항을 접속해도 디바이스 편차나 구동 회로 불균형에 의해 전류 언밸런스는 발생합니다. 하기 편차 내용은 전류 언밸런스의 요인입니다.

- MOSFET 의 V_{GS(th)}
- 구동 회로 능력 (외장 게이트 저항, 내부 게이트 저항, 배선 인덕턴스)
- MOSFET 주회로 배선 인덕턴스
- MOSFET 의 Ciss, Crss, Coss
- MOSFET 냉각 조건 (다른 방열판에 부착)

Figure 5-17 은 Turn On 시 & 파형의 시뮬레이션 결과입니다. (a)는 시뮬레이션 회로와 조건입니다. (b)는 V_{GS(th)} 편차, (c)는 외장 *R*_G 편차, (d)는 게이트 구동 회로 패턴 인덕턴스의 차이, (e)는 MOSFET 주회로 인덕턴스 차이, (f)는 *C*_{GD} 편차, (g)는 *C*_{GS} 편차, (h)는 구동 회로에 포함되는 소스 인덕턴스 차이로써, 이들이 각각 Q1, Q2 MOSFET 의 *b* 파형에 미치는 영향을 나타냅니다.

(b)나 (h)에서도 명백히 알 수 있듯이 *V*_{GS(th)}의 차이나 소스 인덕턴스 차이가 클수록 Turn On 시의 & 불균형이 현저해집니다. 또한 (e) 주회로의 인덕터 차이나, (f) MOSFET *C*_{GD} 의 편차가 큰 경우에도 & 불균형이 큰 경향이 있습니다.

이처럼, 병렬 접속의 각 디바이스 언밸런스 스위칭 동작은 과도하게 큰 *h* 가 순간적으로 흘러 스위칭 손실을 증가시킵니다. 그 결과 디바이스 자체 발열 증대에 의한 신뢰성 저하를 일으킬뿐만 아니라 최악의 경우 파괴될 위험이 있습니다. 특히 캐리어 주파수가 높고 스위칭 손실이 상대적으로 커지는 조건에서는 충분히 편차 검증을 실행한 후 동작시켜 주십시오. 또한, 정상 상태에서는 각각의 디바이스에 인가되는 전류 6 는 MOSFET On 저항 $R_{DS(on)}$ 이 고온일수록 커지는 ("3.5 - ON 저항의 온도계수" 참조) 경향이 있어 자연적으로 균형이 잡힙니다.





(h) L_{SOURCE} 편차

Figure 5-17. MOSFET 병렬 접속 시뮬레이션 파형

병렬 접속은 드물게 게이트-소스 전압 V_{GS}가 발진하는 경우가 있습니다. 이 발진 현상은 Turn On 또는 Turn Off 양쪽 타이밍에 발생합니다. Figure 5-18 처럼 MOSFET (Q1, Q2) 사이 게이트 저항 (*R*_{G_EXT} + *R*_{G_INT})과 구동 회로 기판 패턴의 인덕턴스 *L*_{TRACE}, MOSFET 게이트-드레인 간 용량 *C*_{GD} 혹은 게이트-소스 간 용량 *C*_{GS} 에 의한 RLC 공진 회로가 Q1 과 Q2 사이에 형성되기 때문입니다. MOSFET 편차가 없고 구동 회로가 완전히 동일하다면 병렬 접속된 디바이스 및 구동 회로는 동일한 동작이 되어, 디바이스 간에서의 에너지 교환은 실행되지 않고 공진이 발생하지 않습니다. 하지만 실제로는 양쪽에 조금 차이가 있어 드레인 전류 *h* 언밸런스로 *L*_{SOURCE} BEMF 에 차이가 생깁니다. 이로 인해 병렬 접속된 디바이스 간의 폐회로에 에너지 교환이 이뤄지고 발진이 일어납니다.

Figure 5-18 병렬 접속에 있어, MOSFET 편차나 구동 회로 차이가 원인으로 MOSFET Q1 & 가 Q2 보다 조금 빨리 On / Off 를 개시할 경우 MOSFET 간의 On / Off 개시 직후 공진전류는 화살표 방향으로 흐릅니다. Turn On 시 (a)는 C_{GS} 를 충전하는 전류 (녹색)에 더하여 *L*_{DAIN1} 및 *L*_{SOURCE1} BEMF 를 전원으로 한 공진전류 (빨간색, 파란색)가 되며, *R*_{G_EXT}가 작아질수록 (d*b*/d*t*가 커짐) 언밸런스 등에 의한 공진전류는 커지고 쉽게 발진이 일어납니다.

Turn Off 시 (b) 공진 회로는 구동 회로 측이 GND 에 접속되어 있어 *L*_{SOURCE} 를 포함한 공진 회로는 상호 영향을 주지 않고 *L*_{DRAIN} 기전에 의한 공진 회로만 *V*_{GS} 발진에 영향을 줍니다.



(a) Turn On 시 V_{GS} 발진 동작

(b) Turn Off 시 V_{GS} 발진 동작

Figure 5-18. MOSFET 병렬 접속에 의한 VGs 발진

이 *V*_{GS} 발진은 *R*_{G_EXT}를 크게 하거나 게이트 단자 가까이에 페라이트 비즈를 삽입함으로써 억제할 수 있습니다. 일반적으로 RLC 회로 발진의 댐핑 저항 조건은 식 (4)와 같습니다.

$$R > 2 * \sqrt{\frac{L}{c}} \tag{4}$$

6.SiC 파워 모듈 특징

6.1 SiC 모듈 특징

현재 대전류를 쓰는 파워 모듈에는 Si의 IGBT와 FRD를 조합한 IGBT 모듈이 널리 사용되고 있습니다. ROHM은 세계를 선두하여 SiC MOSFET 와 SiC SBD 가 내장된 파워 모듈을 양산하고 있습니다. IGBT 의 Tail 전류와 FRD 의 리커버리 전류에 기인하여 발생한 큰 스위칭 손실은 SiC 모듈에 의해 대폭 삭감 가능하므로,

- 1. 스위칭 손실 저감에 따른 전원 효율 개선 및 냉각기 간소화
 - (예 : Heat Sink 소형화, 수냉 / 강제 공랭의 자연 공랭화)
- 2. 동작 주파수의 고주파화에 따른 주변 부품 소형화
 - (예:리액터나 콘덴서 등 소형화)

등의 효과를 얻을 수 있습니다. 산업 기기 전원이나 태양광 전지 파워 조절 장치 등 응용 범위가 넓어지고 있습니다.

6.2 회로 구성

현재 제품화하고 있는 SiC 파워 모듈은 Half Bridge 회로를 구성 가능한 2in1 타입, 및 Chopper 회로 구성이 가능한 Chopper 타입이 있습니다. 2in1 타입은 SiC MOSFET+ SiC SBD 타입과 SiC MOSFET 만으로 구성된 타입이 있고, 용도에 따라 선택할 수 있습니다. Figure 6-1 은 C Type 모듈 외관, Figure 6-2 는 내부 회로도입니다.



(a) 외형도



(b) 외관 사진 Figure 6-1. C-type 파워 모듈



Figure 6-2. SiC 파워 모듈 회로도

6.3 NTC 서미스터 (thermistor)

서미스터 부착 모듈 제품은 모듈 케이스 내부 온도 모니터가 가능합니다. 서미스터 제품 사양서에 25℃의 저항 값과 온도 계수인 B 정수가 정해져 있어 온도 T₁의 서미스터 저항 값 Rth(T₁)은 식 (5)으로 산출됩니다.

$$R_{th}(T_1) = R_{th}(T_0) * \exp\left\{B_{T_0/T_1} * \left(\frac{1}{T_1} - \frac{1}{T_0}\right)\right\}$$
(5)

R_{th}(T₁): 소정의 온도의 서미스터 저항 값 T₀: 서미스터 저항을 계산하기 위해 기준이 되는 온도. ROHM 제품은 일반적으로 25°C 규정 T₁: 검출한 서미스터 온도 R_{th}(T₀): 기준이 되는 온도의 저항 값 B_{T0/T1}: 서미스터로 정해진 정수 (B 정수)

상기 식의 B 정수는 온도 특성을 가지고 있어, 엄밀하게는 일정하지 않습니다. ROHM 의 SiC 파워 모듈은 B 정수를 25℃/50℃로 규정하고 있으므로 서미스터 온도가 50℃에서 멀어질수록 오차가 커집니다.

사용 온도에 맞는 저항 값이 필요한 경우 Figure 6-3 을 참조하여 개략값을 계산할 수 있습니다. 또한, 온도와 저항 값 상세 데이터가 필요할 경우 담당 영업 창구로 문의하여 주시기 바랍니다.

단, 모듈 안에 실장된 서미스터를 사용할 경우 하기를 유의하여 주십시오.

- 서미스터는 절연 기판에 실장되며, 방열 경로상에 없음 (반도체 접합부 사이에 일정한 열 저항이 있음).
- 외부 냉각 조건에 따라 Tj-서미스터 온도 간 관계성이 변함 (상기와 동일).
- 과도 시 온도 계측 불가능.

Figure6-4는 온도 검출을 위한 참고 회로입니다.









6.4 파워 모듈 부착 방법

6.4.1 Heat Sink 부착

파워 모듈은 냉각용 방열판이 있고 고정 나사에 따라 일정한 Torque 로 단단히 조이는 구조입니다. Figure 6-5 는 파워 모듈 단면 구조입니다. SiC MOSFET Chip 부터 방열판 (Base Plate)까지는 납땜이나 배선 패턴, 절연 기판 등이 있으므로 방열판에 Heat Sink 를 올바르게 부착하는 것이 매우 중요합니다.



Figure 6-5. 파워 모듈 방열판 구조 (단면도)

Heat Sink 부착 시 주의해야할 점은 방열판과 Heat Sink의 밀착성과 평탄도 (Flatness)입니다. 파워 모듈 방열판은 평탄해 보이지만 파워 모듈 조립 시 응력이 발생하여 실제로는 평탄하지 않습니다. Figure 6-6 은 방열판이 활모양으로 휜 형태입니다. 파워 모듈 직사각형의 긴쪽 방향의 단면 휨은 최대 약 38µm이며 복잡한 요철 상태가 됩니다. 이로 인해 파워 모듈을 Heat Sink 에 고정할 때 방열판과의 경계 사이에 반드시 빈틈이 생깁니다. 또한 방열판이 단순한 볼록 형태여도 모듈이나 Heat Sink 부착면에 흠이 있으면 빈틈이 생깁니다. 이 빈틈은 파워 모듈에서 Heat Sink 로의 방열을 방해하고 방열 설계 시 상정된 온도 이상의 발열로 이어집니다.



Figure 6-6. 방열판 뒤틀림

여기서, 이 빈틈을 메우기 위해 Thermal Sheet 나 Thermal Grease 를 사용하는데, 몇가지 주의해야할 점이 있습니다.

Thermal Sheet 는 고형 상태이므로 취급이 쉬운 반면, 조립 시 필요한 Torque 강도가 크고 (예를 들어 8N·m) 파워 모듈 정격 (3.5N·m)을 초과하기 때문에 적용에 세심한 주의가 필요합니다. 그리고, Thermal Grease 는 유동성이 있어 파워 모듈 정격 이내의 Torque 강도로 사용할 수 있지만, 두께 제어가 어렵고 온도 변화에 따라 Grease 가 변동되어 (Pump out 현상), 빈 공간이나 틈이 생기므로 재료를 주의깊게 선정해야 합니다.

Thermal Grease 를 이용한 조립 방법과 방열 효과에 대한 상세 내용은 어플리케이션 노트 「최적의 방열 효과를 주는 모듈 조립 방법」*5를 참조하여 주십시오.

6.4.2 신호선 부착

파워 모듈을 스위칭 동작시키거나 내부 온도 Sensing 하기 위해 파워 모듈 신호 단자 (Figure 6-7)에 제어 신호선을 접속해야 합니다.



Figure 6-7. 파워 모듈 신호 단자

이 신호 단자로의 접속 방법은 PCB 에 의한 solder 접속이나 콘택트에 의한 결합 접속 등이 있으며, 신호 단자를 soldering 할 때 PCB 측에 준비하는 Through hole 은 Figure 6-8 (a)의 외각 지름으로 합니다.

콘택트에 의한 접속의 경우 Figure 6-8 (b)의 콘택트를 사용하여 평가할 수 있습니다. 단, 이 부품은 파워 모듈 기능 평가를 위한 것이며 탈착 횟수나 진동에 대한 신뢰성 평가는 실시하지 않습니다. 고객의 최종 제품에 사용할 경우에는 각각의 어플리케이션에 따른 조건으로 반드시 신뢰성 평가를 실시하고 사용 가능 여부를 판단하여 주십시오.



Unit:mm

(a) 드라이브 기판 신호 단자 Throught hole 예



(b) 콘택트 예 (HIROSE 전기 HIF3 시리즈)

Figure 6-8. 신호 단자 접속 방법

solder 접속은 인두로 hand soldering 하며, 그 조건은 아래와 같습니다. 리플로우를 통한 soldering 은 불가능합니다.

- · 인두 끝 온도 : 400℃ 이하
- Soldering 시간 : 5 초 이하

6.5 스위칭 특성

SiC 파워 모듈 (BSM120D12P2C005, 1200V 120A, C-type Package)의 스위칭 특성을 Figure 6-9 의 인덕턴스 부하에서의 더블 펄스 시험으로 평가했습니다. 모듈 내부 기생 인덕턴스는 약 25nH, 회로 기생 인덕턴스는 약 15nH 입니다.



Figure 6-9. 더블 펄스 시험 회로

6.5.1 드레인 전류 의존성 온도 의존성

SiC 파워 모듈은 SBD (또는 MOSFET 의 바디 다이오드)의 고속 리커버리 성능으로 리커버리 손실 Err 은 거의 제로입니다. MOSFET 는 Tail 전류가 없어 Eoff 도 IGBT 와 비교하여 매우 작다는 장점이 있습니다. Eon 과 Eoff 는 전류에 거의 비례하여 증가합니다 (외장 R_G 로 인해 상승 경향은 다릅니다). Si FRD 의 리커버리 전류나 IGBT 의 Tail 전류가 고온에서 커지는 것에 비해 다수 캐리어 디바이스로 구성된 SiC 모듈은 온도에 대한 Loss 변화가 매우 작습니다. 고온에서 Threshold value 가 저하되므로 Eon 은 작아지고 Eoff 는 조금 커지는 경향이 있습니다 (Figure 6-10).



Figure 6-10. 스위칭 손실의 드레인 전류 의존성

6.5.2 게이트 저항 의존성

외장 게이트 저항이 커질 경우 게이트로의 충방전 전류 값이 작아지고 스위칭 속도는 느려집니다. 이와 함께 Eon, Eoff가 높아져 본래 성능을 발휘하지 못하는 경우가 있어 최대한 작은 게이트 저항을 선정해 주십시오 (Figure 6-11).



Figure 6-11. 스위칭 손실의 게이트 저항 의존성 (Tj=25°C)

Figure 6-12, Figure 6-13 은 외장 게이트 저항에 대한 d *V*/d*t*, d//d*t* 의존성입니다. 외장 게이트 저항을 작게함으로써 d*V*/d*t*, d//d*t* 모두 큰 값이 됩니다. ROHM 의 SiC 파워 모듈에는 다양한 조건 하에서 실험하고 있으며, 현재까지의 조사로 d*V*/d*t* 파괴, d//d*t* 파괴 모드는 확인되지 않고 있습니다.



Figure 6-12. d //dt vs. 게이트 저항 (Tj=25°C)



Figure 6-13. d//dtvs. 게이트 저항 (Tj=25°C)

6.5.3 게이트 바이어스 의존성

제 2 세대 SiC MOSFET 를 사용한 모듈의 V_{GS} 정격은 -6~+22V 범위입니다. V_{GS} 정격에는 펄스 폭 t_{surge}가 300ns 이하로 규정된 서지 정격에서는 -10~+26V로 되어있습니다 (Figure 6-14 (a)). 또한, 권장 구동 조건은 V_{GS(on}=18V, V_{GS(off}=0V 또는 마이너스 바이어스 사용의 경우 -5V 까지이지만 V_{GS(on}, V_{GS(off}는 절대 값이 클수록 게이트 충방전이 고속이 되어 Eon, Eoff 는 작아지게 됩니다.

제 3 세대 SiC MOSFET 를 사용한 모듈의 V_{GS} 정격은 -4~+22V 범위이며, 서지 정격은 -4V~+26V 입니다 (Figure 6-14 (b)). 권장 구동 조건은 V_{GS(on)}=18V, V_{GS(off)}=0V 입니다.

제 2 세대, 제 3 세대 모듈 모두 정격을 넘은 서지 보증은 불가능하므로 정격 범위내에서 사용해 주십시오.





6.6 IGBT 모듈과의 스위칭 손실 비교

서로 다른 3 사로부터 제품화되고 있는 1200V 100A Class 2in1 구성 IGBT 모듈과, SiC 파워 모듈의 스위칭 성능을 비교한 결과입니다.

6.6.1 토탈 스위칭 손실 비교

최적의 게이트 저항을 선택한 경우, SiC 파워 모듈은 가장 손실이 적은 IGBT 모듈과 비교하여 토탈 스위칭 손실 (Eon + Eoff + Err)을 85% 삭감할 수 있습니다 (Figure 6-15). 이로 인해 기존의 IGBT 모듈로는 실현할 수 없던 50kHz 이상에서의 구동이 가능해져, 리액터 등 수동 부품을 소형화할 수 있습니다. 또한, 보통 IGBT 모듈은 스위칭 손실에 의한 발열 과제가 있고 정격 전류의 절반 정도의 전류로만 사용할 수 있지만, 스위칭 손실이 적은 SiC 모듈에서는 고주파 구동 시에도 폭 넓은 전류 Derating 하지 않고 사용할 수 있습니다. 즉, 보다 큰 정격 전류의 IGBT 모듈을 전환할 수 있습니다.



Figure 6-15. 토탈 스위칭 손실 비교

6.6.2 리커버리 손실 (Err) 비교

IGBT 모듈은 FRD 역회복 리크 전류 *k*r, 역회복시간 *t*r 이 크기 때문에 손실이 많이 발생했지만 SiC SBD 의 *k*r, *t*r 은 매우 작아 손실은 무시 가능할 만큼 작은 값입니다 (Figure 6-16).



Figure 6-16. 리커버리 손실 비교

6.6.3 Turn On 손실 (Eon) 비교

회생으로 발생한 리커버리 전류는 다음 스위칭에서 흐르므로 스위칭 디바이스의 Turn On 손실을 증대시킵니다. 다이오드 리커버리가 고속인 SiC 파워 모듈은 리커버리 손실과 마찬가지로 Turn On 손실도 작아집니다. 외장 게이트 저항이 작을수록 손실은 작아집니다 (Figure 6-17).



Figure 6-17. Turn On 손실 비교

6.6.4 Turn Off 손실 (Eoff) 비교

IGBT 의 Turn Off 손실은 Tail 전류에 기인하므로 게이트 저항 의존성이 두드러지게 보이지 않고 항상 큰 값이 됩니다. 이에 대해 SiC MOSFET 는 Tail 전류가 원리적으로 존재하지 않아, 매우 고속이며 저손실 스위칭이 가능합니다. 외장 게이트 저항이 작을수록 손실은 작아집니다 (Figure 6-18).



6.7 Self turn-on 대책

Half Bridge 구성에 대해, upper arm 의 MOSFET (M1)가 Turn On 할 때, lower arm MOSFET (M2)의 피드백 다이오드 (외장 SBD 또는 바디 다이오드)에 흐르는 순방향 전류가 역회복됨과 동시에 M2 드레인-소스 간 전위가 올라갑니다. 이 때 발생하는 d V_{DS}/d*t* 는 M2 귀환용량 Crss 를 통해 과도한 게이트 전류 (*I*_G=Crss×d V_{DS}/d*t*)가 되고, 이 전류가 게이트 저항에 흐름으로써 M2 게이트 전위가 상승합니다 (Figure 6-19). 이 전압이 게이트 Threshold 전압 V_{GS(th})을 크게 초과할 경우 MOSFET (M2)는 Self turn-on 되어 단락 상태가 됩니다.



Figure 6-19. Self Turn-on 발생 메커니즘

SiC MOSFET 의 V_{GS(th})는 *h*=수 mA 로 정의되므로 3V 정도로 낮지만, 대전류를 보내기 위해 필요한 게이트 전압은 8V 이상으로 크고, 실제로는 Self turn-on 에 대한 내성은 IGBT 와 크게 다르지 않습니다. 하지만 사용 환경에 있어 Self turn-on 가능성이 있는 경우 Si 파워 모듈과 마찬가지로 하기 대책을 권장합니다. 스위칭에 영향을 미치는 경우도 있으므로 파형을 확인한 후 조정하여 주십시오. 액티브 미러 클램프에 의한 Self turn-on 대책의 상세 내용은 어플리케이션 노트 「액티브 미러 클램프에 의한 Self turn-on 대책의 한 Self turn-on 대책」*6을 함께 참조하여 주십시오.

- · Off 시 마이너스 게이트 바이어스를 증대시킴 (제 2세대 MOSFET 사용품만 가능)
- 게이트-소스 간에 용량 추가
- · 게이트-소스 간에 트랜지스터 추가 (액티브 미러 클램프 MOSFET 에 따라 G-S 간 클램프)
- 게이트 저항을 크게 하여 스위칭 속도를 저하시킴

6.8 RBSOA (역 바이어스 안전 동작 영역)

SiC 파워 모듈의 RBSOA (Reverse Bias Safe Operating Area : 역 바이어스 안전 동작 영역)는 IGBT 모듈과 마찬가지로 정격전류 2 배×정격전압 전체 범위를 커버합니다 (Figure 6-20).

또한, 여기에서의 드레인-소스 전압은 Chip 과 가장 가까운 값 (V_{DS_INT})이며 단자 전압 (V_{DS})은 아닙니다. 각 파워 모듈에 규정된 기생 인덕턴스 *L*s 와 실제 파형의 d*h*/d*t*로부터 식 (5)의 V_{DS_INT}를 산출하여 주십시오.

$$V_{DS_INT} = V_{DS} + L_S * \frac{dI_D}{dt}$$
(5)



Figure 6-20. 1200V 600A 제품의 RBSOA

6.9 다이오드 소전류, 좁은 펄스 통전 시 Vbs 서지

Si FRD 는 통전 시간이 짧고 전류가 작을 때 Drift 층 안에 탑재된 소수 캐리어가 적어짐에 따라 리커버리 복귀 d*ildt* 가 커지며, Figure 6-21 (a), (b)의 검은색 선처럼 큰 서지 전압이 발생합니다. 다이오드의 서지 전압은 MOSFET Turn On 속도를 빠르게 할수록 커지고 소자 파괴나 노이즈의 원인이 될 수 있어 Turn On 을 완만하게 제한할 필요가 있습니다. SiC SBD 는 소수 캐리어를 사용하지 않아 리커버리 전류가 매우 작으므로 동일한 그림 (a), (b)의 빨간색 선처럼 소전류 / 단펄스 조건에도 큰 서지 전압이 발생하지 않습니다. MOSFET 의 Turn On 속도를 제한할 필요가 없으므로 스위칭 손실을 삭감할 수 있습니다. Figure 6-22 는 다이오드를 단펄스 동작시킨 때의 V_{DS} 서지 파형 비교입니다.



Figure 6-21. V_{RM} 서지 특성



(a) Si IGBT + Si FRD (b) SiC MOSFET + SiC SBD

Figure 6-22. 소전류, 좁은 펄스일 때의 리커버리 전류로 인한 전압 서지 비교

6.10 G-type 파워 모듈

일반적으로 파워 모듈은 큰 사이즈와 내부 구조 때문에 기생 인덕턴스가 큽니다. 배선 등의 인덕턴스는 스위칭 전류가 높은 d/b/dt로 인해 서지 전압을 발생시키는 요인이 되므로 최대한 작게하는 것이 바람직합니다.

ROHM 은 내부 인덕턴스를 최대한 저감시킨 G-type 파워 모듈을 개발하였습니다. 또한 이 모듈은 열 저항 $R_{\rm th}$ 도 개선하여 방열성을 높여 허용 전류가 배가되었습니다. Figure 6-23 은 외관과 내부 인덕턴스 개략값입니다.



Figure 6-23. 파워 모듈 케이스 타입

Figure 6-24 는 Turn Off 일 때의 Vbs 서지를 G 타입과 E 타입으로 비교한 결과입니다. G 타입은 내부 인덕턴스를 저감시켜 동일 구동 조건에서 서지 전압 발생을 억제할 수 있습니다. 관점을 바꾸면, 서지 전압이 동일해지는 스위칭 조건 (G 타입 외장 게이트 저항을 저감)에서 동작시킨 경우 E 타입 대비 약 25% 손실을 줄일 수 있습니다.



Figure 6-24. G 타입과 E 타입의 VDs 서지와 스위칭 손실 비교

7. 모듈용 평가 기판

7.1 SiC 파워 모듈용 드라이브 기판

Table 7-1 은 ROHM 에서 발매된 SiC 파워 모듈용 드라이브 기판 일람입니다. 파워 모듈 구동을 위한 기본 기능이나 구동용 절연 전원, 과전류 보호 회로 등이 표준 장비이므로 제어용 단일 전원을 구비하는 것만으로 파워 모듈을 구동시킬 수 있습니다.

ROHM 홈페이지의 SiC 서포트 페이지 (<u>https://www.rohm.co.kr/power-device-support</u>)에 상세 정보가 있으므로 참조하여 주시기 바랍니다.

평가 대상 디바이스	외관	품명	
BSM series 제 2 세대 1200V, E / G type 용		BSMGD2G12D24-EVK001	
BSM series 제 3 세대 1200V, E / G type 용		BSMGD3G12D24-EVK001	
BSM series 제 2 세대/제 3 세대 1200V, C type 용		BSMGD3C12D24-EVK001	
BSM series 제 2 세대 1700V, E type 용		BSMGD2G17D24-EVK001	

Table 7-1. SiC 파워 모듈용 드라이브 기판 일람

또한, 이 드라이브 기판들은 단시간 평가를 목적으로 개발되었기 때문에 신뢰성 보증이나 적정한 연면거리 등을 확보하지 않습니다. 회로도나 기판 레이아웃을 이용할 경우 반드시 고객 측에서 신뢰성 검증을 시행하여 주시기 바랍니다.

7.2 서지 전압 대책

SiC 모듈은 스위칭 속도가 빠르고 대전류를 다루기 때문에 모듈 내부 혹은 주변 배선 인덕턴스 LLINE 로 인해 서지 전압 V_{SURGE} = -LLINE×d/b/d/ 이 발생하고 경우에 따라서는 정격 전압을 초과할 수 있습니다.

이를 제어하기 위해 Si 파워 모듈과 마찬가지로 하기 대책을 권장합니다. 단, 스위칭 특성에 영향을 주는 경우도 있으므로 파형을 확인한 후 실제 회로로써 조정하여 주십시오.

- 주회로 (및 스너버 회로) 배선을 최대한 두껍고 짧게 설계하고 배선 인덕턴스를 줄임
- 평활 콘덴서 실장 위치는 MOSFET 가까이에 배치하고 배선 인덕턴스를 줄임.
- 스너버 회로 추가.
- 게이트 저항을 크게 하고 d*b*/d*t* 를 작게 함.



(a)C 스너버 회로

(b) RC 스너버 회로

Figure 7-1. 파워 모듈용 스너버 회로

Figure 7-2 는 C 스너버 유무와 콘덴서 종류에 따른 Vos 파형의 차이입니다. 최적의 세라믹 콘덴서를 부착하면 서지 전압이나 Ringing 을 억제할 수 있습니다. ROHM 은 Figure 7-3 과 같이, 고속 SiC 모듈 평가용에 최적인 스너버 기판을 구비하였습니다. 상세는 ROHM 홈페이지의 SiC 서포트 페이지 (<u>https://www.rohm.co.kr/power-device-support</u>) 정보를 참조하여 주십시오.



Figure 7-2. 스너버 회로 유무에 따른 Turn Off 서지 파형 비교



(a) C Type 용 EVSM1D72J2-145MH26

(b) E Type 용 EVSM1D72J2-145MH16





Figure 7-3. SiC 파워 모듈용 스너버 기판

8. 신뢰성

SiC 파워 디바이스는 일반적으로 제품 수명이 긴 산업기기 등에 사용되므로, 장기간에 걸쳐 디바이스 성능을 유지해야 합니다. 또한 매우 큰 열적, 전기적 스트레스를 받는 환경에서 사용하는 경우가 많기 때문에 다양한 조건에서 평가하고, 요구하는 성능 유지 기간을 확보 (수명 설계)해야 합니다.

사용 환경에서 디바이스가 받는 스트레스 조건 하에 신뢰성 평가를 하는 것이 이상적이지만, 제품 수명이 십년 이상인 제품을 완전히 동일한 조건으로 평가하는 것은 불가능하므로, 일반적으로 가속시험 등으로 대용합니다. 이 경우 사용 환경을 정확하게 파악하고 가속 조건 등을 설정하는 것이 중요합니다.

이번 장에서는 특히 주의해야 하는 신뢰성 항목을 디바이스 별로 설명합니다. 일반적인 신뢰성 시험 항목은 「JEITA 규격 ED-4701」 및 「JEDEC 규격 JESD22-A102」에 준거하여 실시합니다.

8.1 SiC SBD 신뢰성

8.1.1 d V/dt 파괴, d//dt 파괴

큰 d *V*dt가 인가된 경우 SiC SBD 의 외주 구조가 파괴되는 모드가 기존 제품에서 확인되었습니다만, ROHM 의 SBD 는 현재까지 조사로는 50kV/μs 정도 동작에도 이 파괴 모드는 확인되지 않고 있습니다.

또한 Si FRD 는 d*ildt* 가 큰 경우 리커버리 전류 Irr 이 커지고 전류 집중으로 인한 파괴 모드가 있지만, SiC SBD는 리커버리 전류가 매우 작아 이 모드는 발생하기 어렵습니다.

8.1.2 SiC SBD 신뢰성 시험 결과

Table 8-1 은 Through hole 타입, Table 8-2 는 SMD 타입의 신뢰성 시험 결과입니다.

Table 8-1. Through hole 타입 신뢰성 시험 결과

Test Item	Test Method / Standard	Test Condition	Sample Size n (pcs)	failure Pn (pcs)
High Temperature Reverse Bias	$T_a = T_{jmax}, V_{DS} = V_{DSmax}$ JEITA ED-4701/100A-101A	1000 h	22	0
High Temperature Gate Bias	Ta = T _{jmax} , V _{GS} = V _{GSmax} JEITA ED-4701/100A-101A	1000 h	22	0
High Temperature Gate Bias	Ta = T _{jmax} , V _{GS} = V _{GSmin} JEITA ED-4701/100A-101A	1000 h	22	0
High Temperature numidity Bias	T₂ = 85℃, RH = 85%, V _{DS} = 100V JEITA ED-4701/100A-102A	1000 h	22	0
Femperature cycle	$ T_a = -55^{\circ}C ~(30min) \sim T_a = 150^{\circ}C ~(30min) \\ JEITA ED-4701/100A-105A $	100 cycles	22	0
Pressure cooker	T₂ = 121℃, 203kPa (2atm), RH = 100% JESD22-A102C	48 h	22	0
High Temperature storage	Ta = 175℃ JEITA ED-4701/200A-201A	1000 h	22	0
.ow Temperature storage	Ta = -55 ℃ JEITA ED-4701/200A-202A	1000 h	22	0

1. Life Test

2. Stress Test

Test Item	Test Method / Standard	Test Condition	Sample Size n (pcs)	failure Pn (pcs)
Resistance to solder heat 1	Dipping leads into solder bath at 260 $\pm5^\circ\!\!C$ JEITA ED-4701/301-302A	10 s	22	0
Resistance to solder heat 2	Dipping leads into solder bath at 350 ±10 °C JEITA ED-4701/301-302A	3.5 s	22	0
Solderability	Dipping into solder bath at 245 ±5 °C JEITA ED-4701/301-303A	5 s	22	0
Thermal shock	0^{+5}_{-0} (5min) ~ 100 $^{+0}_{-5}$ (5min) JEITA ED-4701/302-307B	100 cycles	22	0
Terminal Strength (Pull)	Pull force = 20N JEITA ED-4701/400A-401A	10 s	22	0
Terminal Strength (Bandl)	Bending Load = 10N JEITA ED-4701/400A-401A	2 times	22	0

※고장 판정은 데이터시트에 기재된 전기적 특성에 따라 이뤄집니다. Soldering 특성 시험은 Wetted Area ≧95%로써 판정됩니다. ※샘플 규준(規準): 신뢰도 수준 90%, 불합격 신뢰성 수준 λ1 = 10%, C=0 판정을 채용하고, MIL-STD-19500 지수 분포형 계수 1 회 발췌 표를 따르며, 샘플은 22 개로 합니다.

Table 8-2. SMD 타입 신뢰성 시험 결과

Test Item	Test Method / Standard	Test Condition	Sample Size n (pcs)	failure Pn (pcs)
High Temperature Reverse Bias	Ta = T _{jmax} , V _R = V _{Rmax} ×0.8 JEITA ED-4701/100A-101A	1000 h	22	0
High Temperature humidity Bias	Ta = 85 °C , RH = 85%, V _R = 100V JEITA ED-4701/100A-102A	1000 h	22	0
Temperature cycle	$T_a = -55 \ C \ (30 \text{min}) \sim T_a = 150 \ C \ (30 \text{min}) \\ JEITA ED-4701/100A-105A \\$	100 cycles	22	0
Pressure cooker	Ta = 121 C , 203kPa (2atm), RH = 100% JESD22-A102C	48 h	22	0
High Temperature storage	Ta = 175°C JEITA ED-4701/200A/201A	1000 h	22	0
Low Temperature storage	Ta = -55 °C JEITA ED-4701/200A/202A	1000 h	22	0

2. Stress Test

Test Item	Test Method / Standard	Test Condition	Sample Size n (pcs)	failure Pn (pcs)
Resistance to solder heat 1	Reflow at 260 ±5 °C (peak temperature) JEITA ED-4701/301-301C	2 times	22	0
Resistance to solder heat 2	Dipping into solder bath at 260 ±5 °C JEITA ED-4701/301-301C	10 s	22	0
Resistance to solder heat 3	Dipping leads into solder bath at 350 ±10 °C JEITA ED-4701/301-301C	3.5 s	22	0
Solderability	Dipping into solder bath at 245 ±5 °C JEITA ED-4701/301-303A	5 s	22	0
Thermal shock	0 ⁺⁵ ₋₀ (5min) ~ 100 ⁺⁰ ₋₅ (5min) JEITA ED-4701/302-307B	100 cycles	22	0
Terminal strength (Pull)	Pull force = 20N JEITA ED-4701/400A-401A	10 s	22	0

※고장 판정은 데이터시트에 기재된 전기적 특성에 따라 이뤄집니다. Soldering 특성 시험은 Wetted Area ≧95%로써 판정됩니다.

※샘플 규준(規準):신뢰도 수준 90%, 불합격 신뢰성 수준 λ1 = 10%, C=0 판정을 채용하고, MIL-STD-19500 지수 분포형 계수 1 회 발췌 표를 따르며, 샘플은 22 개로 합니다.

8.2 SiC MOSFET 신뢰성

SiC MOSFET 는 SBD 에 비해 Chip 구조도 복잡하여 다양한 열적, 전기적, 기계적인 외적 스트레스 요인을 상정한 신뢰성 시험을 실시해야 합니다. 또한, 실제 사용 환경에서 그 요인은 복합적인 경우가 많으므로 최대한 실사용과 가까운 조건으로 평가하는 것이 중요합니다.

이번 장에서는 SiC MOSFET 의 신뢰성에 대하여, 오랜 기간 시장 경험으로 발전한 Si MOSFET 와 비교하며 설명합니다.

8.2.1 게이트 산화막

SiC 상에 형성되는 게이트 절연막은 오랜 기간에 걸쳐 신뢰성에 의문이 제기되었는데, ROHM 은 게이트 산화막 형성 프로세스 개발과 디바이스 구조 최적화로써 오늘날 많이 사용되는 Si MOSFET 혹은 IGBT 와 동등한 품질을 달성했습니다.

Figure 8.1 은 CCS TDDB (Constant Current Stress Time Dependent Dielectric Breakdown) 시험 결과입니다. CCS TDDB 시험은 게이트 산화막에 강제로 터널 전류를 통과시켜 단위 면적당 전하량이 얼만큼 통과되어야 고장이 발생하는지를 판정한 시험입니다. 게이트 산화막의 품질 지표인 Q_{BD} 는 15~20C/cm² 이며 Si MOSFET 와 동등한 강도를 얻을 수 있습니다.



Figure 8-1. CCS TDDB (24mA/cm²)

게이트 절연막 품질이 높아도 SiC 결정에는 아직 많은 결정 결함이 존재하므로, 이에 따른 초기 고장이 우려됩니다. 이에 ROHM 은 독자적인 Screening 기술을 채용하여 초기 고장을 시장에 유통하지 않도록 노력을 기울이고 있습니다.

HTGB (High Temperature Gate Bias: 고온 게이트 바이어스) 시험 (+22V, 150℃/175℃) 결과, 통산 3000개 이상의 디바이스가 고장이나 특성 변동 없이 1000 시간 통과했음을 확인했습니다. 또한, 600 개 이상의 디바이스가 3000 시간 경과에도 문제 없음을 확인했습니다.

8.2.2 Threshold value 안정성 (게이트 플러스 바이어스)

SiC 상에 형성되는 게이트 절연막 경계면에는 현재 기술 수준으로는 Trap 이 형성되며, DC 로 장시간 게이트 플러스 바이어스가 인가되면 Trap 에 전자가 형성됨으로써 Threshold value 가 상승합니다. 단, 이 Threshold value Shift 는 *V*_{GS}=+22V, 150℃로 1000 시간 후에 0.2~0.3V 로 매우 작으며 이는 업계 최소 수준입니다. Trap 대부분은 스트레스 인가 초기의 수 십 시간으로 채워지므로 그 후는 변동 없이 안정됩니다. Figure 8-2 는 제 2 세대 SiC MOSFET 의 *V*_{GS}=22V 일 때의 시험 결과입니다.



Figure 8-2. HTGB (V_{GS}=+22V, 150°C)

8.2.3 Threshold value 안정성 (게이트 마이너스 바이어스)

DC 로 장시간 게이트에 마이너스 바이어스를 인가한 경우에도 정공 (hole)이 Trap 되어 Threshold value 가 저하됩니다. 제 2 세대 SiC MOSFET 의 경우, 이 Threshold value 변화의 정도는 플러스 바이어스인 경우보다 크고, V_{GS} -10V 이상일 때는 Threshold value 가 0.5V 이상 저하되므로 게이트 마이너스 바이어스 보증 전압을 -6V 로 합니다. 보증 전압보다 큰 마이너스 바이어스에서는 Threshold value 가 대폭 저하되므로 사용하지 말아 주십시오. Figure 8-3 은 제 2 세대 SiC MOSFET 의 V_{GS(th)} 신뢰성 시험 결과입니다. 보증 전압인 -6V 이내일 때 변동 값은 최소한으로 억제되어 있음을 알 수 있습니다.

또한, 플러스 마이너스를 넘는 AC 에서의 바이어스는 Trap 으로의 충전과 방전이 반복되기 때문에 Threshold value Shift 영향은 적다는 것을 알 수 있습니다.

한편, Trench 게이트를 채용한 제 3 세대 SiC MOSFET는 DC의 마이너스 바이어스에 대한 내성이 향상되고, DC -10V 에 있어서도 Threshold value 는 거의 내려가지 않습니다. 하지만 다음 절의 설명처럼, AC 의 게이트 바이어스는 새로운 제약이 발생하므로 주의해야 합니다.



Figure 8-3. 제 2세대 SiC MOSFET VGS(th) 신뢰성 시험 결과 (게이트 마이너스 바이어스 인가)

8.2.4 Threshold value 안정성 (제 3세대 MOSFET)

"5.5 - 권장 게이트 전압 (VGS)"에서의 설명과 같이, 제3세대 SiC MOSFET는 게이트 정격이 제2세대보다 좁지만, 정격 전압 (-4V)보다 마이너스 바이어스가 큰 상태에서 게이트 AC 구동을 시행하면 Threshold value VGS(th)가 서서히 높아지는 현상이 나타납니다. VG_P=22V, VG_N=-4V~-10V 조건으로 300kHz (Duty : 50%) 펄스를 인가한 결과, 마이너스 바이어스 전압이 -4V 에서는 문제 없지만 -6V~-10V 에서는 급격하게 VGS(th)가 증가됨을 알 수 있습니다. Duty 나 플러스 전압 크기에는 거의 영향받지 않고 마이너스 바이어스의 크기 (-4V 를 넘는지 안넘는지)만으로 Threshold value 변동 유무가 결정됩니다. Threshold value 가 변동되는 조건 (-6V~-10V)으로는 변동 속도가 플러스 마이너스 바이어스 횟수에 의존하므로 고주파수에서 스위칭 할수록 빠른 특성 변동이 일어납니다.

Threshold value 상승이 심할 경우, R_{DS(on})도 상승합니다. 또한, 스위칭 손실에서도 Eon 이 증가하고 Eoff 가 저하되는 경향이 있습니다. 토탈 스위칭 손실은 크게 변하지 않지만 On 과 Off 의 손실 비율이 바뀌므로 주의해야 합니다. 도통 손실이나 스위칭 손실에 변화에 의해, 발열 증가나 최악의 경우 파괴될 우려도 있으므로, 서지를 포함하여 반드시 정격 내에서 사용해야 합니다. 이에 대한 대응 방법은 "5.9 - 마이너스 서지 대책"이나 어플리케이션 노트 「Gate-Source 전압의 Surge 억제 방법」*2 를 참조하여 주십시오.

8.2.5 단락 내량

SiC MOSFET 는 Si 디바이스보다 Chip 면적이 작고 전류 밀도가 높은 디바이스이므로 열 파괴 모드인 단락에 대한 내량은 Si 디바이스보다 낮은 경향이 있습니다. TO247 Package 의 1200V 제 2 세대 MOSFET 는 Vdd=700V, V_{GS}=18V 의 단락 내구 시간은 10µs 이상으로 내량이 충분합니다. 보다 낮은 게이트 전압에서는 포화 전류가 작아지므로 발생하는 열량이 줄고 내구 시간은 길어집니다. 또한 전원 전압이 낮은 경우에도 발열이 작아짐으로써 내구 시간은 길어집니다. 따라서 1200V 와 650V 제품 중 650V 제품이 내구 시간이 더욱 깁니다.

제 3 세대 MOSFET는 RonA 이 한층 더 작아 단락 시간이 더 짧아지지만 1200V, 650V 제품 모두 typical 값으로 5µs 이상 단락 내량을 확보합니다. 단, 디스크리트 SiC MOSFET 는 단락 내량에 대해 측정 등에 따른 전수 보증은 하지 않습니다.

ROHM의 게이트 드라이브 IC는 과전류 검지 시 약 2µs로 차단할 수 있는 절연 소자 내장 IC이며, Soft Turn Off 등의 기능이 있습니다 (상세는 각 기종의 데이터시트를 참조하여 주십시오). SiC MOSFET 의 Turn Off 에 필요한 시간은 극히 짧기 때문에 V_{GS} 차단 속도가 고속이면 급격한 d//dt 로 큰 서지 전압이 발생하는 경우가 있습니다. 게이트 전압을 서서히 낮추는 Soft Turn Off 기능 등을 이용하여 과전압이 걸리지 않는 조건에서 차단하여 주시기 바랍니다.

8.2.6 d*V*/d*t* 파괴

Si MOSFET는 높은 d *V*d*t*로 인해, 용량 *C*_{DS}를 통해 과도 전류가 흐르고 기생 바이폴라 트랜지스터가 동작하여 파괴되는 모드가 있습니다.

SiC MOSFET 는 기생 바이폴라 트랜지스터 전류 증폭률 h_{FE} 가 낮아 전류 증폭이 발생하지 않으며, 현재까지 조사로는 50kV/µs 정도의 동작에도 이 파괴 모드는 확인되지 않고 있습니다.

바디 다이오드의 리커버리 시에도 SiC MOSFET는 리커버리 전류가 매우 작아 회복 시 d//dt가 작고, 결과적으로 d//dt가 커지지 않으므로 이 파괴 모드는 발생하기 어렵습니다.

8.2.7 우주방사선 기인 중성자 내량

우주방사선에 기인하여 땅에 드물게 쏟아지는 중성자나 중이온 등이 충돌함으로써 발생되는 파괴 (싱글 이벤트 현상 : SEB : Single Event Burnout)가 고내압 파워 디바이스의 주요 우발 고장의 원인으로 일컬어집니다. 특히 고지에서는 해발 0m 지점과 비교하여 중성자 농도가 10 배 이상 높아져 문제가 됩니다. 또한, 파워 모듈 등 대형 Chip 을 복수개 사용할 경우에도 Set 전체의 우발 고장률이 쉽게 높아질 수 있어, 최대한 고장률이 낮은 소자를 선정해야 합니다.

Figure 8-4 는 1200V 제 3 세대 SiC MOSFET 와 일반적인 Si IGBT 에 대해, 인가된 V_bs를 바꾸면서 대기를 본 뜬 스펙트럼의 중성자를 쬐어 실험한 결과입니다 (각 Plot n=10 정도). 고장률은 인가 전압에 크게 의존하므로, IGBT는 정격 내압 1200V 에 60% 정도 (720V)를 Derating 하지 않으면 낮은 고장률로 운용할 수 없었습니다. 한편, SiC MOSFET 고장률은 Si IGBT 에 비해 4 자릿수 이상의 낮은 값이며, V_bs=1200V (정격 내압의 100%)에도 1FIT 이하가 됩니다. SiC Chip 이 Si 디바이스보다 작으면 중성자와 만날 확률이 낮아지는 점, 내압 실력 값이 높고 마진이 충분한 점 등이 원인입니다. 이와 같이, SiC 는 대폭적인 전압 Derating 을 하지 않고, 고지대에서의 사용이나 여러개를 사용하는 Set 에 있어서 우주방사선 기인 우발 고장 리스크를 제한 없이 낮출 수 있습니다.



Figure 8-4. 우주방사선에 의한 SiC MOSFET (제 3 세대)와 IGBT 고장률 비교
8.2.8 정전파괴 내량

SiC MOSFET 는 Si 제품에 대해 Chip 사이즈를 작게할 수 있다는 장점이 있지만 정전파괴 내량은 낮습니다. 정전기 대책을 충분히 시행하고 주의하여 취급해 주시기 바랍니다.

정전기 대책 예

- 이오나이저 (ionizer)를 통한 인체, 디바이스, 작업 환경의 정전기 제거 (권장)
- 손목밴드, 어스 (earth)를 통한 인체, 작업 환경의 정전기 제거 (디바이스 대전 (帯電)에는 효과가 없으므로 이것만으로는 불충분합니다.)

8.2.9 파워 사이클 주의사항

수 ms~수 초 단위로 MOSFET를 동작 / 비동작시킬 경우 케이스 온도 Tc 는 일정하게 보여도 내부 Chip 접합 온도 Tj 는 일정한 폭으로 온도가 변화 (⊿Tj)하는 경우가 있습니다. 이처럼 단주기로 발생하는 ⊿Tj 는 소스 와이어와 SiC Chip 선팽창계수의 차로 인해 접합면에 열응력을 발생시킵니다. 그리고 ⊿Tj 사이클의 일정 수를 초과하면 Figure 8-5 와 같이 경계면에 균열 (Crack)이 생겨 접합 강도가 저하됩니다. 최종적으로 소스 와이어 박리나 접합면 접촉 저항이 증가함에 따라 *R*_{DS(ON)}이 증가하여, 발열 증가에 따른 파워 디바이스 파괴로 이어집니다.



Figure 8-5. ⊿Tj 파워 사이클에 의한 고장 모드

소스 와이어의 파워 사이클 내량은 ΔTj가 커질수록 지수함수적으로 수명이 짧아집니다. 제품 수명을 10년 이상 확보하기 위해서는 설계 단계에서 충분히 ⊿Tj 를 낮추는 방안 (구동 조건 조정이나 R_{DS(on)}이 낮은 소자 선택 등)이나 냉각 설계를 실행해야 합니다.

또한, 일반적인 신뢰성 시험 항목인 온도 사이클 (TCY), 단속 통전 (IOL)은 수 분~수 시간의 케이스 온도 Swing (ΔTc)에 따라 주로 SiC Chip 뒷면 solder 에 Crack 이 발생합니다. 이는 와이어 박리가 발생하는 ΔTj로 인한 파워 사이클 (PCY)과 다른 고장 모드로서 구별됩니다.

8.2.10 SiC MOSFET 신뢰성 시험 결과

Table 8-3 은 신뢰성 시험 결과입니다.

Table 8-3. Through hole Type 신뢰성 시험 결과

1. Life Test

Test Item	n Test Method / Standard Test Condition		Sample Size n (pcs)	failure (s) Pn (pcs)	
High Temperature Reverse Bias	Ta = Tjmax, Vos = Vosmax JEITA ED-4701/100A-101A	1000 h	22	0	
High Temperature Gate Bias	Ta = Tjmax, Vos = Vosmax JEITA ED-4701/100A-101A	1000 h	22	0	
High Temperature Gate Bias	Ta = Tjmax, Vos= Vosmin JEITA ED-4701/100A-101A	1000 h	22	0	
High Temperature humidity Bias	Ta = 85°C, RH = 85%, Vos = 100V JEITA ED-4701/100A-102A	1000 h	22	0	
Temperature cycle	Ta = -55 °C (30min) ~ Ta = 150 °C (30min) JEITA ED-4701/100A-105A	100 cycles	22	0	
Pressure cooker	Ta = 121°C , 203kPa [2atm], RH = 100% JESD22-A102C	48 h	22	0	
High Temperature storage	Ta = 175°C JEITA ED-4701/200A-201A	1000 h	22	0	
Low Temperature storage	Ta = -55 °C JEITA ED-4701/200A-202A	1000 h	22	0	

2. Stress Test

Test Item	Test Method / Standard	Test Condition	Sample Size n (pcs)	failure (s) Pn (pcs)
Resistance to solder heat 1	Dipping leads into solder bath at 260±5 °C JEITA ED-4701/301-302A	10 sec	22	0
Resistance to solder heat 2	Dipping leads into solder bath at 350±10°C JEITA ED-4701/301-302A	3.5 sec	22	0
Solderability	Dipping into solder bath at 245±5 °C JEITA ED-4701/301-303A	5 sec	22	0
Thermal shock	0 ⁺⁵ ₋₀ (5min) ~ 100 ⁺⁰ ₋₃ (5min) JEITA ED-4701/302-307B	100 cycles	22	0
TermianI strength (Pull)	Pull force = 20N JEITA ED-4701/400A-401A	10 sec	22	0
TermianI strength (Bending)	Bending Load = 10N JEITA ED-4701/400A-401A	2 times	22	0

Failure criteria: According to the electrical characteristics specified by the specification. Regarding solderability test, failure criteria is 95% or more area covered with solder.

※ Sample standard: [Reliability level:90%][Failure reliability level(λ1):10%][C=0 decision] is adopted. And the number of samples is being made 22 in accordance with single sampling inspection plan with exponential distribution type based on MIL-STD-19500.

8.3 SiC 파워 모듈 신뢰성

SiC 파워 모듈은 디스크리트 제품에 비해 다루는 전력이 크고 외형 치수도 크므로 열적, 전기적 스트레스와 더불어 기계적 스트레스도 쉽게 받습니다. 그래서 기기 예상 수명까지 요구되는 성능을 유지할 수 있는지에 대해 판단하기 위한 신뢰성 설계가 특히 중요합니다.

파워 모듈 마모 고장 모드에는 하기 모드가 있으며, 파워 사이클 등 종합 평가로 확인하는 것이 일반적입니다.

- Baseplate solder Crack
- Chip solder Crack
- Bonding 와이어 벗겨짐 (Lift Off, Heel Crack)
- Chip Metallization 열화 등

8.3.1 파워 사이클

일반적인 파워 모듈 구조에서 동작 중 Chip 온도 변화가 발생하면 알루미늄 와이어 (Aluminum Wire)과 SiC Chip 선팽창 계수의 차이로 발생하는 응력이 와이어 접합면에 균열을 발생시킵니다. 이 균열이 진행되면 결국 박리 모드로 인해 고장이 발생합니다.

실제 어플리케이션 동작은 그림 8-6 과 같이 모듈 케이스 온도 Tc 는 비교적 완만하고 긴 주기의 온도 변화인 경우가 많고, 접합 온도 Tj 의 변화는 급격하거나 단시간 사이클인 경우가 있습니다. 단시간 사이클의 주요 원인은 장치 가속 감속 동작에 의한 것이나, 회로 Topology 동작에 의해 항상 발생하는 것이 있습니다. 장시간 사이클은 장치 기동 / 정지 시 등에 기인합니다.



그림 8-6. 파워 사이클 동작 모드

이러한 파워 사이클 수명을 기기 설계 단계부터 충분히 고려해야 합니다. 특히 회로 Topology 로 발생하는 단시간 사이클은 사이클 수가 비약적으로 커지므로 주의해야 합니다.

Figure 8-7 은 일반적인 파워 사이클 수명 곡선입니다. 평균 Tj 가 100℃일 때 고장률 1%인 사이클 수를 Plot 한 것이며, ⊿Tj 가 클수록 지수함수적으로 파워 사이클 수명은 짧아집니다.



Figure 8-7. Power cycle life time curve

8.3.2 HV-H3TRB (High Voltage High Humidity High Temperature Reverse Bias)

HV-H3TRB (고온고습 바이어스 시험)은 파워 디바이스를 고온고습한 환경에서 사용할 경우의 내구성 평가 시험으로, 고온다습한 지역에서의 옥외 사용과 같은 혹독한 환경에서 오랜 기간 견딜 수 있는지 판단하는 지표 중 하나입니다. 일반적인 케이스 타입 파워 모듈 내부에는 Chip 절연 재료로서 흡습성이 높은 Silicone Gel 을 사용하고 있습니다. 수분을 흡수하여 높은 전압에 견딜 수 없게 되면 리크 전류 증가나 절연 파괴 등 고장이 일어납니다.

ROHM 의 1700V 내압 SiC 모듈은 Chip 을 습도로부터 보호하기 위한 대책으로서 새로운 코팅 재료와 공법을 도입하였으며 HV-H3TRB 를 통과하였습니다. 85℃ / 85% 고온고습 환경에서 1⁄bs=1360V 를 인가하는 고온고습 바이어스 시험에 있어서 IGBT 모듈은 200 시간 이내로 절연 파괴가 발생한 반면, SiC 모듈 (BSM250D17P2E004)은 1000 시간 이상에도 고장나지 않는 높은 신뢰성 결과를 증명하였습니다 (Figure 8-8).



Figure 8-8. HV-H3TRB 시험 결과

8.3.3 SiC 파워 모듈 신뢰성 시험 결과

Table 8-4 는 SiC 파워 모듈의 신뢰성 시험 결과입니다.

Table 8-4. SiC 파워 모듈 신뢰성 시험 결과

Test Item	est Item Test Method / Standard Test Condition		Sample Size n (pcs)	failure (S) pn	
∆ Tj power cycle	△Tj=100°C±5°C, Tj≦150°C, Ta=25±5°C EIAJ ED-4701/100-106	15000cyc	5	0	
∆ Tc power cycle	ΔTc=50°C±5°C, Tj≦ 150°C, Ta=25±5°C EIAJ ED-4701/100-106	5000cyc	5	0	
Temperature cycle	-40°C (60min)~RT(30min)~ 125°C (60min)~RT(30min) EIAJ ED-4701/100-105	100cyc	5	0	
Temperature humidity storage	85°C/85% EIAJ ED-4701/100-103	1000h	5	0	
High Temperature storage	Ta=150°C 1000h EIAJ ED-4701/100-201		5	0	
Low Temperature storage	Ta=-40°C EIAJ ED-4701/100-202	1000h	5	0	
High temperature gate bias (+)	Vgs=22V, Ta=150°C JESD22-A108	1000h	5	0	
High temperature gate bias (-)	Vgs=-6V, Ta=150°C JESD22-A108	1000h	5	0	
High temperature reverse bias	Vds=960V, Vgs=0V, Ta=150°C EIAJ ED-4701/100	1000h	5	0	

(b) Stress Test

Test Item	Test Method / Standard	Test Condition	Sample Size n (pcs)	failure (S) pn	
Vibration	10~500Hz/15min 100m/s ² Each X,Y,Z axis, EIAJ ED-4701/400-403 condition code B	6h (2h / direction)	5	0	
Shock	5000m/s2 pulse width 1msec Each X,Y,Z axis, EIAJ ED-4701/400-404 condition code B	3times / direction	5	0	
Thermal shock	0 *5 - D (5min) ~ 100 *0 EIAJ ED-4701/300-307 condition code A	10cyc	5	0	
Terminal strength (Pull)	Pull force : 40N(main terminal), 20N(signal terminal) EIAJ ED-4701/401- I	10sec	5	0	
Mounting strength	3.5N·m(M5) EIAJ ED-4701/402-II	10sec	5	0	

*Failure criteria : According to the electrical characteristics specified by the specification.

9. 품번 구성

9.1 SiC SBD (디스크리트 제품)



9.2 SiC MOSFET (디스크리트 제품)





9.4 SiC SBD (Chip 제품)



9.5 SiC MOSFET (Chip 제품)

(1) (2) (3) (4) (1) SiC 2 → 제 2 세대 (2) MOSFET, 세대 2 → 제 2 세대 (3) 내압 2 → 제 2 세대 650V (3) 내압 2 → 제 2 세대 1200V (4) 3 → 제 2 세대 1200V (4) 4 → 제 3 세대 1200V (5) 제 4 세대 750V (6 → 제 4 세대 1200V			S	4		1	0		1
 (1) SiC (2) MOSFET, 세대 (3) 내압 (3) 내압 (4 → 제 2 세대 650∨ (3 → 제 2 세대 1200∨ (4 → 제 2 세대 1200∨ (4 → 제 2 세대 1700∨ (0 → 제 3 세대 650∨ (1 → 제 3 세대 1200∨ (5 → 제 4 세대 750∨ (6 → 제 4 세대 1200∨ 			(1)	(2)	(3)		(4)
(2) MOSFET, 세대 2 → 제 2 세대 (3) 내압 2 → 제 2 세대 650V 3 → 제 2 세대 1200V 3 → 제 2 세대 1200V 4 → 제 3 세대 1700V 0 → 제 3 세대 650V 1 → 제 3 세대 1200V 1 → 제 3 세대 1200V 6 → 제 4 세대 1200V 1200V	(1)	SiC							
4 → 제 3 세대, 제 4 세대 (3) 내압 2 → 제 2 세대 650V 3 → 제 2 세대 1200V 4 → 제 2 세대 1700V 0 → 제 3 세대 650V 1 → 제 3 세대 1200V 5 → 제 4 세대 750V 6 → 제 4 세대 1200V	(2)	MOSFE	T, 세대		2 →	제 2 /	네대		
 (3) 내압 2 → 제 2 세대 650V 3 → 제 2 세대 1200V 4 → 제 2 세대 1700V 0 → 제 3 세대 650V 1 → 제 3 세대 1200V 5 → 제 4 세대 750V 6 → 제 4 세대 1200V 	(2)				4 →	제 3 /	네대, :	제4서	╢디╢
3 → 제 2세대 1200∨ 4 → 제 2세대 1700∨ 0 → 제 3세대 650∨ 1 → 제 3세대 1200∨ 5 → 제 4세대 750∨ 6 → 제 4세대 1200∨	(3)	내압			2 →	제 2 /	네대 6	50V	
4 → 제 2세대 1700∨ 0 → 제 3세대 650∨ 1 → 제 3세대 1200∨ 5 → 제 4세대 750∨ 6 → 제 4세대 1200∨					3 →	제 2 /	네대 1	200V	,
0 → 제 3 세대 650∨ 1 → 제 3 세대 1200∨ 5 → 제 4 세대 750∨ 6 → 제 4 세대 1200∨					4 →	제 2 /	네대 1	700V	,
1 → 제 3 세대 1200∨ 5 → 제 4 세대 750∨ 6 → 제 4 세대 1200∨					0 →	제 3 /	네대	650V	
5 ➔ 제 4 세대 750∨ 6 ➔ 제 4 세대 1200∨					1 →	제 3 /	네대	1200	V
6 ➔ 제 4 세대 1200V					5 →	제 4 /	네대	750V	
					6 →	제 4 /	네대	1200	V

(4) 일련번호

10. 응용회로 예

10.1 역률 개선 (PFC) 회로, boost chopper

·리커버리 전류 저감에 따른 효율 개선, 노이즈 저감

·다이오드 Err, Switch 측 Eon 저감에 따른 고주파 구동→수동 부품 소형화

*임계 모드 PFC는 리커버리가 Loss에 영향을 주지 않으므로 큰 효과는 기대할 수 없습니다.



10.2 강압 Chopper

• Eoff 저감에 따른 효율 개선, 냉각기 간소화

·고주파 구동에 따른 수동 부품 소형화



10.3 승강압 Chopper

· Eon, Err 저감에 따른 효율 개선, 냉각기 간소화

·고주파 구동에 따른 수동 부품 소형화



10.4 Totem Pole PFC

- ・Err, Eon 저감에 따른 효율 개선
- ·고주파 구동에 따른 수동 부품 소형화



10.5 플라이백 컨버터

·도통 손실 저감에 따른 효율 개선, 냉각기 간소화



10.6 DC/DC 컨버터 (Soft Switching Type)

- · Eoff 저감에 따른 효율 개선, 냉각기 간소화
- · Eoff 저감에 따른 고주파 구동→트랜스 소형화
- ·공진 타입의 공진 밖 동작 시 파괴 방지



10.7 파워 컨디셔너용 인버터

・Eoff, Err, Eon, 도통 손실 저감과 경부하 시 도통 손실 저감에 따른 효율 개선 (매전 전력 증가) ・냉각기 간소화 / 소형화



10.8 IH용 인버터

·고주파화에 따른 가공 대상 범위 확대

• Eoff, Err 저감에 따른 효율 개선, 냉각기 간소화



10.9 모터 드라이브

· Eoff, Err, Eon, 경부하 시 도통 손실 저감에 따른 효율 개선, 냉각기 간소화



10.10 Relay

- ·ON 저항 저감, 소형 실장
- · Mechanical Relay 에 대해 신뢰성 향상



참고 자료 :

- *1 「Bridge 구성에서의 Gate-source 전압 작용」 Application Note (No. 63AN110KRev.001) ROHM(주), 2020년 9월
- *2 「Gate-Source 전압의 Surge 억제 방법」 Application Note (No. 63AN049KRev.001) ROHM(주), 2020년 9월
- *3 「Snubber Circuit Design Methods」 Application Note (No. 63AN048KRev.001)ROHM(주), 2020년 9월
- *4 「Driver Source 단자에 의한 스위칭 손실 개선」 Application Note (No. 63AN047KRev.001) ROHM(주), 2020년 9월
- *5 「최적의 방열 효과를 주는 모듈 조립 방법」 Application Note (No. 62AN126JRev.001) ROHM(주), 2019년 12월
- *6 「액티브 미러 클램프에 의한 Self turn-on 대책」 Application Note (No. 63AN041JRev.001) ROHM(주), 2020년 7월

	Notes
1)	The information contained herein is subject to change without notice.
2)	Before you use our Products, please contact our sales representative and verify the latest specifica- tions :
3)	Although ROHM is continuously working to improve product reliability and quality, semicon- ductors can break down and malfunction due to various factors. Therefore, in order to prevent personal injury or fire arising from failure, please take safety measures such as complying with the derating characteristics, implementing redundant and fire prevention designs, and utilizing backups and fail-safe procedures. ROHM shall have no responsibility for any damages arising out of the use of our Poducts beyond the rating specified by ROHM.
4)	Examples of application circuits, circuit constants and any other information contained herein are provided only to illustrate the standard usage and operations of the Products. The peripheral conditions must be taken into account when designing circuits for mass production.
5)	The technical information specified herein is intended only to show the typical functions of and examples of application circuits for the Products. ROHM does not grant you, explicitly or implicitly, any license to use or exercise intellectual property or other rights held by ROHM or any other parties. ROHM shall have no responsibility whatsoever for any dispute arising out of the use of such technical information.
6)	The Products specified in this document are not designed to be radiation tolerant.
7)	For use of our Products in applications requiring a high degree of reliability (as exemplified below), please contact and consult with a ROHM representative : transportation equipment (i.e. cars, ships, trains), primary communication equipment, traffic lights, fire/crime prevention, safety equipment, medical systems, servers, solar cells, and power transmission systems.
8)	Do not use our Products in applications requiring extremely high reliability, such as aerospace equipment, nuclear power control systems, and submarine repeaters.
9)	ROHM shall have no responsibility for any damages or injury arising from non-compliance with the recommended usage conditions and specifications contained herein.
10)	ROHM has used reasonable care to ensure the accuracy of the information contained in this document. However, ROHM does not warrants that such information is error-free, and ROHM shall have no responsibility for any damages arising from any inaccuracy or misprint of such information.
11)	Please use the Products in accordance with any applicable environmental laws and regulations, such as the RoHS Directive. For more details, including RoHS compatibility, please contact a ROHM sales office. ROHM shall have no responsibility for any damages or losses resulting non-compliance with any applicable laws or regulations.
12)	When providing our Products and technologies contained in this document to other countries, you must abide by the procedures and provisions stipulated in all applicable export laws and regulations, including without limitation the US Export Administration Regulations and the Foreign Exchange and Foreign Trade Act.
13)	This document, in part or in whole, may not be reprinted or reproduced without prior consent of ROHM.



Thank you for your accessing to ROHM product informations. More detail product informations and catalogs are available, please contact us.

ROHM Customer Support System

https://www.rohm.co.kr/contactus/