

## 제 4 세대 SiC MOSFET 디스크리트 패키지의 특성과 회로 설계 시 주의점 어플리케이션 노트 Rev.001

### 【주의】

본 어플리케이션 노트에 기재된 평가 데이터 등은,  
로움에서 동일 조건으로 평가한 결과를 참고로 제시한 것입니다.  
제시된 해당 특성을 로움에서 보증하는 것은 아닙니다.

## 목차

1. 서론 .....	3
1.1 본 어플리케이션 노트에 대하여 .....	3
1.2 제 4 세대 SiC MOSFET 의 개발 목표.....	3
2. 제 4 세대 SiC MOSFET 의 다양한 특성 .....	4
2.1 규격화 ON 저항 (RonA).....	4
2.2 $V_{DS-lb}$ 특성 .....	5
2.3 게이트 구동 전압과 ON 저항 .....	6
2.4 ON 저항의 온도 계수 .....	7
2.5 $V_{GS-lb}$ 특성 .....	7
2.6 Turn-ON / Turn-OFF 특성.....	8
2.7 용량 특성 .....	10
2.8 내부 게이트 저항 .....	11
2.9 스위칭 특성의 온도 의존성 .....	12
2.10 바디 다이오드의 리커버리 특성 .....	12
2.11 스위칭 손실의 게이트 전압 의존성 .....	13
2.12 단락 내량 .....	14
3. 게이트 드라이브 .....	15
3.1 SiC MOSFET 용 게이트 드라이버 IC.....	15
3.2 권장 게이트 전압 ( $V_{G(on)}$ ) .....	16
3.3 외장 게이트 저항 ( $R_{G,EXT}$ ) 선정.....	18
3.4 데드타임 ( $t_{DT}$ ) 설계 .....	22
3.5 Self Turn-ON 대책 .....	23
3.6 마이너스 서지 대책 .....	24
3.7 권장 레이아웃 .....	26
4. 제 4 세대 SiC MOSFET 의 신뢰성.....	28
5. 디스크리트용 평가 기판 .....	29
5.1 제 4 세대 SiC MOSFET 디스크리트용 평가 기판 .....	29
6. 제 4 세대 SiC MOSFET 라인업 .....	33
7. 정리 .....	34

## 1. 서론

### 1.1 본 어플리케이션 노트에 대하여

최근 SiC MOSFET 는 파워 일렉트로닉스 분야에서 급속하게 보급이 추진되고 있으며, 고내압 및 고속 스위칭의 메리트를 활용하여 그 적용 범위가 비약적으로 확대되고 있습니다. 로옴은 2010 년 세계 최초로 SiC MOSFET 의 양산화 (Planar 구조)에 성공하였으며, 2015 년 Trench 구조 채용으로 대폭적인 미세화 (제 3 세대)를 달성하는 등, SiC 리딩 컴퍼니로서 기술 혁신을 거듭해왔습니다. 그리고, 이번에 로옴의 독자적인 Trench 구조를 한층 더 진화시킨 「제 4 세대」 SiC MOSFET 의 양산에 이르게 되었습니다 (Figure 1-1).

본 어플리케이션 노트에서는, 제 4 세대 SiC MOSFET 의 특징에 대해 설명하고, 그 성능을 최대화시키기 위한 사용 방법에 대해 자세히 소개하겠습니다. 구세대 제품의 상세 정보에 대해서는 「[SiC 파워 디바이스 · 모듈 어플리케이션 노트 Rev.003](#)」\*1 을 참고하여 주십시오. 본 어플리케이션 노트 이외에도 SiC MOSFET 를 완벽하게 사용하기 위한 기술 자료를 다수 구비하고 있습니다 (\*1~\*21). 또한, 로옴 홈페이지에는 제 4 세대 SiC MOSFET 에 대응하는 Web 시뮬레이션 툴 「ROHM Solution Simulator」를 제공하고 있습니다. 많이 활용하여 주십시오.



Figure 1-1. 로옴 SiC MOSFET 개발의 역사

### 1.2 제 4 세대 SiC MOSFET 의 개발 목표

제 4 세대 SiC MOSFET 개발에서 주력한 부분은 하기의 3 가지입니다.

- 저손실 : 업계 최고 수준의 규격화 ON 저항 (RonA)과 고속 스위칭 실현
- 사용의 편리성 향상 : 게이트 구동 전압 (15V~18V) 범위 개선과, 마이너스 바이어스 설계 불필요 실현
- 고신뢰성 : 높은 단락 내량의 실현

먼저 「저손실」에 대해서는, MOSFET 의 셀 미세화 등을 통해 중요한 지표 중 하나인 「규격화 ON 저항 : RonA」를 제 3 세대 제품 대비 40% 저감하고, 디바이스 구조의 최적화를 통해 기생 용량을 삭감함으로써, 도통 손실 · 스위칭 손실을 기존품 대비 대폭 저감하였습니다.

다음으로 「사용의 편리성 향상」에 대해서는, 제 3 세대 제품이  $V_{G(ON)}=18V$  구동인 반면, 실리콘 (Si) MOSFET 와 동등한  $V_{G(ON)}=15V$  에서도 구동이 가능하게 되었습니다. 이에 따라 Si-MOSFET 에서 SiC 로의 대체가 용이하기 때문에 고객 측에서의 회로 설계 자유도 향상에 크게 기여할 수 있습니다. 또한, Self Turn-ON 을 억제하기 위해 디바이스의 용량 특성을 최적화하고, 게이트 threshold 전압을 높게 설계하여 Turn-OFF 시의 마이너스 바이어스 설계가 필요하지 않습니다. 이에 따라 구동 회로를 간략화함과 동시에, 회로 규모를 극소화함으로써, 비용 삭감도 가능합니다.

그리고 「고신뢰성」에 대해서는, RonA 저감과 동시에 제 3 세대 제품과 동등하거나 그 이상의 단락 내량 실적치\*를 확보하였습니다 (일반적으로 RonA 의 저감에 따라 단락 내량은 저하됩니다). 이러한 점은 단위 면적당 전류 밀도가 큰 SiC MOSFET 를 안심하고 사용하기 위해 매우 중요한 특징이라고 할 수 있습니다. (\*보증치는 아니므로 주의하여 주십시오.)

이와 같이 제 4 세대 제품은 기존품에 비해 비약적으로 성능 · 사용 편리성 · 신뢰성이 향상되었으므로, 고객 측의 설계 과제 해결에 기여할 수 있을 것으로 생각됩니다. 그리고 제 4 세대 제품은 디스크리트 제품 및 모듈 제품으로의 제공뿐만 아니라, 웨이퍼 및 칩 단품의 공급도 가능합니다. 라인업 등 상세 내용에 대해서는 로옴 영업으로 문의하여 주십시오.

다음 장부터는 제 4 세대 SiC MOSFET 의 우수한 디바이스 특성에 대해 자세히 설명하겠습니다.

## 2. 제 4 세대 SiC MOSFET 의 다양한 특성

### 2.1 규격화 ON 저항 (RonA)

SiC 는 Si 에 비해 절연 파괴 전계 강도가 10 배 높기 때문에, 낮은 비저항, 얇은 막 두께의 드리프트 층에서 높은 내압을 실현할 수 있습니다. 따라서, 동일한 내압 조건에서 비교하면 규격화 ON 저항 (RonA : 단위 면적당 ON 저항)이 작은 디바이스를 실현할 수 있습니다. Figure 2-1 과 같이, 예를 들면 브레이크 다운 전압 650V 클래스에서 비교한 경우, SiC MOSFET 는 Si-MOSFET 의 약 1/100, Super Junction (SJ) MOSFET 의 약 1/10 에 해당하는 칩 사이즈로 동일 ON 저항을 실현할 수 있습니다. 이에 따라, 기존 대비 소형 패키지와 낮은 ON 저항의 제품을 실현할 수 있을 뿐만 아니라, 게이트 전하량 Qg 및 용량 등도 줄일 수 있어, 스위칭 특성에서도 매우 유리합니다.

현재, Super Junction MOSFET 는 일반적으로 900V 정도까지의 제품만 존재하지만, SiC MOSFET 의 경우 1700V 이상의 내압에 대해서도, 낮은 ON 저항으로 실현이 가능합니다. 기존에는 1700V 이상의 내압에 대응하기 위해 IGBT 와 같은 바이폴라 디바이스 구조 (ON 저항 낮아지는 반면 스위칭이 느려짐)를 채용할 필요가 있었지만, SiC 를 채용하면 낮은 ON 저항, 고내압, 고속 스위칭을 모두 겸비한 우수한 디바이스로서 이용 가능합니다.

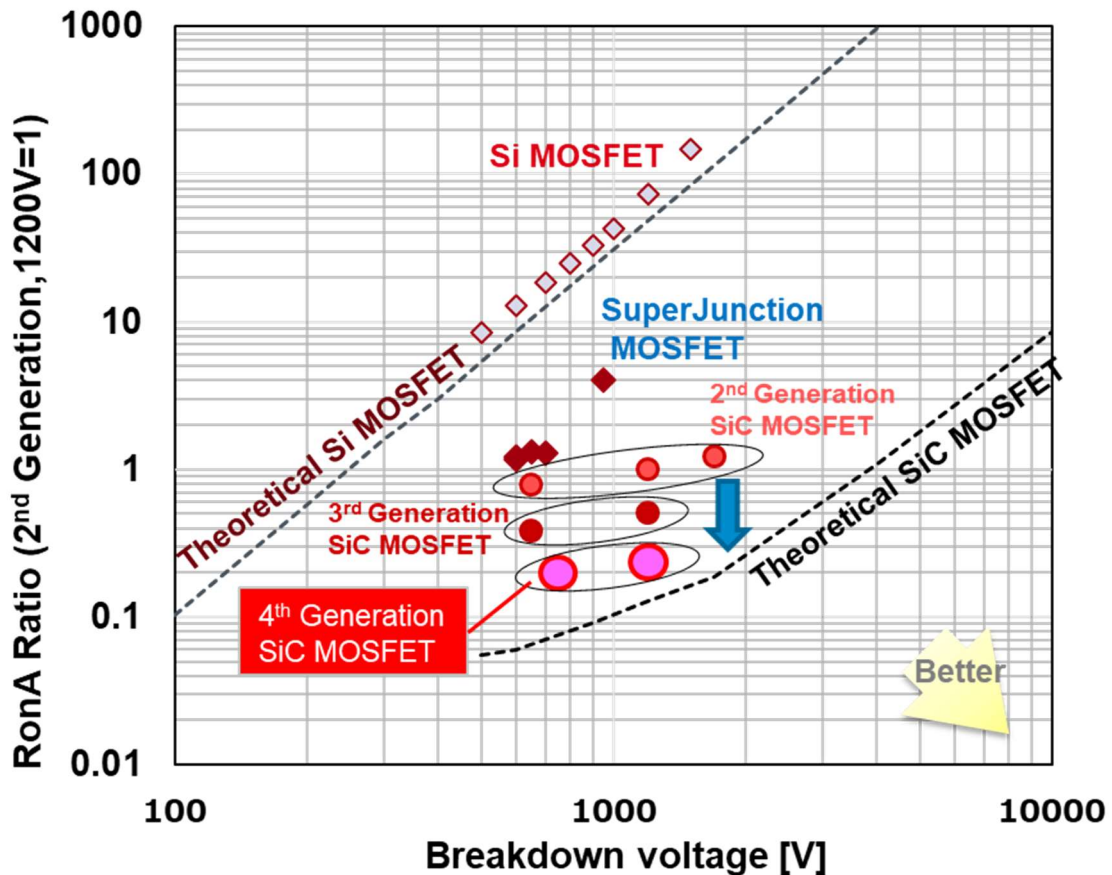
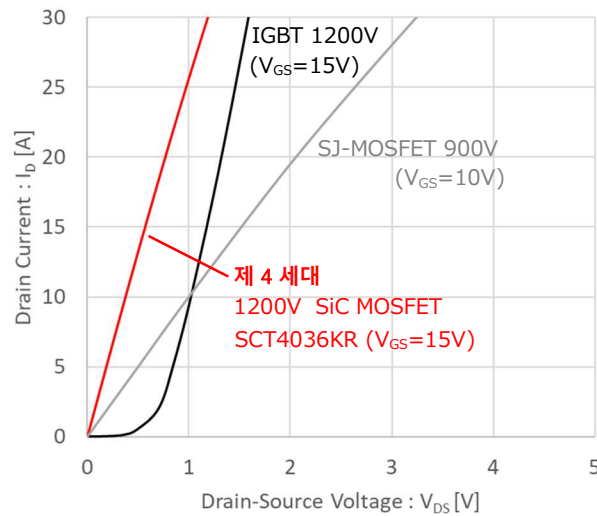


Figure 2-1. 규격화 ON 저항 RonA 비교

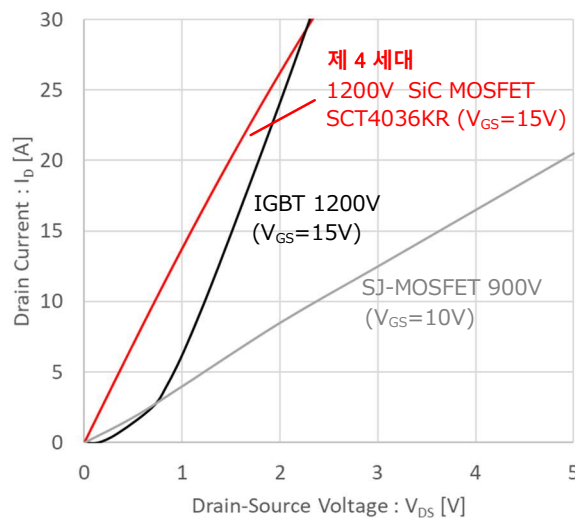
## 2.2 $V_{DS}-I_D$ 특성

일반적으로 MOSFET 의 경우 포화 영역에 도달하기까지는 저항성 영역이므로, 드레인 전류  $I_D$  에 비례하여 드레인 - 소스 전압  $V_{DS}$  가 발생하는 반면, IGBT 의 경우 PN 접합이므로 콜렉터 - 이미터 전압  $V_{CE}$  가 PN 접합 전위 이상이 되지 않으면 콜렉터 전류  $I_C$  는 흐르지 않습니다. 따라서, Figure 2-2 의  $V_{DS} (V_{CE}) - I_D (I_C)$  특성과 같이,  $I_D (I_C)$  가 작을수록 도통 손실은 MOSFET 쪽이 작다는 것을 알 수 있습니다.

또한, SiC MOSFET 와 SJ-MOS 를 비교하면 ON 저항이 낮을 뿐만 아니라, 온도 상승에 대한 ON 저항의 상승률이 작으므로, 고온에서도 ON 저항을 낮게 억제할 수 있습니다. SiC MOSFET 의 이러한 특징은 회로의 열 설계를 용이하게 합니다. Figure 2-2 는 상온과 고온 시의 제 4 세대 SiC MOSFET (1200V 36m $\Omega$  : SCT4036KR)와 IGBT, SJ-MOSFET 의  $V_{DS}-I_D$  특성을 나타낸 그래프입니다.



(a)  $T_a=25^{\circ}\text{C}$



(a)  $T_a=150^{\circ}\text{C}$

Figure 2-2. 각 디바이스의  $V_{DS} - I_D$  특성 (상온 및 고온 시)

### 2.3 게이트 구동 전압과 ON 저항

SiC MOSFET 는 드리프트 층 저항이 Si-MOSFET 보다 낮지만, 현재의 기술 레벨로는 MOSFET 채널부의 캐리어 이동도가 낮으므로, 채널 저항이 Si-MOSFET 에 비해 높아집니다. 따라서, 게이트 전압  $V_{GS}$  가 높을수록 ON 저항을 낮출 수 있습니다 ( $V_{GS}=18V$  이상에서 서서히 포화됩니다).

Figure 2-3 (b)는 제 4 세대 SiC MOSFET SCT4026DR 의  $V_{GS}-R_{DS(on)}$  특성을 나타낸 그래프입니다. 이 그래프에서 알 수 있듯이 SiC MOSFET 는 일반적인 SJ-MOSFET 와 달리 채널 ON 상태에서도  $V_{GS}$  의 값에 따라 ON 저항이 크게 변동합니다. 따라서, ON 저항을 낮추어 SiC MOSFET 의 성능을 충분히 발휘시키기 위해서는  $V_{GS}$  의 값을 높이는 것이 효과적입니다.

$V_{GS}$  가 낮은 경우, 동작온도가 높을수록 ON 저항이 낮아지는 경향이 있습니다. 따라서, 고온 및 낮은  $V_{GS}$  에서 병렬 접속하여 사용하는 등의 경우에는 하나의 소자에 전류가 집중되어 열폭주가 발생하지 않도록 주의해야 합니다.

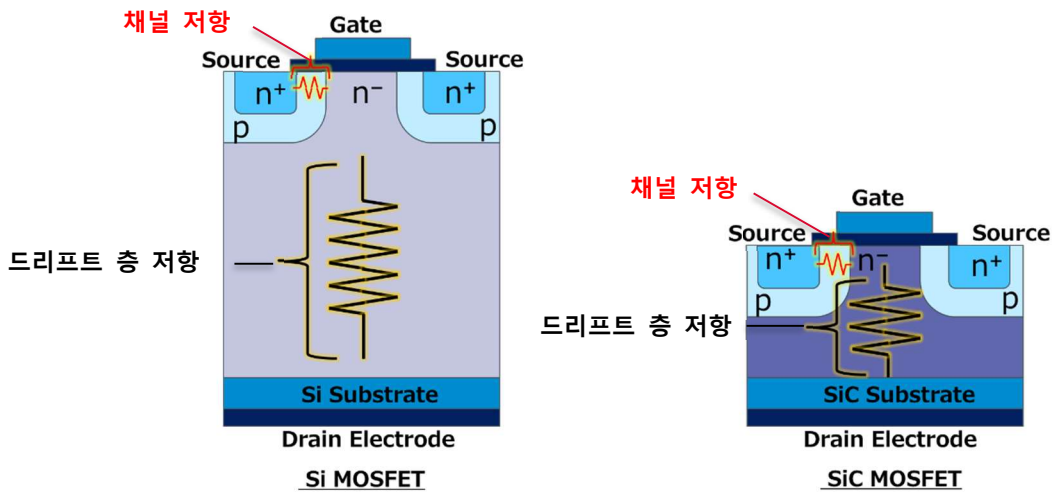


Figure 2-3 (a). MOSFET 구조도

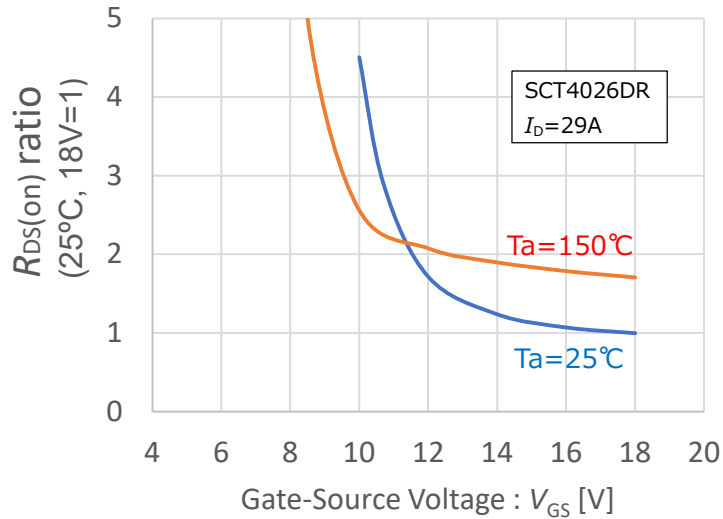


Figure 2-3 (b).  $V_{GS}-R_{DS(on)}$  특성

### 2.4 ON 저항의 온도 계수

일반적인 SJ-MOSFET 는 고온에서 ON 저항이 크게 상승합니다. 이는 디바이스의 ON 저항 중 90% 이상을 차지하는 드리프트 층의 저항 성분 ( $R_{EP1}$ )가 100°C 상승하면 약 2 배 상승하기 때문입니다. SiC 의 드리프트 층 저항도 Si 와 마찬가지로 온도 의존성이 있지만, 디바이스 전체의 ON 저항 상승률은 일반적인 SJ-MOSFET 에 비해 낮습니다. 이는 SiC MOSFET 전체의 ON 저항 중, 드리프트 층 저항 (온도 상승에 따라 저항이 상승하는 부분)이 차지하는 비율이 작기 때문입니다.

또한, 다른 반도체 디바이스와 마찬가지로 SiC MOSFET 도 내압이나 디바이스 설계에 따라 ON 저항의 온도 계수가 달라집니다. 예를 들어 750V 제품의 경우 드리프트 층의 저항 성분이 작기 때문에 온도 계수는 비교적 작습니다. 그러나, 1200V 제품의 경우 드리프트 층이 두꺼워지기 (저항 성분이 커지기) 때문에, 750V 제품에 비해 온도 계수가 커지게 됩니다. Figure 2-4 는 X 축은 Junction 온도 ( $T_j$ ), Y 축은 25°C=1 의 ON 저항비로 한, ON 저항의 온도 특성을 나타낸 그래프입니다.  $T_j$  상승에 따라, 온도 계수의 차이로 인해 1200V 제품의 ON 저항비가 750V 제품보다 커지는 것을 알 수 있습니다.

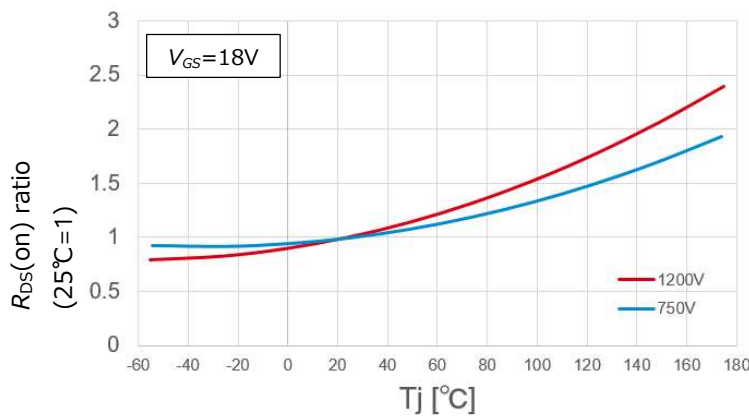


Figure 2-4. 제 4 세대 SiC MOSFET 규격화  $R_{DS(on)}$ 의 온도 특성

### 2.5 $V_{GS}-I_D$ 특성

Figure 2-5 는 SCT4036KR (1200V 36mΩ)의  $V_{GS}-I_D$  특성을 나타낸 것입니다. 좌우 그래프는 동일한 데이터로서, 왼쪽은 세로축을 Log 스케일, 오른쪽은 Linear 스케일로 표시한 것입니다. 이 그래프에서 알 수 있듯이, 제 4 세대 SiC MOSFET 의 threshold 전압은  $I_D=10mA$  의 경우 실온에서 약 4V (Normally Off)입니다. 또한, 5A 이상의 전류를 흘리기 위해서는 실온에서 약 7V 이상의 게이트 전압이 필요합니다. 일반적으로 threshold 전압은 온도가 상승할수록 저하됩니다.

( $T_{vj}$  : Virtual junction temperature)

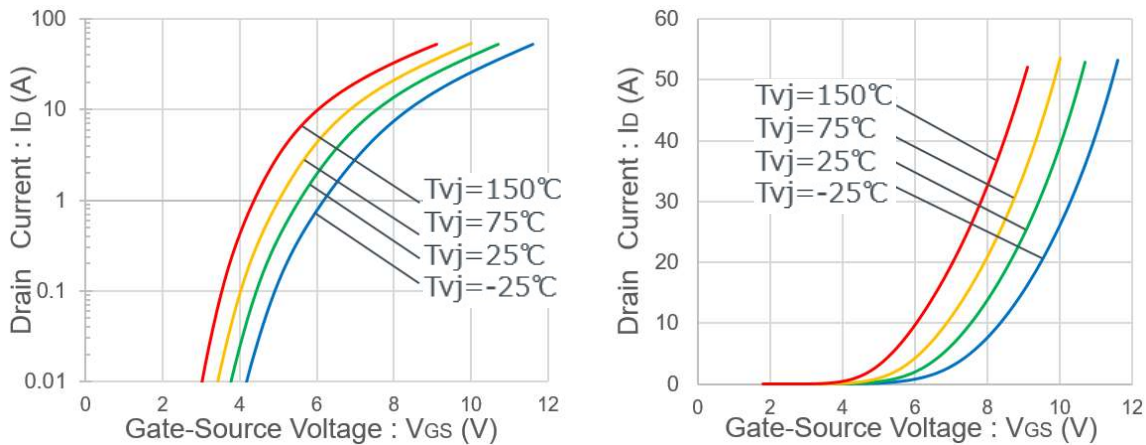


Figure 2-5.  $V_{GS}-I_D$  특성 (SCT4036KR)

### 2.6 Turn-ON / Turn-OFF 특성

제 4 세대 SiC MOSFET SCT4036KR 과 동일한 ON 저항 클래스의 제 3 세대 제품 SCT3040KR 을 각각 사용하여 Half-bridge 회로를 구성하고, 유도 부하 더블 펄스 시험 (DPT)을 통해 스위칭 특성을 비교하였습니다. Figure 2-6 은 시험 회로를 나타낸 것입니다.

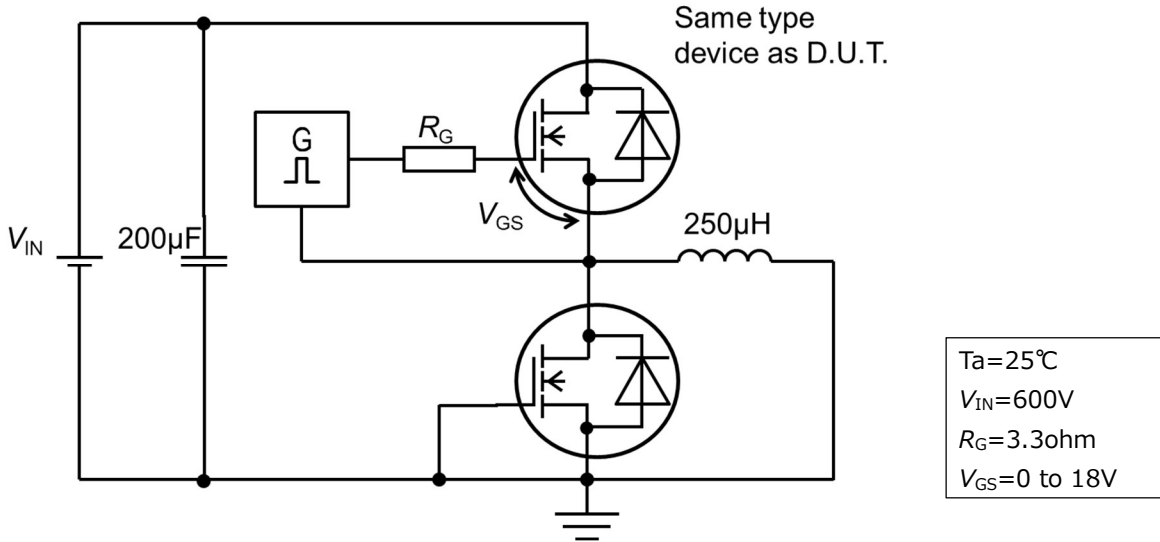


Figure 2-6. 더블 펄스 시험 회로

Figure 2-7 과 Figure 2-8 은, 더블 펄스 시험의 스위칭 파형과 손실의 비교 (Low-side)를 나타낸 것입니다. 아래 그림에서 제 4 세대 제품의 스위칭 속도는 제 3 세대 제품보다 고속이며, 스위칭 손실도 저감된 것을 알 수 있습니다. 이러한 결과는 제 4 세대 제품이 스위칭 속도에 영향을 미치는 내부 게이트 저항치 및  $C_{oss} \cdot C_{rss}$  의 각 용량치를 저감했기 때문입니다.

용량과 내부 게이트 저항에 대해서는 2.7 장 및 2.8 장에서 자세히 설명하겠습니다.

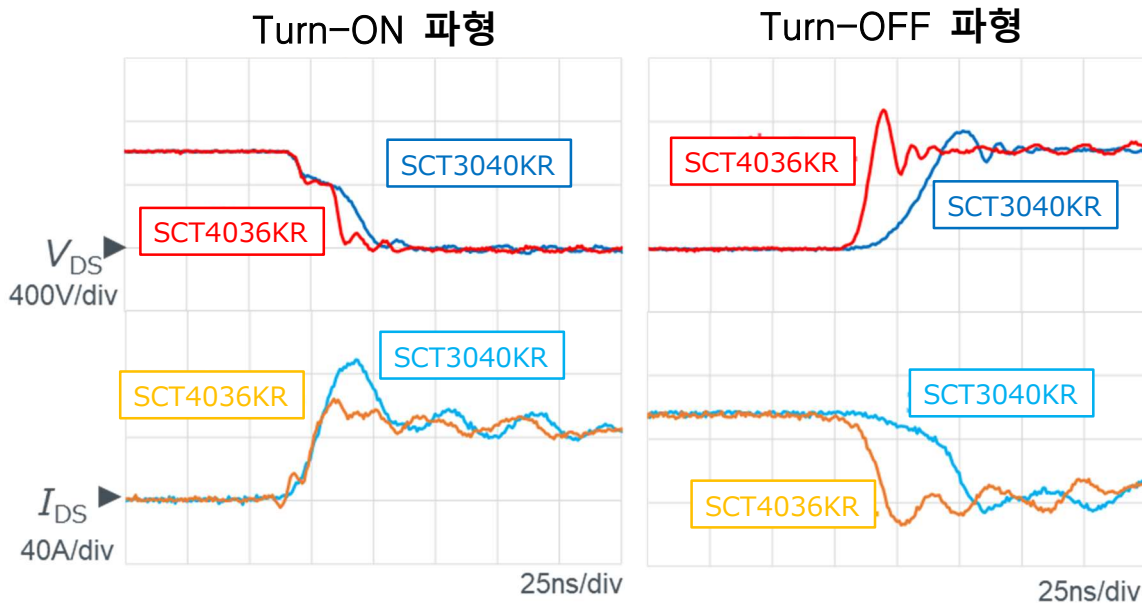


Figure 2-7. Turn-ON / Turn-OFF 파형 비교



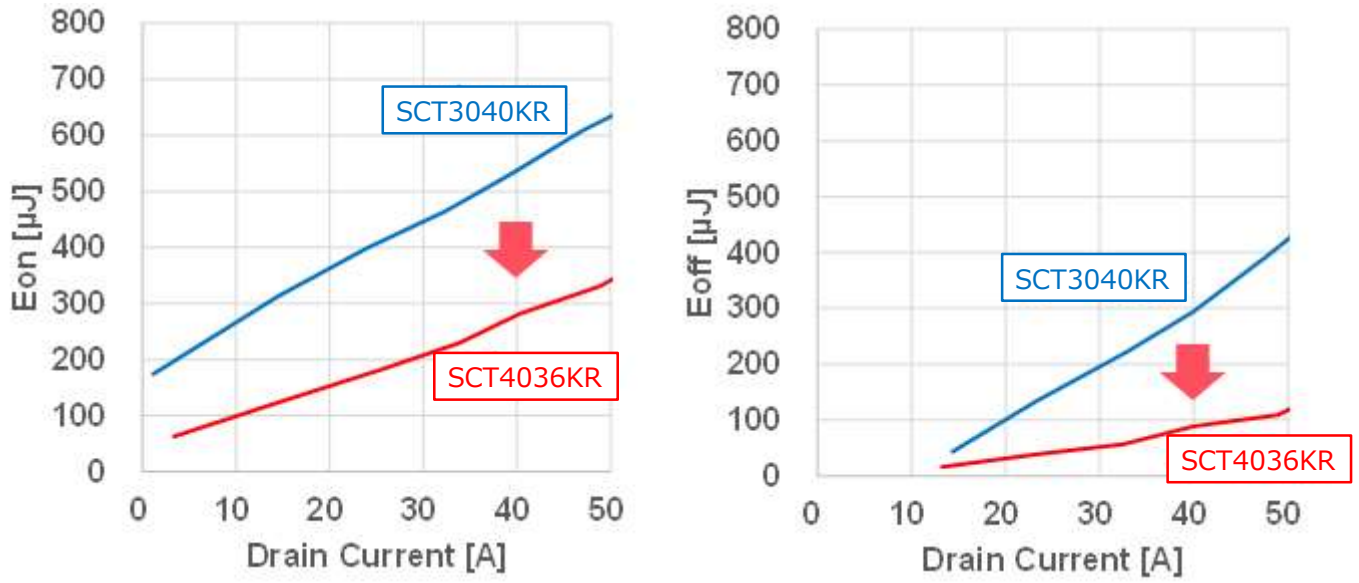


Figure 2-8. 스위칭 손실 비교

## 2.7 용량 특성

2.1 장에서 설명한 바와 같이, 제 4 세대 제품은 제 3 세대 제품에 비해 규격화 ON 저항 RonA 를 대폭 저감하였습니다. 이에 따라, ON 저항이 동등한 제품의 경우 제 4 세대 제품이 소자 사이즈를 작게 할 수 있습니다. 일반적으로 SiC MOSFET 의 소자 사이즈가 작아지면 기생 용량 Coss 와 Crss 는 작아지게 되고 (Figure 2-9), 그 결과 2.6 장에서 설명한 바와 같이 스위칭 속도가 향상됩니다.

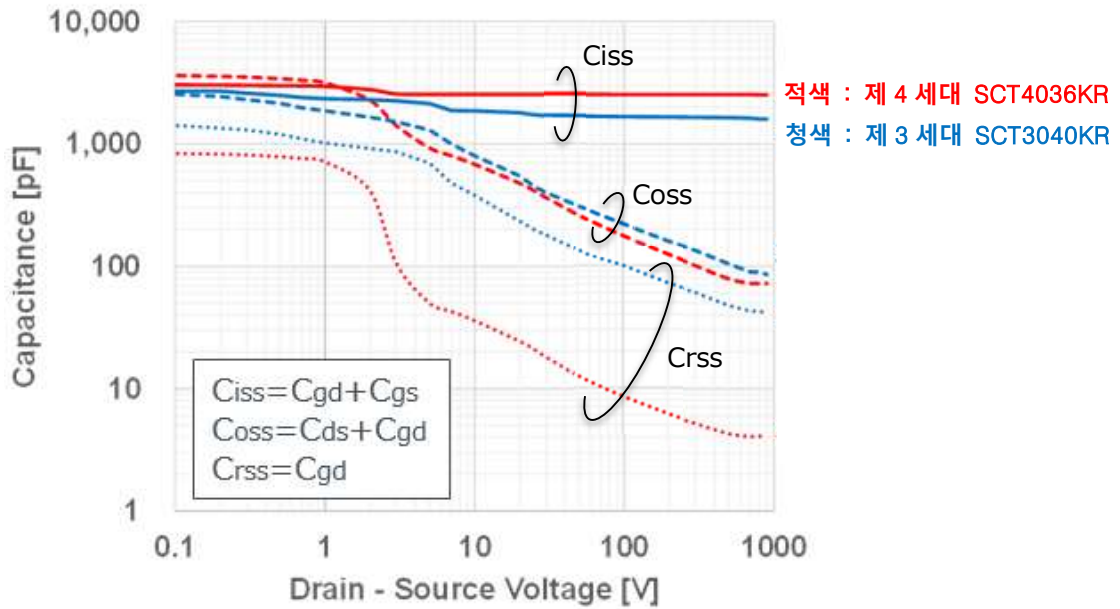


Figure 2-9. 제4세대, 제3세대 용량 비교

또한, 제 4 세대 제품은 Coss와 Crss의 용량치를 단순히 저감했을 뿐만 아니라, Crss / Ciss의 용량비도 대폭 저감 (Figure 2-10)함으로써, 고속 스위칭 시에 문제가 되는 Self Turn-ON 의 발생 리스크도 저감하였습니다.

Figure 2-11 은 Self Turn-ON 의 개념을 나타낸 것입니다. OFF 상태에서 MOSFET 의 드레인 - 소스 사이에, 스위칭 과정에서 급격한 dv/dt 가 발생하면, 기생 용량 Cgd 와 Cgs 의 용량비 (근사적으로 Crss 와 Ciss 의 용량비)에 따라 게이트 - 소스 사이에 전압이 발생하게 됩니다. 이 때의 게이트 - 소스 전압이 threshold 전압 Vth 를 초과하면, MOSFET 가 오동작하여 Turn-ON 합니다. 이러한 현상을 Self Turn-ON 이라고 합니다.

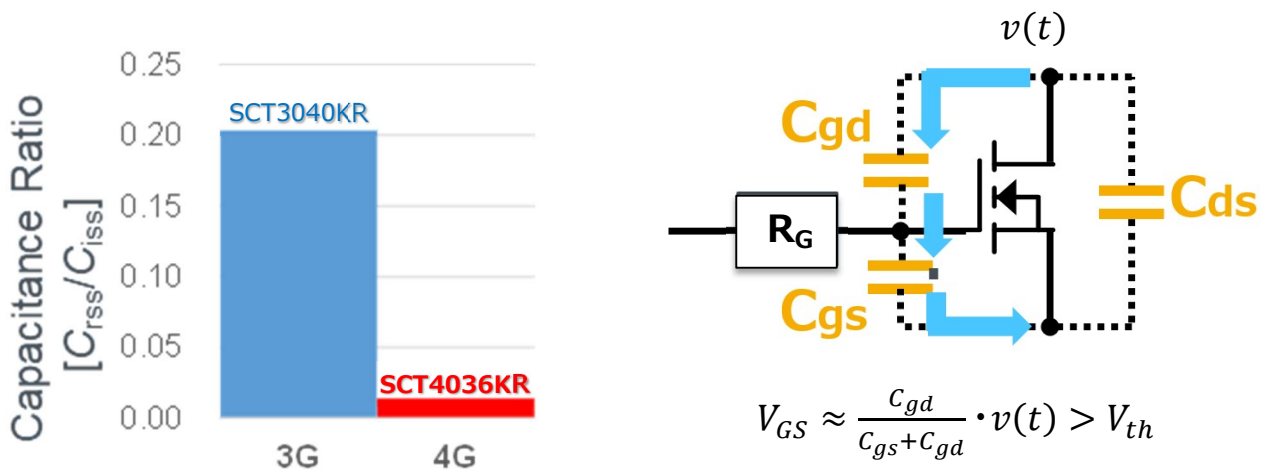


Figure 2-10. Crss / Ciss 용량비의 저감

Figure 2-11. Self Turn-ON 현상

### 2.8 내부 게이트 저항

일반적으로 동일 구조의 소자는, 소자 사이즈가 작을수록 내부 게이트 저항이 커지게 됩니다. 그러나, 제 4 세대 제품은 제 3 세대 제품에 비해 소자를 소형화했음에도 불구하고, 웨이퍼 프로세스 및 소자 패턴을 최적화함으로써, 이러한 내부 게이트 저항을 대폭 저감 (약 1/6)할 수 있었습니다.

MOSFET의 게이트를 구동하는 경우 Figure 2-12와 같이, 게이트 드라이버와 게이트 산화막 사이에는 외장 게이트 저항 ( $R_{G\_EXT}$  : 서지 등 조정용)과 내부 게이트 저항 ( $R_{G\_INT}$  : 소자 상의 게이트 배선 저항 등)이 직렬로 배치됩니다. 따라서, 스위칭 속도는 이러한  $R_{G\_EXT}$ 와  $R_{G\_INT}$ 의 「합계」가 작을수록 빨라지고 스위칭 손실도 작아집니다.

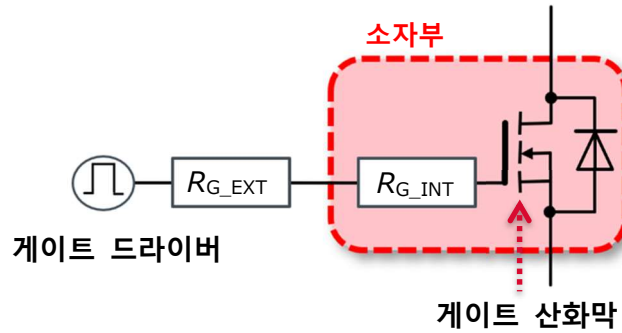


Figure 2-12. 외장 게이트 저항 「 $R_{G\_EXT}$ 」와 내부 게이트 저항 「 $R_{G\_INT}$ 」

다음으로, Figure 2-13은 외장 게이트 저항  $R_{G\_EXT}$ 를 변화시키는 경우에 제 4세대 제품과 제 3세대 제품의 스위칭 손실을 비교한 것입니다. 평가 방법은 2.6 장과 마찬가지로 더블 펄스 시험을 사용하였습니다. 이 그림에서는 동일한  $R_{G\_EXT}$ 로 구동한 경우에도 제 4 세대 제품이 스위칭 손실을 대폭 저감 가능하다는 것을 알 수 있습니다. 이는 2.7 장에서 설명한 바와 같이 제 4 세대 제품은 기생 용량과 내부 게이트 저항  $R_{G\_INT}$ 가 작아, 게이트 저항의 총합 ( $R_{G\_INT}+R_{G\_EXT}$ )도 작아져 스위칭 속도가 상승했기 때문입니다.

또한, 스위칭 속도는  $R_G$ 의 총합 ( $R_{G\_INT}+R_{G\_EXT}$ )으로 결정되므로  $R_{G\_INT}$ 가 작아져,  $R_{G\_EXT}$ 의 조정 범위도 확대됨에 따라, 게이트 서지의 억제 및 스위칭 특성의 개선 등에 대해 플렉시블하게 대응할 수 있습니다. 이러한 점도 제 4 세대 제품의 큰 장점이라고 할 수 있습니다.

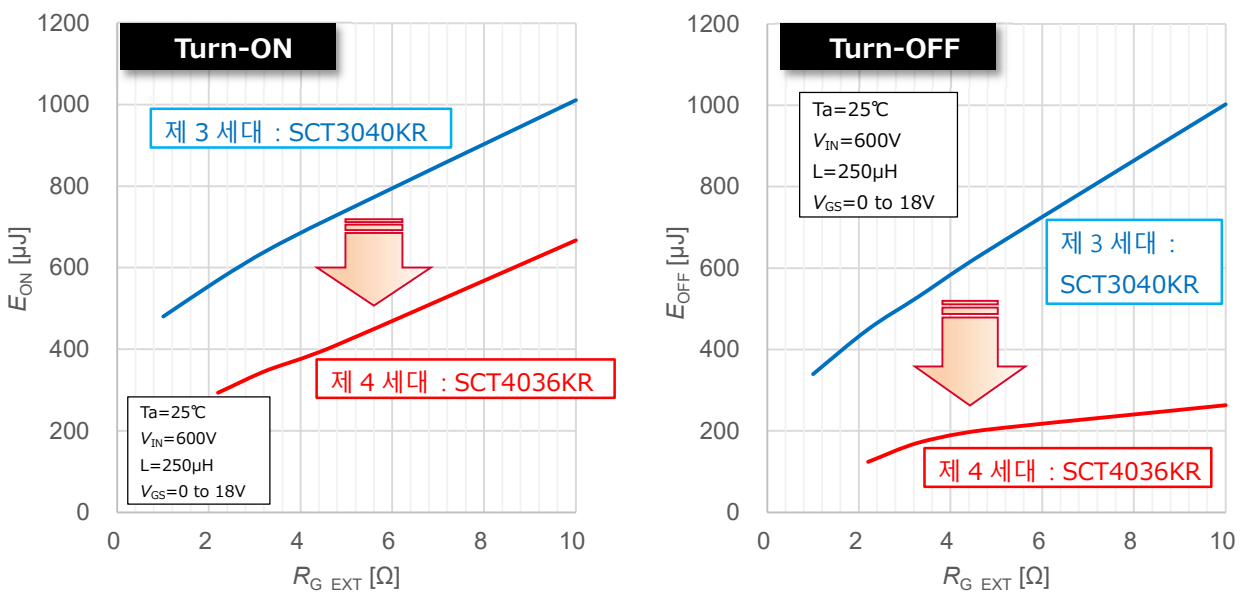


Figure 2-13. 스위칭 손실의  $R_{G\_EXT}$  의존성 비교 (제 4 세대 제품 vs. 제 3 세대 제품)

### 2.9 스위칭 특성의 온도 의존성

일반적으로 반도체 디바이스의 스위칭 속도는 기생 용량에 크게 의존하지만, SiC MOSFET 의 기생 용량은 온도에 대해 거의 변화가 없으므로, 스위칭 손실의 온도 특성도 매우 안정되어 있습니다. Figure 2-14 는 제 4 세대 SiC MOSFET SCT4036KR 의 스위칭 손실의 온도 의존성을 나타낸 것입니다. 하기 그래프에서 알 수 있듯이 스위칭 손실은 온도 변화에 대해 거의 변화가 없습니다.

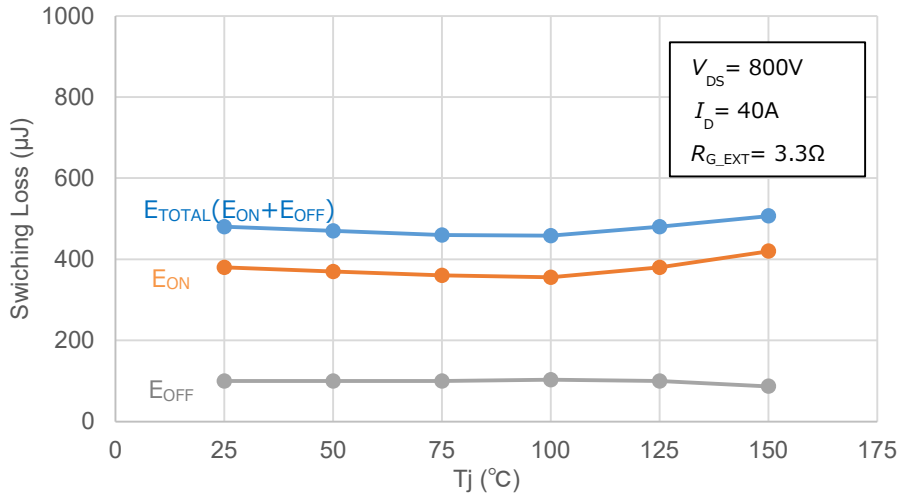


Figure 2-14. 스위칭 손실의 온도 의존성 (SCT4036KR)

### 2.10 바디 다이오드의 리커버리 특성

Figure 2-15 는 제 4 세대 제품과 제 3 세대 제품의 바디 다이오드의 리커버리 특성을 비교한 것입니다. 제 4 세대 제품은 「2.8 내부 게이트 저항」에서 설명한 바와 같이, 제 3 세대 제품에 비해 내부 게이트 저항을 저감함으로써 스위칭 속도가 빨라졌습니다. 일반적으로는 이에 대한 트레이드 오프 관계로서 서지 증대로 인한 리커버리 특성이 악화되지만, 하기 그래프에 따르면 제 4 세대 제품은 스위칭 속도가 빨라짐과 더불어 리커버리 전류도 거의 흐르지 않는 것을 알 수 있습니다. 이는 Totem-pole PFC 나 인버터 등, 리커버리 전류가 발생하는 각종 브릿지 회로에서 스위칭 손실의 대폭적인 저감에 기여함과 동시에, 리커버리 전류로 기인하는 고장 리스크 및 노이즈 저감도 기대할 수 있다는 것을 의미합니다.

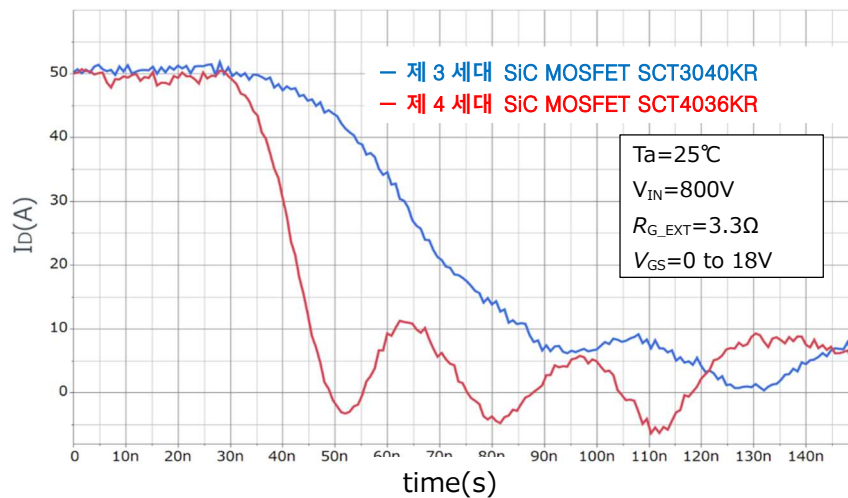
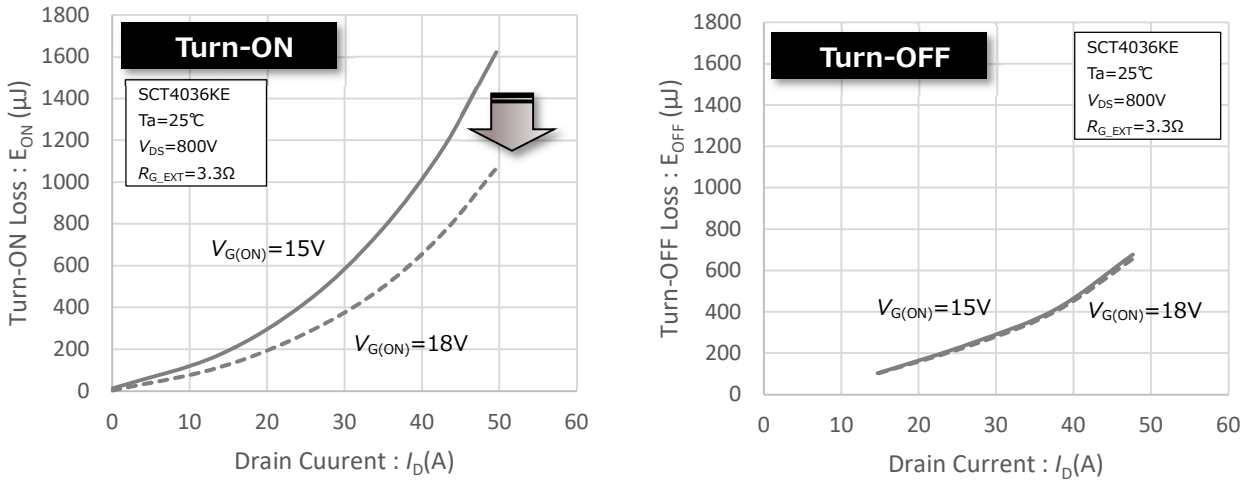


Figure 2-15. 바디 다이오드의 리커버리 특성 비교

### 2.11 스위칭 손실의 게이트 전압 의존성

Figure 2-16 은 게이트 구동 전압에 따른 스위칭 손실의 차이를 나타낸 것입니다. Turn-ON 시 스위칭 손실  $E_{ON}$  은 구동 전원  $V_{G(ON)}$ 이 높을수록 저감되어, 18V 에서는 15V 대비  $I_D=50A$  일 때 1.6 배 정도 작아집니다. 이는  $V_{G(ON)}$ 과 플래토 전압 (스위칭 시 밀러 용량의 충전전이 시작되는 게이트 전압치)의 전위차가 클수록, 게이트 전류  $I_{G(ON)}$ 이 커져  $C_{rSS}$ 의 방전, 즉 드레인 전압  $V_{DS}$ 의 하강 속도를 빠르게 하기 위함입니다 (Figure 2-17 (a)).

반면, Turn-OFF 시 스위칭 손실  $E_{OFF}$ 의 경우,  $V_{G(ON)}$ 으로 인한 변화는 거의 없습니다. Turn-OFF 시에는 플래토 전압  $V_p$ 와 게이트 OFF 전압 (이 경우에는 0V)의 전위차에 따라  $C_{rSS}$ 를 충전하는 게이트 전류  $I_{G(OFF)}$ 가 결정되므로,  $V_{G(ON)}$ 의 영향을 받지 않습니다 (Figure 2-17 (b) 참조 : 이  $I_{G(OFF)}$ 의 식에서 알 수 있듯이  $V_{G(ON)}$ 이 포함되지 않으므로).



(a) Turn-ON 손실 : E<sub>ON</sub>

(b) Turn-OFF 손실 : E<sub>OFF</sub>

Figure 2-16. 스위칭 손실의 V<sub>G(ON)</sub>의존성

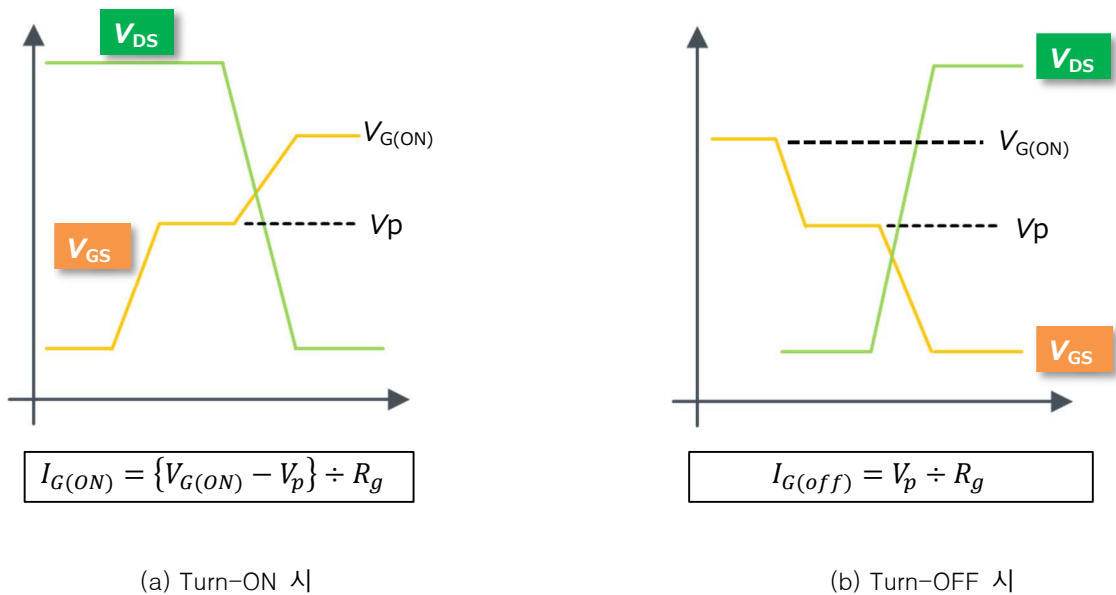


Figure 2-17. Turn-ON / OFF 시의 게이트 전류 I<sub>G</sub>

### 2.12 단락 내량

제 4 세대 SiC MOSFET 는 독자적인 디바이스 구조를 채용함으로써 본래 트레이드 오프 관계인 RonA 과 단락 내량 시간의 문제를 해결하여, 낮은 RonA 와 높은 단락 내량을 동시에 실현하였습니다 (Figure2-18). 일반적으로 RonA 를 낮추면 포화 전류가 상승하므로, 단락 내량 시간이 짧아집니다. 그러나, 제 4 세대 SiC MOSFET 는 제 3 세대 SiC MOSFET 에 비해 드레인 - 소스 전류  $I_D$  의 포화 전류를 낮춤으로써 단락 시의 피크 전류를 억제하였습니다. 이에 따라, RonA 와 단락 내량 시간의 트레이드 오프 문제를 해소할 수 있어, 단락 내량 시간의 확보에 성공하였습니다 (Figure2-19). (하기 그림의 단락 내량은 일정 조건에서의 측정치입니다. 이 수치를 보증하는 것은 아니므로 주의하여 주십시오.)

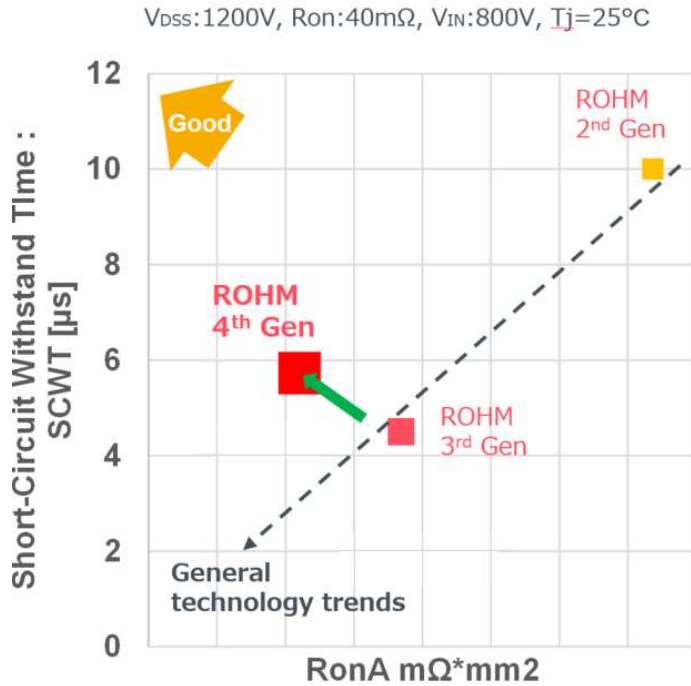


Figure 2-18. RonA vs 단락 내량 시간

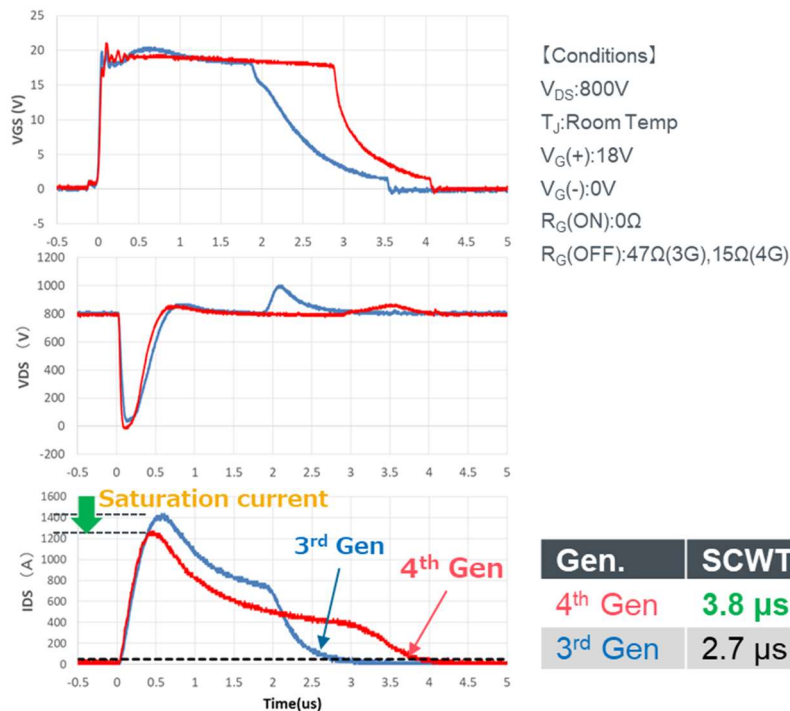


Figure 2-19. 포화 전류 비교 (제 4 세대 vs 제 3 세대)

### 3. 게이트 드라이브

제 4 세대 SiC MOSFET 구동 시의 slew-rate (dv/dt)는 제 3 세대 SiC MOSFET 에 비해 대폭 상승했습니다. 이 특성은 스위칭 손실을 감소시켜 효율 개선이 기대되는 반면, 링잉이나 서지의 발생을 유발하므로, 게이트 드라이브 회로 설계 시에는 한층 더 각별한 주의와 진중한 검토가 필요합니다. 그럼, 이제 게이트 구동에 관한 설계 시의 주의점 및 권장 구동 조건에 대해 설명하겠습니다.

#### 3.1 SiC MOSFET 용 게이트 드라이버 IC

SiC MOSFET 용 게이트 드라이버 IC 선정 시, 특히 하기 항목에 대해 고려해야 합니다.

- 구동 전압 (최대 정격 등)
- 구동 능력 (출력 피크 전류, 스위칭 주파수 등)
- 전달 지연 시간 (1 차 - 2 차간 등)
- 보호 기능 (Miller Clamp, DESAT, OCP, UVLO 등)
- 동상 과도 전압 내성 (CMTI : Common Mode Transient Immunity)

또한, 드라이버 IC 는 구비하고 있는 기능에 따라, 단기능 타입 (Simple 타입)과 다기능 타입 (Complex 타입)의 두가지 카테고리로 크게 나누어집니다. 단기능 타입은 구동 신호에 의한 게이트 드라이브 기능만을 구비하여 SOP-8 이나 SSOP-10 등의 소형 패키지로 제품화됩니다. 반면에 다기능 타입은 마이너스 바이어스 대응, 각종 보호 기능 및 온도 모니터링 기능, 절연 전원 등을 구비하여, SOP-20 이상의 대형 패키지로 제품화되는 것이 많아지고 있습니다.

필요한 기능에 따라 다수의 라인업을 구비하고 있습니다. 로옴 홈페이지 ([https : //www.rohm.co.kr/products/power-management/gate-drivers](https://www.rohm.co.kr/products/power-management/gate-drivers))를 참조하시거나, 로옴 영업으로 문의하여 주십시오.

### 3.2 권장 게이트 전압 ( $V_{G(on)}$ )

제 4 세대 SiC MOSFET 는 18V 뿐만 아니라, 제 3 세대 제품으로는 사용할 수 없었던 15V 구동에 대응하여, 기존 Si 계 디바이스의 회로를 활용할 수 있습니다. 또한, 디바이스는 18V 구동 시에 최적화되도록 설계되었지만, 조건에 따라서는 18V 구동과 동등한 효율을 실현할 수 있습니다. Figure. 3-1 은 표기된 조건에서  $V_{G(on)}$ 을 각각 15V, 18V로 설정했을 때의 효율을 비교한 결과입니다. 고부하 시에 약간 차이가 보여지지만, 효율은 거의 동등합니다. 따라서, 15V 구동 Si MOSFET 의 대체 사용이 용이해집니다.

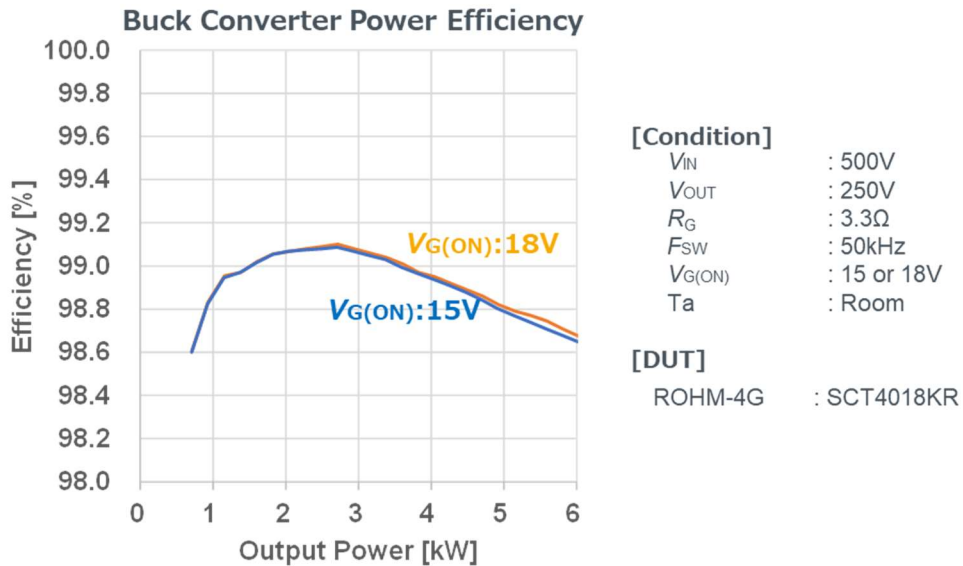


Figure 3-1.  $V_{G(ON)}$  전압 차이에 따른 효율 비교 (Buck 컨버터 동작 시)



또한, 제 4 세대 SiC MOSFET Turn-OFF 시의 권장 구동 전압은 0V 입니다. 일반적인 MOSFET 는 Turn-OFF 시의 게이트 - 소스 전압을 마이너스 바이어스까지 인가함으로써 Self Turn-ON 에 대한 대책을 세울 수 있으므로, 마이너스 바이어스 구동을 권장하는 제품도 있습니다. 단, 제 4 세대 SiC MOSFET 는 threshold 전압 ( $V_{th}$ )을 높게 설계함으로써, Self Turn-ON 의 발생을 억제하여 마이너스 바이어스의 인가가 필요하지 않습니다 (Figure. 3-2).

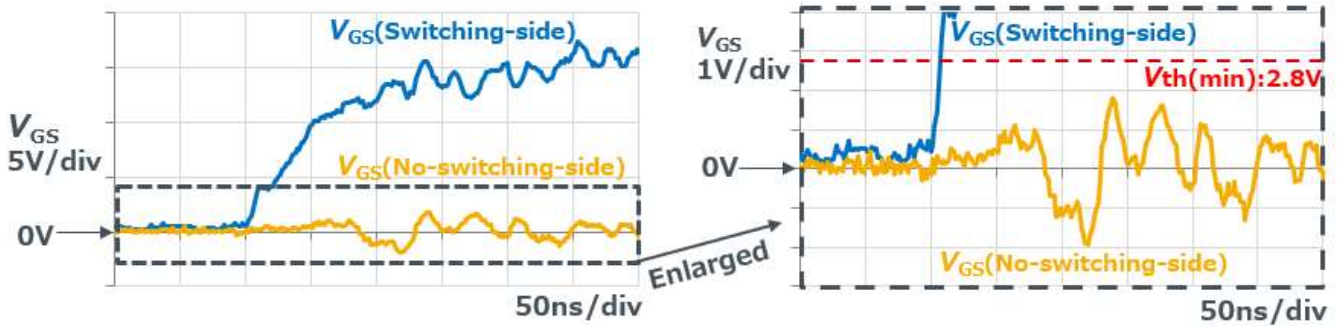


Figure 3-2. 스위칭 Turn-ON 시 파형

또한, 로옴 SiC MOSFET 의 게이트 정격전압은 세대에 따라 다릅니다. Table 3-1 에 비교표를 게재하였습니다. SiC MOSFET 의 게이트 정격전압에 대해서는 4 장 「제 4 세대 SiC MOSFET 의 신뢰성」을 참조하여 주십시오.

Table 3-1. 게이트 - 소스 전압 비교

Parameter		3 <sup>rd</sup> Generation SCT3xxxx	4 <sup>th</sup> Generation SCT4xxxx
Gate-Source Voltage		-4 V ~ +22 V	-4 V ~ +21 V
Gate-Source Surge Voltage		-4 V ~ +26 V	-4 V ~ +23 V
Recommended Drive voltage	Positive	+18 V ~ +20 V	+15 V ~ +18 V
	Negative	0 V	0 V

### 3.3 외장 게이트 저항 (R<sub>G\_EXT</sub>) 선정

MOSFET 의 스위칭 성능을 결정하는 중요한 요소 중 하나는 외장 게이트 저항 (R<sub>G\_EXT</sub>)의 선정입니다. 스위칭 속도는 외장 게이트 저항 (R<sub>G\_EXT</sub>)과 디바이스 내부 게이트 저항 (R<sub>G\_INT</sub>)의 합계치에 따라 변화하고, 그 수치가 작을수록 스위칭 속도는 빨라집니다. 2.8 장에서 설명한 바와 같이 제 4 세대 SiC MOSFET 는 제 3 세대 SiC MOSFET 에 비해 내부 게이트 저항이 대폭 감소되었습니다. 따라서 외장 게이트 저항을 변경하지 않고 대체하는 경우에는 스위칭 속도가 상승하여 스위칭 손실을 감소시킬 수 있습니다 (2.6 Turn-ON / Turn-OFF 특성 참조). 반면에 스위칭 속도가 상승하면 게이트 - 소스의 서지 전압이 커지는 경향이 있습니다.

Figure 3-3 은 제 4 세대 SiC MOSFET 「SCT4062KR」 (1200V, R<sub>DS(on)</sub>=62mΩ)을 스위칭시켰을 때의 비스위칭 측 V<sub>GS</sub> 파형과 스위칭 측 V<sub>DS</sub>, I<sub>D</sub> 파형입니다. 게이트 저항치가 작을수록 V<sub>DS</sub>, I<sub>D</sub>의 스위칭 속도는 빨라지지만, 비스위칭 측 V<sub>GS</sub>의 서지가 커지는 것을 알 수 있습니다.

따라서, 외장 게이트 저항치는 스위칭 손실을 억제함으로써 요구되는 동작 효율을 만족시킴과 동시에, 서지 전압이 디바이스 정격치에 도달하지 않도록, 평가를 거듭하여 선정하는 것이 중요합니다.

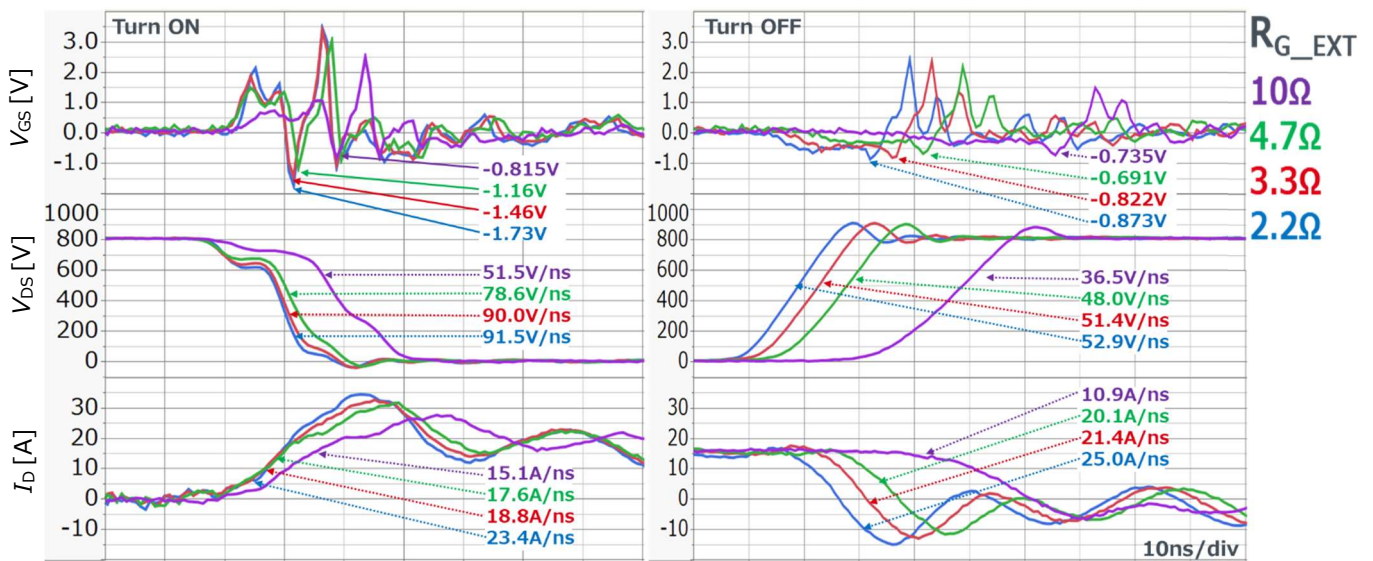


Figure 3-3. 스위칭 Turn-ON / OFF 시 V<sub>GS</sub> 파형 (SCT4062KR) R<sub>G\_EXT</sub> 의존성

### 3.3.1 V<sub>GS</sub> 서지 측정 시의 주의점

SiC MOSFET 는 Si MOSFET 에 비해 스위칭 시의 slew-rate 가 대폭 상승하여, 기존의 수동 프로브 · 차동 프로브를 통한 측정으로는, 프로브로 기인하는 노이즈 등의 영향 때문에 정확한 파형을 얻기 어렵습니다. 따라서, SiC MOSFET 와 같은 고속 스위칭 파형을 측정하기 위해서는 노이즈의 영향을 차단할 수 있는 광 절연 프로브를 사용한 측정이 권장됩니다. Figure 3-4 는 광 절연 프로브를 사용하여 더블 펄스 시험을 실시한 결과입니다. 본 시험 내용과 사용한 기판에 대해서는 「5. 디스크리트용 평가 기판」 을 참조하여 주십시오.

Figure3-5 는 차동 프로브 (Differential Probe)와 광 절연 프로브 (Optical isolation Probe)를 사용하여, 동일 조건에서 스위칭 파형을 측정할 때의 비교 결과입니다. 차동 프로브를 사용한 측정 파형에 큰 서지가 발생했음을 알 수 있습니다.

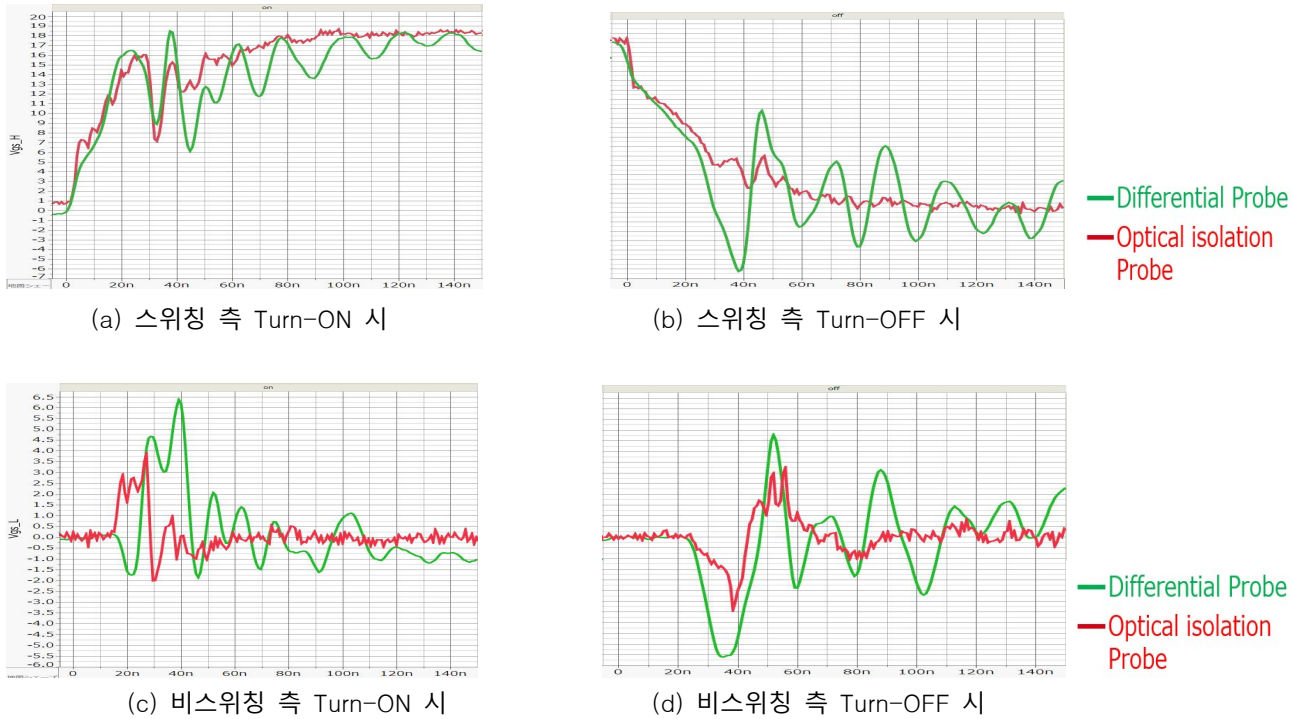


Figure 3-5. 스위칭 Turn-ON / OFF 시 V<sub>GS</sub> 파형 (SCT4036KR)

SiC 디바이스 측정 시의 주의점에 대한 상세 내용은 어플리케이션 노트 「[게이트 - 소스 전압 측정 시의 주의점](#)」\*6 을 참조하여 주십시오.

### 3.3.2 V<sub>DS</sub> 서지의 대책

SiC MOSFET는 고속 스위칭이라는 특징이 있지만, 드레인 - 소스 사이에 발생하는 서지 전압이 커지게 됩니다. 따라서, V<sub>GS</sub> 서지 전압과 마찬가지로 드레인 - 소스 전압도 정격전압 내에 포함되도록 R<sub>G,EXT</sub>를 선정할 필요가 있습니다. 또한, 스너버 회로와 같은 서지 흡수 회로를 추가하는 대책도 유효합니다. Figure 3-6은 스너버 회로의 예를 나타낸 것입니다.

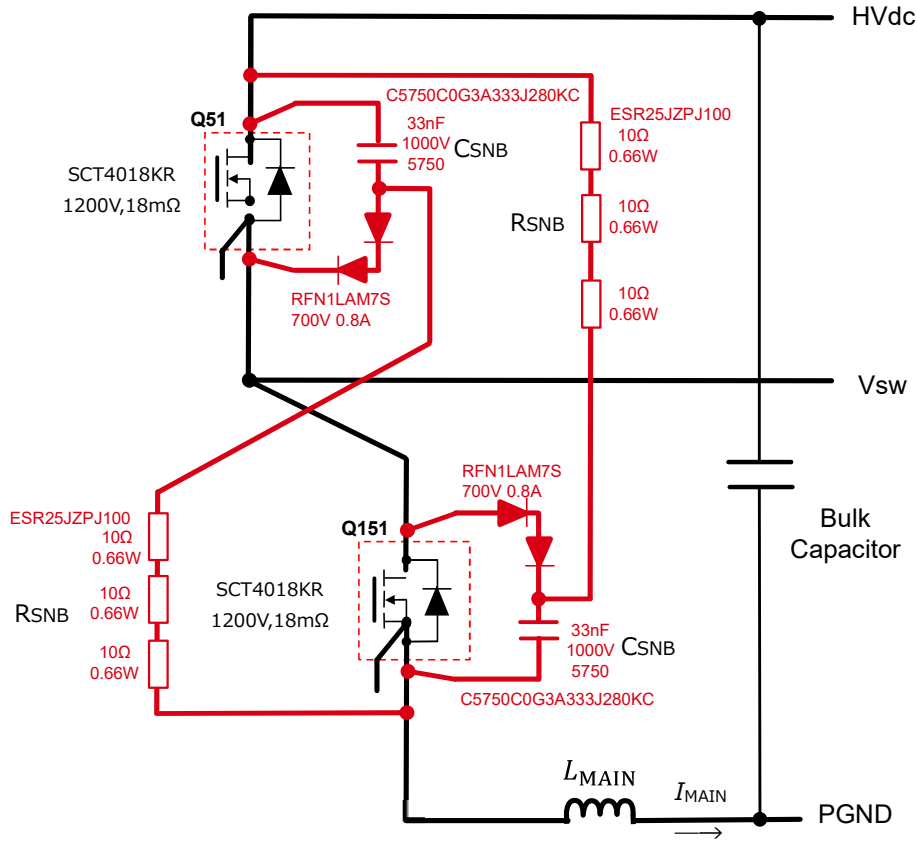


Figure 3-6. 스너버 회로 예 (SCT4018KR)

비방전형 스너버 회로는 고압 입력전압 HVdc를 초과하는 서지분만을 스너버 회로 내의 저항으로 소비하므로, 고주파 스위칭 회로에 최적인 회로 방식입니다. 그러나, 패턴 레이아웃이 복잡해지기 때문에 4층 이상의 기판을 사용하는 것이 좋습니다.

스너버 회로 내의 저항을 통해 소비되는 전력 P<sub>SNB</sub>는 모두 스너버 회로 내의 저항 R<sub>SNB</sub>로 소비됩니다. 따라서, R<sub>SNB</sub>를 설정하기 위해 먼저 식 (1)을 통해 P<sub>SNB</sub>를 산출합니다.

$$P_{SNB} = \frac{L_{MAIN} \times I_{MAIN}^2 \times f_{SW}}{2} \quad [W] \dots (1)$$

이 수식에서 L<sub>MAIN</sub>은 메인 회로의 배선 인덕턴스이며, 벌크 캐패시터 (Bulk Capacitor)의 등가 직렬 인덕턴스를 포함한 배선 인덕턴스입니다. I<sub>MAIN</sub>은 MOSFET Turn-OFF 시의 드레인 전류, f<sub>SW</sub>는 SiC MOSFET를 구동하는 스위칭 주파수를 나타냅니다.

스너버 콘덴서의 정전 용량 C<sub>SNB</sub>는 인덕턴스에 축적된 에너지로부터, 다음 식 (2)를 통해 산출할 수 있습니다.

$$C_{SNB} = \frac{L_{MAIN} \times I_{MAIN}^2}{V_{SURGE}^2 - V_{HVdc}^2} \quad [F] \dots (2)$$

$V_{HVdc}$  는 고압 전원,  $V_{SURGE}$  는 서지 전압의 최대치입니다. 그리고,  $R_{SNB}$  의 저항치는 하기 식 (3)으로 구할 수 있습니다.

$$R_{SNB} < \frac{-1}{C_{SNB} \times \ln[(V_{SURGE} - V_{SNB}) / (V_{SURGE})]} \times \frac{1}{f_{sw}} \quad [\Omega] \dots (3)$$

$R_{SNB}$  값을 적절하게 설정함으로써, SiC MOSFET 가 한주기 동안  $C_{SNB}$  에서 흡수한 에너지를 모두 방전시켜 서지 흡수 효과를 최대화할 수 있습니다.

Figure 3-7 은 SCT4018KR 의 더블 펄스 시험을 통한 스너버 회로의 검증 결과를 나타낸 것입니다. Turn-ON 시에는 스너버 회로의 유무에 따른 차이는 거의 없지만, Turn-OFF 시에는  $V_{DS}$  Turn-OFF 서지가 1206V 에서 1070V 로 감소했습니다. 반면에 스위칭 속도에는 거의 영향이 없습니다.

이와 같이, 스너버 회로의 실장을 통해  $V_{DS}$  Turn-OFF 서지를 억제할 수 있습니다.  $V_{DS}$  Turn-OFF 서지가 문제가 될 경우를 대비하여 회로 설계 단계부터 스너버 회로 채용을 검토할 것을 권장합니다.

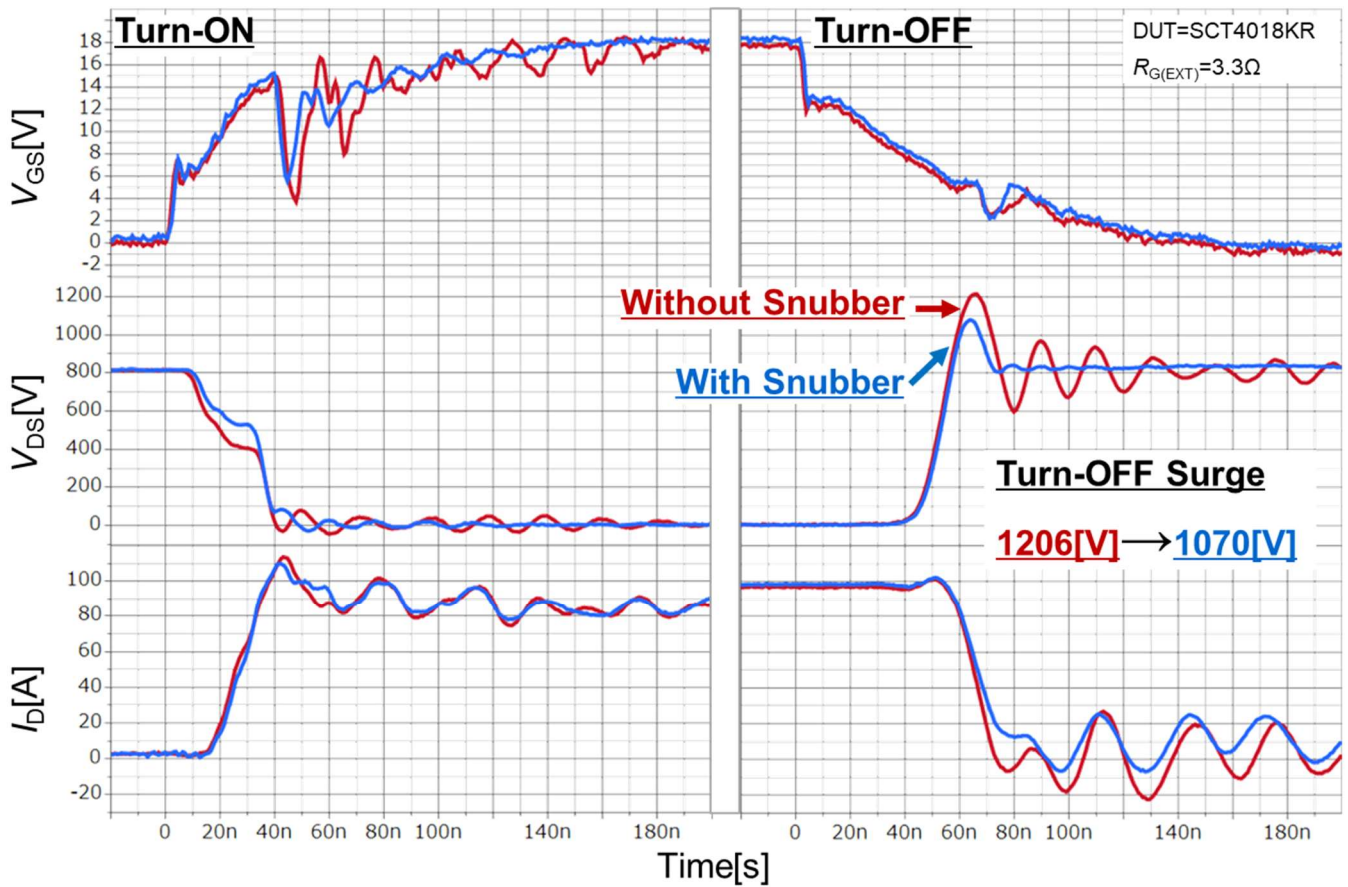


Figure 3-7. SCT4018KR 의 더블 펄스 시험을 통한 스너버 회로의 검증 결과

스너버 회로의 설계 방법에 대한 상세 내용은 어플리케이션 노트 「[스너버 회로의 설계 방법](#)」\*4을 참조하여 주십시오.

### 3.4 데드타임 (t<sub>DT</sub>) 설계

SiC MOSFET 를 브릿지 구성의 회로에서 사용하는 경우, High-side (HS)와 Low-side (LS)의 SiC MOSFET 가 동시에 ON 되지 않도록 통상적으로 데드타임 구간을 설정합니다. Figure 3-8 (a)는 boost 회로에서의 데드타임 제어 사례를 나타낸 것입니다. Low-side SiC MOSFET 는 스위칭용, High-side SiC MOSFET 는 동기정류용으로 동작하고 있습니다. Figure 3-8 (b)와 같이, HS 와 LS 의 동시 ON 을 방지하기 위해 데드타임 구간을 LS Turn-ON 전과 Turn-OFF 후에 설정하였습니다. 데드타임 구간 중에는 SiC MOSFET 의 바디 다이오드를 통해 인덕터 L 의 전류가 흐릅니다. SiC MOSFET 의 바디 다이오드 순방향 전압 V<sub>F</sub>는 Si 디바이스보다 높으므로, 데드타임은 가능한 단시간으로 설정하는 것이 좋습니다.

그러나, Turn-OFF 시 인덕터 L 의 전류 I<sub>L(OFF)</sub>가 작아지면, High-side · Low-side SiC MOSFET 의 출력 용량 (C<sub>oss</sub>)으로의 총방전 전류가 작아지고, 결과적으로 데드타임 구간 중에 C<sub>oss</sub> 의 총방전 즉, V<sub>DS</sub> 의 변화가 완료되지 않습니다. 이러한 경우, 본래 발생하지 않는 동기정류 측 SiC MOSFET 에 스위칭 손실이 발생하여, 효율 저하 및 발열 증대 등의 문제가 발생하게 됩니다. 따라서, I<sub>L(OFF)</sub>의 동작 조건에 따라 데드타임 시간의 최소치를 산출해야 합니다.

식 (3)과 같이 최소 데드타임 구간은, 간략화하기 위해 C<sub>oss</sub> 를 일정하게 하여 산출했지만, 실제로는 드레인 - 소스 전압 V<sub>DS</sub> 에 따라 C<sub>oss</sub> 는 변화합니다. 일반적으로 데이터시트에 기재되어 있는 C<sub>oss</sub> 는 일정 V<sub>DS</sub> 에서의 대표치로 기재되어 있는 경우가 많아 데드타임의 산출에 최적이라고는 할 수 없습니다. Figure 3-9 와 같은 V<sub>DS</sub>-C 특성을 사용하여, C<sub>oss</sub> 가 최대가 되는 V<sub>DS</sub><1V 조건에서의 값을 사용하여 계산함으로써, 여유로운 데드타임 설계가 가능합니다 (사선 부분). 실제로 총방전에 필요한 전하량은 그림의 착색 부분에 해당하는 면적이므로, 식 (3)의 분자에 해당 면적 부분을 사용하면, 더 정확하게 t<sub>DT</sub> 를 계산할 수 있습니다. Figure 3-9 과 같은 용량 그래프는 SiC MOSFET 의 데이터시트에 기재되어 있습니다.

$$t_{DT} > \frac{(C_{oss-HS}+C_{oss-LS}) \times V_{OUT}}{I_{L(off)}} \tag{3}$$

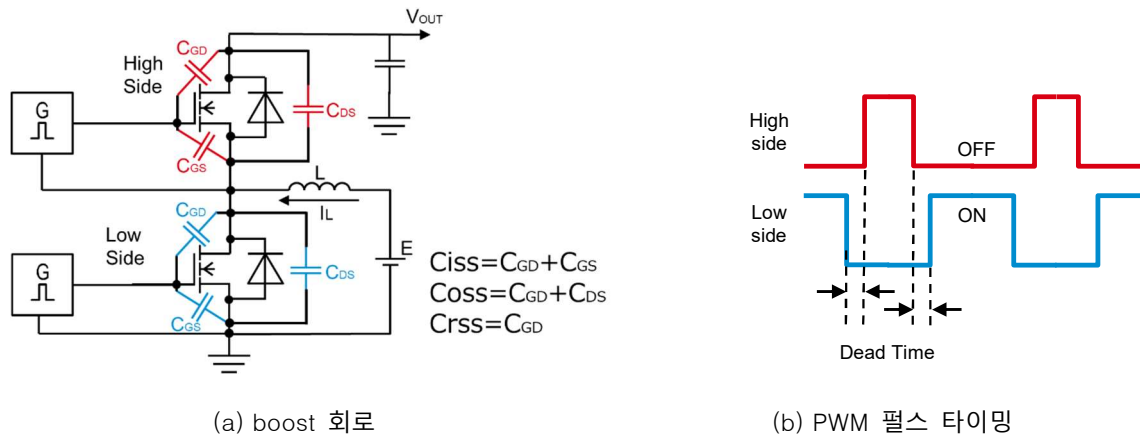


Figure 3-8. boost 회로의 데드타임 제어

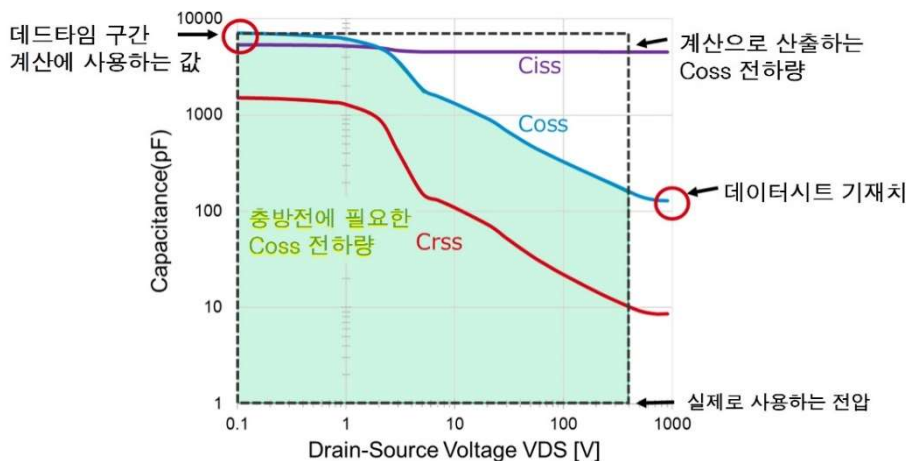


Figure 3-9. 기생 용량의 V<sub>DS</sub> 의존성 (SCT4018KR)

### 3.5 Self Turn-ON 대책

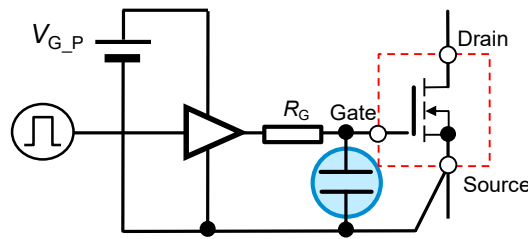
인버터 및 Full-bridge 회로 등 MOSFET 를 브릿지 구성으로 사용하는 경우, Upper / Lower Arm 중 한쪽 또는 양쪽의 MOSFET 가 동시에 OFF 되어야 하지만, 스위칭 측 MOSFET 의 동작에 따라 비스위칭 측 (피드백 측)의  $V_{DS}$  및  $I_D$  가 변화함으로써, 의도치않은 Turn-ON 이 발생하는 경우가 있습니다. 이를 Self Turn-ON 이라고 합니다. 이러한 현상이 발생하면, 효율이 저하될 뿐만 아니라, 최악의 경우, MOSFET 의 파괴를 초래하게 됩니다.

일반적으로는 OFF 시의 전압에 마이너스 바이어스를 인가함으로써 Self Turn-ON 을 억제하는 방법을 사용하고 있어서, 마이너스 바이어스 구동을 권장하는 제품도 많습니다.

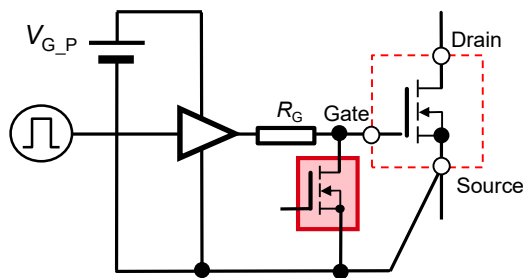
제 4 세대 SiC MOSFET 의 threshold 전압 ( $V_{th}$ )는 높게 설계되어 있기 때문에, Self Turn-ON 의 발생이 억제됩니다. 따라서, 마이너스 바이어스 구동을 필요로 하지 않습니다. 5 장에 기재한 로옴 평가 기판 (P04SCT4018KE-EVK-001, P05SCT4018KR-EVK-001)을 사용한 평가에서도 Self Turn-ON 은 발생되지 않습니다.

단, 고객 측에서 기판 설계 시, 배선 인덕턴스 등의 영향으로 인해 Self Turn-ON 이 발생할 가능성이 있으므로, 이러한 경우에는 회로 상에서 별도의 Self Turn-ON 대책이 필요합니다.

Figure 3-10 은 대책 회로의 예입니다. (a)는 MOSFET 의 게이트 - 소스 사이에 1nF~5nF 의 콘덴서를 접속함으로써, 순간적인 게이트 전압의 상승을 억제합니다. (b)는 게이트 - 소스 전압이 일정 전압 이하에서 ON 되는 액티브 클램프 MOSFET 를 사용함으로써, 게이트 - 소스 전압의 상승을 억제합니다. 이러한 대책 회로는, 기생 인덕턴스가 존재하는 경우 효과가 떨어지므로, 대책 부품을 게이트 단자, 소스 단자에 가능한 가깝게 배치하는 것이 중요합니다. 부품 선정 시에도 기생 인덕턴스가 작은 소형 패키지의 제품을 선정할 것을 권장합니다.



(a) 게이트 - 소스 사이에 콘덴서 접속



(b) 액티브 클램프 MOSFET

Figure 3-10. 브릿지 구성에서의 Self Turn-ON 대책 예

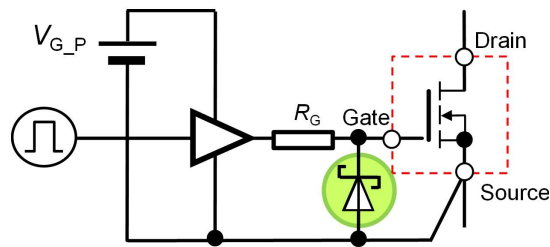
단, Self Turn-ON 대책은 모든 방식에 장단점이 있으며, 사용하는 게이트 드라이버 IC 가 구비한 기능에 따라서는 적용이 어려운 경우가 있습니다. 따라서, Self Turn-ON 의 발생 메커니즘을 정확히 이해하고 대책 방식을 선택해야 합니다.

Self Turn-ON 발생 메커니즘에 대해서는 어플리케이션 노트 「[브릿지 구성의 게이트 - 소스 전압 동작](#)」\*2 을 참조하여 주십시오. 또한, 각종 대책 회로에 대해서는 어플리케이션 노트 「[게이트 - 소스 전압의 서지 제어 방법](#)」\*3 을 참조하여 주십시오.

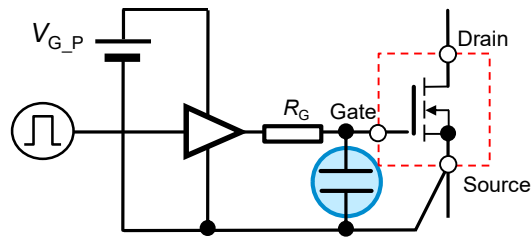
### 3.6 마이너스 서지 대책

3.5 장에서 설명한 바와 같이, SiC MOSFET 의 게이트 정격전압은 매우 좁고, 특히 마이너스 바이어스에 관해서는 실제 사용 전압에 대해 수 V 의 마진밖에 없습니다. 따라서, 게이트 마이너스 서지 대책을 회로 설계 단계부터 적용하는 것이 매우 중요합니다.

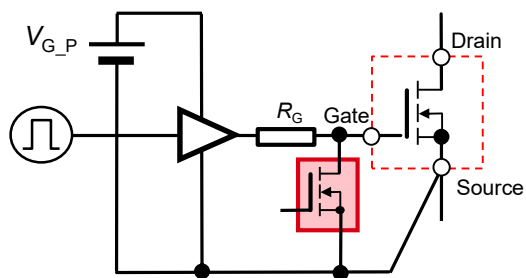
Figure 3-11 은 마이너스 서지의 대책 회로를 나타낸 것입니다. (a)는 게이트 - 소스 사이에 마이너스 서지를 클램프하는 다이오드를 접속하였습니다. (b)는 MOSFET 의 게이트 - 소스 사이에 1nF~5nF 의 콘덴서를 접속함으로써 게이트 전압의 순간적인 강하를 억제합니다. (c)는 게이트 - 소스 전압이 일정 전압 이하에서 ON 되는 액티브 클램프 MOSFET 를 사용함으로써 게이트 - 소스 전압의 강하를 억제합니다. (b), (c)는 3.5 장에서 설명한 Self Turn-ON 대책과 동일하며, 공용으로 사용이 가능합니다. 또한 모든 경우에서, Self Turn-ON 대책과 마찬가지로 대책 부품을 게이트 단자 및 소스 단자에 가깝게 배치하는 것이 좋고, 되도록 기생 인덕턴스가 작은 부품을 선택하는 것이 중요합니다.



(a) 게이트 - 소스 사이에 SBD 접속



(b) 게이트 - 소스 사이에 콘덴서 접속



(c) 액티브 클램프 MOSFET

Figure 3-11. 브릿지 구성에서의 마이너스 서지 대책

단, 마이너스 서지는 하나의 요인으로 발생하는 것이 아니라,  $V_{DS}$  및  $I_D$  의 변화 타이밍과 밀접하게 관련되어 여러가지 요인으로 인해 발생합니다. 마이너스 서지의 발생 타이밍에 따라 효과적인 대책 방법이 달라지므로, 먼저 마이너스 서지의 발생 요인을 정확하게 파악해야 합니다. 그 다음, 마이너스 바이어스의 유무 및 기판 레이아웃 조건 등 상황에 따른 최적의 대책을 실시하는 것이 중요합니다.



마이너스 서지 발생 메커니즘에 대해서는 어플리케이션 노트 「[브릿지 구성의 게이트 - 소스 전압 동작](#)」<sup>\*2</sup> 을 참조하여 주십시오. 또한, 각종 대책 회로에 대해서는 어플리케이션 노트 「[게이트 - 소스 전압의 서지 제어 방법](#)」<sup>\*3</sup> 을 참조하여 주십시오.

### 3.7 권장 레이아웃

지금까지 설명한 게이트 드라이브 회로의 기능은 하기와 같습니다.

- 구동용 전원 (3.2 장)
- 게이트 저항 (스위칭 속도 조정) (3.3 장)
- 게이트 서지 보호 (MOSFET 게이트 보호) (3.6 장)

이러한 기능에 필요한 모든 회로 부품을 프린트 기판 상에 실장해야 합니다. 모든 기능을 MOSFET 에 가깝게 실장하는 것이 이상적이지만, 기판 레이아웃 상 우선 순위를 결정해야 합니다.

그리고, 사용하는 디바이스의 특성이나 회로 토폴로지에 따라 게이트에 발생하는 서지 전압의 크기가 달라지므로, 대책의 우선 순위도 달라집니다. MOSFET 주변 회로의 레이아웃 검토 시에는 어떤 기능의 패턴 인덕턴스를 작게 해야 하는지, 면밀한 검토가 필요합니다.

회로 토폴로지는, MOSFET 의 구성과 스위칭 방식 등에 따라 분류할 수 있습니다. 즉 MOSFET 를 단독 사용하는 구성 (Single)과 MOSFET 를 상하 직렬로 접속하여 사용하는 구성 (Half-bridge)으로 크게 나눌 수 있으며, 그 중에서 MOSFET 의 스위칭 방식으로서 하드 스위칭 방식 (Hard Switching)과 소프트 스위칭 방식 (Soft Switching)으로 분류할 수 있습니다. Half-bridge 구성은 비스위칭 측이 스위칭 측 동작의 영향을 받는 반면, Single 구성은 단독 사용이므로 자체의 스위칭 동작만 고려하면 됩니다.

또한, 디바이스의 세대에 따라 스위칭 특성 및 게이트 정격전압에 차이가 있어, 필요시되는 보호 기능이 다르기 때문에 주의가 필요합니다.

Table 3-2 는 회로 구성별 필요 기능입니다. 하기 순서대로 대책 부품 레이아웃의 우선 순위를 결정하여, 정격 내에서의 동작과 높은 효율을 동시에 실현하는 것이 중요합니다.

Table 3-2. 게이트 구동 회로의 필요 기능

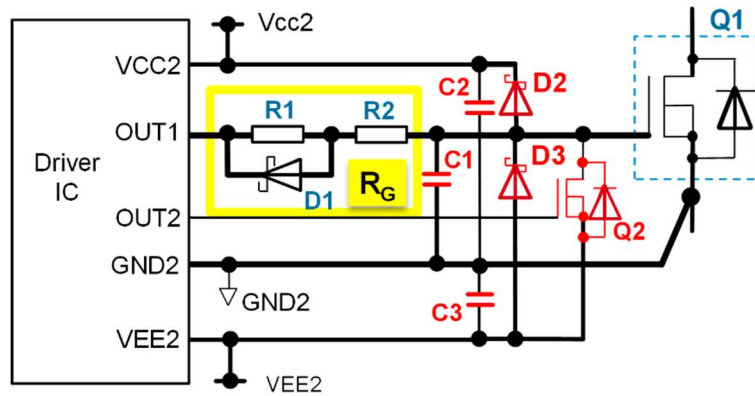
Topology		필요한 보호 기능
Single End	Hard Switching Soft Switching	1) 게이트 - 소스 사이에 SBD 접속 2) 게이트 저항
Half-bridge	Hard Switching	1) 액티브 클램프 MOSFET 2) 마이너스 서지 클램프 SBD 3) 게이트 - 소스 사이에 콘덴서 접속 4) 게이트 저항
	Soft Switching	1) 게이트 - 소스 사이에 SBD 접속 2) 게이트 - 소스 사이에 콘덴서 접속 3) 게이트 저항

Figure 3-12 는 SiC MOSFET 용 Half-bridge 평가 기판 (P05SCT4018KR-EVK-001)의 레이아웃 사례입니다. (a)가 구동 회로도, (b)가 기판 실장 사진, (c) 및 (d)가 기판 패턴 레이아웃입니다.

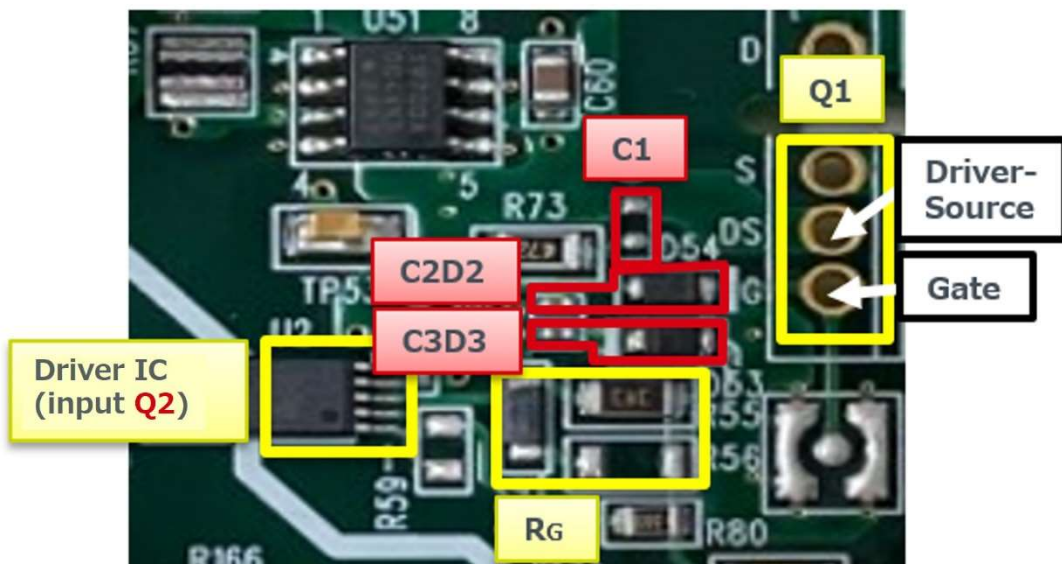
이 기판은 제 4 세대 SiC MOSFET 를 하드 스위칭 동작으로 평가하는 기판이므로, 게이트 서지 대책이 가장 중요합니다. MOSFET (Q2)를 SiC MOSFET 에 가능한 가깝게 배치할 필요가 있지만, 이번 Figure 3-12 (b)의 기판에 사용한 게이트 드라이버 IC (BM61M41RFV-C)에 액티브 클램프 MOSFET 가 내장되어 있으므로, 마이너스 서지 흡수용 다이오드 (D3)과 그 바이패스 콘덴서 (C3)을 가깝게 배치하였습니다. 다음으로 플러스 서지 흡수용 다이오드 (D2)와 그 바이패스 콘덴서 (C2)를 배치하는데, 드라이버 IC 에서 MOSFET 까지의 패턴 길이에 의한 인덕턴스로 인해 플러스 서지가 발생하므로, 레이아웃 상황에 따라 실장 여부를 판단합니다. 마지막으로 게이트 - 소스 사이에 Self Turn-ON 대책용 콘덴서 (C1)을 배치합니다.

서지 흡수용 부품은 MOSFET 에서 거리가 멀어질수록 그 효과가 떨어지기 때문에, (c)와 같이 MOSFET 에서 2cm 이내에 배치할 것을 권장합니다. 또한, Driver Source 단자에서 게이트 드라이버 IC 로의 리턴 선은 드라이버 회로 부품 전체의

바로 아래에 전면 패턴 (d)와 같이 레이아웃하여, 구동 신호나 서지 보호회로에 대한 외부 노이즈의 영향을 최대한 받지 않도록 하는 것이 중요합니다.



(a) 게이트 서지 보호회로 예



(b) 게이트 서지 보호회로의 PCB 실장 예 (P04SCT4018KR-EVK-001)

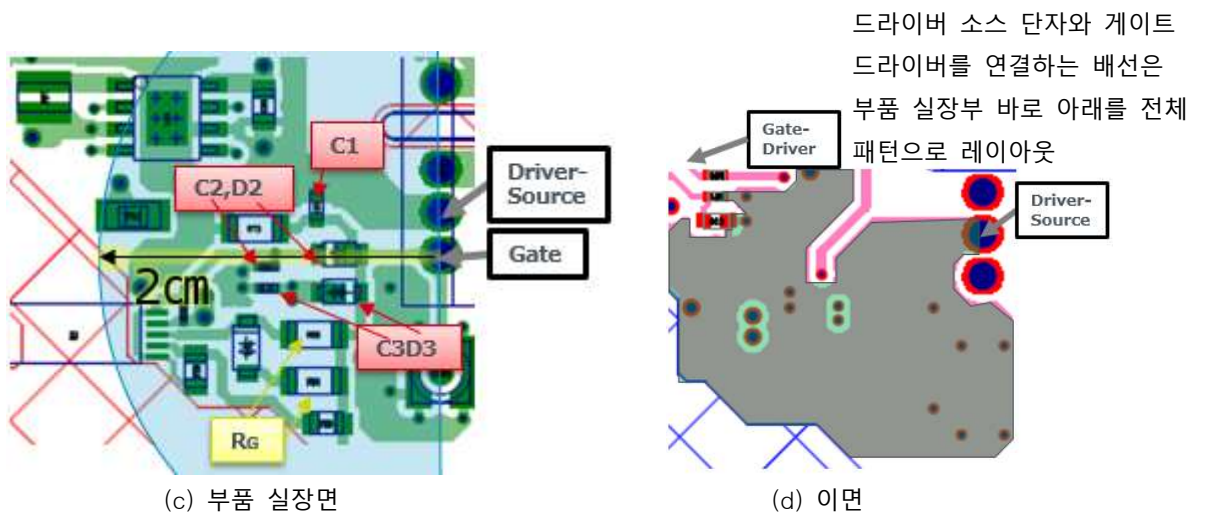


Figure 3-12. 게이트 서지 보호회로의 레이아웃 예 (P05SCT4018KR-EVK-001)

### 4. 제 4 세대 SiC MOSFET 의 신뢰성

Table 4-1 은 신뢰성 시험 결과입니다. (민생 · 산업기기 용도)

Table 4-1. Through hole 타입 (TO-247N / TO-247-4L)의 신뢰성 시험 항목과 결과

#### 1. 수명 시험

시험 항목	시험 방법 / 준거 규격	시험 시간	샘플 수량 n [pcs]	고장 수량 Pn [pcs]
고온 역 바이어스	$T_a = T_{jmax}$ , $V_{DS} = V_{DSmax}$ JEITA ED-4701/100A-101A	1000 h	22	0
고온 게이트 바이어스	$T_a = T_{jmax}$ , $V_{GS} = V_{GSmax}$ JEITA ED-4701/100A-101A	1000 h	22	0
고온 게이트 바이어스	$T_a = T_{jmax}$ , $V_{GS} = V_{GSmin}$ JEITA ED-4701/100A-101A	1000 h	22	0
고온 고습 바이어스	$T_a = 85^{\circ}C$ , RH = 85%, $V_{DS} = 100V$ JEITA ED-4701/100A-102A	1000 h	22	0
온도 사이클	$T_a = -55^{\circ}C$ (30 min) ~ $T_a = 150^{\circ}C$ (30 min) JEITA ED-4701/100A-105A	100 cycles	22	0
증기 가압	$T_a = 121^{\circ}C$ , 203 kPa [2 atm], RH = 100% JESD22-A102C	48 h	22	0
고온 보존	$T_a = 175^{\circ}C$ JEITA ED-4701/200A-201A	1000 h	22	0
저온 보존	$T_a = -55^{\circ}C$ JEITA ED-4701/200A-202A	1000 h	22	0

#### 2. 강도 시험

시험 항목	시험 방법 / 준거 규격	시험 시간	샘플 수량 n [pcs]	고장 수량 Pn [pcs]
솔더 내열성 1	$260 \pm 5^{\circ}C$ 의 solder bath에 단자를 방치 JEITA ED-4701/301-302A	10 s	22	0
솔더 내열성 2	$350 \pm 10^{\circ}C$ 의 solder bath에 단자를 방치 JEITA ED-4701/301-302A	3.5 s	22	0
솔더링 특성	$245 \pm 5^{\circ}C$ 의 solder bath에 단자를 방치 JEITA ED-4701/301-303A	5 s	22	0
열 충격	$0 \overset{+5}{-0}$ (5 min) ~ $100 \overset{+0}{-5}$ (5 min) JEITA ED-4701/302-307B	100 cycle	22	0
단자 강도 (인장력)	인장력 = 20 N JEITA ED-4701/400A-401A	10 s	22	0
단자 강도 (벤딩)	벤딩 하중 = 10 N JEITA ED-4701/400A-401A	2 times	22	0

※고장 판정은 사양서에 기재되어 있는 전기적 특성을 기준으로 하였습니다.  
솔더링 특성 시험에 대해서는 솔더링 면적 $\geq$ 95%로 판정하였습니다.

※샘플 기준 : 신뢰도 수준 90%, 불합격 신뢰성 수준  $\lambda_1=10\%$ , C=0 판정을 기준으로  
MIL-STD-19500의 지수 분포형 계수 1회 발취표에 따라, 샘플을 22개로 하였습니다.

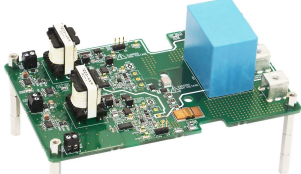
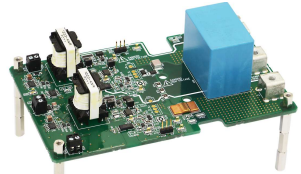
## 5. 디스크리트용 평가 기판

### 5.1 제 4 세대 SiC MOSFET 디스크리트용 평가 기판

Table 5-1 은 로옴에서 릴리스한 제 4 세대 SiC MOSFET (디스크리트)용 평가 기판 일람입니다. 스위칭 특성을 평가하기 위해 Half-bridge 구성을 채용하고, 더블 펄스 시험을 비롯하여, buck 및 boost 토폴로지의 평가를 최소한의 외장 부품으로 실시할 수 있습니다. 또한, 스위칭 속도 조정 및 구동 전압 변경이 가능하며, 게이트 서지 보호회로 등도 구비하고 있습니다.

자세한 사항은 로옴 홈페이지 제 4 세대 SiC MOSFET 서포트 콘텐츠 (<https://www.rohm.co.kr/products/sic-power-devices/sic-mosfet#supportInfo>)를 참조하여 주십시오.

Table 5-1. SiC MOSFET (디스크리트)용 평가 기판 일람

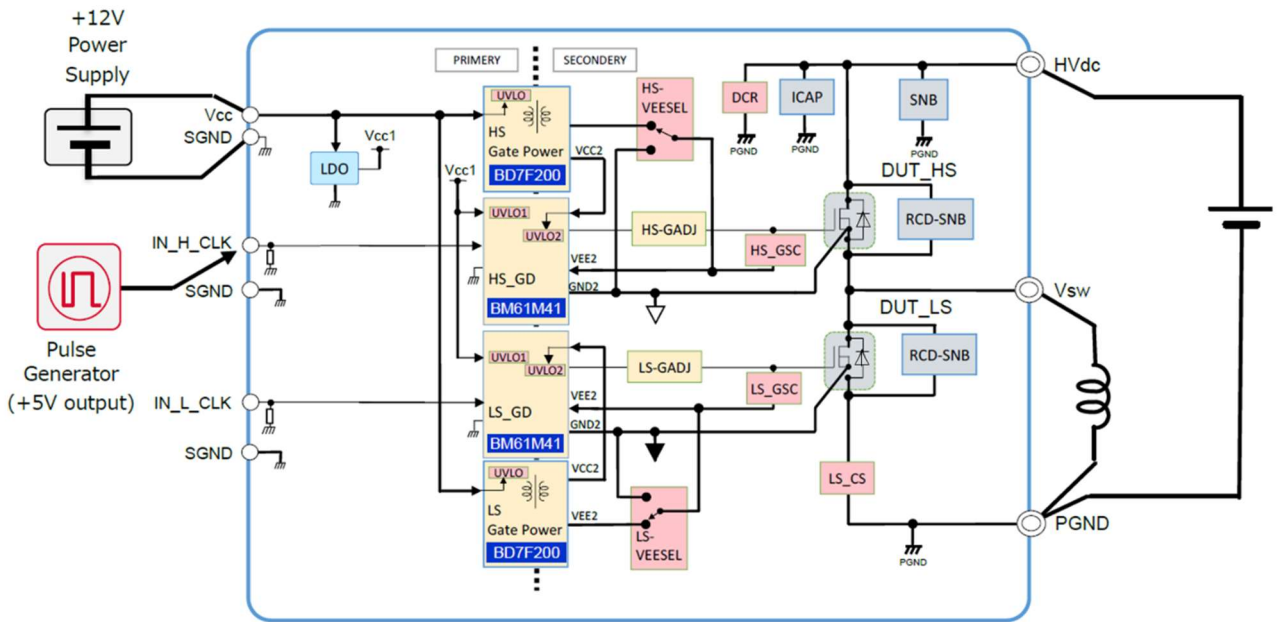
평가 대상 디바이스	외관	품명
TO-247N 제 4 세대 SCT4xxxxxxxE series 용		P04SCT4018KE-EVK-001
TO-247-4L 제 4 세대 SCT4xxxxxxxR series 용		P05SCT4018KR-EVK-001

평가 기판 P04SCT4018KE-EVK-001 과 P05SCT4018KR-EVK-001 을 사용한 더블 펄스 시험의 실시 예에 대해 설명하겠습니다. 탑재 제품은 각각 SCT4036KE, SCT4036KR (1200V, 36mΩ)입니다. Figure 5-1 (a)는 시험 회로, (b)는 측정 모습, (c)는 MOSFET 의 게이트 구동 회로를 나타낸 것입니다.

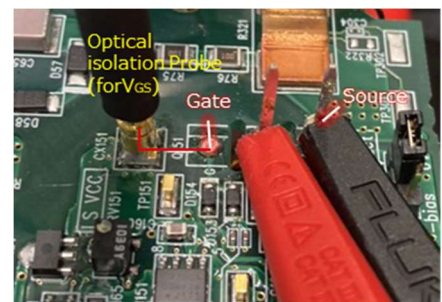
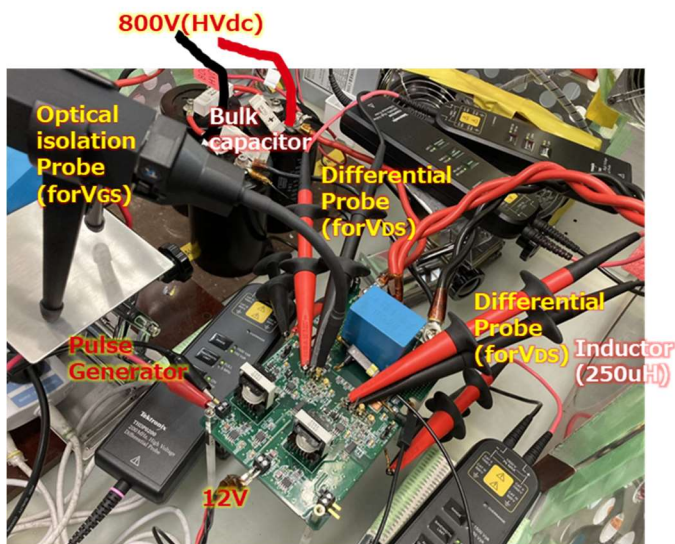
시험 회로 동작에 필요한 기기는 (a)와 같이 제어 전원 (12V), 펄스 제너레이터 (PG), 부하용 인덕터 (250μH), 부하용 고압 전원 (V<sub>HVdc</sub>)입니다. V<sub>HVdc</sub> 에서 평가 기판까지 거리가 떨어져 있으므로, 이번 시험에서는 벌크용 콘덴서 (Bulk capacitor)를 접속했습니다. 평가 기판 상에도 10μF 필름 콘덴서가 실장되어 있으므로, 벌크용 콘덴서는 기본적으로는 필요하지 않지만, 동작 조건에 따라 접속하는 것을 권장합니다.

(b)의 측정 시 V<sub>GS</sub> 의 센싱 방법에 대해 소개하겠습니다. 통상적으로 MOSFET 의 파형 관측은 절연 프로브 또는 차동 프로브를 사용하지만, SiC MOSFET 는, 스위칭 속도가 고속화되어 프로브가 노이즈의 영향을 받기 쉽습니다. 따라서, 디바이스에 가깝게 커넥터를 실장하여, 프로브에서 유입된 노이즈의 영향을 받지 않는 광 절연 프로브로 측정합니다. 또한, (c)의 적색 점선으로 표시한 부분은 MOSFET 의 게이트 - 소스 사이에 발생하는 서지를 제거하기 위한 보호회로이며, 그 효과도 함께 검증했습니다.

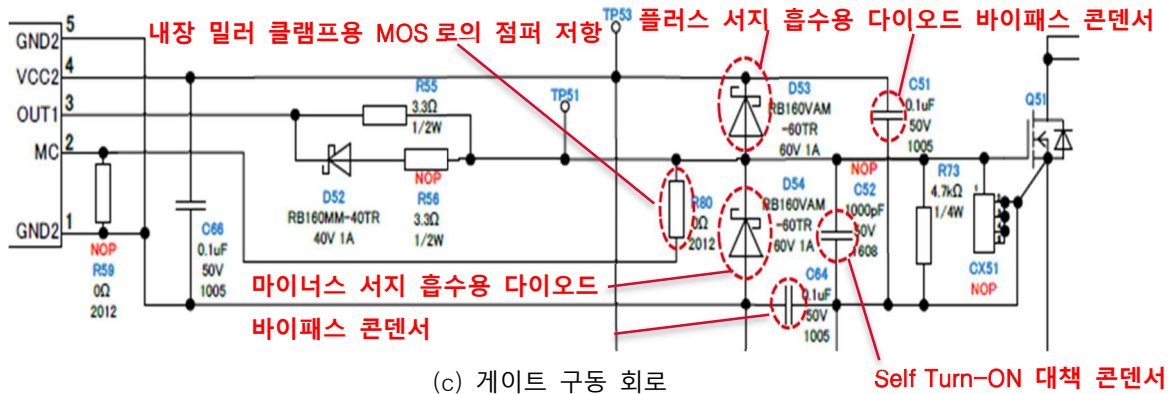
이번 시험에서는 High-side (HS) MOSFET 를 스위칭용 디바이스로 동작시키고, Low-side (LS)는 환류 (free wheel)용으로 바디 다이오드를 사용했습니다. V<sub>HVdc</sub> 는 800V, I<sub>b</sub> 가 55A~60A 정도가 되도록 펄스 폭을 조정하여, Turn-ON 및 Turn-OFF 시의 스위칭 동작을 관측하였습니다. Figure 5-2, 5-3 은 그 결과 파형입니다.



(a) 측정 회로 블록도 (P05SCT4018KR-EVK-001)



(b) 측정 모습 (P04SCT4018KE-EVK-001)

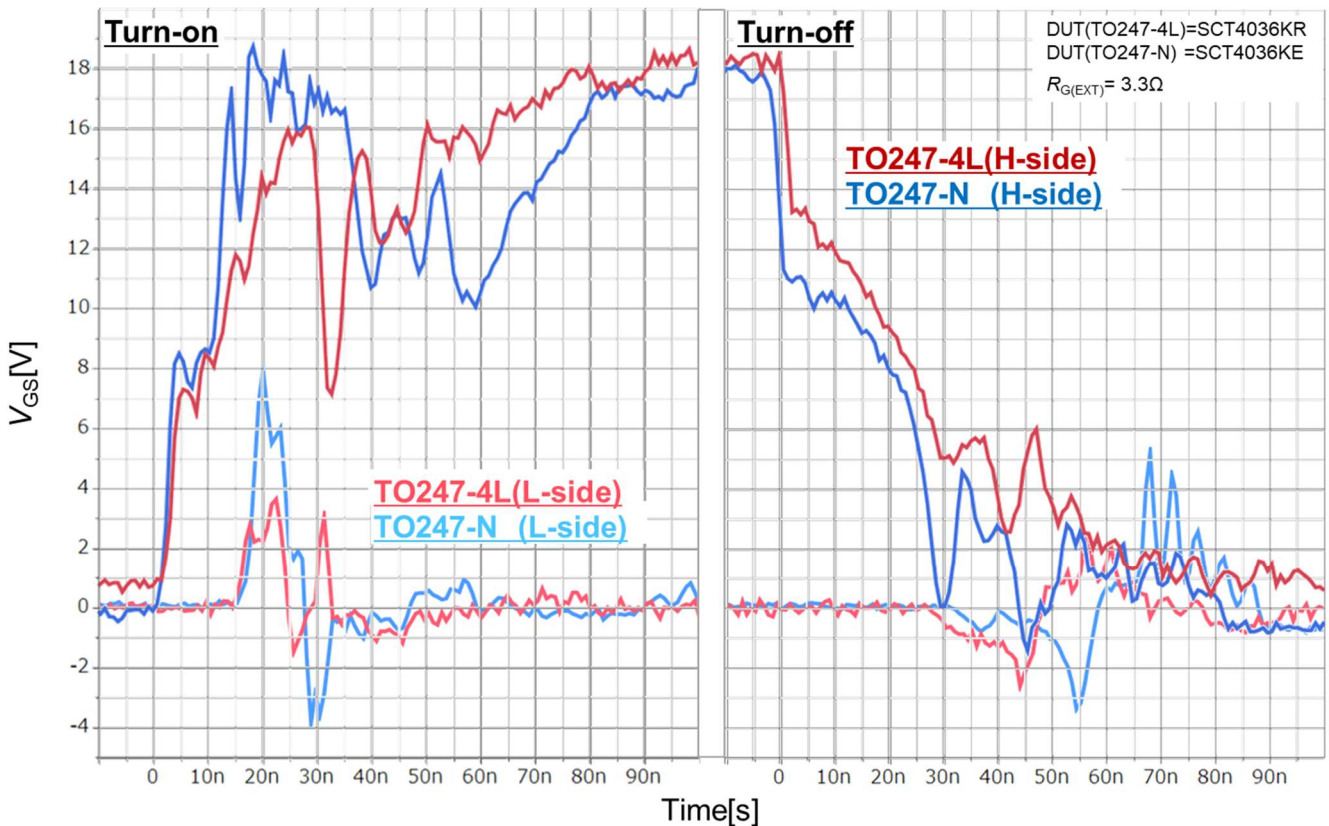


(c) 게이트 구동 회로

Figure 5-1. P04SCT4018KR-EVK-001 측정 회로

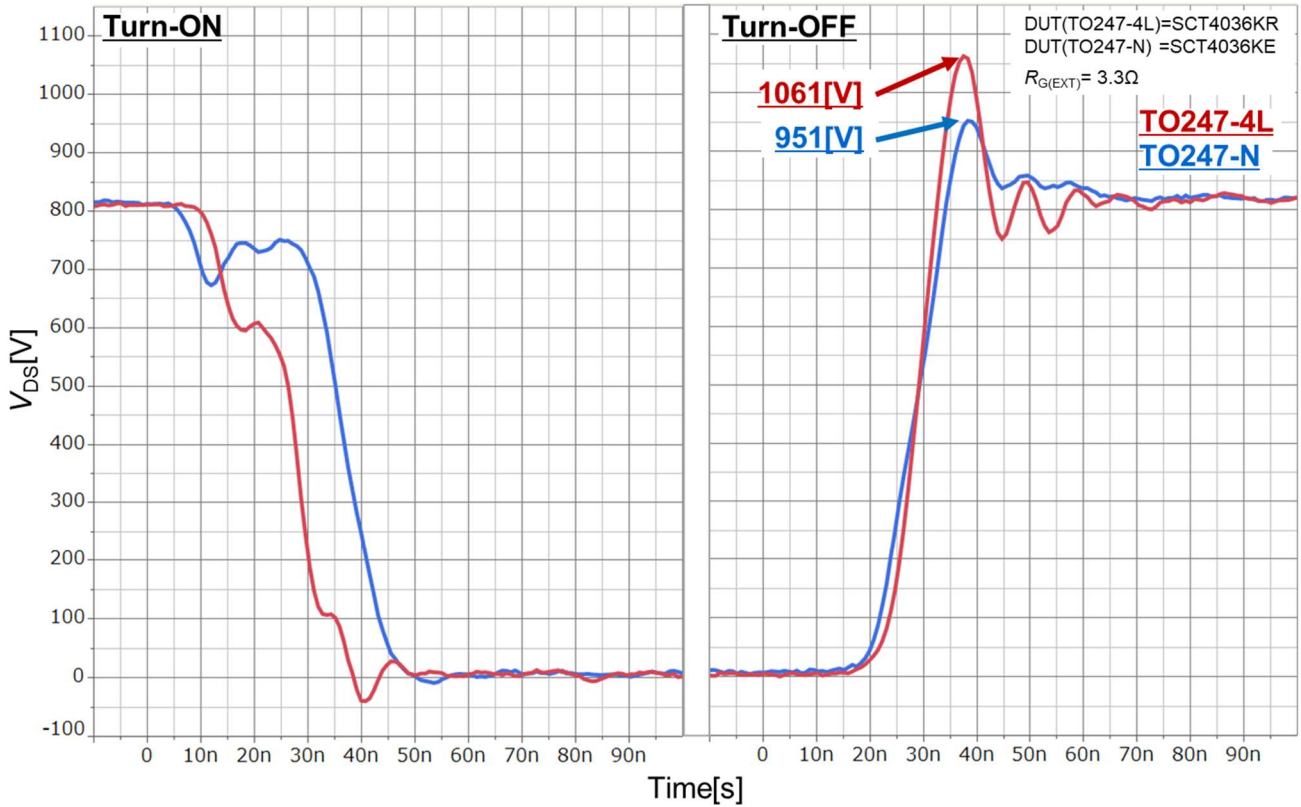
Figure 5-2 (a)는  $V_{GS}$  파형, (b)는  $V_{DS}$  파형, (c)는  $I_D$  파형이며, SCT4036KE (TO-247N)와 SCT4036KR (TO-247-4L)을 비교한 것입니다. (a)의 스위칭 측  $V_{GS\_HS}$  파형은 slew-rate 가 거의 동등하지만, (c)의  $I_D$  파형은 Turn-ON, Turn-OFF 시 모두 TO-247-4L 의 slew-rate 가 매우 빨라졌습니다. 이는 드라이버 소스 단자에 의한 효과입니다. 자세한 사항은 어플리케이션 노트 「[드라이버 소스 단자에 의한 스위칭 손실의 개선](#)」\*5 을 참조하여 주십시오.

비스위칭 (LS) 측 MOSFET 의 게이트 - 소스 전압  $V_{GS\_LS}$  는 「3.6 마이너스 서지 대책」의 게이트 - 소스에서 설명한 마이너스 서지를, Figure 4-1 (c)와 같은 보호회로에서 제거하여, SiC MOSFET 특유의 좁은 게이트 정격전압 사양을 만족할 수 있습니다.



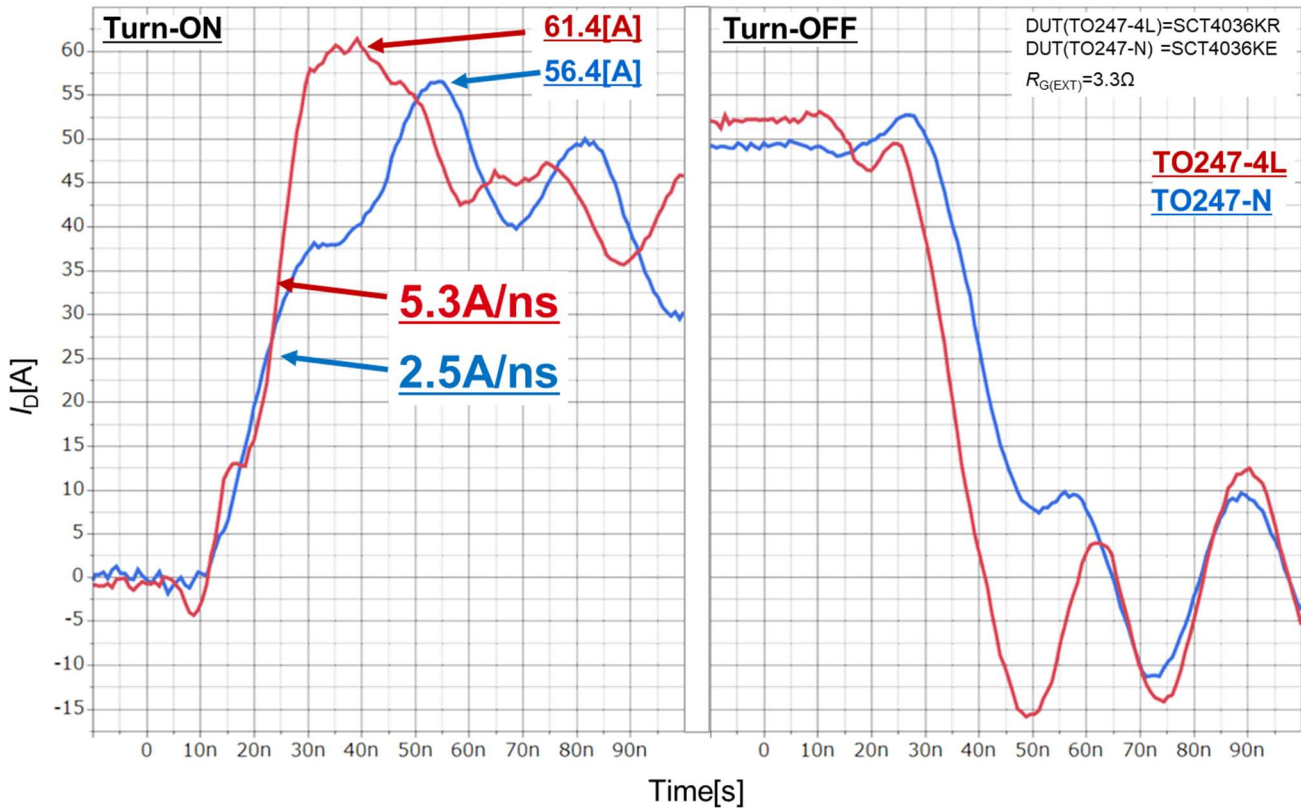
(a) Turn-ON / OFF 시 (H-side, L-side)  $V_{GS}$

Figure 5-2 (b)는  $V_{DS}$  파형입니다. Turn-OFF 시에 TO-247-4L의 slew-rate가 빨라지고, 서지의 수치가 상승했습니다.



(b) Turn-ON / OFF 시  $V_{DS}$

Figure 5-2 (c)는  $I_D$  파형입니다. 앞서 설명한 바와 같이, Turn-ON · Turn-OFF 시에 TO-247-4L의 slew-rate가 빨라지고,  $V_{DS}$ 와 마찬가지로 서지의 수치가 상승했으므로 주의해야 합니다.



(c) Turn-ON / OFF 시  $I_D$



Figure 5-2. TO-247-4L (SCT4036KR)과 TO-247N (SCT4036KE)의 스위칭 파형 비교

Figure 5-3 은 스위칭 손실  $E_{ON}$ ,  $E_{OFF}$  의 파형입니다.

TO-247-4L 은 소스 단자의 전압 발생으로 인한 스위칭 속도 지연의 문제를 해소하여, 토탈 스위칭 손실을 약 65% 저감했습니다.

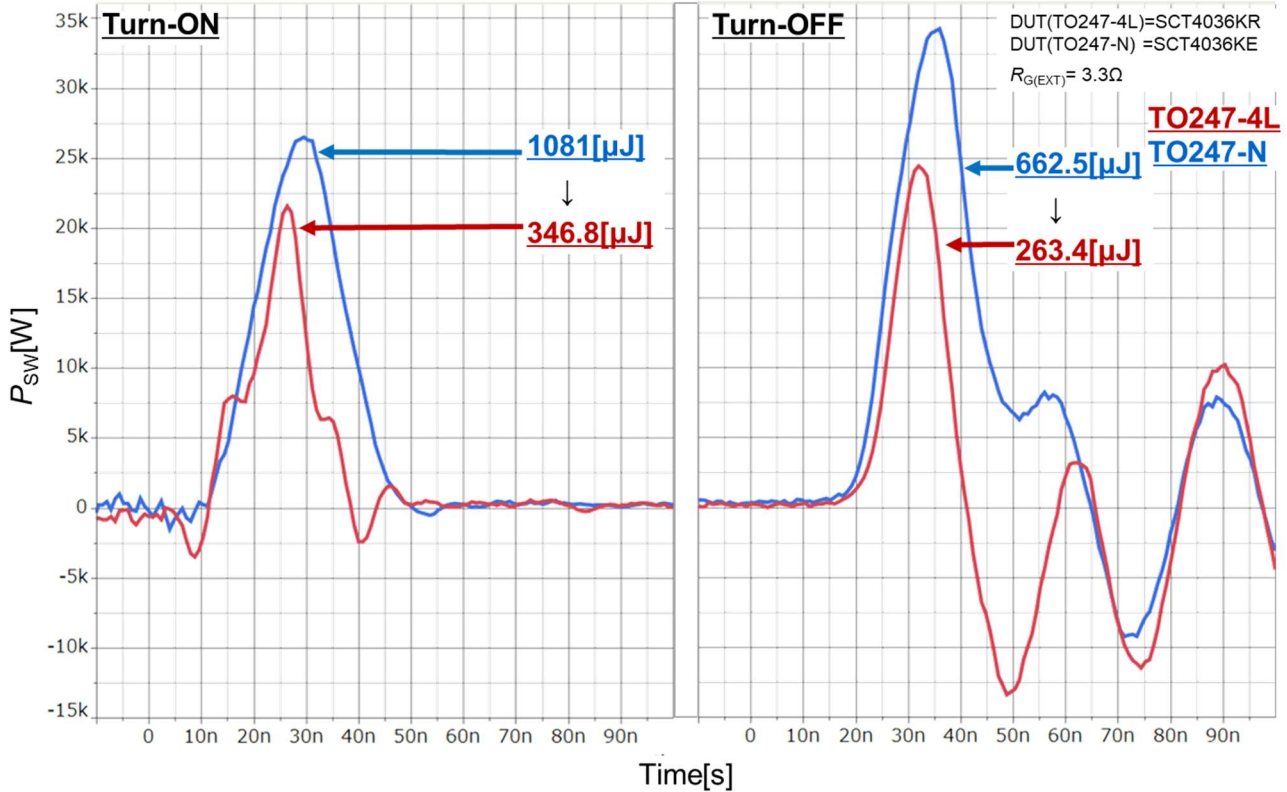


Figure 5-3. TO-247-4L (SCT4036KR)과 TO-247N (SCT4036KE)의 스위칭 손실 비교

이러한 결과로부터 드라이버 소스 단자를 구비한 TO-247-4L 패키지는 일반적인 TO-247N 에 비해 스위칭 손실을 억제할 수 있다는 것을 알 수 있습니다. 제 4 세대 SiC MOSFET 는 TO-247N 패키지로도 충분히 우수한 특성을 지니지만, TO-247-4L 패키지는 스위칭 서지 등에 주의하여 본 어플리케이션 노트를 참고로 적절한 회로 설계를 실시하면, 한층 더 저손실 디바이스로서 이용 가능합니다.

## 6. 제 4 세대 SiC MOSFET 라인업

제 4 세대 SiC MOSFET 디스크리트 패키지의 라인업에 대해서는 로옴 홈페이지 (하기 URL)를 참조하여 주십시오.

<https://www.rohm.co.kr/products/sic-power-devices/sic-mosfet#anc-02>

## 7. 정리

제 4 세대 SiC MOSFET는 기존품보다 저손실 · 사용 편리성 · 고신뢰성의 메리트가 있어, 시스템 효율 등 고객 측의 설계 과제를 해결할 수 있습니다. 반면에, 스위칭 속도가 극적으로 향상됨에 따라,  $V_{GS}$  서지 및  $V_{DS}$  Turn-OFF 링잉 억제, 배선 인덕턴스까지 배려한 회로 설계를 더 신중하게 검토해야 합니다. 본 어플리케이션 노트를 참조하여 제 4 세대 SiC MOSFET 를 올바르게 사용함으로써, 성능을 최대화시키는데 일조할 수 있으리라 생각합니다.

참고 자료 :

- \*1 「[SiC 파워 디바이스 · 모듈 어플리케이션 노트 Rev.003](#)」  
어플리케이션 노트 (No. 63AN111K Rev.003) 로옴 주식회사, 2020년 11월
- \*2 「[브릿지 구성의 게이트 - 소스 전압 동작](#)」  
어플리케이션 노트 (No. 60AN110K Rev.001) 로옴 주식회사, 2020년 9월
- \*3 「[게이트 - 소스 전압의 서지 제어 방법](#)」  
어플리케이션 노트 (No. 62AN049K Rev.001) 로옴 주식회사, 2020년 9월
- \*4 「[스너버 회로의 설계 방법](#)」  
어플리케이션 노트 (No. 62AN048K Rev.001) 로옴 주식회사, 2020년 9월
- \*5 「[드라이버 소스 단자에 의한 스위칭 손실 개선](#)」  
어플리케이션 노트 (No. 62AN047K Rev.001) 로옴 주식회사, 2020년 9월
- \*6 「[게이트 - 소스 전압 측정 시의 주의점](#)」  
어플리케이션 노트 (No. 62AN085E Rev.002) 로옴 주식회사, 2020년 4월
- \*7 「[측정 파형에서 전력 손실 계산 방법](#)」  
어플리케이션 노트 (No. 62AN127K Rev.002) 로옴 주식회사, 2022년 6월
- \*8 「[스위칭 회로의 전력 손실 계산](#)」  
어플리케이션 노트 (No. 62AN077K Rev.001) 로옴 주식회사, 2020년 11월
- \*9 「[스위칭 파형의 모니터링 방법](#)」  
어플리케이션 노트 (No. 62AN152E Rev.001) 로옴 주식회사, 2020년 4월
- \*10 「[파워 측정 시, 프로브 교정의 중요성 : Deskew 편](#)」  
어플리케이션 노트 (No. 63AN151K Rev.001) 로옴 주식회사, 2020년 12월
- \*11 「[바이패스 콘덴서의 임피던스 특성](#)」  
어플리케이션 노트 (No. 63AN126K Rev.001) 로옴 주식회사, 2020년 9월
- \*12 「[열 설계란](#)」  
어플리케이션 노트 (No. 64AN031E Rev.001) 로옴 주식회사, 2021년 6월
- \*13 「[열 저항과 방열의 기본](#)」  
어플리케이션 노트 (No. 64AN043E Rev.001) 로옴 주식회사, 2021년 8월
- \*14 「[과도 열 저항 데이터에서 Junction 온도를 구하는 방법](#)」  
어플리케이션 노트 (No. 64AN028E Rev.001) 로옴 주식회사, 2021년 6월
- \*15 「[열전대를 사용한 온도 측정 시의 주의점](#)」  
어플리케이션 노트 (No. 62AN154E Rev.001) 로옴 주식회사, 2020년 4월
- \*16 「[열 시뮬레이션용 2저항 모델](#)」  
어플리케이션 노트 (No. 62AN123E Rev.001) 로옴 주식회사, 2020년 3월
- \*17 「[pn 접합의 순방향 전압을 사용한 온도 측정 시의 주의점](#)」  
어플리케이션 노트 (No. 62AN136E Rev.001) 로옴 주식회사, 2020년 4월

\*18 「[열 모델이란](#)」

어플리케이션 노트 (No. 62AN099E Rev.001) 로움 주식회사, 2019년 12월

\*19 「[열 모델의 사용 방법](#)」

어플리케이션 노트 (No. 64AN006K Rev.001) 로움 주식회사, 2020년 2월

\*20 「[열전대를 통한 패키지 이면 온도 측정 시의 주의점](#)」

어플리케이션 노트 (No. 63AN132K Rev.001) 로움 주식회사, 2020년 10월

\*21 「[열 저항 RthJC의 측정 방법과 사용법](#)」

어플리케이션 노트 (No. 63AN130K Rev.002) 로움 주식회사, 2022년 9월

## Notes

- 1) The information contained herein is subject to change without notice.
- 2) Before you use our Products, please contact our sales representative and verify the latest specifications :
- 3) Although ROHM is continuously working to improve product reliability and quality, semiconductors can break down and malfunction due to various factors.  
Therefore, in order to prevent personal injury or fire arising from failure, please take safety measures such as complying with the derating characteristics, implementing redundant and fire prevention designs, and utilizing backups and fail-safe procedures. ROHM shall have no responsibility for any damages arising out of the use of our Products beyond the rating specified by ROHM.
- 4) Examples of application circuits, circuit constants and any other information contained herein are provided only to illustrate the standard usage and operations of the Products. The peripheral conditions must be taken into account when designing circuits for mass production.
- 5) The technical information specified herein is intended only to show the typical functions of and examples of application circuits for the Products. ROHM does not grant you, explicitly or implicitly, any license to use or exercise intellectual property or other rights held by ROHM or any other parties. ROHM shall have no responsibility whatsoever for any dispute arising out of the use of such technical information.
- 6) The Products specified in this document are not designed to be radiation tolerant.
- 7) For use of our Products in applications requiring a high degree of reliability (as exemplified below), please contact and consult with a ROHM representative : transportation equipment (i.e. cars, ships, trains), primary communication equipment, traffic lights, fire/crime prevention, safety equipment, medical systems, servers, solar cells, and power transmission systems.
- 8) Do not use our Products in applications requiring extremely high reliability, such as aerospace equipment, nuclear power control systems, and submarine repeaters.
- 9) ROHM shall have no responsibility for any damages or injury arising from non-compliance with the recommended usage conditions and specifications contained herein.
- 10) ROHM has used reasonable care to ensure the accuracy of the information contained in this document. However, ROHM does not warrants that such information is error-free, and ROHM shall have no responsibility for any damages arising from any inaccuracy or misprint of such information.
- 11) Please use the Products in accordance with any applicable environmental laws and regulations, such as the RoHS Directive. For more details, including RoHS compatibility, please contact a ROHM sales office. ROHM shall have no responsibility for any damages or losses resulting non-compliance with any applicable laws or regulations.
- 12) When providing our Products and technologies contained in this document to other countries, you must abide by the procedures and provisions stipulated in all applicable export laws and regulations, including without limitation the US Export Administration Regulations and the Foreign Exchange and Foreign Trade Act.
- 13) This document, in part or in whole, may not be reprinted or reproduced without prior consent of ROHM.



Thank you for your accessing to ROHM product informations.  
More detail product informations and catalogs are available, please contact us.

## ROHM Customer Support System

<https://www.rohm.co.kr/contactus/>