

SiC MOSFET

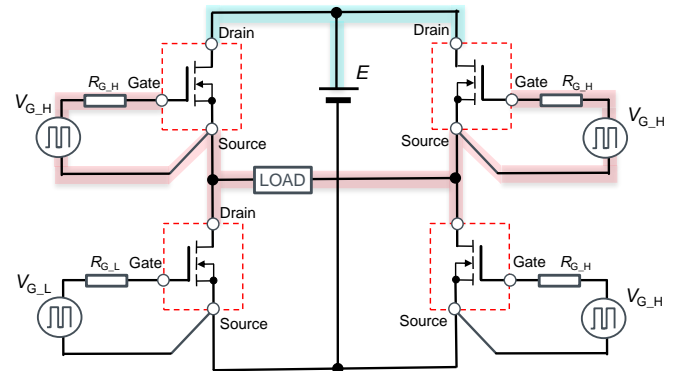
SiC MOSFET 기판 레이아웃 설계 시 주의점

SiC MOSFET는 다양한 전원 어플리케이션이나 전력 라인의 스위칭 소자로서 사용되고 있습니다. SiC MOSFET의 스위칭 특성을 최대화시키기 위해 매우 고속의 동작이 요구되지만, 게이트 - 소스 전압이나 드레인 - 소스 전압의 서지 및 브릿지 구성에서의 오동작 등에 대한 다양한 대책이 필요합니다. 본 어플리케이션 노트에서는 디스크리트 패키지의 SiC MOSFET를 사용하는 기판 레이아웃 설계 시의 주의점에 대해 설명하겠습니다.

고전압 회로와 구동 회로의 공존

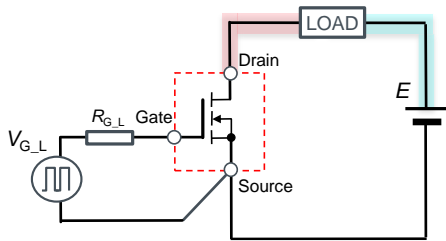
SiC MOSFET는 1000V를 넘는 전압을 제어하여 시스템에 필요한 전압으로 변환합니다. 일반적으로 전압 구동형이라고 불리는 구동 회로를 사용하여 SiC MOSFET의 게이트 단자를 수십 V의 전압으로 구동함으로써 고전압 회로를 ON / OFF 합니다. 따라서, SiC MOSFET를 실장하는 기판 상에는 일반적으로 1000V 이상의 고전압 회로와 수십 V의 구동 회로가 혼재되어 있습니다.

Figure 1은 SiC MOSFET를 사용한 일반적인 회로 구성으로, (a)는 싱글엔드 타입, (b)는 Half-bridge 타입, (c)는 Full-bridge 타입입니다. 그림에서 하늘색으로 표시한 부분이 그라운드를 기준으로 하는 고전압부이며, 핑크색으로 표시한 부분은 고전위와 그라운드 전위를 고속으로 스위칭 동작하는 부분입니다.

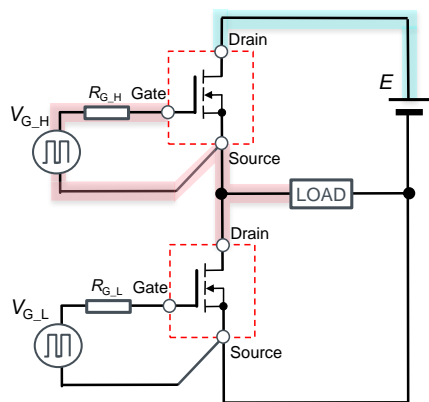


(c) Full-bridge 타입

Figure 1. SiC MOSFET 사용 회로 예



(a) 싱글엔드 타입



(b) Half-bridge 타입

(a)는 한개의 SiC MOSFET를 사용하여 고압전원 E에 접속된 부하 LOAD를 ON / OFF 합니다. (b)는 두개의 SiC MOSFET를 직렬 접속하고 교대로 ON 하여 부하를 고압전원에 접속하거나 GND에 접속합니다. (c)는 두개의 Half-bridge 타입을, 부하를 중심으로 하여 대칭 접속하고, 각각의 브릿지에서 상하의 SiC MOSFET를 교대로 ON / OFF 함으로써 부하에 정전압 / 부전압을 인가합니다.

모든 회로 구성에서 고압전원 E를 포함하는 회로의 경우, 부하 전류가 고속으로 ON / OFF 되는 경로가 존재합니다. 전류 변화로 인한 방사 노이즈의 영향을 가능한 작게 억제하기 위해서는 고전압 회로와 구동 회로를 최대한 분리해야 합니다. 또한, 스위칭 속도가 수십 ns로 고속이기 때문에 공통 모드 전류도 흐르기 쉬워지므로 모든 부분에서 생성되는 기생 용량이나 기생 인덕턴스에도 주의해야 합니다.

또한, SiC MOSFET의 방열도 중요한 설계 요소이므로, 냉각 기구를 고려하여 기판 레이아웃 설계를 실시해야 합니다. 특히 SiC MOSFET를 히트싱크 등으로 냉각시키는 경우에는 효과적인 방열이나 조립 편의성 등도 고려해야 합니다.

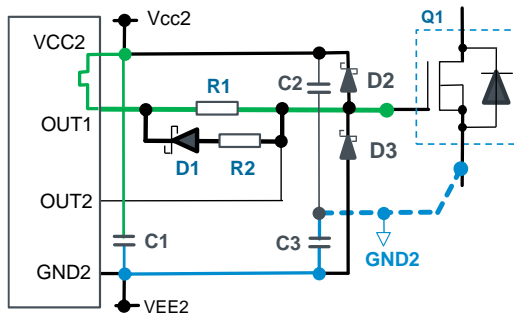
이와 같이 고속 스위칭 동작이 가능한 SiC MOSFET의 성능을 최대화시키기 위한 기판 레이아웃 설계 시의 주의점에 대해

조금 더 자세하게 설명하겠습니다.

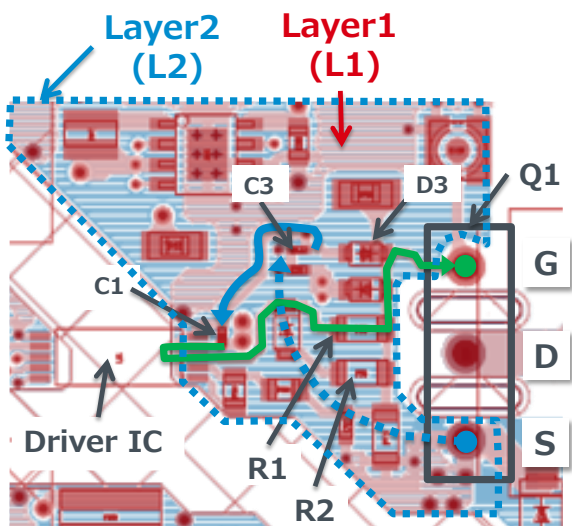
구동 회로 배선 길이의 최단화

구동 회로는 게이트 드라이브 IC 와 SiC MOSFET 사이의 회로 전반을 가리키며, 그 배선 인덕턴스는 스위칭 동작 시에 발생하는 게이트 전류에 의해 플러스 서지나 마이너스 서지를 발생시킵니다^(*). 따라서 기생 인덕턴스를 최대한 작게 억제해야 하는데, 이를 위해서는 배선 길이를 짧게 하는 방법밖에 없습니다. 또한, SiC MOSFET 에서 게이트 드라이브 IC 로의 귀로 (復路 / GND 배선)는 게이트 드라이브 IC 에서 SiC MOSFET 로 향하는 신호선과는 레이어를 변경하여 바로 아래에 전면 GND PLANE 층으로서 배선합니다. 전류 경로의 루프를 작게 하여 기생 용량이나 기생 인덕턴스를 최소화하면, 노이즈 경감이나 오동작 리스크의 회피로 이어져 파워 라인에서의 전류 변화로 인한 노이즈가 최소한으로 억제됩니다.

Figure 2 는 로옴의 제 4 세대 SiC MOSFET 용 평가 기판 (P04SCT4018KE-EVK-001)^(*)의 구동 회로와 레이아웃을 나타낸 것입니다.



(a) 구동 회로



(b) 레이아웃

Figure 2. TO-247N 구동 회로와 레이아웃 예

SiC MOSFET 의 구동 전력은 게이트 드라이브 IC (BM61S41RFV-C)로부터의 왕로 (往路 / 녹색 경로)와 SiC MOSFET 로부터의 귀로 (復路 / 청색 경로)로 형성되는 공간에서

전파됩니다. 왕로가 되는 구동 신호는 통상적으로 스위칭 속도를 조정하는 게이트 저항 (R1, R2)이 삽입되므로 게이트 드라이브 IC 의 OUT 단자에서 SiC MOSFET 의 게이트 단자 (G)까지를 L1 층에 배치하고, SiC MOSFET 의 Source 단자 (S)에서 게이트 드라이브 IC 의 GND2 단자까지의 배선은 L1 층의 바로 아래인 L2 층에 L1 층의 배선을 모두 덮는 형태로 레이아웃합니다. 본 예에서의 구동 회로는 마이너스 바이어스 전원 VEE2 를 사용하고 있지만 VEE2 를 서포트하지 않는 게이트 드라이브 IC 를 사용하고 있으므로 귀로는 바이패스 콘덴서 C3 까지 L2 층을 통과, L1 층에 실장되어 있는 C3 을 경유하여 L1 층에서 게이트 드라이버 IC 의 GND2 단자에 접속되어 있습니다.

일반적으로 사용되는 3 핀 TO-247N 의 경우, G 단자와 S 단자는 패키지의 반대편에 있어, 구동 신호의 경로 (왕로 / 귀로)에는 반드시 일정 공간이 형성됩니다. 따라서, SiC MOSFET 의 D-S 사이에 흐르는 큰 전류 변화로 인한 방사 노이즈가 크기 때문에 게이트 구동 회로에 불필요한 전압을 발생시키기 쉬워 S 단자에서 게이트 드라이브 IC 까지의 귀로는 L2 층에서 GND PLANE 층에 의한 귀로로 설정함으로써 노이즈의 영향을 최소한으로 억제할 수 있습니다.

지금까지의 게이트 드라이브 IC 는 Figure 3 의 (a)와 같이 TO-247N 을 단일 면에서 구동 회로를 레이아웃할 수 있는 핀 배열인 경우가 많은 반면, 스위칭 손실을 크게 개선할 수 있는 4 핀 패키지 TO-247-4L 은 (b)의 핀 배치와 같이 신호선인 Gate 단자와 귀로인 Driver Source 단자의 배치가 드라이버 IC 의 핀 배치와 반대이므로, 반드시 배선이 교차하여 동일 면에서 패턴 레이아웃을 할 수 없습니다. 따라서, (b)의 OUT 신호와 GND2 신호로 형성되는 루프 면적 (1) 및 (2)에 의한 유기 전압은 역극성이 되므로 그 면적비를 동등하게 조절하지 않으면 오동작의 원인이 됩니다. TO-247-4L 의 전류 변화 di/dt 가 매우 크기 때문에 di/dt 에 의한 자속의 변화 ($d\Phi/dt$)가 이 루프 면적을 횡단할 때 유기 전압이 발생합니다. 그리고, SiC MOSFET 의 G-S 사이에 이 루프 면적에 비례하는 플러스 서지나 마이너스 서지 등의 전압이 발생함에 따라 발진 등의 원인이 되어 파기에 이르는 경우가 있습니다. 따라서, OUT 신호와 GND2 신호로 형성되는 루프 면적을 최대한 작게 억제하기 위해 SiC MOSFET 에서 게이트 드라이브 IC 로의 귀로는 L2 층에 PLANE 배선으로 설정합니다.

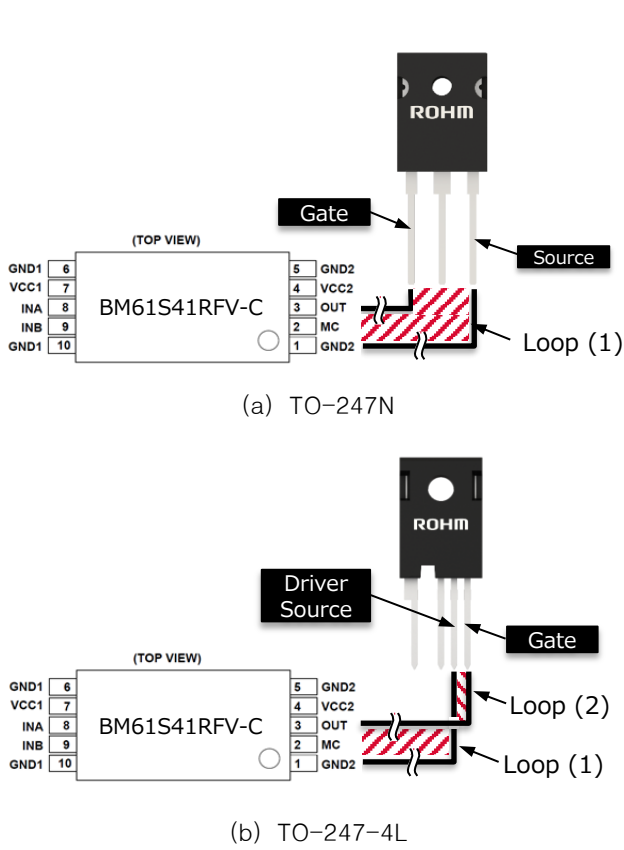


Figure 3. 구동 회로 배선 레이아웃 예

Figure 4 (a)~(d)는 귀로가 PLANE 배선이 아닌 브릿지 구성 (Figure 1 (b))에서의 스위칭 파형을 나타낸 것입니다. Figure 4의 오른쪽 그래프는 PLANE 배선에서 정상 동작 시 파형입니다. Low-side SiC MOSFET 스위칭 시 (a)는 게이트 전압 파형, (b)는 드레인 - 소스 전압 파형, (c)는 드레인 전류 파형입니다. 게이트 전압 파형은 Low-side (핑크색)와 High-side (녹색)의 파형을 나타내며, Turn-on 시 Low-side의 상승에 동기하여 High-side의 게이트 전압도 상승하고 (적색 점선), OFF 되어야 하는 High-side MOSFET가 ON 되어 관통 전류가 흐르게 됩니다. 이로 인해 증가한 플래토 전압에 의해 일단 OFF 동작한 후, 급격한 전압 진동이 게이트 전압에 나타나게 됩니다.

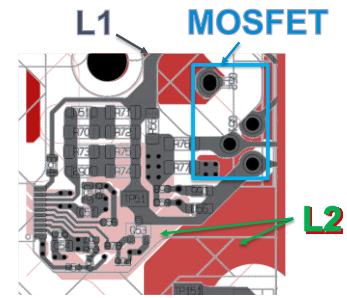
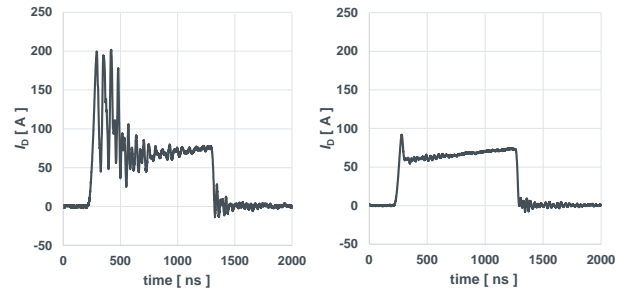
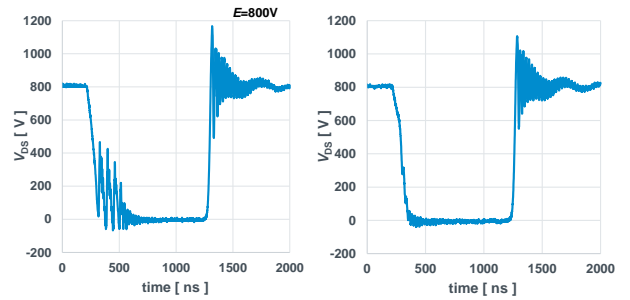
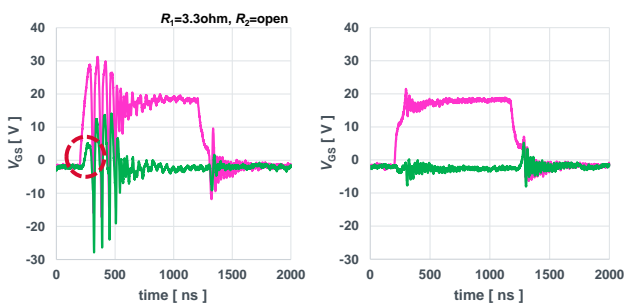


Figure 4. 레이아웃이 부적절한 경우 스위칭 파형

게이트 서지 보호회로의 레이아웃 우선 순위

SiC MOSFET는 Si MOSFET에 비해 게이트 단자의 정격전압 범위 마진이 좁은 상태에서 사용되는 경우가 많아 주의가 필요합니다. 특히 브릿지 구성에서 사용하는 경우, 게이트 서지 대책을 실시하지 않으면, 게이트 정격을 초과하는 전압 서지가 종종 발생하므로 주의해야 합니다. 따라서 미리 게이트 서지 대책 회로를 구비하는 것이 매우 중요합니다. 게이트 서지 보호회로는 하기와 같습니다 (*2).

- 액티브 밀러 클램프 회로
- 다이오드 클램프 회로 (플러스 서지 / 마이너스 서지)
- G-S 간 캐패시터

액티브 밀러 클램프 회로는 게이트 드라이브 IC에 내장된 빌트인 타입과 액티브 밀러 클램프용 MOSFET를 외장하는 타입이 있지만, 두가지 타입 모두 SiC MOSFET로부터의 배선 길이를 대략 20mm 이하로 하지 않으면 수십 ns 정도의 짧은 게이트 서지를 제거할 수 없습니다.

또한, 다이오드 클램프 회로에서의 다이오드 선정도 중요합니다. 패키지 인덕턴스가 작은 다이오드를 선정해야 하므로, 걸림

타입보다 하면 전극 타입이 적합합니다. SiC MOSFET 의 근접부에 레이아웃하는 우선 순위는 액티브 밀러 클램프 회로 → 마이너스 서지용 클램프 다이오드 → 플러스 서지용 클램프 다이오드 → G-S 간 캐패시터의 순서입니다.

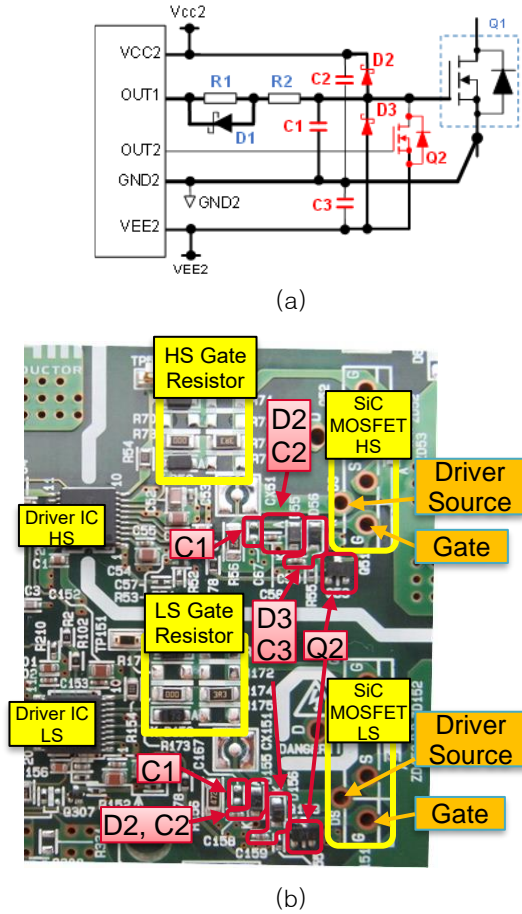
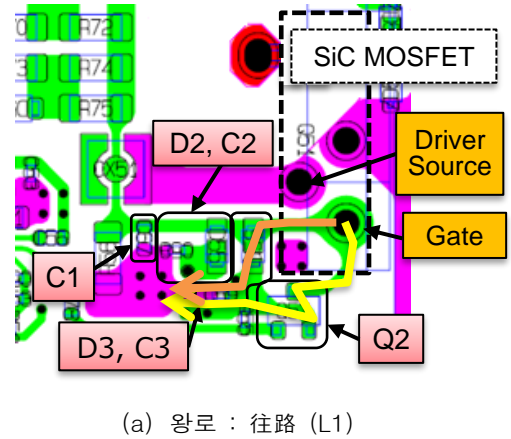


Figure 5. 게이트 서지 보호회로와 레이아웃 예

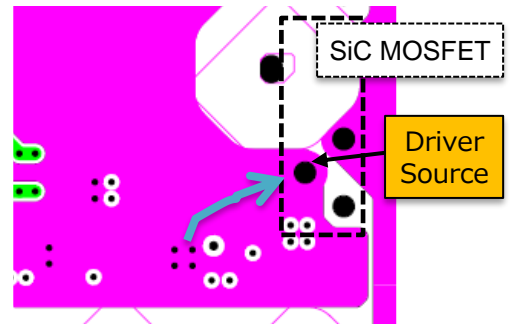
Figure 5 (a)는 TO-247-4L 패키지용 평가 기판에서의 게이트 서지 회로 예, (b)는 기판 사진입니다. 이 회로에서는 브릿지 구성의 SiC MOSFET가 상하에 배치되고, 각각의 SiC MOSFET에 게이트 드라이버 IC가 배치되어 있습니다. 그리고, 밀러 클램프용 MOSFET (Q2), 마이너스 서지용 클램프 다이오드 (D3)와 그 바이패스 콘덴서 (C3), 플러스 서지용 클램프 다이오드 (D2)와 그 바이패스 콘덴서 (C2), G-S 간 캐패시터 (C1)가 우선 순위에 따라 배치되어 있습니다.^{(*)6}

Figure 6 (a)는 L1 층 레이아웃, (b)는 L2 층 레이아웃입니다. Q2 를 경유하여 VEE2 까지의 액티브 밀러 클램프 회로의 경로 (황색)와 D3, C3 를 경유하여 VEE2 까지의 마이너스 서지 클램프 다이오드의 경로 (주황색)를 나타내며, 모두 SiC MOSFET 의 G-DS 단자간 최단 경로로 접속되어 있습니다.

→ 마이너스 바이어스 클램프 다이오드 회로의 경로
→ 액티브 밀러 클램프 회로의 경로



(a) 왕로 : 往路 (L1)



(b) 귀로 : 復路 (L2)

Figure 6. 게이트 서지 보호회로의 경로 (왕로 / 귀로)

구동 회로와 고전압 회로의 분리

SiC MOSFET 는 Figure 1 과 같이 고압전원 E 와 GND 사이를 고속으로 스위칭하는 영역이 존재합니다. 따라서 높은 임피던스 회로 및 5V 나 3.3V 에서 동작하는 일반적인 로직 회로는 큰 전류가 ON / OFF 를 반복하는 스위칭 영역에서 발생하는 방사 노이즈나 고속 동작으로 인한 공통 모드 노이즈의 영향을 받기 쉽기 때문에, 게이트 구동 회로와 고전압 영역은 최대한 간격을 확보해야 합니다.

Figure 7 은 TO-247-4L 패키지의 SiC MOSFET 를 브릿지 구성 및 병렬로 사용한 경우의 레이아웃 예를 나타낸 것입니다. 오른쪽이 고전압 회로 측, 왼쪽이 게이트 구동 회로 측입니다. 완전히 분리되어 게이트 구동 회로의 귀로는 L2 층에 형성되고, 드라이버 소스 (DS) 단자에서 원포인트 접지되어 SiC MOSFET 패키지 내에서 고전압 회로 측의 GND 와 접속되어 있습니다.

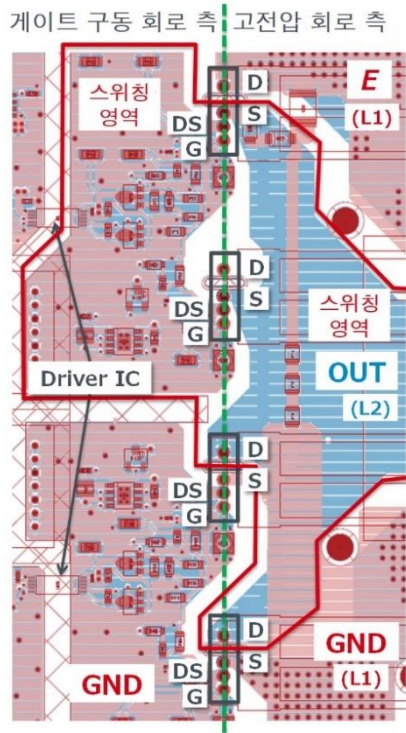


Figure 7. TO-247-4L 병렬 접속 시의 레이아웃 예

단, 적색 선으로 표시한 영역은 스위칭 영역으로, E 와 GND 사이가 고속 스위칭 동작으로 인해 변화하므로 OUT 부의 패턴 레이아웃은 E 및 GND 부의 패턴 레이아웃과 중첩되는 영역을 최대한 작게 해야 합니다. 이는 PCB 층간 중첩되는 면적에 비례하여 형성되는 기생 용량이 SiC MOSFET의 출력 용량 C_{oss} 에 병렬로 접속되어 스위칭 손실의 증가를 초래하기 때문입니다.

High-side 구동용 절연 전원에 관한 주의점

브릿지 구성에서의 High-side SiC MOSFET 를 구동하기 위해서는 부트 스트랩 방식과 같은 비절연 방식을 사용하지 않는 이상, 절연형 전원이 필요합니다. 일반적으로 절연형 전원에는 절연 트랜스를 사용하며, 이때 1 차측과 2 차측간에 형성되는 커플링 용량의 충전 전류에 주의해야 합니다.

Figure 8 은 High-side 구동 전원을 경유한 공통 모드 전류 경로입니다. 일반적으로 제어 신호 측인 1 차측 (▽)과 고압전원 측인 2 차측 (▼)의 GND 는 분리되어 있습니다. 따라서, High-side 구동용 절연 전원의 절연 트랜스 커플링 용량으로 충전되는 전류의 경우, 적색 점선과 같은 경로로 공통 모드 전류가 흐릅니다. 브릿지 구성에서 SiC MOSFET의 스위칭 속도는 Si-MOSFET에 비해 매우 빠르게 설정할 수 있기 때문에 dV_{ds}/dt 가 커지게 되어 공통 모드 전류의 피크치가 dV_{ds}/dt 에 비례하여 수 A 에 도달하는 경우가 있습니다. 이로 인해, 1 차측 회로 및 1 차측 전원 V_{cc1} 의 오동작을 유발할 뿐만 아니라, 예기치 못한 시스템의 문제를 일으킬 위험성이 있습니다.

이러한 경우, 1 차측 (▽)과 2 차측 (▼)의 GND 를 그림의

적색 점선과 같이 접속함으로써, GND 에 흐르는 공통 모드 전류를 억제하여 문제를 해소할 수도 있습니다.

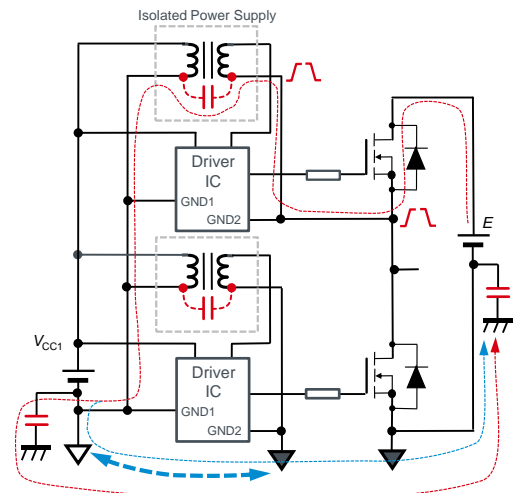


Figure 8. High-side 구동 전원 경유 공통 모드 전류 경로

참고로 절연형 전원에 사용되는 절연 트랜스의 1 차측과 2 차측간 커플링 용량의 기준은 10pF 이하이지만, 가능하다면 5pF 이하가 바람직합니다.

또한, 부트 스트랩 방식의 부트 캐패시터로의 충전 경로에도 주의가 필요합니다. Figure 9 는 해당 충전 경로를 나타낸 것입니다. 부트 캐패시터로의 충전을 실행하기 위해서는 충전 전류를 공급하는 전원 V_{cc1} 의 GND 를 고전압 회로의 GND 와 접속해야 하므로, 고전압 회로 측 노이즈의 영향을 최소화하기 위해 Low-side MOSFET 의 소스 단자 부근에서 원포인트 접지합니다.

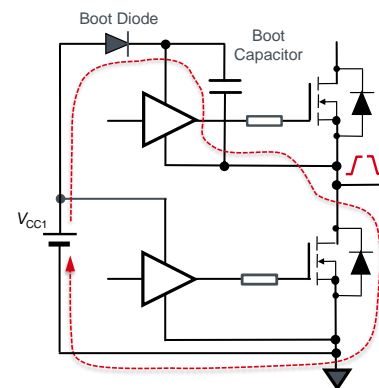


Figure 9. 부트 캐패시터로의 충전 경로

고압전원과의 배선에 관한 주의점

SiC MOSFET 는 고속 스위칭 동작을 하기 때문에, 스위칭 시의 전류 변화 di/dt 도 매우 커지게 됩니다. 이에 따라, 기판 상의 패턴이나 고압전원 E 로부터의 배선 케이블 등에 존재하는 기생 인덕턴스가 커지면 di/dt 로 인한 유기 전압도 커지게 되어, 스위칭 동작 후에 큰 서지가 D-S 사이에서 발생하게 됩니다. 따라서, 바이패스 콘덴서로서

DC Link 캐패시터 (필름 캐패시터, MLCC 등)를 접속하여 최대한 배선 인덕턴스를 작게 억제함으로써 SiC MOSFET 에 인가되는 서지를 작게 할 수 있습니다.

Figure 10 은 브릿지 구성의 DC Link 캐패시터 유무에 따른 스위칭 전류 경로 전환의 차이점을 나타낸 것입니다. (a)는 DC Link 캐패시터가 접속되어 있지 않은 경우, (b)는 접속되어 있는 경우입니다. 양방향 화살표의 적색 선이 ON 시와 OFF 시의 전류 경로 전환입니다. 부하 LOAD 를 포함하는 배선은 SiC MOSFET 의 스위칭 동작에 의한 전류의 전환이 발생하지 않으므로, 실질적으로 LOAD 의 일부로 간주되어 영향을 미치지 않습니다.

Figure 10 과 같이 DC Link 캐패시터를 브릿지 구성의 SiC MOSFET 에 최대한 가깝게 배치함으로써, 배선 인덕턴스의 영향을 최소한으로 억제할 수 있습니다. 따라서, SiC MOSFET 와 동일 PCB 상에 조금이라도 등가 직렬 인덕턴스 (ESL)가 작은 DC Link 캐패시터 (필름 캐패시터, MLCC 등)를 배치하는 것이 바람직합니다. 단, 정전 용량 C_{DCLink} 는 식 (1), 리플 전류 I_{DCLink} 는 식 (2)가 나타내는 값을 기준으로 합니다.

$$C_{DCLink} > \frac{I_{D_MAX}}{\Delta V_E} * t_r \quad (1)$$

$$I_{DCLink} > I_{D_MAX} * \sqrt{\frac{t_r}{t_s}} \quad (2)$$

I_{D_MAX} : 최대 부하 전류

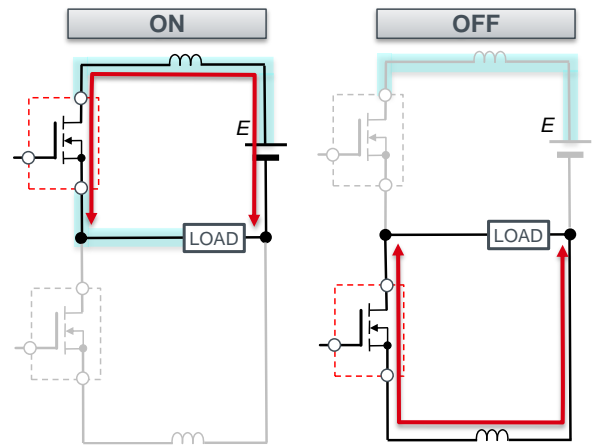
ΔV_E : 허용 전압 강하

t_r : rise time

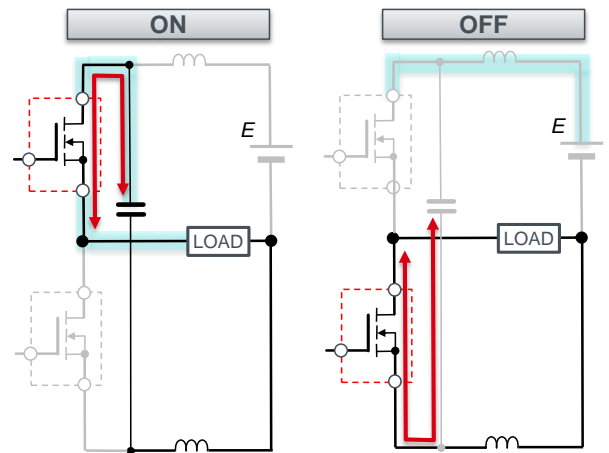
t_s : 스위칭 주파수의 역수 (1 주기)

I_{D_MAX} 는 SiC MOSFET 에 흐르는 Turn-on 시 드레인 전류의 피크치, ΔV_E 는 고압전원 E 를 기준으로 하여 1~2% 정도의 값으로 설정합니다. t_r 은 데이터시트 등을 참조하여 실제 사용 조건에서의 값으로 설정합니다.

단, 식 (1)은 Turn-on 시의 기준이므로, Turn-off 시에는 서지 억제를 위해 별도 검토가 필요합니다. 자세한 내용에 대해서는 어플리케이션 노트 「스너버 회로의 설계 방법」을 참조하여 주십시오^{(*)3}.



(a) DC Link 캐패시터 無



(b) DC Link 캐패시터 有

Figure 10. 스위칭 전류 경로의 전환

정리

SiC MOSFET 는 고전압 회로에서도 고속 스위칭 특성을 충분히 발휘할 수 있는 우수한 디바이스로, 다양한 회로에서 사용이 확대되고 있습니다. 고속 스위칭 동작 시에는 노이즈 등의 문제가 발생하기 쉽기 때문에 이러한 과제를 설계 단계부터 억제하기 위해서는 SiC MOSFET 의 구동 회로 및 고전압 회로의 기판 레이아웃이 매우 중요합니다. 본 어플리케이션에서는 이러한 주의점에 대해 설명했습니다. 기판 상의 패턴이나 케이블, PCB 층간을 접속하는 VIA 등의 설계 기준에 대해서는 어플리케이션 노트 「강압 컨버터의 PCB 레이아웃 방법」을 참조하여 주십시오^{(*)4}.

참고 자료 :

- *1 「Bridge 구성에서의 Gate-source 전압 작용」
어플리케이션 노트 (No. 63AN110K Rev.001)
로옴 주식회사, 2020 년 9 월

[Bridge 구성에서의 Gate-source 전압 작용 \(rohm.com\)](#)

- *2 「Gate-Source 전압의 Surge 억제 방법」
어플리케이션 노트 (No. 63AN049K Rev.001)
로옴 주식회사, 2020 년 9 월

[Gate-Source 전압의 Surge 억제 방법 \(rohm.com\)](#)

- *3 「Snubber Circuit Design Methods」
어플리케이션 노트 (No. 63AN048K Rev.001)
로옴 주식회사, 2020 년 9 월

[Snubber Circuit Design Methods \(rohm.com\)](#)

- *4 「Buck Converter PCB Layout 기법」
어플리케이션 노트 (No. 12027KBY05 Rev. B)
로옴 주식회사, 2012 년 12 월

[Buck Converter PCB Layout 기법 : Power Management \(rohm.com\)](#)

- *5 「제 4 세대 SiC MOSFET Half-bridge 평가 보드 제품 사양서」
유저 가이드 (No. 63UG057E Rev.001)
로옴 주식회사, 2022 년 2 월

[4th Generation SiC MOSFET Evaluation Board Product Specifications \(rohm.com\)](#)

- *6 「TO-247-4L Half-bridge 평가 보드 제품 사양서」
유저 가이드 (No. 62UG018E Rev.001)
로옴 주식회사, 2019 년 12 월

[TO-247-4L Half-Bridge Evaluation Board Product Specification \(rohm.com\)](#)

노 트

- 1) 본 자료의 기재 내용은 로옴 그룹 (이하, 「로옴」) 제품 소개를 목적으로 합니다. 로옴 제품 사용 시에는, 별도로 최신 데이터시트 또는 사양서를 반드시 확인하여 주십시오.
- 2) 로옴 제품은 일반적인 전자기기 (AV 기기, OA 기기, 통신기기, 가전제품, 오락기기 등) 또는 데이터시트에 명시되어 있는 용도로 사용하는 것을 의도하여 설계 · 제조되어 있습니다. 따라서, 매우 고도의 신뢰성이 요구되고, 고장 및 오동작이 인명, 신체에 대한 위험 또는 손해, 또는 기타 중대한 손해의 발생으로 이어지는 기기 또는 장치 (의료기기, 수송기기, 교통기기, 항공우주기기, 원자력 제어 장치, 연료 제어, 자동차 액세서리를 포함한 자동차기기, 각종 안전 장치 등) (이하, 「특정 용도」)에 로옴 제품의 사용을 검토하는 경우, 사전에 로옴 영업으로 상담하여 주십시오. 로옴의 문서에 의한 사전 승낙 없이 특정 용도에 로옴 제품을 사용함에 따라 고객 또는 제3자에게 발생한 손해 등에 대해 로옴은 일절 책임을 지지 않습니다.
- 3) 반도체를 포함하는 전자부품은 일정한 확률로 오동작이나 고장이 발생하는 경우가 있습니다. 만일의 경우 오동작이나 고장이 발생하더라도, 인명, 신체, 재산에 대한 위험 또는 손해가 발생하지 않도록 고객의 책임 하에 Fail-safe 설계 등 안전 대책을 실시하여 주십시오.
- 4) 본 자료에 기재된 응용 회로 예나 정수 등의 정보는, 로옴 제품의 표준적인 동작이나 사용 방법을 설명하기 위한 것으로, 실제로 사용하는 기기에서의 동작을 명시적으로나 묵시적으로 보증하는 것은 아닙니다. 따라서, 고객의 기기 설계에 있어서, 회로나 정수 및 관련 정보를 사용하는 경우에는 외부 제반 조건을 고려하여 고객의 판단과 책임하에 실시하여 주십시오. 이러한 정보의 사용으로 기인하여 고객 또는 제3자에게 발생한 손해에 대해 로옴은 일절 책임을 지지 않습니다.
- 5) 로옴 제품 및 본 자료에 기재된 기술을 수출 또는 국외에 제공하는 경우에는, 「외국 외환 및 외국 무역법」, 「미국 수출 관리 규정」 등 적용되는 수출 관련 법령을 준수하여 필요한 절차에 따라 실시하여 주십시오.
- 6) 본 자료에 기재된 응용 회로 예 등 기술 정보 및 관련 데이터는 어디까지나 일례를 나타낸 것으로, 이에 관련된 제3자의 지적재산권 및 기타 권리에 대해 권리 침해가 없음을 보증하는 것은 아닙니다. 또한, 로옴은 본 자료에 기재된 정보에 대해 로옴 또는 제3자가 소유 또는 관리하고 있는 지적재산권 및 기타 권리의 실시, 사용 또는 이용을 명시적이나 묵시적으로 고객에게 허락하는 것은 아닙니다.
- 7) 본 자료의 전부 또는 일부를 로옴의 문서에 의한 사전 승낙 없이 전제 또는 복사하는 행위는 금지합니다.
- 8) 본 자료에 기재된 내용은 본 자료 발행 시점의 내용이며, 예고 없이 변경되는 경우가 있습니다. 로옴 제품의 구입 및 사용 시에는 사전에 로옴 영업에 최신 정보를 확인하여 주십시오.
- 9) 로옴은 본 자료에 기재된 정보에 오류가 없음을 보증하지 않습니다. 만일 본 자료에 기재된 정보의 오류로 인해 고객 또는 제3자에게 손해가 발생한 경우, 로옴은 일절 책임을 지지 않습니다.



Thank you for your accessing to ROHM product informations.
More detail product informations and catalogs are available, please contact us.

ROHM Customer Support System

<https://www.rohm.co.kr/contactus>