

OP Amp · Comparator Application Note

OP Amp, Comparator 기초 (Tutorial)

본 Application Note 는 Op Amp, Comparator 를 사용하는 응용 회로를 구성할 때 필요한 일반적인 용어나 기초적인 기술에 대해 해설하고 있습니다. Op-AMP, Comparator 를 사용하시는데 활용 부탁드립니다.

목차

1	OP Amp · Comparator 란?	2
1.1	OP Amp 란?	2
1.2	Comparator 란?	3
1.3	OP Amp · Comparator 내부 회로 구성	4
2	절대 최대 정격	5
2.1	전원전압 · 동작 전원전압 범위	5
2.2	차동 입력전압	6
2.3	동상 입력전압	7
2.4	입력 전류	8
2.5	동작 온도 범위	8
2.6	최대 접합부 온도, 저장 온도 범위	8
2.7	허용 손실 (전 손실)	9
3	전기적 특성	10
3.1	회로 전류	10
3.2	입력 오프셋 전압	12
3.3	입력 바이어스 전류 · 입력 오프셋 전류	16
3.4	동상 입력전압 범위	18
3.5	최대 출력전압 (High / Low 레벨 출력전압)	20
3.6	대신호 전압 이득 (개방 이득 / 오픈 루프 게인)	22
3.7	동상 신호 제거비 CMRR (Common Mode Rejection Ratio)	23
3.8	전원전압 제거비 PSRR (Power Supply Rejection Ratio)	27
3.9	SR (Slew Rate)	30
3.10	OP Amp 주파수 특성에 대하여	31
3.11	위상 지연과 발진에 대하여	33
3.12	OP Amp 의 위상 지연 원인	35
3.13	안정성의 확인 방법 (증폭 회로)	36
3.14	안정성의 확인 방법 (전 귀환 회로 / voltage follower)	37
3.15	안정성의 확인 방법 (정리)	38
3.16	부하용량에 의한 발진 대책 방법 (출력 분리 저항 1)	38
3.17	부하용량에 의한 발진 대책 방법 (출력 분리 저항 2)	39
3.18	전 고조파 왜곡률+잡음 THD+N (Total Harmonic Distortion + Noise)	40
3.19	입력 환산 잡음	44
3.20	응답 시간 (Rising / Falling 시간, 전달 지연 시간)	48
4	신뢰성 항목	50
4.1	정전 파괴 내압 (ESD 내압)	50
4.2	Latch up 시험	51

1 OP Amp · Comparator 란?

1.1 OP Amp 란?

OP Amp (Operational Amplifier: 연산 증폭기)는 고입력 저항, 저출력 저항, 고 개방 이득(Open Loop Gain)을 가지고 +입력단자(비반전 입력단자)와 -입력단자(반전입력단자) 간의 전압 차이를 증폭하는 기능을 갖는 차동 증폭기입니다.

OP Amp 는 1 회로 당 정측 전원 단자, 부측 전원 단자, +입력 단자, -입력 단자, 출력 단자의 5 단자로 구성됩니다. (일반적으로 단자의 호칭은 전원, 입력, 출력이라고 하는 분류 이외는 통일되어 있지 않습니다.)

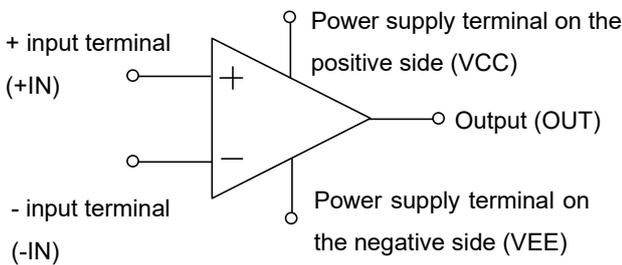


Figure 1.1.1. OP-AMP · Comparator 그림 기호

Table 1.1.1. OP Amp 전원 단자명의 예

	Bipolar type	CMOS type
정측 전원 단자	VCC	VDD
부측 전원 단자	VEE	VSS

OP Amp 에 요구 되는 기능으로 고입력 저항 (Impedance), 저 출력 저항이 있습니다.

Figure 1.1.2 전압 제어 전압원 증폭기 Model (OP Amp)에서 V_s 는 입력 신호원, R_s 는 신호원 출력 저항, R_i 는 OP Amp 의 입력 저항, R_o 는 OP Amp 의 출력 저항, R_L 은 부하 저항, A_v 는 OP Amp 의 증폭률로 하면 입력전압과 출력 전압의 관계는 식(1.1.1)으로 표시됩니다.

$$V_o = \frac{R_i}{R_i + R_s} V_s \times A_v \frac{R_L}{R_o + R_L} \quad (1.1.1)$$

Figure 1.1.2 및 식(1.1.1)에서 신호 전압 V_s 는 신호원 저항 R_s 와 OP Amp 의 입력 저항 R_i 에 따른 저항 분할에 의해 분압 되므로 감쇄된 신호가 OP Amp 에 입력됩니다. 그러나, R_s 보다 R_i 가 충분히 큰($R_i = \infty$)이라고 했을 때, 식(1.1.1)의 제 1 항은 1 에 근사 값이 되어 $V_s = V_i$ 로 간주할 수 있습니다. 다음으로 제 2 항에 대해 Figure 1.1.2 에서 증폭된 입력전압 $A_v V_i$ 는 OP Amp 의 출력 저항 R_o 와 부하 저항 R_L 에 의해 분압 되어 출력됩니다.

이때 R_L 보다 R_o 가 충분히 작게($R_o=0$)로 하면 제 2 항은 1 에 근사 값으로 신호가 감쇄되지 않고 출력할 수 있습니다. 이런 OP Amp 는 이상적인 OP Amp 라고 부릅니다. 통상 OP Amp 는 고 입력 저항, 저 출력 저항이 바람직 하므로 이상적인 OP Amp 에 가까워지도록 설계한 회로 구성으로 되어 있습니다.

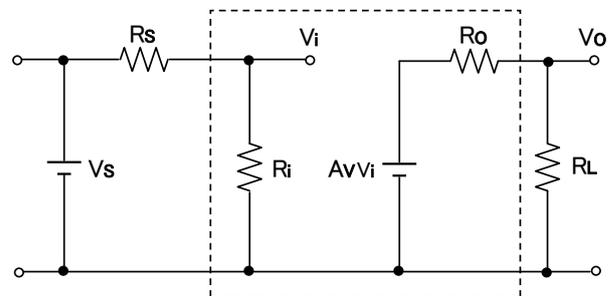


Figure 1.1.2. 전압 제어 전압원 증폭기 Model

Table 1.1.2. OP Amp 의 이상적인 입력 저항과 출력 저항

	입력 저항	출력 저항
이상적인 OP Amp (전압 제어 전압원)	∞	0

OP Amp 는 + 입력단자와 -입력단자 간의 미소한 차 전압을 증폭하여 출력합니다. 그 때문에 OP Amp 는 높은 증폭률을 갖는 것이 바람직하며 그 이유를 Figure 1.1.3 의 Voltage Follower 회로를 이용해 해설합니다. Voltage Follower 회로란 입력전압과 출력전압이 같아지는 회로이며 주로 전압 Buffer 로 사용됩니다.

앞서 설명한 고입력 저항, 저출력 저항의 특성을 살린 회로입니다.

Figure 1.1.3.에서는 입력전압 VS 와 VOUT 는 동일합니다.

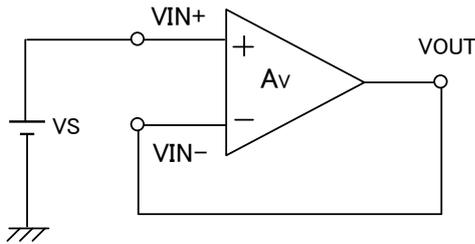


Figure 1.1.3. Voltage follower 회로

OP Amp 는 단자간 차전압을 OP Amp 의 증폭률로 증폭하므로 출력전압은 식(1.1.2)과 같이 나타납니다.

$$V_{OUT} = A_V \times (V_{IN+} - V_{IN-}) = A_V \times (V_S - V_{OUT}) \quad (1.1.2)$$

식 (1.1.2)을 식(1.1.3)으로 변형 합니다.

$$\frac{V_{OUT}}{A_V} = V_S - V_{OUT} \quad (1.1.3)$$

식(1.1.3)에서 OP Amp 의 개방 이득 Av 가 충분히 크다고 하면 좌변은 0 과 근사할 수 있으며 Vs=Vout 가 됩니다. 이득이 낮은 경우 식(1.1.3)의 좌변은 0 에 근접할 수 없고 출력 전압에 오차가 발생하게 됩니다.

OP Amp 에 대해 높은 개방 이득이 요구되는 것은 이 이득에 의한 출력 전압 오차를 줄이기 위함입니다.

개방 이득이 크다는 점에 대해서 다른 관점으로 +입력 단자와 -입력 단자의 전위차를 최대한 줄이는 것을 의미합니다. 즉 개방 이득이 클수록 VIN+=VIN- 관계가 성립합니다. 이+입력 단자와 -입력 단자의 전위가 거의 같아지는 관계를 Virtual · Short, imaginative · Short 혹은 가상 접지라고 합니다. 부 귀한 회로를 구성하고 사용하는 경우는 이 관계가 성립되고, 가상 접지 특성을 이용하여 응용 회로를 설계합니다.

1.2 Comparator 란?

Comparator (Voltage Comparator:비교기)의 단자 구조는 OP Amp 와 마찬가지로 +입력단자, -입력단자, 정측 전원 단자, 음측 전원 단자, 출력단자 5 단자로 구성됩니다. 사용방법으로는 어느 한쪽의 입력단자를 기준 단자로 하여 전압을 고정하고 다른 한쪽 단자에 입력되는 전압 차를 증폭시켜 High 또는 Low 를 출력합니다.

+입력 단자 전위 > -입력 단자 전위

→High Level 을 출력

-입력 단자 전위 > +입력 단자 전위

→Low Level 을 출력

OP Amp 와 Comparator 의 큰 차이는 위상보상용량의 유무 입니다. OP Amp 는 부귀한 회로를 구성하여 사용하기 때문에 IC 내부에 발진 방지용 위상보상용량이 필요합니다. 한편 Comparator 는 부귀한 회로를 구성하지 않기 때문에 위상보상용량은 내장되어 있지 않습니다.

위상 위상보상 용량은 입력-출력 간의 응답시간을 제한하기 때문에 위상 보상 용량이 없는 Comparator 는 OP Amp 에 비해 응답성이 좋아집니다. 따라서 OP Amp 를 Comparator 로 사용하면 위상보상 용량에 응답성이 제한되어 Comparator 보다 응답성이 매우 나빠집니다.

OP Amp 를 Comparator 로 사용할때는 주의가 필요합니다.

1.3 OP Amp · Comparator 내부 회로 구성

Figure 1.3.1 에 OP Amp 의 내부 회로 구성을 나타냅니다. OP Amp 는 일반적으로 입력단, 이득단, 출력단의 3 단 회로로 구성됩니다.

입력단은 차동 증폭단으로 구성되어 2 개의 단자간의 차 전압을 증폭합니다. 또, 동상신호성분(단자간에 전위차가 없는, 같은 전압이 입력되어 있는 상태)은 증폭하지 않고 부정하는 기능을 합니다.

이 차동 증폭 회로만으로는 이득이 불충분하므로, 이득단에서 OP Amp 의 개방 이득을 더욱 증가시킵니다.

일반적인 OP Amp 에서는 이득단 사이에 발진 방지용 위상보상용량이 접속되어 있습니다.

출력단은 출력단자에 접속되는 저항 등의 부하 영향으로 인해 OP Amp 의 특성이 변화하지 않도록 Buffer 로 접속되어 있습니다. 부하에 의한 출력의 특성 변화 (변형, 전압강하 등)는 주로 출력단의 회로 구성과 전류 능력에 의존합니다.

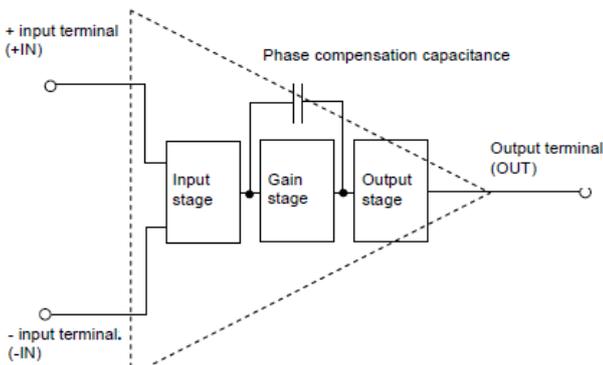
출력단의 종류로는 일반적으로 A 급 출력단 및 B 급, C 급,

AB 급 Push Pull 출력단이 있으며 출력 회로로 흐르는 드라이브 전류의 양(Bias 전압의 차이)에 따라 분류되어 있습니다. 드라이브 전류량의 차이로 출력단에서 발생하는 왜곡률이 달라집니다. 일반적으로 왜곡률이 작은 순서대로 배열하면 A 급, AB 급, B 급, C 급이 됩니다.

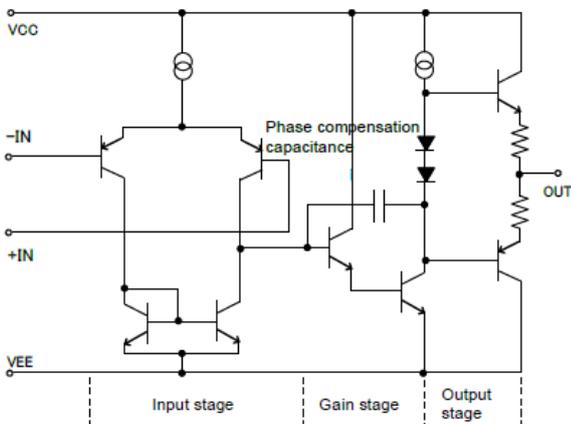
Figure 1.3.2 은 Comparator 의 내부회로 구성을 나타냅니다. 회로구성은 OP Amp 와 거의 같지만 부귀환을 구성해 사용하는 것은 상정하고 있지 않기 때문에 발진방지용 위상보상용량은 내장되어 있지 않습니다. 위상보상용량은 입출력간의 동작 속도를 제한하기 때문에 응답시간은 OP Amp 에 비해 현격히 빨라집니다.

Comparator 의 출력회로 형식은 주로 Open Collector (Open Drain)Type, Push Pull Type 으로 나눌 수 있습니다.

Figure 1.3.2(b)는 BA2903 의 내부 등가회로를 나타내고 있습니다. BA2903 는 Open Collector Type 의 출력 회로로 되어 있습니다.

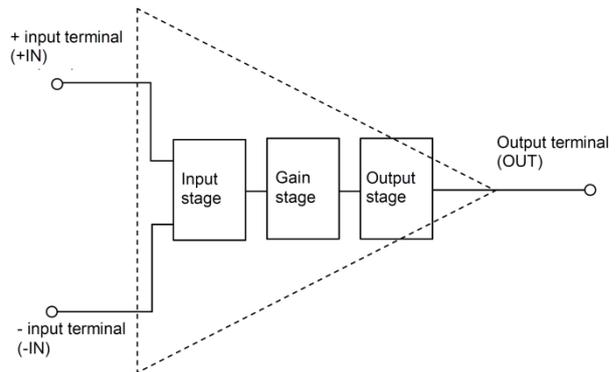


(a) Internal circuit configuration of general op-amp

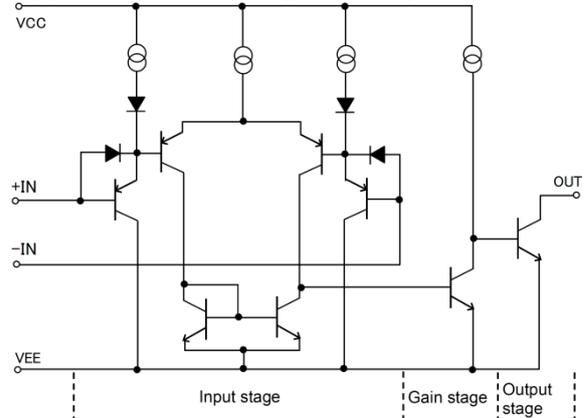


(b) BA4558 Internal equivalent

Figure 1.3.1. OP-AMP 내부 회로 구성



(a) Internal circuit configuration of general comparator



(b) BA2903 Internal equivalent

Figure 1.3.2. Comparator 내부 회로 구성

2 절대 최대 정격

OP Amp · Comparator 의 Datasheet 에는 절대최대정격이 규정되어 있습니다.

절대 최대 정격이란, 순간이라도 넘어서는 안 되는 조건을 나타냅니다. 절대 최대 정격을 넘은 전압의 인가나 절대 최대 정격으로 규정된 온도 환경 외에서의 사용은 IC 의 특성열화나 파괴를 일으키는 원인이 됩니다. 이하의 절대 최대 정격 항목에 대해 설명합니다.

- 2.1. 전원 전압·동작 전원 전압 범위
- 2.2. 차동 입력 전압
- 2.3. 동상 입력 전압
- 2.4. 입력 전류
- 2.5. 동작 온도 범위
- 2.6. 최대 접합부 온도, 저장 온도 범위
- 2.7. 허용 손실(전체손실)

2.1 전원전압 · 동작 전원전압 범위

절대최대정격의 전원전압이란 OP Amp 의 정측전원단자 (VCC 단자)와 부측전원단자(VEE 단자) 사이에 내부 회로의 특성 열화나 파괴 없이 인가할 수 있는 최대 전원 전압을 말합니다.

Figure 2.1.1 에 절대최대정격전원전압이 36V 인 OP Amp, Comparator 에 인가 가능한 전원 전압의 예를 나타냅니다.

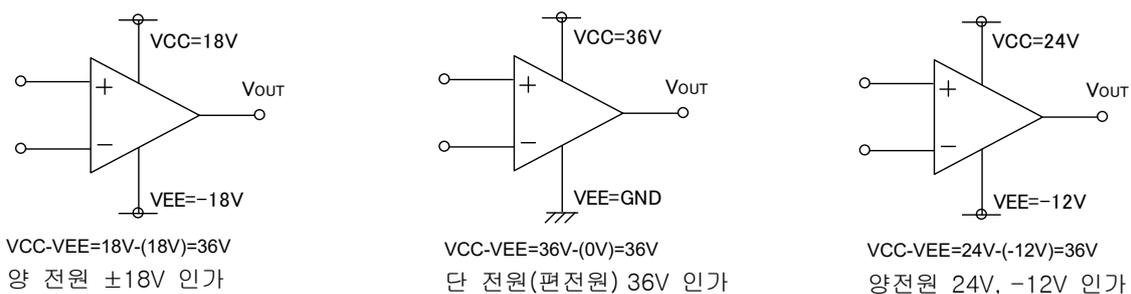


Figure 2.1.1. 절대 최대 정격 전원 전압 36V 의 IC 에 인가할 수 있는 전원 전압 예시

절대최대정격 전원전압은 VCC 단자와 VE 단자간의 전압 차를 나타내며, (VCC-VEE)의 값이 절대 최대 정격 전원 전압 값을 넘지 않도록 사용해야 합니다. 따라서 VCC 단자에 24V, VE 단자에 -12V 를 인가할 경우 단자간 전압 차는 36V 이므로 특성열화나 파괴는 발생하지 않습니다.

주의해야 할 것은 절대 최대 정격의 전원 전압과 동작 전원 전압은 다른 의미를 갖는다는 것입니다.

절대 최대 정격의 전원 전압은 IC 의 특성열화나 파괴가 일어나지 않는 범위에서의 인가 가능한 최대 전원 전압 값을 나타내는 것으로 Datasheet 에 기재된 사양과 특성을 유지할 수 있는 전압범위가 아닙니다. 사양에서 보증된 특성을 끌어내기 위해서는 동작전원 전압범위 내의 전압 값으로 사용해야 합니다. 다만, 제품에 따라서 절대 최대 정격의 전원 전압과 동작 전원 전압의 최대치가 같은 경우도 있습니다.

OP Amp 는 양전원, 단전원(편전원) OP Amp 라고 부르기도 합니다. 이것은 양전원, 단전원으로 사용하기 쉽다고 말할 수도 있습니다.

양전원 OP Amp 는 정전원(VCC) 측과 음전원(VEE) 측의 회로 구성에 따라 입력 또는 출력 전압을 출력할 수 없는 범위를 가지고 있습니다. 그 때문에, 양전원 OP Amp 는 GND 를 중점으로서 정전원, 부전원을 인가해 사용하는 것이 많습니다. 한편 단전원 OP Amp 는 GND 를 기준으로 정전원을 인가하여 사용되며 거의 GND Level 까지의 입출력이 가능합니다.

주) 양전원이란 정, 음 두 개의 전압전원을 이용하여 OP-AMP 에 전원전압을 인가하는 것을 말합니다.
단전원(편전원)이란 GND 를 기준으로 OP-AMP 에 전원전압을 인가하는 것을 말합니다.

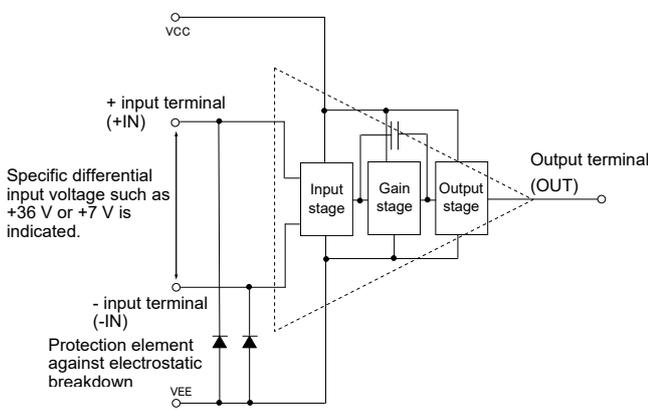
2.2 차동 입력전압

차동 입력 전압 이란 +입력 단자(비반전 입력 단자)와 -입력 단자(반전 입력 단자) 사이에 IC 의 특성열화나 파괴 없이 인가할 수 있는 최대 전압 값을 나타냅니다. 이 전압은 +입력단자를 기준으로도, -입력단자를 기준으로도 좋고, 두 단자간의 전압 차를 말합니다. 극성은 그다지 중요하지 않습니다.

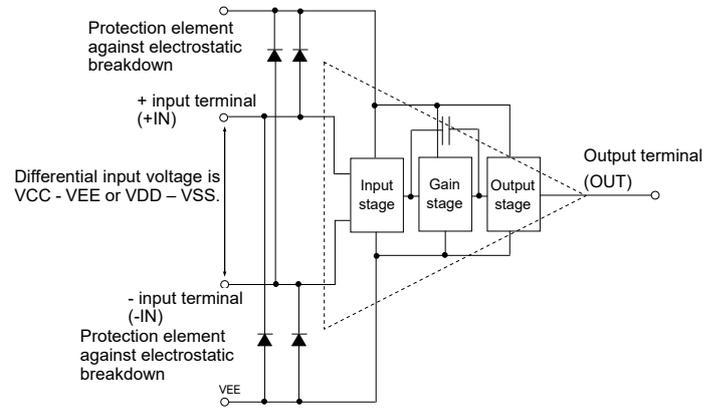
단 각 입력 단자의 전위는 VE 단자의 전위 이상이어야 한다는 것을 전제로 합니다. 이유는 IC 에는 정전 보호 소자가 내장되어 있어 입력 단자의 전위가 VEE 보다 낮아지면 정전 보호 소자를 통해 단자에서 전류가 흘러 열화나 파괴로 이어질 수 있기 때문입니다. 보호소자의 형식으로는 Figure 2.2.1(a) 입력단자와 VE(GND)간에 연결되어 있는 경우와 Figure 2.2.1(b) 입력단자와 VCC,

VEE(GND) 간 양쪽에 접속된 경우의 2 가지가 존재 합니다. 전자는 VCC 측에는 전류가 흐르는 경로가 존재하지 않기 때문에 VCC 값에 관계없이 입력 단자에 접속되는 Transistor (NPN Transistor, PNP Transistor 등)의 내압 등에 의해 차동 전압이 결정됩니다.

후자는 VCC 측에도 보호 소자가 존재하고 입력 단자는 VCC 이하의 전위로 할 필요가 있기 때문에 VCC-VEE 또는 VDD-VEE와 같이 차동 입력 전압이 결정 됩니다. OP Amp 중에는 NPN 차동 입력 단을 이용하고 있으며 이 Transistor 의 Base-emitter 간의 보호를 위해 입력 단자 간에 Clamp 용 Diode 가 연결되어 있는 경우가 있으며 수 volt 정도의 차동 입력 전압에 규정되어 있는 제품도 있습니다. (Figure 2.2.2)

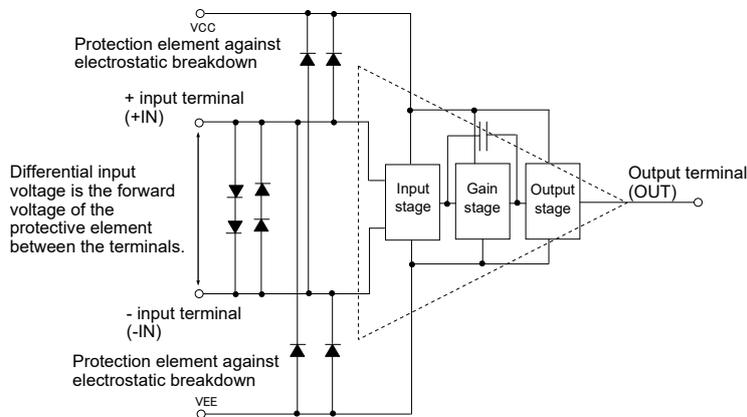


(a) VEE(GND) 측에만 정전보호 소자가 있는 경우
(입력단자는 VEE 의 전위 이상)



(b) VCC, VE(GND) 양쪽에 정전보호소자가 있는 경우
(입력단자는 VE 의 전위 이상, VCC 의 전위 이하)

Figure 2.2.1. 차동 입력 전압



+ 입력 단자와 - 입력단자간에 과전압 보호용 Diode 가 연결되어 있는 경우

Figure 2.2.2. 차동입력전압 (단자간 보호가 있는 경우)

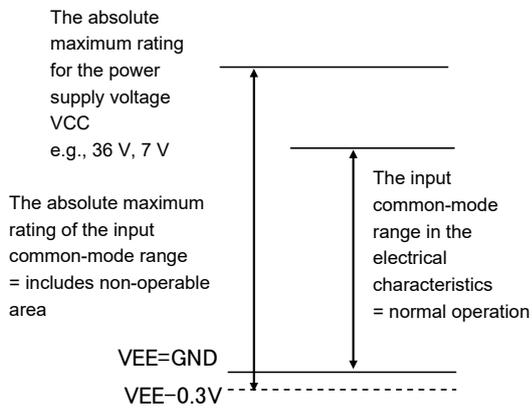
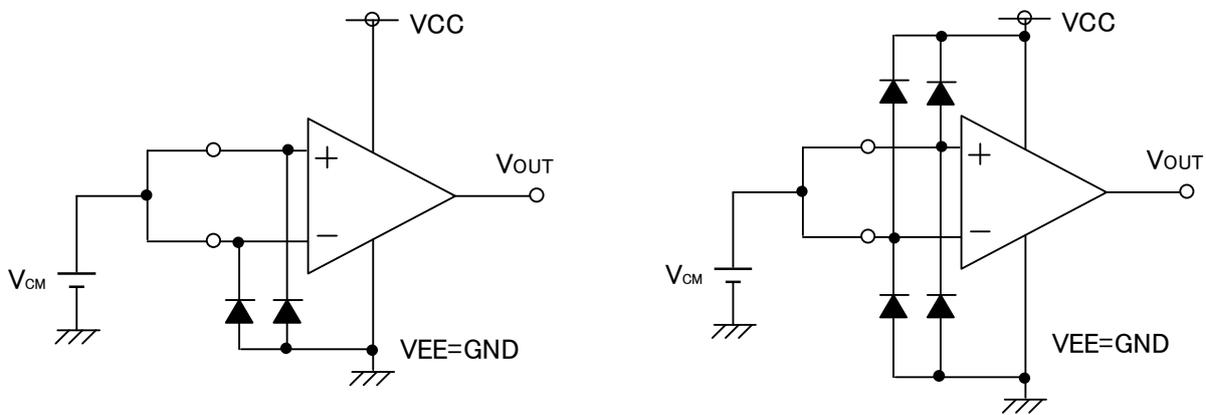
2.3 동상 입력전압

절대 최대 정격의 동상 입력 전압이란 + 입력 단자와 - 입력 단자를 동전위로 설정한 상태에서 IC 의 특성열화나 파괴 없이 인가 가능한 최대 전압을 나타냅니다. 절대 최대 정격의 동상 입력 전압은 전기적 특성 항목의 동상 입력 전압 범위와는 달리 IC 의 정상적인 동작을 보증하는 것이 아닙니다.

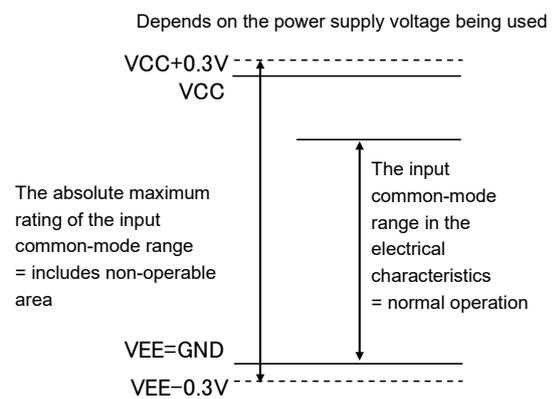
IC 의 정상적인 동작을 기대할 경우 전기적 특성 항목의 동상 입력 전압 범위를 따라야 합니다. 일반적으로 절대 최대 정격의 동상입력전압은 $VEE-0.3V$, $VCC+0.3V$ 이지만 2.2 차동입력전압 항에 기재한 바와 같이 VCC 측에 보호소자가 존재하지 않는 제품 중에는 전원 전압에 관계없이 절대 최대 정격의 전원 전압($VEE+36V$ 등)까지 인가 가능한 제품도 있습니다.

이와 같이 동상 입력 전압은 입력 단자의 보호 회로 구성이나 기생 소자, 입력 Transistor 의 내압 등에 의해 결정됩니다. Figure 2.3.1 에 절대 최대 정격의 동상 입력 전압을 나타냅니다.

또, $VEE-0.3V$ 나, $VCC+0.3V$ 의 0.3V 는 정전 보호 소자(Diode)에 순방향 전압을 인가했을 경우에 소자가 동작하지 않는 전압의 범위를 나타내고 있습니다. 입력 전압 범위 외의 전압이 인가되는 경우의 보호 방법에 대해서는 다음 항 2.4 입력 전류를 참조하십시오.



VEE(GND) 측에만 정전보호 소자가 있는 경우
($VEE-0.3V$ ~절대 최대 정격 전원 전압)



VCC , $VEE(GND)$ 양쪽에 정전보호소자가 있는 경우
($VEE-0.3V$ ~사용 전원 전압+0.3V)

Figure 2.3.1. 절대 최대 정격의 동상 입력 전압

2.4 입력 전류

2.2 차동 입력 전압 및 2.3 동상 입력 전압 항목에서 $V_{E-0.3V}$ 보다도 낮은 전압 또는 $V_{CC+0.3V}$ 보다 높은 전압을 입력 했을 때 입력 단자에 전류의 흐름 또는 유출이 발생하여 특성의 열화나 파괴로 이어진다고 설명하였습니다.

이를 방지하는 방법으로 입력 단자에 Clamp 용 순방향 전압이 작은 Diode 를 설치하거나 저항을 삽입하여 입력 단자에 흐르는 전류를 제한하는 방법이 있습니다. 전자는 IC 에 입력되는 전압을 제한하는 방법이며 후자는 전류를 제한하는 방법입니다. 입력 전류는 10mA 이하가 되도록 저항 값을 설정해 주십시오. Figure 2.4.1 의 V_F 는 Diode 의 순방향 전압으로 약 0.6V 정도로 해주십시오.

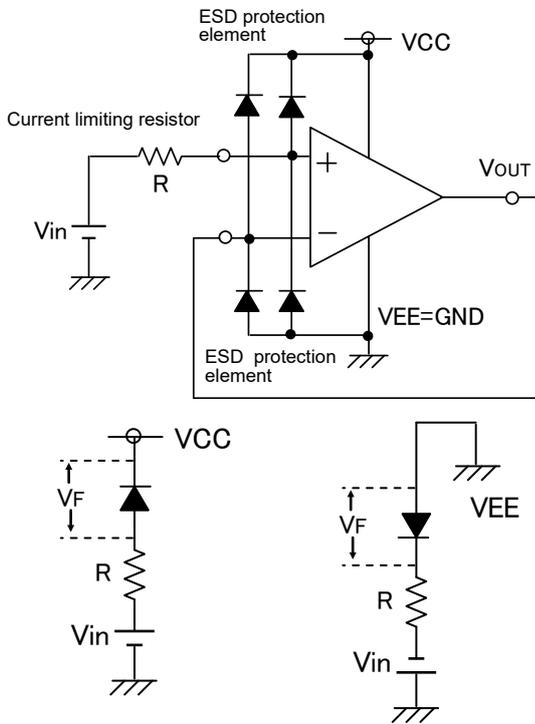


Figure 2.4.1. 입력전류 제한저항의 접속에 대해서

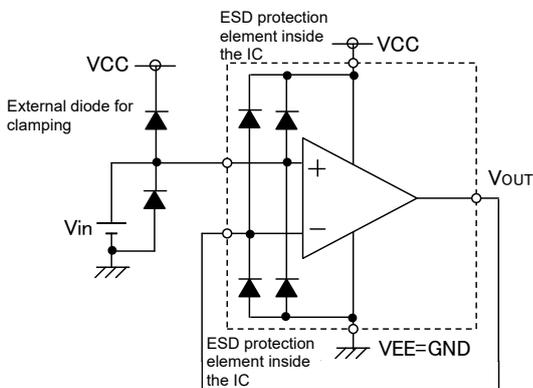


Figure 2.4.2. 입력 보호 Diode 연결

2.5 동작 온도 범위

동작 온도 범위란 IC 가 기대하는 기능을 유지 하고 정상적으로 동작하는 범위를 말합니다. IC 는 온도에 따라 그 특성이 변동합니다. 따라서 특별히 지정되지 않는 한 $25^{\circ}C$ 로 규정된 규격 값이 그대로 보증되는 것은 아닙니다.

온도 범위가 보증된 항목으로 전체 온도 범위 보증 항목이 있습니다. 이는 사양서에 규정된 동작 온도 범위 내에서의 IC 특성 변동을 고려한 규격 값입니다. Datasheet 에는 사양 항목의 온도특성 데이터가 게재되어 있습니다. 사용 시 참고해 주십시오.

2.6 최대 접합부 온도, 저장 온도 범위

최대 접합부 온도 (최대 Junction 온도)란 반도체가 동작하는 최대의 온도를 나타냅니다. 또, Junction 은 Chip 과 Package 의 접합부를 말합니다. Chip 온도가 Datasheet 에 규정된 최대 Junction 온도보다 높아지면 반도체 결정에서 전자 정공 쌍이 다수 생성되어 소자로서 정상적으로 동작하지 않게 됩니다. 그 때문에, IC 가 소비하는 전력에 의한 발열이나, 주위 온도를 고려한 사용, 열 설계가 필요합니다. 최대 접합부 온도는 제조 Process 에 의해 결정됩니다.

저장온도 범위는 IC 가 동작하지 않는 상태, 즉 소비전력이 없는 상태의 저장 환경 최대 온도를 나타냅니다. 통상은 최대 접합부 온도와 동일 치로 하고 있습니다.

2.7 허용 손실 (전 손실)

Datasheet 에 기재된 허용 손실 (전 손실) PD 는 주위 환경 온도 $T_a=25^{\circ}\text{C}$ (상온)에서 IC 가 소비할 수 있는 전력을 나타내고 있습니다. IC 가 전력을 소비하면 자체 발열하며, Chip 의 온도는 주위 온도보다 높아집니다. Chip 이 허용할 수 있는 온도는 최대 접합부 온도로 정해져 있기 때문에 소비 가능한 전력은 열 경감 곡선(Derating curve)으로 제한됩니다.

Package 내의 IC Chip 이 허용할 수 있는 온도(최대 접합부 온도)와 Package 의 열저항(방열성)에 의해 25°C 의 허용 손실이 결정됩니다. 또한 접합 온도의 최대 값은 제조 Process 에 의해 결정됩니다.

IC 의 전력 소비로 인해 발생한 열은 Package 의 몰드 수지와 리드 프레임 등을 통해 방열 됩니다. 이 방열성(열 방출의 어려움)을 나타내는 파라미터는 열 저항으로 불리며 기호로는 $\theta_{j-a} [^{\circ}\text{C}/\text{W}]$ 로 표시됩니다.

이 열 저항에서 Package 내부의 Junction 온도 T_j 를 추정할 수 있습니다.

Figure 2.5.1 에 Package 의 열저항 모델을 나타냅니다. θ_{j-a} 는 Chip-Case(Package)간의 열저항 θ_{j-c} 와 Case (Package)-주위 환경 간의 열저항 θ_{c-a} 의 합으로 나타냅니다. 열저항 $\theta_{j-a} [^{\circ}\text{C}/\text{W}]$, 주위 환경 온도 $T_a [^{\circ}\text{C}]$, 소비전력 $P [\text{W}]$ 를 알면, Junction 온도는 다음 식으로 구할 수 있습니다.

$$T_j = T_a + \theta_{j-a} \times P \tag{2.5.1}$$

Junction-주위환경간 열저항: $\theta_{j-a}=\theta_{j-c}+\theta_{c-a} [^{\circ}\text{C}/\text{W}]$
 θ_{j-c} : Junction - Case 간의 열저항 [$^{\circ}\text{C}/\text{W}$]
 θ_{c-a} : Case - 주위 환경간의 열저항 [$^{\circ}\text{C}/\text{W}$]
 T_a : 주위 환경 온도 [$^{\circ}\text{C}$]
 T_j : 접합부 온도(Junction 온도) [$^{\circ}\text{C}$]
 Derating Curve 곡선은 θ_{j-a} 의 역수

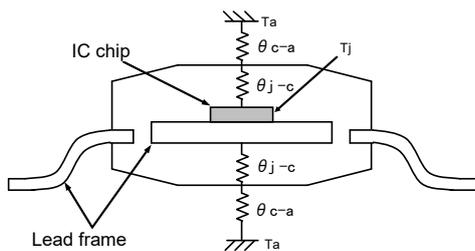


Figure 2.5.1. Package 의 열 저항

Figure 2.5.2 에 열 경감 곡선(Derating curve) 예를 나타냅니다. 이 곡선은 어떤 주위 환경온도에서 IC 가 얼마나 전력을 소비하는 것이 가능한지를 나타내는 그래프로, IC Chip 의 허용 온도를 넘지 않고 소비할 수 있는 전력을 나타내고 있습니다.

예를 들어 MSOP8 의 Junction 온도를 생각합니다. 이 IC 의 보존 온도 범위는 $-55 [^{\circ}\text{C}] \sim 150 [^{\circ}\text{C}]$ 이기 때문에, Chip 의 최대 허용 온도는 $150 [^{\circ}\text{C}]$ 입니다. MSOP8 의 열저항은 $\theta_{j-a} \approx 212.8 [^{\circ}\text{C}/\text{W}]$ 이며, 이 IC 가 $T_a=25 [^{\circ}\text{C}]$ 로 $0.58 [\text{W}]$ 의 전력을 소비했다고 하면 Junction 온도는

$$T_j = 25 [^{\circ}\text{C}] + 212.8 [^{\circ}\text{C}/\text{W}] \times 0.58 [\text{W}] \approx 150 [^{\circ}\text{C}] \tag{2.5.2}$$

이며, Chip 의 최대 허용온도에 도달하기 때문에 더 이상의 전력을 소비하면 열화나 파괴의 가능성이 있습니다.

열 경감 곡선의 $1 [^{\circ}\text{C}]$ 당 경감 값은 열 저항의 역수로 결정됩니다. 여기에서는

- SOP8 : $5.5 [\text{mW}/^{\circ}\text{C}]$
 - SSOP-B8 : $5.0 [\text{mW}/^{\circ}\text{C}]$
 - MSOP8 : $4.7 [\text{mW}/^{\circ}\text{C}]$
- 가 됩니다.

주) OP Amp 의 소비전력 계산에 대해서는 다음 항의 회로 전류를 참조하십시오.

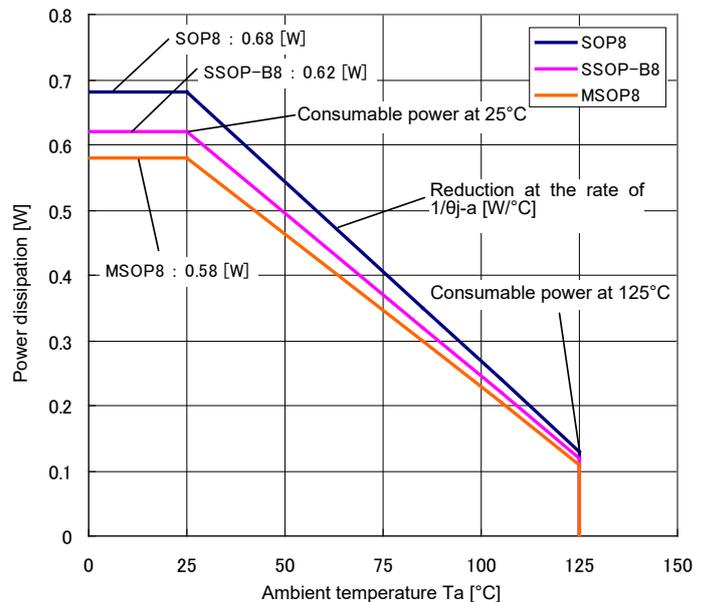


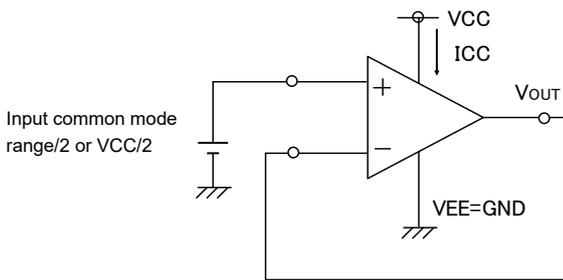
Figure 2.5.2. 열 경감 곡선의 예 (70mm×70mm×1.6mm 1 층 FR4 glass epoxy 기판 실장시)

3 전기적 특성

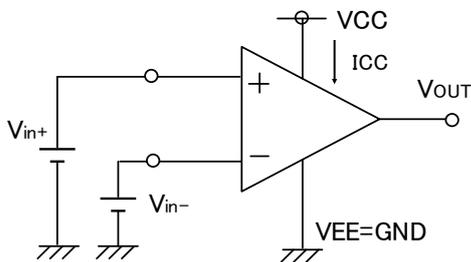
여기에서는 OP Amp·Comparator 의 전기적 특성과 실 사용 상의 주의점에 대해 설명하겠습니다.

3.1 회로 전류

OP Amp, Comparator 의 회로전류는 Figure 3.1.1 과 같이 무부하, 정상상태에서 IC 단품에 흐르는 전류를 나타냅니다. 통상 VCC 단자에서 VEE 단자에 흐르는 전류를 모니터 합니다. 회로 전류 외에 일반적으로는 무 신호 시 회로 전류, 정지 전류라고 불리는 경우도 있습니다. 제품에 따라 입력 범위, 동작 전압 범위가 다르므로 측정 조건이 다릅니다. 통상은 동상 입력 전압 범위의 중심 또는 전원 전압 VCC-VEE 의 중간이 되는 전압을 인가하여 측정합니다. 또한 Comparator 의 회로전류는 회로 구조에 따라 출력 High 및 Low 조건에서 값이 다릅니다. 어느 한쪽의 회로 전류가 많은 조건으로 규정됩니다.



(a) OP-AMP 회로 전류 측정 회로



(b) Comparator 회로 전류 측정 회로

Figure 3.1.1. OP-AMP · Comparator 회로 전류

OP Amp 소비 전력 계산

OP Amp 의 소비전력을 계산하는 경우, 회로 전류 뿐만 아니라 출력 전류를 고려할 필요가 있습니다.

소비 전력의 계산에 대해서, 차례를 따라서 설명 하겠습니다. OP Amp 의 소비전력은 회로 전류에 의한 것과 출력 전류에 의한 것 2 종류가 존재합니다. 우선 회로 전류에 의한 소비 전력의 계산을 제시합니다. PAMP 를 OP Amp 가 소비하는 전력으로 하면 식(3.1.1)은 P=전류×전압에 의한 회로전류×전원 전압입니다.

이 소비전력은 OP Amp 에 전원 전압이 인가된 상태에서 항상 소비됩니다.

$$P_{AMP} = I_{CC} \times (V_{CC} - V_{EE}) \tag{3.1.1}$$

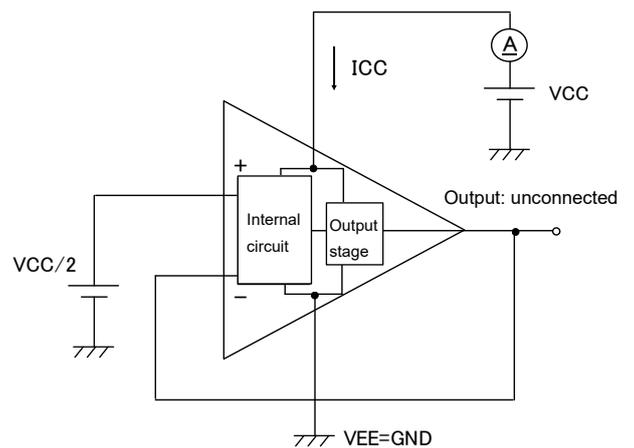


Figure 3.1.2. 회로 전류에 의한 소비 전력

다음으로 출력 전류에 의한 소비전력 계산을 나타냅니다.
 Figure 3.1.3(a)에서 출력 싱크 전류가 흐르는 경우에 대한 전력 계산을 실시합니다.
 V_o 이 부하 저항 R_L 끝에 있는 $V_{CC}/2$ 보다 전압이 낮을 때 출력 싱크(흡입) 전류가 흐릅니다. 이 싱크 전류에 의한 소비전력을 식(3.1.2)에 나타냅니다. IC 내부로 흘러 드는 전류와 OUT 단자와 VE 단자간의 전위차의 곱으로 소비 전력이 요구됩니다.

$$P_{SINK} = I_{SINK} \times (V_o - V_{EE}) \quad (3.1.2)$$

싱크전류시 OP Amp 의 소비전력 합계는 식(3.1.3)으로 표시됩니다.

$$P = P_{AMP} + P_{SINK} = I_{CC} \times (V_{CC} - V_{EE}) + I_{SINK} \times (V_o - V_{EE}) \quad (3.1.3)$$

다음으로 Figure 3.1.3(b)에서 출력소스전류가 흐르는 경우에 대한 전력 계산을 실시합니다.

출력전압 V_o 가 부하 저항 R_L 에 연결된 $V_{CC}/2$ 보다 전압이 높을 때 출력소스전류(토출)가 흐릅니다.

이 소스 전류에 의한 전력 계산을 식(3.1.4)에 나타냅니다. IC 내부에서 흘러나오는 전류와 V_{CC} 단자와 OUT 단자간의 전위차의 곱에 의해 소비전력이 요구됩니다.

$$P_{SOURCE} = I_{SOURCE} \times (V_{CC} - V_o) \quad (3.1.4)$$

소스전류시 OP Amp 의 소비전력 합계는 식(3.1.5)으로 나타냅니다.

$$P = P_{AMP} + P_{SOURCE} = I_{CC} \times (V_{CC} - V_{EE}) + I_{SOURCE} \times (V_{CC} - V_o) \quad (3.1.5)$$

소비전력을 계산할 때는 싱크 전류 또는 소스 전류 중 한쪽의 큰 값으로 계산을 실시합니다.

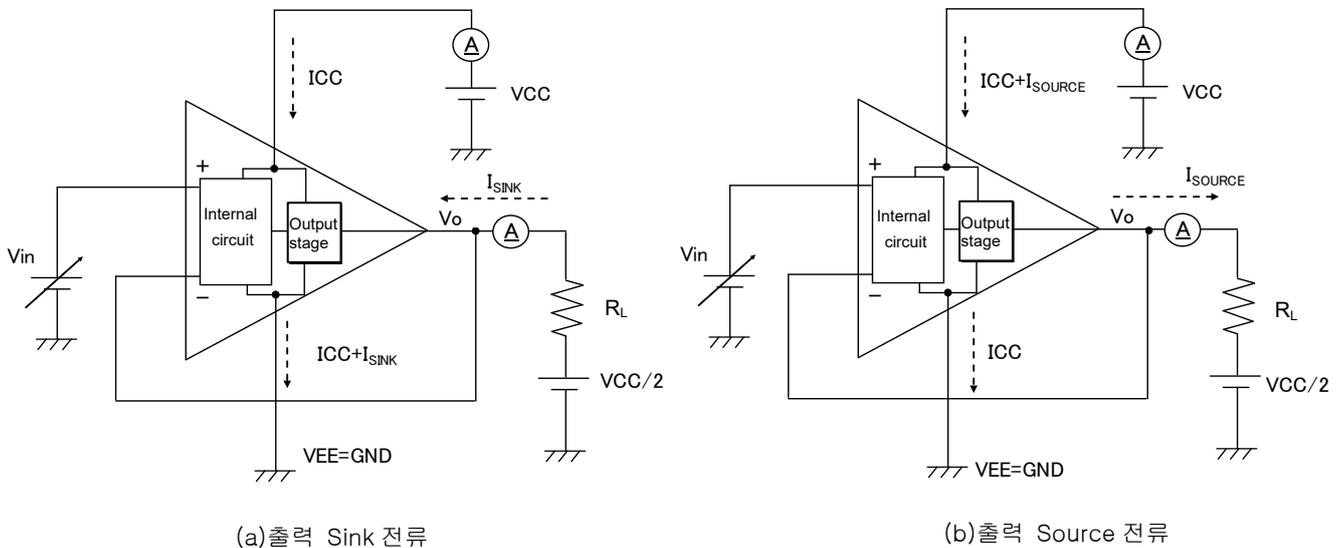


Figure 3.1.3. 출력전류에 의한 소비전력

3.2 입력 오프셋 전압

입력오프셋전압과는 차동입력 회로를 가진 OP Amp 와 Comparator 가 갖는 오차 전압을 말하며 이상적인 OP Amp와 Comparator에서는 입력오프셋전압은 0V가 됩니다. OP Amp 나 Comparator 의 입력 단자에 동상(동일)전압을 입력했을 때 이상적인 OP Amp 로는 출력전압이 출력되지 않지만 입력오프셋전압이 존재할 경우 입력오프셋전압에 따른 출력전압이 출력됩니다.

이 출력전압을 0V 로 만들기 위해 필요한 입력단자간 전압 차를 입력 오프셋 전압이라고 합니다. 이 값은 입력 환산 값입니다. 입력환산으로서 표현하는 이점은 OP Amp Comparator 는 여러 증폭률이나 회로구성에서 이용되기 때문에 입력환산전압으로 표현하면 출력전압에의 영향을 쉽게 가능할 수 있습니다.

입력 오프셋 전압의 단위는 통상[mV]또는[μ V]로 표기되며 값은 0 에 가까울수록 이상적인 상태가 됩니다. 동상 입력전압 범위 외는 입력 오프셋 전압이 급격히 증가하여 OP Amp, Comparator 로서 동작하지 않게 되는 영역입니다. 또한 입력 오프셋 전압의 출현 빈도를 관측하면 0V 를 중심으로 정규 분포합니다. 즉, 데이터 시트에 규정되는 범위 내에서 확률적으로 분포하게 됩니다. 규격 값의 표기는 절대값으로 기재되어 있으므로 실제로는 +극성, -극성 양쪽의 입력 오프셋 전압을 가집니다.

다음 항에서 입력 오프셋 전압이 가져오는 구체적인 영향에 대해 설명합니다.

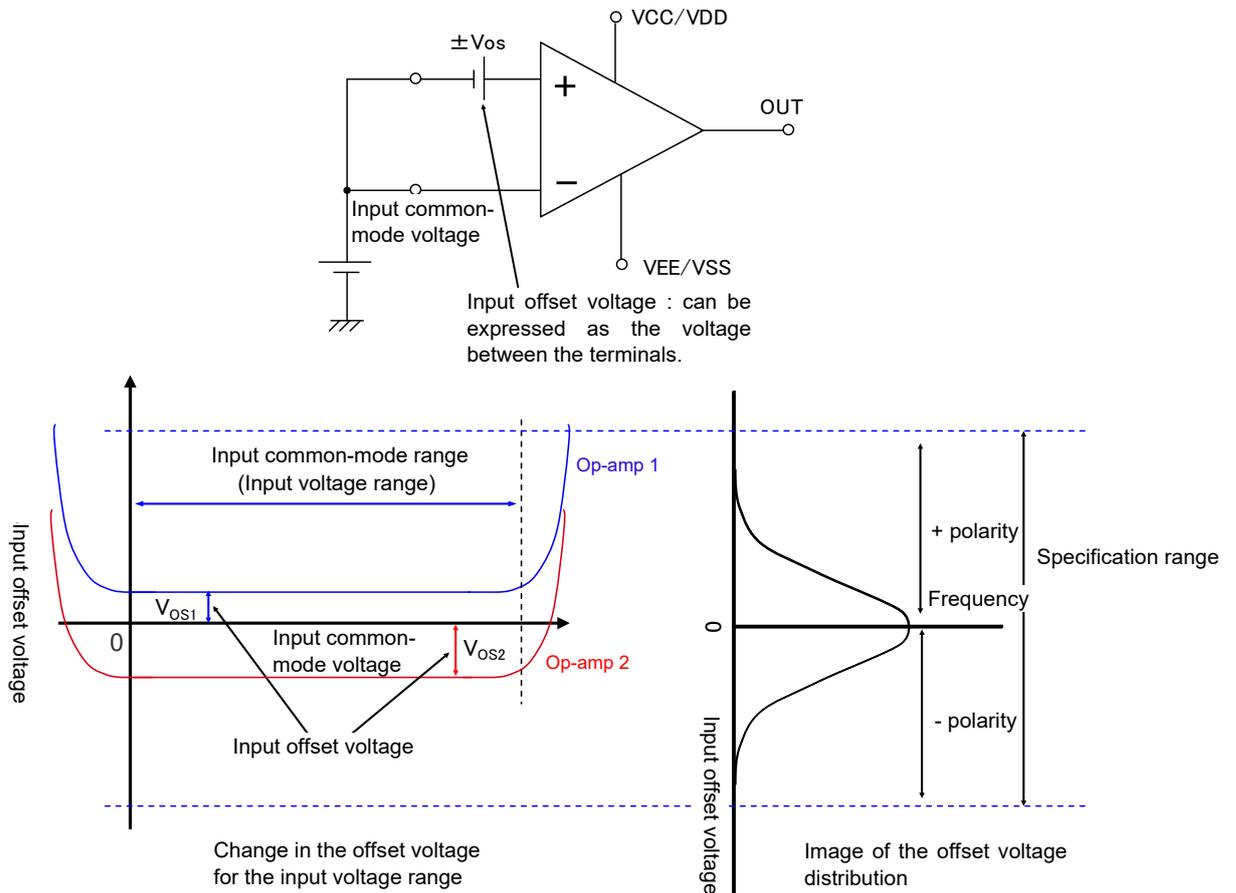


Figure 3.2.1. 입력 오프셋 전압 이미지

입력 오프셋 전압의 영향

OP Amp

OP Amp 를 사용하여 증폭 회로를 구성했을 때 입력 오프셋 전압의 영향에 대해 설명합니다.

Figure 3.2.2(a) 비반전 증폭 회로에 대해 입력 오프셋 전압의 영향을 계산하면 식(3.2.1)이 됩니다.

Gain 값만큼 배가된 입력 오프셋 전압이 출력 전압에 더해져 있습니다. 입력 오프셋 전압의 극성이 +인 경우 기대한 출력전압보다 값이 커지고 -극성인 경우 출력전압이 기대치보다 작아집니다.

$$V_o = (1 + \frac{R_f}{R_s})V_{in} \pm (1 + \frac{R_f}{R_s})V_{OS} \quad (3.2.1)$$

다음으로 Figure 3.2.2(b) 반전 증폭 회로를 구성한 경우의 입력 오프셋 전압의 영향을 구합니다.

$$V_o = -\frac{R_f}{R_s}V_{in} \pm (1 + \frac{R_f}{R_s})V_{OS} \quad (3.2.2)$$

식(3.2.2)에 나타나듯이 반전 증폭 회로의 출력에 + 단자 측에서 본 증폭률 즉 비반전 증폭 회로의 증폭률배된 입력 오프셋 전압이 가산되어 있습니다. 이쪽도 아까와 마찬가지로 기대치에서 이득배된 입력 오프셋 전압에 의해 출력 전압의 차이가 발생합니다.

Figure 3.2.3 에서는 ±5mV 의 입력 오프셋 전압을 갖는다고 가정하고 계산을 하고 있습니다. 두 회로 모두 증폭률 배된 입력 오프셋 전압(16 배×5mV)만큼 파형의 중심이 시프트 됩니다. 원하는 회로 이득을 고려하여 입력 오프셋 전압 값이 적합한 OP Amp 를 선택해야 합니다.

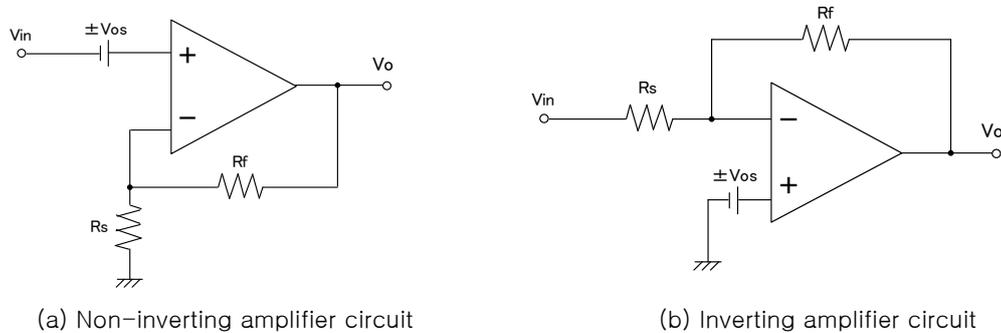


Figure 3.2.2. Amplifier Circuit with Op-Amp

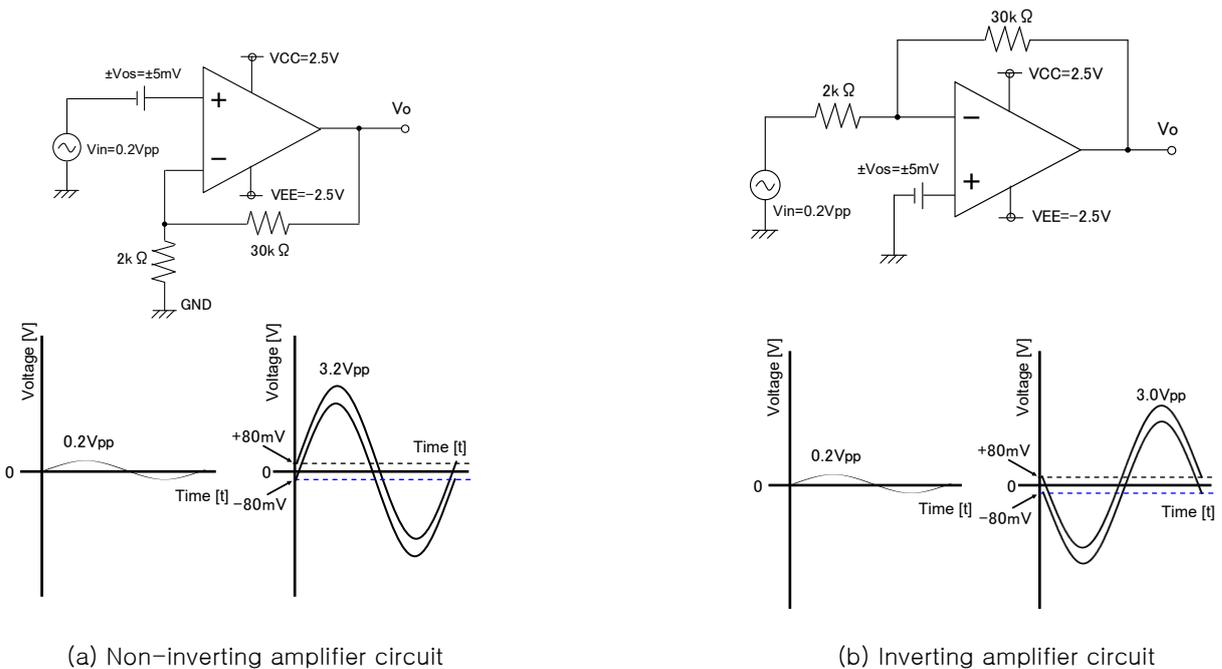


Figure 3.2.3. Example of effect of offset voltage

Comparator 에 대하여

입력 오프셋전압의 오버드라이버전압에의 영향
 비교대상의 전압과 기준 전압 V_{ref} 의 차를 오버드라이버 전압이라고 합니다. 차이가 작을수록 응답시간이 길어지는 경향이 있고 일반적으로 5mV, 10mV, 50mV, 100mV 에서의 응답시간이 규정되어 있습니다. 예를 들어 입력 오프셋 전압이 6mV인 Comparator가 있다고 합니다. 입력 오프셋 전압은 없는 이상적인 상태에서는 기준 전압 V_{ref} 를 조금이라도 넘거나 모자라는 입력이 인가되면 출력전압이 바뀝니다.

그러나 입력 오프셋 전압이 6mV 라면 5mV 의 오버드라이브 전압이라면 Comparator가 반응하지 않는 현상이 발생합니다. 즉, 입력 오프셋 전압은 기준 전압 V_{ref} 에 합쳐진 것처럼 보입니다. 입력오프셋전압의 사양을 $\pm V_{os}$ 라고 하면 $V_{ref}+V_{os}$ 에서 $V_{ref}-V_{os}$ 구간은 출력전압은 High 가 나오는 개체도 있고 Low 가 나오는 개체도 존재하게 됩니다. 데이터시트의 응답시간 오버드라이브 전압특성 그래프는 입력 오프셋 전압을 보정하여 측정합니다.

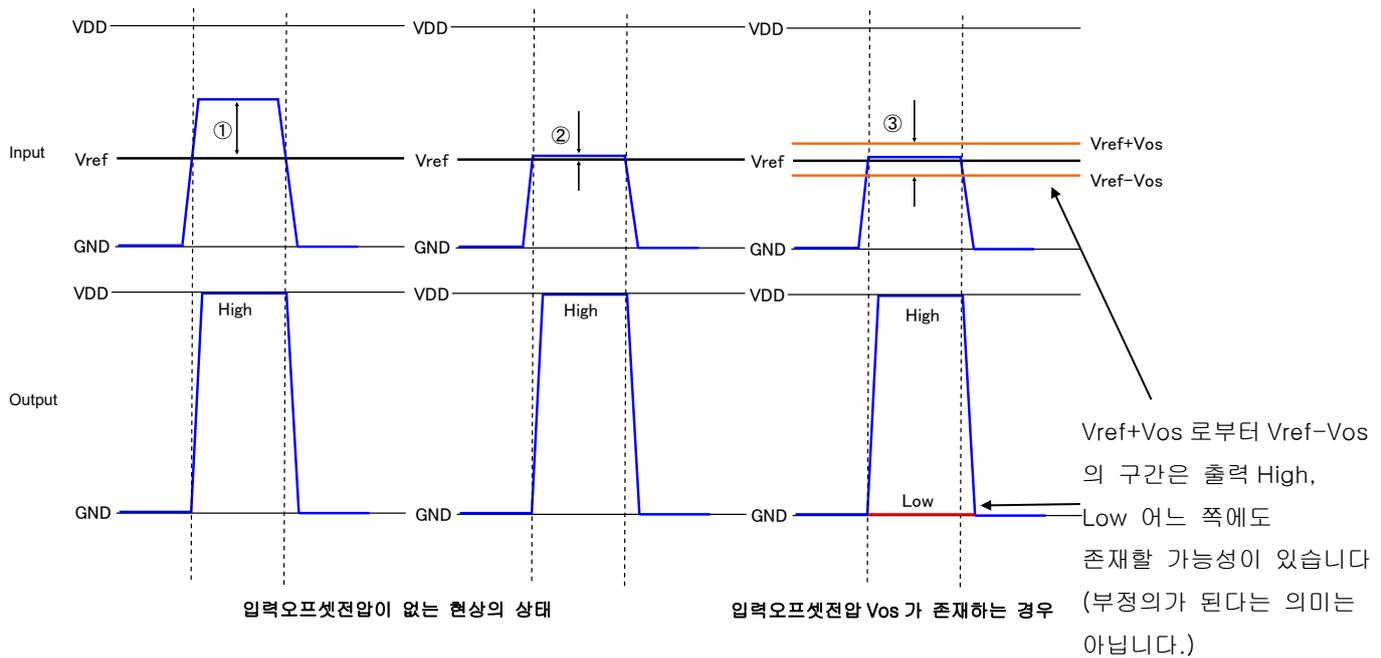
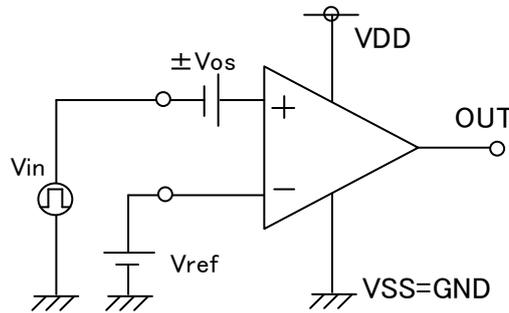


Figure 3.2.4. 입력오프셋전압의 Comparator 로의 영향

입력 오프셋전압의 발생원인에 대하여

바이폴라 타입도 CMOS 타입도 발생 원인은 동일하기 때문에 바이폴라 타입에 대해 설명합니다.

입력 오프셋전압은 Figure 3.2.5 에서 Q1/Q2, Q3/Q4 의 트랜지스터의 특성 차이로 인해 발생합니다. 정확히 말하자면 Q1/Q2 의 베이스 - 에미터간 전압의 제조 편차와 Q3/Q4 의 베이스 - 에미터간 전압의 제조 편차에 의한 Q3/Q4 에 흐르는 컬렉터전류 I_{c3}/I_{c4} 가 동일하지 않은 것이 입력 오프셋전압발생의 한 요인이 됩니다.

(단, Q3/Q4 의 베이스전류의 영향도 입력오프셋 전압의 센터값 변동으로서 영향을 받지만 통상은 영향이 적게하도록 설계하기 때문에 무시해도 사고방식에는 변화는 없습니다.)

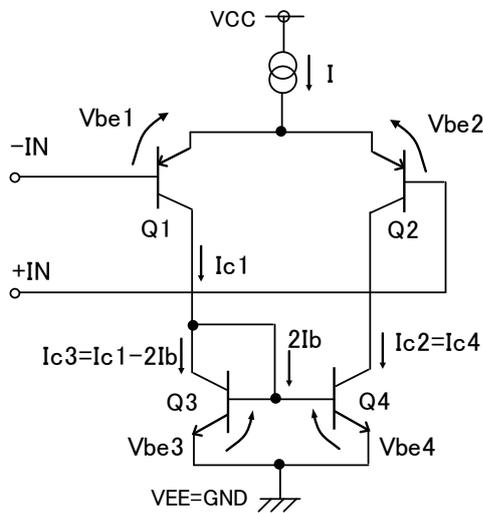


Figure 3.2.5. OP AMP 의 차동 입력단

또한 입력오프셋 전압의 발생원인의 하나로 패키지와 기판에서의 응력의 영향이 있습니다. 이러한 영향은 일반적으로 소형 패키지로 갈수록 영향을 받기 쉬워집니다. 응력을 받으면 반도체 소자 표면이 늘리거나 IC 칩이 굴곡을 일으키면서 피에조 저항 효과가 발생합니다. 이 피에조 저항 효과에 의해 발생한 압전 효과로 트랜지스터의 특성이 변동됩니다.

OP Amp 에서 주로 응력의 영향은 차동입력단이 받기 쉽고, 기판실장 후에 기판의 응력에 의해 입력오프셋전압이 변동될 수 있습니다. 대책으로서 응력은 기판의 모서리로 갈수록 커지기 때문에 기판 중앙에 OP Amp 를 배치하는 것을 들 수 있습니다. 또한 패키지 사이즈가 큰 것이 비교적 응력의 영향을 줄일 수 있기 때문에 정밀도가 필요한 경우에는 크기가 큰 패키지를 선택하는 것도 유효합니다.

입력 오프셋전압의 온도 드리프트에 대하여

입력 오프셋전압은 온도에 따라 변동합니다. 이 변동을 온도 드리프트라고 부릅니다. 온도 드리프트 값도 입력 오프셋 전압과 동일하게 일정 값이 아닌 그 분포는 정규 분포를 따릅니다. 제품에 따라서는 데이터시트에 표준 값이 기재되어 있는 경우가 있습니다. 주의 점으로는 온도 변화에 따른 실장 기판의 휘어진상태가 바뀌는 경우에는 상기의 피에조 저항 결과에 의해 입력 오프셋 전압이 드리프트한 것처럼 보이는 경우가 있습니다.

입력 Bias 전류에 따른 입력 오프셋전압의 증가

바이폴라 OP Amp 를 이용하여 증폭 회로를 구성할 때에 입력 Bias 전류대책을 세울 필요가 있습니다.

입력바이어스전류와 증폭회로를 구성하는 저항의 병렬 합성 저항치와의 곱만큼 입력 오프셋 전압이 증가 합니다. 대책으로는 동일한 합성 저항을 다른 한쪽의 입력 단자에 접속하는 것입니다만 이것에 대해서는 입력바이어스 전류의 항목에 대해 자세하게 설명합니다.

3.3 입력 바이어스 전류 · 입력 오프셋 전류

입력 바이어스 전류는 OP Amp 의 입력단자에서 흘러 나오거나 혹은 흘러 들어 가는 전류를 말합니다.

바이폴라 타입의 OP Amp 에서는 입력 단자에 접속되는 트랜지스터의 베이스전류가 입력바이어스 전류가 됩니다. 차동입력단이 PNP 트랜지스터로 구성되는 경우 전류는 흘러나오는 방향입니다. 또, NPN 트랜지스터로 구성되는 경우는, 전류는 단자에 흘러 들어 가는 방향이 됩니다.

대체로 nA ($10^{-9}[A]$) 오더의 전류 량이 되도록 설계된 제품이 많으며, 고속 타입 중에는 $\mu A(10^{-6}[A])$ 오더의 입력 바이어스 전류를 가진 것도 존재합니다.

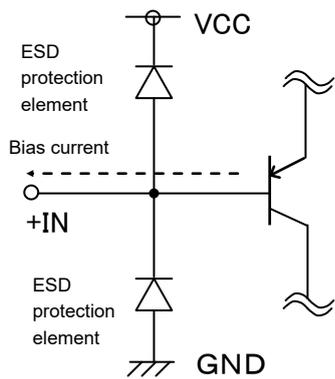
입력바이어스 전류는 이상적으로는 적은 것이 사용하기 쉬운 운영자입니다. CMOS 타입(FET 입력)의 OP Amp 가 이에 해당합니다. CMOS 운영체제의 입력 바이어스 전류는 매우 작아서 fA ($10^{-15}[A]$)~pA ($10^{-12}[A]$) 오더가 됩니다. 그 때문에, 임피던스가 높은 센서소자들의 센서 앰프에 사용됩니다.

Figure 3.3.1(a)에 나타냈 듯이 입력 트랜지스터가 PNP 트랜지스터로 구성된 OP Amp 의 입력 바이어스 전류는 입력단자에서 흘러나오는 방향입니다.

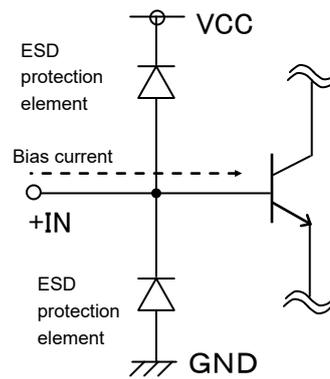
Figure 3.3.1(b)로 나타내는 NPN 입력에서는 단자로 흘러드는 방향입니다. Figure 3.3.1(c)에 나타내는 바이폴라 타입의 풀 스윙 OP Amp 의 입력 바이어스 전류는 동작 범위에 따라 흐르는 방향이 바뀝니다.

PNP 트랜지스터만 움직이는 영역에서는 흘러나오는 방향, 양쪽이 움직이는 영역에서는 차분 전류가 흐르고 극성은 어느 쪽인가 큰 편이 됩니다. NPN 만 움직이는 상태에서는 유입되는 방향이 되기때문에 동상입력전압범위 내에서 입력바이어스 전류의 극성이 변화하게 됩니다.

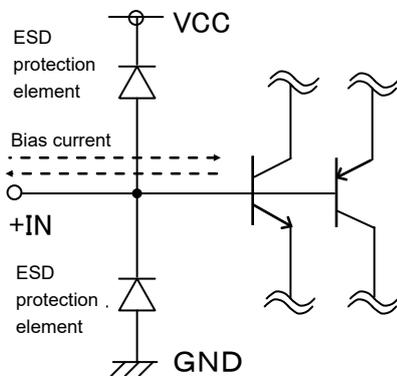
Figure 3.3.1(d)의 CMOS 운영체제 입력바이어스 전류는 단자 링크 전류가 됩니다. 그 주된 요인은 IC 내부에 접속된 정전보호소자가 됩니다. 이 전류는 바이폴라 타입에 비해 매우 작기 때문에 센서 등의 하이 임피던스 소자에 접속할 경우에 유리합니다. 또 특징으로 온도가 상승함에 따라 리크전류가 증가되기 때문에 고온에서 전류가 증가하는 경향이 있습니다.



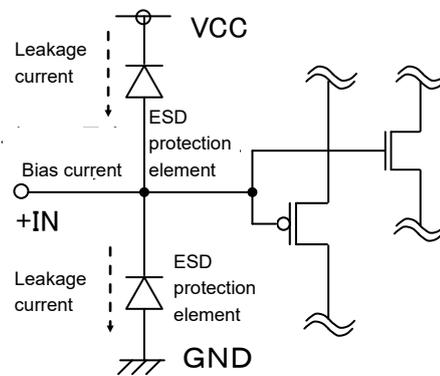
(a) Input ground sense (ground sense single/dual power supply)



(b) NPN input (VCC sense)



(c) PNP/NPN input (full swing)



(d) CMOS input (full swing)

Figure 3.3.1. Input bias current and input transistor

입력바이어스 전류의 영향에 대하여

입력 오프셋 전류라고 하는 것은 +입력 단자와 -입력 단자의 입력바이어스전류의 차를 말합니다. 트랜지스터의 성능 편차에 의해 베이스전류나 리크 전류는 영향을 받기 때문에 반드시 같은 값이 되지는 않습니다. 입력바이어스 전류 I_b 와 입력오프셋전류 I_{io} 의 정의를 식(3.3.1), 식(3.3.2)에 보여줍니다.

$$I_b = \frac{I_{b+} + I_{b-}}{2} \tag{3.3.1}$$

$$I_{io} = I_{b+} - I_{b-} \tag{3.3.2}$$

입력바이어스전류 Cancel

Figure 3.3.3 의 반전증폭회로에 있어서 입력바이어스 전류의 영향을 식(3.3.3)에 보여줍니다.

$$V_{out} = -\frac{R_2}{R_1} V_{in} - (1 + \frac{R_2}{R_1}) \left[\frac{R_1 R_2}{R_1 + R_2} I_{b-} - R_3 I_{b+} \right] \tag{3.3.3}$$

식(3.3.3)을 입력 바이어스 전류와 입력 오프셋 전류의 정의식(3.3.1)과(3.3.2)을 사용하여 정리하면 식(3.3.4)가 됩니다.

식(3.3.4)에서 입력 바이어스 전류의 영향은 I_b 의 항을 제로로 하기 위해 R_3 을 R_1 과 R_2 의 병렬합성 임피던스와 같은 크기로 하면 없앨 수 있습니다. 또한 식(3.3.4)에서 입력오프셋전류가 존재하면 출력 전압에 영향을 미칩니다.

$$V_{out} = -\frac{R_2}{R_1} V_{in} - (1 + \frac{R_2}{R_1}) \left[\left(\frac{R_1 R_2}{R_1 + R_2} - R_3 \right) I_b - \left(\frac{R_1 R_2}{R_1 + R_2} + R_3 \right) \frac{I_{io}}{2} \right] \tag{3.3.4}$$

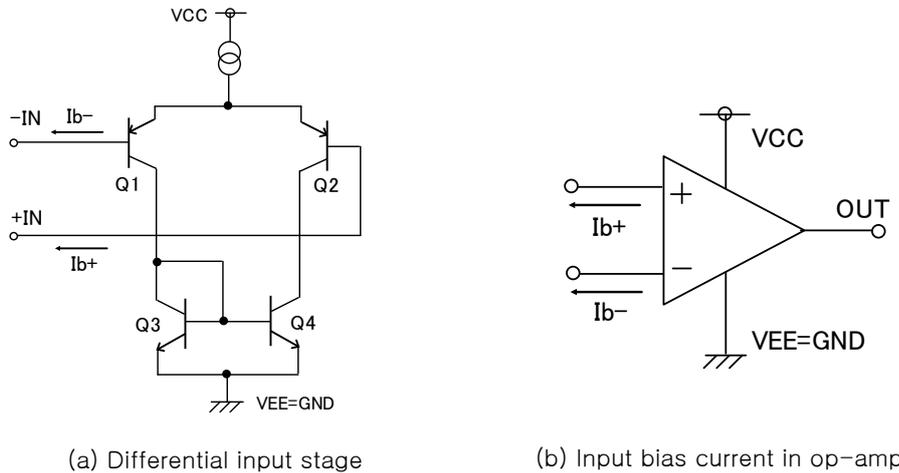


Figure 3.3.2. Input bias current

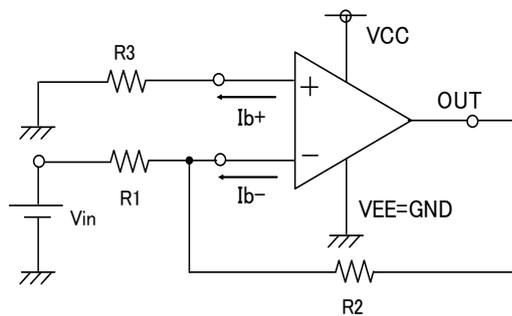


Figure 3.3.3. Input bias current in inverting amplifier circuit

3.4 동상 입력전압 범위

동상 입력전압 범위 (VICM)란 OP Amp 가 정상적으로 동작하는 입력전압 범위를 말합니다. 동상 입력전압 범위 이외의 신호를 입력하면 입력 오프셋 전압이 급격히 증가하여 출력전압이 포화되어 정상적인 동작을 할 수 없습니다. 동상 입력전압범위는 OP Amp 의 입력 회로인 차동 증폭 회로의 회로 구성에 의해 결정됩니다.

Figure 3.4.1 에 4558 계 OP Amp 의 차동 입력단, Figure 3.4.2 에 358/2904 계 OP Amp 의 차동입력단을 나타냅니다. 이 두 개의 OP Amp 의 동상입력 전압 범위에 대해 생각해 봅시다.

4558 계 OP Amp 동상 입력전압 범위를 식(3.4.1)에 나타냅니다. 여기서 동상입력 전압을 VICM 으로 합니다. 동상입력 전압 범위의 하한 값은 Q1, Q2 의 트랜지스터가 포화되지 않고 동작하는데 필요한 전압이 하한입니다. 또한 동상입력 전압 범위의 상한선은 Q0 의 트랜지스터가 포화 되지 않고 동작하는데 필요한 전압입니다.

식(3.4.2)에서 4558 계의 운영체제는 하한도 상한도 트랜지스터가 동작하지 않는 영역이 존재합니다. 이러한 형식의 OP Amp 를 양전원 OP Amp 라고 합니다. 동상 정전원과 음전원을 이용하여 GND 를 중점 전위로 사용하는데 이러한 OP Amp 에서도 바이어스 전압을 적절하게 설정하면 단전원으로 사용할 수도 있습니다.

다음으로 Figure 3.4.2 에 나타나는 358/2904 계 OP Amp 의 동상 입력전압 범위를 식 (3.4.3)에 나타냅니다.

358/2904 계의 OP Amp 는 GND(VEE) 레벨의 입력전압을 취급할 수 있도록 하기 위해 레벨시프트회로 Q1, Q2 를 이용하고 있습니다. 또한 회로구성을 고려하여 Q3, Q4 의 콜렉터 전위가 거의 같아지도록 설계되었습니다. 이것에 의해 Q3, Q4 는 거의 동일한 전압으로 포화됩니다.

식(3.4.4)에서 동상입력전압의 하한은 Vsat 와 Vbe 에 의해 정해져 있습니다. 보통 Vbe 보다 Vsat 가 작아지기 때문에 358/2904 계 OP Amp 의 동상입력 전압 범위는 VEE 를 포함할 수 있으며 GND 레벨의 신호를 입력할 수 있습니다.

4558 계 OP Amp 의 동상입력전압범위

$$V_{EE} + V_{be6} + V_{be5} + V_{sat2} - V_{be2} < V_{ICMR} < V_{CC} - V_{sat0} - V_{be2} \tag{3.4.1}$$

식(3.4.1)에 대해 Vbe 및 Vsat 이 완전히 같다고 하면

$$V_{EE} + (V_{be} + V_{sat}) < V_{ICMR} < V_{CC} - (V_{sat} + V_{be}) \tag{3.4.2}$$

358/2904 계 OP Amp 의 동상 입력전압범위

$$V_{EE} + V_{be5} + V_{Vsat3} - V_{be3} - V_{be1} < V_{ICMR} < V_{CC} - V_{sat0} - V_{be3} - V_{be1} \tag{3.4.3}$$

식(3.4.3)에 대해 Vbe 및 Vsat 이 완전히 같다면

$$V_{EE} + (V_{Vsat} - V_{be}) < V_{ICMR} < V_{CC} - (V_{sat} + 2V_{be}) \tag{3.4.4}$$

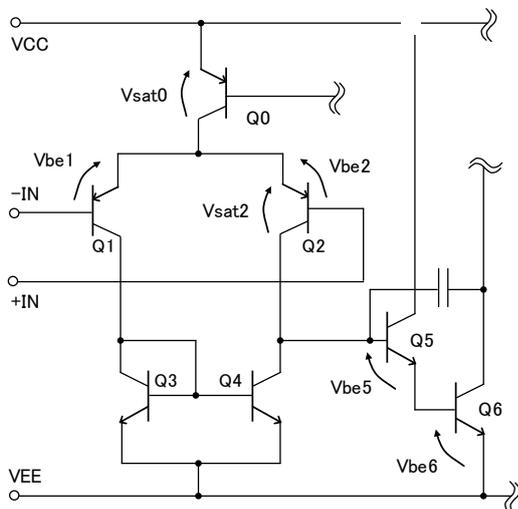


Figure 3.4.1. 4558 계 OPAMP 의 차동 입력단

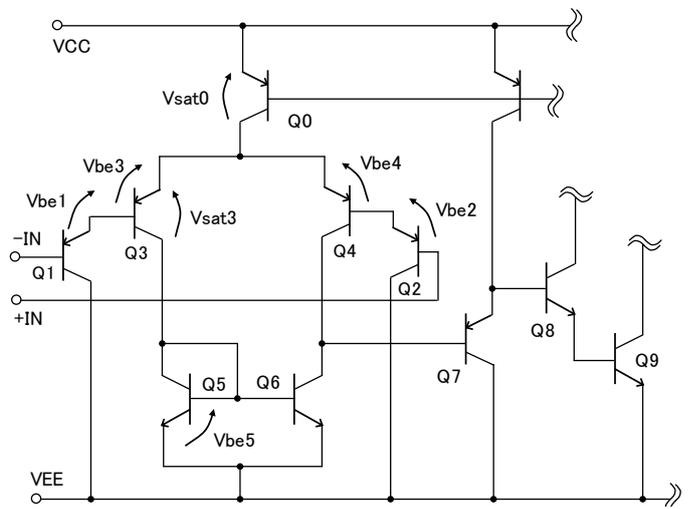
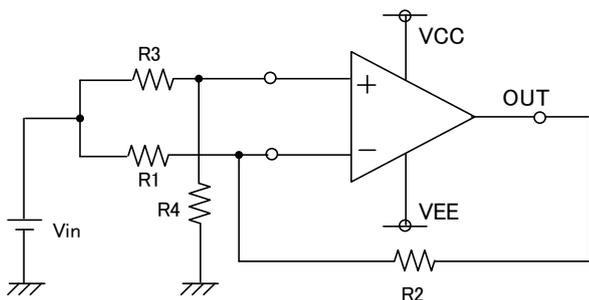


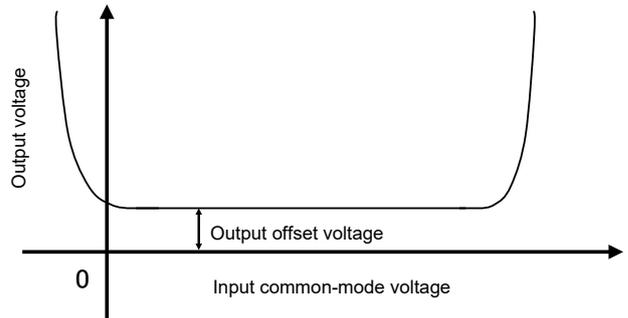
Figure 3.4.2. 358/2904 계 OPAMP 의 차동 입력단

다음으로 동상입력전압의 특성 예와 측정방법에 대해 설명하겠습니다. Figure 3.4.3(a)에 동상입력 전압 측정회로를 나타냅니다. 차동증폭회로의 입력단자를 커먼으로 하여 입력전압을 변화시킵니다. 동상 전압을 입력하고 있기 때문에 이상적으로는 출력전압은 0 이 되지만 실제로는 입력오프셋전압이 존재하기 때문에 Figure 3.4.3(b)에 나타나 듯이 입력 오프셋 전압이 증폭된 출력 오프셋 전압이 출력됩니다. 다음으로 전항에서 동상 입력전압 범위의 고찰을 실시, 358/2904 계 OP Amp 및 4558 계 OP Amp 의 동상입력전압범위의 이미지를 나타냅니다. Figure 3.4.4 및 Figure 3.4.5 와 같이 동상입력 전압 범위가

입력전압을 제한하기 때문에 사용하는 애플리케이션에 적합한 입력 범위를 갖는 OP Amp 를 선택해야 합니다. 여기까지는 동상입력전압범위와 입력오프셋전압이 밀접한 관계를 갖는다는 것을 설명했습니다. CMOS 타입(FET 입력), 바이폴라 타입을 불문하고 동상 입력 전압 범위가 VEE~VCC 까지 확장된 풀 스윙 입력 타입 OP Amp 가 제품화 되어 있습니다. 이러한 OP Amp 는 낮은 전원 전압에서도 입력의 다이내믹 레인지를 확보할 수 있기 때문에 모바일 기기 등의 저전압 동작 애플리케이션에 매우 적합합니다.

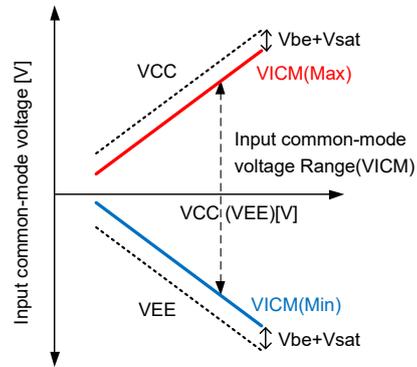
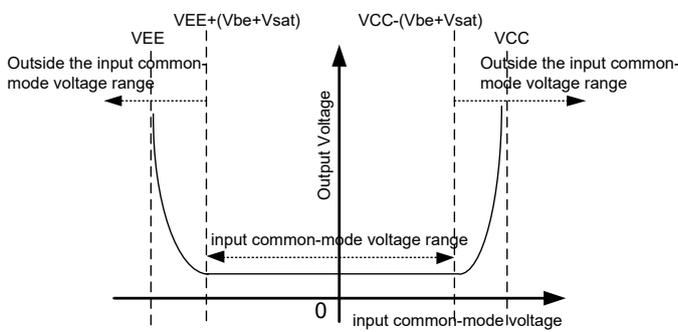


(a) 측정회로도



(b) 동상입력전압 vs 출력전압

Figure 3.4.3. 동상 입력전압 측정회로



전동작 전원전압 범위에 있어서, $V_{be} + V_{sat}$ 는 일정

Figure 3.4.4. 4558 계 OPAMP 의 동상입력전압 범위

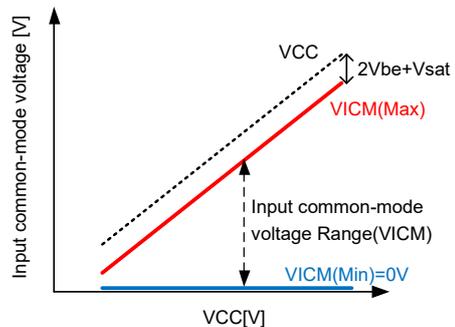
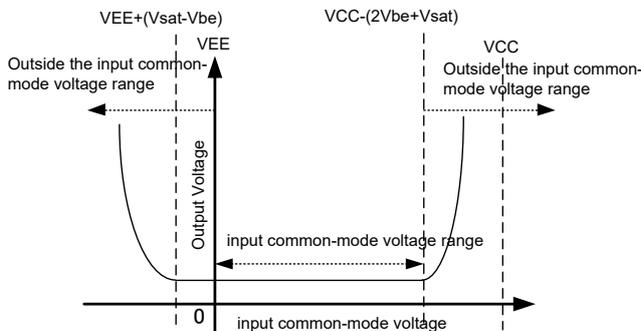


Figure 3.4.5. 358/2904 계 OPAMP 의 동상입력전압 범위

3.5 최대 출력전압 (High / Low 레벨 출력전압)

최대출력전압(출력전압범위)이란 OP Amp 가 출력 가능한 전압 범위를 나타냅니다. 전압 값은 최대 출력전압 High (High 레벨 출력전압)와 최대 출력전압 Low(Low 레벨 출력전압)로 나뉩니다.

출력전압범위는 출력회로구성, 전원전압, 부하조건(출력 전류량)에 따라 제한됩니다.

다음으로 양전원 OP Amp 로서 가장 표준적인 4558 계 Low 노이즈 OP Amp 의 출력전압 범위에 대해 설명합니다. 출력전압범위란 OP Amp 의 출력 회로 구성에 따라간다고 기재하였으나 회로를 구성하는 트랜지스터 등의 소자가 정상적으로 동작하기위해 필요한 전압이 있기 때문에 제한이 생깁니다.

Figure 3.5.1 에 4558 의 출력 등가회로를 나타냅니다. 첫 번째로 최대출력전압 High 에 대해 생각합니다. 출력단자에서 VCC 단자까지의 경로에는 트랜지스터 Q1, Q2 출력보호저항 R1 이 존재합니다. 정상적으로 동작하기 위해 필요한 전압은 Q1 의 컬렉터-이미터간 전압 Vce1, Q2 의 베이스 - 이미터간 전압 Vbe2, 또한 출력 소스전류 Isource 가 흐르고 있는 경우 Q2 의 이미터에서 R1×Isource 만큼 전압강하가 발생합니다. 부하 RL 이 무겁고(저항 값이 작음) 흐르는 소스전류가 클수록 출력전압은 좁아집니다.

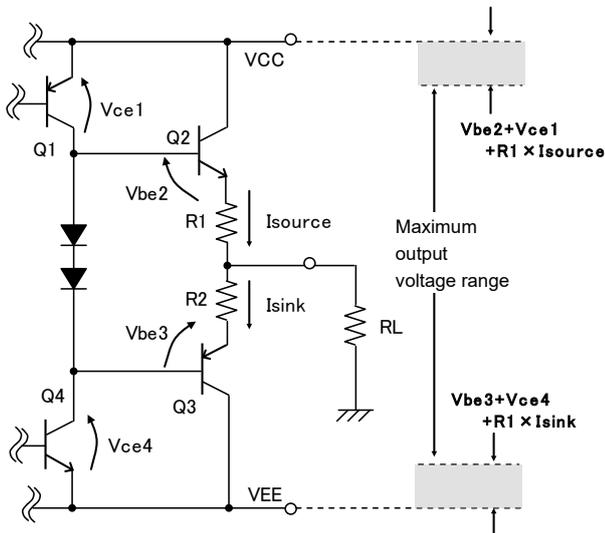


Figure 3.5.1. 4558 계 OPAMP 의 출력등가회로도

최대출력전압 High 는 다음의 식으로 표현합니다.

$$\text{최대출력전압 High} = VCC - Vce1 - Vbe2 - (R1 \times I_{source}) \quad (3.5.1)$$

먼저, 최대출력 전압 Low 에 대해 생각합니다.

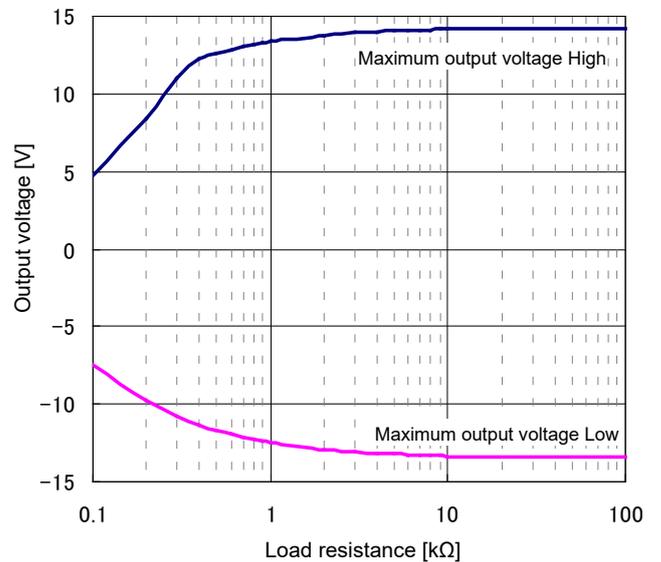
출력단자에서 VE 단자까지의 경로에는 트랜지스터 Q3, Q4, 단락보호저항 R2 가 존재합니다. 사고방식은 최대출력전압 High 와 동일하며 최대출력전압 Low 는 트랜지스터 Q4 의 컬렉터-이미터간 전압 Vce4, Q3 의 베이스-이미터간 전압 Vbe3, 나아가 출력싱크전류 Isink 가 흐르고 있는 경우 보호 저항 R2 에 의해 전압강하가 발생합니다.

최대출력전압 Low 는 다음 식으로 나타냅니다.

$$\text{최대출력전압 Low} = VEE + Vce4 + Vbe3 + (R2 \times I_{sink}) \quad (3.5.2)$$

Figure 3.5.2 에 4558 계 운영체제의 최대출력전압예를 나타냅니다.

Figure 3.5.2 에 나타나 있듯이 정전원(VCC), 음전원(VEE) 양측에 동작하지 않는 불감 영역이 존재합니다.



VCC/VEE = +15 V/-15 V, Ta = 25°C, VRL = VCC/2

Figure 3.5.2. 4558 계 OPAMP 의 최대 출력전압 예

다음으로 단전원 OP Amp 로 가장 표준적인 358/2904 계의 OP Amp 의 출력전압단위에 대해 생각해 보겠습니다.

Figure 3.5.3 는 358/2904 계 OP Amp 의 출력 등가회로입니다. 최대출력전압 High 에대해서는 출력단자에서 VCC 단자까지의 경로에는 트랜지스터 Q1,Q2,Q3 및 전류제한저항 R1 이 존재합니다. 이 회로가 동작하기 위해서는 Q1 의 콜렉터-에미터간 전압 Vce1,Q2,Q3 의 베이스-에미터간 전압 Vbe2,Vbe3 거기에 출력 소스 전류 Isource 에 따라 $R1 \times I_{source}$ 의 분만큼 전압강하가 발생합니다. 부하 RL 가 무거워(저항 값이 작음) 흐르는 소스 전류가 클수록 출력 전압이 좁아집니다. 최대 출력전압 High 의 식은 다음과 같습니다.

$$\text{최대출력전압 High} = VCC - Vce1 - Vbe2 - Vbe3 - (R1 \times I_{source}) \quad (3.5.3)$$

최대출력전압 Low 에 대해 생각해 보겠습니다. 358/2904 의 장점으로 출력단자에서 VEE 단자까지의 경로가 2 계통 존재합니다. 하나는 트랜지스터 Q4,Q5 의 경로, 다른 하나는 Q6 의 경로입니다. Q6 의 경로는 트랜지스터 Q6 에의해 출력전압 Low 시에 정전류 40 μ A 가 항상 출력단자에서 흐르는 구조로 되어 있습니다.

이 정전류를 Low 레벨 싱크 전류로 부릅니다. 이 이 40 μ A 보다 출력 전류가 충분히 작은 경우에는 출력 전압 Low 는 Q6 컬렉터-이미 터간 전압 Vce6 에 의해 결정됩니다.

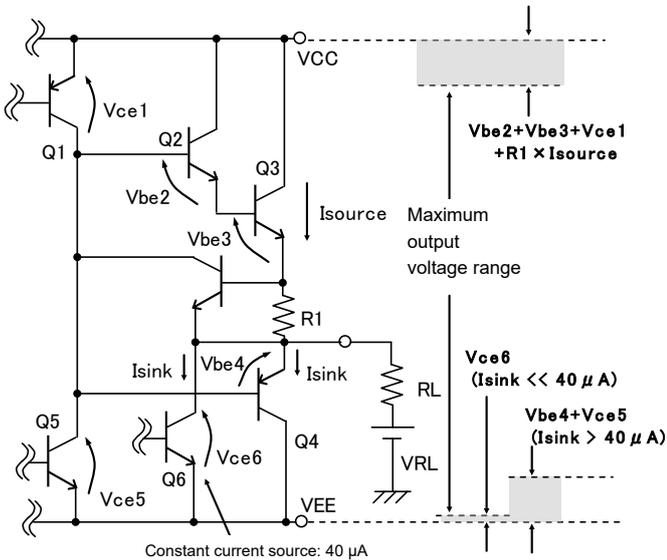


Figure 3.5.3. 358/2904 계 OPAMP 의 출력등가회로

이때 Low 레벨 출력 전압은 아주 작은 10mV 정도가 되기 때문에 거의 GND 레벨까지 출력전압이 출력 가능합니다. 여기에서 출력 싱크 전류 Isink 가 40 μ A 보다 크게 되었을 때, 출력 싱크 전류는 Q4 에 흐르기 시작합니다. Q4 가 작동하는 데 필요한 전압은 Q5 의 컬렉터 - 에미터 터간 전압과 Q4 의 베이스 - 에미터 전압입니다. 최대출력전압 Low 는 다음 식으로 표시됩니다.

$$\text{최대출력전압 Low} = VEE + Vce6 \quad (I_{sink} < 40 \mu A) \quad (3.5.4)$$

$$\text{최대출력전압 Low} = VEE + Vce5 + Vbe4 \quad (I_{sink} > 40 \mu A) \quad (3.5.5)$$

이처럼 358 / 2904 계열의 앰프는 출력 싱크 전류의 양에 따라 동작하는 회로가 다르기 때문에 부하에 의한 전류가 40 μ A 의 Low 레벨 싱크 전류 부근의 값으로 사용하면 출력 회로의 전환에 의해 Low 레벨 전압이 변화하기 때문에 파형에 왜곡이 발생합니다. 이 왜곡을 크로스오버 왜곡 이라고 합니다. 이 왜곡에 대해서는 나중에 자세히 설명합니다.

Figure 3.5.4 에 358/2904 계 OP Amp 의 최대출력전압의 예를 표시합니다. Figure 3.5.4 에 표시된 것처럼 정전원 (VCC)에 동작하지 않는 불감영역이 존재합니다. 부전원 (VEE)측은 조건에 따라 VEE (GND)부근의 전압을 출력할 수 있는 것을 알 수 있습니다.

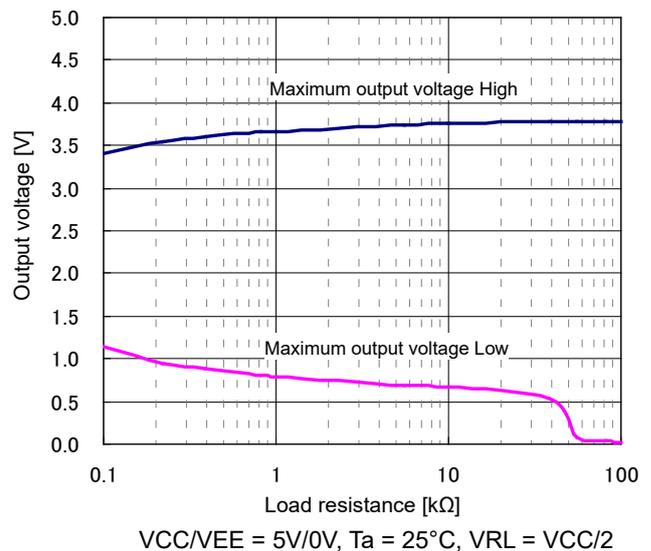


Figure 3.5.4. 358/2904 계 OPAMP 의 최대출력전압 예

3.6 대신호 전압 이득 (개방 이득 / 오픈 루프 게인)

OP Amp · 비교기의+입력단자, -입력 단자의 차이 전압에 대한 이득을 보여줍니다.

데이터 시트에 명시된 규격치는 직류 전압에 대한 전압 이득을 보여줍니다. 귀환 회로를 구성 할 때 생기는 이득 오차를 최대한 줄이기 위해 일반적으로 높은 전압 이득 (높은 개방 이득)가 이상적입니다. 출력 전압 VOUT 입력 전위차를 VIN_d 라고하면 전압 이득 Av 는 다음 식으로 주어집니다.

$$A_v = \frac{V_{OUT}}{V_{IN_d}} \tag{3.6.1}$$

Figure 3.6.1 비반전 증폭회로를 예로 이득오차를 생각할 수 있습니다.

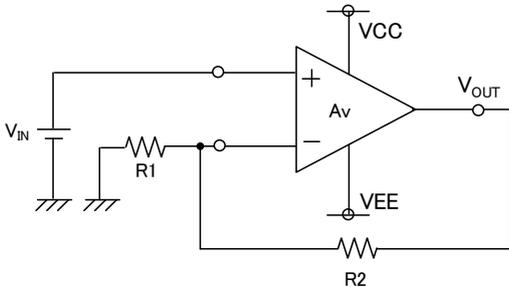


Figure 3.6.1. 비반전 증폭 회로

출력전압 VOUT 은 다음식입니다.

$$V_{OUT} = \left(1 + \frac{R_2}{R_1}\right) \times \frac{1}{1 + \left(1 + \frac{R_2}{R_1}\right) \times \frac{1}{A_v}} \times V_{IN} \tag{3.6.2}$$

식 (3.6.2)에서 Av 가 ∞라고 생각하면 회로의 이득은 1 + R2 / R1 에서 결정됩니다. 즉 개방 이득 Av 가 유한한

경우에 이득 오차가 발생할 수 있습니다. 여기서 R1 = 1 [kΩ], R2 = 10 kΩ, Av = 80dB (10000 배)하면 이상적인 상태에서는 증폭 율은 11 배입니다.

$$V_{OUT} = (11) \times \frac{1}{1 + (11) \times \frac{1}{10000}} \times V_{IN} = \frac{11}{1.0011} \cong 10.988 \tag{3.6.3}$$

VOUT 은 식 (3.6.3)로 11 배보다 작은 값입니다. 이 차이를 이득오차라고 합니다.

Figure 3.6.2 출력 전압과 대신호 전압 이득 증폭율의 관계를 보여줍니다.

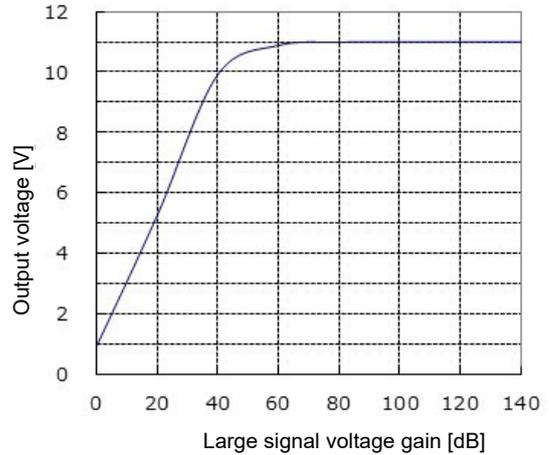


Figure 3.6.2. 출력 전압과 대신호 전압 이득의 관계

전압 이득은 주파수에 따라 입력 신호 주파수가 높아질수록 감소합니다. 따라서 주파수가 높아질수록 이득 오차가 커집니다.

Figure 3.6.1 의 회로의 전압이득 주파수특성 예를 Figure 3.6.3 에 표시합니다 (OP Amp 는 BA2904 를사용)

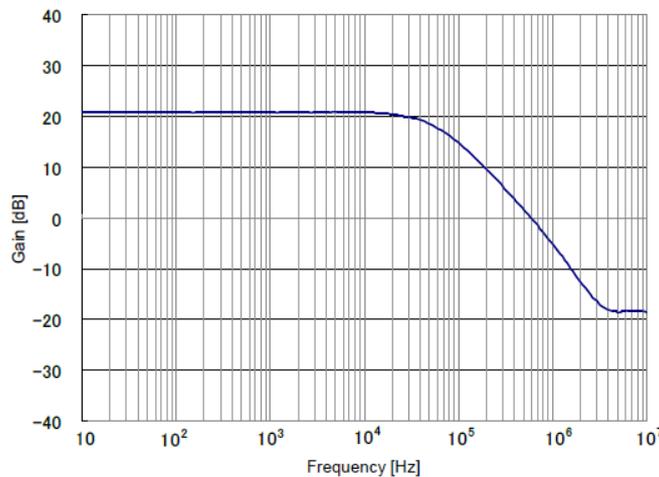


Figure 3.6.3. 전압이득 주파수 특성

3.7 동상 신호 제거비 CMRR (Common Mode Rejection Ratio)

동상 신호 제거비 CMRR(CMRR_{AMP})는 동상입력전압을 변화시킬 때의 출력 전압 변화량의 비를 디지털 표기한 것입니다. 일반적으로 데이터 시트에 규정되어 있는 CMRR 직류 동상 입력 전압과 그것을 변화시켰을 때의 입력 오프셋 전압의 변동과 ΔV_{IO}의 비율을 나타내며 OP Amp 자신의 CMRR을 나타냅니다. 자세한 내용은 다음 절에서 설명합니다.

$$CMRR_{AMP} = 20 \log \left(\frac{\Delta V_{ICM}}{\Delta V_{IO}} \right) \tag{3.7.1}$$

다음으로 증폭 회로를 구성했을 때의 동상신호 제거비를 설명합니다. 외부저항을 이용하여 증폭 회로를 구성했을 때에 저항의 오차 (페어 미스 매치)가 존재하게 되면 증폭 회로 상에 오프셋전압이 발생합니다. 이 저항 오차에 의한 오프셋 전압은 증폭기가 가진 입력 오프셋 전압과 마찬가지로 동상 신호 제거비에 영향을 미칩니다. 증폭 회로의 저항 오차에 의한 CMRR_{RES}는 다음 식으로 계산할 수 있습니다.

이때 OP Amp의 CMRR (CMRR_{AMP})은 이상적 (∞)일 것이라고 하겠습니다. 여기서 말하는 오차는 R1과 R3, R2와 R4의 미스매치입니다.

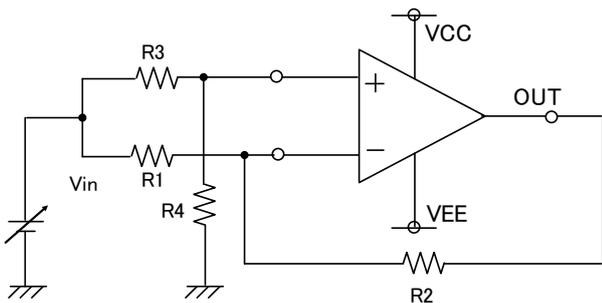
G는 증폭 회로의 이득 R₂/R₁을 표시합니다. 여기서 CMRR_{RES}=G_{DIFF}(차동전압 증폭율)/G_{CM}(동상전압 증폭율)로 합니다. (소개는 생략합니다).

$$CMRR_{RES} = \frac{1+G}{1-\frac{R_2R_3}{R_1R_4}} \tag{3.7.2}$$

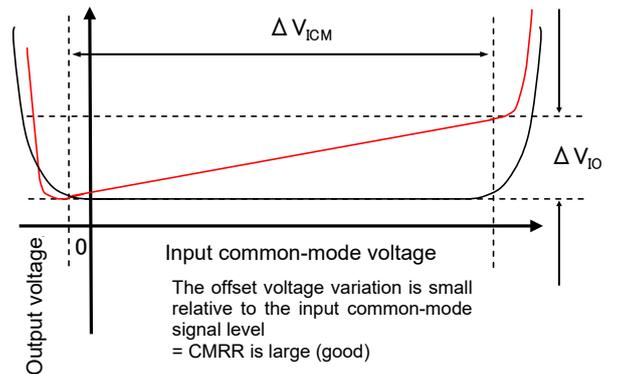
Figure 3.7.1(a)에 따른 회로전체의 CMRR_{ALL}은 식 (3.7.3)로 표시됩니다.

$$CMRR_{ALL} = \frac{1+G}{\frac{1+G}{CMRR_{AMP}} + \left(1 - \frac{R_2R_3}{R_1R_4}\right)} \tag{3.7.3}$$

따라서 저항의 미스매치는 증폭 회로의 동상신호 제거비에 영향을 주어 CMRR(CMRR_{AMP})이 큰 OP Amp를 사용해도 저항의 미스매치에 의해 제한되는 것을 알 수 있습니다. 다음 항에서 OP Amp가 가지는 동상신호 제거비의 의미에 대해서 생각해 보겠습니다.



(a) 측정 회로도



(b) 입력 오프셋전압 변동

Figure 3.7.1. 입력 오프셋 전압과 CMRR의 관계

OP Amp 의 동상 신호 제거 비

OP Amp 의 회로설계 입문서 등에 기재되어 있는 OP Amp 자신이 가지는 CMRR 의 정의로는 OP Amp 의 입력차에 대한 이득, 차동전압이득 Ad 와 동상입력전압에 대한 이득, 동상전압이득 Ac 와의 비인 $CMRR=Ad/Ac$ 를 디지털 표기한 것입니다. 이것은 식 (3.7.1)와 같습니다. OP Amp 는 +입력단자와 -입력단자의 차이전압을 AMP 가 가지는 이득분 만큼 증폭하는 것이 이상적이지만 실제의 OP Amp 에서는 동상입력전압의 변화에 의해서 회로내부의 직류 동작점 (전류 · 전압)이 변화하므로 차동 전압이득과 동상전압이득이 변화합니다.

이에 따라, 입력 오프셋전압이 변화해 출력전압의 변동으로 관측되어 버립니다. OP Amp 입력의 차이 전압에 대한 이득을 차동전압이득 Ad 동상입력전압에 대한 이득을 동상전압이득 Ac+입력단자의 전위를 V_{in_p} , -입력단자의 전위를 V_{in_n} 라고 하면 OP Amp 의 출력전압은 다음 식으로 표시할 수 있습니다.

$$V_{OUT} = Ad \times (V_{in_p} - V_{in_n}) + Ac \times V_{ICM} \quad (3.7.4)$$

$$V_{OUT} = Ad \times \left((V_{in_p} - V_{in_n}) + \frac{Ac}{Ad} \times V_{ICM} \right) \quad (3.7.5)$$

여기에서 V_{IC} 은 동상입력전압에서 $(V_{in_p} + V_{in_n})/2$ 입니다. 식(3.7.5)의 $(Ac/Ad) \times V_{IC}$ 의 항은 동상입력전압에 의한 오차를 표시하는 것으로 입력 오프셋 전압으로 볼 수 있습니다.

$$V_{IO} = \frac{Ac}{Ad} \times V_{ICM} \quad (3.7.6)$$

식(3.7.6)에 의해, 동상 입력전압의 변화에 대한 입력 오프셋 전압의 변동은

$$\frac{\Delta V_{ICM}}{\Delta V_{IO}} = \frac{Ad}{Ac} = CMRR \quad (3.7.7)$$

식(3.7.7)로 되어 먼저 기술한 동상 입력 전압과 입력 오프셋 전압의 비와 등가가 됩니다.

예로 식(3.7.7)을 이용하여 동상입력전압의 변화에 따른 출력에 미치는 영향을 계산합니다.

동상입력전압 $V_{IC}=0[V]$ 일 때의 오프셋전압 $V_{IO_0}=1[mV]$, $CMRR=80[dB]=10000[배]$ 일 때의 $V_{IC}=10[V]$ 의 입력 오프셋 전압 $V_{IO_{10}}$ 를 구합니다.

$$CMRR = \frac{V_{IC_{10}} - V_{IC_0}}{V_{IO_{10}} - V_{IO_0}} \quad (3.7.8)$$

$$V_{IO_{10}} = \frac{10[V]}{CMRR[times]} + 1[mV] = 2[mV] \quad (3.7.9)$$

따라서 $CMRR=80[dB]$ 일 때 10[V]의 동상입력전압의 변동에 의해 입력오프셋전압은 1[mV] 증가합니다.

다음 항에서 동상 입력 전압의 변화에 의해 입력오프셋 전압이 변동하는 매카니즘에 대해 설명하겠습니다.

동상 입력전압에 의한 입력오프셋전압 변동의 원리 (참고) Figure 3.7.2 에 차동입력단의 등가회로를 표시합니다. 동상입력전압의 변화에 따라 입력 오프셋 전압이 증가하는 메커니즘을 설명합니다. 먼저, 트랜지스터 M1 과 M2, M3 와 M4 의 특성이 동일하다고 가정합니다. 이것은 차동 입력단과 능동 부하에서 발생하는 입력 오프셋 전압이 없음을 의미합니다. 특성이 완전히 동일하기 때문에 게이트-소스 전압은 동일 차동 입력 트랜지스터 M1, M2 에 흐르는 전류는 동일합니다. 다음으로 능동부하 M3, M4 도 특성이 동일하기 때문에 흐르는 전류도 같습니다. 흐르는 전류가 같고 특성이 동일하면 능동부하 M3 와 M4 의 드레인 전압은 동일합니다. 이에 따라 Figure 3.7.2(b)소신호 등가회로 1 에서 V_x 와 V_o 를 가상적으로 단락하고 있다고 생각할 수 있습니다. 이점을 감안하여 소 신호 등가 회로를 설명하면 Figure 3.7.2 (c) 소 신호 등가 회로 2 가 됩니다. 각 트랜지스터의 구성이 병렬로 연결된 것으로 보이므로 회로 합성시 간략화가 가능합니다.

그리고 $1/r_d = g_d$ 로 하겠습니다. 노드 V_o 와 V 에 대해서 식을 세웁니다. 식(3.7.10)를 정리해서 $g_{m4}, g_{m2} \gg g_{d4}, g_{d2}$ 로 두면 근사식 (3.7.11)로 됩니다 (소개는 생략합니다). 식(3.7.11)에 의해 동상전압이득 A_c 는 TR M5 의 임피던스와 능동 부하의 g_m 에 의해 결정됩니다. 다음으로 차동 전압 이득은 식(3.7.12)로 표시할 수 있습니다(소개는 생략). 입력 오프셋 전압을 V_{IO} 로 두고 식(3.7.11)및 식(3.7.12)에서 CMRR 을 구하면 식 (3.7.13)로 됩니다. 위에서 동상 전압 이득 A_c 을 작게 하기 위해서는 r_{d5} 과 g_{m4} 를 크게 해야할 필요가 있습니다. r_{d5} 가 크다는 것은 Tr M5 에 흐르는 전류가 동상입력전압의 영향을 받기 어렵다는 것과 같은 의미를 가집니다. 그러나 실제로는 r_{d5} 과 g_{m4} 는 유한한 값으로 CMRR 이 제약을 받을 수 있다는 것을 알 수 있습니다. 즉 CMRR 이 유한하므로 동상입력전압의 변화에 의해 입력오프셋전압도 변동을 일으킬 수 있습니다.

이 회로에서 동상전압이득을 구할 수 있습니다.

동상전압이득을 구함에 있어서 g_m 을 TR 의

$$g_{d5}V + 2g_{m2}(V_{ICM} - V) + 2g_{d2}(V - V_o) = 0 \tag{3.7.10}$$

$$2g_{m4}V_o + 2g_{d4}V_o + 2g_{m2}(V_{ICM} - V) + 2g_{d1}(V - V_o) = 0$$

$$A_c = \frac{V_o}{V_{ICM}} = \frac{1}{2g_{m4}r_{d5}} \tag{3.7.11}$$

$$A_d = \frac{V_o}{V_{ind}} = g_{m1}(r_{d2} // r_{d4}) \tag{3.7.12}$$

$$CMRR = \frac{A_d}{A_c} = \frac{V_{ICM}}{V_{ind}} = \frac{V_{ICM}}{V_{IO}} = 2g_{m4}g_{m1}r_{d5}(r_{d2} // r_{d4}) \tag{3.7.13}$$

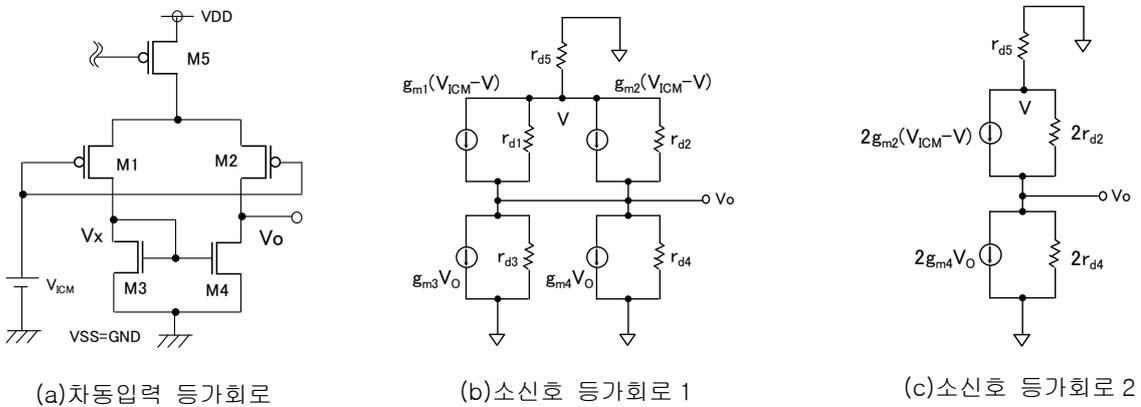


Figure 3.7.2. OPAMP 차동입력 등가 회로도

다음으로 CMRR의 주파수특성에 대해 설명합니다.

식 (3.7.13)에 표시된 차동 전압이득은 직류전압에 대한 것으로 실제로는 주파수 특성을 갖습니다.

이것은 식(3.7.13)에서 보여지는 것처럼 OP Amp의 차동 전압 이득은 CMRR과 밀접한 관계를 가집니다.

OPMAMP의 차동전압이득은 차동입력단이 가지는 제 1의 극 (1st HALL)에 의해 주파수가 높을수록 -6dB/oct (= -20dB/dec)로 감소합니다.

이에 따라 CMRR도 동시에 감소됩니다.

Figure 3.7.3에 CMRR의 주파수 특성을 표시합니다.

실제로 OP Amp를 사용할 때에는 CMRR의 주파수 특성을 고려하는 것이 중요합니다.

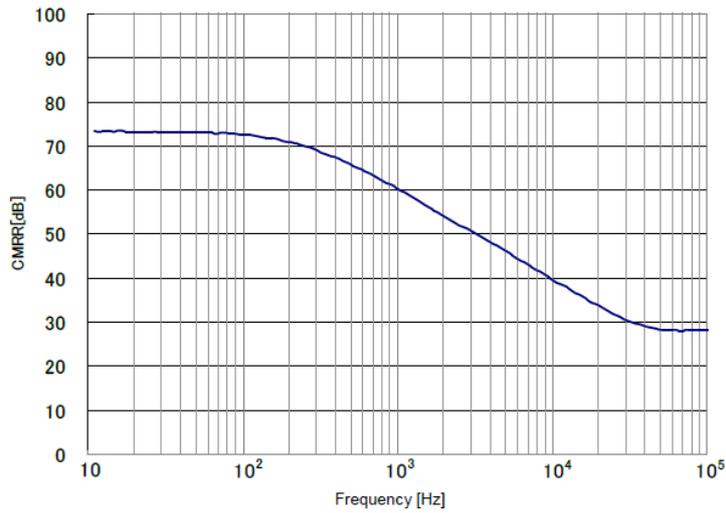


Figure 3.7.3. CMRR 주파수 특성

3.8 전원전압 제거비 PSRR (Power Supply Rejection Ratio)

전원전압 제거비 PSRR 라는 것은 전원전압을 변화시킬 때의 입력 옴셋전압의 변동량 비율을 표시한 것입니다. 일반적으로 데이터 시트에 기재되어 규격치의 직류 전압원을 변화시킨 경우의 입력 옴셋 전압의 변동비를 표시합니다.

$$PSRR = 20 \log \left(\frac{\Delta V_{CC}}{\Delta V_{IO}} \right) \quad (3.8.1)$$

일반적인 PSRR의 정의로는 AMP의 입력 차이 전압에 대한 이득인 변동전압이득 Ad 과 전원전압에 대한 전원변동 이득 Ap 와의 비 PSRR=Ad/Ap 로 표시하지만 이것은 식(3.8.1)과 같은 의미를 가집니다.

OP Amp 는 +입력 단자와 -입력단자의 차전압을 AMP 가 가지는 이득분만 증폭하는 것이 이상적이지만 실제의 OP Amp 에서는 동상입력전압의 변화에 의해서 회로 내부의 직류 동작점 (전류 · 전압)이 변화하므로 차동 전압 이득과 동상전압이득이 변화합니다.

이에 따라, 입력 옴셋전압이 변화해 출력전압의 변동으로 관측되어 버립니다.

OP Amp 입력의 차이 전압에 대한 이득을 차동 전압 이득 Ad, 동상입력전압에 대한 이득을 동상 전압 이득 Ac, +입력단자의 전위를 Vin_p, -입력단자의 전위를 Vin_n 라고 하면 OP Amp 의 출력 전압은 다음 식으로 표시할 수 있습니다.

$$V_{OUT} = Ad \times (V_{in_p} - V_{in_n}) + Ap \times V_{CC} \quad (3.8.2)$$

$$V_{OUT} = Ad \times \left((V_{in_p} - V_{in_n}) + \frac{Ap}{Ad} \times V_{CC} \right) \quad (3.8.3)$$

식(3.8.3)의 (Ap/Ad)×Vcc 의 항은 전원전압에 의한 오차 항을 표시하는 것으로 입력 옴셋전압으로 볼 수 있습니다.

$$V_{IO} = \frac{Ap}{Ad} \times V_{CC} \quad (3.8.4)$$

이 관계식에 의해 전원전압의 변화에 대한 입력 옴셋 전압의 변동은 식 (3.8.5)로 되어 PSRR 은 먼저 기술한 전원 전압 변동에 대한 입력 옴셋 전압의 변동의 비와 등가가 됩니다.

$$\frac{\Delta V_{CC}}{\Delta V_{IO}} = \frac{Ad}{Ap} = PSRR \quad (3.8.5)$$

예로서 식(3.8.5)을 이용하여 OP Amp 의 Vcc=10[V]에의 입력 옴셋 전압을 Vio_10=1[mV]로 Vcc=20[V]에의 입력 옴셋 전압 Vio_20을 구할 수 있습니다.

여기에서 PSRR=80[dB](=10000 배)로 합니다.

$$PSRR = \frac{V_{CC_20} - V_{CC_10}}{V_{IO_20} - V_{IO_10}} = 10000[\text{times}] \quad (3.8.6)$$

$$V_{IO_10} = \frac{10[V]}{10000[\text{times}]} + 1[mV] = 2[mV] \quad (3.8.7)$$

따라서 PSRR=80[dB]일 때 10[V]의 전원 전압 변동에 의한 입력 옴셋 전압은 1[mV]증가합니다.

증폭 회로를 구성한 경우에는 출력 전압에 오차로서 증폭 회로의 이득이 배가된 오차 전압이 출력됩니다.

100[배]의 비반전 증폭 회로를 구성한 경우에는 출력 전압은 전원 전압이 10[V] 변동되면 출력 전압은 100[mV]변동 됩니다.

전원 전압에 의한 입력 오프셋 전압의 변동 원리 (참고)
Figure 3.8.1 에 차동 입력단의 등가회로를 표시합니다.

전원 전압의 변화에 따라 입력 오프셋 전압이 증가하는 메커니즘을 설명합니다. 먼저, 트랜지스터 M1과 M2, M3와 M4 의 특성이 동일하다고 가정합니다. 이것은 차동 입력단과 능동 부하에서 발생하는 입력 오프셋 전압이 없음을 의미합니다. 특성이 완전히 동일하기 때문에 게이트-소스 전압은 동일 차동 입력 트랜지스터 M1, M2 에 흐르는 전류는 동일합니다. 단, 전원 전압 변동을 생각하는 경우, 전원의 변동에 의해 동상 입력 전압 범위도 변화하므로, 항상 입력 전압의 레벨은 동상 입력 전압 범위의 중간으로 조정합니다. 다음으로 능동부하 M3, M4 도 특성이 동일하기 때문에 흐르는 전류도 같습니다. 흐르는 전류가 같고 특성이 동일하면 능동부하 M3 와 M4 의 드레인 전압은 동일합니다. 이에 따라 Figure 3.8.1(b)소신호 등가회로 1 에서 V_x 와 V_o 를 가상적으로 단락하고 있다고 생각할 수 있습니다. 이점을 감안하여 소신호 등가 회로를 설명하면 Figure 3.8.1 (c) 소 신호 등가 회로 2 가 됩니다. 각 tr 의 구성이 병렬로 연결된 것으로 보이므로 회로 합성시 간략화가 가능합니다. 이 회로에서 전원 전압 이득을 구할 수 있습니다.

원 전압 이득을 구함에 있어 g_m 을 Tr 의 트랜스 컨덕턴스, r_d 를 드레인 임피던스, g_d 를 드레인 컨덕턴스, V_{ICM} 을 동상 입력 전압, V 를 $M5$ 의 드레인 전압으로 합니다. 또한 $1/r_d=g_d$ 로 합니다. 노드 V_o 과 V 에 대해서는 식(3.8.8)을 세웁니다.

식(3.8.9)에 의해,전원 전압 이득 A_p 는 Tr $M5$ 의 임피던스와 능동부하의 g_m 에 의해 결정됩니다. 다음으로 차동 전압 이득은 식 (3.8.10)로 표시할 수 있습니다. (도출은 생략)
입력 오프셋 전압을 V_{IO} 로 하면 식(3.8.9)및 식 (3.8.10)으로 PSRR 을 구하면 식 (3.8.11)이 됩니다.

위에서 전원 전압 이득 A_p 을 작게 하기 위해서는 r_{d5} 과 g_{m4} 를 크게 해야 할 필요가 있습니다. r_{d5} 가 크다는 것은 Tr $M5$ 에 흐르는 전류가 동상입력전압의 영향을 받기 어렵다는 것과 같은 의미를 가집니다. 그러나 실제로는 r_{d5} 과 g_{m4} 는 유한한 값으로 PSRR 이 제약을 받을 수 있다는 것을 알 수 있습니다. 즉, PSRR 이 유한하므로 동상 입력 전압의 변화에 의해 입력 오프셋 전압도 변동을 일으킬 수 있습니다.

$$g_{d5}(V - V_{ps}) + 2g_{m1}(V_{ICM} - V) + 2g_{d1}(V - V_o) = 0 \tag{3.8.8}$$

$$2g_{m4}V_o + 2g_{d4}V_o + 2g_{m1}(V_{ICM} - V) + 2g_{d1}(V - V_o) = 0$$

$$A_p = \frac{V_o}{V_{ds}} = \frac{g_{e5}}{2g_{m4}} = \frac{1}{2g_{m4}r_5} \tag{3.8.9}$$

$$A_d = \frac{V_o}{V_{ind}} = g_{m1}(r_{d2} // r_{d4}) \tag{3.8.10}$$

$$PSRR = \frac{A_d}{A_p} = \frac{V_{ds}}{V_{ind}} = \frac{V_{ds}}{V_{IO}} 2g_{m4}r_5g_{m1}(r_{d2} // r_{d4}) \tag{3.8.11}$$

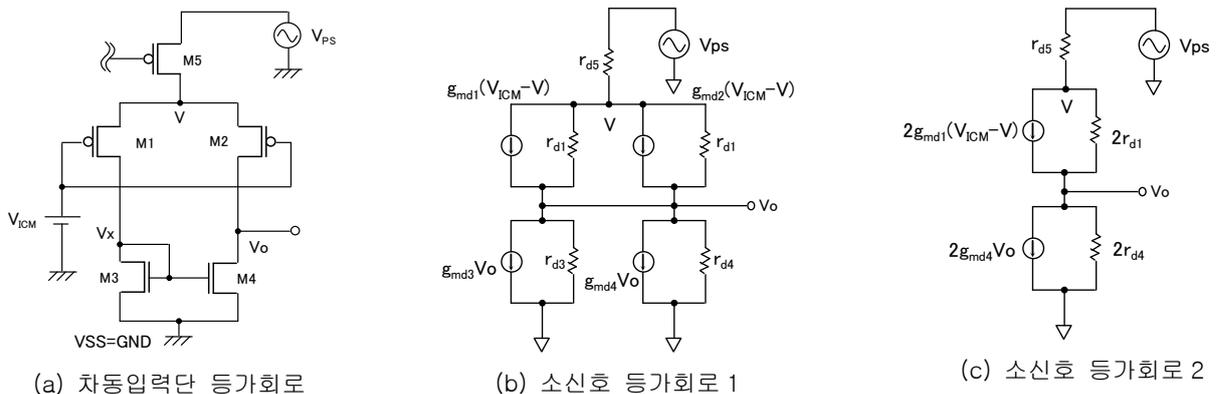


Figure 3.8.1. OPAMP 차동입력 등가회로

PSRR 은 CMRR 과 같이 입력된 신호주파수가 높을수록 값이 작아집니다. 이것은 식(3.8.11)에서 보여지는 것처럼 OP Amp 의 차동 전압 이득은 PSRR 과 밀접한 관계를 가집니다. OPMAMP 의 차동 전압 이득은 차동 입력단이 가지는 제 1 의 극 (1st HALL)에 의해 주파수가 높을 수록 -6dB/oct (= -20dB/dec)로 감소합니다.

이에 따라 PSRR 도 동시에 감소됩니다. 따라서 전원 라인에 높은 주파수의 리플 노이즈가 존재하면 출력 전원을 크게 변동시켜 출력 노이즈의 원인이 됩니다. 전원 노이즈 대책으로 OP Amp 의 전원 단자 근처에 바이어스 콘덴서를 연결하는 것으로 영향을 억제 할 수 있습니다. Figure 3.8.2 는 전원 전압 제거 대비 주파수 특성의 예를 나타냅니다.

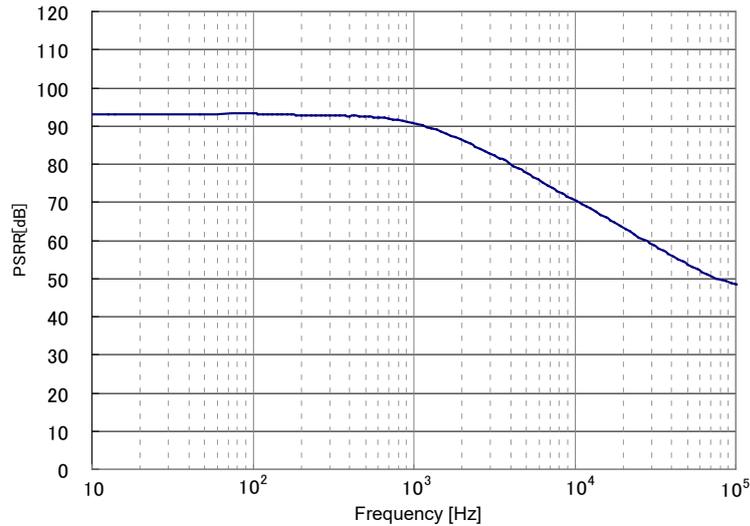


Figure 3.8.2. PSRR - 주파수특성

3.9 SR (Slew Rate)

Slew rate 는 OP Amp 의 동작 속도를 나타내는 파라미터입니다. 출력 전압이 규정한 단위시간당에 변화하는 비율을 나타냅니다. 예로서는 1[V/μs]는 1[μs]에서 1[V] 전압을 변동 시킬 수 있다는 의미입니다.

이상적인 OP Amp 는 어떤 입력 신호에 대해서도 충실히 출력 신호를 출력 할 수 있지만 실제로는 Slew rate 제한이 존재합니다. 입력 상승 및 하강이 급격한 구형파 펄스를 인가했을 때 출력 전압이 단위 시간당 얼마나 변화 할 수 있는지를 보여줍니다.

Figure 3.9.1 에 Slew rate 를 정의를 표시합니다. 상승과 하강의 Slew rate 는 (3.9.1)로 계산됩니다.

$$SR_r = \frac{\Delta V}{\Delta T_r} \quad SR_f = \frac{\Delta V}{\Delta T_f} \quad (3.9.1)$$

데이터 시트상에서의 Slew rate 의 규정은 「상승」 혹은 「하강」에서 늦은 쪽을 기준으로 규정되어 있습니다. Slew rate 는 OP Amp 출력 신호의 기울기의 최대값을 의미합니다. 이 이상의 급격한 변화를 가지는 신호에 대해서는 출력 파형은 따라가지 못하여 왜곡됩니다.

증폭 회로를 구성한 경우에도 Slew rate 는 출력 변화의 비율이므로 달라지는 것은 없습니다.

OP Amp 를 실제로 사용함에 있어서 Slew rate 가 가지는 의미에 대해서 생각해 보겠습니다. OP Amp 는 직류/교류, 양방의 신호 증폭에 사용할 수 있습니다. 앞에서 기술한 바와 같이 OP Amp 에는 응답속도 제한이 있어 모든 신호를 처리 할 수는 없습니다. Figure 3.9.1 에 표시된 Voltage follower 구성에 대해 설명하겠습니다. 직류 전압 입력에는 입력 전압 범위, 출력 전압 범위에 제한을 받습니다. 게다가 주파수를 가지는 교류 신호에 대해서는 이득 대역폭의 곱 및 Slew rate 의 제약이 추가됩니다. 여기서 진폭과 주파수의 관계 즉 Slew rate 에 대해서 생각해 보겠습니다. OP Amp 이 출력 가능한 최대 주파수를 구합니다. Figure 3.9.2 에 표시된 파형을 출력하는데 필요한 Slew rate 를 구합니다.

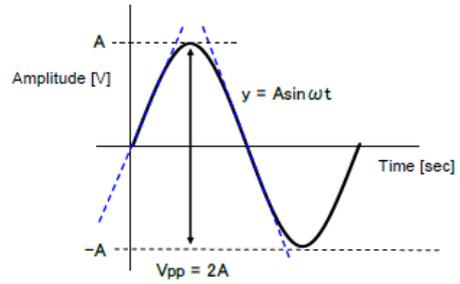


Figure 3.9.2 Waveform of a sine wave

$$y = A \sin \omega t \quad (3.9.2)$$

Slew rate 는 sin 점선의 기울기이므로 식(3.9.2)를 미분합니다

$$\frac{dy}{dt} = A \omega \cos \omega t \quad \omega t = 0 \quad (3.9.3)$$

Slew rate 는 식(3.9.3)에 의해

$$SR = A \omega \quad \omega = 2\pi f \quad (3.9.4)$$

게다가 sin 파의 진폭은 Peak to Peak에서 Vpp=2A 로 되므로 식(3.9.4)는 다음과 같이 변형할 수 있습니다

$$f = \frac{SR}{2\pi \times A} = \frac{SR}{\pi V_{pp}} [Hz] \quad V_{pp} = \frac{SR}{\pi f} [V] \quad (3.9.5)$$

이 주파수 f 를 풀 파워밴드라고합니다. 이들은 OP Amp 에 증폭율을 설정하지 않은 경우, 즉 Voltage follower 의 OP Amp 의 출력 가능한 진폭 (출력 전압 범위 내에서)과 주파수의 관계입니다.

ex. SR=1V/μs 의 OP Amp 에서 1Vpp 의 신호를 출력 가능한 주파수를 구합니다.

$$f = \frac{SR}{\pi V_{pp}} = \frac{1}{\pi \times 10^{-6}} \times \frac{1}{\pi \times 1} = 318.4kHz \quad (3.9.6)$$

진폭이 일정한 경우 식(3.9.6)에서 구한 주파수를 넘는 파형, Slew rate 에 제한된 sin 파는 삼각파가 되어 왜곡이 발생합니다.

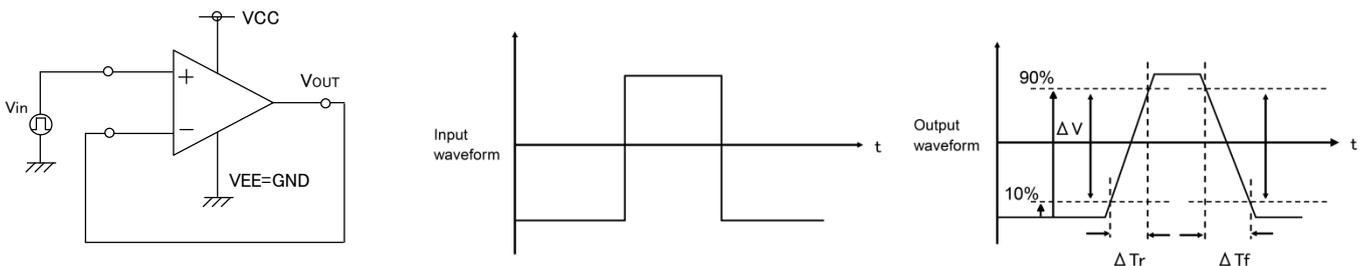


Figure 3.9.1. 측정회로와 파형 예시

3.10 OP Amp 주파수 특성에 대하여

• 이득 주파수 특성 :

증폭회로의 이득은 주파수특성을 가집니다.

Opamp 내부의 위상보상 용량과 단자 용량, 기판의 기생 용량, 회로정수에 의해 결정됩니다.

• 위상 주파수 특성 :

Opamp의 입력파형과 출력파형의 위상차를 나타냅니다.

Gain 과 마찬가지로 opamp의 특성과 회로정수, 기생 용량의 영향을 받습니다.

• 개방이득 (Av) :

Open loop 이득이라고도 불리며, 직류에 대한 전압이득을 나타냅니다.

• 단일 이득 주파수 (f_t) :

이득이 0dB(1 배)가 되는 주파수를 단일이득 주파수라고 부릅니다.

• 이득 대역폭적(GBW) :

증폭 회로의 주파수특성은 극(pole)1 개당 -6dB/oct 로 감소합니다. -6dB/oct 로 감소하는 영역에 대해 이득과 임의의 주파수의 곱을 이득대역폭적이라 합니다. 이것은 소신호에 대한 OP Amp의 사용 가능한 주파수 대역을 표시합니다.

$$\text{대역폭적[Hz]} = \text{주파수[Hz]} \times \text{이득[배]}$$

• 1st pole :

1 번째 극으로, 하나의 pole에서 진폭은 -6dB/oct으로 감소하고 감소한 pole의 1/10 배의 주파수부터 위상 지연이 시작하여 pole의 주파수에서 45deg, 10 배의 주파수에서 90deg 위상이 지연됩니다.

• 2nd pole :

2 번째의 극으로, 진폭의 감소량은 -12dB/oct 이 되며 위상은 더욱더 45deg 지연, 10 배의 주파수에서 90deg 위상이 더욱 지연됩니다.

Note : -6dB/oct = 주파수가 2 배가 된 때에 -6dB 가 낮아지는 것을 의미(oct = octave)

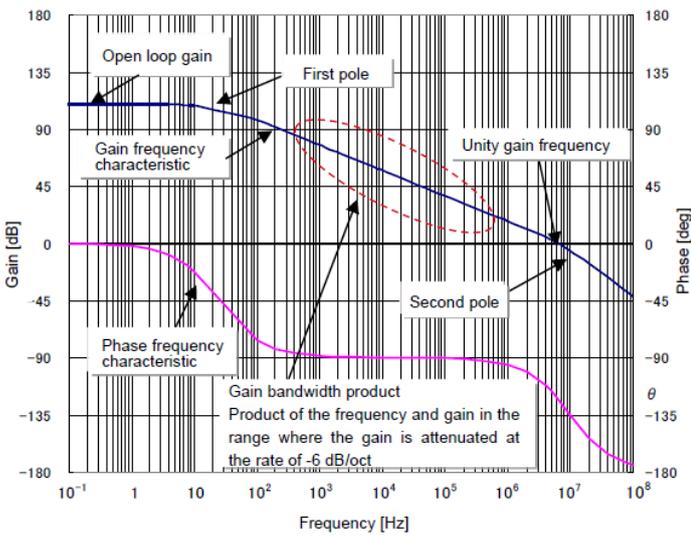


Figure 3.10.1. OPAMP의 open loop 이득 · 위상 주파수 특성

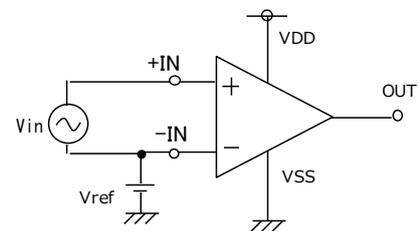


Figure 3.10.2. 측정회로 (개념도)

• 위상여유 :

이득이 0dB(1 배)가 되는 주파수에서 입출력신호의 위상차를 위상여유라 부릅니다. 위상여유는 발진에 대한 여유도를 표시하는 지표의 하나로, 통상 40deg ~ 60deg 정도로 설계됩니다. 반전증폭회로는 θ_1 , 입출력의 위상차가 그대로 위상여유가 되어 반전증폭회로의 위상이 180deg 부터 시작함에 따릅니다. 비반전증폭회로는 위상이 0deg 부터 시작되므로 위상여유는 180deg 부터의 여유도로서 $180+\theta_2$ 가 됩니다.

반전증폭회로 위상여유 : θ_1

비반전증폭회로 위상여유 : $180+\theta_2$

• Gain 여유 :

위상지연이 180deg 가 되는 주파수에서 이득이 0 dB 까지의 여유도 입니다. 통상은 -7dB 이상정도에서 설계되며 위상여유와 동일하게 발진에 대한 여유도로서 사용됩니다.

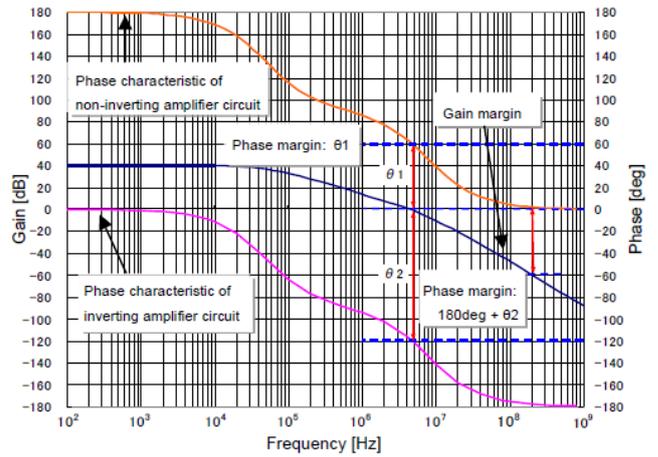


Figure 3.10.3. 반전(비반전)증폭회로 40dB*(100 배)의 주파수 특성 예

* opamp 의 직류부근의 개방이득은 100dB 이상 매우 크며, 출력에서 저항으로 직류귀환을 거는 것으로 출력 직류전압이 안정됩니다. 이득주파수특성을 측정하는 경우, 반전 또는 비반전 증폭회로에서 40dB 정도로 설계하여 안정적으로 측정합니다. 1st pole 주파수영역보다 높은 주파수특성은 동등하기 때문에 위상여유와 Gain 여유는 위의 그래프로부터 읽어 내는 것이 가능합니다.

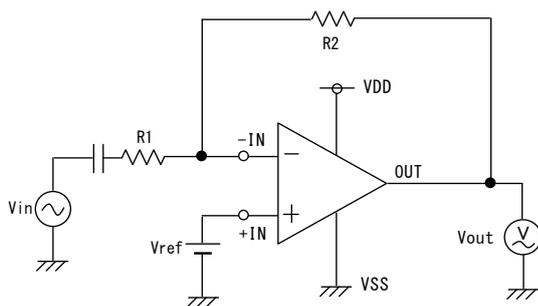


Figure 3.10.4. 반전 증폭회로

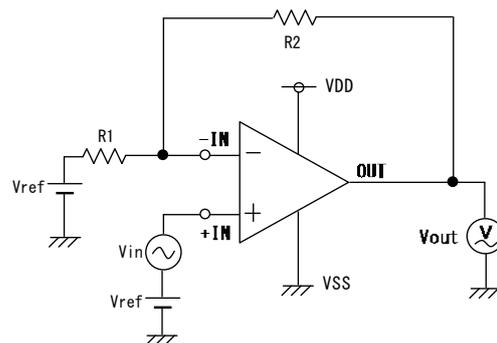


Figure 3.10.5. 비반전 증폭회로

3.11 위상 지연과 발진에 대하여

위상지연에 따른 발진의 개념에 대해서 가장 일반적인 벌크하우젠의 정리를 기재합니다.

부귀환 회로, Figure 3.11.1의 전달함수를 구합니다.

$$A(s)(V_{in} - V_{in-}) = V_{out}$$

$$V_{in-} = \beta V_{out}$$

위의 두 식에서 전달함수를 구하면 아래와 같습니다.

$$\frac{V_{out}}{V_{in}} = \frac{A(s)}{1 + \beta A(s)}$$

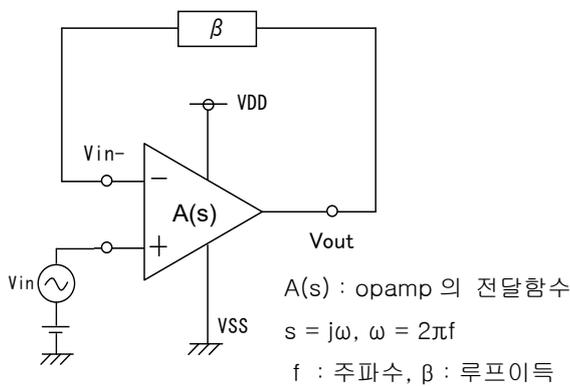


Figure 3.11.1. 부귀환회로

• 위상이 180deg 지연되면 정귀환이 걸리는 상태와 같은 조건이 되기 때문에 발진이 발생합니다.

전달함수의 분모 $1 + \beta A(s)$ 에 주목합니다.

$\beta \cdot A(s) = -1$ 이 되면 분모는 0 이 되어 이득이 무한대가 되는 것을 알 수 있습니다. 즉 $\beta \cdot A(s) = -1$ 인 경우 전달함수는 발산합니다.

바꿔 말하면 $\beta \cdot A(s) = -1$ 란 것은 부귀환을 거쳐 돌아온 신호가 반전(위상지연 180deg)되는 것을 의미하며 정귀환이 걸리는 상태와 같아집니다. 그로 인해 회로는 불안정하게 되어 발진이 일어납니다.

아래에 루프 이득을 1로 하여 발진조건을 정리합니다.

(루프 이득 1이란 전귀환을 의미합니다.)

$$|\beta A(s)| \square 1$$

$$\angle \beta A(s) = -180deg$$

이 조건에 의해 $\angle \beta A(s)$ 는 위상지연을 가리키며 $s = j\omega$ 라 하면 루프 이득 $\beta A(\omega) = 1$ 일 때 위상이 180deg 늦어지면, ω 의 각주파수에서 발진하는 것을 의미합니다.

• 안정성 지표로써, 위상여유, Gain 여유의 2종류가 있습니다. 위상여유는 이득이 1 배(0dB)인 경우에 위상지연이 180deg로부터 어느 정도 여유가 있는가를 의미하며, Gain 여유는 위상지연이 180deg (위상여유가 0deg) 이 될 때 이득이 어느 정도 1 배로부터 내려가 있는지를 나타냅니다.

위상이 지연되는 원인은 pole(극)이 존재하기 때문입니다.
RC filter의 주파수특성을 예로 나타냅니다.

Figure 3.11.2의 RC filter의 전달함수에서 Figure 3.11.3을 보면 capacitance에 의해 전달함수에 하나의 pole이 생기고 있는 것을 알 수 있습니다. (1차 특성)
이 pole에 의한 위상은 pole의 주파수 : f_c 에서 45deg 지연이 발생하고, 10배 부근의 주파수에서 약 90deg 위상이 지연됩니다.

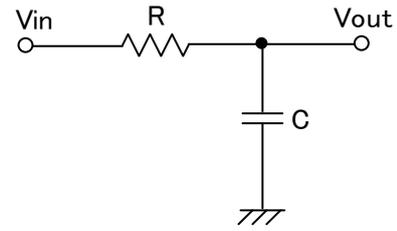


Figure 3.11.2. RC 필터 회로

- pole 하나로 90deg 위상이 지연됩니다.
- capacitance 용량에 따라 pole의 주파수는 변합니다.
- pole의 위치 주파수가 높은 경우에도 pole의 1/10 배의 주파수부터 위상이 지연되기 시작합니다.

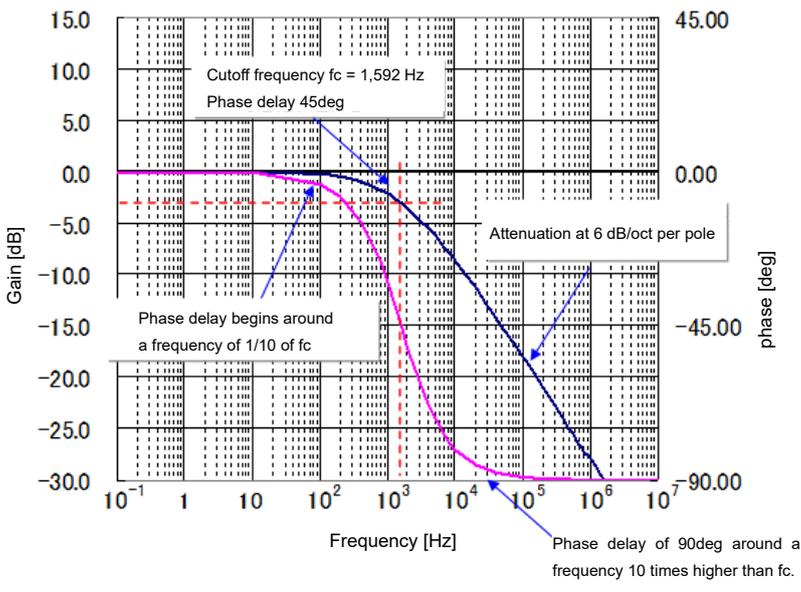


Figure 3.11.3. Frequency characteristics of RC filter

$R = 1k\Omega, 0.1 \mu F, f_c = 1,592 \text{ Hz}$

RC filter의 전달함수

$$\frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{1}{1 + j\omega RC}$$

신호진폭

$$H(\omega) = \frac{1}{\sqrt{1 + (\omega RC)^2}}$$

위상

$$\theta = -\text{ArcTan}(\omega RC)$$

RC filter의 전달함수로부터 Pole cut-off 주파수는 다음과 같이 나타냅니다.

$$\omega_0 = \frac{1}{RC} \quad f_c = \frac{1}{2\pi RC}$$

3.12 OP Amp 의 위상 지연 원인

OP Amp 의 위상지연의 원인을 부하용량을 포함하여 검토해 보겠습니다.

가장 발진이 일어나기 쉬운 전귀환 회로(voltage Follower)에 대해서 위상지연의 원인을 Figure 3.12.1 의 회로의 전달 함수로써 표시합니다.

$$A(s)(V_{in} - V_{o1}) = V_o$$

$$V_{o1} = \frac{1}{r_o + \frac{1}{sC_p}} = \frac{1}{1 + r_o C_p s} V_o$$

위로부터 출력 임피던스 (ro)와 단자 용량을 고려한 전달함수 (기생용량은 포함시켜 Cp 로 합니다) 는

$$\frac{V_{o1}}{V_{in}} = \frac{A(s)}{1 + r_o C_p s + A(s)} = \frac{1}{1 + \frac{1 + C_p r_o s}{A(s)}}$$

Cp 와 ro 에 의해 pole 이 형성됩니다.

OP Amp 는 이 영향을 고려하여 설계되어 있습니다.

위의 식에서 Cp = Cp + CL 이라 하면 부하용량을 연결한 경우 전달함수는

$$\frac{V_{o1}}{V_{in}} = \frac{A(s)}{1 + r_o (C_p + C_L) s + A(s)} = \frac{1}{1 + \frac{1 + (C_p + C_L) r_o s}{A(s)}}$$

가 됩니다.

Cp+CL 와 ro 에 의해 pole 이 형성되어 있습니다. Cp 는 IC 내부의 기생용량 때문에 거의 변화가 없지만 부하용량 CL 이 크면 pole 발생 주파수는 낮아집니다.

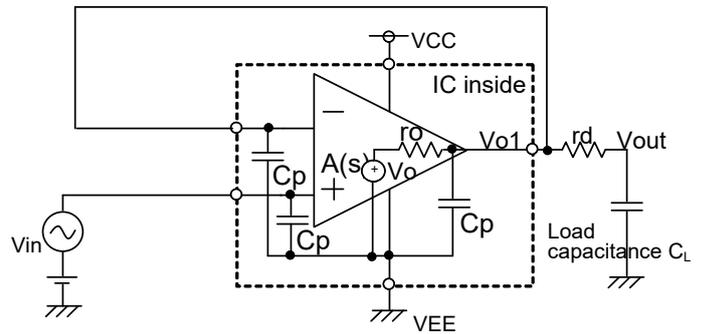


Figure 3.12.1. 전귀환 회로

A(s):OPAMP 전달함수 s = jω, ω = 2πf

f : 주파수, ro : 출력임피던스, Cp : 단자기생용량,

CL : 부하용량

위상 지연원인

- 출력임피던스와 단자 기생용량에 의한 Pole
- 출력임피던스와 부하용량에 의한 Pole (의도적으로 붙인 것)
- 증폭회로를 구성할 때 귀환저항과 입력단자 기생용량에 의해 발생하는 Pole

3.13 안정성의 확인 방법 (증폭 회로)

실례로써 BA2904 의 부하용량 C_L 의 값에 따른 위상과 주파수특성의 변화를 나타냅니다.

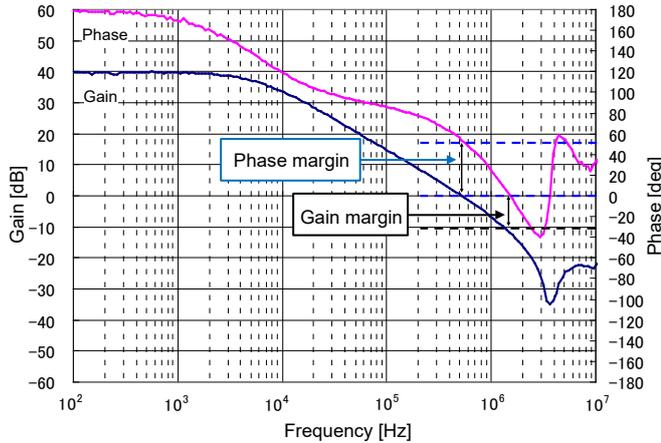


Figure 3.13.1. BA2904 주파수특성 ($C_L=25\text{pF}$)

- $C_L=25\text{pF}$ 일 때
 위상여유 : 55deg → 이득이 0dB 일 때의 위상
 Gain 여유 : -10dB → 위상이 0deg 일 때의 이득

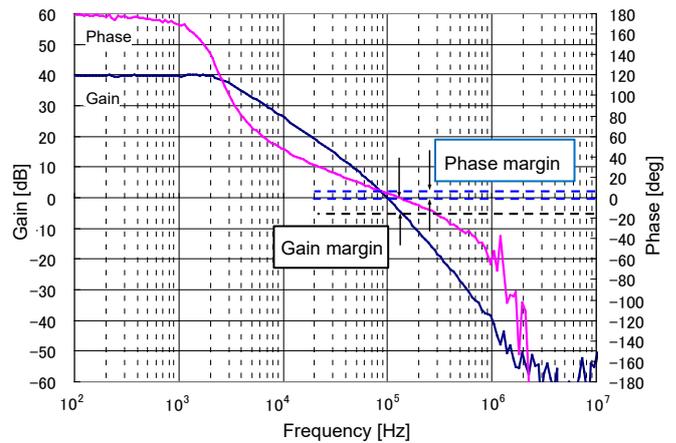


Figure 3.13.2. BA2904 주파수특성 ($C_L=0.01\mu\text{F}$)

- $C_L=0.01\mu\text{F}$ 일 때
 위상여유 : 7deg → 이득이 0dB 일 때의 위상
 Gain 여유 : -5dB → 위상이 0deg 일 때의 이득
 위상여유도는 작지만 발진은 발생하지 않습니다.

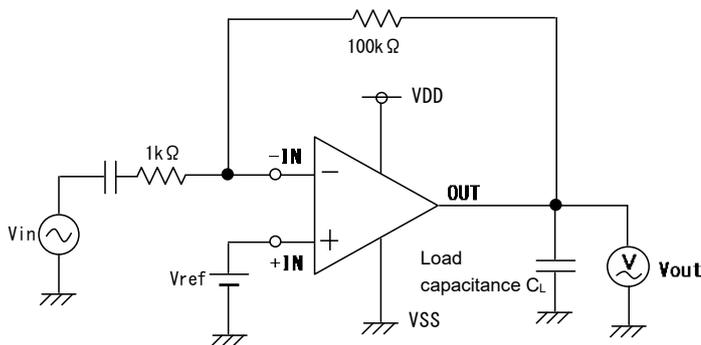


Figure 3.13.3. 반전증폭회로 40dB (100 배)

- 증폭회로의 발진 안정성은 위상여유와 Gain 여유로 확인합니다.
- 반전증폭회로는 위상이 180deg 에서 시작하므로 위상여유는 이득이 0dB 일 때의 위상이 됩니다.
- 비반전증폭회로의 위상은 0deg 에서 시작하므로 위상여유는 180deg 에서 이득이 0dB 일 때 위상 값의 차분이 됩니다.
- 편차나 온도변화 등을 고려한 위상여유는 35deg 이상, Gain 여유는 -7dB 이하가 되도록 설계합니다.

3.14 안정성의 확인 방법 (전 귀환 회로 / voltage follower)

위상여유의 생각 방식을 재확인합니다.

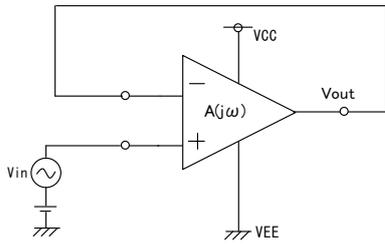


Figure 3.14.1. 전귀환 회로

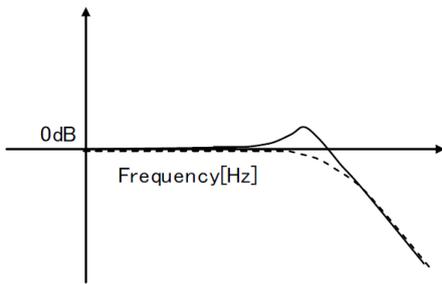


Figure 3.14.2. 측정결과

- 위상여유는 이득이 1 배(0dB)가 될 때 위상지연 180deg 에서 어느 정도 여유가 있는지 나타냅니다.
- Gain 여유는 위상지연이 180deg (위상여유가 0deg)이 되는 때의 이득이 1 배로부터 어느 정도 내려가 있는 지를 나타냅니다.

지금까지 설명한 방법으로는 전귀환회로(이득 0dB)의 위상여유는 확인되지 않습니다. 안정성이 저하되면, Figure 3.14.2.에 제시한 것과 같이 주파수특성에서 이득피크가 발생합니다. 전달함수를 이용해서 발생하는 피크량으로부터 위상여유를 계산합니다.

Voltage follower(전귀환 회로)의 전달함수

$$\frac{V_{out}}{V_{in}}(j\omega) = \frac{A(j\omega)}{1 + \beta A(j\omega)}$$

A(jω) 를 복소표시하고 전달함수에 대입합니다

$$A(j\omega) = \exp(j\theta)$$

$$\frac{V_{out}}{V_{in}}(j\theta) = \frac{\frac{1}{\beta} \exp(j\theta)}{\frac{1}{\beta} + \exp(j\theta)} = \frac{\frac{1}{\beta} (\cos \theta + j \sin \theta)}{\frac{1}{\beta} + \cos \theta + j \sin \theta}$$

위의 식에 아래의 값을 대입하여 계산한 결과를 Figure 3.14.3.에 나타냅니다.

$$\theta(\omega_1) = -175\text{deg}(5\text{deg}), \theta(\omega_2) = -135\text{deg}(45\text{deg}), \theta(\omega_3) = -120\text{deg}(60\text{deg})$$

β=1, Figure 3.14.3.의 결과와 같이 위상여유가 60deg 일 때 피크는 0dB 가 되어 최적이 됨을 알 수 있습니다.

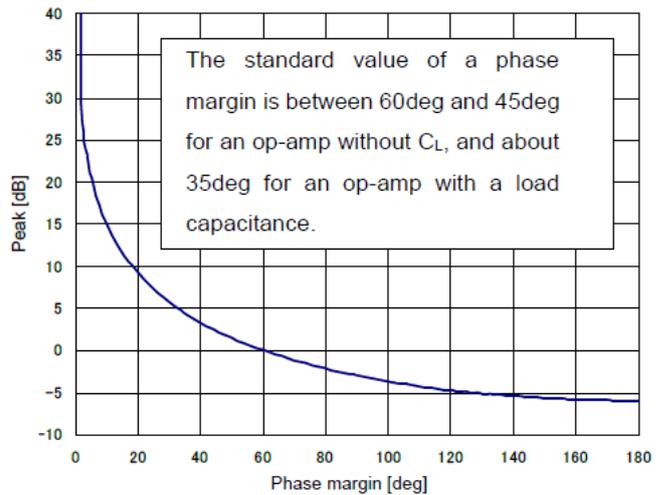


Figure 3.14.3. 이득피크계산결과

Phase margin	Result of calculation [times]	Peak [dB]
5deg	11.5	21
45deg	1.3	2
60deg	1	0

- Voltage follower 의 주파수특성을 측정하여 이득의 피크로부터 위상여유를 산출 가능합니다.
- 일반적인 모든 OPAMP 에 적용 가능합니다.
- 위상여유가 작은 경우는 실제 오실로스코프 등으로 발진 유무를 확인합니다.

3.15 안정성의 확인 방법 (정리)

증폭회로를 구성한 경우

- 증폭회로의 발진 확인은 위상주파수특성을 측정하여 위상여유와 Gain 여유를 확인합니다.
- 반전증폭회로는 위상이 180deg 에서 시작하기 때문에 위상여유는 이득이 0dB 일 때의 위상이 값이 됩니다.
- 비반전증폭회로는 위상이 0deg 에서 시작하기 때문에 위상여유는 0dB 일 때의 위상과 180deg 의 차분이 됩니다.
- 편차나 온도변화 등을 고려하여 위상여유는 35deg 이상을 목표로 또한 Gain 여유는 -7dB 보다 낮도록 설계합니다. (일반적으로 OP Amp 단품에서 위상여유는 60deg~40deg 정도로 설계되고 있습니다.)

3.16 부하용량에 의한 발진 대책 방법 (출력 분리 저항 1)

기본적으로 이전까지는 발진을 회피하는 조건을 만족하는 것으로 발진방지가 가능하였으나 이번에는 출력단자에 대응량의 콘덴서를 연결하는 경우의 발진 대책을 나타냅니다.

Figure 3.16.1.의 전달함수를 계산합니다.

$$A(s)(V_{in} - V_{o1}) = V_o$$

$$V_{o1} = \frac{1}{r_o + \frac{1}{sC_p}} = \frac{1}{1 + r_o C_p s} V_o$$

$$\frac{V_{o1}}{V_{in}} = \frac{A(s)}{1 + r_o C_p s + A(s)} = \frac{1}{1 + \frac{1 + C_p r_o s}{A(s)}}$$

$$\frac{V_{out}}{V_{o1}} = \frac{1}{1 + r_d C_L s}$$

$$\frac{V_{o1}}{V_{in}} \frac{V_{out}}{V_{o1}} = \frac{A(s)}{1 + r_o C_p s + A(s)} \frac{1}{(1 + r_d C_L s)}$$

전귀환 회로(voltage follower)를 구성한 경우

- 입출력간의 주파수특성을 측정하고 이득의 피크를 확인하는 것으로 본 자료의 Figure 3.14.3 에서 위상여유를 알 수 있습니다.
- Figure 3.14.3 는 모든 일반 OP Amp 에 적용 가능합니다.
- 위상여유가 작을 때 실제 발진 유무를 확인합니다.
- 위상여유는 편차나 온도변화 등을 고려하여 35deg 이상을 목표로 설계합니다.

이상의 발진확인 은 계산에서는 복잡하므로 실험에 따른 확인이 일반적입니다.

$$\frac{V_{out}}{V_{in}} = \frac{A(s)}{(1 + r_o C_p s + A(s))} \frac{1}{(1 + r_d C_L s)}$$

이에 대해, Figure 3.12.1 에서 계산한 분리저항이 없는 전달함수는

$$\frac{V_{o1}}{V_{in}} = \frac{A(s)}{1 + r_o (C_p + C_L) s + A(s)}$$

이 됩니다.

두 개의 전달함수를 비교하면 출력에 연결된 용량 CL 이 분리저항 rd 에 따라 별도의 전달함수로 분리되는 것을 알 수 있습니다.

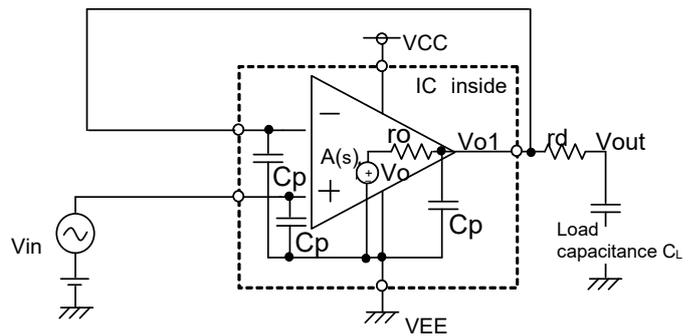


Figure 3.16.1. 출력분리저항 연결 예 1

• 분리저항값은 용량과 필요한 주파수영역폭에 따라 50Ω~수백 Ω 정도로 설계합니다.

• rd 와 CL 로 LPF 를 구성하기 위한 부하용량이 커지면 회로의 대역이 좁아집니다

3.17 부하용량에 의한 발진 대책 방법 (출력 분리 저항 2)

이전 항목에서 기술한 출력분리저항을 삽입하는 방법에서는 출력에 LPF 가 구성되기 때문에 사용 방법에 따라 잘못이 발생할 가능성이 있습니다. 용량과 직렬로 저항을 삽입하는 것에 의해 이득의 피크를 낮춥니다.

Figure 3.17.1.의 전달함수를 계산합니다.

$$A(s)(V_{in} - V_{out}) = V_o$$

$$V_o = A(s)V_{in} - A(s)V_{out}$$

$$V_{out} = \frac{Z}{r_o + Z} V_o$$

$$(1 + \frac{r_o}{Z})V_{out} = A(s)V_{in} - A(s)V_{out}$$

$$(A(s) + 1 + \frac{r_o}{Z})V_{out} = A(s)V_{in}$$

$$\frac{V_{out}}{V_{in}} = \frac{A(s)}{A(s) + \frac{1}{Z}r_o + 1}$$

$$\frac{V_{out}}{V_{in}} = \frac{1}{A(s) + \frac{1 + sC_p(R_d + \frac{1}{sC_L})}{R_d + \frac{1}{sC_L}}r_o + 1}$$

$$\frac{V_{out}}{V_{in}} = \frac{1}{A(s) + r_o \frac{C_L + C_p(sC_L + 1)}{sC_L R_d + 1} s + 1}$$

이에 대해, Figure 3.12.1 에서 계산한 분리저항이 없는 전달함수는

$$\frac{V_{o1}}{V_{in}} = \frac{A(s)}{1 + r_o(C_p + C_L)s + A(s)}$$

전달함수의 이 부분이 다릅니다.

식 A 의 밀줄 부분의 주파수특성을 해석합니다.

s=jω=j2πf 라고 합니다.

$$X = \frac{C_L + C_p(sC_L + 1)}{sC_L R_d + 1}$$

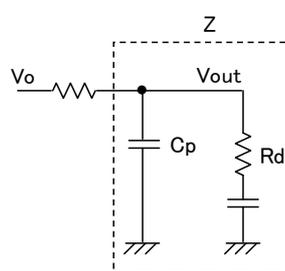
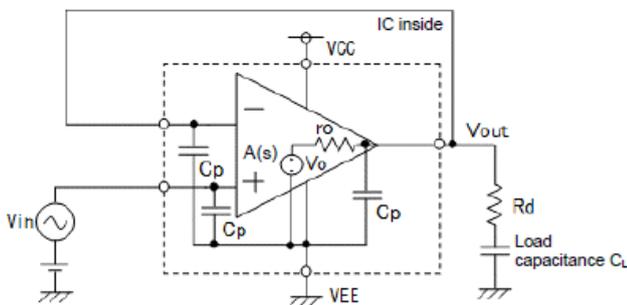
f → 0 의 경우 s → 0, X → C_L+C_p

f → ∞ 의 경우 s → ∞, sC_LR_d >> 1, C_L << C_p(sC_L+1), sC_L >> 1

따라 X → C_p/R_d 로 수렴합니다.

이상에서 부하용량 C_L의 영향이 제거됨을 알 수 있습니다.

• 분리저항의 값은 용량과 필요한 주파수 대역폭에 따라 50Ω~수백 Ω 정도로 설계합니다.



$$Z = \frac{1}{sC_p + \frac{1}{R_d + \frac{1}{sC_L}}}$$

$$= \frac{R_d + \frac{1}{sC_L}}{1 + sC_p(R_d + \frac{1}{sC_L})}$$

Figure 3.17.1. 출력분리 저항 연결예 2

3.18 전 고조파 왜곡률+잡음 THD+N (Total Harmonic Distortion + Noise)

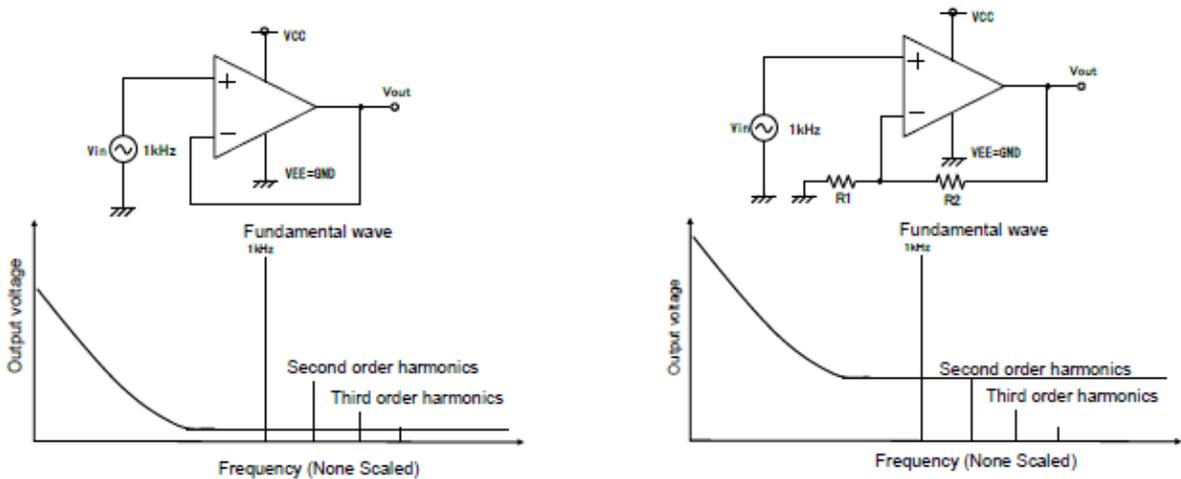
전고조파 왜곡률+잡음이란 입력된 신호에 대해서 출력 신호에 포함된 고조파성분과 잡음성분의 비율을 표시한 것을 나타냅니다. 고조파성분이나 잡음이 포함되었다는 것은 입력신호와 비교한 경우 파형이 충실히 재현되지 못한, 즉 왜곡이 발생하고 있다는 것을 의미합니다.

THD+N = (고조파성분과 잡음성분의 합)/(출력전압)
 고조파성분은 OP Amp 회로의 비선형 특성으로부터 발생합니다. 가령 바이폴라 트랜지스터의 전류-전압의 정특성은 지수함수로 되어 있기 때문에 증폭률이 입력 전압에 대해서 비선형인 함수가 되는 것 등에 기인합니다. 잡음은 3.19 입력환산잡음 항목에서 상세히 설명합니다만, IC 내부의 반도체소자나 저항 등의 주변부품에서도 발생합니다.

OP Amp 출력신호에는 이러한 성분들이 혼재하여 파형을 왜곡시키고 있습니다. OP Amp 로 증폭 회로를 구성하는 경우 증폭률과 잡음의 영향에 대해서 설명합니다. 증폭회로는 입력신호뿐 만 아니라 잡음성분도 증폭합니다. 신호를 증폭할 때 증폭률이 큰 회로를 구성하여 동일한 크기의 출력진폭을 얻는 경우, 잡음전압은 이득배율에 증폭되기 때문에 회로이득이 클 수록 출력신호의 왜곡률이 커집니다 (Figure 3.18.1).

또한 증폭률이 일정한 경우, 출력진폭이 작은 편이 잡음전압의 비율이 커지기 때문에 왜곡률은 악화됩니다.

Through rate 항에서도 기술하겠지만 신호주파수가 높아짐에 따라 출력 가능한 진폭은 작아지기 때문에 파형이 through rate 에 따라 제한되어 왜곡률은 증가됩니다.



(a) Noise frequency spectrum of voltage follower (b) Noise frequency spectrum of amplifier circuit
 Figure 3.18.1. Noise frequency spectrum of THD+N

다음 Figure 3.18.2 에 THD+N vs.출력전압 특성 예를 나타냅니다.

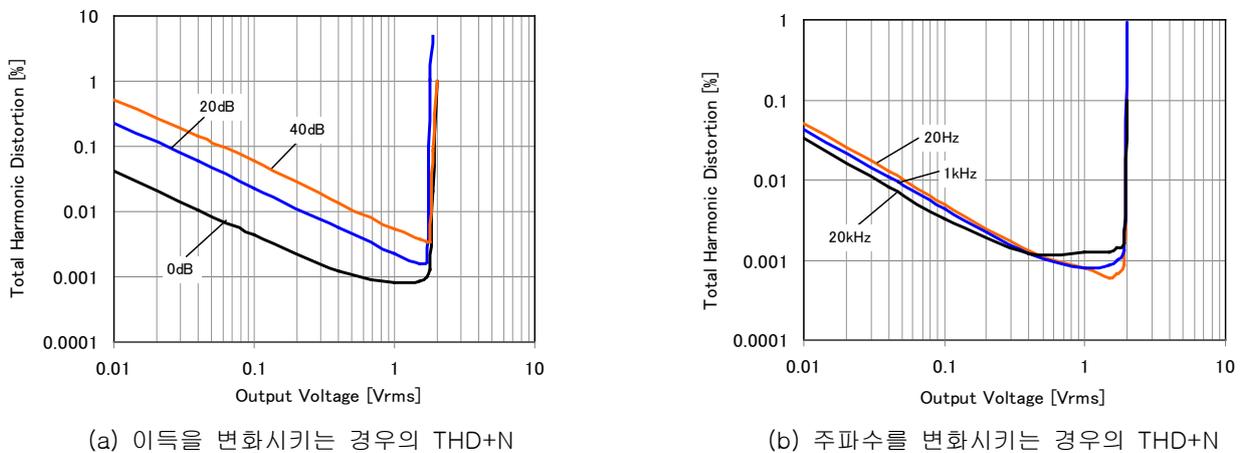


Figure 3.18.2. THD+N vs. 출력전압 특성 예

다음은 OP Amp 의 출력 파형을 왜곡하는 원인에 대해 설명합니다.

입력 크로스오버 왜곡

입력 Full swing OP Amp, 특히 차동 입력 단을 2 종류 (PMOS/ NMOS, PNP/NPN)를 가지는 OP Amp 는 각각의 차동입력 단의 동작 영역에 대해 독립한 입력 오프셋 전압을 가지기 때문에 그림에 나타낸 대로 동상 입력 전압 범위 내에서 입력 오프셋 전압의 변동이 발생합니다.

이 단차를 입력신호가 횡단(크로스오버)함으로써 출력 신호에 왜곡이 발생합니다.

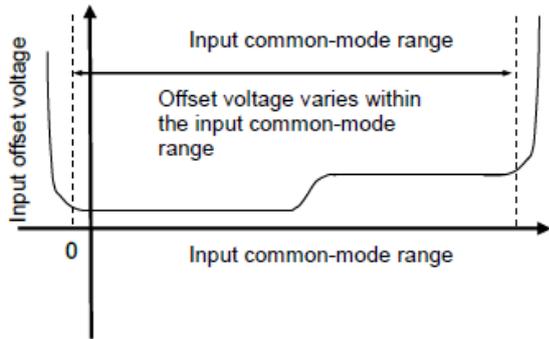


Figure 3.18.3. 동상입력범위내의 오프셋전압 변동

출력 크로스오버 왜곡과 OP Amp 의 출력회로에 대해서 출력 크로스오버 왜곡이란 출력회로구성에 의해 발생하는 왜곡으로, 다른 말로는 스위칭 왜곡 이라고도 합니다.

3.11 의 부귀환 시스템 효과로 나타내듯이 출력에서 발생하는 왜곡은 부귀환 효과에 의한 식(3.11.5)에 나타내듯이 저주파에서 OP Amp 의 개방이득 A(s)가 클때는 귀환 양에 의해 억제 됩니다. 개방이득 A(s)가 고주파에서 작게 될 수록 억제 효과는 희미해지고 왜곡은 점점 커집니다.

단, 다음 항의 C 급 동작 설명에 기재되어 있듯이 358/2904 계의 OP Amp 출력단은 A 급 동작과 C 급 동작이 출력 싱크 전류량에 의해 전환되기 때문에 이와 같은 왜곡은 귀환에 의해 억제 되지 않습니다.

이하에 크로스 오버 왜곡이 발생하는 원인과 OP Amp 의 출력단의 종류에 대해서 A 급 출력단 및 B 급, C 급, AB 급 Push pull 출력을 설명 합니다. Figure 3.18.4 에 크로스 오버 왜곡 이미지를 나타냅니다.

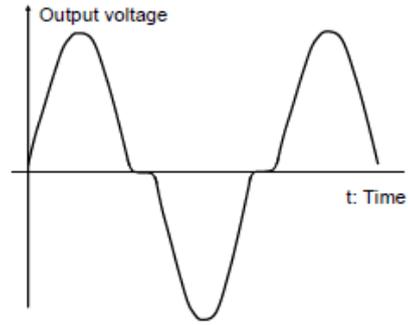


Figure 3.18.4. 출력 크로스 오버 왜곡

A 급 출력단

A 급 출력단은 정전류원에 의해 항상 출력단에 구동전류가 흐르고 있는 출력단입니다.

이점으로는 항상 전류가 흐리고 있어 Q1 은 항상 동작 영역에 있기 때문에 크로스 오버왜곡은 발생하지 않지만 무신호시에도 구동전류를 계속 흘리고 있기 때문에 소비전력이 크게 되는 점이 있습니다. 정전류원에 의해 출력을 구동하고 있기 때문에 소스전류(AMP 로부터 흘러 나오는 전류)는 정전류원 능력에 의해 제한이 되어 무거운 부하는 구동 할 수 없습니다. (부하가 무거운 경우에는 파형이 왜곡 됩니다).

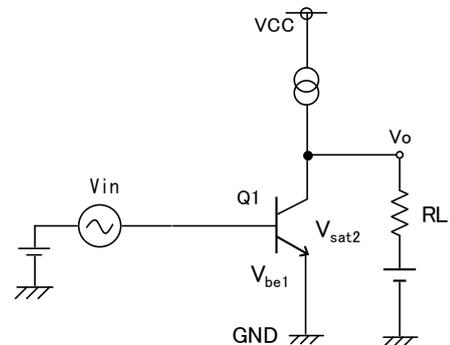


Figure 3.18.5. A 급 출력단

B 급 Push pull 출력단

Figure 3.18.6 의 (a)B 급 Push pull 출력단에 대해 종축을 출력전압, 횡축을 입력전압으로 할 때 Q1 이 동작하는 영역과 Q2 가 동작 하는 영역이 불연속으로 되어 있기 때문에 출력파형에 왜곡이 발생합니다. 이와 같이 2Vbe 분의 불연속적인 출력 특성을 가지는 출력 단을 B 급 출력이라 합니다. 특징으로는 출력 단에 대기 전류가 흐르지 않기 때문에 저소비 전류를 들 수 있습니다.

C 급 Push pull 출력단

Figure 3.18.6 의 (b)C 급 Push pull 출력단에 대해 이 회로는 2904와 358로 말하는 일반적인 단전원 OP Amp에 채용 되고 있습니다. 단전원으로 OP Amp 를 사용하는 경우

회로의 DC 동작점을 결정하는 Bias 전압을 가하여 사용합니다. 또한 OP Amp 출력에 부하저항을 접속한 경우, 특히 부하의 접속 위치가 바이어스 전압에 가까운 상태에서는 저항 RL 의 양단에 전위차가 없어 AMP 출력단에는 전류가 흘러 들어가지 않습니다. 이 상태로 AMP 의 출력전압 진폭이 변동하면 저항 양단에 전위차가 발생하여 AMP 로 흘러 들어가는 전류가 발생합니다. 이 흘러 들어가는 전류가 정전류원의 전류치인 40[μA] 이하일 때는 A 급 출력 단으로 동작하지만 40[μA]를 넘으면 Tr Q2 가 동작하여 C 급으로

동작이 바뀌어 Tr 동작이 불연속으로 됩니다. 이것이 크로스오버 왜곡을 발생시키는 원인이 됩니다.

왜곡을 완화하기 위한 방법으로 OP Amp 출력단에 흘러 들어가는 전류량을 정전류의 전류치 이하로 감소 시켜야 하는 것을 들 수 있습니다. 또는 출력에 접속된 부하저항 이외에도 귀환저항도 부하로서 동작하기 때문에 주의가 필요합니다.

AB 급 Push pull 출력단

Figure 3.18.6 의 (c)AB 급 Push pull 출력단은 4558/4560 으로 말하는 양전원의 Low noise OP Amp 에 채용되어 있습니다. AB 급 Push pull 출력단은 B 급 Push pull 출력단에 다이오드접속된 Tr2 개를 접속함으로써 Tr Q1,Q2 가 상시 ON 하도록 Bias 전압을 설정하고 있어 출력 단에 구동 전류가 흐를 수 있도록 개량한 출력단입니다.

출력단의 NPN, PNP Tr는 구동 전류에 의해 항상 동작하기 때문에 전환 동작은 부드럽게 하고 크로스오버 왜곡은 낮게 됩니다. 단 출력단 정전류능력으로 구동하지 못하는 무거운 부하저항을 접속하는 경우, AB 급 출력단에 있어서도 왜곡은 발생할 수 있습니다.

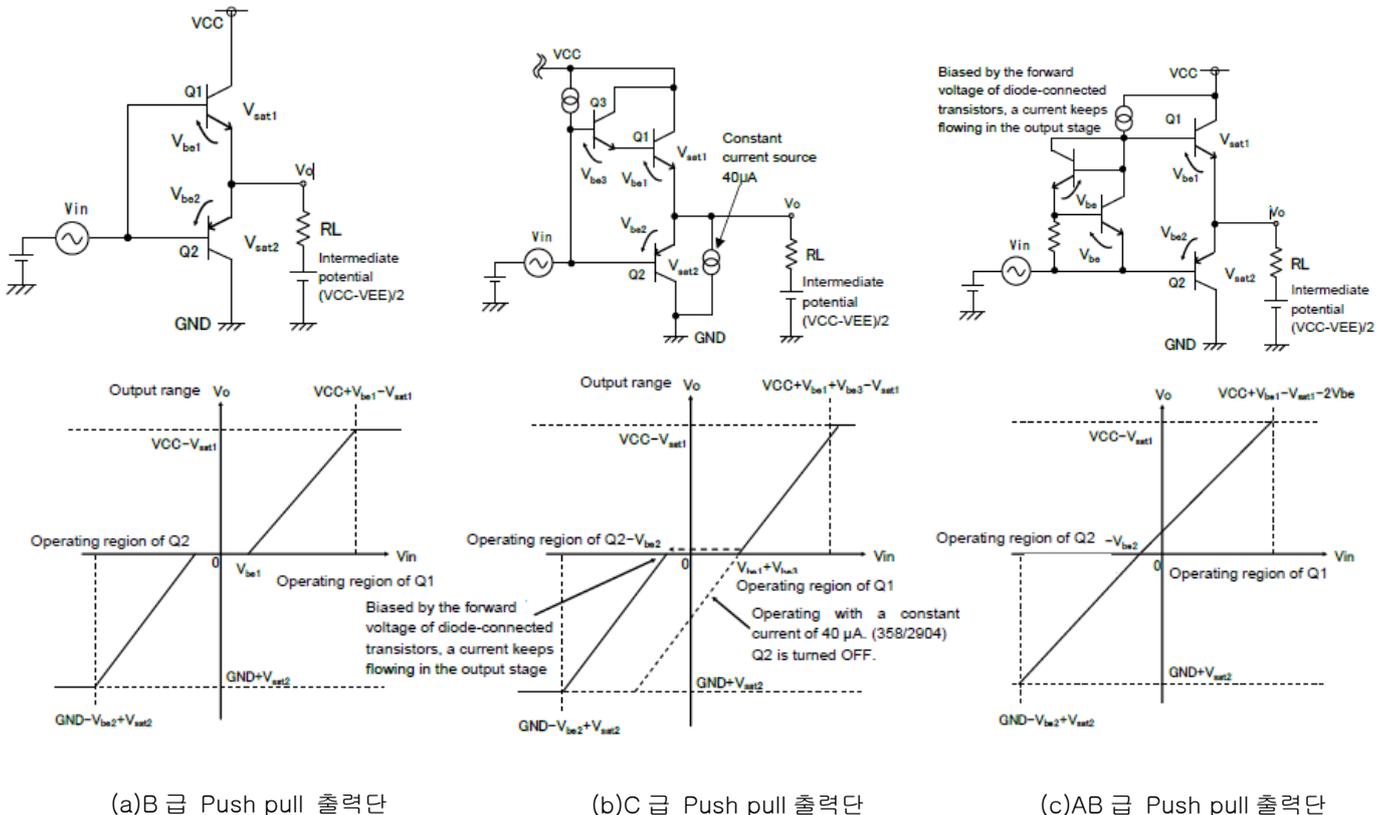


Figure 3.18.6. OPAMP 출력 등가회로

부하가 무거운 경우의 출력 왜곡에 대해

부하 저항, 부하용량등을 OP Amp 의 출력단자에 접속한 경우, 그 값에 따라 왜곡의 원인이 됩니다. 여기서는 출력에 RC Filter 를 접속할 때 발생하는 왜곡에 대해 설명 합니다.

원인으로는 용량에 의한 충전 전류를 들 수 있으며 소스전류, 싱크전류능력을 상회할 때 왜곡이 발생합니다.

Figure 3.18.7 에 RC Filter 회로를 나타냅니다.

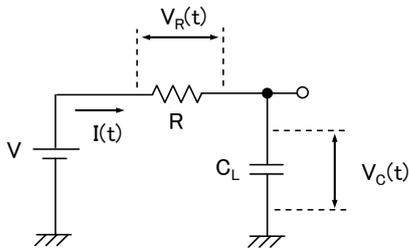


Figure 3.18.7. RC filter

Figure 3.18.7 에 콘덴서에 충전되는 전류의 초기치(최대치)를 구합니다. 단 콘덴서의 초기 전하는 제로입니다.

콘덴서에 흐르는 초기 전류는 식(3.18.1)이 됩니다.

$$I(t) = \frac{V}{R} \exp\left(-\frac{1}{CR}t\right) \tag{3.18.1}$$

상기 식에 의해 초기 충전전류는 저항과 전압만으로 결정되므로 충전전류의 최대치가 OP Amp 의 출력전류 능력을 상회하는지 확인 가능합니다. 과도한 전류가 흐를 때에 출력 전압에 영향을 주는 것은 3.5 절의 최대 출력 전압에서도 거론 하였습니다.

예로 2904 의 출력전류에 대해 생각해 봅시다.

R=100Ω 으로 Filter 를 구성할 때 5Vpp 의 진폭을 출력하려면 전류는 50mA 가 필요합니다.

2904 의 전류능력은 20mA 표준으로 능력을 초과하기 때문에 출력전압범위는 좁게 되어 파형에 왜곡이 발생할 것으로 판단 됩니다. R=10kΩ 일 때는 0.5mA 이므로 파형의 왜곡은 없습니다. 방전전류에 대해서도 같은 식으로 됩니다. Figure 3.18.8 에 출력전류와 왜곡의 관계를 Figure 3.18.9 에 파형왜곡 예로 나타내고 있습니다.

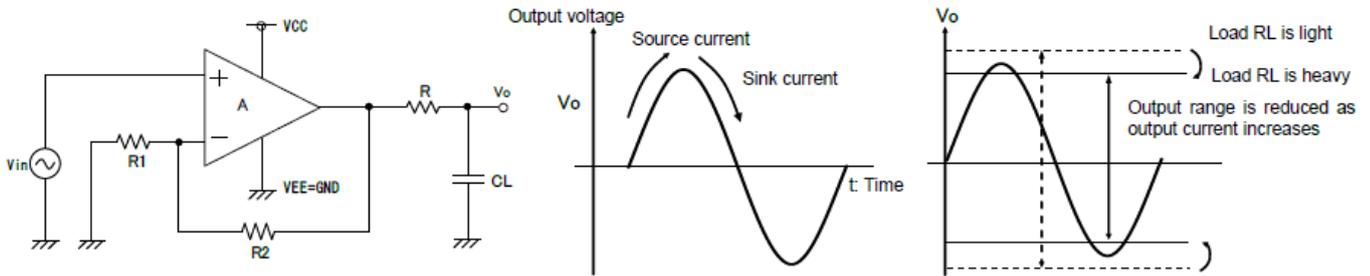


Figure 3.18.8. 출력전류와 왜곡관계

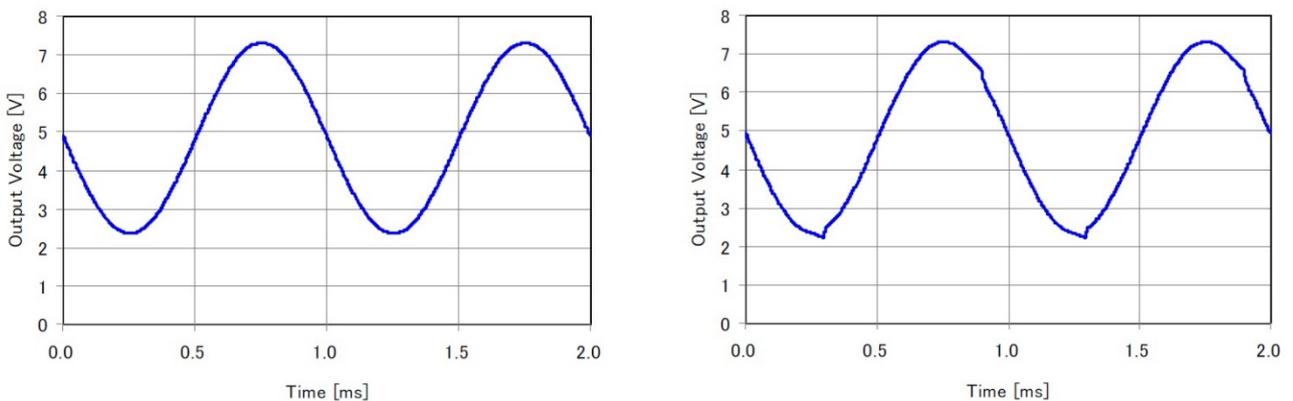


Figure 3.18.9. BA2904 에서의 파형 왜곡 예

3.19 입력 환산 잡음

Noise 에는 외래잡음과 내부잡음의 2 종류가 있어 OP Amp 의 내부 잡음은 전자회로의 내부에서 발생하는 잡음으로 열잡음, 1/f 잡음, 쇼트잡음, 분배잡음등이 있어 OP Amp 의 출력에 잡음으로서 관측됩니다. 출력 잡음을 입력 잡음에 환산한 것을 입력환산 잡음전압이라 합니다. 입력환산잡음전압은 통상 V_{RMS} 등의 단위로 나타내며 측정된 주파수대역에서의 Noise 크기를 나타냅니다. 입력환산잡음전압 밀도는 nV/\sqrt{Hz} 의 단위로 나타내며 단위주파수당의 Noise 전압밀도를 나타냅니다. 잡음밀도에 잡음 대역을 곱한 것이 잡음전압이 됩니다. 입력 오피셋전압과 같이 OP Amp 는 다양한 회로구성, 증폭율로 사용되기 때문에 입력환산치로 표현하는 것이 보다 편리성이 좋습니다.

잡음의 종류

잡음은 전자시간적으로 불연속적인 랜덤 운동에 의해 발생합니다. 저항기와 반도체 소자로부터 발생하는 잡음은 주로 열잡음, 쇼트 잡음, 1/f 잡음(Flicker 잡음) 입니다. 잡음이 발생하는 주요 메커니즘으로는 이하의 내용을 들 수 있습니다.

열잡음(서멀 노이즈)

자유전자의 랜덤한 열운동에 의해 발생하는 잡음입니다. 도체 안의 자유전자는 Brown 운동에 의해 랜덤으로 돌아다닙니다. 이로 인해 미세한 전압의 움직임이 발생합니다. 이것이 열잡음입니다. 광범위한 주파수대에 분포하는 백색잡음으로 불립니다. 도체에 흐르는 전류량에 의존하지 않고 온도변화에 의해 Noise 량이 변화 합니다.

K : 볼츠만 정수, $1.38 \times 10^{-23} [J/K]$, T : 절대온도 $[K]$, Δf : 잡음견적대역폭 $[Hz]$.

$$\overline{V_{nT}^2} = 4kTR\Delta f \tag{3.19.1}$$

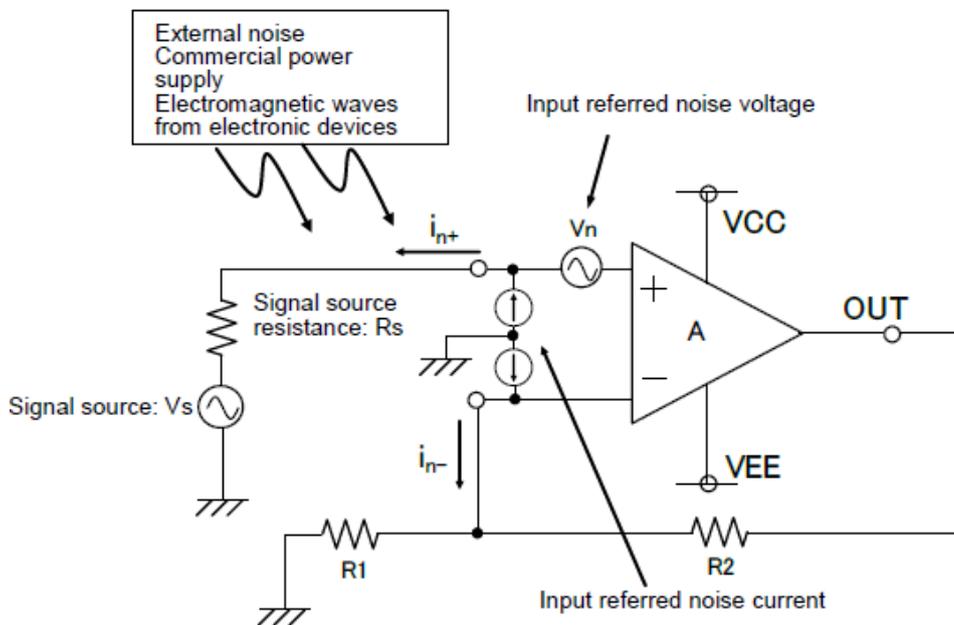


Figure 3.19.1. OPAMP 잡음

쇼트 잡음

반도체 내부에 전류가 흐를 때 각각의 캐리어 (전자 및 정공)는 불규칙적으로 운동하면서 공핍층(PN 접합)을 통과하고 있기 때문에 강 수면이 파도 치듯이 전류에도 흔들림이 발생합니다. 발생하는 잡음의 크기는 접합에 흐르는 평균전류치에 의존합니다. 또한, 캐리어 주행시간에 관계하여 주행시간이 무시되는 (주파수가 높아지면 무시 못함) 영역까지는 거의 일정합니다.

광범위의 주파수영역에 분포(백색잡음) 하고 있습니다.

접속을 흐르는 전류를 I_D , q:부하소 량 1.6×10^{19} [C],

Δf :잡음추정대역폭[Hz]으로 하면 발생하는 쇼트잡음의 잡음전류 i_{ns} 는 식(3.19.2)으로 표시됩니다.

$$\overline{i_{ns}^2} = 2qI_D \Delta f \quad (3.19.2)$$

1/f 잡음(Flicker Noise)

반도체 계면에 발생하는 미결합수에 캐리어가 포획(트랩), 방출(릴리스)되는 것에 의해 통상의 캐리어주행과는 다른 전류가 발생 합니다.

이것이 Flicker noise 로 불려지며 저주파가 될수록 발생 빈도가 높아지기 때문에 주파수에 반비례하는 의미로 1/f Noise 로 불립니다. 원인으로는 SiO₂ 과 실리콘결정의 계면에 Dangling bond 라 불리는 미결합수가 존재하는데 기인한다고 합니다. 이것은 실리콘 분자가 공유결합을 하고 있는 결합수가 SiO₂ 의 계면에 불연속으로 되어 있기 때문에 캐리어가 실리콘 계면을 주행할 때 트랩, 릴리스가 발생합니다. 이에 의해 전류의 흔들림이 발생하여 Noise 가 됩니다.

K_f : 제조 프로세스에 의존되는 정수, I : 직류전류,

f : 주파수, Δf : 잡음추정대역폭[Hz]으로 하면,

$$\overline{i_{nf}^2} = K_f \frac{I}{f} \Delta f \quad (3.19.3)$$

이 들 외에도 반도체에서 발생하는 Noise 가 존재합니다.

전류가 다른 경로로 나뉘지는 것에 의해 발생하는 분배잡음, 오디오 대역부근의 저주파 영역에서 발생하는 Burst noise (Popcorn noise) 등이 있습니다.

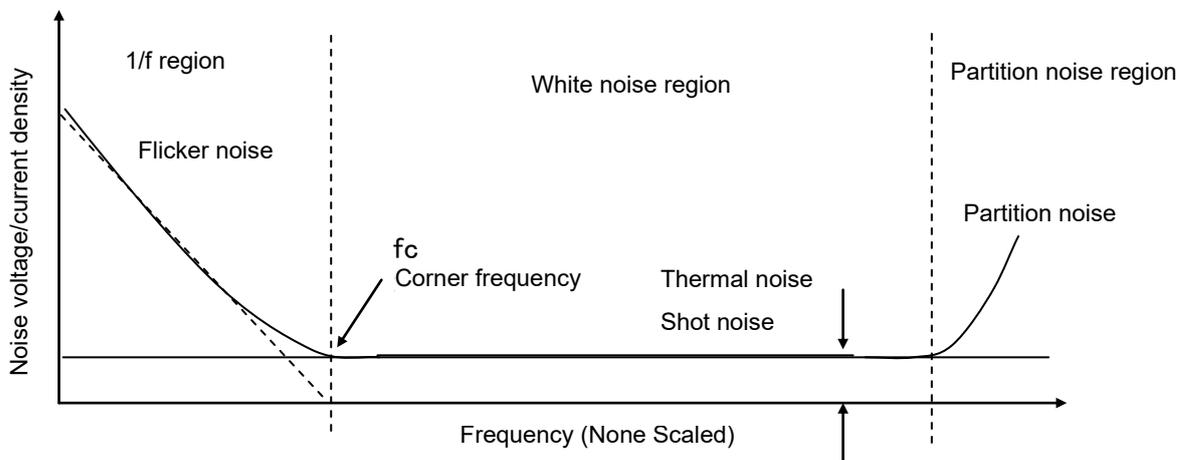


Figure 3.19.2. 입력환산잡음 전압의 주파수 스펙트럼 이미지

앞서 기술한 대로 OP Amp 내부에는 다양한 잡음이 발생하여 출력에 Noise 로서 나타납니다. Figure 3.19.3 의 비반전 증폭 회로를 이용하여 OP Amp 의 입력환산잡음이 어떻게 응용 회로에 영향을 주는지 생각해 봅시다.

OP Amp 의 입력환산잡음전압/잡음전류밀도
 입력단자를 단락할 때 OP Amp 내부(주로 차동증폭단)에 발생하는 Noise 가 증폭되어 잡음으로 출력에 나타납니다. 이 출력 Noise 를 회로의 증폭률에서 제거한 것이 입력환산잡음전압 V_n 이 됩니다. 이것은 마치 AMP 에 Noise 가 입력되어 증폭된 것으로 보여져 입력 환산하지만 실제로는 Figure 3.19.3 과 같이 OP Amp 내부에서 발생하는 것이지 입력단자에 Noise 전압이 발생하는 것이 아닙니다.

OP Amp 입력환산잡음전류/잡음전류밀도
 입력환산잡음전류는 앞서 기술하였지만 T_r 의 전류 흔들림이나 분배전류에 의한 Noise 에 의해 발생합니다. 이는 실제로 OP Amp 의 입력단자에서 외부로 출력되기 때문에 외장저항이나 신호원저항에 의해 전압으로 환산되어, 입력환산잡음전압의 일부로서 영향을 줍니다. 회로정수, 회로구성 등의 외부환경에 의해 영향이 달라집니다.

Figure 3.19.3 에서는 R_1 , R_2 , R_s 에 의한 잡음전압으로 환산됩니다.

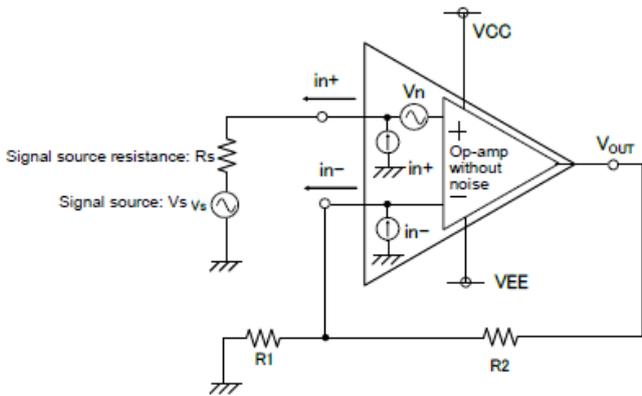


Figure 3.19.3. 비반전증폭회로 잡음등가회로

반전단자의 Noise 전류 i_- 와 비반전단자의 Noise 전류 i_+ 에는 상관성은 없고 각각 랜덤으로 발생합니다. 이 때문에 없어 지지 않습니다.

외부 저항과 신호원 저항의 열잡음
 외부저항과 신호원은 열잡음원이 됩니다. 열잡음전압은 각각의 저항에 직렬하여 잡음전압원으로 표현 됩니다. 이것을 고려하여 환산잡음전압밀도를 구합니다. 저항의 열잡음전압밀도는 식(3.19.1)을 이용합니다. 각각의 저항에서 발생하는 잡음전압을 계산하여, OP Amp 의 입력환산잡음전류를 외장저항으로 잡음전압을 환산합니다. 잡음은 전력으로 취급되므로 2 승 평균으로 주어집니다. 또한 Figure 3.19.3 의 편리성을 위해 $in+=in-=in$ 로 가정합니다. 또한 Noise 는 랜덤 발생하므로 각각의 항에는 극성은 없습니다. V_n : OP Amp 의 입력환산잡음전압밀도, i_n : OP Amp 의 입력환산잡음 전류밀도로 하면 입력환산잡음 전압밀도는 식 (3.19.4)가 됩니다. 이식은 Figure 3.19.4 에 나타내진 대로 잡음원을 하나로 정리하여 비반전 단자에 접속하는 것과 같습니다.

$$V_{na}^2 = V_n^2 + [R_s^2 + (R_1 // R_2)^2] i_n^2 + 4kT[R_s + (R_1 // R_2)] \tag{3.19.4}$$

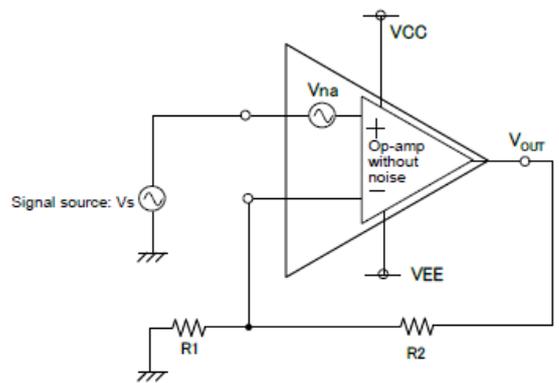


Figure 3.19.4. 비반전증폭회로잡음 등가회로 (잡음원을 IN+으로 집약)

다음으로 비반전증폭회로의 출력잡음전압을 구합니다.
 저항에 의해 출력잡음전압을 식(3.19.5)으로 나타냅니다.
 OP Amp 의 입력환산잡음전압에 의해 출력잡음전압을 식(3.19.6)으로 나타냅니다.
 OP Amp 의 입력환산잡음전류에 의해 출력잡음전압을 식(3.19.7)으로 나타냅니다.
 비반전증폭회로의 Noise gain $(1+R_2/R_1)$ 을 G_1 , (R_2/R_1) 을 G_2 로 두고 $i_{n+}=i_{n-}=i_n$ 고 가정합니다. 합계 출력잡음전압은 식 (3.19.8)으로 나타냅니다.

Noise Gain 은 잡음원이 존재하는 장소로부터 출력까지 이득이 됩니다. 식(3.19.7)의 각항을 Noise gain 의 2 승으로 제하면 식(3.19.4)입력환산잡음전압과 동등하게 됩니다. 응용회로의 Noise 를 감소시키기 위해서는 Flicker noise가 발생 안하는 금속피막저항을 이용하거나 회로정수(저항치)를 너무 크게 하지 않을 것, Low Noise OP Amp 를 사용하는 것을 들 수 있습니다. Low Noise OP Amp 로 불리는 제품은 OP Amp 자신이 가지는 입력환산잡음전압이 작게 설계되어 있어 주로 센서 등의 고정밀도 증폭 용도나 오디오 용도에 사용됩니다.

$$V_{n2} = \sqrt{4kTR_2} \quad V_{n1} = \sqrt{4kTR_1} \left(\frac{R_2}{R_1}\right) \quad V_{ns} = \sqrt{4kTR_S} \left(1 + \frac{R_2}{R_1}\right) \quad (3.19.5)$$

$$V_{nOP} = V_n \left(1 + \frac{R_2}{R_1}\right) \quad (3.19.6)$$

$$V_{ni-} = i_{n-} (R_1 // R_2) \quad V_{ni+} = i_{n+} R_S \left(1 + \frac{R_2}{R_1}\right) \quad (3.19.7)$$

$$V_{no}^2 = (V_n G_1)^2 + (i_n R_S G_1)^2 + (i_n R_1 // R_2)^2 + 4kTR_2 + \left(\sqrt{4kTR_1} G_2\right)^2 + \left(\sqrt{4kTR_S} G_1\right)^2 \quad (3.19.8)$$

Comparator 고유 항목

3.20 응답 시간 (Rising / Falling 시간, 전달 지연 시간)

Comparator 의 응답시간이란 Rising 시간, Falling 시간, Rising 전달지연시간, Falling 전달지연시간에 의해 정의됩니다.

Rising 시간이란 출력신호 진폭의 10%에서 90%에 도달하기까지의 시간을 말하며 Falling 시간이란 출력신호 진폭의 90%에서 10%에 도달하기까지의 시간을 말합니다. 전달지연시간이란 기준전압에서 출력전압진폭의 50%값에 도달하기까지의 시간으로 규정됩니다.

전달지연시간을 평가할 때는 Figure 3.20.1 에 나타내듯이 기준전압과 신호레벨의 전위차(과도 구동전압)을 변화시켜 평가를 합니다. 과도구동전압이 작을수록 전달지연시간은 늦어 집니다. 또한 TTL 레벨의 입력신호 (3.5[Vpp])를 인가하여 평가하는 경우도 있습니다. Figure 3.20.1 에 Comparator 입력 · 출력파형을 나타냅니다.

Comparator 에는 Open Collector 타입(CMOS 는 Open Drain)과 Push pull 타입(CMOS)이 존재합니다.

Open Collector (Drain) 타입의 특징으로는 Comparator 출력단에 High 를 출력하기 위한 회로가 없기 때문에 외장저항으로 pull up 할 필요가 있습니다. Pull up 전압 V_{RL} 의 값을 변경함으로써 Comparator 의 전원과는 다른 출력 High 전압을 설정 할 수 있습니다. 또한 주의점으로 Open Collector 타입의 Rising 시간은 외장 Pull up 저항과 부하용량 또는 기생용량에 의해 시정수에 영향을 받습니다.

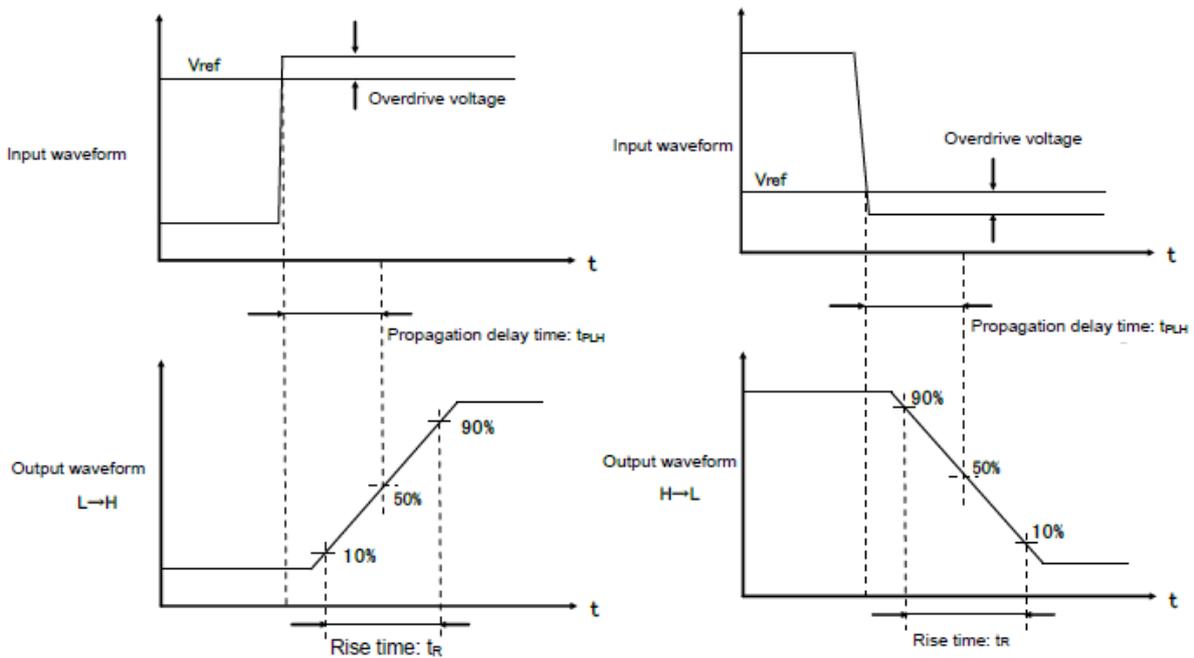


Figure 3.20.1. Comparator 응답시간

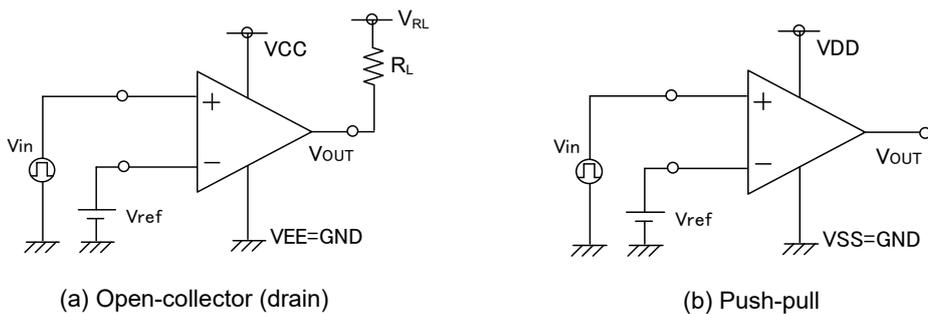


Figure 3.20.2. Comparator 응답시간 측정회로

OP Amp 를 Comparator 로 사용시의 주의점

위상보상용량을 내장하고 있는 OP Amp 의 출력파형은 Slew rate 에 의해 Rising 시간과 Falling 시간이 제한됩니다.

Slew rate 는 위상보상용량을 충전·방전하는 시간에 의해 정해집니다. Comparator 의 경우, 위상 보상용량이 없기 때문에 OP Amp 보다 빠른 Rising 시간, Falling 시간으로 응답합니다. 또한, 내부 회로 구조에 따라서는 Comparator 로써 사용하기에는 적합하지 않는 것도 존재합니다. 일반적으로 OP Amp 에는 Rising 시간과 전달지연 시간의 규정은 존재하지 않지만 Rising 시간, Falling 시간에 대해서는 출력 진폭을 알면 Slew rate ($SR=[V/\mu s]$)로부터 추정할 수 있습니다.

또한, 전달지연시간에 대해서는 규정되어 있지 않아 고속응답이 필요한 경우나 편차를 우려하는 경우에는 Comparator 사용을 추천합니다. OP Amp 중에는 단자 구조의 2.2 차동내압 항에 서술 하였 듯이 단자간에 Clamp 용 보호다이오드가 접속된 것도 있으며 이 경우는 단자간에 전류가 흐르기 때문에 Comparator 로써 사용할 수 없습니다.

또한, 이것과 같은 의미로 차동입력내압이 전원의 최대 정격전압보다 낮은 기종은 Comparator 로써 사용할 때는 최대 정격을 넘지 않도록 주의가 필요합니다.

4 신뢰성 항목

4.1 정전 파괴 내압 (ESD 내압)

신뢰성시험 항목의 하나로써 정전기에 대한 파괴 내성이 있습니다. IC 에 정전기가 인가될 때의 파괴현상의 예로써 이하와 같은 현상을 들 수 있습니다.

- 산화막 절연파괴

Tr 가 MOS 구조의 경우, Gate 산화막에 고전계가 걸리며 발생합니다.

- PN 접합 열파괴

정전기에 의해 IC 내부의 PN 접합에 과대한 전류가 흘러 접합부의 열파괴가 발생합니다.

- 배선 용단

배선의 허용전류량을 넘는 과전류가 흐르는 경우에 열파괴가 발생합니다.

반도체 제품의 취급 시에 받는 정전기 스트레스의 모델로써 이하의 항목을 들 수 있습니다.

- HBM (Human Body Model 인체모델)

인체모델은 인체에 대전한 전하가 반도체제품에 접속할 때 방전되는 현상을 모델화 한 것으로 용량과 저항에 의한 모델링 됩니다.

$C_{ESD}=100[pF]$, $R_{ESD}=1.5[k\Omega]$

- MM (Machine Model 머신 모델)

머신 모델은 인체 모델보다 용량이 크고 전기적 저항이 작은 금속으로 된 기기 등에서 대전한 전하가 반도체 제품에 접속할 때 방전되는 현상을 모델화 한 것입니다.

$C_{ESD}=200[pF]$, $R_{ESD}=0[\Omega]$

오래된 규격이므로 현재는 주류에서 없어지고 있습니다.

- CDM (Charged Device Model)

반도체 제품 자체가 대전한 경우에 금속 등과 접속할 때 방전되는 정전기에 대한 내성을 평가하는 방법입니다.

Figure 4.1.1 에 인체모델과 머신모델의 간이 시험 회로를 나타냅니다. 용량 C_{ESD} 를 고전압원에 충전하여 R_{ESD} 의 저항을 통하여 전하를 방전시켜 파괴의 유무를 확인합니다. 시험은 정 · 부 양극성에 대해 실시됩니다. 정전기를 인가할 때는 Common 단자는 VEE 단자(GND 단자) 또는 VCC 단자가 일반적입니다. 통상 IC 에는 정전기에 대한 보호회로를 가지고 있어 회로 내부에 과대한 전류가 흐르지 않도록 대책이 되어 있습니다. 보호회로의 역할은 정전기에 의한 서지를 Common 단자로 빠져 나가도록 하는 것이며 저임피던스의 전류 경로를 확보하고 있습니다. 또한 CMOS 디바이스의 게이트에 대한 핫캐리어의 충전을 방지하기 위해 단자에 직렬 저항을 접속하는 경우도 있습니다. 보호회로 예를 Figure 4.1.2 에 나타냅니다.

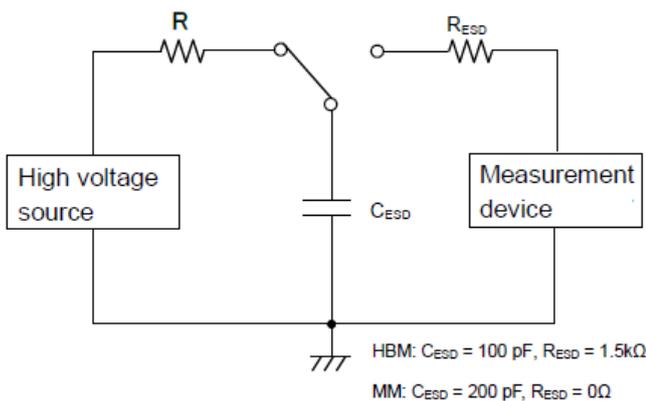


Figure 4.1.1. HBM, MM 간이시험 회로

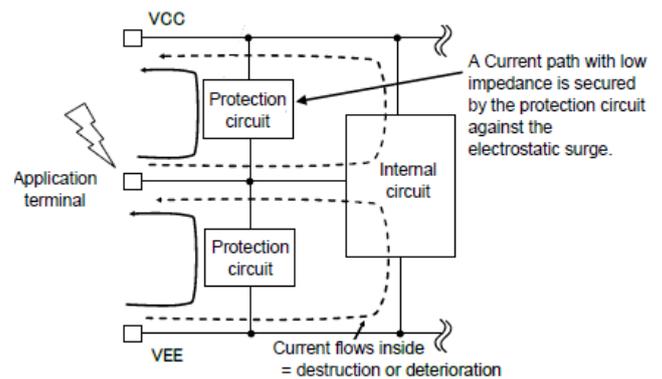


Figure 4.1.2. IC 정전기 보호회로 예

Figure 4.1.3 은 CDM 시험 등가회로를 나타냅니다.

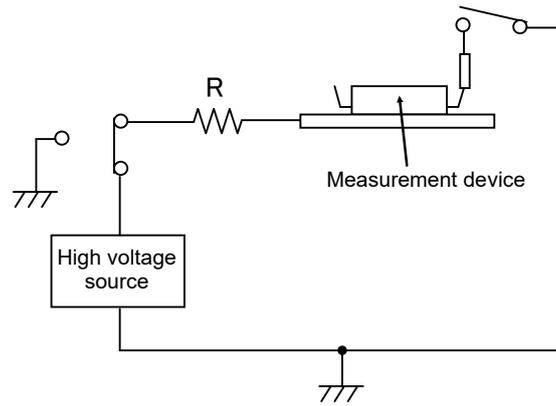


Figure 4.1.3. CDM 시험 등가회로

4.2 Latch up 시험

Latch up 이란 주로 CMOS 디바이스로 구성된 IC 에서 발생하는 현상으로 소자간에 발생하는 기생 바이플라 트랜지스터가 전기적인 Noise 나 정전기 시험 등의 펄스 전류나 전압에 의해 동작하여 이상 동작을 일으키는 현상입니다.

과전류가 계속 흘러 파괴되는 경우와 회로전류가 증가하여 출력전압이 고정되는 등의 현상은 다반사이며, 파괴가 일어나지 않을 경우에는 전원을 일단 OFF 하면 정상 동작으로 복귀하기 때문에 회로전류를 모니터링 함으로써 Latch up 이 발생되었는지 판단 할 수 있습니다.

통상 Latch up 은 IC 의 설계 단계에서 layout 의 수법으로 기생 소자의 능력을 억제하도록 설계됩니다.

Latch up 에 대한 IC 의 내성을 평가하는 방법으로 이하의 방법을 들 수 있습니다.

- 전류 Latch up 시험

전류 펄스에 의한 트리거를 IC 에 주어 Latch up 발생 유무를 확인 합니다. 정·부의 양극성 전류를 인가합니다.

- 전압 Latch up 시험

과전압 펄스에 의한 트리거를 IC 에 주어 Latch up 발생 유무를 확인 합니다.

어느 쪽의 시험에 대해서도 회로 전류를 모니터 하는 것에 의해 Latch up 판정을 합니다.

Figure 4.2.1 에 Latch up 시험 회로를 나타냅니다.

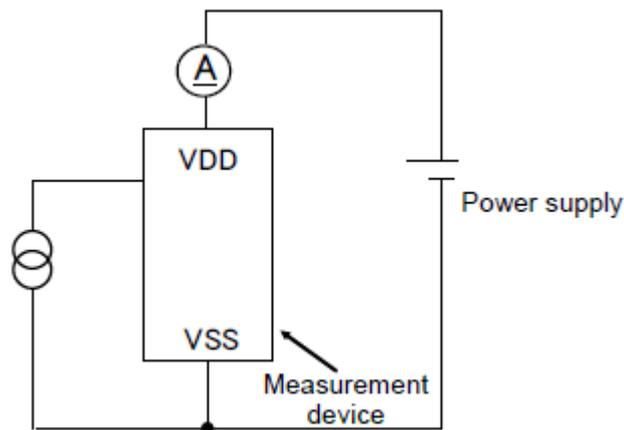


Figure 4.2.1.Latch up 시험 회로

Notes

- 1) The information contained herein is subject to change without notice.
- 2) Before you use our Products, please contact our sales representative and verify the latest specifications :
- 3) Although ROHM is continuously working to improve product reliability and quality, semiconductors can break down and malfunction due to various factors.
Therefore, in order to prevent personal injury or fire arising from failure, please take safety measures such as complying with the derating characteristics, implementing redundant and fire prevention designs, and utilizing backups and fail-safe procedures. ROHM shall have no responsibility for any damages arising out of the use of our Products beyond the rating specified by ROHM.
- 4) Examples of application circuits, circuit constants and any other information contained herein are provided only to illustrate the standard usage and operations of the Products. The peripheral conditions must be taken into account when designing circuits for mass production.
- 5) The technical information specified herein is intended only to show the typical functions of and examples of application circuits for the Products. ROHM does not grant you, explicitly or implicitly, any license to use or exercise intellectual property or other rights held by ROHM or any other parties. ROHM shall have no responsibility whatsoever for any dispute arising out of the use of such technical information.
- 6) The Products specified in this document are not designed to be radiation tolerant.
- 7) For use of our Products in applications requiring a high degree of reliability (as exemplified below), please contact and consult with a ROHM representative : transportation equipment (i.e. cars, ships, trains), primary communication equipment, traffic lights, fire/crime prevention, safety equipment, medical systems, servers, solar cells, and power transmission systems.
- 8) Do not use our Products in applications requiring extremely high reliability, such as aerospace equipment, nuclear power control systems, and submarine repeaters.
- 9) ROHM shall have no responsibility for any damages or injury arising from non-compliance with the recommended usage conditions and specifications contained herein.
- 10) ROHM has used reasonable care to ensure the accuracy of the information contained in this document. However, ROHM does not warrants that such information is error-free, and ROHM shall have no responsibility for any damages arising from any inaccuracy or misprint of such information.
- 11) Please use the Products in accordance with any applicable environmental laws and regulations, such as the RoHS Directive. For more details, including RoHS compatibility, please contact a ROHM sales office. ROHM shall have no responsibility for any damages or losses resulting non-compliance with any applicable laws or regulations.
- 12) When providing our Products and technologies contained in this document to other countries, you must abide by the procedures and provisions stipulated in all applicable export laws and regulations, including without limitation the US Export Administration Regulations and the Foreign Exchange and Foreign Trade Act.
- 13) This document, in part or in whole, may not be reprinted or reproduced without prior consent of ROHM.



Thank you for your accessing to ROHM product informations.
More detail product informations and catalogs are available, please contact us.

ROHM Customer Support System

<https://www.rohm.co.kr/contactus/>