

## Switching Regulator Series

## Buck Converter PCB Layout 기법

No.12027KBY05

Switching 전원 설계 시 PCB Layout 설계는 회로설계만큼 중요합니다. Layout 이 적절하면 전원에 관한 여러 문제가 해결됩니다. 부적절한 Layout 으로 인해 주로 발생하는 문제는 출력과 Switching 신호에 중첩되는 Noise 증가, Regulation 악화, 안정성 결여 등이 있습니다. 적절한 Layout 으로 이러한 문제가 발생하지 않도록 해주십시오.

## ●전류 경로

Figure 1-a 부터 1-c 는 Buck Converter 전류경로를 나타낸 그림입니다. Figure 1-a 의 빨간색 선은 Switch 소자 Q1 이 ON 일 때 Converter 에 주로 흐르는 전류입니다. CBYPASS 는 고주파용 Decoupling Condenser 이고 CIN 은 대용량 Condenser 입니다. Switch 소자 Q1 이 ON 된 순간 가파른 전류파형은 CBYPASS 에서 가장 많이 공급되고 CIN 에서 그 다음으로 많이 공급됩니다. 변화가 완만한 전류는 입력전원에서 공급됩니다.

Figure 1-b 의 빨간색 선은 Switch 소자 Q1 이 OFF 일 때 전류 상황입니다. Freewheel Diode D1 이 ON 되고 Inductor L 에 축적된 에너지가 출력 측으로 전달됩니다. Buck Converter 는 출력에 Inductor 가 직렬로 삽입되어 있기 때문에 출력 Condenser 전류가 완만하게 됩니다.

Figure 1-c 의 빨간색 선은 Figure 1-a 와 1-b 의 차분입니다. Switching 소자 Q1 이 OFF 에서 ON 으로, ON 에서 OFF 로 변할 때마다 빨간색 선 부분의 전류가 급격하게 변화합니다. 이 계통은 변화가 급격하기 때문에 고주파를 많이 포함하는 파형이 나타납니다. 이 차분 계통은 중요한 곳이므로 PCB Layout 시 최대한 주의를 기울여야 합니다.

## ●PCB Layout 순서

PCB Layout 순서는 크게 아래와 같습니다.

1. 입력 Condenser 와 Freewheel Diode 를 IC 단자와 같은 면에, 최대한 IC 와 가까이 배치한다.
2. 필요에 따라 Thermal Via 를 배치한다.
3. Inductor 는 Switching Node 로부터의 방사 Noise 를 최소화하기 위해, 입력 Condenser 만큼은 아니어도 IC 근처에 배치하고 동박 패턴 면적을 필요 이상으로 넓게 하지 않는다.
4. 출력 Condenser 를 Inductor 부근에 배치한다.
5. 귀환경로는 Inductor 나 Diode 등 Noise 원에서 멀리 떨어트려 배선한다.

## ●입력 Condenser 와 Freewheel Diode 배치

먼저, 가장 중요한 부품인 입력 Condenser 와 Freewheel Diode 를 배치합니다. 입력 Condenser 는 전류용량이 작은 전원( $I_{O} \leq 1A$ )일 경우 용량 값도 작아지므로 Ceramic Condenser 1 개가 CIN 과 CBYPASS 를 겸하는 경우가 있습니다. 이는 Ceramic Condenser 의 용량 값이 작아질수록 주파수 특성이 좋아지기 때문입니다. 하지만 Ceramic Condenser 에 따라 주파수 특성이 달라지므로 사용 부품의 주파수 특성을 확인하여 주십시오.

CIN 에 사용하는 대용량 Condenser 는 Figure 2 와 같이 일반적으로 주파수 특성이 좋지 않기 때문에 CIN 에 주파수 특성이 좋은 고주파용 Decoupling Condenser CBYPASS 를 병렬로 배치합니다. CBYPASS 에는 면 실장 타입 적층 Ceramic Condenser 를 사용하고 값은  $0.1\mu F \sim 0.47\mu F$  로 X5R 또는 X7R 타입을 사용합니다.

Figure 3-a 는 입력 Condenser Layout 의 올바른 예입니다. CBYPASS 를 IC 단자와 같은 면에, IC 와 가까이 배치합니다. CBYPASS 가 Pulse 전류 대부분을 공급하므로 대용량 Condenser CIN 는 Figure 3-b 와 같이 2cm 정도 떨어져있어도 문제 없습니다. 공간 문제 상 IC 와 같은 면에 CIN 을 배치할 수 없는 경우에는 CBYPASS 가 바르게 배치되었다는 전제 하에 Figure 3-c 와 같이 Via 를 통해 뒷면 배치 할 수 있습니다. 이 경우 Noise 리스크는 해결할 수 있습니다만 Via 저항의 영향으로 대전류 시 Ripple 전압이 증가할 수 있습니다.

Figure 3-d 는 CBYPASS 와 CIN 을 뒷면에 배치한 Layout 입니다. 이 경우 Via Inductance 성분 때문에 전압 Noise 가 발생하여 Bypass Condenser 가 역효과로 움직입니다. 따라서 절대 이러한 Layout 은 하지 말아 주십시오.

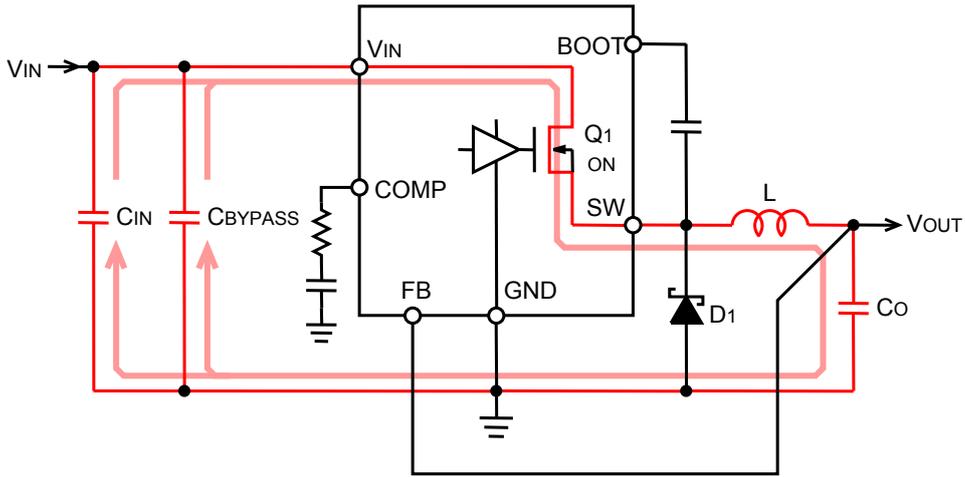


Figure 1-a. Switching 소자 Q1이 ON일 때 전류 경로

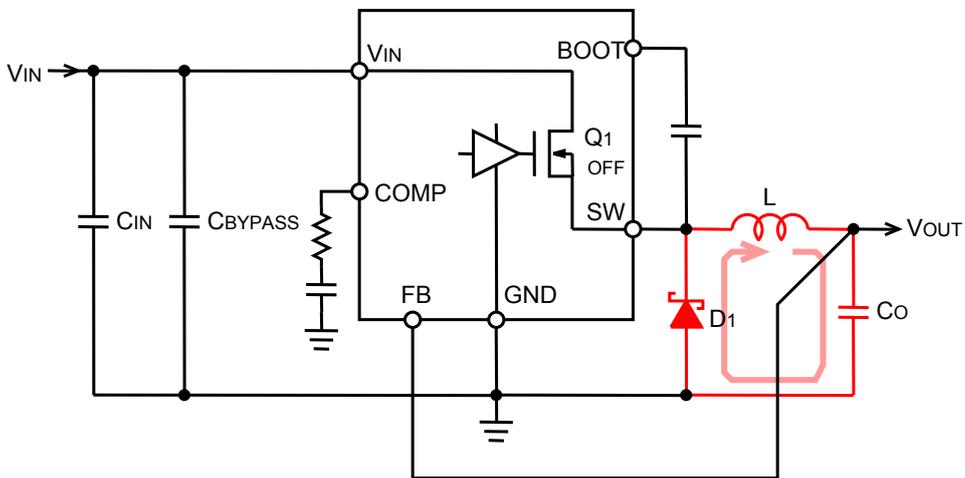


Figure 1-b. Switching 소자 Q1이 OFF일 때 전류 경로

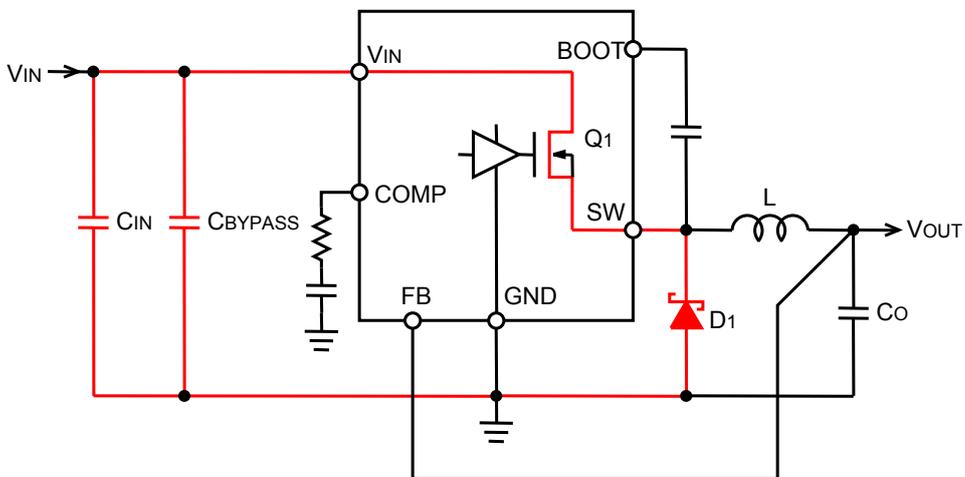


Figure 1-c. 전류의 차분, Layout 상 중요 지점

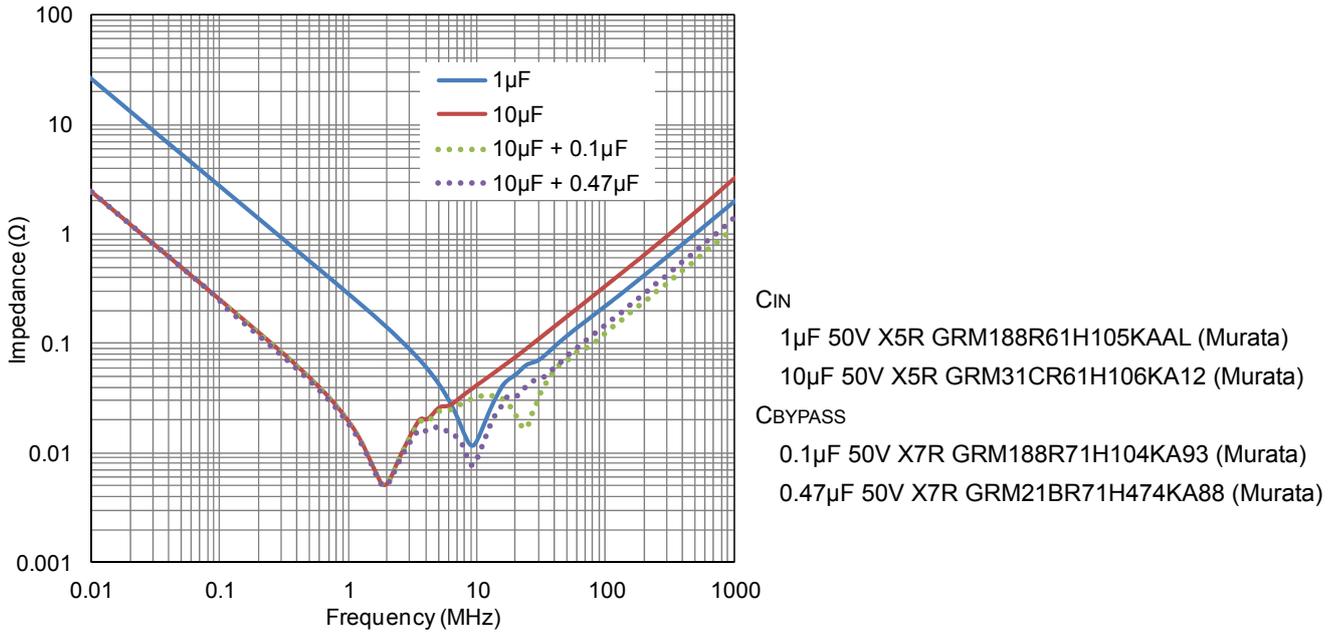


Figure 2. Ceramic Condenser 주파수 특성

Figure 3-f 는 부적절한 Layout 입니다. CBYPASS 와 IC 의 VIN 단자 및 GND 단자와의 거리가 멀기 때문에 배선 Inductance 의 영향으로 전압 Noise 가 발생합니다. 1mm 라도 짧게 배선할 것을 권장합니다.

Buck Converter 의 경우 CBYPASS 를 IC 부근에 배치해도 CIN Ground 에 수백 MHz 의 고주파가 실리므로 CIN Ground 와 Co Ground 는 1cm ~ 2cm 떨어트려 배치할 것을 권장합니다.

Freewheel Diode D1 도 IC 단자와 같은 면에, IC 와 가깝게 배치합니다. Figure 3-e 는 올바른 Layout 입니다. IC 단자부터 Diode 까지 거리가 길면 배선 Inductance 에 의해 유도된 Spike Noise 가 출력에 중첩됩니다. Freewheel Diode 의 배선은 최대한 짧고 폭을 넓게 배선하여 IC Switching 단자와 GND 단자에 직접 접속시켜야 합니다.

Via 를 통해 뒷면에 배치하면 Via Inductance 의 영향으로 Noise 가 악화되기 때문에 절대 Via 를 통해 배치하지 말아 주십시오.

Figure 3-f 는 부적절한 Layout 입니다. Diode 와 IC Switching 단자 및 GND 단자의 거리가 떨어져 있으므로 배선 Inductance 가 증가하여 Spike Noise 발생이 커집니다. 부적절한 Layout 으로 인한 Spike Noise 를 개선하기 위해 RC Snubber 회로를 추가하는 경우가 있습니다. 이 Snubber 회로의 위치는 IC Switching 단자와 GND 단자 가까이에 배치해야 합니다(Figure 3-g). Diode 양단에 배치해도 배선 Inductance 에서 발생한 Spike Noise 를 흡수할 수 없습니다(Figure 3-h).

●Thermal Via 배치

PCB 동박 면적은 방열효과가 있지만 두께가 충분치 않습니다. 면적이 어느 정도 이상이 되면 그에 상응하는 방열효과가 나타나지 않기 때문에 기판 재질을 통해 방열합니다. 열을 기판 반대쪽 면에 효과적으로 전달하여 열 저항을 대폭 축소시키기 위해 Thermal Via 를 사용합니다.

Figure 4 는 뒷면 방열 Package HTSOP-J8 Thermal Via 치수도입니다. Thermal Via 는 열전도율을 높이기 위해 지름은 0.3mm 정도이며 도금 충전이 가능한 소형 Via 를 권장합니다. 원 지름이 너무 크면 Reflow 땀납 처리과정 시 땀납 흡입 문제가 발생합니다. Thermal Via 간격은 1.2mm 정도로 하고 뒷면 방열판 바로 밑에 배치합니다.

뒷면 방열판 바로 밑만으로 부족한 경우에는 Figure 3-a 와 같이 IC 주변에 Thermal Via 를 배치합니다. HTSOP-J8 뒷면 방열 Package 의 방열판은 Ground 전위이므로 동박 패턴을 넓게 하여도 EMI 가 증가하지 않습니다.

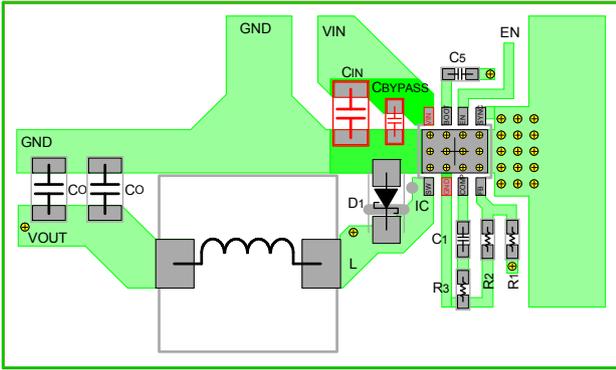


Figure 3-a. 올바른 입력 Condenser 배치

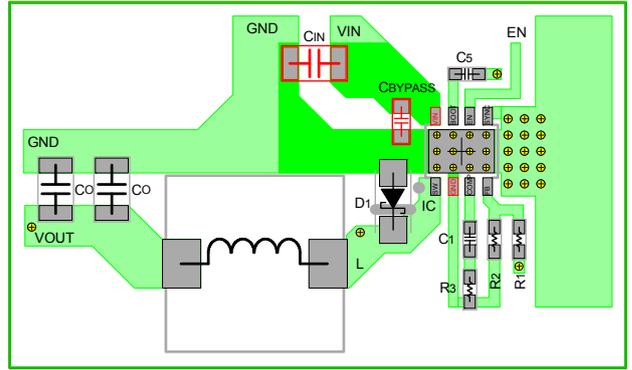


Figure 3-b. CBYPASS가 IC와 같은 면, 부근에 배치된 경우 CIN은 2cm 정도 떨어져도 문제 없음

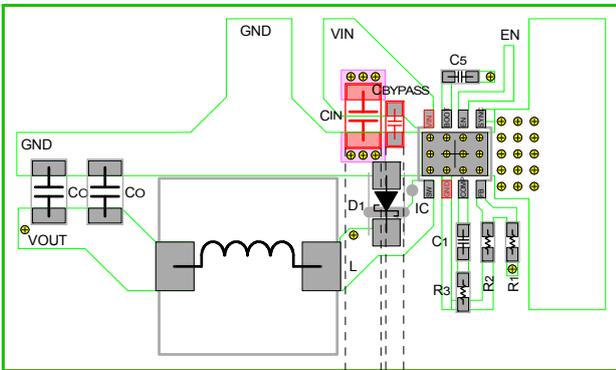


Figure 3-c. CIN을 뒷면에 배치한 경우 Ripple 전압이 증가할 우려가 있음

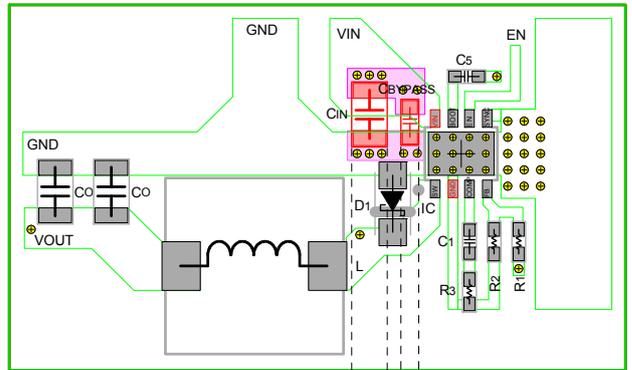


Figure 3-d. 부적절한 입력 Condenser 배치 Via Inductance에 의해 Noise 증가

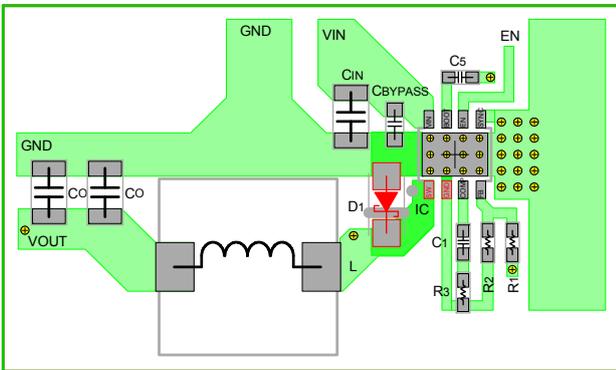


Figure 3-e. 올바른 Freewheel Diode 배치

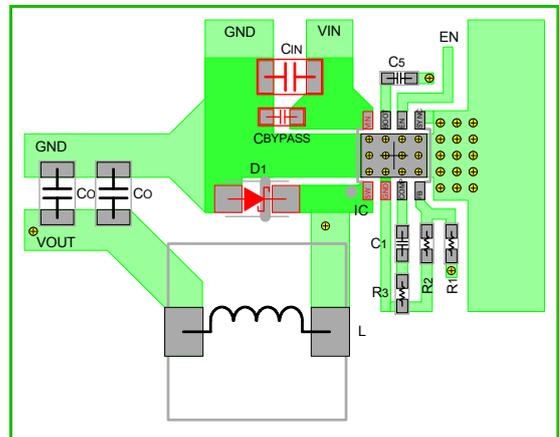


Figure 3-f. 부적절한 Diode Layout

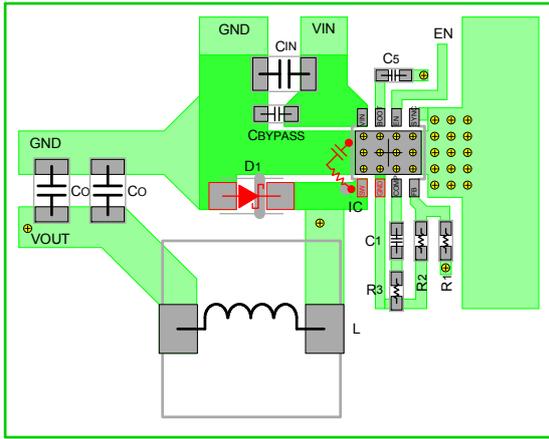


Figure 3-g. 올바른 Snubber 회로 배치

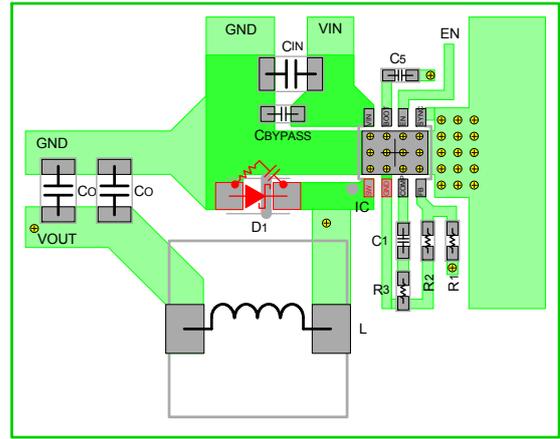
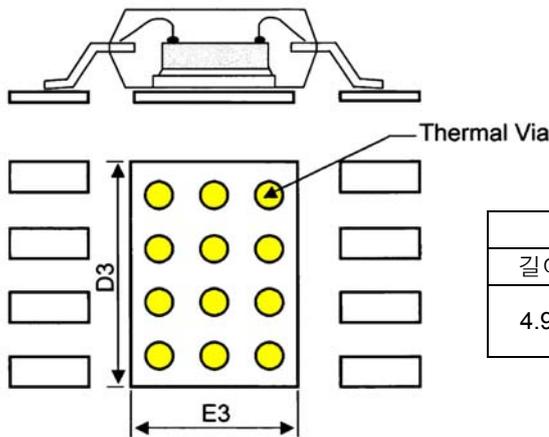


Figure 3-h. 부적절한 Snubber 회로 배치



중앙 면적		Thermal Via	
길이 D3	폭 E3	Pitch	직경
4.90mm	3.20mm	1.20mm	φ0.30

Figure 4. 뒷면 방열 Package 의 Thermal Via 치수도

●Inductor 배치

Inductor 는 Switching Node 로부터의 방사 Noise 를 최소화하기 위해, 입력 Condenser 정도는 아니어도 IC 가까이 배치하고 동박 패턴 면적을 과도하게 넓게 하지 말아 주십시오. 배선 저항 개선과 Device 방열을 위해 동박 면적을 대폭 증가시키는 경우가 있습니다만, 면적이 넓어지면 안테나로서 작용하여 EMI 가 증대할 수 있습니다.

배선 폭을 결정하는 지침 중 하나는 전류내량입니다. Figure 5 는 전류를 보냈을 때의 도체 폭과 자기발열에 의한 온도상승 그래프입니다. 예를 들어, 2A 전류를 도체 두께 35μm 배선에 보냈을 때 온도상승을 20°C 로 제한하기 위해서는 도체 폭을 0.53mm 로 하는 것이 좋습니다.

배선은 주변 부품 발열이나 주위 온도에 영향을 받기 때문에 도체 폭 마진을 충분하게 할 것을 권장합니다. 예를 들어 1oz(35μm) 기판에서는 1A 당 1mm 폭 이상, 2oz(70μm) 기판에서는 1A 당 0.7mm 폭 이상의 도체 폭으로 배선합니다.

Figure 6-a 는 EMI 측면에서 배선 면적을 고려한 Layout 입니다. 그리고 Figure 6-b 는 필요 이상으로 넓게 동박 면적을 배치하여 부적절한 Layout 입니다.

Inductor 배치 시 그 외 주의해야 할 사항은 Inductor 바로 밑에 Ground 층을 두지 않는 것입니다(Figure 6-c). Ground 층에 발생하는 과전류에 의해 자기력선이 사라져 Inductor 값 저하 또는 손실 증가(Q 저하)가 발생합니다. Ground 이외 신호선에도 과전류로 인해 Switching Noise 가 전달될 수 있습니다. 그러므로 Inductor 바로 밑 배선은 피해 주십시오. 부득이하게 배선이 필요한 경우에는 자기력선 누설이 적은 폐자로 구조 Inductor 를 사용하여 주십시오.

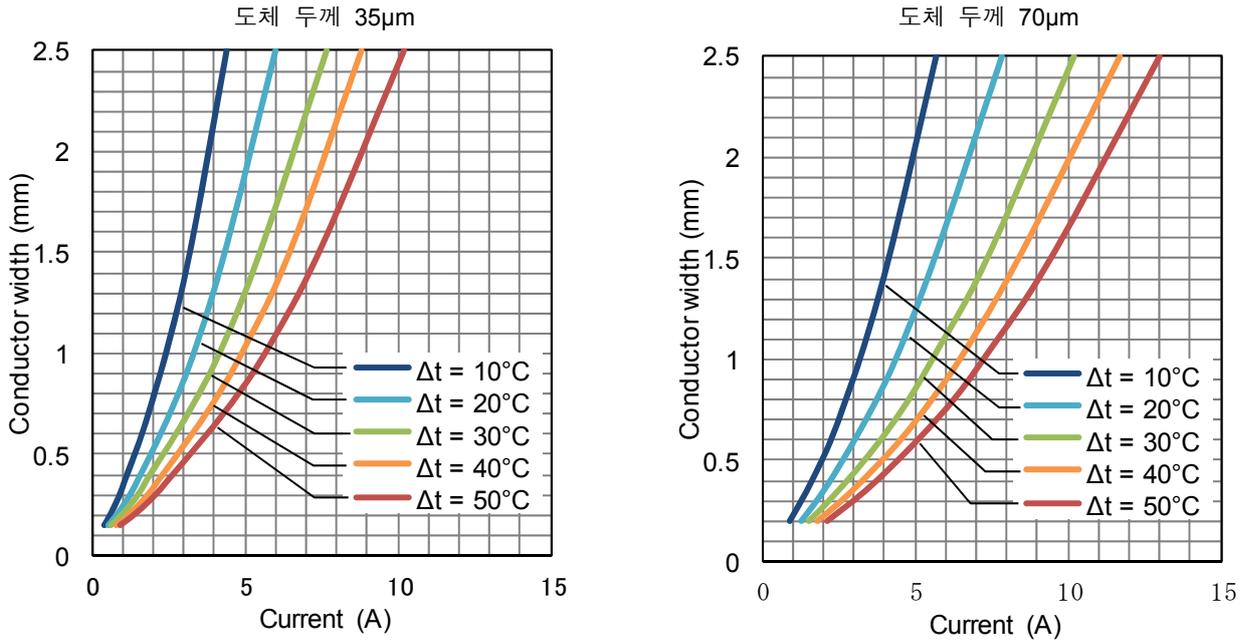


Figure 5. 도체 두께 · 도체 폭 · 전류에 의한 온도 상승

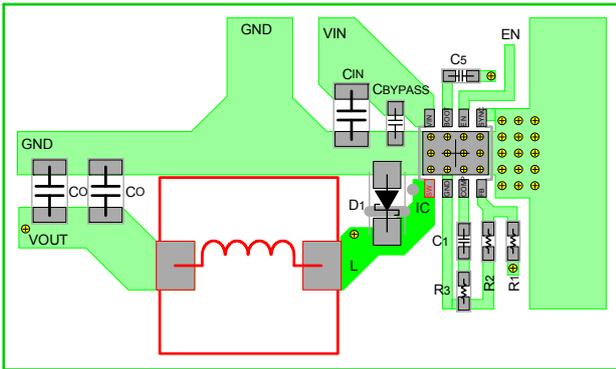


Figure 6-a. 올바른 Inductor 배선

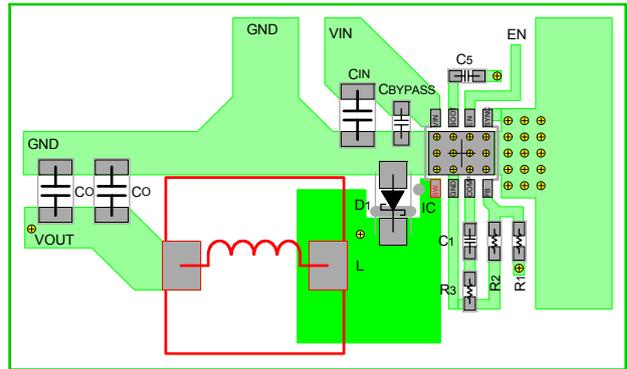


Figure 6-b. 부적절한 Inductor 배선  
과도하게 넓은 동박 면적

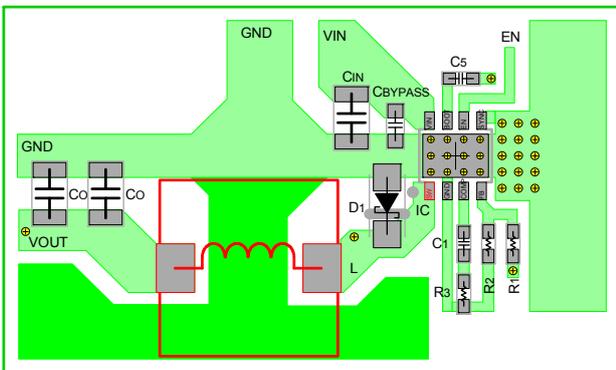


Figure 6-c. 부적절한 Inductor 바로 밑 배선

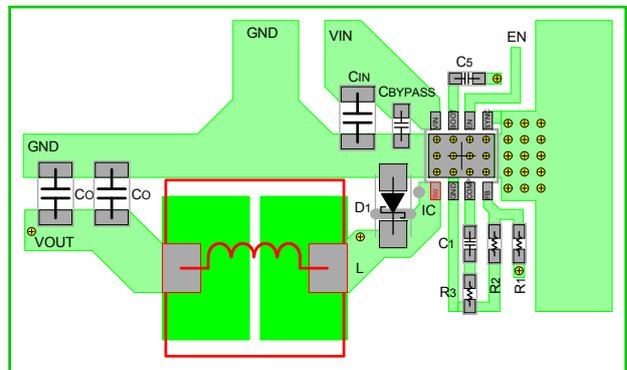


Figure 6-d. 부적절한 Inductor 단자 간 배선

Inductor 단자 간 공간에도 주의가 필요합니다. Figure 6-d 와 같이 단자 간 거리가 가까우면 Switching Node 의 고주파신호가 부유용량을 통해 출력에 용량 유도됩니다.

●출력 Condenser 를 Inductor 가까이 배치

Buck Converter 는 출력에 Inductor 가 직렬로 삽입되어 있어 출력 전류가 완만하게 됩니다. 입력 Condenser 정도는 아니어도 출력 Condenser 를 Inductor 가까이 배치합니다. 입력 Ground 에는 수백 MHz 의 고주파가 실리므로 CIN Ground 와 Co Ground 는 1cm ~ 2cm 떨어뜨려 배치할 것을 권장합니다. 거리가 가까우면 입력 고주파 Noise 가 Co 를 통해 출력에 전파될 수 있습니다.

●귀환경로 배선

신호 배선 시 특히 주의해야 할 배선은 귀환신호입니다. 이 배선에서 Noise 가 발생하면 출력전압에 오차가 발생하여 동작이 불안정해질 수 있습니다.

Figure 7-a 는 귀환경로 배선 시 주의사항입니다.

- (a). 귀환신호를 입력하는 IC Feedback 단자는 통상 High Impedance 로 설계되며, 이 단자와 저항 분할 회로의 출력은 배선을 짧게 하여 연결한다.
- (b). 출력전압 검출 장소는 출력 Condenser 양 끝 또는 출력 Condenser 뒤에 접속한다.
- (c). 저항 분압 회로 배선을 평행하고 가깝게 하면 Noise 내성이 좋아진다.
- (d). Inductor 나 Diode 의 Switching Node 로부터 멀리 배선한다. Inductor 나 Diode 바로 밑에 배선하거나, 전력계 배선과 평행하여 배선하지 않도록 주의한다. 다층 기판도 동일하다.

Figure 7-b 배선은 Ground 배선 저항성분에 의해 전압이 하강하고 부하 Regulation 에 영향을 조금 받습니다만, 전압 변동이 목표사양을 벗어나지 않는다면 검토의 여지가 있습니다. Figure 7-c 는 이에 관한 Layout 예입니다. 귀환경로를 Via 를 통해 뒷면으로 이동시키고 Switching Node 로부터 멀리 Layout 합니다.

Figure 7-d 는 귀환경로를 Inductor 에 가로로 평행 Layout 한 것입니다. 이 경우 Inductor 주변에 발생하는 자기장으로 인해 귀환경로에 Noise 가 유도됩니다.

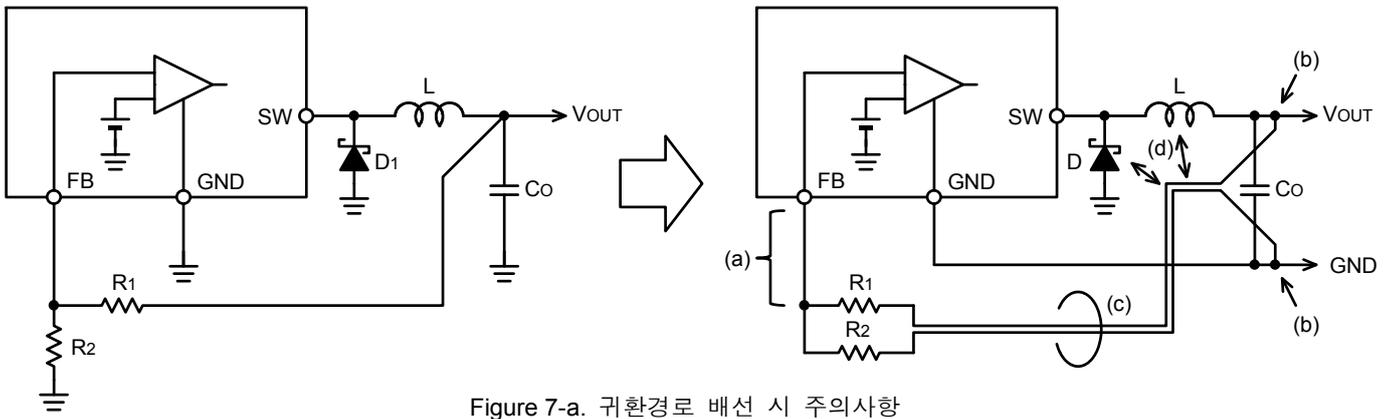


Figure 7-a. 귀환경로 배선 시 주의사항

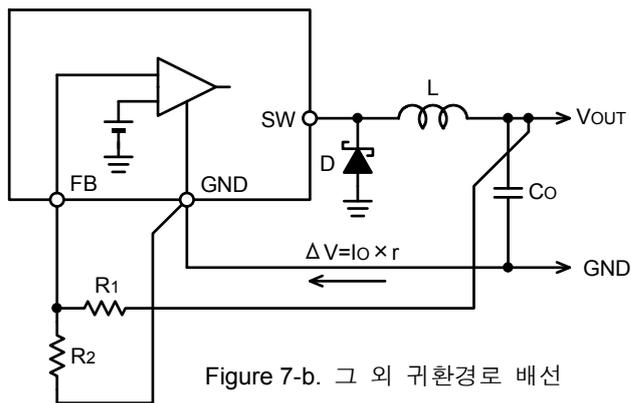


Figure 7-b. 그 외 귀환경로 배선

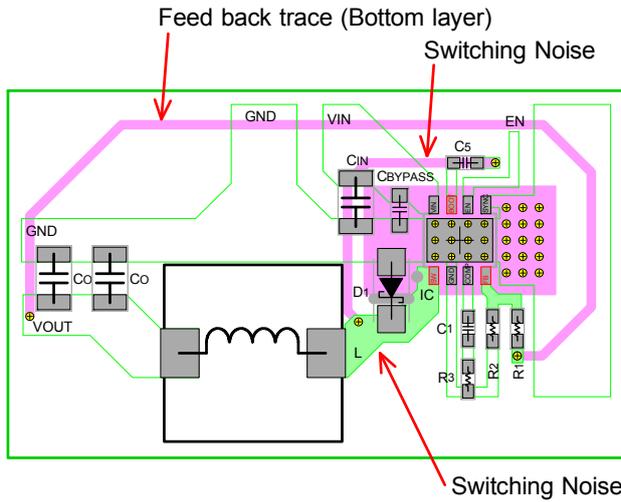


Figure 7-c. 귀환경로 Layout 에 뒷면을 경유하여 배선

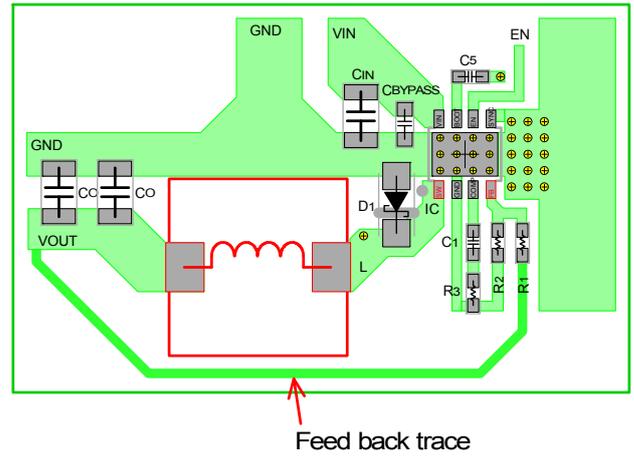


Figure 7-d. 부적절한 귀환경로 Layout Inductor 에 가로로 배선

• Ground

Analog 소신호 Ground 와 Power Ground 는 분리해야 합니다. Power Ground 는 Top Layer 에 분리하지 않고 Layout 하는 것이 기본입니다(Figure 8). Power Ground 를 분리하여 Via 를 통해 뒷면에 접속시키면 Via 저항이나 Inductor 의 영향으로 손실 또는 Noise 악화가 발생합니다. 내층이나 뒷면에 Ground Plane 을 배치하는 것은 DC 손실 경감이나 Shield, 방열 목적으로써 어디까지나 보조적인 Ground 입니다.

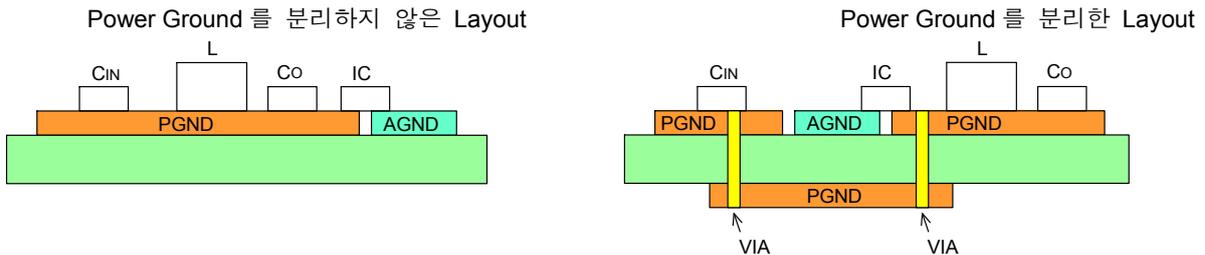


Figure 8. Power Ground Layout

다층 기판에서 내층이나 뒷면에 Ground Plane 을 배치하는 경우, 고주파 Switching Noise 가 많은 입력 Power Ground 나 Freewheel Diode Ground 접속에 주의를 기울여야 합니다. Figure 9 와 같이 2 층에 DC 손실 경감을 위한 Power Ground Plane 이 있는 경우 Top Layer 와 2 층을 Via 여러 개로 접속시키고 Power Ground 의 Impedance 를 작게 합니다. 또한, 3 층에 Common Ground, 4 층에 신호 Ground 가 있는 경우 Power Ground 와 3, 4 층 Ground 의 접속은 고주파 Switching Noise 가 적은 출력 Condenser 부근의 Power Ground 만을 접속시킵니다. Noise 가 많은 입력이나 Freewheel Diode 의 Power Ground 를 절대 접속시키지 말아 주십시오.

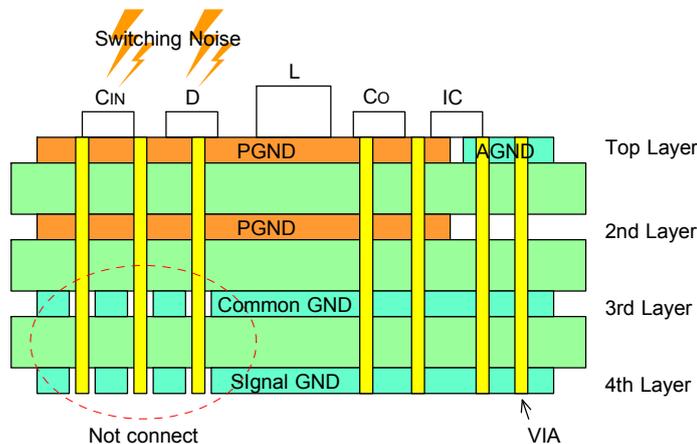


Figure 9. 다층 기판 상 Power Ground 접속 방법

●동박 저항과 Inductance

1. 동박 저항

Figure 10 은 동박 단위 면적당 저항 값입니다. 이는 동박 두께 35μm, 폭 1mm, 길이 1mm 일 때 저항 값입니다. 일반적인 저항 계산은 다음과 같습니다.

$$R = \frac{\rho \times l}{t \times w} \times 10 \text{ [m}\Omega\text{]} \quad (1)$$

$l$  : 도체 길이 [mm]  
 $w$  : 도체 폭 [mm]  
 $t$  : 동박 두께 [μm]  
 $\rho$  : 동박 저항 [μΩcm]  
 $\rho(T=25^\circ\text{C}) = 1.72 \text{ }\mu\Omega\text{cm}$   
 $\rho(T) = \rho(T_a=25^\circ\text{C}) \times \{1 + 0.00385(T - 25)\}$  [μΩcm]  
 $T$  : 온도

오른쪽 그래프에 따른 단위 면적당 저항 값  $R_p$  로 계산하면

$$R = R_p \times \frac{l}{w} \times \frac{35}{t} \text{ [m}\Omega\text{]} \quad (2)$$

$R_p$  : 그래프에 따른 저항 값 [mΩ]  
 $l$  : 도체 길이 [mm]  
 $w$  : 도체 폭 [mm]  
 $t$  : 동박 두께 [μm]

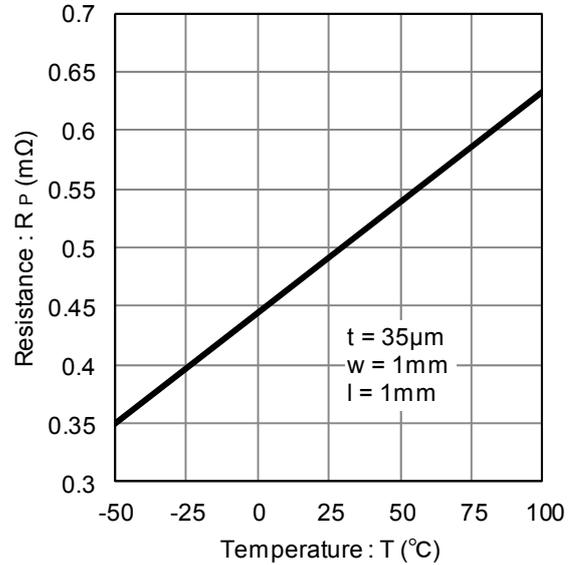


Figure 10. 동박 단위 면적당 저항 값

예를 들어 25°C 일 때 폭 3mm, 길이 50mm 인 저항 값은  $R = R_p \times \frac{l}{w} \times \frac{35}{t} = 0.49 \times \frac{50}{3} \times \frac{35}{35} = 8.17 \text{ [m}\Omega\text{]}$

3A 전류가 흐를 경우 전압 하강은 24.5mV 가 됩니다. 온도가 100°C 이면 저항 값이 29% 증가하고 전압 하강도 31.6mV 로 증가합니다.

2. 동박 Inductance

동박 Inductance 는 다음 식과 같습니다. PCB 배선 시 Inductance 값은 동박 두께에 거의 의존하지 않습니다.

$$L = 0.2 \times l \times \left( \ln \frac{2 \times l}{w + t} + 0.2235 \times \frac{w + t}{l} + 0.5 \right) \text{ [nH]} \quad (3)$$

$l$  : 도체 길이 [mm]  
 $w$  : 도체 폭 [mm]  
 $t$  : 동박 두께 [mm]

Figure 11 은 동박 Inductor 계산 값입니다.

이 그래프와 같이, 선 폭을 2 배로 해도 Inductance 값이 기대만큼 내려가지 않습니다. 기생 Inductance 의 영향을 억제하기 위해서는 배선 길이를 짧게 해야 합니다.

Inductance  $L$  [H] 프린트 패턴에 전달하는 전류가 시간  $t$  [s]에  $i$  [A]로 변화했을 경우 프린트 패턴 양단에 다음 식의 전압이 발생합니다.

$$|V| = L \times \frac{di}{dt} \text{ [V]} \quad (4)$$

예를 들어 기생 Inductance 6nH 프린트 패턴에 2A 전류가 10ns 간격으로 흐르면 하기 전압이 발생합니다.

$$|V| = 6 \times 10^{-9} \times \frac{2}{10 \times 10^{-9}} = 1.2 \text{ [V]} \quad (5)$$

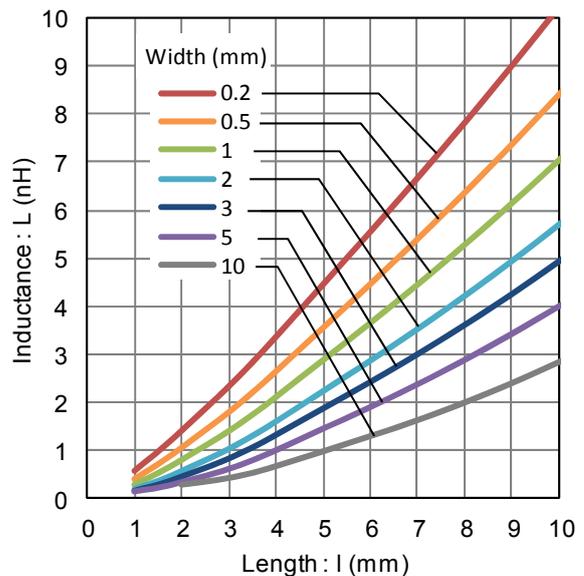


Figure 11. 동박 Inductance

●Via 저항과 Inductor

1. Via 저항

Via 저항 식은 다음과 같습니다. Figure 12 는 기판 두께 1.6mm, 도금 두께 0.015mm (15μm)일 때 Via 저항 값입니다.

$$R_v = \frac{\rho \times h}{\pi \left\{ \left( \frac{d}{2} \right)^2 - \left( \frac{d}{2} - t_m \right)^2 \right\}} \times 0.01 \text{ [m}\Omega\text{]} \quad (6)$$

- h : 판 두께 [mm]
- d : Via 지름 [mm]
- t<sub>m</sub> : Through Hole 도금 두께 [mm]
- ρ : 동박 저항 [μΩcm]
- ρ(T=25°C) = 1.72 μΩcm
- ρ(T) = ρ(Ta=25°C) × {1 + 0.00385(T-25)} [μΩcm]
- T : 온도

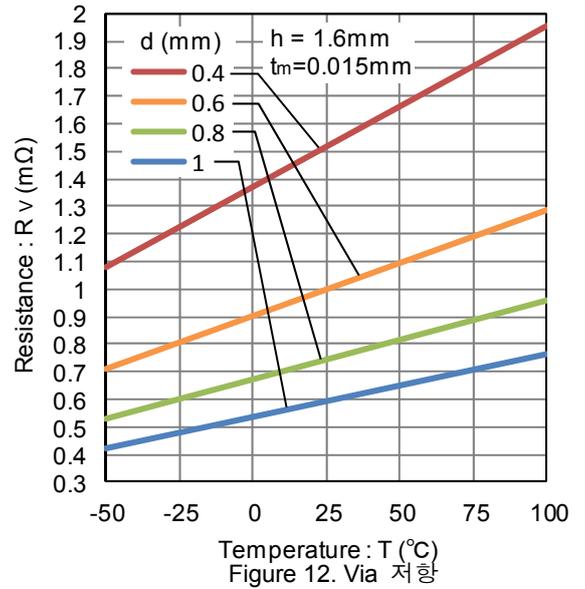


Figure 12. Via 저항

2. Via Inductance

Frederick W. Grover 에 따르면 Via 의 Inductance 는 하기 식과 같습니다. Figure 13 은 계산 결과입니다.

$$L = \frac{h}{5} \times \left( \ln \frac{4 \times h}{d} + 1 \right) \text{ [nH]} \quad (7)$$

- h : 판 두께 [mm]
- d : Via 지름 [mm]

Inductance 값은 작지만 배선이 직각으로 구부러져 EMI 가 악화됩니다. 아래의 「코너 배선」 항목을 참조하여 주십시오.

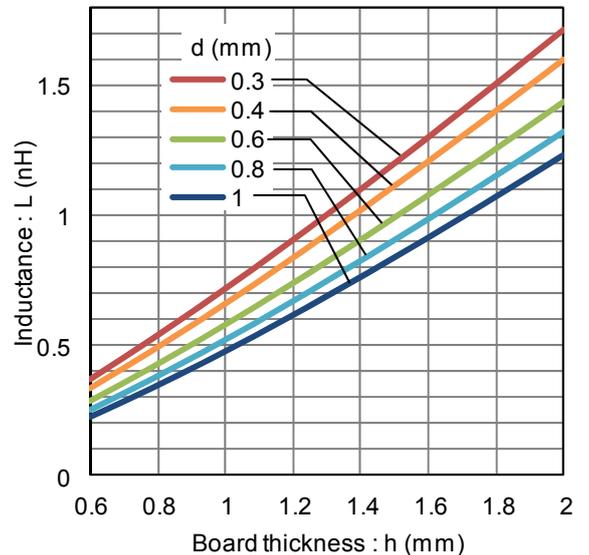


Figure 13. Via Inductance

3. Via 허용전류

Via 지름에 π 를 곱한 값이 선 폭입니다. Figure 5 의 도체 전류에 의한 온도 상승 그래프로부터 허용전류 값을 예측할 수 있습니다만, Via 도금 두께는 18μm 이므로 도체 두께 35μm 인 그래프보다 전류용량이 저하됩니다.。

앞의 배선 항목에서는 도체 두께가 35μm 일 때 1A 당 1mm 폭 이상 도체 폭으로 배선할 것을 권장하였습니다만, Via 의 경우 도금 두께가 절반이므로 도체 폭을 1A 당 2mm 폭 이상으로 할 것을 권장합니다. Figure 14 는 허용전류 예입니다.

Via 개수는 사용 용도에 따라 허용전류, 저항, Inductance 값이 규격을 만족하도록 배치하여 주십시오.

Via 지름 d (mm)	도체 폭 d×π (mm)	허용전류 (A)
0.3	0.94	0.4
0.4	1.26	0.6
0.6	1.88	0.9
0.8	2.51	1.2
1	3.14	1.5

Figure 14. Via 허용전류 예

●코너 배선

코너 배선을 직각으로 구부리면 모서리에서 Impedance 가 변하여 전류 파형이 흔들리고 반사가 발생합니다. Switching Node 등 주파수가 높은 배선에서는 EMI 가 악화됩니다.

코너는 45° 혹은 원호를 그리며 구부려 주십시오. 구부리는 반경이 클수록 Impedance 변화가 줄어듭니다.



Figure 15. 코너 배선 Layout

## Notes

- 1) The information contained herein is subject to change without notice.
- 2) Before you use our Products, please contact our sales representative and verify the latest specifications :
- 3) Although ROHM is continuously working to improve product reliability and quality, semiconductors can break down and malfunction due to various factors.  
Therefore, in order to prevent personal injury or fire arising from failure, please take safety measures such as complying with the derating characteristics, implementing redundant and fire prevention designs, and utilizing backups and fail-safe procedures. ROHM shall have no responsibility for any damages arising out of the use of our Products beyond the rating specified by ROHM.
- 4) Examples of application circuits, circuit constants and any other information contained herein are provided only to illustrate the standard usage and operations of the Products. The peripheral conditions must be taken into account when designing circuits for mass production.
- 5) The technical information specified herein is intended only to show the typical functions of and examples of application circuits for the Products. ROHM does not grant you, explicitly or implicitly, any license to use or exercise intellectual property or other rights held by ROHM or any other parties. ROHM shall have no responsibility whatsoever for any dispute arising out of the use of such technical information.
- 6) The Products are intended for use in general electronic equipment (i.e. AV/OA devices, communication, consumer systems, gaming/entertainment sets) as well as the applications indicated in this document.
- 7) The Products specified in this document are not designed to be radiation tolerant.
- 8) For use of our Products in applications requiring a high degree of reliability (as exemplified below), please contact and consult with a ROHM representative : transportation equipment (i.e. cars, ships, trains), primary communication equipment, traffic lights, fire/crime prevention, safety equipment, medical systems, servers, solar cells, and power transmission systems.
- 9) Do not use our Products in applications requiring extremely high reliability, such as aerospace equipment, nuclear power control systems, and submarine repeaters.
- 10) ROHM shall have no responsibility for any damages or injury arising from non-compliance with the recommended usage conditions and specifications contained herein.
- 11) ROHM has used reasonable care to ensure the accuracy of the information contained in this document. However, ROHM does not warrant that such information is error-free, and ROHM shall have no responsibility for any damages arising from any inaccuracy or misprint of such information.
- 12) Please use the Products in accordance with any applicable environmental laws and regulations, such as the RoHS Directive. For more details, including RoHS compatibility, please contact a ROHM sales office. ROHM shall have no responsibility for any damages or losses resulting from non-compliance with any applicable laws or regulations.
- 13) When providing our Products and technologies contained in this document to other countries, you must abide by the procedures and provisions stipulated in all applicable export laws and regulations, including without limitation the US Export Administration Regulations and the Foreign Exchange and Foreign Trade Act.
- 14) This document, in part or in whole, may not be reprinted or reproduced without prior consent of ROHM.



Thank you for your accessing to ROHM product informations.  
More detail product informations and catalogs are available, please contact us.

## ROHM Customer Support System

<http://www.rohm.com/contact/>