

ML610Q327/38/39 ユーザーズマニュアル

正式初版 発行日 2022 年 4 月 18 日

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社（以下、「当社」といいます）はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤動作する可能性があります。万が一本製品が故障・誤動作した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）および本資料に明示した用途へのご使用を意図しています。
本製品を、特に高い信頼性が要求される機器（車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等）に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器（航空宇宙機器、原子力制御機器、海底中継機器等）には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2022 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-tech.com>

製品使用時の注意事項

本製品を含むマイコン製品全体に適用する「注意事項」について以下に記載します。
製品個別の注意事項については、各製品のユーザーズマニュアル本文中の【注意】を参照してください。
なお、各製品のユーザーズマニュアルの本文と異なる記載がある場合は、本文中の記載を優先します。

1. 未使用の入力端子の処置
未使用の入力端子は、ノイズなどによる誤動作や消費電流の増加を防ぐために、電源またはGNDに固定してください。本文中に未使用端子の処置について記載のある製品は、その内容に従い処置してください。
2. 電源投入時の状態
電源投入時、電源電圧が推奨動作電圧に達し、かつリセット端子に“L”レベルの電圧が入力されるまでは、内部レジスタの値および、ポートの出力は不定です。
パワーオンリセットを搭載する製品は、パワーオンリセットが発生するまでは、内部レジスタの値およびポートの出力は不定です。
不定状態の内部レジスタの値やポート出力でシステムが誤動作しないよう注意して設計してください。
3. メモリ未使用領域へのアクセス
メモリ未使用領域のアドレスの読み出し、または書き込みを実行した場合の動作は保証いたしません。
4. 製品間の相違
電気的特性、ノイズ耐量、ノイズ輻射量等はマイコン製品ごとに異なります。他のマイコン製品から本製品に変更した場合に、お客様の機器・システムにおいて評価結果が変化する場合がありますので、本製品を実装したお客様の機器・システムにおいて十分な評価を実施してからご使用ください。
5. 使用環境
本製品を高湿度な環境や結露する環境で使用する場合は防湿防水対策をしてください。

はじめに

本ユーザーズマニュアルでは、8ビットマイクロコントローラ ML610Q327/38/39 のハードウェアの動作説明が記述されています。

本書のほかに以下に示すマニュアルが用意されておりますので、必要に応じてあわせてお読み下さい。

nX-U8/100 コア インストラクションマニュアル

nX-U8/100 コアの基本アーキテクチャおよび各命令の説明

MACU8 アセンブラパッケージ ユーザーズマニュアル

リロケータブルアセンブラ、リンカ、ライブラリアン、オブジェクトコンバータの操作方法の説明およびアセンブリ言語仕様の説明

CCU8 ユーザーズマニュアル

コンパイラの操作方法の説明

CCU8 プログラミングガイド

プログラミング方法の説明

CCU8 ランゲージリファレンス

CCU8 の言語仕様の説明

DTU8 デバッガ ユーザーズマニュアル

デバッガ DTU8 の操作方法の説明

LEXIDE-U16 ユーザーズマニュアル

統合化開発環境 LEXIDE-U16 の操作方法の説明

EASE1000 V2 ユーザーズマニュアル

オンチップデバッグツール EASE1000 V2 の説明

フラッシュマルチライター MWU16 ユーザーズマニュアル

フラッシュマルチライター ホストプログラム MWU16 の説明

表記法

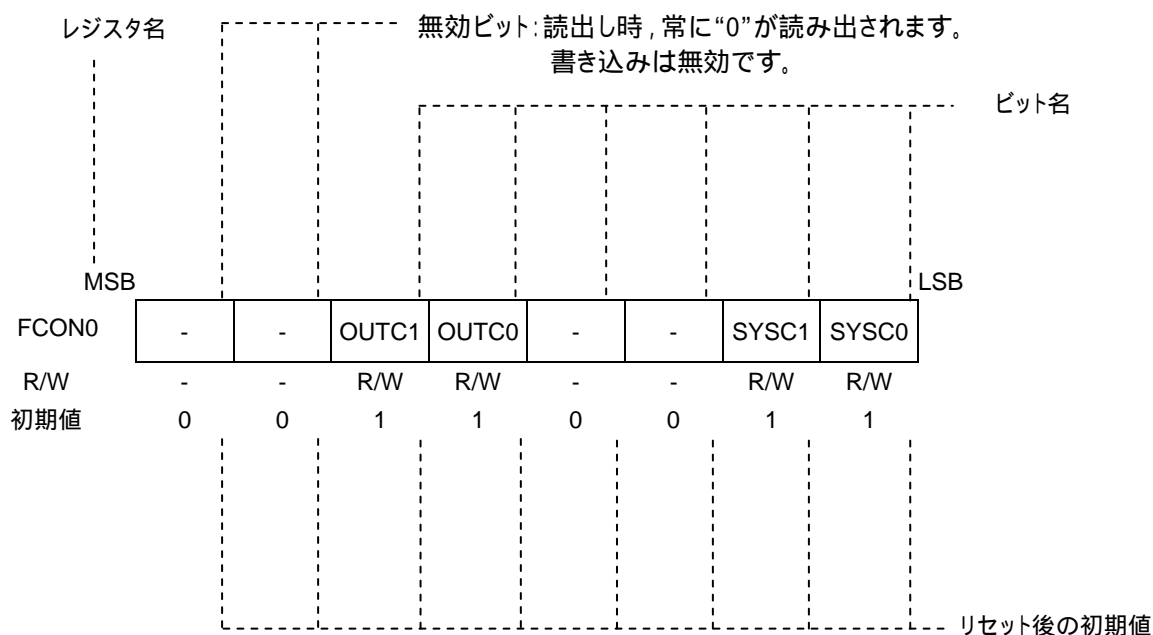
分 類	表記法	説 明
数値	xxh, xxH xxb	16 進数を表します。 2 進数を表します。
単位	ワード, W バイト, B ニブル, N メガ, M キロ, K キロ, k ミリ, m マイクロ, μ ナノ, n セカンド, s (小文字)	1 ワード = 16 ビット 1 バイト = 8 ビット 1 ニブル = 4 ビット 10^6 $2^{10} = 1024$ $10^3 = 1000$ 10^{-3} 10^{-6} 10^{-9} 秒
用語	“H” レベル：電圧の高い側の信号レベルで、電気的特性で規定された V_{IH} , V_{OH} の電圧レベルを示します。 “L” レベル：電圧の低い側の信号レベルで、電気的特性で規定された V_{IL} , V_{OL} の電圧レベルを示します。	

レジスタ説明図

R/W：読み書き属性を表します。R は読み出し可能, W は書き込み可能, R/W は読み書き可能です。

MSB：8 ビットのレジスタ（メモリ）の最上位ビット

LSB：8 ビットのレジスタ（メモリ）の最下位ビット



目次

第 1 章

1. 概要	1-1
1.1 特長	1-1
1.2 機能ブロック構成	1-5
1.2.1 ブロック図	1-5
1.2.1.1 ML610Q327 のブロック図	1-5
1.2.1.2 ML610Q338 のブロック図	1-6
1.2.1.3 ML610Q339 のブロック図	1-7
1.3 端子	1-8
1.3.1 端子配置	1-8
1.3.1.1 ML610Q327 48 ピン TQFP パッケージの端子配置図	1-8
1.3.1.2 ML610Q338 52 ピン TQFP パッケージの端子配置図	1-9
1.3.1.3 ML610Q339 64 ピン TQFP パッケージの端子配置図	1-10
1.3.2 端子一覧	1-11
1.3.3 端子説明	1-13
1.3.4 未使用端子の処理	1-15

第 2 章

2 CPU とメモリ空間	2-1
2.1 概要	2-1
2.2 プログラム・メモリ空間	2-1
2.3 データ・メモリ空間	2-3
2.4 命令長	2-7
2.5 データタイプ	2-7
2.6 レジスタ説明	2-7
2.6.1 レジスター一覧	2-7
2.6.2 データセグメントレジスタ (DSR)	2-7

第 3 章

3 クロック発生回路	3-1
3.1 概要	3-1
3.1.1 特長	3-1
3.1.2 構成	3-1
3.1.3 クロック構成図	3-2
3.2 レジスタ説明	3-3
3.2.1 レジスター一覧	3-3
3.2.2 周波数コントロールレジスタ 0 (FCON0)	3-4
3.2.3 周波数コントロールレジスタ 1 (FCON1)	3-5
3.3 動作説明	3-6
3.3.1 低速クロック	3-6
3.3.1.1 低速クロック発生回路	3-6
3.3.1.2 低速クロック発生回路の動作	3-7
3.3.2 高速クロック	3-8
3.3.2.1 高速クロック発生回路	3-8
3.3.2.2 高速クロック発生回路の動作	3-9
3.3.3 システムクロック切り替え	3-10

第 4 章

4 リセット機能	4-1
4.1 概要	4-1
4.1.1 特長	4-1
4.1.2 構成	4-1
4.1.3 端子一覧	4-1
4.2 レジスタ説明	4-2
4.2.1 レジスター一覧	4-2
4.2.2 リセットステータスレジスタ (RSTAT)	4-2
4.3 動作説明	4-3
4.3.1 システムリセットモードの動作	4-3

第 5 章

5 MCU 制御機能	5-1
5.1 概要	5-1
5.1.1 特長	5-1
5.1.2 構成	5-1
5.2 レジスタ説明	5-2
5.2.1 レジスター一覧	5-2
5.2.2 ストップコードアクセプタ (STPACP)	5-3
5.2.3 スタンバイコントロールレジスタ (SBYCON)	5-4
5.2.4 ブロックコントロールレジスタ 0 (BLKCON0)	5-5
5.2.5 ブロックコントロールレジスタ 1 (BLKCON1)	5-6
5.2.6 ブロックコントロールレジスタ 2 (BLKCON2)	5-7
5.2.7 ブロックコントロールレジスタ 3 (BLKCON3)	5-9
5.2.8 ブロックコントロールレジスタ 4 (BLKCON4)	5-10
5.3 動作説明	5-11
5.3.1 プログラム動作モード	5-11
5.3.2 HALT モード	5-11
5.3.3 STOP モード	5-12
5.3.3.1 STOP/HALT モードからの復帰動作についての注意事項	5-13
5.3.4 ブロック制御機能	5-14

第 6 章

6 ポート 2	6-1
6.1 概要	6-1
6.1.1 特長	6-1
6.1.2 構成	6-1
6.1.3 端子一覧	6-1
6.2 レジスタ説明	6-2
6.2.1 レジスター一覧	6-2
6.2.2 ポート 2 データレジスタ (P2D)	6-3
6.2.3 ポート 2 コントロールレジスタ 0, 1 (P2CON0, P2CON1)	6-4
6.2.4 ポート 2 モードレジスタ (P2MOD)	6-6
6.3 動作説明	6-8
6.3.1 出力ポート機能	6-8
6.3.2 2 次機能	6-8
6.4 ポートのレジスタ設定について	6-9
6.4.1 P21 端子を高速クロック (OUTCLK) 出力機能として動作させる	6-9
6.4.2 P20 端子を低速クロック出力機能 (LSCLK) として動作させる	6-10

第 7 章

7	ポート 4	7-1
7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	構成	7-1
7.1.3	端子一覧	7-2
7.2	レジスタ説明	7-3
7.2.1	レジスター一覧	7-3
7.2.2	ポート 4 データレジスタ (P4D)	7-4
7.2.3	ポート 4 ディレクションレジスタ (P4DIR)	7-6
7.2.4	ポート 4 コントロールレジスタ 0, 1 (P4CON0, P4CON1)	7-7
7.2.5	ポート 4 モードレジスタ 0, 1 (P4MOD0, P4MOD1)	7-9
7.3	動作説明	7-11
7.3.1	入出力ポート機能	7-11
7.3.2	2 次機能, 3 次機能	7-11

第 8 章

8	ポート 8	8-1
8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	構成	8-1
8.1.3	端子一覧	8-2
8.2	レジスタ説明	8-3
8.2.1	レジスター一覧	8-3
8.2.2	ポート 8 データレジスタ (P8D)	8-4
8.2.3	ポート 8 ディレクションレジスタ (P8DIR)	8-6
8.2.4	ポート 8 コントロールレジスタ 0, 1 (P8CON0, P8CON1)	8-7
8.2.5	ポート 8 モードレジスタ 0, 1 (P8MOD0, P8MOD1)	8-9
8.2.6	ポート 8 割込みコントロールレジスタ 0, 1 (P8ICON0, P8ICON1)	8-12
8.2.7	ポート 8 割込みコントロールレジスタ 2 (P8ICON2)	8-13
8.3	動作説明	8-15
8.3.1	入出力ポート機能	8-15
8.3.2	2 次機能, 3 次機能	8-15
8.3.3	外部割込み	8-15
8.3.4	割込み要求	8-16

第 9 章

9 ポート 9	9-1
9.1 概要	9-1
9.1.1 特長	9-1
9.1.2 構成	9-1
9.1.3 端子一覧	9-2
9.2 レジスタ説明	9-3
9.2.1 レジスター一覧	9-3
9.2.2 ポート 9 データレジスタ (P9D)	9-4
9.2.3 ポート 9 ディレクションレジスタ (P9DIR)	9-6
9.2.4 ポート 9 コントロールレジスタ 0,1 (P9CON0, P9CON1)	9-7
9.3 動作説明	9-9
9.3.1 入出力ポート機能	9-9

第 10 章

10 ポート A	10-1
10.1 概要	10-1
10.1.1 特長	10-1
10.1.2 構成	10-1
10.1.3 端子一覧	10-2
10.2 レジスタ説明	10-3
10.2.1 レジスター一覧	10-3
10.2.2 ポート A データレジスタ (PAD)	10-4
10.2.3 ポート A ディレクションレジスタ (PADIR)	10-6
10.2.4 ポート A コントロールレジスタ 0,1 (PACON0, PACON1)	10-7
10.2.5 ポート A モードレジスタ 0 (PAMOD0)	10-9
10.3 動作説明	10-10
10.3.1 入出力ポート機能	10-10
10.3.2 2 次機能	10-10

第 11 章

11 ポート B	11-1
11.1 概要	11-1
11.1.1 特長	11-1
11.1.2 構成	11-1
11.1.3 端子一覧	11-2
11.2 レジスタ説明	11-3
11.2.1 レジスター一覧	11-3
11.2.2 ポート B データレジスタ (PBD)	11-4
11.2.3 ポート B ディレクションレジスタ (PBDIR)	11-6
11.2.4 ポート B コントロールレジスタ 0,1 (PBCON0, PBCON1)	11-7
11.2.5 ポート B モードレジスタ 0 (PBMOD0)	11-9
11.3 動作説明	11-10
11.3.1 入出力ポート機能	11-10
11.3.2 2 次機能	11-10

第 12 章

12 ポート C.....	12-1
12.1 概要.....	12-1
12.1.1 特長.....	12-1
12.1.2 構成.....	12-1
12.1.3 端子一覧.....	12-2
12.2 レジスタ説明.....	12-3
12.2.1 レジスタ一覧.....	12-3
12.2.2 ポート C データレジスタ (PCD).....	12-4
12.2.3 ポート C ディレクションレジスタ (PCDIR).....	12-5
12.2.4 ポート C コントロールレジスタ 0,1 (PCCON0, PCCON1).....	12-6
12.3 動作説明.....	12-8
12.3.1 入出力ポート機能.....	12-8

第 13 章

13 割込み.....	13-1
13.1 概要.....	13-1
13.1.1 特長.....	13-1
13.2 レジスタ説明.....	13-2
13.2.1 レジスタ一覧.....	13-2
13.2.2 割込み許可レジスタ 1 (IE1).....	13-3
13.2.3 割込み許可レジスタ 2 (IE2).....	13-5
13.2.4 割込み許可レジスタ 3 (IE3).....	13-7
13.2.5 割込み許可レジスタ 4 (IE4).....	13-8
13.2.6 割込み許可レジスタ 5 (IE5).....	13-9
13.2.7 割込み許可レジスタ 6 (IE6).....	13-10
13.2.8 割込み許可レジスタ 7 (IE7).....	13-11
13.2.9 割込み要求レジスタ 0 (IRQ0).....	13-12
13.2.10 割込み要求レジスタ 1 (IRQ1).....	13-13
13.2.11 割込み要求レジスタ 2 (IRQ2).....	13-15
13.2.12 割込み要求レジスタ 3 (IRQ3).....	13-17
13.2.13 割込み要求レジスタ 4 (IRQ4).....	13-18
13.2.14 割込み要求レジスタ 5 (IRQ5).....	13-19
13.2.15 割込み要求レジスタ 6 (IRQ6).....	13-20
13.2.16 割込み要求レジスタ 7 (IRQ7).....	13-22
13.3 動作説明.....	13-23
13.3.1 マスカブル割込み処理.....	13-24
13.3.2 ノンマスカブル割込み処理.....	13-24
13.3.3 ソフトウェア割込み処理.....	13-24
13.3.4 割込みルーチンでの注意事項.....	13-25
13.3.5 割込み禁止状態.....	13-28

第 14 章

14	タイムベースカウンタ	14-1
14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	構成	14-2
14.2	レジスタ説明	14-3
14.2.1	レジスタ一覧	14-3
14.2.2	低速側タイムベースカウンタレジスタ (LTBR)	14-4
14.2.3	高速側タイムベースカウンタ分周レジスタ (HTBDR)	14-5
14.3	動作説明	14-6
14.3.1	低速側タイムベースカウンタ	14-6
14.3.2	高速側タイムベースカウンタ	14-7

第 15 章

15	タイマ	15-1
15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	構成	15-1
15.2	レジスタ説明	15-2
15.2.1	レジスタ一覧	15-2
15.2.2	タイマ 0 データレジスタ (TM0D)	15-3
15.2.3	タイマ 1 データレジスタ (TM1D)	15-4
15.2.4	タイマ 2 データレジスタ (TM2D)	15-5
15.2.5	タイマ 3 データレジスタ (TM3D)	15-6
15.2.6	タイマ 0 カウンタレジスタ (TM0C)	15-7
15.2.7	タイマ 1 カウンタレジスタ (TM1C)	15-8
15.2.8	タイマ 2 カウンタレジスタ (TM2C)	15-9
15.2.9	タイマ 3 カウンタレジスタ (TM3C)	15-10
15.2.10	タイマ 0 コントロールレジスタ 0 (TM0CON0)	15-11
15.2.11	タイマ 1 コントロールレジスタ 0 (TM1CON0)	15-12
15.2.12	タイマ 2 コントロールレジスタ 0 (TM2CON0)	15-13
15.2.13	タイマ 3 コントロールレジスタ 0 (TM3CON0)	15-14
15.2.14	タイマ 0 コントロールレジスタ 1 (TM0CON1)	15-15
15.2.15	タイマ 1 コントロールレジスタ 1 (TM1CON1)	15-16
15.2.16	タイマ 2 コントロールレジスタ 1 (TM2CON1)	15-17
15.2.17	タイマ 3 コントロールレジスタ 1 (TM3CON1)	15-18
15.3	動作説明	15-19

第 16 章

16 PWM.....	16-1
16.1 概要.....	16-1
16.1.1 特長.....	16-1
16.1.2 構成.....	16-1
16.1.3 端子一覧.....	16-2
16.2 レジスタ説明.....	16-2
16.2.1 レジスター一覧.....	16-2
16.2.2 PWM0 周期レジスタ (PW0PL, PW0PH)	16-3
16.2.3 PWM1 周期レジスタ (PW1PL, PW1PH)	16-4
16.2.4 PWM2 周期レジスタ (PW2PL, PW2PH)	16-5
16.2.5 PWM0 デューティレジスタ (PW0DL, PW0DH)	16-6
16.2.6 PWM1 デューティレジスタ (PW1DL, PW1DH)	16-7
16.2.7 PWM2 デューティレジスタ (PW2DL, PW2DH)	16-8
16.2.8 PWM0 カウンタレジスタ (PW0CH, PW0CL)	16-9
16.2.9 PWM1 カウンタレジスタ (PW1CH, PW1CL)	16-10
16.2.10 PWM2 カウンタレジスタ (PW2CH, PW2CL)	16-11
16.2.11 PWM0 コントロールレジスタ 0 (PW0CON0)	16-12
16.2.12 PWM1 コントロールレジスタ 0 (PW1CON0)	16-13
16.2.13 PWM2 コントロールレジスタ 0 (PW2CON0)	16-14
16.2.14 PWM0 コントロールレジスタ 1 (PW0CON1)	16-15
16.2.15 PWM1 コントロールレジスタ 1 (PW1CON1)	16-16
16.2.16 PWM2 コントロールレジスタ 1 (PW2CON1)	16-17
16.3 動作説明.....	16-18
16.4 ポートのレジスタ設定について.....	16-20
16.4.1 P23 端子(PWM0:出力)を使って PWM 機能を動作させる場合.....	16-20
16.4.2 PA3 端子(PWM0:出力)を使って PWM 機能を動作させる場合.....	16-21
16.4.3 PB2 端子(PWM1:出力)を使って PWM 機能を動作させる場合.....	16-22

第 17 章

17 ウォッチドッグタイマ.....	17-1
17.1 概要.....	17-1
17.1.1 特長.....	17-1
17.1.2 構成.....	17-1
17.2 レジスタ説明.....	17-2
17.2.1 レジスター一覧.....	17-2
17.2.2 ウォッチドッグタイマコントロールレジスタ (WDTCN)	17-3
17.2.3 ウォッチドッグタイマモードレジスタ (WDTMOD)	17-4
17.3 動作説明.....	17-5
17.3.1 ウォッチドッグタイマを使用しない場合の処理例.....	17-7

第 18 章

18 同期式シリアルポート	18-1
18.1 概要	18-1
18.1.1 特長	18-1
18.1.2 構成	18-2
18.1.3 端子一覧	18-3
18.2 レジスタ説明	18-4
18.2.1 レジスタ一覧	18-4
18.2.2 シリアルポート 0 送受信バッファ (SIO0BUFL, SIO0BUFH)	18-5
18.2.3 シリアルポート 1 送受信バッファ (SIO1BUFL, SIO1BUFH)	18-6
18.2.4 シリアルポート 0 コントロールレジスタ (SIO0CON)	18-7
18.2.5 シリアルポート 1 コントロールレジスタ (SIO1CON)	18-7
18.2.6 シリアルポート 0 モードレジスタ 0 (SIO0MOD0)	18-8
18.2.7 シリアルポート 1 モードレジスタ 0 (SIO1MOD0)	18-9
18.2.8 シリアルポート 0 モードレジスタ 1 (SIO0MOD1)	18-10
18.2.9 シリアルポート 1 モードレジスタ 1 (SIO1MOD1)	18-11
18.3 動作説明	18-12
18.3.1 送信動作	18-12
18.3.2 受信動作	18-13
18.3.3 送受信動作	18-14
18.4 ポートのレジスタ設定について	18-15
18.4.1 P42 端子 (SOUT0:出力), P41 端子 (SCK0:入出力), P40 端子 (SIN0:入力) 端子を使って SSIO0 機能をマスタモードで動作させる場合	18-15
18.4.2 P42 端子 (SOUT0:出力), P41 端子 (SCK0:入出力), P40 端子 (SIN0:入力) 端子を使って SSIO0 機能をスレーブモードで動作させる場合	18-16
18.4.3 P82 端子 (SOUT0:出力), P81 端子 (SCK0:入出力), P80 端子 (SIN0:入力) 端子を使って SSIO0 機能をマスタモードで動作させる場合	18-17
18.4.4 P82 端子 0 (SOUT0:出力), P81 端子 (SCK0:入出力), P80 端子 (SIN0:入力) 端子を使って SSIO 機能をスレーブモードで動作させる場合	18-18
18.4.5 P86 端子 (SOUT1:出力), P85 端子 (SCK1:入出力), P84 端子 (SIN1:入力) 端子を使って SSIO1 機能をマスタモードで動作させる場合	18-19
18.4.6 P86 端子 (SOUT1:出力), P85 端子 (SCK1:入出力), P84 端子 (SIN1:入力) 端子を使って SSIO1 機能をスレーブモードで動作させる場合	18-20
18.4.7 P42 端子 (SOUT1:出力), P41 端子 (SCK1:入出力), P40 端子 (SIN1:入力) 端子を使って SSIO1 機能をマスタモードで動作させる場合	18-21
18.4.8 P42 端子 (SOUT1:出力), P41 端子 (SCK1:入出力), P40 端子 (SIN1:入力) 端子を使って SSIO1 機能をスレーブモードで動作させる場合	18-22
18.4.9 PA2 端子 (SOUT1:出力), PA1 端子 (SCK1:入出力), PA0 端子 (SIN1:入力) 端子を使って SSIO1 機能をマスタモードで動作させる場合	18-21
18.4.10 PA2 端子 (SOUT1:出力), PA1 端子 (SCK1:入出力), PA0 端子 (SIN1:入力) 端子を使っ て SSIO1 機能をスレーブモードで動作させる場合	18-22

第 19 章

19	UART	19-1
19.1	概要	19-1
19.1.1	特長	19-1
19.1.2	構成	19-1
19.1.3	端子一覧	19-2
19.2	レジスタ説明	19-2
19.2.1	レジスタ一覧	19-2
19.2.2	UART0 送受信バッファ (UA0BUF)	19-3
19.2.3	UART1 送受信バッファ (UA1BUF)	19-3
19.2.4	UART0 コントロールレジスタ (UA0CON)	19-4
19.2.5	UART1 コントロールレジスタ (UA1CON)	19-5
19.2.6	UART0 モードレジスタ 0 (UA0MOD0)	19-6
19.2.7	UART1 モードレジスタ 0 (UA1MOD0)	19-7
19.2.8	UART0 モードレジスタ 1 (UA0MOD1)	19-8
19.2.9	UART1 モードレジスタ 1 (UA1MOD1)	19-10
19.2.10	UART0 ボーレートレジスタ L, H (UA0BRTL, UA0BRTH)	19-12
19.2.11	UART1 ボーレートレジスタ L, H (UA1BRTL, UA1BRTH)	19-13
19.2.12	UART0 ステータスレジスタ (UA0STAT)	19-14
19.2.13	UART1 ステータスレジスタ (UA1STAT)	19-16
19.3	動作説明	19-18
19.3.1	転送データフォーマット	19-18
19.3.2	ボーレート	19-19
19.3.3	送信データ方向	19-20
19.3.4	送信動作	19-21
19.3.5	受信動作	19-22
19.3.5.1	スタートビットの検出	19-23
19.3.5.2	サンプリングタイミング	19-23
19.3.5.3	受信マージン	19-24
19.4	ポートのレジスタ設定について	19-25
19.4.1	P87 端子 (TXD0:出力) , P86 端子 (RXD0:入力) を使って UART0 機能を動作させる場合	19-25
19.4.2	P83 端子 (TXD1:出力) , P82 端子 (RXD1:入力) を使って UART1 機能を動作させる場合	19-26

第 20 章

20	I ² C バスインタフェース (マスタ)	20-1
20.1	概要	20-1
20.1.1	特長	20-1
20.1.2	構成	20-1
20.1.3	端子一覧	20-2
20.2	レジスタ説明	20-2
20.2.1	レジスタ一覧	20-2
20.2.2	I ² C バス 0 受信レジスタ (I2C0RD)	20-3
20.2.3	I ² C バス 0 スレーブアドレスレジスタ (I2C0SA)	20-4
20.2.4	I ² C バス送信データレジスタ (I2C0TD)	20-5
20.2.5	I ² C バス 0 コントロールレジスタ (I2C0CON)	20-6
20.2.6	I ² C バス 0 モードレジスタ (I2C0MOD)	20-7
20.2.7	I ² C バス 0 ステータスレジスタ (I2C0STAT)	20-8
20.3	動作説明	20-9
20.3.1	通信動作モード	20-9
20.3.1.1	スタートコンディション	20-9
20.3.1.2	再スタートコンディション	20-9
20.3.1.3	スレーブアドレス送信モード	20-9
20.3.1.4	データ送信モード	20-9
20.3.1.5	データ受信モード	20-9
20.3.1.6	コントロールレジスタ設定待ち状態	20-10
20.3.1.7	ストップコンディション	20-10
20.3.2	通信動作タイミング	20-11
20.3.3	動作波形	20-13
20.4	ポートのレジスタ設定について	20-14
20.4.1	P81 端子 (SCL:出力) と P80 端子 (SDA:入出力) を I ² C 機能として動作させる場合	20-14
20.4.2	PB1 端子 (SCL:出力) と PB0 端子 (SDA:入出力) を I ² C 機能として動作させる場合	20-15

第 21 章

21 I ² C バスインタフェース (スレーブ)	21-1
21.1 概要	21-1
21.1.1 特長	21-1
21.1.2 構成	21-1
21.1.3 端子一覧	21-2
21.2 レジスタ説明	21-2
21.2.1 レジスタ一覧	21-2
21.2.2 I ² C バス 1 受信レジスタ (I2C1RD)	21-3
21.2.3 I ² C バス 1 スレーブアドレスレジスタ (I2C1SA)	21-4
21.2.4 I ² C バス 1 送信データレジスタ (I2C1TD)	21-5
21.2.5 I ² C バス 1 コントロールレジスタ (I2C1CON)	21-6
21.2.6 I ² C バス 1 モードレジスタ (I2C1MOD)	21-7
21.2.7 I ² C バス 1 ステータスレジスタ (I2C1STAT)	21-8
21.3 動作説明	21-10
21.3.1 通信動作モード	21-10
21.3.1.1 スタートコンディション	21-10
21.3.1.2 スレーブアドレス受信モード	21-10
21.3.1.3 通信待ち状態	21-10
21.3.1.4 データ送信モード	21-10
21.3.1.5 データ受信モード	21-10
21.3.1.6 ストップコンディション	21-10
21.3.2 通信動作タイミング	21-11
21.3.3 動作波形	21-12
21.4 ポートのレジスタ設定について	21-13
21.4.1 P81 端子 (SCL:入出力) と P80 端子 (SDA:入出力) を I ² C 機能として動作させる場合	21-13
21.4.2 PB1 端子 (SCL:入出力) と PB0 端子 (SDA:入出力) を I ² C 機能として動作させる場合	21-14

第 22 章

22 逐次比較型 A/D コンバータ (SA-ADC)	22-1
22.1 概要	22-1
22.1.1 特長	22-1
22.1.2 構成	22-1
22.1.3 端子一覧	22-2
22.2 レジスタ説明	22-3
22.2.1 レジスタ一覧	22-3
22.2.2 SA-ADC リザルトレジスタ 0L (SADR0L)	22-4
22.2.3 SA-ADC リザルトレジスタ 0H (SADR0H)	22-4
22.2.4 SA-ADC リザルトレジスタ 1L (SADR1L)	22-5
22.2.5 SA-ADC リザルトレジスタ 1H (SADR1H)	22-5
22.2.6 SA-ADC リザルトレジスタ 2L (SADR2L)	22-6
22.2.7 SA-ADC リザルトレジスタ 2H (SADR2H)	22-6
22.2.8 SA-ADC リザルトレジスタ 3L (SADR3L)	22-7
22.2.9 SA-ADC リザルトレジスタ 3H (SADR3H)	22-7
22.2.10 SA-ADC リザルトレジスタ 4L (SADR4L)	22-8
22.2.11 SA-ADC リザルトレジスタ 4H (SADR4H)	22-8
22.2.12 SA-ADC リザルトレジスタ 5L (SADR5L)	22-9
22.2.13 SA-ADC リザルトレジスタ 5H (SADR5H)	22-9
22.2.14 SA-ADC リザルトレジスタ 6L (SADR6L)	22-10
22.2.15 SA-ADC リザルトレジスタ 6H (SADR6H)	22-10
22.2.16 SA-ADC リザルトレジスタ 7L (SADR7L)	22-11
22.2.17 SA-ADC リザルトレジスタ 7H (SADR7H)	22-11
22.2.18 SA-ADC コントロールレジスタ 0 (SADCON0)	22-12
22.2.19 SA-ADC コントロールレジスタ 1 (SADCON1)	22-13
22.2.20 SA-ADC モードレジスタ 0 (SADMOD0)	22-14
22.3 動作説明	22-16
22.3.1 A/D 変換チャネルの設定	22-16
22.3.2 逐次比較型 A/D コンバータの動作	22-17

第 23 章

23 音声再生機能	23-1
23.1 概要	23-1
23.1.1 特長	23-1
23.1.2 構成	23-2
23.1.2.1 ブロック構成	23-2
23.1.2.2 音声コードデータの配置	23-3
23.2 レジスタ説明	23-5
23.2.1 レジスタ一覧	23-5
23.2.2 音声 FIFO データレジスタ (VF DAT)	23-6
23.2.3 音声フリーズエンドデータレジスタ (VFEDAT)	23-8
23.2.4 音声ステータスレジスタ (VSTAT)	23-9
23.2.5 音声モードレジスタ (VMOD)	23-12
23.2.6 音声データタイプレジスタ (VTYPE)	23-13
23.2.7 ボリューム設定レジスタ (VVOL)	23-14
23.2.8 音声再生コントロールレジスタ (VCON)	23-15
23.2.9 HQ フリーズストップビット長レジスタ (VHQSBL)	23-16
23.2.10 ボリュームステータスレジスタ (VVOLS)	23-17
23.3 動作説明	23-18
23.3.1 音声再生動作	23-18
23.3.2 音声再生の動作タイミング	23-20
23.3.3 音声コードデータの構成と音声データの作成方法	23-22
23.3.4 再生時間とメモリ容量	23-22
23.3.5 編集 ROM 機能	23-23

第 24 章

24 スピーカアンプ	24-1
24.1 概要	24-1
24.1.1 特長	24-1
24.1.2 構成	24-1
24.2 レジスタ説明	24-2
24.2.1 レジスタ一覧	24-2
24.2.2 スピーカアンプコントロールレジスタ (SPCON)	24-3
24.2.3 断線検知コントロールレジスタ (DCDCON)	24-4
24.2.4 ショート検知コントロールレジスタ (SDCON)	24-5
24.3 動作説明	24-7
24.3.1 スピーカアンプ	24-7
24.3.2 断線検知回路	24-8
24.3.3 ショート検知回路	24-9
24.3.3.1 PWM の “H” レベルの固定検知回路動作	24-9
24.3.3.2 SPP 端子, および SPM 端子のショート検知回路動作	24-10

第 25 章

25	フラッシュ・メモリ書き換え機能.....	25-1
25.1	概要.....	25-1
25.1.1	特長.....	25-1
25.2	レジスタ説明.....	25-2
25.2.1	レジスター一覧.....	25-2
25.2.2	フラッシュアドレスレジスタ L,H (FLASHAL,H)	25-3
25.2.3	フラッシュデータレジスタ L,H (FLASHDL,H)	25-4
25.2.4	フラッシュコントロールレジスタ (FLASHCON)	25-5
25.2.5	フラッシュアクセプタ (FLASHACP)	25-6
25.2.6	フラッシュセグメントレジスタ (FLASHSEG)	25-7
25.2.7	フラッシュセルフレジスタ (FLASHSLF)	25-8
25.2.8	フラッシュプロテクトレジスタ (FLASHPRT)	25-9
25.2.9	フラッシュステータスレジスタ (FLASHSTA)	25-11
25.3	動作説明.....	25-12
25.3.1	セクタ消去機能.....	25-13
25.3.2	ブロック消去機能.....	25-15
25.3.3	1 ワード書き込み機能.....	25-17
25.3.4	使用上の注意.....	25-19

第 26 章

26	電源回路.....	26-1
26.1	概要.....	26-1
26.1.1	特長.....	26-1
26.1.2	構成.....	26-1
26.1.3	端子一覧.....	26-1
26.2	動作説明.....	26-2

第 27 章

27	オンチップデバッグ機能.....	27-1
27.1	概要.....	27-1
27.2	オンチップデバックエミュレータとの接続方法.....	27-1

第 28 章

28	コードオプション.....	28-1
28.1	概要.....	28-1
28.1.1	特長.....	28-1
28.2	レジスタ説明.....	28-1
28.2.1	レジスター一覧.....	28-1
28.2.2	コードオプションレジスタ 0 (CODEOP0)	28-2
28.3	コードオプションデータの設定方法.....	28-3
28.3.1	コードオプションデータのフォーマット.....	28-3
28.3.2	コードオプションデータのプログラム方法.....	28-3
28.4	コードオプションデータの参照方法.....	28-4

付録

付録 A レジスター一覧	A-1
付録 B パッケージ外形図	B-1
付録 C 電気的特性	C-1
付録 D 応用回路例	D-1
付録 E チェックリスト	E-1

改版履歴

改版履歴	改-1
------------	-----

第 1 章 概要

1 概要

1.1 特長

本 LSI は、8 ビット CPU nX-U8/100 を搭載し、タイマ、PWM、UART、I²C バス・インタフェース、同期式シリアルポート、10 ビット逐次比較型 A/D コンバータ、および音声出力機能等の多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。CPU nX-U8/100 は、3 段パイプラインアーキテクチャによる並列処理をすることで 1 命令 1 クロックの効率的な命令実行が可能です。また、本 LSI は、マスク ROM 同等の低電圧、低消費電力動作（読み出し時）を実現したフラッシュ・メモリ* を搭載しており、警報機や携帯機器などの電池駆動アプリケーションに最適です。さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

*:This product uses SuperFlash® technology licensed from Silicon Storage Technology, Inc.
SuperFlash® is a registered trademark of Silicon Storage Technology, Inc.

本 LSI は、パッケージ種類、フラッシュ・メモリ容量（プログラム領域）によって複数の商品から構成されています。以下に 48 ピンから 64 ピンのパッケージ、192K バイト*¹ および 256K バイト*¹ のフラッシュ・メモリ容量をラインアップした商品一覧を示します。

本 LSI の商品一覧

フラッシュ・メモリ容量 (プログラム領域), 再生時間目安	ピン数, パッケージ, 商品名		
	48 ピン TQFP48	52 ピン TQFP52	64 ピン TQFP64
256K バイト* ¹ , 95 秒* ²	-	ML610Q338	ML610Q339
192K バイト* ¹ , 69 秒* ²	ML610Q327	-	-

*1: 使用不可のテストデータ領域 1K バイトを含む

*2: 制御プログラム 16K バイト使用, サンプリング周波数 6.4kHz, HQ-ADPCM 選択時

本 LSI をご使用の際は、本資料に記載された「製品使用時の注意事項」および「ご注意」をご確認の上、お使いください。

1 CPU

RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)

命令体系: 16 ビット長命令

命令セット: 転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど

オンチップデバッグ機能を内蔵

最小命令実行時間

約 30.5μs (@32.768kHz システムクロック)

約 0.244μs (@4.096MHz システムクロック) @V_{DD}=2.0 ~ 5.5V

約 0.122μs (@8.192MHz システムクロック) @V_{DD}=2.2 ~ 5.5V

I 内部メモリ

フラッシュ・メモリ(プログラム領域) :

商品	プログラム領域	書き換え回数
ML610Q327	192K バイト(96K × 16 ビット) ^{*3}	100 回
ML610Q338/ML610Q339	256K バイト(128K × 16 ビット) ^{*3}	

^{*3}: 使用不可のテストデータ領域 1K バイトを含む

データ・フラッシュ・メモリ : 2K バイト(1K × 16 ビット) 書き換え回数 10,000 回

データ・フラッシュ消去 / 書き込み中, CPU のプログラム処理が継続するバックグラウンドオペレーション (BGO) 機能を搭載

RAM : 4K バイト(4K × 8 ビット)

I 割込みコントローラ

ノンマスカブル割込み 1 要因

内部要因: 1(ウォッチドッグタイマ)

マスカブル割込み 29 要因

内部要因: 21(データ・フラッシュ消去 / 書き込み完了, 同期式シリアルポート 0, 同期式シリアルポート 1, UART0, UART1, I²C バス マスタ/スレーブ・インタフェース, タイマ 0, タイマ 1, タイマ 2, タイマ 3, PWM0, PWM1, PWM2, A/D コンバータ, 音声再生, スピーカショート検知, TBC128Hz, TBC32Hz, TBC16Hz, TBC2Hz)

外部要因: 8(P80, P81, P82, P83, P84, P85, P86, P87)

I タイムベースカウンタ

低速側タイムベースカウンタ × 1ch

高速側タイムベースカウンタ × 1ch

I ウォッチドッグタイマ

ノンマスカブル割込み, およびリセット

(1 回目のオーバフローで割込みを発生, 2 回目のオーバフローでリセットを発生)

フリーラン

オーバフロー周期選択可能: 4 種(125ms, 500ms, 2s, 8s@32.768kHz)

I タイマ

8 ビット × 4ch(16bit 構成も可能)

I PWM

分解能 16 ビット × 3ch

I 音声再生機能

音声合成方式: HQ-ADPCM / 4 ビット ADPCM2 / 8 ビットノンリニア PCM / 8 ビットストレート PCM / 16 ビットストレート PCM

サンプリング周波数: 6.4kHz, 8kHz, 10.7kHz, 12.8kHz, 16kHz, 21.3kHz, 25.6kHz, 32kHz



HQ-ADPCM は、「Ky's」の高音質音声圧縮技術です。
「Ky's」は、国立大学法人 九州工業大学の登録商標です。

- Ⅰ 逐次比較型 A/D コンバータ
 - 分解能: 10 ビット
 - 入力: 8ch (ch0-7: 外部入力)
 - 変換時間: 24.4 μ s/1ch@4.096MHz V_{DD} 2.2V
 - 変換時間: 12.2 μ s/1ch@8.192MHz V_{DD} 2.5V
 - 連続変換 / 1 回変換選択可能
- Ⅰ 同期式シリアルポート(SSIO)
 - 2ch
 - マスタ/スレーブ選択可能
 - LSB/MSB ファースト選択可能
 - 8 ビット/16 ビット長選択可能
- Ⅰ UART
 - 半二重通信 \times 2ch (2ch 使用することで全二重通信も可能)
 - TXD/RXD
 - ビット長, パリティ有無, 奇数/偶数パリティ, 1 ストップビット / 2 ストップビット
 - 正/負論理選択可
 - ボーレートジェネレータ内蔵
- Ⅰ I²C バス・インタフェース
 - マスタ : 標準モード (100kbit/s) 対応, ファーストモード (400kbit/s) 対応
 - スレーブ: 標準モード (100kbit/s) 対応, ファーストモード (400kbit/s) 対応
- Ⅰ 汎用ポート
 - 出力専用ポート \times 6ch (2 次機能等含む)
 - 入出力ポート (2 次機能等含む)

商品	入出力ポート (2 次機能等含む)
ML610Q327	26ch
ML610Q338	30ch
ML610Q339	42ch

- Ⅰ スピーカアンプ(D 級)
 - 1.0W@5.0V/0.45W@3.0V
 - 断線検知回路
 - スピーカショート検知回路
- Ⅰ リセット
 - RESET_N 端子リセット
 - パワーオン検出リセット
 - WDT オーバフローによる検出リセット
 - PLL 発振停止検出リセット
 - 低電圧検出(LLD)リセット
- Ⅰ クロック
 - 低速側クロック
 - 低速 RC 発振(32.768kHz)
 - 高速側クロック
 - PLL 発振(約 1.024MHz / 約 2.048MHz / 約 4.096MHz / 約 8.192MHz)
- Ⅰ パワーマネジメント
 - STOP モード: 発振の停止 (CPU および周辺回路は動作を停止)
 - HALT モード: CPU の命令実行中断 (周辺回路は動作状態)
 - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/2, 1/4, 1/8, 1/16)
 - ブロック制御機能: 使用しない機能ブロック回路の動作をパワーダウン (レジスタリセット & クロック停止)
- Ⅰ 出荷形態

商品	出荷形態
ML610Q327	48 ピン TQFP (P-TQFP48-0707-0.50-ZK6)
ML610Q338	52 ピン TQFP (P-TQFP52-1010-0.65-ZK6)
ML610Q339	64 ピン TQFP (P-TQFP64-1010-0.50-ZK6)
- Ⅰ 動作保証範囲
 - 動作周囲温度: -40°C ~ 85°C
 - 動作電圧: $V_{DD}=2.0V\sim5.5V$, $SPV_{DD}=2.0V\sim5.5V$

1.2 機能ブロック構成

1.2.1 ブロック図

1.2.1.1 ML610Q327 のブロック図

図 1-1 に ML610Q327 のブロック図を示します。

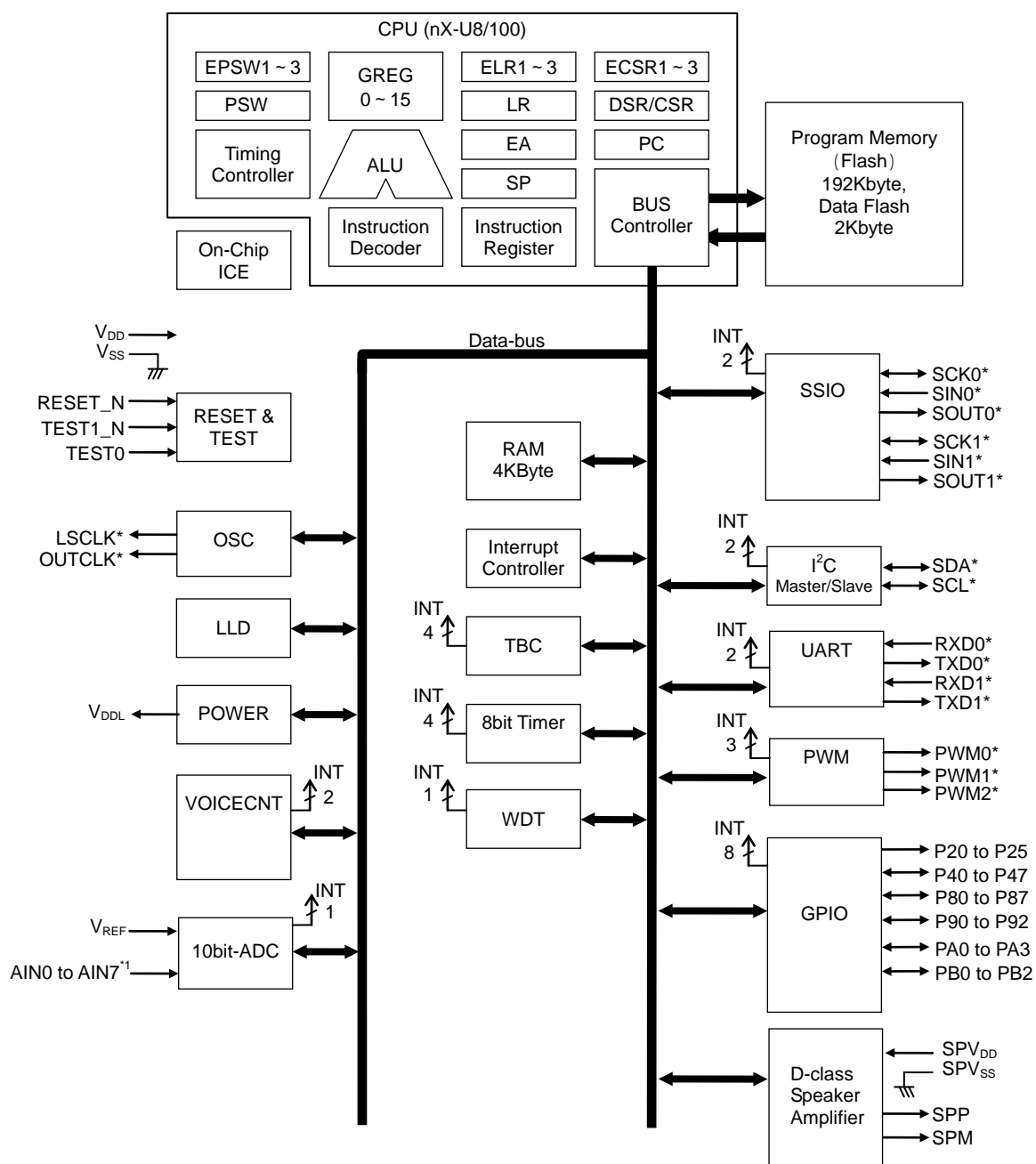


図 1-1 ML610Q327 ブロック図

* は各ポートの2次機能 / 3次機能

*1 は汎用ポートもしくは、A/Dコンバータ入力端子を選択

1.2.1.2 ML610Q338 のブロック図

図 1-2 に ML610Q338 のブロック図を示します。

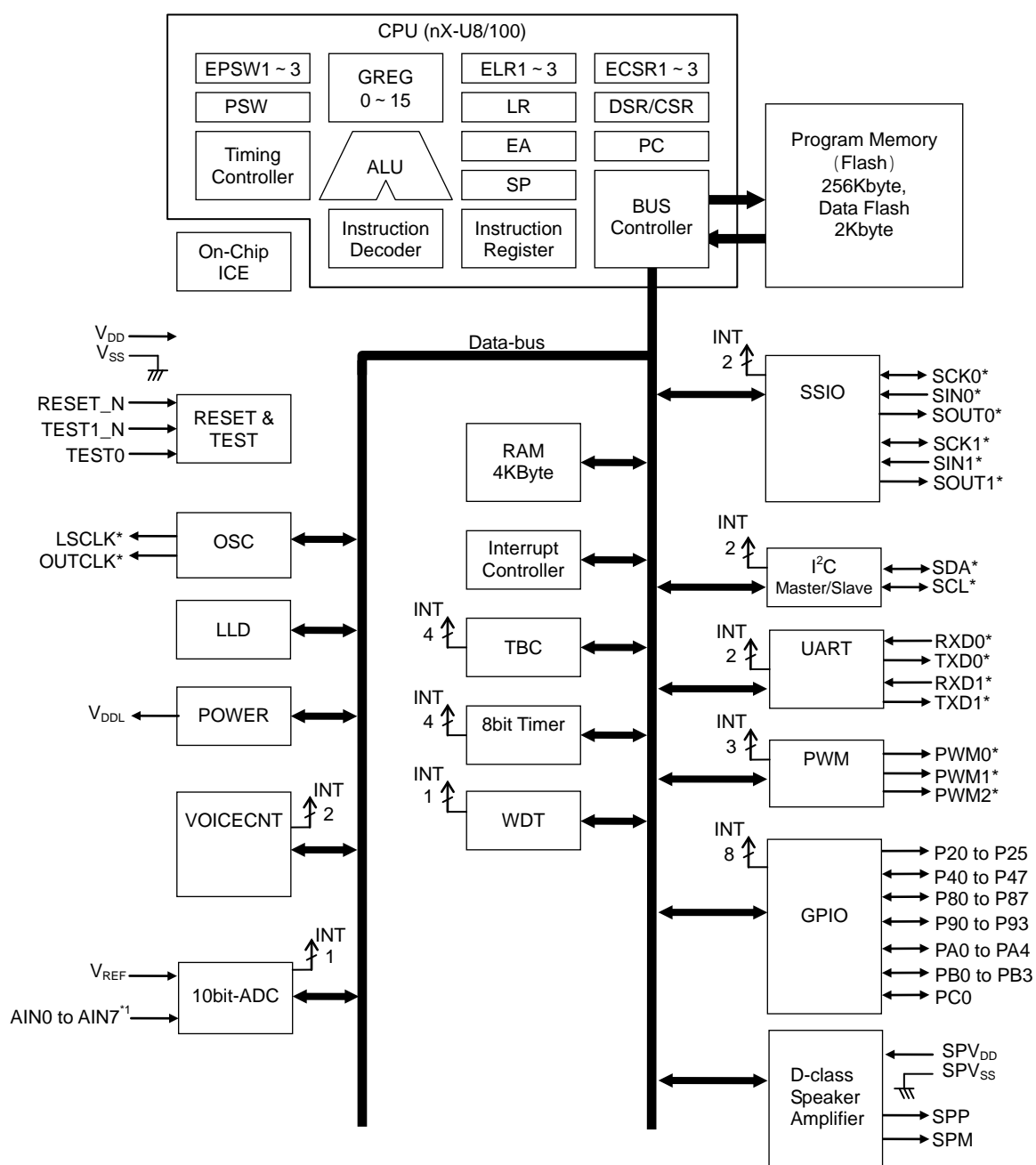


図 1-2 ML610Q338 ブロック図

* は各ポートの 2 次機能 / 3 次機能

*1 は汎用ポートもしくは、A/D コンバータ入力端子を選択

1.2.1.3 ML610Q339 のブロック図

図 1-3 に ML610Q339 のブロック図を示します。

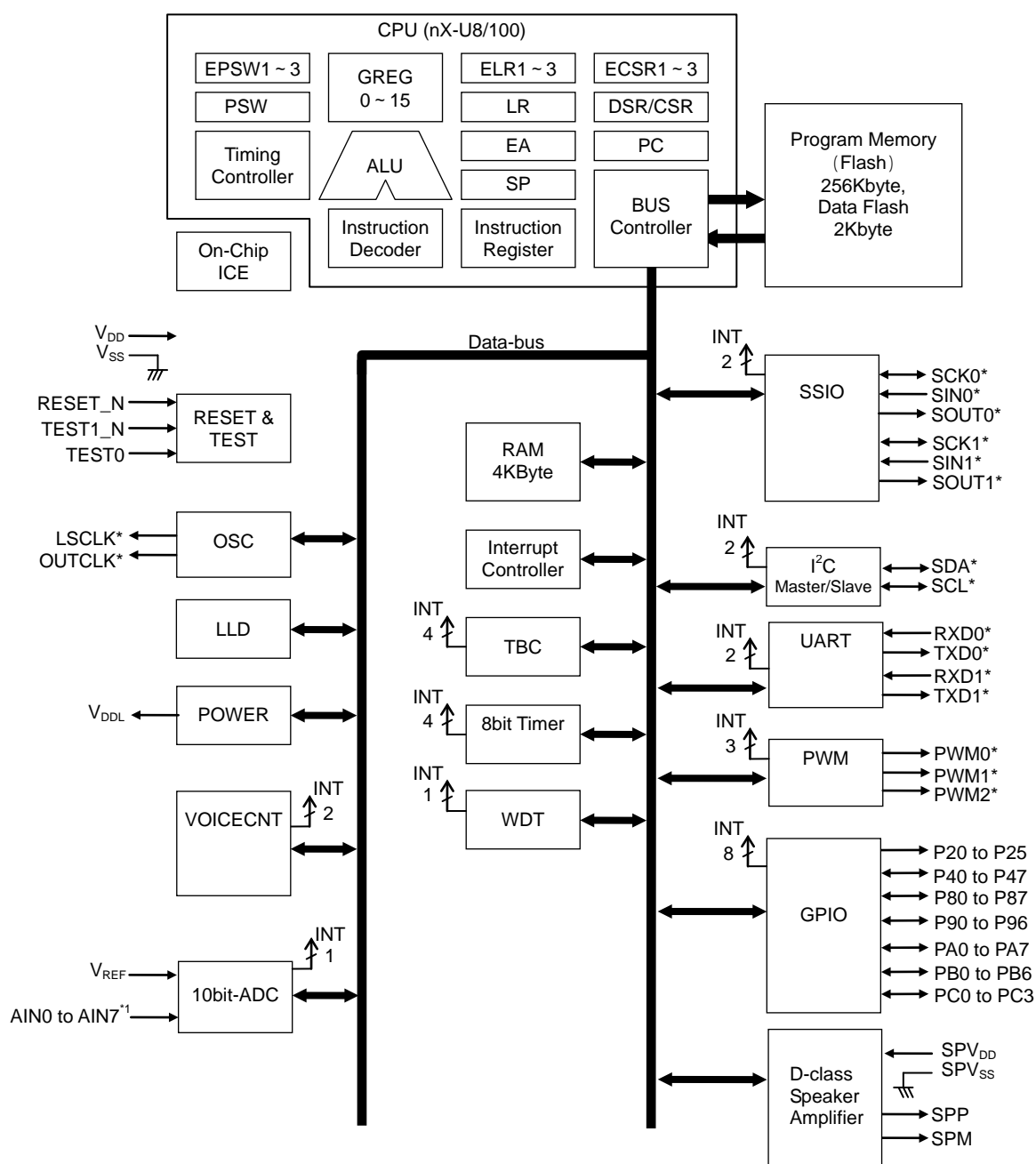


図 1-3 ML610Q339 ブロック図

* は各ポートの 2 次機能 / 3 次機能

*1 は汎用ポートもしくは、A/D コンバータ入力端子を選択

1.3 端子

1.3.1 端子配置

1.3.1.1 ML610Q327 48 ピン TQFP パッケージの端子配置図

図 1-4 に ML610Q327 の 48 ピン TQFP パッケージの端子配置図を示します。

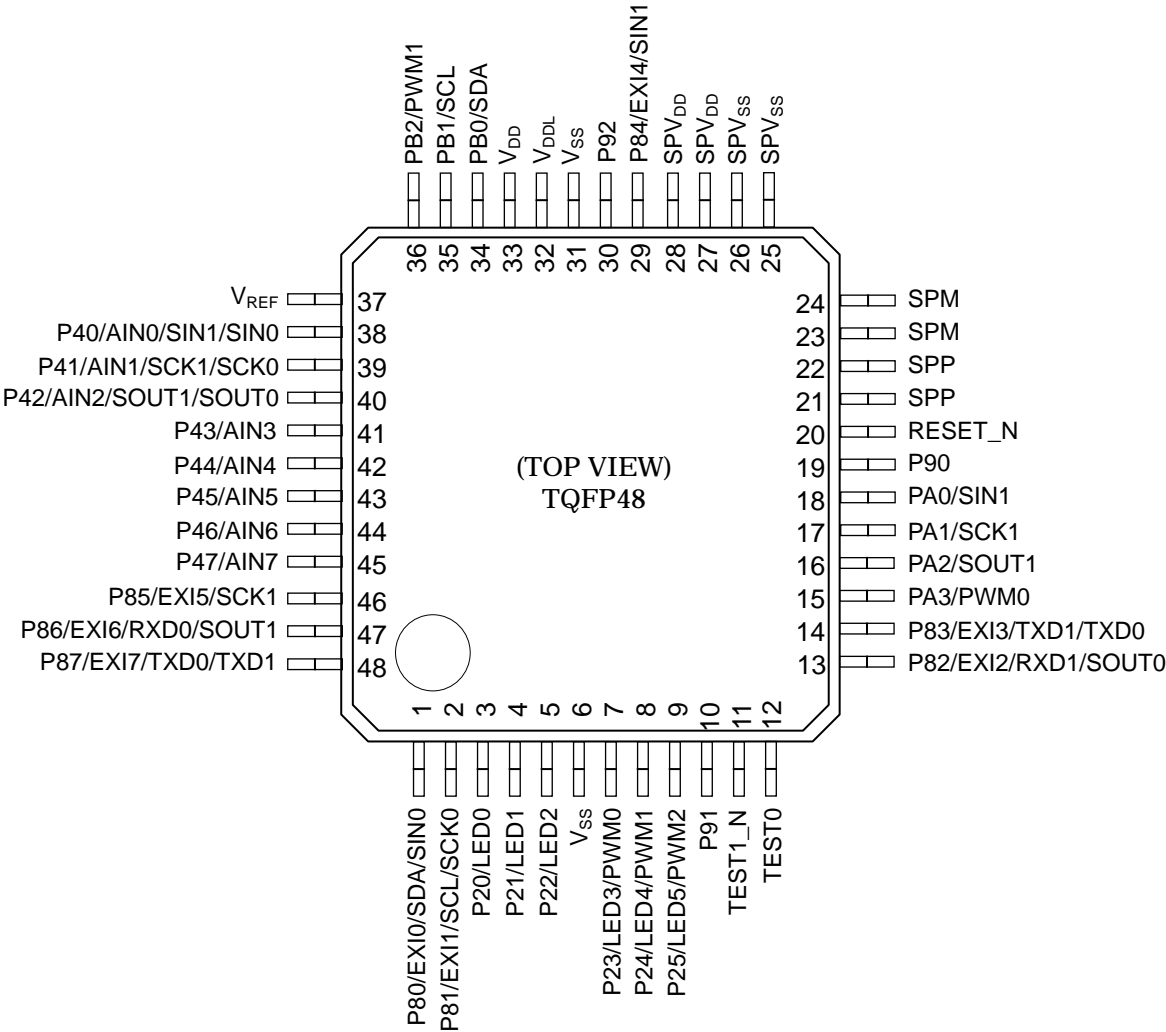


図 1-4 ML610Q327 48 ピン TQFP パッケージの端子配置図

1.3.1.2 ML610Q338 52 ピン TQFP パッケージの端子配置図

図 1-5 に ML610Q338 の 52 ピン TQFP パッケージの端子配置図を示します。

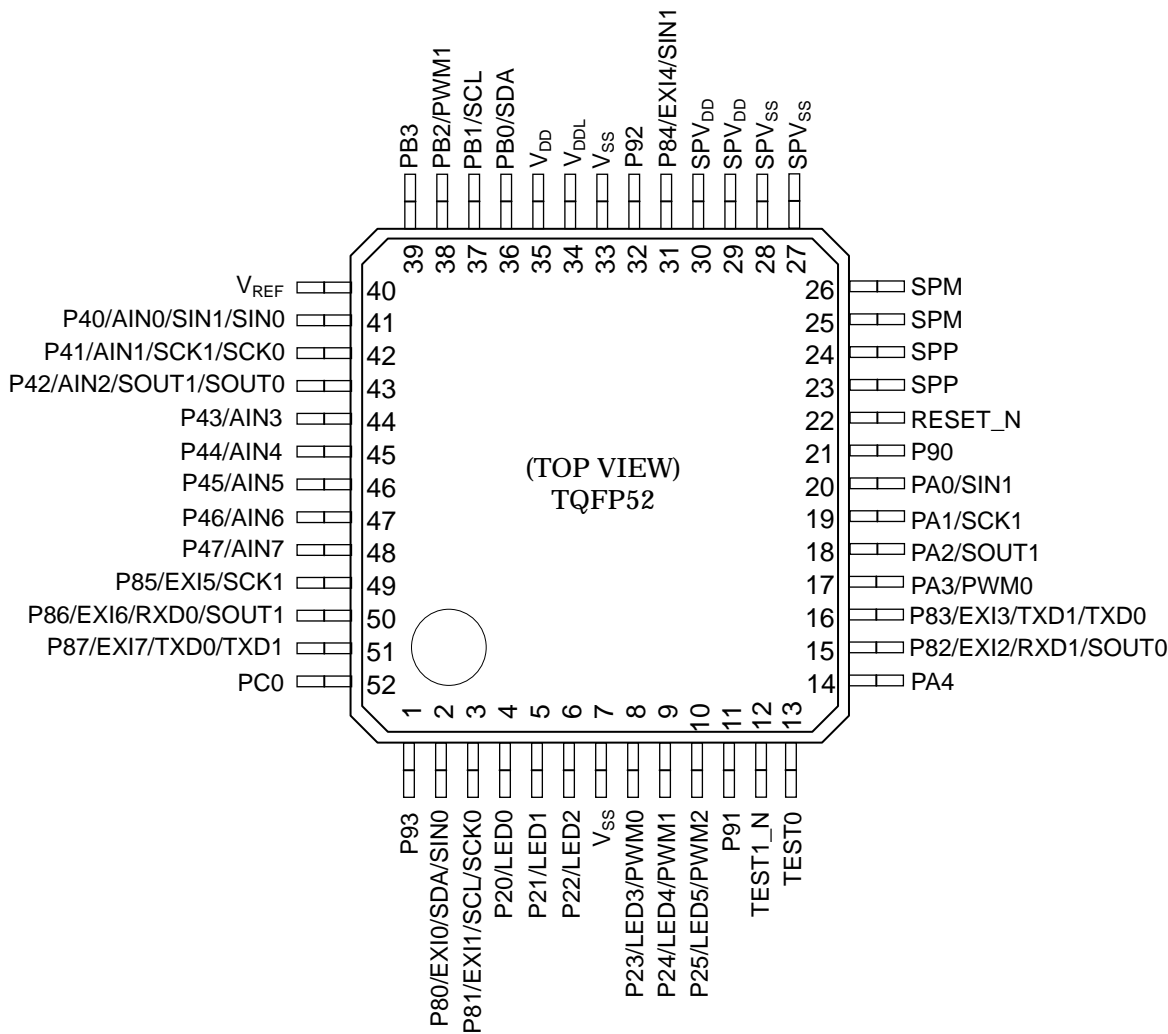


図 1-5 ML610Q338 52 ピン TQFP パッケージの端子配置図

1.3.1.3 ML610Q339 64 ピン TQFP パッケージの端子配置図

図 1-6 に ML610Q339 の 64 ピン TQFP パッケージの端子配置図を示します。

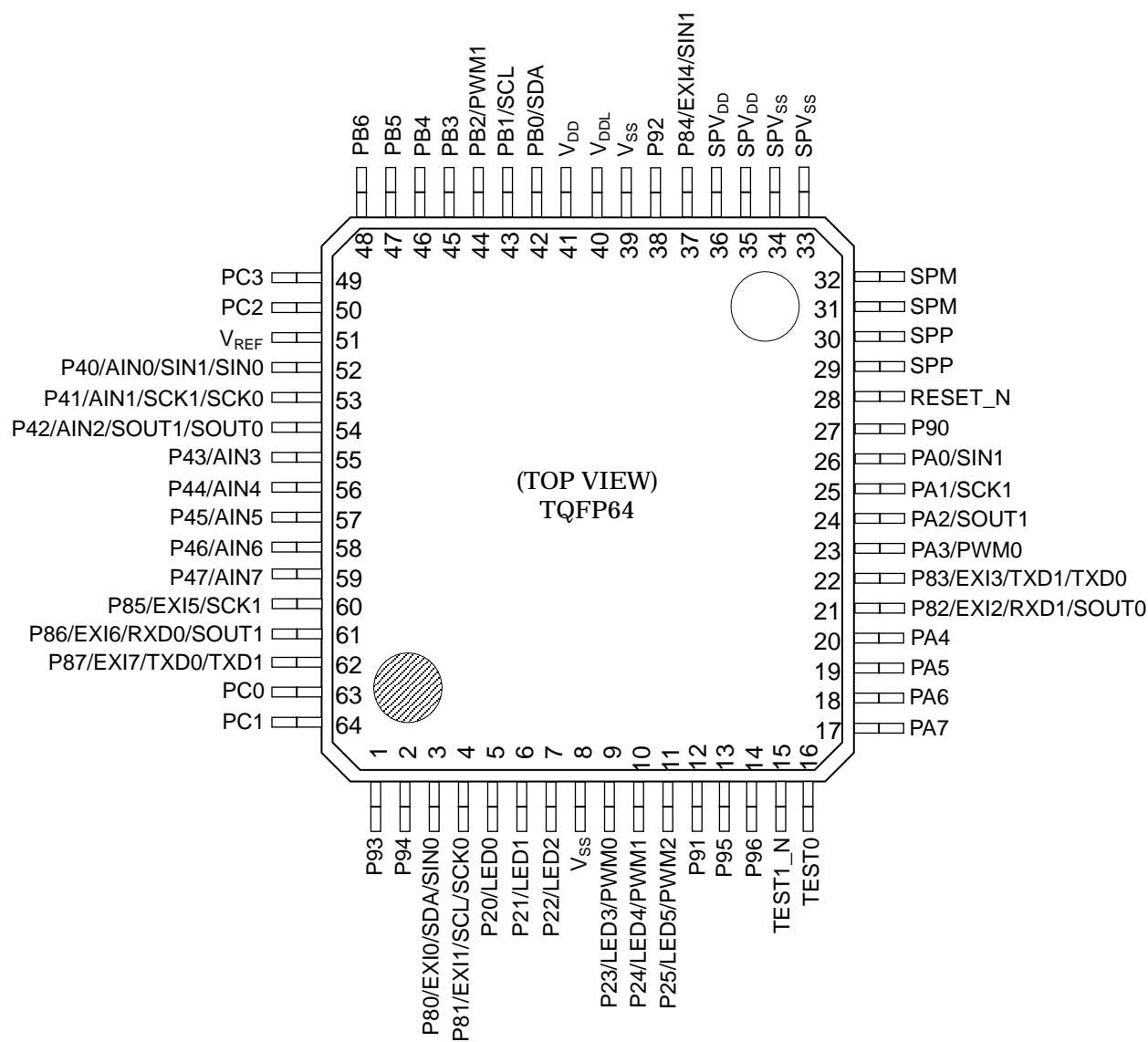


図 1-6 ML610Q339 の 64 ピン TQFP パッケージの端子配置図

1.3.2 端子一覧

表 1-1 に端子一覧を示します。

I/O 欄の “-” は電源端子, “I” は入力端子, “O” は出力端子, “I/O” は入出力端子を示します。

表 1-1 端子一覧

48 Pin No.	52 Pin No.	64 Pin No.	1 次機能			2 次機能			3 次機能			4 次機能		
			端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
21, 22	23, 24	29, 30	SPP	O	内蔵スピーカアンプの プラス側出力端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
23, 24	25, 26	31, 32	SPM	O	内蔵スピーカアンプの マイナス側出力端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
25, 26	27, 28	33, 34	SPVss	$\frac{3}{4}$	内蔵スピーカアンプ用 マイナス側電源端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
27, 28	29, 30	35, 36	SPVDD	$\frac{3}{4}$	内蔵スピーカアンプ用 プラス側電源端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
6, 31	7, 33	8, 39	Vss	$\frac{3}{4}$	マイナス側電源端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
32	34	40	VDDL	$\frac{3}{4}$	内部ロジック用電源端 子 (内部発生)	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
33	35	41	VDD	$\frac{3}{4}$	プラス側電源端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
37	40	51	VREF	$\frac{3}{4}$	逐次比較型 ADC 用リ ファレンス電源端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
20	22	28	RESET_N	I	リセット入力端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
12	13	16	TEST0	I/O	テスト用入出力端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
11	12	15	TEST1_N	I	テスト用入力端子	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
3	4	5	P20/LED0	O	出力ポート, LED 駆動	LSCLK	O	低速クロ ック出力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
4	5	6	P21/LED1	O	出力ポート, LED 駆動	OUTCLK	O	高速クロ ック出力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
5	6	7	P22/LED2	O	出力ポート, LED 駆動	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
7	8	9	P23/LED3	O	出力ポート, LED 駆動	PWM0	O	PWM0 出力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
8	9	10	P24/LED4	O	出力ポート, LED 駆動	PWM1	O	PWM1 出力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
9	10	11	P25/LED5	O	出力ポート, LED 駆動	PWM2	O	PWM2 出力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
38	41	52	P40/AIN0	I/O	入出力ポート, 逐次比較型 ADC 入力 0	SIN1	I	SSIO1 データ入 力	SIN0	I	SSIO0 デ ータ入力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
39	42	53	P41/AIN1	I/O	入出力ポート, 逐次比較型 ADC 入力 1	SCK1	I/O	SSIO1 クロック 入出力	SCK0	I/O	SSIO0 ク ロック入 出力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
40	43	54	P42/AIN2	I/O	入出力ポート, 逐次比較型 ADC 入力 2	SOUT1	O	SSIO1 データ出 力	SOUT0	O	SSIO0 デ ータ出力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
41	44	55	P43/AIN3	I/O	入出力ポート, 逐次比較型 ADC 入力 3	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
42	45	56	P44/AIN4	I/O	入出力ポート, 逐次比較型 ADC 入力 4	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
43	46	57	P45/AIN5	I/O	入出力ポート, 逐次比較型 ADC 入力 5	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
44	47	58	P46/AIN6	I/O	入出力ポート, 逐次比較型 ADC 入力 6	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
45	48	59	P47/AIN7	I/O	入出力ポート, 逐次比較型 ADC 入力 7	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
1	2	3	P80/EXI0	I/O	入出力ポート, 外部割込み	SDA	I/O	I ² C デー タ入出力	SIN0	I	SSIO0 デ ータ入力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$
2	3	4	P81/EXI1	I/O	入出力ポート, 外部割込み	SCL	I/O	I ² C クロ ック入出 力	SCK0	I/O	SSIO0 ク ロック入 出力	$\frac{3}{4}$	$\frac{3}{4}$	$\frac{3}{4}$

48 Pin No.	52 Pin No.	64 Pin No.	1 次機能			2 次機能			3 次機能			4 次機能		
			端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
13	15	21	P82/EXI2	I/O	入出力ポート, 外部割込み	RXD1	I	UART1 データ入 力	SOUT0	O	SSIO0 デ ータ出力	3/4	3/4	3/4
14	16	22	P83/EXI3	I/O	入出力ポート, 外部割込み	TXD1	O	UART1 データ出 力	TXD0	O	UART0 データ出 力	3/4	3/4	3/4
29	31	37	P84/EXI4	I/O	入出力ポート, 外部割込み	3/4	3/4	3/4	SIN1	I	SSIO1 デ ータ入力	3/4	3/4	3/4
46	49	60	P85/EXI5	I/O	入出力ポート, 外部割込み	3/4	3/4	3/4	SCK1	I/O	SSIO1 ク ロック 入 出力	3/4	3/4	3/4
47	50	61	P86/EXI6	I/O	入出力ポート, 外部割込み	RXD0	I	UART0 データ入 力	SOUT1	O	SSIO1 デ ータ出力	3/4	3/4	3/4
48	51	62	P87/EXI7	I/O	入出力ポート, 外部割込み	TXD0	O	UART0 データ出 力	TXD1	O	UART1 データ出 力	3/4	3/4	3/4
19	21	27	P90	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
10	11	12	P91	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
30	32	38	P92	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	1	1	P93	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	2	P94	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	13	P95	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	14	P96	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
18	20	26	PA0	I/O	入出力ポート	SIN1	I	SSIO1 データ入 力	3/4	3/4	3/4	3/4	3/4	3/4
17	19	25	PA1	I/O	入出力ポート	SCK1	I/O	SSIO1 クロック 入出力	3/4	3/4	3/4	3/4	3/4	3/4
16	18	24	PA2	I/O	入出力ポート	SOUT1	O	SSIO1 データ出 力	3/4	3/4	3/4	3/4	3/4	3/4
15	17	23	PA3	I/O	入出力ポート	PWM0	O	PWM0 出力	3/4	3/4	3/4	3/4	3/4	3/4
3/4	14	20	PA4	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	19	PA5	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	18	PA6	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	17	PA7	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
34	36	42	PB0	I/O	入出力ポート	SDA	I/O	I ² C デー タ入出力	3/4	3/4	3/4	3/4	3/4	3/4
35	37	43	PB1	I/O	入出力ポート	SCL	I/O	I ² C クロ ック入出 力	3/4	3/4	3/4	3/4	3/4	3/4
36	38	44	PB2	I/O	入出力ポート	PWM1	O	PWM1 出力	3/4	3/4	3/4	3/4	3/4	3/4
3/4	39	45	PB3	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	46	PB4	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	47	PB5	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	48	PB6	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	52	63	PC0	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	64	PC1	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	50	PC2	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	49	PC3	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4

【注意】

2 次機能, 3 次機能のいずれかを選択した場合, 選択していない機能は失われます。

ただし, 入力として使用する場合は, ポート n データレジスタで入力データを読み出し可能です。

1.3.3 端子説明

表 1-2 に端子説明を示します。

I/O 欄の “-” は電源端子, “I” は入力端子, “O” は出力端子, “I/O” は入出力端子を示します。

表 1-2 (1/2) 端子説明

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論理
電源				
V _{SS}	—	マイナス側電源端子です。	—	—
V _{DD}	—	プラス側電源端子です。	—	—
V _{DDL}	—	内部ロジック用電源端子(内部発生)です。 V _{SS} との間にコンデンサ C _L (1μF)(測定回路 1 参照)を接続します。	—	—
SPV _{SS}	—	内蔵スピーカアンプ用マイナス側電源端子です。	—	—
SPV _{DD}	—	内蔵スピーカアンプ用プラス側電源端子です。	—	—
V _{REF}	—	逐次比較型 A/D コンバータ用リファレンス電源端子です。	—	—
テスト用				
TEST0	I/O	テスト用入出力端子です。プルダウン抵抗が内蔵されています。	—	正
TEST1_N	I	テスト用入力端子です。プルアップ抵抗が内蔵されています。	—	負
システム				
RESET_N	I	リセット入力端子です。この端子を“L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を“H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	—	負
LSCLK	O	低速クロック出力です。P20 端子の 2 次機能に割り付けられています。	2 次	—
OUTCLK	O	高速クロック出力です。P21 端子の 2 次機能に割り付けられています。	2 次	—
汎用出力ポート				
P20 ~ P25	O	汎用出力ポートです。 2 次機能を使用する場合、ポートとして使用できません。	1 次	正
汎用入出力ポート				
P40 ~ P47	I/O	汎用入出力ポートです。 2 次機能もしくは 3 次機能を使用する場合、ポートとして使用できません。	1 次	正
P80 ~ P87	I/O	汎用入出力ポートです。 2 次機能もしくは 3 次機能を使用する場合、ポートとして使用できません。	1 次	正
P90 ~ P96 ^{*1}	I/O	汎用入出力ポートです。	1 次	正
PA0 ~ PA7 ^{*1}	I/O	汎用入出力ポートです。 2 次機能を使用する場合、ポートとして使用できません。	1 次	正
PB0 ~ PB6 ^{*1}	I/O	汎用入出力ポートです。 2 次機能を使用する場合、ポートとして使用できません。	1 次	正
PC0 ~ PC3 ^{*1}	I/O	汎用入出力ポートです。	1 次	正

^{*1}: ML610Q327 / ML610Q338 / ML610Q339 で端子構成が異なります。詳細は、1.3.2 項の端子一覧を参照してください。

表 1-2 (2/2) 端子説明

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論理
I ² C バス・インタフェース				
SDA	I/O	I ² C データ入出力用 Nch オープンドレイン端子です。P80 端子の 2 次機能および、PB0 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
SCL	I/O	I ² C クロック入出力用 Nch オープンドレイン端子です。P81 端子の 2 次機能および、PB1 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
同期シリアル(SSIO)				
SIN0	I	同期シリアルデータ入力端子です。P40 端子の 3 次機能および、P80 端子の 3 次機能に割り付けられています。	3 次	正
SCK0	I/O	同期シリアルクロック入出力端子です。P41 端子の 3 次機能および、P81 端子の 3 次機能に割り付けられています。	3 次	—
SOUT0	O	同期シリアルデータ出力端子です。P42 端子の 3 次機能および、P82 端子の 3 次機能に割り付けられています。	3 次	正
SIN1	I	同期シリアルデータ入力端子です。P84 端子の 3 次機能および、P40 端子の 2 次機能および、PA0 端子の 2 次機能に割り付けられています。	2 次/ 3 次	正
SCK1	I/O	同期シリアルクロック入出力端子です。P85 端子の 3 次機能および、P41 端子の 2 次機能および、PA1 端子の 2 次機能に割り付けられています。	2 次/ 3 次	—
SOUT1	O	同期シリアルデータ出力端子です。P86 端子の 3 次機能および、P42 端子の 2 次機能および、PA2 端子の 2 次機能に割り付けられています。	2 次/ 3 次	正
UART				
TXD0	O	UART0 のデータ出力端子です。P87 端子の 2 次機能および、P83 端子の 3 次機能に割り付けられています。	2 次	正
RXD0	I	UART0 のデータ入力端子です。P86 端子の 2 次機能に割り付けられています。	2 次	正
TXD1	O	UART1 のデータ出力端子です。P83 端子の 2 次機能および、P87 端子の 3 次機能に割り付けられています。	2 次	正
RXD1	I	UART1 のデータ入力端子です。P82 端子の 2 次機能に割り付けられています。	2 次	正
PWM				
PWM0	O	PWM0 出力端子です。P23 端子の 2 次機能および、PA3 端子の 2 次機能に割り付けられています。	2 次	正
PWM1	O	PWM1 出力端子です。P24 端子の 2 次機能および、PB2 端子の 2 次機能に割り付けられています。	2 次	正
PWM2	O	PWM2 出力端子です。P25 端子の 2 次機能に割り付けられています。	2 次	正
外部割込				
EXI0 ~ 7	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P80 ~ P87 端子の 1 次機能に割り付けられています。	1 次	正/負
LED 駆動				
LED0 ~ 5	O	LED 駆動端子です。P20 ~ P25 端子の 1 次機能に割り付けられています。	1 次	正/負
音声出力機能				
SPP	O	内蔵スピーカアンプのプラス側出力端子です。	—	—
SPM	O	内蔵スピーカアンプのマイナス側出力端子です。	—	—
逐次比較型 A/D コンバータ				
AIN0 ~ AIN7	I	逐次比較型 A/D コンバータ ch0 ~ ch7 アナログ入力です。P40 ~ P47 端子の 1 次機能に割り付けられています。	1 次	—

1.3.4 未使用端子の処理

表 1-3 に未使用端子の処理方法を示します。

表 1-3 未使用端子の処理

端子	推奨端子処理
RESET_N	オープン
TEST0	オープン
TEST1_N	オープンまたは V_{DD}^{*2}
V_{REF}	V_{DD}
P40 ~ P47(AIN0 ~ AIN7)	オープン
SPV _{DD}	V_{DD}
SPV _{SS}	V_{SS}
SPP	オープン
SPM	オープン
P20 ~ P25	オープン
P80 ~ P87	オープン
P90 ~ P96 ^{*1}	オープン
PA0 ~ PA7 ^{*1}	オープン
PB0 ~ PB6 ^{*1}	オープン
PC0 ~ PC3 ^{*1}	オープン

^{*1}: ML610Q327 / ML610Q338 / ML610Q339 で端子構成が異なります。詳細は、1.3.2 項の端子一覧を参照してください。

^{*2}: TEST1_N 端子はプルアップ抵抗 (Typ.10k Ω) を内蔵しています。ノイズなどの厳しい環境下では、 V_{DD} に固定、または 1k Ω 程度のプルアップ接続を推奨いたします。

【注意】

・未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしないでください。入力モードの端子をハイインピーダンス処理にすると、入力バッファの Pch, Nch 両方の MOS がオンするため消費電流が過大に流れる恐れがあります。プルダウン抵抗付き入力モード / プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

・電源投入時、汎用ポートの状態は不定のため、“H”レベルまたは“L”レベルを出力する可能性があります。電源投入時の不定状態が問題となる場合は、基板上の周辺部品で対策してください。

第 2 章 CPU とメモリ空間

2 CPU とメモリ空間

2.1 概要

本 LSI は、8 ビット CPU nX-U8/100 を内蔵し、メモリモデルは LARGE モデルを選択しています。
CPU nX-U8/100 の詳細は、『nX-U8/100 コア インストラクションマニュアル』を参照してください。

2.2 プログラム・メモリ空間

プログラム・メモリ空間は、プログラム・コード、テーブルデータ(ROM ウィンドウ)、あるいはベクタテーブルを格納する領域です。
プログラム・コードは 16 ビット長のコードで、コードセグメントレジスタ(CSR)を上位 4 ビット、PC(プログラムカウンタ)を下位 16 ビットとする 20 ビット(CSR:PC)で指定されます。
ROM ウィンドウ領域は 8 ビット長のデータでテーブルデータとして使用できます。
ベクタテーブルは 16 ビット長のデータでリセットベクタ、ハードウェア割込みベクタ、ソフトウェア割込みベクタとして使用できます。使用しないソフトウェア割込みベクタ領域は、プログラム・コード領域として使用できます。
ML610Q327 のプログラム・メモリ空間は、セグメント 3 個で構成され、全体で 192K バイト(96K ワード)の容量を持っています。
ML610Q338 / ML610Q339 のプログラム・メモリ空間は、セグメント 4 個で構成され、全体で 256K バイト(128K ワード)の容量を持っています。
図 2-1 に ML610Q327 のプログラム・メモリ空間(192K バイト)の構成を示します。
図 2-2 に ML610Q338 / ML610Q339 のプログラム・メモリ空間(256K バイト)の構成を示します。

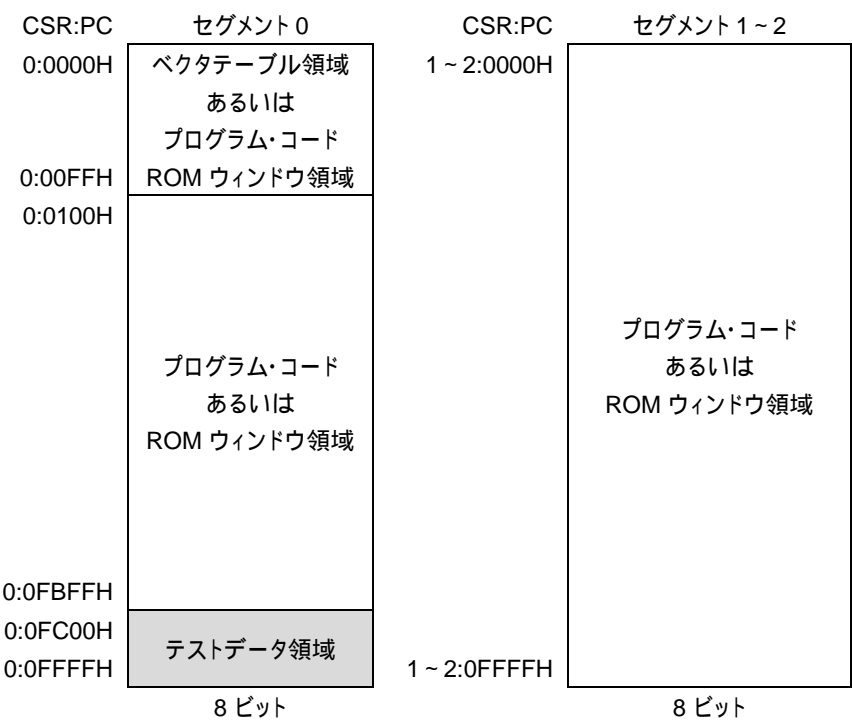


図 2-1 ML610Q327 のプログラム・メモリ空間(192K バイト)の構成

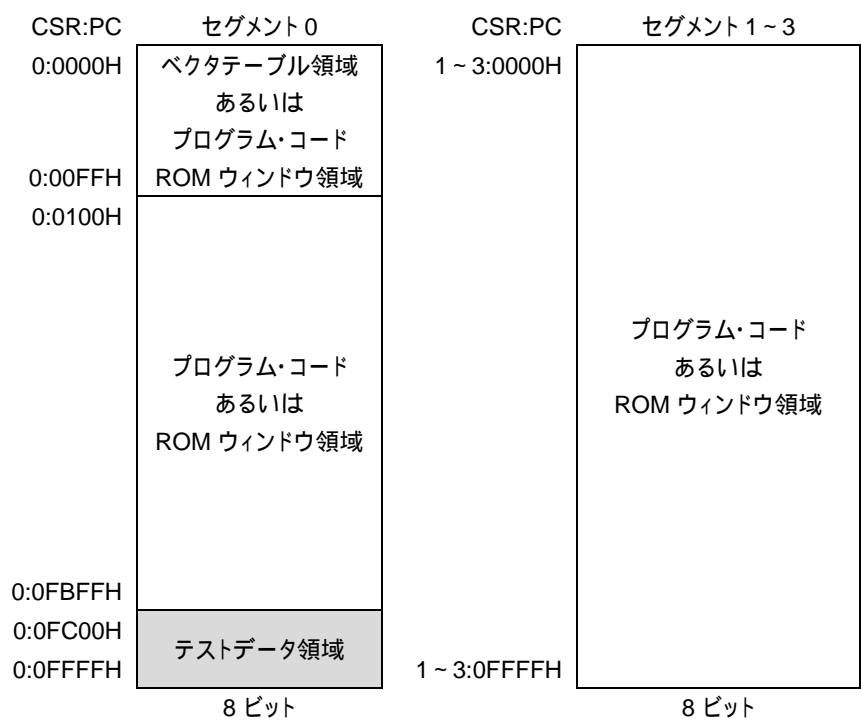


図 2-2 ML610Q338 / ML610Q339 のプログラム・メモリ空間(256K バイト)の構成

【注意】

- ・セグメント 0 の 0:0FC00H ~ 0:0FFFFH の 1K バイト(512 ワード)のテストデータ領域は、プログラム・コード領域としては利用できません。また、テストデータ領域のうち 0:0FC00H ~ 0:0FDFFH は書き込み / 消去可能で、0:0FE00H ~ 0:0FFFFH は書き込み / 消去不可となっています。書換え可能なテストデータ領域 0:0FDE0H ~ 0:0FDE1H にはコードオプションを設定し、0:0FC00H ~ 0:0FDDFH, 0:0FDE2H ~ 0:0FDFFH には必ず“0FFH”を書き込んでください。“0FFH”以外のデータを書き込んだ場合の動作は保証されません。
- ・プログラム・メモリ空間の未使用領域には、フェイルセーフとして HTU8(プログラム開発支援ソフトウェア)を用いて“0FFFFH”データ(BRK 命令)を設定することを推奨します。HTU8 については、『HTU8 ユーザーズマニュアル』を参照してください。BRK 命令については、『nX-U8/100 コア インストラクションマニュアル』を参照してください。

2.3 データ・メモリ空間

本 LSI のデータ・メモリ空間は、セグメント 0 の ROM ウィンドウ領域、4K バイトの RAM 領域、SFR 領域、およびセグメント 1 以上の ROM 参照領域、セグメント 4 のデータ・フラッシュ領域、セグメント C のデータ・フラッシュ参照領域で構成されています。

データメモリは 8 ビット長のデータで、DSR を上位 4 ビット、各命令で指定されるアドレッシングを下位 16 ビットとする 20 ビットで指定します。

図 2-3 に ML610Q327 のデータ・メモリ空間の構成を示します。

図 2-4 に ML610Q338 / ML610Q339 のデータ・メモリ空間の構成を示します。

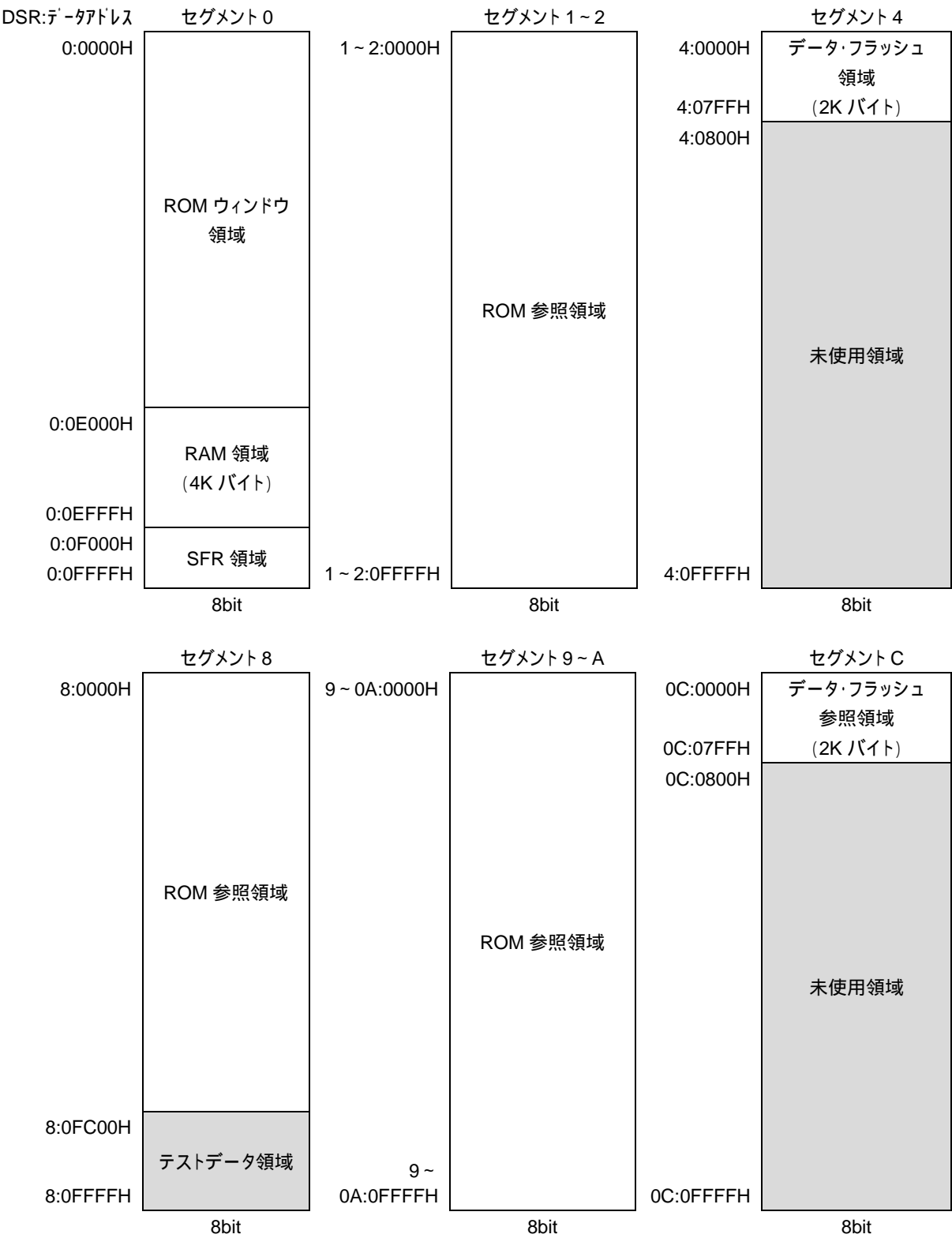


図 2-3 ML610Q327 のデータ・メモリ空間の構成

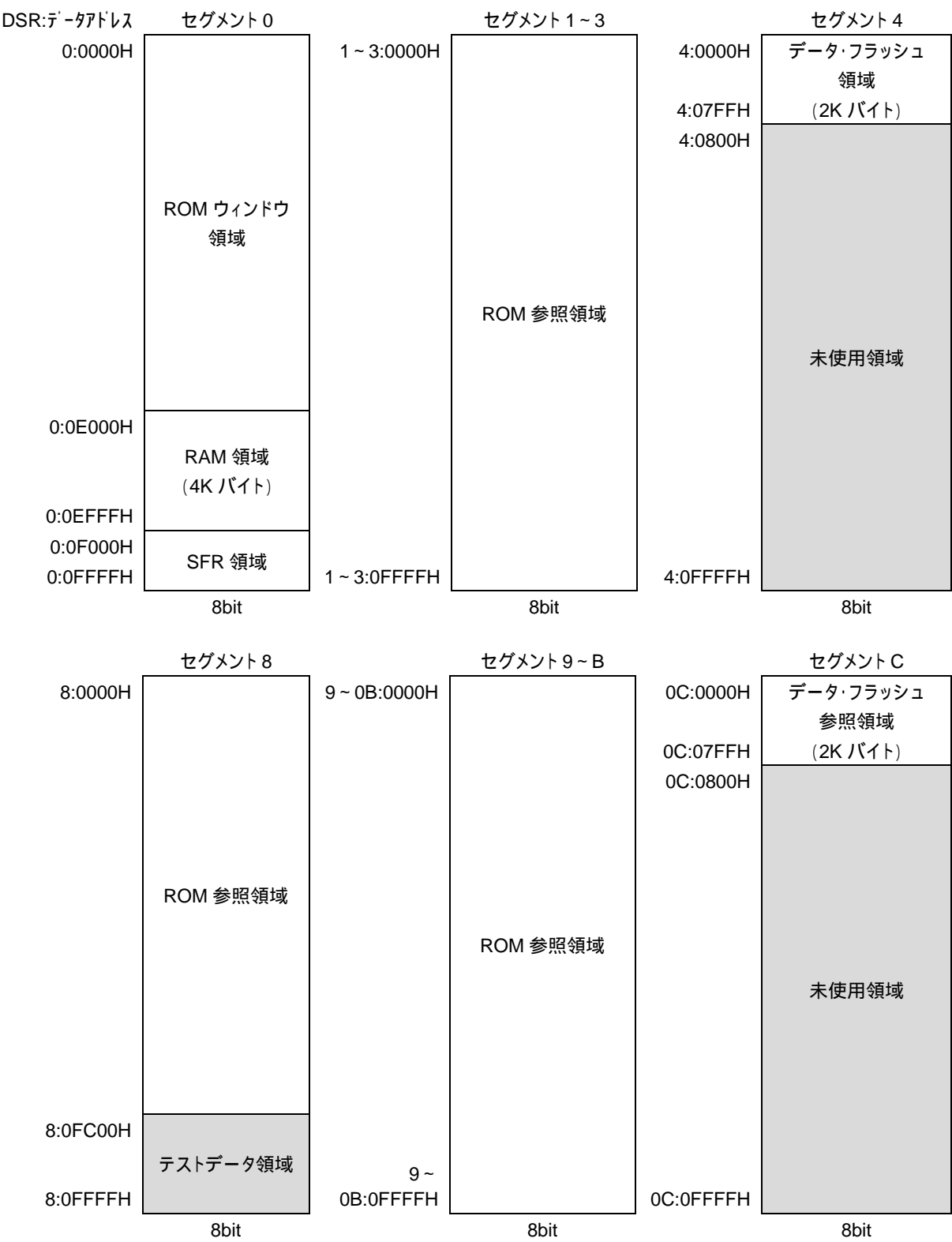


図 2-4 ML610Q338 / ML610Q339 のデータ・メモリ空間の構成

【注意】

- ・RAM 領域の内容は、電源投入時およびシステムリセット時に不定となります。ソフトウェアで初期化してください。
- ・プログラム・メモリ空間のセグメント 0 とデータ・メモリ空間のセグメント 0 は別々の空間ですが、データ・メモリ空間の ROM ウィンドウ領域を通してプログラム・メモリ空間のセグメント 0 の内容を読み出すことができます。ただし、0:0E000H ~ 0:0FFFFH は、RAM、SFR 領域と重なっているため読み出すことができません。セグメント 8 の ROM 参照領域から読み出してください。
- ・セグメント 8 は、プログラム・メモリ空間のセグメント 0 のミラー領域です。セグメント 8 の ROM 参照領域からは、プログラム・メモリ空間のセグメント 0 の内容を読み出すことができます。
- ・セグメント 9 は、プログラム・メモリ空間のセグメント 1 のミラー領域です。セグメント 9 の ROM 参照領域からは、プログラム・メモリ空間のセグメント 1 の内容を読み出すことができます。
- ・セグメント A は、プログラム・メモリ空間のセグメント 2 のミラー領域です。セグメント A の ROM 参照領域からは、プログラム・メモリ空間のセグメント 2 の内容を読み出すことができます。
- ・セグメント B は、プログラム・メモリ空間のセグメント 3 のミラー領域です。セグメント B の ROM 参照領域からは、プログラム・メモリ空間のセグメント 3 の内容を読み出すことができます (ML610Q338 / ML610Q339 のみ)。
- ・セグメント C は、セグメント 4 のミラー領域です。セグメント C のデータ・フラッシュ参照領域からは、セグメント 4 のデータ・フラッシュ領域の内容を読み出すことができます。

2.4 命令長

命令は 16 ビット長です。

2.5 データタイプ

バイト(8 ビット) , およびワード(16 ビット)のデータタイプがサポートされています。

2.6 レジスタ説明

2.6.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F000H	データセグメントレジスタ	DSR	-	R/W	8	00H

2.6.2 データセグメントレジスタ(DSR)

アドレス: 0F000H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
DSR	-	-	-	-	DSR3	DSR2	DSR1	DSR0
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

DSR は、データセグメントを保持するための特殊機能レジスタ (SFR) です。
 DSR の詳細については、『nX - U8/100 コア インストラクションマニュアル』を参照してください。

ビットの説明

- ・ **DSR3-DSR0**(ビット 3 ~ 0)

DSR3	DSR2	DSR1	DSR0	説明
0	0	0	0	データセグメント 0 (初期値)
0	0	0	1	データセグメント 1
0	0	1	0	データセグメント 2
0	0	1	1	データセグメント 3 (ML610Q327 は使用禁止)
0	1	0	0	データセグメント 4
0	1	0	1	使用禁止
0	1	1	0	
0	1	1	1	
1	0	0	0	データセグメント 8
1	0	0	1	データセグメント 9
1	0	1	0	データセグメント A
1	0	1	1	データセグメント B (ML610Q327 は使用禁止)
1	1	0	0	データセグメント C
1	1	0	1	使用禁止
1	1	1	0	
1	1	1	1	

第 3 章 クロック発生回路

3 クロック発生回路

3.1 概要

クロック発生回路は、低速クロック (LSCLK)、高速クロック (HSCLK)、システムクロック (SYSCLK) および、高速出力クロック (OUTCLK) を発生、供給します。LSCLK および HSCLK は、周辺回路のタイムベースクロックとなり、SYSCLK は CPU の基本動作クロックとなり、OUTCLK と LSCLK はポートから出力されるクロックとなります。

OUTCLK、LSCLK の出力ポートについては、「第6章 ポート2」を参照してください。

また、本章で記載されている STOP モードについては、「第5章 MCU 制御機能」を参照してください。

3.1.1 特長

- ・ 低速クロック発生回路：
 - 内蔵 RC 発振
- ・ 高速クロック発生回路：
 - PLL 発振

3.1.2 構成

図 3-1 にクロック発生回路の構成を示します。

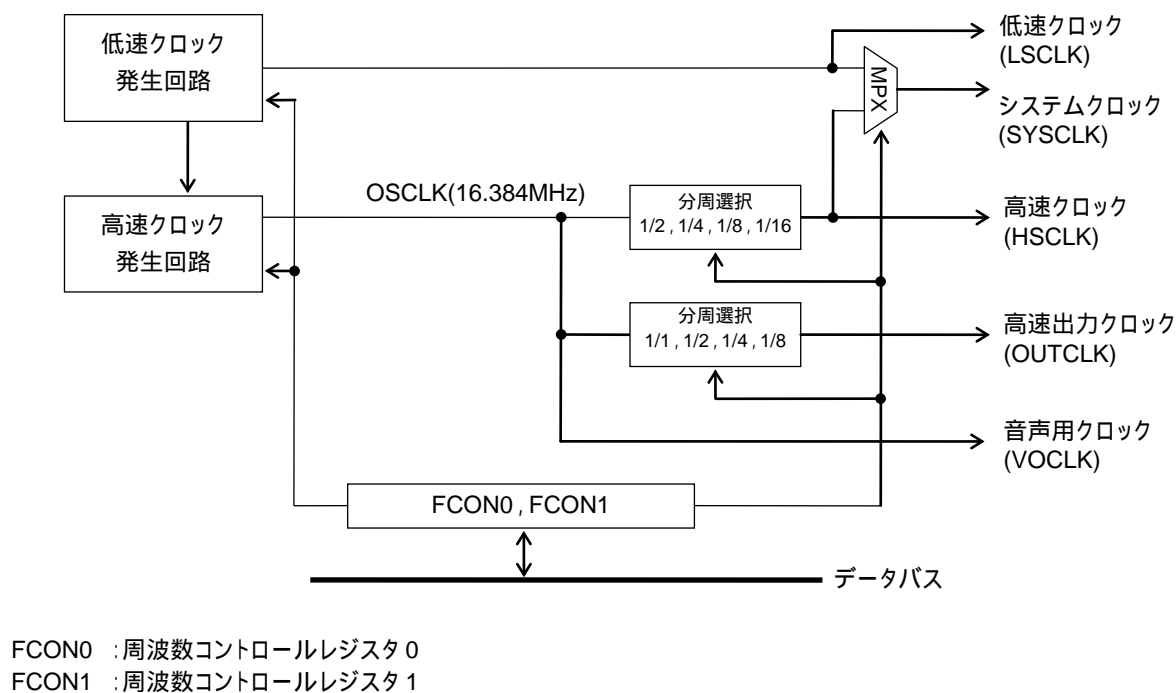


図 3-1 クロック発生回路の構成

【注意】

本 LSI は、電源投入後もしくはシステムリセット後の SYSCLK は、高速クロック発生回路から供給されるクロックを 1/16 分周したクロックで動作を開始し、HSCLK は、OSCLK を 1/16 分周したクロックで動作を開始します。ソフトウェアによる初期化の際に、FCON0 レジスタ、FCON1 レジスタを設定し、必要とするクロックに切り替えてください。

3.1.3 クロック構成図

図 3-2 にクロック構成図を示します。

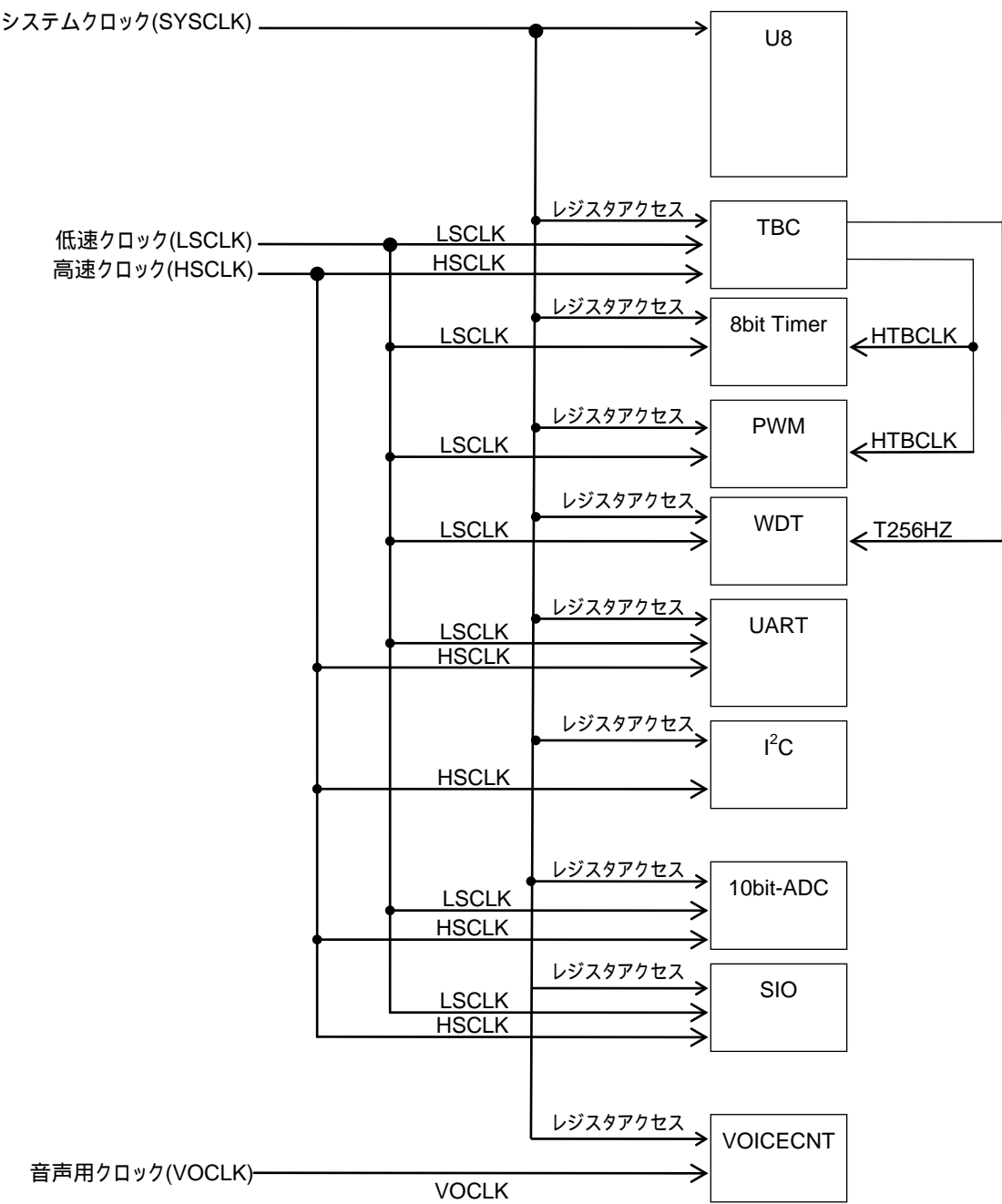


図 3-2 クロック構成図

3.2 レジスタ説明

3.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F002H	周波数コントロールレジスタ 0	FCON0	FCON	R/W	8/16	33H
0F003H	周波数コントロールレジスタ 1	FCON1		R/W	8	83H

3.2.2 周波数コントロールレジスタ 0 (FCON0)

アドレス: 0F002H
 アクセス: R/W
 アクセスサイズ: 8/16 ビット
 初期値: 33H

	7	6	5	4	3	2	1	0
FCON0	-	-	OUTC1	OUTC0	-	-	SYSC1	SYSC0
R/W	-	-	R/W	R/W	-	-	R/W	R/W
初期値	0	0	1	1	0	0	1	1

FCON0 は、高速クロック発生回路の制御とシステムクロックを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- SYSC1, SYSC0** (ビット 1, 0)
SYSC1, SYSC0 は、システムクロック (SYSCLK)、高速クロック (HSCLK) の周波数を選択するビットです。
1/2OSCLK, 1/4OSCLK, 1/8OSCLK, 1/16OSCLK が選択できます。
システムリセット時は、1/16OSCLK が選択されています。

SYSC1	SYSC0	説明	PLL 発振時 周波数 (typ)
0	0	1/2OSCLK	8.192MHz (16.384MHz/2)
0	1	1/4OSCLK	4.096MHz (16.384MHz/4)
1	0	1/8OSCLK	2.048MHz (16.384MHz/8)
1	1	1/16OSCLK (初期値)	1.024MHz (16.384MHz/16)

- OUTC1, OUTC0** (ビット 5, 4)
OUTC1, OUTC0 は、ポートの 2 次機能で出力される高速出力クロック (OUTCLK) の周波数を選択するビットです。
OSCLK, 1/2OSCLK, 1/4OSCLK, 1/8OSCLK が選択できます。
システムリセット時は、1/8OSCLK が選択されています。

OUTC1	OUTC0	説明	PLL 発振時 周波数 (typ)
0	0	OSCLK	16.384MHz
0	1	1/2OSCLK	8.192MHz
1	0	1/4OSCLK	4.096MHz
1	1	1/8OSCLK (初期値)	2.048MHz

【注意】

本 LSI のシステムクロック (SYSCLK) の最大動作保証周波数は、8.4MHz です。

3.2.3 周波数コントロールレジスタ 1 (FCON1)

アドレス: 0F003H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 83H

	7	6	5	4	3	2	1	0
FCON1	LPLL	-	-	-	-	-	ENOSC	SYSCLK
R/W	R	-	-	-	-	-	R/W	R/W
初期値	1	0	0	0	0	0	1	1

FCON1 は、高速クロック発生回路の制御とシステムクロックを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- SYSCLK** (ビット 0)
SYSCLK は、システムクロックを選択するビットです。低速クロック (LSCLK) もしくは FCON0 の高速クロック周波数選択ビット (SYSC1, 0) で選択した HSCLK (1/nOSCLK: n=2, 4, 8, 16) が選択できます。
高速クロックの発振を停止させる場合 (ENOSC ビット=“0”), SYSCLK ビットは“0”固定となり、システムクロックには低速クロック (LSCLK) が選択されます。

SYSCLK	説明
0	LSCLK
1	HSCLK (初期値)

- ENOSC** (ビット 1)
ENOSC は、高速クロック発振回路の発振許可 / 停止を選択するビットです。

ENOSC	説明
0	高速発振停止
1	高速発振許可 (初期値)

- LPLL** (ビット 7)
LPLL は、PLL 発振の発振状態を示すフラグです。
LPLL が“1”の場合は、PLL 発振が使用可能であることを示します。“0”の場合は PLL 発振が停止しているか、もしくは PLL 発振クロックをカウント中であることを示します。
LPLL は、読み出し専用のビットです。

LPLL	説明
0	PLL 発振が停止、もしくは PLL 発振クロックのカウント中
1	PLL 発振クロックを 16,384 カウントし OSCLK を供給開始している状態 (初期値)

【注意】
LPLL フラグは、参考フラグです。

3.3 動作説明

3.3.1 低速クロック

3.3.1.1 低速クロック発生回路

図 3-3 に、低速クロック発生回路の回路構成を示します。
低速 RC 発振クロックを 128 カウントすると低速クロック (LSCLK) が供給開始されます。

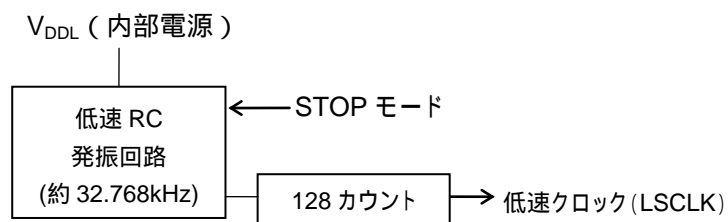


図 3-3 低速クロック発生回路構成

3.3.1.2 低速クロック発生回路の動作

低速クロック発生回路は、電源投入時のリセット発生により起動します。

電源投入後、低速発振開始時間 (T_{XTL} : 低速クロック 10 周期以内) と内蔵 RC 発振クロックを 128 カウント後、内蔵 RC 発振クロックが周辺回路 (LSCLK) に供給されます。

低速クロック発生回路は、ソフトウェアにより STOP モードに移行すると発振を停止します。外部割込みによる STOP モードの解除により発振を再開し、低速発振開始時間 (T_{XTL}) と低速クロックとして内蔵 RC 発振クロックを 128 カウント後、内蔵 RC 発振クロックが周辺回路 (LSCLK) に供給されます。

図 3-4 に低速クロック発生回路の動作波形を示します。

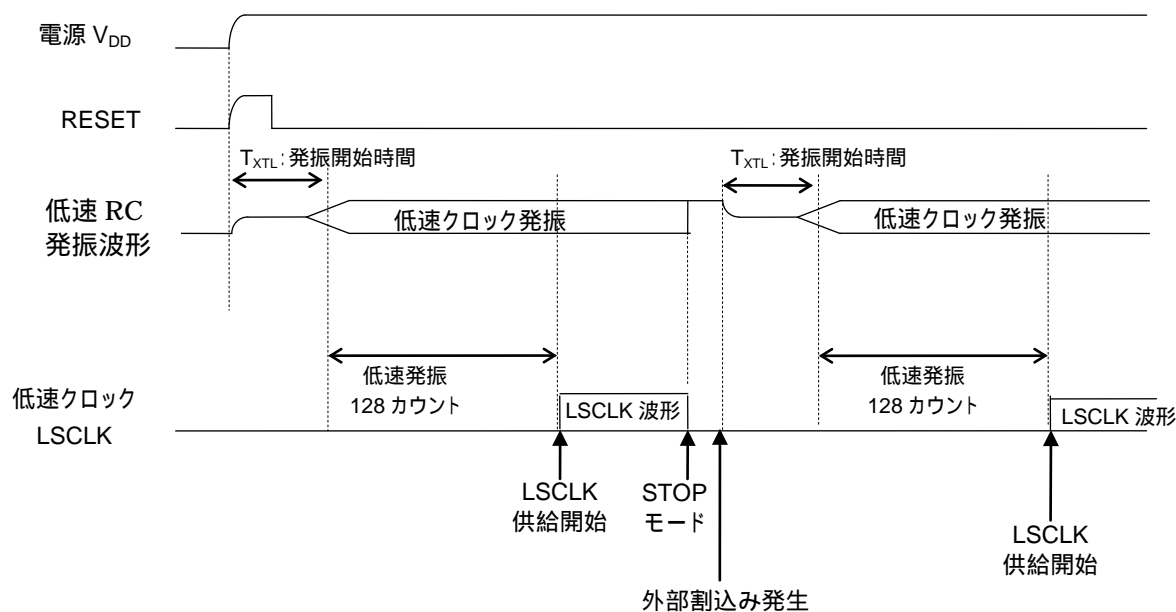


図 3-4 低速クロック発生回路の動作

3.3.2 高速クロック

3.3.2.1 高速クロック発生回路

高速クロック発生回路内の PLL 発振回路では、低速クロックを 500 通倍した 16.384MHz のクロックを生成します。PLL 発振モードの状態、発振許可後 (ENOSC を“1”にセット)、PLL 発振クロックを 16,384 カウントすると OSCLK (高速発振クロック) が供給開始されます。

図 3-5 に高速クロック発生回路の構成を示します。

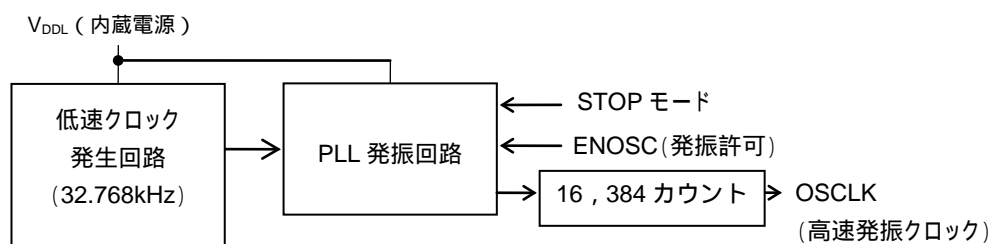


図 3-5 高速クロック発生回路の構成

3.3.2.2 高速クロック発生回路の動作

高速クロック発生回路は、電源投入時のリセット発生により、内蔵 PLL 発振モードにて起動します。電源投入時のリセット発生によりシステムリセットモードに入り、高速発振開始時間(T_{XTH} : 低速クロック1周期以内)と高速発振クロック(OSCLK)の発振安定時間(262, 144 カウント)待った後にプログラム動作モードに移行し CPU が動作を開始し、同時に高速クロック(HSCLK)が周辺回路に供給されます。図 3-6 に電源投入時の高速クロック発生回路の動作波形を示します。

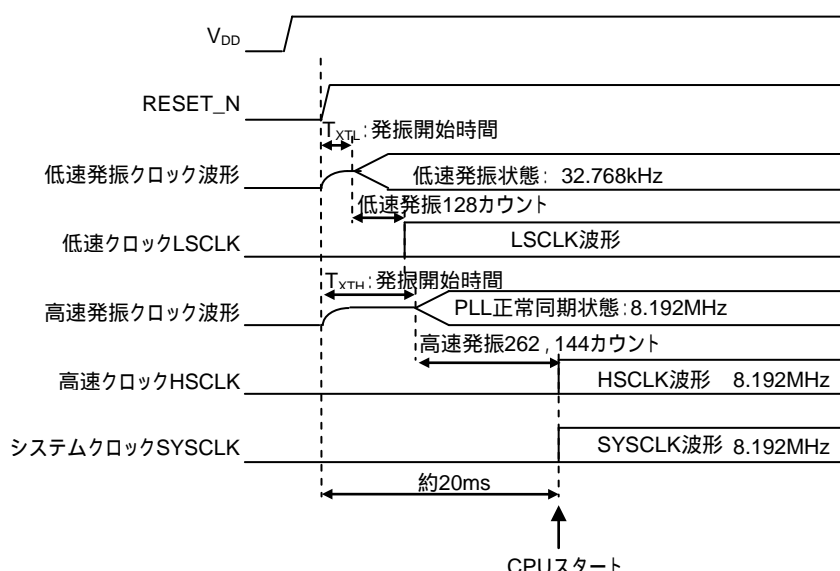


図 3-6 電源投入時の高速クロック発生回路の動作

高速クロック発生回路は、周波数コントロールレジスタ 1 (FCON1) により、発振の開始 / 停止が制御できます。FCON1 の ENOSC ビットを“1”にすると発振を開始します。発振開始後、各モードでの高速発振開始時間(T_{XTH} : 低速クロック1周期以内)と高速発振クロックの発振安定時間待った後に HSCLK が周辺回路に供給開始されます。高速クロック発生回路は、ソフトウェアにより STOP モードに移行すると発振を停止します。外部割込みによる STOP モードの解除により発振が再開され、各モードでの高速発振開始時間(T_{XTH})と高速クロックの発振安定時間待った後に HSCLK が周辺回路に供給開始されます。発振安定時間は、PLL クロックの 16, 384 カウント分となります。図 3-7 に高速クロック発生回路の動作波形を示します。

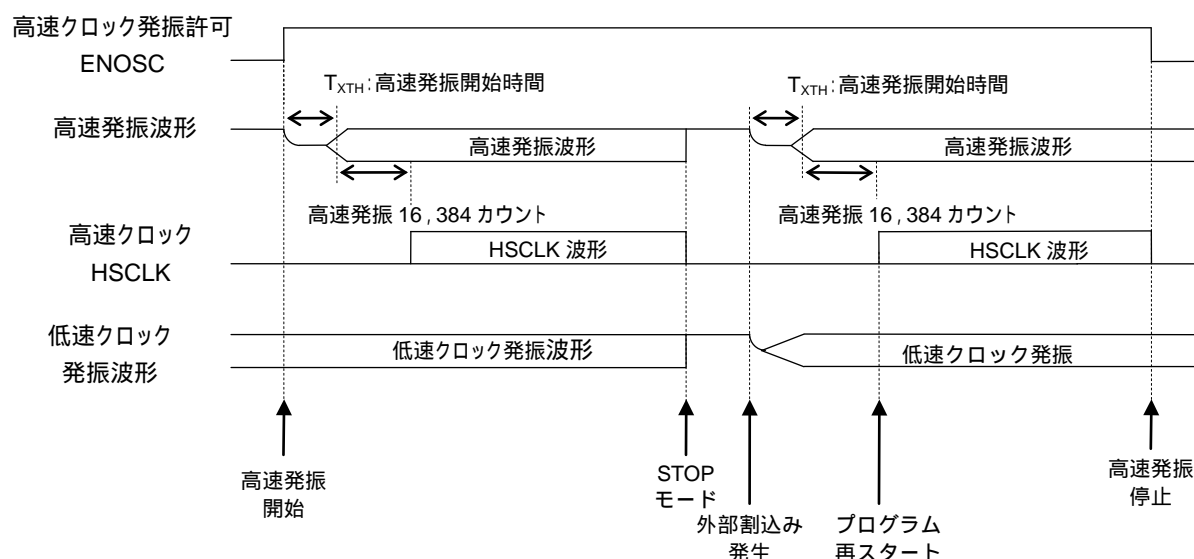


図 3-7 高速クロック発生回路の動作

3.3.3 システムクロック切り替え

システムクロックは、周波数コントロールレジスタ (FCON0, FCON1) により、高速クロック (HSCLK)、低速クロック (LSCLK) に切り替えることができます。

図 3-8 にシステムクロック切り替え処理のフローチャート (HSCLK → LSCLK) を、図 3-9 に、システムクロック切り替え処理のフローチャート (LSCLK → HSCLK) を示します。

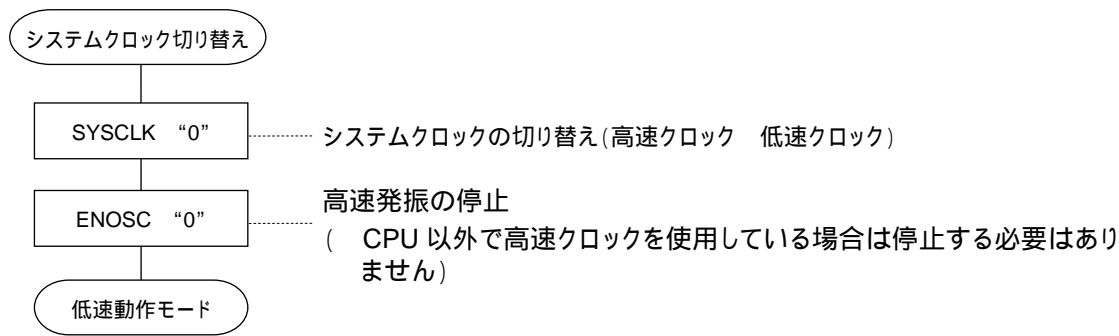


図 3-8 システムクロック切り替え処理のフローチャート (HSCLK → LSCLK)

【注意】

電源投入後、もしくは STOP モードからの復帰後すぐに、システムクロックを HSCLK から LSCLK に切り替えると、LSCLK が周辺回路に供給開始されるまで CPU は停止状態となります。このため、タイムベースカウンタの割込み要求ビット (128Hz 割込み要求ビット: Q128H) が電源投入後、もしくは STOP モードからの復帰後に、“1” になることで、LSCLK が発振していることを確認してから切り替えることを推奨します。

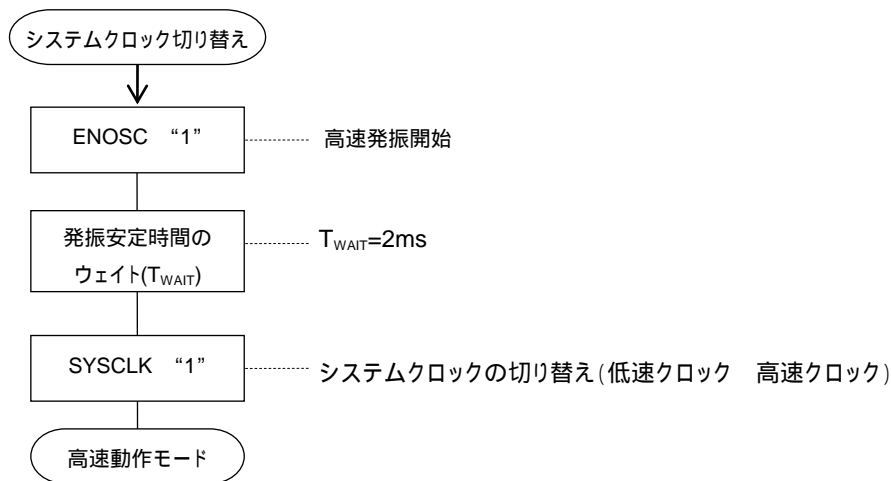


図 3-9 システムクロック切り替え処理のフローチャート (LSCLK → HSCLK)

【注意】

高速クロック (HSCLK) が発振開始する前にシステムクロックを低速クロックから高速クロックへ切り替えると、HSCLK が周辺回路に供給開始されるまで CPU は停止状態となります。

第 4 章 リセット機能

4 リセット機能

4.1 概要

本 LSI は、以下の 5 つのリセット機能をもっています。いずれかのリセットが発生すると、本 LSI はシステムリセットモードに移行します。

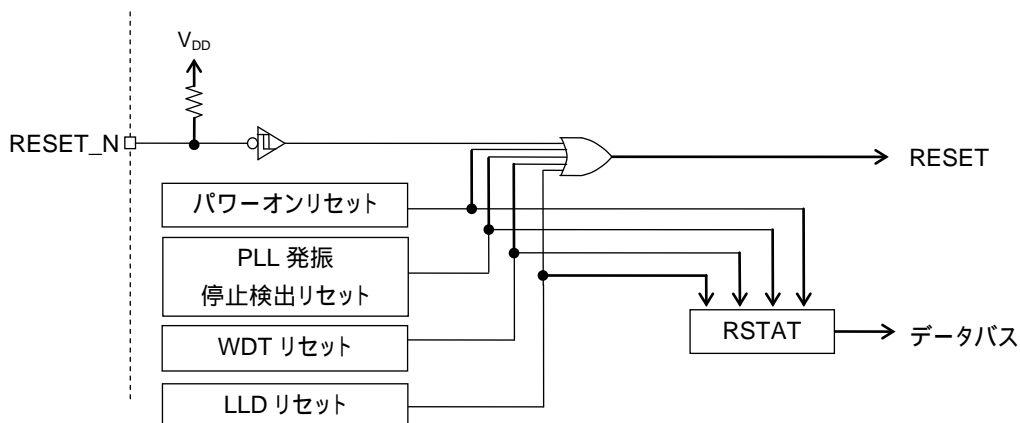
- ・ RESET_N 端子によるリセット
- ・ 電源投入時のパワーオン検出によるリセット
- ・ ウォッチドックタイマ (WDT) の二度目のオーバフローによるリセット
- ・ PLL 発振停止検出によるリセット
- ・ BRK 命令実行によるソフトウェアリセット
- ・ 低電圧検出 (LLD) によるリセット

4.1.1 特長

- ・ RESET_N 端子にはプルアップ抵抗を内蔵
- ・ ウォッチドックタイマ (WDT) のオーバフローによるリセットは、125ms、500ms、2s、8s が選択可能
- ・ リセット発生要因を示すリセットステータスレジスタ (RSTAT) を内蔵
- ・ PLL 発振停止検出時間 (T_{STOP}) は、Typ.17 μ s@4.096MHz 時
- ・ BRK 命令によるリセットは、CPU のみリセット (RAM 領域、SFR 領域はリセットされません)
- ・ 低電圧検出 (LLD) によるリセット

4.1.2 構成

図 4-1 にリセット発生回路の構成を示します。



RSTAT : リセットステータスレジスタ

図 4-1 リセット発生回路の構成

4.1.3 端子一覧

端子名	入出力	機能
RESET_N	I	リセット入力端子

4.2 レジスタ説明

4.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F001H	リセットステータスレジスタ	RSTAT	-	R/W	8	-

4.2.2 リセットステータスレジスタ (RSTAT)

アドレス: 0F001H

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 不定

	7	6	5	4	3	2	1	0
RSTAT	-	-	-	LLDR	-	WDTR	XSTR	POR
R/W	-	-	-	R/W	-	R/W	R/W	R/W
初期値	0	0	0	0/1	0	0/1	0/1	0/1

RSTAT は、リセットが発生した要因を示す特殊機能レジスタ (SFR) です。

リセット発生時、RSTAT の内容は初期化されず、そのリセット発生要因を示すビットが “1” になります。本機能を使用してリセット要因を判別する場合は、RSTAT を読み出した後に次のリセット要因判別に備えるため RSTAT に書き込み動作を行い、RSTAT の内容を “00H” に初期化してください。

ビットの説明

・ **POR** (ビット 0)

POR は、パワーオンリセットが発生したことを示すフラグです。パワーオンによるリセットが発生した場合に “1” になります。

POR	説明
0	パワーオンリセット非発生
1	パワーオンリセット発生

・ **XSTR** (ビット 1)

XSTR は、PLL 発振停止検出リセットが発生したことを示すフラグです。スピーカアンプコントロールレジスタ (SPCON) の SPEN が “1” のときに、PLL 発振が発振停止検出時間 (T_{STOP}) 以上停止した場合に “1” になります。音声再生を開始する前には、必ず XSTR ビットを読み出してください。その際に、PLL 発振停止検出リセット発生 (“1”) の場合は、XSTR ビットを “0” にしてください。

XSTR	説明
0	PLL 発振停止検出リセット非発生
1	PLL 発振停止検出リセット発生

・ **WDTR** (ビット 2)

WDTR は、ウォッチドッグタイマの二度目のオーバフローによるリセットが発生したことを示すフラグです。ウォッチドッグタイマの二度目のオーバフローによるリセットが発生した場合 “1” になります。

WDTR	説明
0	ウォッチドッグタイマオーバフロー非発生
1	ウォッチドッグタイマオーバフロー発生

- ・ **LLDR**(ビット 4)
LLDR は、低電圧検出リセットが発生したことを示すフラグです。

LLDR	説明
0	低電圧検出(LLD)リセット非発生
1	低電圧検出(LLD)リセット発生

【注意】

- ・ RESET_N 端子によるリセットが発生したことを示すフラグは存在しません。
- ・ 電源投入時にパワーオンリセットが発生しなかった場合にも POR ビットが“1”になる可能性があります。電源投入を判別する場合は、電源投入時にランダム値となる RAM を使い、事前に書き込んだ RAM の内容が変化しているかを確認して判断してください。

4.3 動作説明

4.3.1 システムリセットモードの動作

システムリセットは、全ての処理に対して最優先され、それまでの処理は中断されます。
システムリセットモードへの移行には、以下に示す要因があります。

- ・ RESET_N 端子によるリセット
- ・ 電源投入時のパワーオン検出によるリセット
- ・ ウォッチドッグタイマ(WDT)二度目のオーバーフローによるリセット
- ・ PLL 発振停止検出によるリセット
(スピーカアンプが ON 状態 (SPEN=“1”) のみ、発振停止検出した場合にリセットがかかります。)
- ・ BRK 命令実行によるソフトウェアリセット(CPU のみリセット)
- ・ LLD (Low Level Detector) によるリセット

システムリセットモードでは、以下の処理が実行されます。

- (1) 電源回路が初期化されます。ただし BRK 命令実行によるリセットでは初期化されません。電源回路については、「第 26 章 電源回路」を参照してください。
- (2) 初期値が不定でない全ての特殊機能レジスタ (SFR) が初期化されます。ただし、BRK 命令実行によるソフトウェアリセットでは初期化されません。SFR の初期値については、「付録 A レジスタ一覧」を参照してください。
- (3) CPU が初期化されます。
 - ・ CPU 内の全てのレジスタが初期化されます。
 - ・ プログラム・メモリの 0000H, 0001H 番地の内容がスタック・ポインタ (SP) にセットされます。
 - ・ プログラム・メモリの 0002H, 0003H 番地の内容がプログラム・カウンタ (PC) にセットされます。ただし BRK 命令によるリセットにおいてプログラム・ステータスワード (PSW) の割り込みレベル (ELEVEL) が 1 以下の場合は、プログラム・メモリの 0004H, 0005H 番地の内容がプログラム・カウンタ (PC) にセットされます。BRK 命令については、『nX-U8/100 コア インストラクションマニュアル』を参照してください。

【注意】

- ・ システムリセットモードでは、データ・メモリ (RAM) の内容と初期値不定の SFR の内容は初期化されず不定です。ソフトウェアにて初期化してください。
- ・ BRK 命令によるシステムリセットモードでは、全ての SFR が初期化されません。ソフトウェアにて初期化してください。

第 5 章 MCU 制御機能

5 MCU 制御機能

5.1 概要

本 LSI の動作状態は、システムリセットモードも含め以下の 4 つに分類されます。

- (1) システムリセットモード
- (2) プログラム動作モード
- (3) HALT モード
- (4) STOP モード

システムリセットモードに関しては、「第 4 章 リセット機能」を参照してください。

また本 LSI は、使わない機能の回路の動作をパワーダウン(レジスタリセット&クロック停止)することで、より消費電流を減らすことができるブロック制御機能を持っています。

5.1.1 特長

- ・ CPU が動作を停止し、周辺回路のみ動作している HALT モードを搭載
- ・ 低速発振および高速発振が発振を停止する STOP モードを搭載
- ・ STOP モードへの移行を制御するストップコードアクセプタ機能を内蔵
- ・ 使わない機能ブロック回路の動作をパワーダウン(レジスタリセット&クロック停止)させるブロック制御機能を内蔵

5.1.2 構成

図 5-1 に動作状態遷移図を示します。

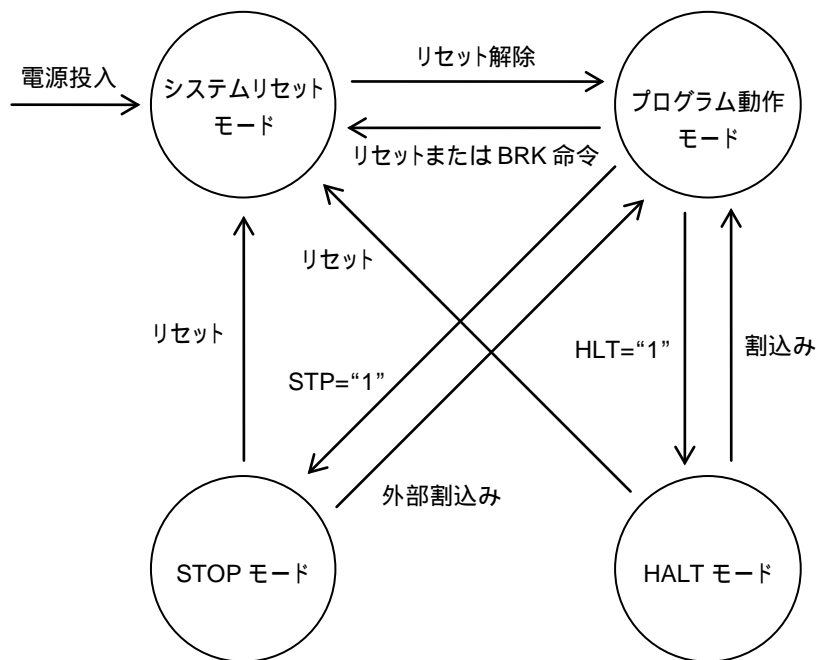


図 5-1 動作状態遷移図

5.2 レジスタ説明

5.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F008H	ストップコードアクセプタ	STPACP	-	W	8	00H
0F009H	スタンバイコントロールレジスタ	SBYCON	-	W	8	00H
0F028H	ブロックコントロールレジスタ 0	BLKCON0	-	R/W	8	00H
0F029H	ブロックコントロールレジスタ 1	BLKCON1	-	R/W	8	00H
0F02AH	ブロックコントロールレジスタ 2	BLKCON2	-	R/W	8	00H
0F02BH	ブロックコントロールレジスタ 3	BLKCON3	-	R/W	8	00H
0F02CH	ブロックコントロールレジスタ 4	BLKCON4	-	R/W	8	00H

5.2.2 ストップコードアクセプタ (STPACP)

アドレス: 0F008H
 アクセス: W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
STPACP	d7	d6	d5	d4	d3	d2	d1	d0
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

STPACP は、STOP モードへの移行を許可する書き込み専用の特殊機能レジスタ (SFR) です。

STPACP を読み出すと、“00H”が読み出されます。

STPACP にデータを“5nH”、“0AnH” (n=0～0FH の任意の値) の順序で書き込むとストップコードアクセプタが許可状態になり、この状態でスタンバイコントロールレジスタ (SBYCON) の STP ビットを“1”にすると STOP モードに移行します。STOP モードになるとストップコードアクセプタは禁止状態になります。

STPACP に“5nH”を書き込む命令と“0AnH”を書き込む命令の間に他の命令が実行されても STOP モードへの移行は許可状態になります。ただし、“5nH”を書き込み後に“0AnH”以外のデータを STPACP に書き込むと“5nH”書き込みが無効となるため、再度“5nH”から書き込む必要があります。

また、フェイルセーフとして STOP モード解除に使用する割込みが確実に設定された状態で STOP モードに移行するように、ストップコードアクセプタを使って STOP モードへの移行を許可状態にした後に、STOP モード解除に使用する割込みを設定してから SBYCON の STP を“1”にして STOP モードに移行することを推奨します。

システムリセット時、STOP モードへの移行は禁止状態です。

【注意】

nX-U8/100 コアのプログラム・ステータスワード (PSW) のマスタ・インタラプト・イネーブル・フラグ (MIE) が“0”で、割込み許可フラグと割込み要求フラグが共に“1”の状態では、STOP モードへの移行は許可状態になりません。

5.2.3 スタンバイコントロールレジスタ (SBYCON)

アドレス: 0F009H
アクセス: W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SBYCON	-	-	-	-	-	-	STP	HLT
R/W	-	-	-	-	-	-	W	W
初期値	0	0	0	0	0	0	0	0

SBYCON は、MCU の動作モードを制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **HLT** (ビット 0)
HLT は、HALT モードを設定するビットです。HLT ビットを“1”にすると HALT モードに移行します。ノンマスクابل割込み要求、もしくは許可された (割込み許可フラグが“1”の状態) 割込み要求が発生すると、HLT が“0”になりプログラム動作モードに復帰します。
- ・ **STP** (ビット 1)
STP は、STOP モードを設定するビットです。STPACP を用いて STOP モードへの移行を許可状態に設定した状態で STP ビットを“1”にすると STOP モードに移行します。STOP モードへの移行が禁止状態では STP ビットは“1”になりません。
割込み要求が発生すると、STP が“0”になりプログラム動作モードに復帰します。STOP モードを解除できる割込みについては、「5.3.3 STOP モード」を参照してください。

STP	HLT	説明
0	0	プログラム動作モード (初期値)
0	1	HALT モード
1	0	STOP モード
1	1	設定禁止

【注意】

nX-U8/100 コアのプログラム・ステータスワード (PSW) のマスタ・インタラプト・イネーブル・フラグ (MIE) が“0”で、割込み許可フラグと割込み要求フラグが共に“1”となる条件では、HALT モードと STOP モードに移行しません。MIE が“0”の状態でマスクابل割込み (許可ビットを持つ割込み) が発生した場合は、STOP モードおよび HALT モードが解除されるのみで割込み処理には移行しません。PSW の詳細については、『nX - U8/100 コア インストラクションマニュアル』を参照してください。

5.2.4 ブロックコントロールレジスタ 0 (BLKCON0)

アドレス: 0F028H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
BLKCON0	-	-	-	-	DTM3	DTM2	DTM1	DTM0
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

BLKCON0 は、各ブロックの動作を制御する特殊機能レジスタ（SFR）です。

ビットの説明

- ・ **DTM0**(ビット 0)
DTM0 は、タイマ 0 の動作を制御するビットです。

DTM0	説明
0	タイマ 0 動作許可 (初期値)
1	タイマ 0 動作禁止

- ・ **DTM1**(ビット 1)
DTM1 は、タイマ 1 の動作を制御するビットです。

DTM1	説明
0	タイマ 1 動作許可 (初期値)
1	タイマ 1 動作禁止

- ・ **DTM2**(ビット 2)
DTM2 は、タイマ 2 の動作を制御するビットです。

DTM2	説明
0	タイマ 2 動作許可 (初期値)
1	タイマ 2 動作禁止

- ・ **DTM3**(ビット 3)
DTM3 は、タイマ 3 の動作を制御するビットです。

DTM3	説明
0	タイマ 3 動作許可 (初期値)
1	タイマ 3 動作禁止

【注意】

- ・ 任意のビットを“1”にセット (動作禁止) すると該当するブロックの機能がリセットされ (全てのレジスタは初期化されます)、さらに該当ブロックへのクロック供給が停止します。当ビットが“1”にセットされている時は、該当するブロックの全てのレジスタへの書き込みは無効となり、レジスタを読み出した場合は初期値を読み出します。該当ブロックの機能をご使用の際には、必ず本ブロックコントロールレジスタの該当ビットを“0”にリセット (動作許可) してください。
- ・ タイマ動作についての詳細は、「第 15 章 8 ビットタイマ」を参照してください。

5.2.5 ブロックコントロールレジスタ 1 (BLKCON1)

アドレス: 0F029H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
BLKCON1	-	-	-	-	-	DPW2	DPW1	DPW0
R/W	-	-	-	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

BLKCON1 は、各ブロックの動作を制御する特殊機能レジスタ（SFR）です。

ビットの説明

- DPW0**(ビット 0)
 DPW0 は、PWM0 の動作を制御するビットです。

DPW0	説明
0	PWM0 動作許可 (初期値)
1	PWM0 動作禁止

- DPW1**(ビット 1)
 DPW1 は、PWM1 の動作を制御するビットです。

DPW1	説明
0	PWM1 動作許可 (初期値)
1	PWM1 動作禁止

- DPW2**(ビット 2)
 DPW2 は、PWM2 の動作を制御するビットです。

DPW2	説明
0	PWM2 動作許可 (初期値)
1	PWM2 動作禁止

[注意]

- 任意のビットを“1”にセット (動作禁止) すると該当するブロックの機能がリセットされ (全てのレジスタは初期化されます), さらに該当ブロックへのクロック供給が停止します。当ビットが“1”にセットされている時は、該当するブロックの全てのレジスタへの書き込みは無効となり、レジスタを読み出した場合は初期値を読み出します。該当ブロックの機能をご使用の際には、必ず本ブロックコントロールレジスタの該当ビットを“0”にリセット (動作許可) してください。
- PWM 動作についての詳細は、「第 16 章 PWM」を参照してください。

5.2.6 ブロックコントロールレジスタ 2 (BLKCON2)

アドレス: 0F02AH

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
BLKCON2	DI2C0	DI2C1	-	-	DUA1	DUA0	DSIO1	DSIO0
R/W	R/W	R/W	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

BLKCON2 は、各ブロックの動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **DSIO0** (ビット 0)
DSIO0 は、同期式シリアルポート 0 の動作を制御するビットです。

DSIO0	説明
0	同期式シリアルポート 0 動作許可 (初期値)
1	同期式シリアルポート 0 動作禁止

- ・ **DSIO1** (ビット 1)
DSIO1 は、同期式シリアルポート 1 の動作を制御するビットです。

DSIO1	説明
0	同期式シリアルポート 1 動作許可 (初期値)
1	同期式シリアルポート 1 動作禁止

- ・ **DUA0** (ビット 2)
DUA0 は、UART0 の動作を制御するビットです。

DUA0	説明
0	UART0 動作許可 (初期値)
1	UART0 動作禁止

- ・ **DUA1** (ビット 3)
DUA1 は、UART1 の動作を制御するビットです。

DUA1	説明
0	UART1 動作許可 (初期値)
1	UART1 動作禁止

- ・ **DI2C1** (ビット 6)
DI2C1 は、I²C バス・インタフェース (スレーブ) の動作を制御するビットです。

DI2C1	説明
0	I ² C バス・インタフェース (スレーブ) 動作許可 (初期値)
1	I ² C バス・インタフェース (スレーブ) 動作禁止

- ・ **DI2C0**(ビット 7)
DI2C0 は、I²C バスインタフェース(マスタ)の動作を制御するビットです。

DI2C0	説明
0	I ² C バス・インタフェース(マスタ)動作許可(初期値)
1	I ² C バス・インタフェース(マスタ)動作禁止

【注意】

- ・任意のビットを“1”にセット(動作禁止)すると該当するブロックの機能がリセットされ(全てのレジスタは初期化されます),さらに該当ブロックへのクロック供給が停止します。当ビットが“1”にセットされている時は,該当するブロックの全てのレジスタへの書き込みは無効となり,レジスタを読み出した場合は初期値を読み出します。該当ブロックの機能をご使用の際には,必ず本ブロックコントロールレジスタの該当ビットを“0”にリセット(動作許可)してください。
- ・SSIO 動作についての詳細は,「第 18 章 同期式シリアルポート(SSIO)」を参照してください。
- ・UART 動作についての詳細は,「第 19 章 UART」を参照してください。
- ・I²C動作についての詳細は,「第20章 I²Cバス・インタフェース(マスタ)」,「第21章 I²Cバス・インタフェース(スレーブ)」を参照してください。

5.2.7 ブロックコントロールレジスタ 3(BLKCON3)

アドレス:0F02BH
 アクセス:R/W
 アクセスサイズ:8 ビット
 初期値:00H

	7	6	5	4	3	2	1	0
BLKCON3	-	-	-	DVC0	-	-	-	-
R/W	-	-	-	R/W	-	-	-	-
初期値	0	0	0	0	0	0	0	0

BLKCON3 は、各ブロックの動作を制御する特殊機能レジスタ（SFR）です。

ビットの説明

- DVC0**(ビット 0)
DVC0 は、音声再生動作を制御するビットです。

DVC0	説明
0	音声再生動作，スピーカアンプ許可 (初期値)
1	音声再生動作，スピーカアンプ禁止

【注意】

- ・任意のビットを“1”にセット(動作禁止)すると該当するブロックの機能がリセットされ(全てのレジスタは初期化されます)，さらに該当ブロックへのクロック供給が停止します。当ビットが“1”にセットされている時は，該当するブロックの全てのレジスタへの書き込みは無効となり，レジスタを読み出した場合は初期値を読み出します。該当ブロックの機能をご使用の際には，必ず本ブロックコントロールレジスタの該当ビットを“0”にリセット(動作許可)してください。
- ・音声再生動作，スピーカアンプについての詳細は，「第23章 音声再生機能」，「第24章 スピーカアンプ」を参照してください。

5.2.8 ブロックコントロールレジスタ 4(BLKCON4)

アドレス: 0F02CH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
BLKCON4	-	-	-	-	-	-	-	DSAD
R/W	-	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

BLKCON4 は、各ブロックの動作を制御する特殊機能レジスタ（SFR）です。

ビットの説明

- DSAD**(ビット 0)
DSAD は、逐次比較型 A/D コンバータの動作を制御するビットです。

DSAD	説明
0	逐次比較型 A/D コンバータ動作許可 (初期値)
1	逐次比較型 A/D コンバータ動作禁止

[注意]

- 任意のビットを“1”にセット(動作禁止)すると該当するブロックの機能がリセットされ(全てのレジスタは初期化されます),さらに該当ブロックへのクロック供給が停止します。当ビットが“1”にセットされている時は、該当するブロックの全てのレジスタへの書き込みは無効となり、レジスタを読み出した場合は初期値を読み出します。該当ブロックの機能をご使用の際には、必ず本ブロックコントロールレジスタの該当ビットを“0”にリセット(動作許可)してください。
- 逐次比較型 A/D コンバータ動作についての詳細は、「第 22 章 逐次比較型 A/D コンバータ」を参照してください。

5.3 動作説明

5.3.1 プログラム動作モード

プログラム動作モードとは、CPU が命令を順次実行している状態です。

パワーオンリセット、RESET_N 端子リセット、WDT オーバフローリセットの場合、システムリセットモード解除後にプログラムメモリ(ROM)の 0002H, 0003H 番地に設定されたアドレスから命令を実行します。

BRK 命令によるリセットの場合、システムリセットモード解除後にプログラムメモリの 0004H, 0005H 番地に設定されたアドレスから命令を実行します。ただし、BRK 命令実行時にプログラム・ステータスワード(PSW)の割り込みレベルビット(ELEVEL)の値が 02H 以上の場合(ノンマスカブル割り込み発生後)は、0002H, 0003H 番地に設定されたアドレスから命令を実行します。

BRK 命令と PSW の詳細については、『nX - U8/100 コア インストラクションマニュアル』を、リセット機能については、『第 4 章 リセット機能』を参照してください。

5.3.2 HALT モード

HALT モードとは、CPU が命令の実行を中断し、周辺回路のみ動作している状態です。

スタンバイコントロールレジスタ(SBYCON)の HLT ビットを“1”にすると HALT モードに移行します。

ノンマスカブル割り込み要求、もしくは割り込み許可レジスタ(IE0 ~ IE7)で許可された割り込み要求が発生すると、2 回目のシステムクロック(SYSCLK)の立ち下りエッジで HLT ビットは“0”になり、HALT モードは解除されプログラム動作モードに復帰します。

図 5-2 に HALT モードの動作波形を示します。

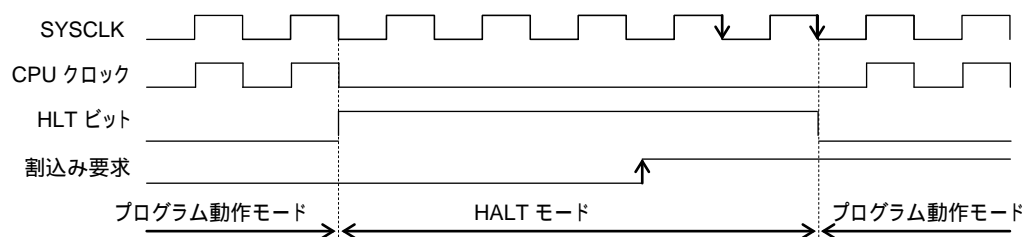


図 5-2 HALT モードの動作波形

【注意】

HALT モード解除から割り込みに移行するまでに最大 2 命令が実行されますので、HLT ビットを“1”に設定した命令の次には NOP 命令を 2 個置いてください。nX-U16/100 コアのプログラム・ステータスワード(PSW)のマスタ・インタラプト・イネーブル・フラグ(MIE)が“1”の場合は、この 2 個の NOP 命令実行後に、割り込み移行サイクル(システムクロック 3 クロック)が実行され、割り込みルーチンの命令実行が開始されます。MIE が“0”の場合は 2 個の NOP 命令実行後、割り込みには移行せず、NOP 命令の次から命令実行を継続します。

5.3.3 STOP モード

STOP モードとは、低速発振、および高速発振が停止している状態で、CPU および周辺回路は動作を停止します。ストップコードアクセプタ(STPACP)に“5nH”, “0AnH”(n=0~0FH の任意の値)を順に書き込み STOP モードへの移行を許可状態にし、スタンバイコントロールレジスタ(SBYCON)の STP ビットを“1”にすると STOP モードに移行します。STOP モードになると STOP モードへの移行は禁止状態になります。以下に示す割り込み要求が発生すると STP ビットは“0”になり、STOP モードは解除され、プログラム動作モードに復帰します。以下に STOP モードを解除できる割り込みを示します。

Y P80 ~ P87 端子割り込み

割り込み要求発生後に、高速発振開始時間(T_{XTH} : 低速クロック1周期以内)と高速クロック(OSCLK)の発振安定時間(16,384 カウント)待った後、STOP モードは解除され、プログラム動作モードに復帰し、高速クロック(OSCLK, HSCLK)が周辺回路へ供給を再開します。

図 5-3 に CPU が高速クロックで動作時の STOP モード動作波形を示します。

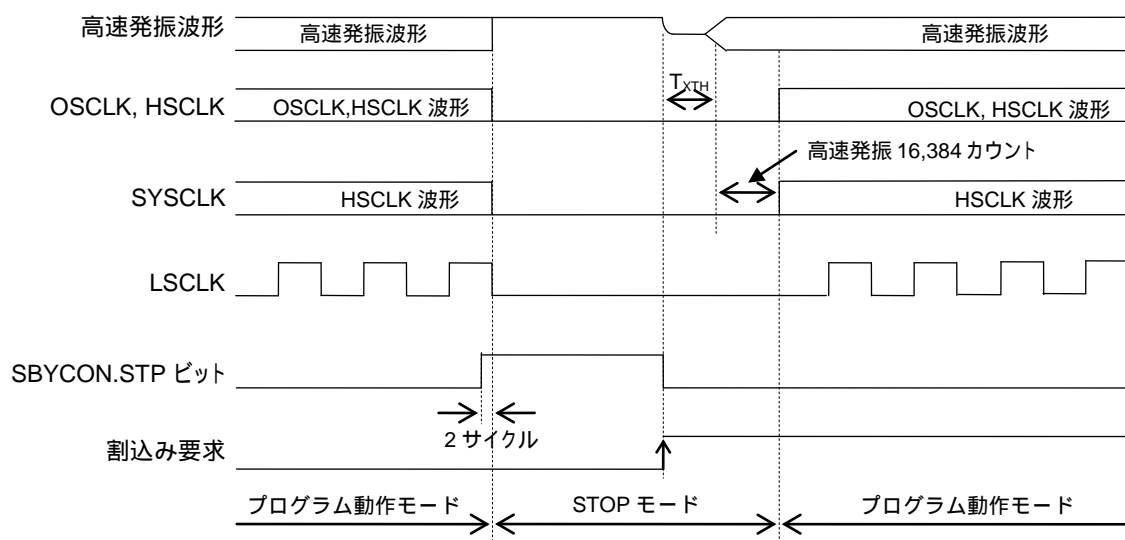


図 5-3 CPU が高速クロックで動作時の STOP モード動作波形

【注意】

STOP モード解除から割り込みに移行するまでに最大 2 命令が実行されますので、STP ビットを“1”に設定した命令の次には NOP 命令を 2 個置いてください。nX-U16/100 コアのプログラム・ステータスワード(PSW)のマスタ・インタラプト・イネーブル・フラグ(MIE)が“1”の場合は、この 2 個の NOP 命令実行後に、割り込み移行サイクル(システムクロック 3 クロック)が実行され、割り込みルーチンの命令実行が開始されます。MIE が“0”の場合は 2 個の NOP 命令実行後、割り込みには移行せず、NOP 命令の次から命令実行を継続します。

5.3.3.1 STOP / HALT モードからの復帰動作についての注意事項

STOP モード、および HALT モードからの復帰は、プログラム・ステータス・ワード(PSW)の割込みレベル(ELEVEL)、マスタ・インタラプト・イネーブル・フラグ(MIE)、割込み許可レジスタ(IE1~7)の内容、および割込みがノンマスクابل割込みかマスクابل割込みかによっても動作が異なります。

PSW の詳細については、『nX - U8/100 コア インストラクションマニュアル』を、IE レジスタや IRQ レジスタについては、「第 13 章 割込み」を参照してください。

表 5-1、および表 5-2 に STOP / HALT モードからの復帰動作一覧を示します。

表 5-1 STOP / HALT モードからの復帰動作一覧(ノンマスクابل割込みの場合)

ELEVEL	MIE	IEn.m	IRQn.m	STOP / HALT モードからの復帰動作
*	*	-	0	STOP / HALT モードから復帰しません。
3	*	-	1	STOP / HALT モードから復帰後、STP / HLT ビットを“1”にセットした命令の次の命令からプログラム動作を再開します。割込みルーチンには移行しません。
0,1,2	*	-	1	STOP / HALT モードから復帰後、STP / HLT ビットを“1”にセットした命令の次の命令からプログラム動作を再開し、割込みルーチンに移行します。

表 5-2 STOP / HALT モードからの復帰動作一覧(マスクابل割込みの場合)

ELEVEL	MIE	IEn.m	IRQn.m	STOP / HALT モードからの復帰動作
*	*	*	0	STOP / HALT モードから復帰しません。
*	*	0	1	
*	0	1	1	STOP / HALT モードから復帰後、STP / HLT ビットを“1”にセットした命令の次の命令からプログラム動作を再開します。割込みルーチンには移行しません。
2,3	1	1	1	
0,1	1	1	1	STOP / HALT モードから復帰後、STP / HLT ビットを“1”にセットした命令の次の命令からプログラム動作を再開し、割込みルーチンに移行します。

プログラム・ステータス・ワード(PSW)の割込みレベル(ELEVEL)は、CPU の割込み状態を示すビットです。割込み移行時および割込みからの復帰時にハードウェアによって設定されます。

- ・ELEVEL が“0”の場合は、CPU が全ての割込み(ノンマスクابل割込み、マスクابل割込み、およびソフトウェア割込み)を処理していない状態を示します。
- ・ELEVEL が“1”の場合は、CPU がマスクابل割込み、もしくはソフトウェア割込みを処理している状態を示します。
- ・ELEVEL が“2”の場合は、CPU がノンマスクابل割込みを処理している状態を示します。
- ・ELEVEL が“3”の場合は、CPU がエミュレータ専用の割込みレベルです。通常アプリケーションでは使用しません。

5.3.4 ブロック制御機能

本ブロック制御機能を使い、使わない機能の回路の動作を完全に止めることで、より消費電流を減らすことができます。

各ブロックコントロールレジスタの各ビットの初期値は“0”で、各ブロックの動作は許可されています。任意のビットを“1”にセット(動作禁止)すると該当するブロックの機能がリセットされ(全てのレジスタは初期化されます)、さらに該当ブロックへのクロック供給が停止します。当ビットが“1”にセットされている時は、該当するブロックの全てのレジスタへの書き込みは無効となり、レジスタを読み出した場合は初期値を読み出します。該当ブロックの機能をご使用の際には、必ず本ブロックコントロールレジスタの該当ビットを“0”にリセット(動作許可)してください。

BLKCON0 レジスタはタイマの回路の動作を制御(許可 / 禁止)します。

BLKCON1 レジスタは PWM の回路の動作を制御(許可 / 禁止)します。

BLKCON2 レジスタは UART、同期式シリアルポート(SSIO)、I²C バス・インタフェースの回路の動作を制御(許可 / 禁止)します。

BLKCON3 レジスタは音声再生機能の回路の動作を制御(許可 / 禁止)します。

BLKCON4 レジスタは逐次比較型 A/D コンバータの回路の動作を制御(許可 / 禁止)します。

【注意】

- ・ ブロックコントロールレジスタの任意のフラグを“1”にセットすると該当する機能の全てのレジスタが初期化されます。
- ・ 各ブロックの動作詳細や注意事項については各章を参照してください。

第 6 章 ポート 2

6 ポート 2

6.1 概要

本 LSI は、6 ビットの出力専用ポートのポート 2 (P20 ~ P25) を内蔵しています。

ポート 2 は、2 次機能として、低速クロック (LSCLK)、高速クロック (OUTCLK)、および PWM (PWM0、PWM1、PWM2) を出力することができます。

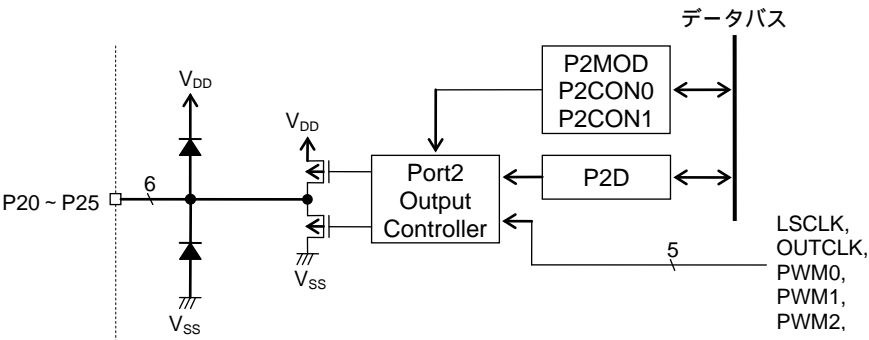
クロック出力については「第 3 章 クロック発生回路」を参照してください。PWM については「第 16 章 PWM」を参照してください。

6.1.1 特長

- ・ビット毎に、ハインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- ・Nch オープンドレイン出力選択時、LED 直接駆動が可能。
- ・2 次機能として低速クロック出力 (LSCLK)、高速クロック出力 (OUTCLK)、および PWM 出力 (PWM0、PWM1、PWM2) を使用可能。

6.1.2 構成

図 6-1 に、ポート 2 の構成を示します。



P2D
:ポート 2 データレジスタ
P2CON0:ポート 2 コントロールレジスタ 0
P2CON1:ポート 2 コントロールレジスタ 1
P2MOD
:ポート 2 モードレジスタ

図 6-1 ポート 2 の構成

6.1.3 端子一覧

端子名	入出力	1 次機能	2 次機能
P20/LED0/LSCLK	O	出力ポート, LED 直接駆動*	低速クロック出力 (LSCLK)
P21/LED1/OUTCLK	O	出力ポート, LED 直接駆動*	高速クロック出力 (OUTCLK)
P22/LED2	O	出力ポート, LED 直接駆動*	
P23/LED3/PWM0	O	出力ポート, LED 直接駆動*	PWM0 出力 (PWM0)
P24/LED4/PWM1	O	出力ポート, LED 直接駆動*	PWM1 出力 (PWM1)
P25/LED5/PWM2	O	出力ポート, LED 直接駆動*	PWM2 出力 (PWM2)

*Nch オープンドレイン出力選択時

6.2 レジスタ説明

6.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F210H	ポート 2 データレジスタ	P2D	-	R/W	8	00H
0F212H	ポート 2 コントロールレジスタ 0	P2CON0	P2CON	R/W	8/16	00H
0F213H	ポート 2 コントロールレジスタ 1	P2CON1		R/W	8	00H
0F214H	ポート 2 モードレジスタ	P2MOD	-	R/W	8	00H

6.2.2 ポート 2 データレジスタ (P2D)

アドレス: 0F210H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
P2D	-	-	P25D	P24D	P23D	P22D	P21D	P20D
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P2D は、ポート 2 の出力値を設定する特殊機能レジスタ (SFR) です。
 本レジスタの値がポート 2 端子へ出力されます。P2D に書き込んだ値は読み出し可能です。

- ビットの説明

 - P25D ~ P20D** (ビット 5 ~ 0)
 P25D ~ P20D は、ポート 2 端子の出力値を設定するビットです。

P20D	説明
0	P20 端子の出力レベルが“L”レベル
1	P20 端子の出力レベルが“H”レベル

P21D	説明
0	P21 端子の出力レベルが“L”レベル
1	P21 端子の出力レベルが“H”レベル

P22D	説明
0	P22 端子の出力レベルが“L”レベル
1	P22 端子の出力レベルが“H”レベル

P23D	説明
0	P23 端子の出力レベルが“L”レベル
1	P23 端子の出力レベルが“H”レベル

P24D	説明
0	P24 端子の出力レベルが“L”レベル
1	P24 端子の出力レベルが“H”レベル

P25D	説明
0	P25 端子の出力レベルが“L”レベル
1	P25 端子の出力レベルが“H”レベル

6.2.3 ポート 2 コントロールレジスタ 0, 1 (P2CON0, P2CON1)

アドレス: 0F212H

アクセス: R/W

アクセスサイズ: 8/16 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
P2CON0	-	-	P25C0	P24C0	P23C0	P22C0	P21C0	P20C0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F213H

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
P2CON1	-	-	P25C1	P24C1	P23C1	P22C1	P21C1	P20C1
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P2CON0, P2CON1 は、出力端子ポート 2 の出力状態を選択する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P25C0 ~ P20C0, P25C1 ~ P20C1** (ビット 5 ~ 0)

P25C0 ~ P20C0, P25C1 ~ P20C1 は、ハイインピーダンス出力^(*), Pch オープンドレイン出力, Nch オープンドレイン出力, および CMOS 出力を選択するビットです。

LED を直接駆動する場合は、Nch オープンドレイン出力を選択します。

^(*) ハイインピーダンス出力とは“H”レベル出力と“L”レベル出力の両方がオフになっている状態です。

P20C1	P20C0	説明
0	0	P20 端子はハイインピーダンス出力 (初期値)
0	1	P20 端子は Pch オープンドレイン出力
1	0	P20 端子は Nch オープンドレイン出力
1	1	P20 端子は CMOS 出力

P21C1	P21C0	説明
0	0	P21 端子はハイインピーダンス出力 (初期値)
0	1	P21 端子は Pch オープンドレイン出力
1	0	P21 端子は Nch オープンドレイン出力
1	1	P21 端子は CMOS 出力

P22C1	P22C0	説明
0	0	P22 端子はハイインピーダンス出力 (初期値)
0	1	P22 端子は Pch オープンドレイン出力
1	0	P22 端子は Nch オープンドレイン出力
1	1	P22 端子は CMOS 出力

P23C1	P23C0	説明
0	0	P23 端子はハイインピーダンス出力(初期値)
0	1	P23 端子は Pch オープンドレイン出力
1	0	P23 端子は Nch オープンドレイン出力
1	1	P23 端子は CMOS 出力

P24C1	P24C0	説明
0	0	P24 端子はハイインピーダンス出力(初期値)
0	1	P24 端子は Pch オープンドレイン出力
1	0	P24 端子は Nch オープンドレイン出力
1	1	P24 端子は CMOS 出力

P25C1	P25C0	説明
0	0	P25 端子はハイインピーダンス出力(初期値)
0	1	P25 端子は Pch オープンドレイン出力
1	0	P25 端子は Nch オープンドレイン出力
1	1	P25 端子は CMOS 出力

6.2.4 ポート 2 モードレジスタ (P2MOD)

アドレス: 0F214H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P2MOD	-	-	P25MD	P24MD	P23MD	P22MD	P21MD	P20MD
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P2MOD は、ポート 2 の 1 次機能、2 次機能を選択する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P20MD** (ビット 0)
P20MD は、P20 端子の 1 次機能、2 次機能を選択するビットです。

P20MD	説明
0	汎用出力ポート機能 / LED 駆動モード (初期値)
1	低速クロック (LSCLK) 出力機能

- ・ **P21MD** (ビット 1)
P21MD は、P21 端子の 1 次機能、2 次機能を選択するビットです。

P21MD	説明
0	汎用出力ポート機能 / LED 駆動モード (初期値)
1	高速クロック (OUTCLK) 出力機能

- ・ **P22MD** (ビット 2)
P22MD は、P22 端子の 1 次機能、2 次機能を選択するビットです。

P22MD	説明
0	汎用出力ポート機能 / LED 駆動モード (初期値)
1	使用禁止

- ・ **P23MD** (ビット 3)
P23MD は、P23 端子の 1 次機能、2 次機能を選択するビットです。

P23MD	説明
0	汎用出力ポート機能 / LED 駆動モード (初期値)
1	PWM0 出力 (PWM0) 機能

- ・ **P24MD** (ビット 4)
P24MD は、P24 端子の 1 次機能、2 次機能を選択するビットです。

P24MD	説明
0	汎用出力ポート機能 / LED 駆動モード (初期値)
1	PWM1 出力 (PWM1) 機能

- ・ **P25MD** (ビット 5)
P25MD は , P25 端子の 1 次機能 , 2 次機能を選択するビットです。

P25MD	説明
0	汎用出力ポート機能 / LED 駆動モード (初期値)
1	PWM2 出力 (PWM2) 機能

【注意】
ポート 2 は出力専用端子であり , 入出力方向を選択するレジスタを持っていません。

6.3 動作説明

6.3.1 出力ポート機能

ポート 2 の各端子は、ポート 2 コントロールレジスタ 0, 1 (P2CON0, P2CON1) により、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モードが選択可能です。システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。LED を直接駆動する場合は、Nch オープンドレイン出力を選択します。

ポート 2 データレジスタ (P2D) に設定した値により、ポート 2 各端子に“L”レベルもしくは“H”レベルが出力されます。

6.3.2 2 次機能

ポート 2 には、2 次機能として、低速クロック (LSCLK) 出力、高速クロック (OUTCLK) 出力、および PWM 出力 (PWM0, PWM1, PWM2) が割り付けられています。ポート 2 モードレジスタ (P2MOD) の P25MD ~ P23MD ビット、および P21MD ~ P20MD ビットを“1”に設定することで、2 次機能として使用できます。

6.4 ポートのレジスタ設定について

クロック出力機能を有効にするには関連する各ポートレジスタのビットを設定する必要があります。

6.4.1 P21 端子を高速クロック (OUTCLK) 出力機能として動作させる

P21MD ビット(P2MOD レジスタのビット 1)を“1”にし、高速クロック出力を P21 の 2 次機能として選択します。

レジスタ名	P2MOD レジスタ(アドレス:0F214H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25MD	P24MD	P23MD	P22MD	P21MD	P20MD
設定値	-	-	*	*	*	0	1	*

P21C1 ビット(P2CON1 レジスタのビット 1)を“1”にし、P21C0 ビット(P2CON0 レジスタのビット 1)を“1”にし、P21 端子の状態モードを CMOS 出力に選択します。

レジスタ名	P2CON1 レジスタ(アドレス:0F213H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25C1	P24C1	P23C1	P22C1	P21C1	P20C1
設定値	-	-	*	*	*	*	1	*

レジスタ名	P2CON0 レジスタ(アドレス:0F212H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25C0	P24C0	P23C0	P22C0	P21C0	P20C0
設定値	-	-	*	*	*	*	1	*

P21D ビット(P2D レジスタのビット 1)のデータは“0”でも“1”でも構いません。

レジスタ名	P2D レジスタ(アドレス:0F210H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25D	P24D	P23D	P22D	P21D	P20D
設定値	-	-	*	*	*	*	**	*

- : 存在しないビット

* : 高速クロック出力機能に関連のないビット

** : Don't care

6.4.2 P20 端子を低速クロック出力機能 (LSCLK) として動作させる

P20MD ビット(P2MOD レジスタのビット 0)を“1”にし、低速クロック出力を P20 の 2 次機能として選択します。

レジスタ名	P2MOD レジスタ(アドレス:0F214H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25MD	P24MD	P23MD	P22MD	P21MD	P20MD
設定値	-	-	*	*	*	0	*	1

P20C1 ビット(P2CON1 レジスタのビット 0)を“1”に、P20C0 ビット(P2CON0 レジスタのビット 0)を“1”にし、P20 端子の状態モードを CMOS 出力に選択します。

レジスタ名	P2CON1 レジスタ(アドレス:0F213H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25C1	P24C1	P23C1	P22C1	P21C1	P20C1
設定値	-	-	*	*	*	*	*	1

レジスタ名	P2CON0 レジスタ(アドレス:0F212H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25C0	P24C0	P23C0	P22C0	P21C0	P20C0
設定値	-	-	*	*	*	*	*	1

P20D ビット(P2D レジスタのビット 0)のデータは“0”でも“1”でも構いません。

レジスタ名	P2D レジスタ(アドレス:0F210H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25D	P24D	P23D	P22D	P21D	P20D
設定値	-	-	*	*	*	*	*	**

-: 存在しないビット

*: 低速クロック出力機能に関連のないビット

**: Don't care

第7章 ポート4

7 ポート 4

7.1 概要

本 LSI は、8 ビットの入出力ポートのポート 4 (P40 ~ P47) を内蔵しています。

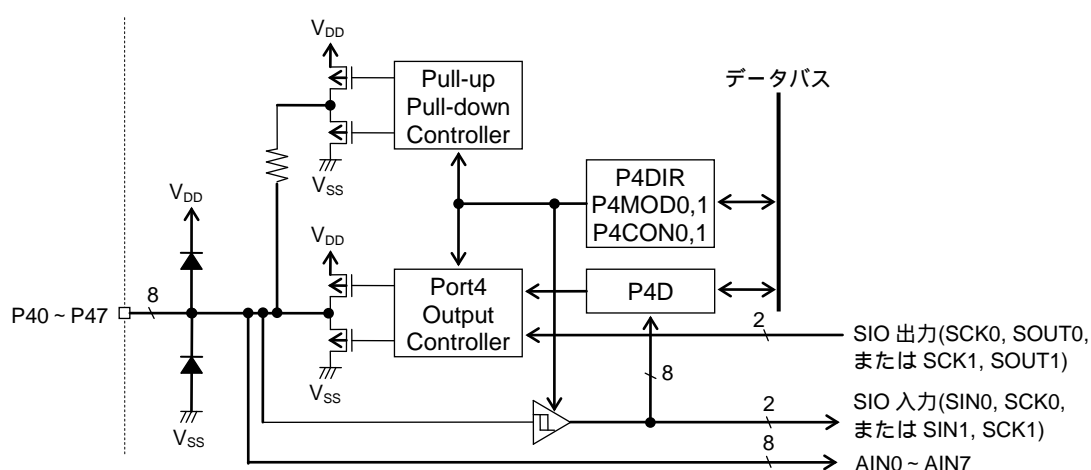
ポート 4 は 2 次機能または 3 次機能として、同期式シリアルポートの機能が使用できます。P40 ~ P47 端子は逐次比較型 A/D コンバータのアナログ入力端子として使用できます。同期式シリアルポートについては、「第 18 章 同期式シリアルポート」を参照してください。逐次比較型 A/D コンバータについては、「第 22 章 逐次比較型 A/D コンバータ」を参照してください。

7.1.1 特長

- ・ 出力モード時、ビット毎に、ハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- ・ 入力モード時、ビット毎に、ハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択可能。
- ・ 3 次機能として、同期式シリアルポート用端子 (SIN0, SCK0, SOUT0) が使用可能。
- ・ 2 次機能として、同期式シリアルポート用端子 (SIN1, SCK1, SOUT1) が使用可能。
- ・ P40 ~ P47 端子は逐次比較型 A/D コンバータのアナログ入力端子として使用可能。

7.1.2 構成

図 7 - 1 に、ポート 4 の構成を示します。



P4D	: ポート 4 データレジスタ
P4DIR	: ポート 4 ディレクションレジスタ
P4CON0	: ポート 4 コントロールレジスタ 0
P4CON1	: ポート 4 コントロールレジスタ 1
P4MOD0	: ポート 4 モードレジスタ 0
P4MOD1	: ポート 4 モードレジスタ 1

図 7 - 1 ポート 4 の構成

7.1.3 端子一覧

端子名	入出力	1 次機能	2 次機能	3 次機能
P40/AIN0/ SIN1/SIN0	I/O	入出力ポート 逐次比較型 A/D コンバータ入力	SIO1 データ 入力端子	SIO0 データ 入力端子
P41/AIN1/ SCK1/SCK0	I/O	入出力ポート 逐次比較型 A/D コンバータ入力	SIO1 クロック 入出力端子	SIO0 クロック 入出力端子
P42/AIN2/ SOUT1/SOUT0	I/O	入出力ポート 逐次比較型 A/D コンバータ入力	SIO1 データ 出力端子	SIO0 データ 出力端子
P43/AIN3	I/O	入出力ポート 逐次比較型 A/D コンバータ入力	-	-
P44/AIN4	I/O	入出力ポート 逐次比較型 A/D コンバータ入力	-	-
P45/AIN5	I/O	入出力ポート 逐次比較型 A/D コンバータ入力	-	-
P46/AIN6	I/O	入出力ポート 逐次比較型 A/D コンバータ入力	-	-
P47/AIN7	I/O	入出力ポート 逐次比較型 A/D コンバータ入力	-	-

【注意】

P40 ~ P47 を逐次比較型 A/D コンバータのアナログ入力として使用する場合は、該当するポートをハイインピーダンス出力状態に設定してください。

7.2 レジスタ説明

7.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F220H	ポート 4 データレジスタ	P4D	-	R/W	8	00H
0F221H	ポート 4 ディレクションレジスタ	P4DIR	-	R/W	8	00H
0F222H	ポート 4 コントロールレジスタ 0	P4CON0	P4CON	R/W	8/16	00H
0F223H	ポート 4 コントロールレジスタ 1	P4CON1		R/W	8	00H
0F224H	ポート 4 モードレジスタ 0	P4MOD0	P4MOD	R/W	8/16	00H
0F225H	ポート 4 モードレジスタ 1	P4MOD1		R/W	8	00H

7.2.2 ポート 4 データレジスタ (P4D)

アドレス: 0F220H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
P4D	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P4D は、ポート 4 端子への出力値を設定またはポート 4 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。
 出力モード時には、本レジスタの値がポート 4 端子へ出力されます。P4D に書き込んだ値は読み出し可能です。
 入力モード時には、P4D を読み出すとポート 4 端子の入力レベルが読み出されます。入力モード時に P4D への書き込みも可能です。書き込み値は端子レベルに影響を与えません。
 出力モードと入力モードは後述のポート 4 ディレクションレジスタ (P4DIR) にて選択します。

ビットの説明

- P47D ~ P40D (ビット 7 ~ 0)**
 P47D ~ P40D は、出力モード時はポート 4 端子の出力値を設定するビットで、入力モード時はポート 4 の端子レベルを読み出すビットです。

P40D	説明
0	P40 端子の出力または入力レベルが“L”レベル
1	P40 端子の出力または入力レベルが“H”レベル

P41D	説明
0	P41 端子の出力または入力レベルが“L”レベル
1	P41 端子の出力または入力レベルが“H”レベル

P42D	説明
0	P42 端子の出力または入力レベルが“L”レベル
1	P42 端子の出力または入力レベルが“H”レベル

P43D	説明
0	P43 端子の出力または入力レベルが“L”レベル
1	P43 端子の出力または入力レベルが“H”レベル

P44D	説明
0	P44 端子の出力または入力レベルが“L”レベル
1	P44 端子の出力または入力レベルが“H”レベル

P45D	説明
0	P45 端子の出力または入力レベルが“L”レベル
1	P45 端子の出力または入力レベルが“H”レベル

P46D	説明
0	P46 端子の出力または入力レベルが“L”レベル
1	P46 端子の出力または入力レベルが“H”レベル

P47D	説明
0	P47 端子の出力または入力レベルが“L”レベル
1	P47 端子の出力または入力レベルが“H”レベル

【注意】
ビット操作命令を用いて P4D のビットに値を設定する場合，P4D 内の対象ビット以外のビットが入力モードに設定されていると，端子の入力レベルが読み出され，その値が P4D に書き込まれます。このため，入力モードから出力モードに切り替える場合には，P4D に出力値を設定した後にポート 4 ディレクションレジスタ (P4DIR) で出力モードに切り替えてください。

7.2.3 ポート 4 ディレクションレジスタ(P4DIR)

アドレス:0F221H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
P4DIR	P47DIR	P46DIR	P45DIR	P44DIR	P43DIR	P42DIR	P41DIR	P40DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P4DIR は、ポート 4 の入出力モードを選択する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **P47DIR ~ P40DIR** (ビット 7 ~ 0)
P47DIR ~ P40DIR は、ポート 4 端子の入出力モードを選択するビットです。

P40DIR	説明
0	P40 端子は出力 (初期値)
1	P40 端子は入力

P41DIR	説明
0	P41 端子は出力 (初期値)
1	P41 端子は入力

P42DIR	説明
0	P42 端子は出力 (初期値)
1	P42 端子は入力

P43DIR	説明
0	P43 端子は出力 (初期値)
1	P43 端子は入力

P44DIR	説明
0	P44 端子は出力 (初期値)
1	P44 端子は入力

P45DIR	説明
0	P45 端子は出力 (初期値)
1	P45 端子は入力

P46DIR	説明
0	P46 端子は出力 (初期値)
1	P46 端子は入力

P47DIR	説明
0	P47 端子は出力 (初期値)
1	P47 端子は入力

7.2.4 ポート 4 コントロールレジスタ 0, 1 (P4CON0, P4CON1)

アドレス: 0F222H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P4CON0	P47C0	P46C0	P45C0	P44C0	P43C0	P42C0	P41C0	P40C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F223H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P4CON1	P47C1	P46C1	P45C1	P44C1	P43C1	P42C1	P41C1	P40C1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P4CON0, P4CON1 は、ポート 4 端子の出力状態を選択する特殊機能レジスタ(SFR)です。各状態は出力モード時と入力モード時で異なります。出力と入力 は P4DIR レジスタで選択します。

ビットの説明

- P47C1 ~ P40C1, P47C0 ~ P40C0** (ビット 7 ~ 0)
P47C1 ~ P40C1, P47C0 ~ P40C0 は、出力モード時にはハイインピーダンス出力^(*), Pch オープンドレイン出力, Nch オープンドレイン出力, および CMOS 出力を, 入力モード時にはハイインピーダンス入力, プルダウン抵抗付き入力, プルアップ抵抗付き入力を選択するビットです。
^(*) ハイインピーダンス出力とは“H”レベル出力と“L”レベル出力の両方がオフになっている状態です。

P40 端子の設定		出力モード選択時 (P40DIR ビット=“0”)	入力モード選択時 (P40DIR ビット=“1”)
P40C1	P40C0	説明	
0	0	P40 端子はハイインピーダンス出力 (初期値)	P40 端子はハイインピーダンス入力
0	1	P40 端子は Pch オープンドレイン出力	P40 端子はプルダウン抵抗付き入力
1	0	P40 端子は Nch オープンドレイン出力	P40 端子はプルアップ抵抗付き入力
1	1	P40 端子は CMOS 出力	P40 端子はハイインピーダンス入力

P41 端子の設定		出力モード選択時 (P41DIR ビット=“0”)	入力モード選択時 (P41DIR ビット=“1”)
P41C1	P41C0	説明	
0	0	P41 端子はハイインピーダンス出力 (初期値)	P41 端子はハイインピーダンス入力
0	1	P41 端子は Pch オープンドレイン出力	P41 端子はプルダウン抵抗付き入力
1	0	P41 端子は Nch オープンドレイン出力	P41 端子はプルアップ抵抗付き入力
1	1	P41 端子は CMOS 出力	P41 端子はハイインピーダンス入力

P42 端子の設定		出力モード選択時 (P42DIR ビット=“0”)	入力モード選択時 (P42DIR ビット=“1”)
P42C1	P42C0	説明	
0	0	P42 端子はハイインピーダンス出力 (初期値)	P42 端子はハイインピーダンス入力
0	1	P42 端子は Pch オープンドレイン出力	P42 端子はプルダウン抵抗付き入力
1	0	P42 端子は Nch オープンドレイン出力	P42 端子はプルアップ抵抗付き入力
1	1	P42 端子は CMOS 出力	P42 端子はハイインピーダンス入力

P43 端子の設定		出力モード選択時 (P43DIR ビット="0")	入力モード選択時 (P43DIR ビット="1")
P43C1	P43C0	説明	
0	0	P43 端子はハイインピーダンス出力 (初期値)	P43 端子はハイインピーダンス入力
0	1	P43 端子は Pch オープンドレイン出力	P43 端子はプルダウン抵抗付き入力
1	0	P43 端子は Nch オープンドレイン出力	P43 端子はプルアップ抵抗付き入力
1	1	P43 端子は CMOS 出力	P43 端子はハイインピーダンス入力

P44 端子の設定		出力モード選択時 (P44DIR ビット="0")	入力モード選択時 (P44DIR ビット="1")
P44C1	P44C0	説明	
0	0	P44 端子はハイインピーダンス出力 (初期値)	P44 端子はハイインピーダンス入力
0	1	P44 端子は Pch オープンドレイン出力	P44 端子はプルダウン抵抗付き入力
1	0	P44 端子は Nch オープンドレイン出力	P44 端子はプルアップ抵抗付き入力
1	1	P44 端子は CMOS 出力	P44 端子はハイインピーダンス入力

P45 端子の設定		出力モード選択時 (P45DIR ビット="0")	入力モード選択時 (P45DIR ビット="1")
P45C1	P45C0	説明	
0	0	P45 端子はハイインピーダンス出力 (初期値)	P45 端子はハイインピーダンス入力
0	1	P45 端子は Pch オープンドレイン出力	P45 端子はプルダウン抵抗付き入力
1	0	P45 端子は Nch オープンドレイン出力	P45 端子はプルアップ抵抗付き入力
1	1	P45 端子は CMOS 出力	P45 端子はハイインピーダンス入力

P46 端子の設定		出力モード選択時 (P46DIR ビット="0")	入力モード選択時 (P46DIR ビット="1")
P46C1	P46C0	説明	
0	0	P46 端子はハイインピーダンス出力 (初期値)	P46 端子はハイインピーダンス入力
0	1	P46 端子は Pch オープンドレイン出力	P46 端子はプルダウン抵抗付き入力
1	0	P46 端子は Nch オープンドレイン出力	P46 端子はプルアップ抵抗付き入力
1	1	P46 端子は CMOS 出力	P46 端子はハイインピーダンス入力

P47 端子の設定		出力モード選択時 (P47DIR ビット="0")	入力モード選択時 (P47DIR ビット="1")
P47C1	P47C0	説明	
0	0	P47 端子はハイインピーダンス出力 (初期値)	P47 端子はハイインピーダンス入力
0	1	P47 端子は Pch オープンドレイン出力	P47 端子はプルダウン抵抗付き入力
1	0	P47 端子は Nch オープンドレイン出力	P47 端子はプルアップ抵抗付き入力
1	1	P47 端子は CMOS 出力	P47 端子はハイインピーダンス入力

7.2.5 ポート 4 モードレジスタ 0,1 (P4MOD0, P4MOD1)

アドレス: 0F224H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P4MOD0	-	-	-	-	-	P42MD0	P41MD0	P40MD0
R/W	-	-	-	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F225H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P4MOD1	-	-	-	-	-	P42MD1	P41MD1	P40MD1
R/W	-	-	-	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P4MOD0, P4MOD1 は、ポート 4 の 1 次機能, 2 次機能, 3 次機能を選択する特殊機能レジスタ (SFR) です。

ビットの説明

- P40MD1, P40MD0** (ビット 0)
P40MD1, P40MD0 は、P40 端子の 1 次機能, 2 次機能, 3 次機能を選択するビットです。

P40MD1	P40MD0	説明
0	0	汎用入出力モード (初期値)
0	1	SIO1 データ入力端子 (SIN1)
1	0	SIO0 データ入力端子 (SIN0)
1	1	使用禁止

- P41MD1, P41MD0** (ビット 1)
P41MD1, P41MD0 は、P41 端子の 1 次機能, 2 次機能, 3 次機能を選択するビットです。

P41MD1	P41MD0	説明
0	0	汎用入出力モード (初期値)
0	1	SIO1 クロック入出力端子 (SCK1)
1	0	SIO0 クロック入出力端子 (SCK0)
1	1	使用禁止

・ **P42MD1, P42MD0** (ビット 2)

P42MD1, P42MD0 は, P42 端子の 1 次機能, 2 次機能, 3 次機能を選択するビットです。

P42MD1	P42MD0	説明
0	0	汎用入出力モード (初期値)
0	1	SIO1 データ出力端子 (SOUT1)
1	0	SIO0 データ出力端子 (SOUT0)
1	1	使用禁止

【注意】

“使用禁止”に設定しかつ出力モードが選択されている場合 (ポート 4 ディレクションレジスタで選択), ポート 4 の出力端子状態は, ポート 4 データレジスタ P4D のデータに関わらず以下のように固定されます。

ハインピーダンス出力選択時: 出力端子はハインピーダンス

Pch オープンドレイン出力選択時: 出力端子はハインピーダンス

Nch オープンドレイン出力選択時: 出力端子は“L”固定

CMOS 出力選択時: 出力端子は“L”固定

7.3 動作説明

7.3.1 入出力ポート機能

ポート 4 の各端子は、ポート 4 ディレクションレジスタ (P4DIR) を設定して、出力と入力のいずれかを選択します。
出力モード時は、ポート 4 コントロールレジスタ 0, 1 (P4CON0, P4CON1) を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モードのいずれかを選択します。

入力モード時は、ポート 4 コントロールレジスタ 0, 1 (P4CON0, P4CON1) を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。

システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。

出力モード時には、ポート 4 データレジスタ (P4D) に設定した値により、ポート 4 各端子に“L”レベルもしくは“H”レベルが出力されます。

入力モード時には、ポート 4 データレジスタ (P4D) を用いて、ポート 4 各端子の入力レベルを読み出せます。

7.3.2 2 次機能, 3 次機能

ポート 4 には、2 次機能として同期式シリアルポート 1 用端子 (SIN1, SCK1, SOUT1)、3 次機能として同期式シリアルポート 0 用端子 (SIN0, SCK0, SOUT0) が割り付けられています。ポート 4 モードレジスタ (P4MOD0, P4MOD1) の P42MD0 ~ P40MD0, P42MD1 ~ P40MD1 ビットを設定することで、各 2 次機能モード 3 次機能モードとして使用できます。

【注意】

P40 ~ P47 は逐次比較型 A/D コンバータのアナログ入力に割り当てられています。逐次比較型 A/D コンバータのアナログ入力として使用する場合は、該当するポートをハイインピーダンス出力状態に設定してください。

第 8 章 ポート 8

8 ポート 8

8.1 概要

本 LSI は、8 ビットの入出力ポートのポート 8 (P80 ~ P87) を内蔵しています。

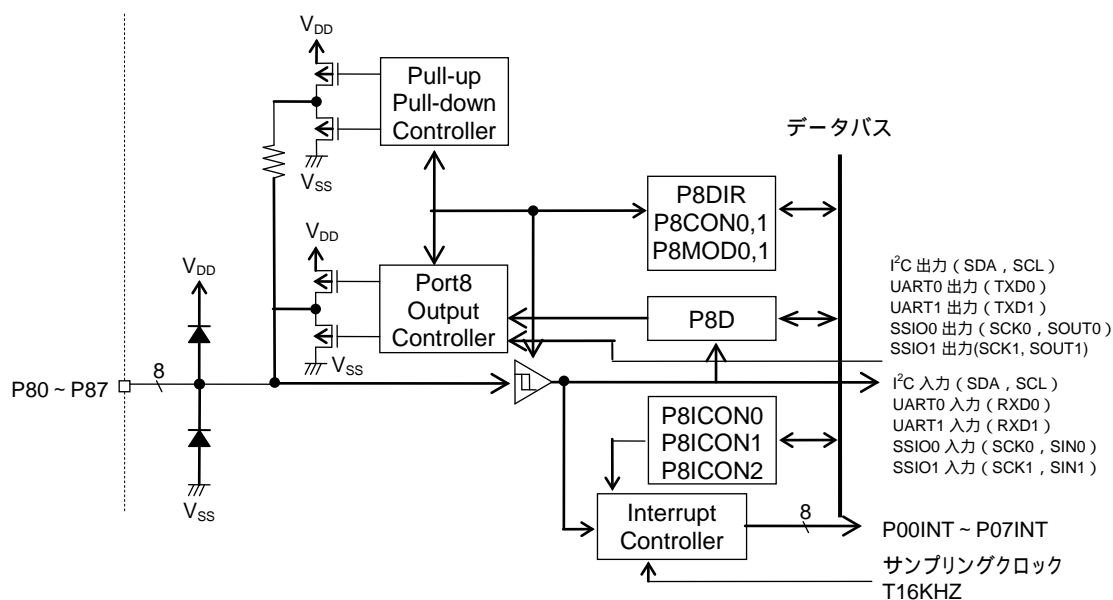
ポート 8 は、2 次機能および 3 次機能として、I²C 通信用端子 (SDA, SCL), UART 通信用端子 (TXD0, RXD0, および TXD1, RXD1), 同期式シリアルポート通信用端子 (SCK0, SIN0, SOUT0, および SCK1, SIN1, SOUT1) 機能を使用できます。同期式シリアルポートについては、「第 18 章 同期式シリアルポート」を、UART については、「第 19 章 UART」を、I²C バス・インターフェースについては、「第 20 章 I²C バス・インターフェース (マスタ)」, 「第 21 章 I²C バス・インターフェース (スレーブ)」を参照してください。

8.1.1 特長

- ・ 全ビットに、マスカブル割込み機能有り。
- ・ ビット毎に、割込み無し、立ち下がりエッジ割込み、立ち上がりエッジ割込み、両エッジ割込み選択可能。
- ・ ビット毎に、割込みサンプリング有り/無し選択可能。(サンプリング周波数は、T16KHZ)
- ・ 出力モード時、ビット毎に、ハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- ・ 入力モード時、ビット毎に、ハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力が選択可能。
- ・ 2 次機能、または 3 次機能として、I²C 通信用端子 (SDA, SCL), UART 通信用 端子 (TXD0, RXD0, および TXD1, RXD1), 同期式シリアルポート通信用端子 (SIN0, SCK0, SOUT0, および SIN1, SCK1, SOUT1) が使用可能。

8.1.2 構成

図 8-1 に、ポート 8 の構成を示します。



P8D	: ポート 8 データレジスタ
P8DIR	: ポート 8 ディレクションレジスタ
P8CON0	: ポート 8 コントロールレジスタ 0
P8CON1	: ポート 8 コントロールレジスタ 1
P8MOD0	: ポート 8 モードレジスタ 0
P8MOD1	: ポート 8 モードレジスタ 1
P8ICON0	: ポート 8 割込みコントロールレジスタ 0
P8ICON1	: ポート 8 割込みコントロールレジスタ 1
P8ICON2	: ポート 8 割込みコントロールレジスタ 2

図 8-1 ポート 8 の構成

8.1.3 端子一覧

端子名	入出力	1 次機能	2 次機能	3 次機能
P80/EXI0	IO	入出力ポート, 外部 0 割込み	I ² C データ入出力(SDA)	SSIO0 データ入力(SIN0)
P81/EXI1	IO	入出力ポート, 外部 1 割込み	I ² C クロック入出力(SCL)	SSIO0 クロック入出力(SCK0)
P82/EXI2	IO	入出力ポート, 外部 2 割込み	UART1 データ入力(RXD1)	SSIO0 データ出力(SOUT0)
P83/EXI3	IO	入出力ポート, 外部 3 割込み	UART1 データ出力(TXD1)	UART0 データ出力(TXD0)
P84/EXI4	IO	入出力ポート, 外部 4 割込み	-	SSIO1 データ入力(SIN1)
P85/EXI5	IO	入出力ポート, 外部 5 割込み	-	SSIO1 クロック入出力(SCK1)
P86/EXI6	IO	入出力ポート, 外部 6 割込み	UART0 データ入力(RXD0)	SSIO1 データ出力(SOUT1)
P87/EXI7	IO	入出力ポート, 外部 7 割込み	UART0 データ出力(TXD0)	UART1 データ出力(TXD1)

8.2 レジスタ説明

8.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F240H	ポート 8 データレジスタ	P8D	-	R/W	8	00H
0F241H	ポート 8 ディレクションレジスタ	P8DIR	-	R/W	8	00H
0F242H	ポート 8 コントロールレジスタ 0	P8CON0	P8CON	R/W	8/16	00H
0F243H	ポート 8 コントロールレジスタ 1	P8CON1		R/W	8	00H
0F244H	ポート 8 モードレジスタ 0	P8MOD0	P8MOD	R/W	8/16	00H
0F245H	ポート 8 モードレジスタ 1	P8MOD1		R/W	8	00H
0F024H	ポート 8 割込みコントロールレジスタ 0	P8ICON0	-	R/W	8	00H
0F025H	ポート 8 割込みコントロールレジスタ 1	P8ICON1	-	R/W	8	00H
0F026H	ポート 8 割込みコントロールレジスタ 2	P8ICON2	-	R/W	8	00H

8.2.2 ポート 8 データレジスタ (P8D)

アドレス: 0F240H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P8D	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
R/W	RW	RW	RW	RW	RW	RW	RW	RW
初期値	0	0	0	0	0	0	0	0

P8D は、ポート 8 端子への出力値を設定またはポート 8 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。

出力モード時には、本レジスタの値がポート 8 端子へ出力されます。P8D に書き込んだ値は読み出し可能です。

入力モード時には、P8D を読み出すとポート 8 端子の入力レベルが読み出されます。入力モード時に P8D への書き込みも可能です。書き込み値は端子レベルに影響を与えません。

出力モードと入力モードは後述のポートモードレジスタ (P8DIR) にて選択します。

ビットの説明

- P87D ~ P80D (ビット 7 ~ 0)**
P87D ~ P80D は、出力モード時はポート 8 端子の出力値を設定するビットで、入力モード時はポート 8 の端子レベルを読み出すビットです。

P80D	説明
0	P80 端子の出力または入力レベルが“L”レベル
1	P80 端子の出力または入力レベルが“H”レベル

P81D	説明
0	P81 端子の出力または入力レベルが“L”レベル
1	P81 端子の出力または入力レベルが“H”レベル

P82D	説明
0	P82 端子の出力または入力レベルが“L”レベル
1	P82 端子の出力または入力レベルが“H”レベル

P83D	説明
0	P83 端子の出力または入力レベルが“L”レベル
1	P83 端子の出力または入力レベルが“H”レベル

P84D	説明
0	P84 端子の出力または入力レベルが“L”レベル
1	P84 端子の出力または入力レベルが“H”レベル

P85D	説明
0	P85 端子の出力または入力レベルが“L”レベル
1	P85 端子の出力または入力レベルが“H”レベル

P86D	説明
0	P86 端子の出力または入力レベルが“L”レベル
1	P86 端子の出力または入力レベルが“H”レベル

P87D	説明
0	P87 端子の出力または入力レベルが“L”レベル
1	P87 端子の出力または入力レベルが“H”レベル

【注意】

ビット操作命令を用いて P8D のビットに値を設定する場合、P8D 内の対象ビット以外のビットが入力モードに設定されていると、端子の入力レベルが読み出され、その値が P8D に書き込まれます。このため、入力モードから出力モードに切り替える場合には、P8D に出力値を設定した後にポート 8 ディレクションレジスタ (P8DIR) で出力モードに切り替えてください。

8.2.3 ポート 8 ディレクションレジスタ(P8DIR)

アドレス:0F241H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
P8DIR	P87DIR	P86DIR	P85DIR	P84DIR	P83DIR	P82DIR	P81DIR	P80DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P8DIR は、ポート 8 の入出力モードを選択する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **P87DIR ~ P80DIR** (ビット 7 ~ 0)
P87DIR ~ P80DIR は、ポート 8 端子の入出力モードを選択するビットです。

P80DIR	説明
0	P80 端子は出力 (初期値)
1	P80 端子は入力

P81DIR	説明
0	P81 端子は出力 (初期値)
1	P81 端子は入力

P82DIR	説明
0	P82 端子は出力 (初期値)
1	P82 端子は入力

P83DIR	説明
0	P83 端子は出力 (初期値)
1	P83 端子は入力

P84DIR	説明
0	P84 端子は出力 (初期値)
1	P84 端子は入力

P85DIR	説明
0	P85 端子は出力 (初期値)
1	P85 端子は入力

P86DIR	説明
0	P86 端子は出力 (初期値)
1	P86 端子は入力

P87DIR	説明
0	P87 端子は出力 (初期値)
1	P87 端子は入力

8.2.4 ポート 8 コントロールレジスタ 0, 1 (P8CON0, P8CON1)

アドレス: 0F242H

アクセス: R/W

アクセスサイズ: 8/16 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
P8CON0	P87C0	P86C0	P85C0	P84C0	P83C0	P82C0	P81C0	P80C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F243H

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
P8CON1	P87C1	P86C1	P85C1	P84C1	P83C1	P82C1	P81C1	P80C1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P8CON0, P8CON1 は、ポート 8 端子の特性状態を選択する特殊機能レジスタ (SFR) です。各状態は出力モード時と入力モード時で異なります。出力と入力、P8DIR レジスタで選択します。

ビットの説明

- ・ **P87C1 ~ P80C1, P87C0 ~ P80C0** (ビット 7 ~ 0)

P87C1 ~ P80C1, P87C0 ~ P80C0 は、出力モード時にはハイインピーダンス出力^(*)、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力を、入力モード時にはハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択するビットです。

^(*) ハイインピーダンス出力とは“H”レベル出力と“L”レベル出力の両方がオフになっている状態です。

		出力モード選択時 (P80DIR ビット=“0”)	入力モード選択時 (P80DIR ビット=“1”)
P80C1	P80C0	説明	
0	0	P80 端子はハイインピーダンス出力 (初期値)	P80 端子はハイインピーダンス入力
0	1	P80 端子は Pch オープンドレイン出力	P80 端子はプルダウン抵抗付き入力
1	0	P80 端子は Nch オープンドレイン出力	P80 端子はプルアップ抵抗付き入力
1	1	P80 端子は CMOS 出力	P80 端子はハイインピーダンス入力

		出力モード選択時 (P81DIR ビット=“0”)	入力モード選択時 (P81DIR ビット=“1”)
P81C1	P81C0	説明	
0	0	P81 端子はハイインピーダンス出力 (初期値)	P81 端子はハイインピーダンス入力
0	1	P81 端子は Pch オープンドレイン出力	P81 端子はプルダウン抵抗付き入力
1	0	P81 端子は Nch オープンドレイン出力	P81 端子はプルアップ抵抗付き入力
1	1	P81 端子は CMOS 出力	P81 端子はハイインピーダンス入力

		出力モード選択時 (P82DIR ビット=“0”)	入力モード選択時 (P82DIR ビット=“1”)
P82C1	P82C0	説明	
0	0	P82 端子はハイインピーダンス出力 (初期値)	P82 端子はハイインピーダンス入力
0	1	P82 端子は Pch オープンドレイン出力	P82 端子はプルダウン抵抗付き入力
1	0	P82 端子は Nch オープンドレイン出力	P82 端子はプルアップ抵抗付き入力
1	1	P82 端子は CMOS 出力	P82 端子はハイインピーダンス入力

		出力モード選択時(P83DIR ビット="0")	入力モード選択時(P83DIR ビット="1")
P83C1	P83C0	説明	
0	0	P83 端子はハイインピーダンス出力(初期値)	P83 端子はハイインピーダンス入力
0	1	P83 端子は Pch オープンドレイン出力	P83 端子はプルダウン抵抗付き入力
1	0	P83 端子は Nch オープンドレイン出力	P83 端子はプルアップ抵抗付き入力
1	1	P83 端子は CMOS 出力	P83 端子はハイインピーダンス入力

		出力モード選択時(P84DIR ビット="0")	入力モード選択時(P84DIR ビット="1")
P84C1	P84C0	説明	
0	0	P84 端子はハイインピーダンス出力(初期値)	P84 端子はハイインピーダンス入力
0	1	P84 端子は Pch オープンドレイン出力	P84 端子はプルダウン抵抗付き入力
1	0	P84 端子は Nch オープンドレイン出力	P84 端子はプルアップ抵抗付き入力
1	1	P84 端子は CMOS 出力	P84 端子はハイインピーダンス入力

		出力モード選択時(P85DIR ビット="0")	入力モード選択時(P85DIR ビット="1")
P85C1	P85C0	説明	
0	0	P85 端子はハイインピーダンス出力(初期値)	P85 端子はハイインピーダンス入力
0	1	P85 端子は Pch オープンドレイン出力	P85 端子はプルダウン抵抗付き入力
1	0	P85 端子は Nch オープンドレイン出力	P85 端子はプルアップ抵抗付き入力
1	1	P85 端子は CMOS 出力	P85 端子はハイインピーダンス入力

		出力モード選択時(P86DIR ビット="0")	入力モード選択時(P86DIR ビット="1")
P86C1	P86C0	説明	
0	0	P86 端子はハイインピーダンス出力(初期値)	P86 端子はハイインピーダンス入力
0	1	P86 端子は Pch オープンドレイン出力	P86 端子はプルダウン抵抗付き入力
1	0	P86 端子は Nch オープンドレイン出力	P86 端子はプルアップ抵抗付き入力
1	1	P86 端子は CMOS 出力	P86 端子はハイインピーダンス入力

		出力モード選択時(P87DIR ビット="0")	入力モード選択時(P87DIR ビット="1")
P87C1	P87C0	説明	
0	0	P87 端子はハイインピーダンス出力(初期値)	P87 端子はハイインピーダンス入力
0	1	P87 端子は Pch オープンドレイン出力	P87 端子はプルダウン抵抗付き入力
1	0	P87 端子は Nch オープンドレイン出力	P87 端子はプルアップ抵抗付き入力
1	1	P87 端子は CMOS 出力	P87 端子はハイインピーダンス入力

8.2.5 ポート 8 モードレジスタ 0, 1 (P8MOD0, P8MOD1)

アドレス: 0F244H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P8MOD0	P87MD0	P86MD0	P85MD0	P84MD0	P83MD0	P82MD0	P81MD0	P80MD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F245H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P8MOD1	P87MD1	P86MD1	P85MD1	P84MD1	P83MD1	P82MD1	P81MD1	P80MD1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P8MOD0, P8MOD1 は、ポート 8 の 1 次機能, 2 次機能, 3 次機能を選択する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P80MD1, P80MD0** (ビット 0)
P80MD1, P80MD0 は、P80 端子の 1 次機能, 2 次機能, 3 次機能を選択するビットです。

P80MD1	P80MD0	説明
0	0	汎用入出力モード (初期値)
0	1	I ² C 用データ入出力端子 (SDA)
1	0	SSIO0 データ入力端子 (SIN0)
1	1	使用禁止

- ・ **P81MD1, P81MD0** (ビット 1)
P81MD1, P81MD0 は、P81 端子の 1 次機能, 2 次機能, 3 次機能を選択するビットです。

P81MD1	P81MD0	説明
0	0	汎用入出力モード (初期値)
0	1	I ² C 用クロック入出力端子 (SCL)
1	0	SSIO0 クロック入出力端子 (SCK0)
1	1	使用禁止

- ・ **P82MD1, P82MD0** (ビット 2)
P82MD1, P82MD0 は、P82 端子の 1 次機能, 3 次機能を選択するビットです。

P82MD1	P82MD0	説明
0	0	汎用入出力モード (初期値)
0	1	UART1 データ入力端子 (RXD1)
1	0	SSIO0 データ出力端子 (SOUT0)
1	1	使用禁止

- ・ **P83MD1, P83MD0**(ビット 3)
P83MD1, P83MD0 は, P83 端子の 1 次機能を選択するビットです。

P83MD1	P83MD0	説明
0	0	汎用入出力モード(初期値)
0	1	UART1 データ出力端子(TXD1)
1	0	UART0 データ出力端子(TXD0)
1	1	使用禁止

- ・ **P84MD1, P84MD0**(ビット 4)
P84MD1, P84MD0 は, P84 端子の 1 次機能, 3 次機能を選択するビットです。

P84MD1	P84MD0	説明
0	0	汎用入出力モード(初期値)
0	1	使用禁止
1	0	SSIO1 データ入力端子(SIN1)
1	1	使用禁止

- ・ **P85MD1, P85MD0**(ビット 5)
P85MD1, P85MD0 は, P85 端子の 1 次機能, 3 次機能を選択するビットです。

P85MD1	P85MD0	説明
0	0	汎用入出力モード(初期値)
0	1	使用禁止
1	0	SSIO1 クロック入出力端子(SCK1)
1	1	使用禁止

- ・ **P86MD1, P86MD0**(ビット 6)
P86MD1, P86MD0 は, P86 端子の 1 次機能, 2 次機能, 3 次機能を選択するビットです。

P86MD1	P86MD0	説明
0	0	汎用入出力モード(初期値)
0	1	UART0 データ入力端子(RXD0)
1	0	SSIO1 データ出力端子(SOUT1)
1	1	使用禁止

- ・ **P87MD1, P87MD0**(ビット 7)
P87MD1, P87MD0 は, P87 端子の 1 次機能, 2 次機能を選択するビットです。

P87MD1	P87MD0	説明
0	0	汎用入出力モード(初期値)
0	1	UART0 データ出力端子(TXD0)
1	0	UART1 データ出力端子(TXD1)
1	1	使用禁止

【注意】

“使用禁止”に設定しかつ出力モードが選択されている場合(ポート 8 コントロールレジスタで選択), ポート 8 の出力端子状態は, ポートデータレジスタ P8D のデータに関わらず以下のように固定されます。

ハイインピーダンス出力選択時: 出力端子はハイインピーダンス

Pch オープンドレイン出力選択時: 出力端子はハイインピーダンス

Nch オープンドレイン出力選択時: 出力端子は“L”固定

CMOS 出力選択時: 出力端子は“L”固定

8.2.6 ポート 8 割込みコントロールレジスタ 0, 1 (P8ICON0, P8ICON1)

アドレス: 0F024H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P8ICON0	P87E0	P86E0	P85E0	P84E0	P83E0	P82E0	P81E0	P80E0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F025H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P8ICON1	P87E1	P86E1	P85E1	P84E1	P83E1	P82E1	P81E1	P80E1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P8ICON0, P8ICON1 は、ポート 8 の割込みエッジを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- P87E0 ~ P80E0, P87E1 ~ P80E1** (ビット 7 ~ 0)
P87E0 ~ P80E0, P87E1 ~ P80E1 は、割込み禁止、立ち下がりエッジ割込み、立ち上がりエッジ割込み、両エッジ割込みを選択するビットです。P8nE0 ビットと P8nE1 ビットにて P8n の割込みモードが決定します。
(例: P82E0=“0”, P82E1=“1”の場合、P82 は立ち上がりエッジ割り込みモードとなる)。

P87E1 ~ P80E1	P87E0 ~ P80E0	説明
0	0	割込み禁止 (初期値)
0	1	立ち下がりエッジ割込み
1	0	立ち上がりエッジ割込み
1	1	両エッジ割込み

8.2.7 ポート 8 割込みコントロールレジスタ 2 (P8ICON2)

アドレス: 0F026H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P8ICON2	P87SM	P86SM	P85SM	P84SM	P83SM	P82SM	P81SM	P80SM
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P8ICON2 は、ポート 8 の割込みのサンプリング無し / 有りを選択する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **P87SM ~ P80SM** (ビット 7 ~ 0)
P87SM ~ P80SM は、ポート 8 の割込みのサンプリング無し、サンプリング有りを選択するビットです。サンプリングクロックは、低速側タイムベースカウンタ(LTBC)の T16KHZ です。

P80SM	説明
0	P80 割込み用入力信号エッジをサンプリング無しで検出 (初期値)
1	P80 割込み用入力信号エッジをサンプリング有りで検出

P81SM	説明
0	P81 割込み用入力信号エッジをサンプリング無しで検出 (初期値)
1	P81 割込み用入力信号エッジをサンプリング有りで検出

P82SM	説明
0	P82 割込み用入力信号エッジをサンプリング無しで検出 (初期値)
1	P82 割込み用入力信号エッジをサンプリング有りで検出

P83SM	説明
0	P83 割込み用入力信号エッジをサンプリング無しで検出 (初期値)
1	P83 割込み用入力信号エッジをサンプリング有りで検出

P84SM	説明
0	P84 割込み用入力信号エッジをサンプリング無しで検出 (初期値)
1	P84 割込み用入力信号エッジをサンプリング有りで検出

P85SM	説明
0	P85 割込み用入力信号エッジをサンプリング無しで検出 (初期値)
1	P85 割込み用入力信号エッジをサンプリング有りで検出

P86SM	説明
0	P86 割込み用入力信号エッジをサンプリング無しで検出 (初期値)
1	P86 割込み用入力信号エッジをサンプリング有りで検出

P87SM	説明
0	P87 割込み用入力信号エッジをサンプリング無しで検出 (初期値)
1	P87 割込み用入力信号エッジをサンプリング有りで検出

【注意】

STOP モード時は、サンプリングクロックの 16kHz が停止しますので、P87SM ~ P80SM の値に関係なくサンプリング無しとなります。

8.3 動作説明

8.3.1 入出力ポート機能

ポート 8 の各端子は、ポート 8 ディレクションレジスタ (P8DIR) を設定して、出力と入力のいずれかを選択します。

出力モード時は、ポート 8 コントロールレジスタ 0, 1 (P8CON0, P8CON1) を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モードのいずれかを選択します。

入力モード時は、ポート 8 コントロールレジスタ 0, 1 (P8CON0, P8CON1) を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。

システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。

出力モード時には、ポート 8 データレジスタ (P8D) に設定した値により、ポート 8 各端子に“L”レベルもしくは“H”レベルが出力されます。

入力モード時には、ポート 8 データレジスタ (P8D) を用いてポート 8 各端子の入力レベルが読み出されます。

8.3.2 2 次機能, 3 次機能

ポート 8 には、2 次機能, 3 次機能として、I²C 通信用端子 (SDA, SCL), 同期式シリアルポート通信用端子 (SIN0, SCK0, SOUT0, および SIN1, SCK1, SOUT1), UART 通信用端子 (RXD0, TXD0, および RXD1, TXD1) が割り付けられています。ポート 8 モードレジスタ (P8MOD0, P8MOD1) の P87MD0 ~ P80MD0, P87MD1 ~ P80MD1 ビットを設定することで、各 2 次機能モード 3 次機能モードとして使用できます。

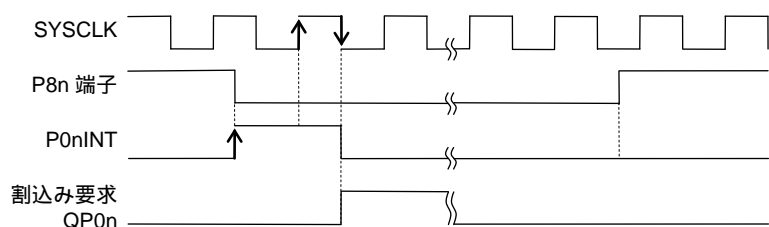
8.3.3 外部割込み

ポート 8 の各端子 (P80 ~ P87) は P80 ~ P87 割込み (P00INT ~ P07INT) として使用できます。P80 ~ P87 割込みはマスクブルで割込みの禁止 / 許可が選択できます。割込みについては「第 13 章 割込み」を参照してください。

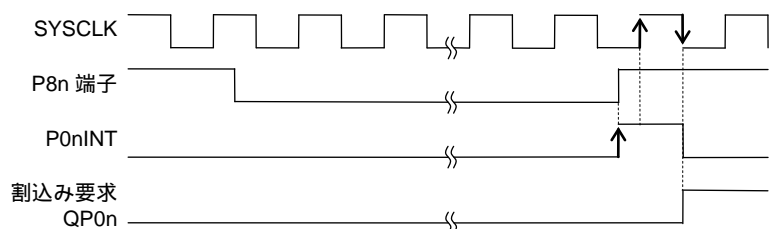
8.3.4 割込み要求

ポート 8 の各端子に、外部割込みコントロールレジスタ 0, 1, 2 (P8ICON0, P8ICON1, P8ICON2) で選択した割込みエッジが発生すると、マスカブルの P80 ~ P87 割込み (P00INT ~ P07INT) が発生します。

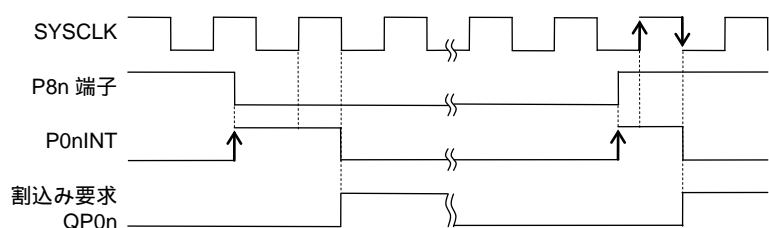
図 8-2 に、サンプリング無しの上立ち上がりエッジ、立ち下がりエッジ、両エッジ、およびサンプリング有りの立ち上がりエッジ時の P80 ~ P87 割込み発生タイミングを示します。



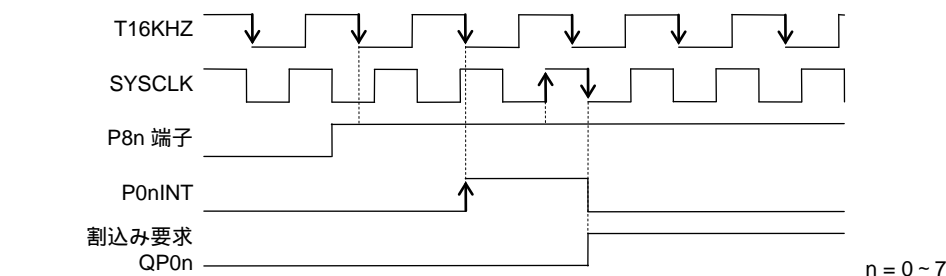
(a) サンプリング無し、立ち下がりエッジ割込み選択時



(b) サンプリング無し、立ち上がりエッジ割込み選択時



(c) サンプリング無し、両エッジ割込み選択時



(d) サンプリング有り、立ち上がりエッジ割込み選択時

図 8-2 P80 ~ P87 割込みの発生タイミング

* サンプリング有り、立ち上がりエッジ割込み選択時、T16KHz の立下りエッジで P8n 端子の入力レベルを確認し、2 回連続“H”であれば割込み条件が成立し、T16KHz の 2 回目の立下りエッジ後の SYSCLK 立下りエッジのタイミングで割込み要求が発生します。

第 9 章 ポート 9

9 ポート9

9.1 概要

本 LSI は、最大 7 ビットの入出力ポートのポート9 (P90 ~ P96)^(*)を内蔵しています。

^(*): ML610Q327 は、3 ビットの入出力ポート (P90 ~ P92) を内蔵しています。

ML610Q338 は、4 ビットの入出力ポート (P90 ~ P93) を内蔵しています。

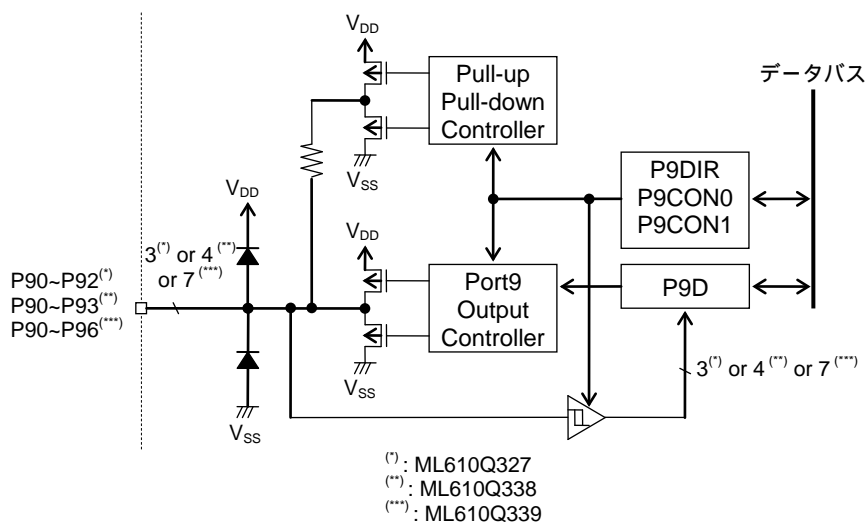
ML610Q339 は、7 ビットの入出力ポート (P90 ~ P96) を内蔵しています。

9.1.1 特長

- ・ 出力モード時、ビット毎に、ハインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- ・ 入力モード時、ビット毎に、ハインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択可能。

9.1.2 構成

図 9 - 1 に、ポート9の構成を示します。



P9D : ポート9 データレジスタ
 P9DIR : ポート9 ディレクションレジスタ
 P9CON0 : ポート9 コントロールレジスタ 0
 P9CON1 : ポート9 コントロールレジスタ 1

図 9 - 1 ポート9の構成

9.1.3 端子一覧

端子名 ^(*)	入出力	1 次機能	2 次機能	3 次機能
P90	I/O	入出力ポート	-	-
P91	I/O	入出力ポート	-	-
P92	I/O	入出力ポート	-	-
P93	I/O	入出力ポート	-	-
P94	I/O	入出力ポート	-	-
P95	I/O	入出力ポート	-	-
P96	I/O	入出力ポート	-	-

^(*): ML610Q327 は , 3 ビットの入出力ポート (P90 ~ P92) を内蔵しています。
ML610Q338 は , 4 ビットの入出力ポート (P90 ~ P93) を内蔵しています。
ML610Q339 は , 7 ビットの入出力ポート (P90 ~ P96) を内蔵しています。

9.2 レジスタ説明

9.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F248H	ポート 9 データレジスタ	P9D	-	R/W	8	00H
0F249H	ポート 9 ディレクションレジスタ	P9DIR	-	R/W	8	00H
0F24AH	ポート 9 コントロールレジスタ 0	P9CON0	P9CON	R/W	8/16	00H
0F24BH	ポート 9 コントロールレジスタ 1	P9CON1		R/W	8	00H

9.2.2 ポート 9 データレジスタ (P9D)

アドレス: 0F248H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P9D(*)	-	P96D	P95D	P94D	P93D	P92D	P91D	P90D
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P9D は、ポート 9 端子への出力値を設定またはポート 9 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。
出力モード時には、本レジスタの値がポート 9 端子へ出力されます。P9D に書き込んだ値は読み出し可能です。
入力モード時には、P9D を読み出すとポート 9 端子の入力レベルが読み出されます。入力モード時に P9D への書き込みも可能です。書き込み値は端子レベルに影響を与えません。
出力モードと入力モードは後述のポート 9 ディレクションレジスタ (P9DIR) にて選択します。

ビットの説明

- ・ **P96D ~ P90D** (ビット 6 ~ 0) (*)
P96D ~ P90D は、出力モード時はポート 9 端子の出力値を設定するビットで、入力モード時はポート 9 の端子レベルを読み出すビットです。

P90D	説明
0	P90 端子の出力または入力レベルが“L”レベル
1	P90 端子の出力または入力レベルが“H”レベル

P91D	説明
0	P91 端子の出力または入力レベルが“L”レベル
1	P91 端子の出力または入力レベルが“H”レベル

P92D	説明
0	P92 端子の出力または入力レベルが“L”レベル
1	P92 端子の出力または入力レベルが“H”レベル

P93D	説明
0	P93 端子の出力または入力レベルが“L”レベル
1	P93 端子の出力または入力レベルが“H”レベル

P94D	説明
0	P94 端子の出力または入力レベルが“L”レベル
1	P94 端子の出力または入力レベルが“H”レベル

P95D	説明
0	P95 端子の出力または入力レベルが“L”レベル
1	P95 端子の出力または入力レベルが“H”レベル

P96D	説明
0	P96 端子の出力または入力レベルが“L”レベル
1	P96 端子の出力または入力レベルが“H”レベル

【注意】
ビット操作命令を用いて P9D のビットに値を設定する場合、P9D 内の対象ビット以外のビットが入力モードに設定されていると、端子の入力レベルが読み出され、その値が P9D に書き込まれます。このため、入力モードから出力モードに切り替える場合には、P9D に出力値を設定した後にポート 9 ディレクションレジスタ (P9DIR) で出力モードに切り替えてください。

(*) ML610Q327 は、3 ビットの P90D~P92D を搭載しています。
ML610Q338 は、4 ビットの P90D~P93D を搭載しています。
ML610Q339 は、7 ビットの P90D~P96D を搭載しています。

9.2.3 ポート 9 ディレクションレジスタ (P9DIR)

アドレス: 0F249H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
P9DIR ^(*)	-	P96DIR	P95DIR	P94DIR	P93DIR	P92DIR	P91DIR	P90DIR
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P9DIR は、ポート 9 の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P96DIR ~ P90DIR** (ビット 6 ~ 0)^(*)
P96DIR ~ P90DIR は、ポート 9 端子の入出力モードを選択するビットです。

P90DIR	説明
0	P90 端子は出力 (初期値)
1	P90 端子は入力

P91DIR	説明
0	P91 端子は出力 (初期値)
1	P91 端子は入力

P92DIR	説明
0	P92 端子は出力 (初期値)
1	P92 端子は入力

P93DIR	説明
0	P93 端子は出力 (初期値)
1	P93 端子は入力

P94DIR	説明
0	P94 端子は出力 (初期値)
1	P94 端子は入力

P95DIR	説明
0	P95 端子は出力 (初期値)
1	P95 端子は入力

P96DIR	説明
0	P96 端子は出力 (初期値)
1	P96 端子は入力

^(*): ML610Q327 は、3 ビットの P90DIR~P92DIR を搭載しています。
ML610Q338 は、4 ビットの P90DIR~P93DIR を搭載しています。
ML610Q339 は、7 ビットの P90DIR~P96DIR を搭載しています。

9.2.4 ポート9 コントロールレジスタ 0, 1 (P9CON0, P9CON1)

アドレス: 0F24AH

アクセス: R/W

アクセスサイズ: 8/16 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
P9CON0 ^(*)	-	P96C0	P95C0	P94C0	P93C0	P92C0	P91C0	P90C0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F24BH

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
P9CON1 ^(*)	-	P96C1	P95C1	P94C1	P93C1	P92C1	P91C1	P90C1
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

P9CON0, P9CON1 は、ポート9 端子の出力状態を選択する特殊機能レジスタ(SFR)です。各状態は出力モード時と入力モード時で異なります。出力と入力には P9DIR レジスタで選択します。

ビットの説明

- ・ **P96C1 ~ P90C1, P96C0 ~ P90C0** (ビット 6 ~ 0)^(*)

P96C1 ~ P90C1, P96C0 ~ P90C0 は、出力モード時にはハイインピーダンス出力^(**), Pch オープンドレイン出力, Nch オープンドレイン出力, および CMOS 出力を、入力モード時にはハイインピーダンス入力, プルダウン抵抗付き入力, プルアップ抵抗付き入力を選択するビットです。

^(*) ハイインピーダンス出力とは“H”レベル出力と“L”レベル出力の両方がオフになっている状態です。

P90 端子の設定		出力モード選択時 (P90DIR ビット=“0”)	入力モード選択時 (P90DIR ビット=“1”)
P90C1	P90C0	説明	
0	0	P90 端子はハイインピーダンス出力 (初期値)	P90 端子はハイインピーダンス入力
0	1	P90 端子は Pch オープンドレイン出力	P90 端子はプルダウン抵抗付き入力
1	0	P90 端子は Nch オープンドレイン出力	P90 端子はプルアップ抵抗付き入力
1	1	P90 端子は CMOS 出力	P90 端子はハイインピーダンス入力

P91 端子の設定		出力モード選択時 (P91DIR ビット=“0”)	入力モード選択時 (P91DIR ビット=“1”)
P91C1	P91C0	説明	
0	0	P91 端子はハイインピーダンス出力 (初期値)	P91 は端子ハイインピーダンス入力
0	1	P91 端子は Pch オープンドレイン出力	P91 は端子プルダウン抵抗付き入力
1	0	P91 端子は Nch オープンドレイン出力	P91 は端子プルアップ抵抗付き入力
1	1	P91 端子は CMOS 出力	P91 は端子ハイインピーダンス入力

P92 端子の設定		出力モード選択時 (P92DIR ビット=“0”)	入力モード選択時 (P92DIR ビット=“1”)
P92C1	P92C0	説明	
0	0	P92 端子はハイインピーダンス出力 (初期値)	P92 端子はハイインピーダンス入力
0	1	P92 端子は Pch オープンドレイン出力	P92 端子はプルダウン抵抗付き入力
1	0	P92 端子は Nch オープンドレイン出力	P92 端子はプルアップ抵抗付き入力
1	1	P92 端子は CMOS 出力	P92 端子はハイインピーダンス入力

P93 端子の設定		出力モード選択時 (P93DIR ビット="0")	入力モード選択時 (P93DIR ビット="1")
P93C1	P93C0	説明	
0	0	P93 端子はハイインピーダンス出力 (初期値)	P93 端子はハイインピーダンス入力
0	1	P93 端子は Pch オープンドレイン出力	P93 端子はプルダウン抵抗付き入力
1	0	P93 端子は Nch オープンドレイン出力	P93 端子はプルアップ抵抗付き入力
1	1	P93 端子は CMOS 出力	P93 端子はハイインピーダンス入力

P94 端子の設定		出力モード選択時 (P94DIR ビット="0")	入力モード選択時 (P94DIR ビット="1")
P94C1	P94C0	説明	
0	0	P94 端子はハイインピーダンス出力 (初期値)	P94 は端子ハイインピーダンス入力
0	1	P94 端子は Pch オープンドレイン出力	P94 は端子プルダウン抵抗付き入力
1	0	P94 端子は Nch オープンドレイン出力	P94 は端子プルアップ抵抗付き入力
1	1	P94 端子は CMOS 出力	P94 は端子ハイインピーダンス入力

P95 端子の設定		出力モード選択時 (P95DIR ビット="0")	入力モード選択時 (P95DIR ビット="1")
P95C1	P95C0	説明	
0	0	P95 端子はハイインピーダンス出力 (初期値)	P95 端子はハイインピーダンス入力
0	1	P95 端子は Pch オープンドレイン出力	P95 端子はプルダウン抵抗付き入力
1	0	P95 端子は Nch オープンドレイン出力	P95 端子はプルアップ抵抗付き入力
1	1	P95 端子は CMOS 出力	P95 端子はハイインピーダンス入力

P96 端子の設定		出力モード選択時 (P96DIR ビット="0")	入力モード選択時 (P96DIR ビット="1")
P96C1	P96C0	説明	
0	0	P96 端子はハイインピーダンス出力 (初期値)	P96 端子はハイインピーダンス入力
0	1	P96 端子は Pch オープンドレイン出力	P96 端子はプルダウン抵抗付き入力
1	0	P96 端子は Nch オープンドレイン出力	P96 端子はプルアップ抵抗付き入力
1	1	P96 端子は CMOS 出力	P96 端子はハイインピーダンス入力

(*) ML610Q327 は、3 ビットの P90C1~P92C1, P90C0~P92C0 を搭載しています。
 ML610Q338 は、4 ビットの P90C1~P93C1, P90C0~P93C0 を搭載しています。
 ML610Q339 は、7 ビットの P90C1~P96C1, P90C0~P96C0 を搭載しています。

9.3 動作説明

9.3.1 入出力ポート機能

ポート9の各端子は、ポート9ディレクションレジスタ(P9DIR)を設定して、出力と入力のいずれかを選択します。

出力モード時は、ポート9コントロールレジスタ0,1(P9CON0,P9CON1)を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、およびCMOS 出力モードのいずれかを選択します。

入力モード時は、ポート9コントロールレジスタ0,1(P9CON0,P9CON1)を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。

システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。

出力モード時には、ポート9データレジスタ(P9D)に設定した値により、ポート9各端子に“L”レベルもしくは“H”レベルが出力されます。

入力モード時には、ポート9データレジスタ(P9D)を用いて、ポート9各端子の入力レベルを読み出せます。

第 10 章 ポート A

10 ポート A

10.1 概要

本 LSI は、最大 8 ビットの入出力ポートのポート A (PA0 ~ PA7)^(*)を内蔵しています。

ポート A は 2 次機能として、同期式シリアルポート (SCK1, SIN1, SOUT1)、および PWM 出力 (PWM0) の機能が使用できます。

同期式シリアルポートについては、「第 18 章 同期式シリアルポート」を、PWM については、「第 16 章 PWM」を参照してください。

^(*): ML610Q327 は、4 ビットの入出力ポート (PA0 ~ PA3) を内蔵しています。

ML610Q338 は、5 ビットの入出力ポート (PA0 ~ PA4) を内蔵しています。

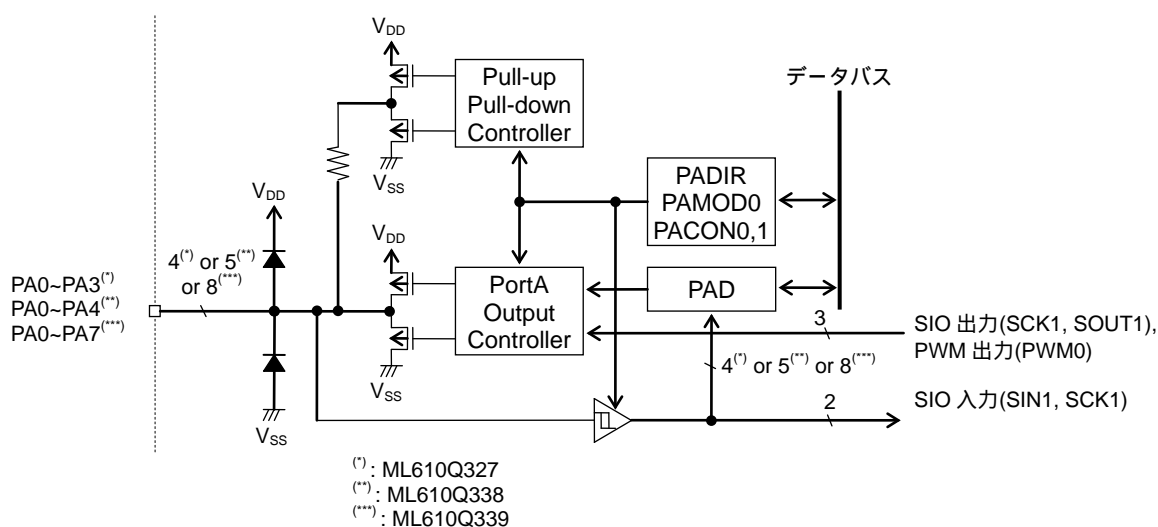
ML610Q339 は、8 ビットの入出力ポート (PA0 ~ PA7) を内蔵しています。

10.1.1 特長

- ・ 出力モード時、ビット毎に、ハインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- ・ 入力モード時、ビット毎に、ハインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択可能。
- ・ 2 次機能として、同期式シリアルポート用端子 (SIN1, SCK1, SOUT1)、PWM 出力 (PWM0) が使用可能。

10.1.2 構成

図 10 - 1 に、ポート A の構成を示します。



PAD : ポート A データレジスタ
 PADIR : ポート A ディレクションレジスタ
 PACON0 : ポート A コントロールレジスタ 0
 PACON1 : ポート A コントロールレジスタ 1
 PAMOD0 : ポート A モードレジスタ 0

図 10 - 1 ポート A の構成

10.1.3 端子一覧

端子名 ^(*)	入出力	1 次機能	2 次機能	3 次機能
PA0/SIN1	I/O	入出力ポート	SIO1 データ 入力端子	-
PA1/SCK1	I/O	入出力ポート	SIO1 クロック 入出力端子	-
PA2/SOUT1	I/O	入出力ポート	SIO1 データ 出力端子	-
PA3/PWM0	I/O	入出力ポート	PWM0 出力	-
PA4	I/O	入出力ポート	-	-
PA5	I/O	入出力ポート	-	-
PA6	I/O	入出力ポート	-	-
PA7	I/O	入出力ポート	-	-

^(*): ML610Q327 は、4 ビットの入出力ポート (PA0 ~ PA3) を内蔵しています。
ML610Q338 は、5 ビットの入出力ポート (PA0 ~ PA4) を内蔵しています。
ML610Q339 は、8 ビットの入出力ポート (PA0 ~ PA7) を内蔵しています。

10.2 レジスタ説明

10.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F250H	ポート A データレジスタ	PAD	-	R/W	8	00H
0F251H	ポート A ディレクションレジスタ	PADIR	-	R/W	8	00H
0F252H	ポート A コントロールレジスタ 0	PACON0	PACON	R/W	8/16	00H
0F253H	ポート A コントロールレジスタ 1	PACON1		R/W	8	00H
0F254H	ポート A モードレジスタ 0	PAMOD0	-	R/W	8	00H

10.2.2 ポート A データレジスタ (PAD)

アドレス: 0F250H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PAD ^(*)	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PAD は、ポート A 端子への出力値を設定またはポート A 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。

出力モード時には、本レジスタの値がポート A 端子へ出力されます。PAD に書き込んだ値は読み出し可能です。

入力モード時には、PAD を読み出すとポート A 端子の入力レベルが読み出されます。入力モード時に PAD への書き込みも可能です。書き込み値は端子レベルに影響を与えません。

出力モードと入力モードは後述のポート A ディレクションレジスタ (PADIR) にて選択します。

ビットの説明

- PA7D ~ PA0D (ビット 7 ~ 0)^(*)
PA7D ~ PA0D は、出力モード時はポート A 端子の出力値を設定するビットで、入力モード時はポート A の端子レベルを読み出すビットです。

PA0D	説明
0	PA0 端子の出力または入力レベルが“L”レベル
1	PA0 端子の出力または入力レベルが“H”レベル

PA1D	説明
0	PA1 端子の出力または入力レベルが“L”レベル
1	PA1 端子の出力または入力レベルが“H”レベル

PA2D	説明
0	PA2 端子の出力または入力レベルが“L”レベル
1	PA2 端子の出力または入力レベルが“H”レベル

PA3D	説明
0	PA3 端子の出力または入力レベルが“L”レベル
1	PA3 端子の出力または入力レベルが“H”レベル

PA4D	説明
0	PA4 端子の出力または入力レベルが“L”レベル
1	PA4 端子の出力または入力レベルが“H”レベル

PA5D	説明
0	PA5 端子の出力または入力レベルが“L”レベル
1	PA5 端子の出力または入力レベルが“H”レベル

PA6D	説明
0	PA6 端子の出力または入力レベルが“L”レベル
1	PA6 端子の出力または入力レベルが“H”レベル

PA7D	説明
0	PA7 端子の出力または入力レベルが“L”レベル
1	PA7 端子の出力または入力レベルが“H”レベル

【注意】
ビット操作命令を用いて PAD のビットに値を設定する場合、PAD 内の対象ビット以外のビットが入力モードに設定されていると、端子の入力レベルが読み出され、その値が PAD に書き込まれます。このため、入力モードから出力モードに切り替える場合には、PAD に出力値を設定した後にポート A ディレクションレジスタ(PADIR)で出力モードに切り替えてください。

(*) ML610Q327 は、4 ビットの PA0D ~ PA3D を搭載しています。
ML610Q338 は、5 ビットの PA0D ~ PA4D を搭載しています。
ML610Q339 は、8 ビットの PA0D ~ PA7D を搭載しています。

10.2.3 ポート A ディレクションレジスタ (PADIR)

アドレス: 0F251H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
PADIR ^(*)	PA7DIR	PA6DIR	PA5DIR	PA4DIR	PA3DIR	PA2DIR	PA1DIR	PA0DIR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PADIR は、ポート A の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- PA7DIR ~ PA0DIR (ビット 7 ~ 0)^(*)

PA7DIR ~ PA0DIR は、ポート A 端子の入出力モードを選択するビットです。

PA0DIR	説明
0	PA0 端子は出力 (初期値)
1	PA0 端子は入力

PA1DIR	説明
0	PA1 端子は出力 (初期値)
1	PA1 端子は入力

PA2DIR	説明
0	PA2 端子は出力 (初期値)
1	PA2 端子は入力

PA3DIR	説明
0	PA3 端子は出力 (初期値)
1	PA3 端子は入力

PA4DIR	説明
0	PA4 端子は出力 (初期値)
1	PA4 端子は入力

PA5DIR	説明
0	PA5 端子は出力 (初期値)
1	PA5 端子は入力

PA6DIR	説明
0	PA6 端子は出力 (初期値)
1	PA6 端子は入力

PA7DIR	説明
0	PA7 端子は出力 (初期値)
1	PA7 端子は入力

^(*): ML610Q327 は、4 ビットの PA0DIR ~ PA3DIR を搭載しています。
 ML610Q338 は、5 ビットの PA0DIR ~ PA4DIR を搭載しています。
 ML610Q339 は、8 ビットの PA0DIR ~ PA7DIR を搭載しています。

10.2.4 ポート A コントロールレジスタ 0, 1 (PACON0, PACON1)

アドレス: 0F252H

アクセス: R/W

アクセスサイズ: 8/16 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
PACON0 ^(*)	PA7C0	PA6C0	PA5C0	PA4C0	PA3C0	PA2C0	PA1C0	PA0C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F253H

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
PACON1 ^(*)	PA7C1	PA6C1	PA5C1	PA4C1	PA3C1	PA2C1	PA1C1	PA0C1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PACON0, PACON1 は、ポート A 端子の出力状態を選択する特殊機能レジスタ(SFR)です。各状態は出力モード時と入力モード時で異なります。出力と入力には PADIR レジスタで選択します。

ビットの説明

- PA7C1 ~ PA0C1, PA7C0 ~ PA0C0 (ビット 7 ~ 0)

PA7C1 ~ PA0C1, PA7C0 ~ PA0C0 は、出力モード時にはハイインピーダンス出力^(**), Pch オープンドレイン出力, Nch オープンドレイン出力, および CMOS 出力を、入力モード時にはハイインピーダンス入力, プルダウン抵抗付き入力, プルアップ抵抗付き入力を選択するビットです。

^(*) ハイインピーダンス出力とは“H”レベル出力と“L”レベル出力の両方がオフになっている状態です。

PA0 端子の設定		出力モード選択時 (PA0DIR ビット=“0”)	入力モード選択時 (PA0DIR ビット=“1”)
PA0C1	PA0C0	説明	
0	0	PA0 端子はハイインピーダンス出力 (初期値)	PA0 端子はハイインピーダンス入力
0	1	PA0 端子は Pch オープンドレイン出力	PA0 端子はプルダウン抵抗付き入力
1	0	PA0 端子は Nch オープンドレイン出力	PA0 端子はプルアップ抵抗付き入力
1	1	PA0 端子は CMOS 出力	PA0 端子はハイインピーダンス入力

PA1 端子の設定		出力モード選択時 (PA1DIR ビット=“0”)	入力モード選択時 (PA1DIR ビット=“1”)
PA1C1	PA1C0	説明	
0	0	PA1 端子はハイインピーダンス出力 (初期値)	PA1 端子はハイインピーダンス入力
0	1	PA1 端子は Pch オープンドレイン出力	PA1 端子はプルダウン抵抗付き入力
1	0	PA1 端子は Nch オープンドレイン出力	PA1 端子はプルアップ抵抗付き入力
1	1	PA1 端子は CMOS 出力	PA1 端子はハイインピーダンス入力

PA2 端子の設定		出力モード選択時 (PA2DIR ビット=“0”)	入力モード選択時 (PA2DIR ビット=“1”)
PA2C1	PA2C0	説明	
0	0	PA2 端子はハイインピーダンス出力 (初期値)	PA2 端子はハイインピーダンス入力
0	1	PA2 端子は Pch オープンドレイン出力	PA2 端子はプルダウン抵抗付き入力
1	0	PA2 端子は Nch オープンドレイン出力	PA2 端子はプルアップ抵抗付き入力
1	1	PA2 端子は CMOS 出力	PA2 端子はハイインピーダンス入力

PA3 端子の設定		出力モード選択時 (PA3DIR ビット="0")	入力モード選択時 (PA3DIR ビット="1")
PA3C1	PA3C0	説明	
0	0	PA3 端子はハイインピーダンス出力 (初期値)	PA3 端子はハイインピーダンス入力
0	1	PA3 端子は Pch オープンドレイン出力	PA3 端子はプルダウン抵抗付き入力
1	0	PA3 端子は Nch オープンドレイン出力	PA3 端子はプルアップ抵抗付き入力
1	1	PA3 端子は CMOS 出力	PA3 端子はハイインピーダンス入力

PA4 端子の設定		出力モード選択時 (PA4DIR ビット="0")	入力モード選択時 (PA4DIR ビット="1")
PA4C1	PA4C0	説明	
0	0	PA4 端子はハイインピーダンス出力 (初期値)	PA4 端子はハイインピーダンス入力
0	1	PA4 端子は Pch オープンドレイン出力	PA4 端子はプルダウン抵抗付き入力
1	0	PA4 端子は Nch オープンドレイン出力	PA4 端子はプルアップ抵抗付き入力
1	1	PA4 端子は CMOS 出力	PA4 端子はハイインピーダンス入力

PA5 端子の設定		出力モード選択時 (PA5DIR ビット="0")	入力モード選択時 (PA5DIR ビット="1")
PA5C1	PA5C0	説明	
0	0	PA5 端子はハイインピーダンス出力 (初期値)	PA5 端子はハイインピーダンス入力
0	1	PA5 端子は Pch オープンドレイン出力	PA5 端子はプルダウン抵抗付き入力
1	0	PA5 端子は Nch オープンドレイン出力	PA5 端子はプルアップ抵抗付き入力
1	1	PA5 端子は CMOS 出力	PA5 端子はハイインピーダンス入力

PA6 端子の設定		出力モード選択時 (PA6DIR ビット="0")	入力モード選択時 (PA6DIR ビット="1")
PA6C1	PA6C0	説明	
0	0	PA6 端子はハイインピーダンス出力 (初期値)	PA6 端子はハイインピーダンス入力
0	1	PA6 端子は Pch オープンドレイン出力	PA6 端子はプルダウン抵抗付き入力
1	0	PA6 端子は Nch オープンドレイン出力	PA6 端子はプルアップ抵抗付き入力
1	1	PA6 端子は CMOS 出力	PA6 端子はハイインピーダンス入力

PA7 端子の設定		出力モード選択時 (PA7DIR ビット="0")	入力モード選択時 (PA7DIR ビット="1")
PA7C1	PA7C0	説明	
0	0	PA7 端子はハイインピーダンス出力 (初期値)	PA7 端子はハイインピーダンス入力
0	1	PA7 端子は Pch オープンドレイン出力	PA7 端子はプルダウン抵抗付き入力
1	0	PA7 端子は Nch オープンドレイン出力	PA7 端子はプルアップ抵抗付き入力
1	1	PA7 端子は CMOS 出力	PA7 端子はハイインピーダンス入力

(*) ML610Q327 は、4 ビットの PA0C1~PA3C1, PA0C0~PA3C0 を搭載しています。
 ML610Q338 は、5 ビットの PA0C1~PA4C1, PA0C0~PA4C0 を搭載しています。
 ML610Q339 は、8 ビットの PA0C1~PA7C1, PA0C0~PA7C0 を搭載しています。

10.2.5 ポート A モードレジスタ 0(PAMOD0)

アドレス:0F254H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
PAMOD0	-	-	-	-	PA3MD0	PA2MD0	PA1MD0	PA0MD0
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PAMOD0 は、ポート A の 1 次機能, 2 次機能を選択する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **PA0MD0**(ビット 0)
PA0MD0 は、PA0 端子の 1 次機能, 2 次機能を選択するビットです。

PA0MD0	説明
0	汎用入出力モード(初期値)
1	SIO1 データ入力端子(SIN1)

- ・ **PA1MD0**(ビット 1)
PA1MD0 は、PA1 端子の 1 次機能, 2 次機能を選択するビットです。

PA1MD0	説明
0	汎用入出力モード(初期値)
1	SIO1 クロック入出力端子(SCK1)

- ・ **PA2MD0**(ビット 2)
PA2MD0 は、PA2 端子の 1 次機能, 2 次機能を選択するビットです。

PA2MD0	説明
0	汎用入出力モード(初期値)
1	SIO1 データ出力端子(SOUT1)

- ・ **PA3MD0**(ビット 3)
PA3MD0 は、PA3 端子の 1 次機能, 2 次機能を選択するビットです。

PA3MD0	説明
0	汎用入出力モード(初期値)
1	PWM0 出力(PWM0)

10.3 動作説明

10.3.1 入出力ポート機能

ポート A の各端子は、ポート A ディレクションレジスタ(PADIR)を設定して、出力と入力のいずれかを選択します。

出力モード時は、ポート A コントロールレジスタ 0, 1(PACON0, PACON1)を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モードのいずれかを選択します。

入力モード時は、ポート A コントロールレジスタ 0, 1(PACON0, PACON1)を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モードのいずれかを選択します。

システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。

出力モード時には、ポート A データレジスタ(PAD)に設定した値により、ポート A 各端子に“L”レベルもしくは“H”レベルが出力されます。

入力モード時には、ポート A データレジスタ(PAD)を用いて、ポート A 各端子の入力レベルを読み出せます。

10.3.2 2 次機能

ポート A には、2 次機能として同期式シリアルポート 1 用端子(SIN1, SCK1, SOUT1)、および PWM 出力(PWM0)が割り付けられています。ポート A モードレジスタ 0(PAMOD0)の PA3MD0 ~ PA0MD0 ビットを設定することで、各 2 次機能モードとして使用できます。

第 11 章 ポート B

11 ポート B

11.1 概要

本 LSI は、最大 7 ビットの入出力ポートのポート B (PB0 ~ PB6)^(*)を内蔵しています。
ポート B は 2 次機能として、I²C 通信用端子 (SDA, SCL)、および PWM 出力 (PWM1) の機能が使用できます。
I²C バス・インターフェースについては、「第 20 章 I²C バス・インターフェース (マスタ)」、「第 21 章 I²C バス・インターフェース (スレーブ)」を参照してください。PWM については、「第 16 章 PWM」を参照してください。

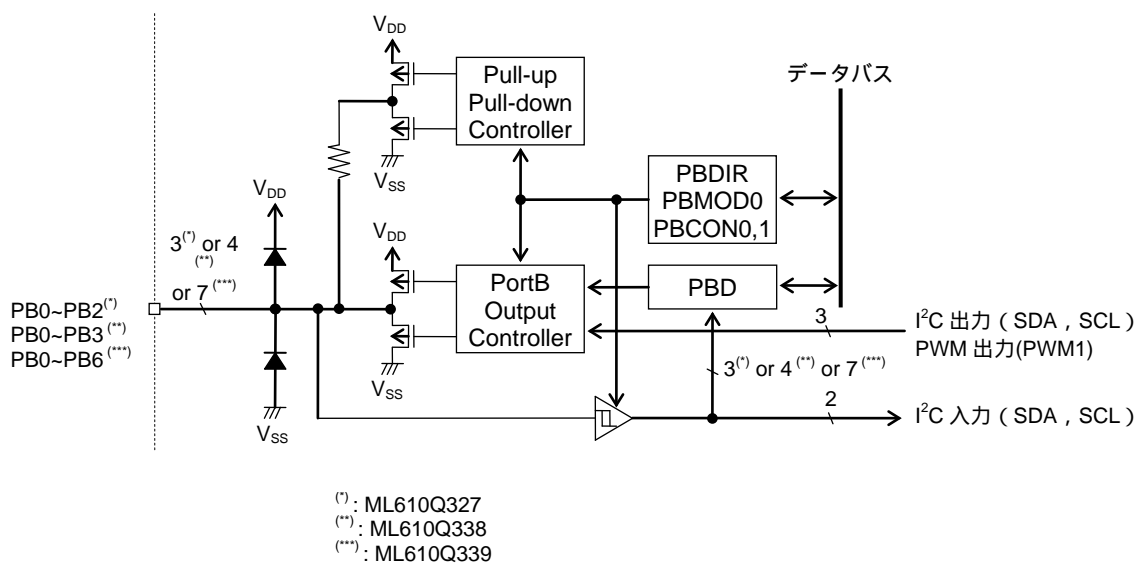
^(*): ML610Q327 は、3 ビットの入出力ポート (PB0 ~ PB2) を内蔵しています。
ML610Q338 は、4 ビットの入出力ポート (PB0 ~ PB3) を内蔵しています。
ML610Q339 は、7 ビットの入出力ポート (PB0 ~ PB6) を内蔵しています。

11.1.1 特長

- ・ 出力モード時、ビット毎に、ハイインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- ・ 入力モード時、ビット毎に、ハイインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択可能。
- ・ 2 次機能として、I²C 通信用端子 (SDA, SCL)、PWM 出力 (PWM1) が使用可能。

11.1.2 構成

図 11 - 1 に、ポート B の構成を示します。



PBD : ポート B データレジスタ
PBDIR : ポート B ディレクションレジスタ
PBCON0 : ポート B コントロールレジスタ 0
PBCON1 : ポート B コントロールレジスタ 1
PBMOD0 : ポート B モードレジスタ 0

図 11 - 1 ポート B の構成

11.1.3 端子一覧

端子名 ^(*)	入出力	1 次機能	2 次機能	3 次機能
PB0/SDA	I/O	入出力ポート	I ² C データ入出力 (SDA)	-
PB1/SCL	I/O	入出力ポート	I ² C クロック入出力 (SCL)	-
PB2/PWM1	I/O	入出力ポート	PWM1 出力	-
PB3	I/O	入出力ポート	-	-
PB4	I/O	入出力ポート	-	-
PB5	I/O	入出力ポート	-	-
PB6	I/O	入出力ポート	-	-

^(*): ML610Q327 は、3 ビットの入出力ポート (PB0 ~ PB2) を内蔵しています。
ML610Q338 は、4 ビットの入出力ポート (PB0 ~ PB3) を内蔵しています。
ML610Q339 は、7 ビットの入出力ポート (PB0 ~ PB6) を内蔵しています。

11.2 レジスタ説明

11.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F258H	ポート B データレジスタ	PBD	-	R/W	8	00H
0F259H	ポート B ディレクションレジスタ	PBDIR	-	R/W	8	00H
0F25AH	ポート B コントロールレジスタ 0	PBCON0	PBCON	R/W	8/16	00H
0F25BH	ポート B コントロールレジスタ 1	PBCON1		R/W	8	00H
0F25CH	ポート B モードレジスタ 0	PBMOD0	-	R/W	8	00H

11.2.2 ポート B データレジスタ (PBD)

アドレス: 0F258H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
PBD ^(*)	-	PB6D	PB5D	PB4D	PB3D	PB2D	PB1D	PB0D
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PBD は、ポート B 端子への出力値を設定またはポート B 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。

出力モード時には、本レジスタの値がポート B 端子へ出力されます。PBD に書き込んだ値は読み出し可能です。

入力モード時には、PBD を読み出すとポート B 端子の入力レベルが読み出されます。入力モード時に PBD への書き込みも可能です。書き込み値は端子レベルに影響を与えません。

出力モードと入力モードは後述のポート B ディレクションレジスタ (PBDIR) にて選択します。

ビットの説明

- ・ **PB6D ~ PB0D** (ビット 6 ~ 0) ^(*)

PB6D ~ PB0D は、出力モード時はポート B 端子の出力値を設定するビットで、入力モード時はポート B の端子レベルを読み出すビットです。

PB0D	説明
0	PB0 端子の出力または入力レベルが“L”レベル
1	PB0 端子の出力または入力レベルが“H”レベル

PB1D	説明
0	PB1 端子の出力または入力レベルが“L”レベル
1	PB1 端子の出力または入力レベルが“H”レベル

PB2D	説明
0	PB2 端子の出力または入力レベルが“L”レベル
1	PB2 端子の出力または入力レベルが“H”レベル

PB3D	説明
0	PB3 端子の出力または入力レベルが“L”レベル
1	PB3 端子の出力または入力レベルが“H”レベル

PB4D	説明
0	PB4 端子の出力または入力レベルが“L”レベル
1	PB4 端子の出力または入力レベルが“H”レベル

PB5D	説明
0	PB5 端子の出力または入力レベルが“L”レベル
1	PB5 端子の出力または入力レベルが“H”レベル

PB6D	説明
0	PB6 端子の出力または入力レベルが“L”レベル
1	PB6 端子の出力または入力レベルが“H”レベル

【注意】

ビット操作命令を用いて PBD のビットに値を設定する場合、PBD 内の対象ビット以外のビットが入力モードに設定されていると、端子の入力レベルが読み出され、その値が PBD に書き込まれます。このため、入力モードから出力モードに切り替える場合には、PBD に出力値を設定した後にポート B ディレクションレジスタ(PBDIR)で出力モードに切り替えてください。

- (*) ML610Q327 は、3 ビットの PB0D~PB2D を搭載しています。
ML610Q338 は、4 ビットの PB0D~PB3D を搭載しています。
ML610Q339 は、7 ビットの PB0D~PB6D を搭載しています。

11.2.3 ポート B ディレクションレジスタ (PBDIR)

アドレス: 0F259H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
PBDIR ^(*)	-	PB6DIR	PB5DIR	PB4DIR	PB3DIR	PB2DIR	PB1DIR	PB0DIR
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PBDIR は、ポート B の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **PB6DIR ~ PB0DIR** (ビット 6 ~ 0)^(*)
 PB6DIR ~ PB0DIR は、ポート B 端子の入出力モードを選択するビットです。

PB0DIR	説明
0	PB0 端子は出力 (初期値)
1	PB0 端子は入力

PB1DIR	説明
0	PB1 端子は出力 (初期値)
1	PB1 端子は入力

PB2DIR	説明
0	PB2 端子は出力 (初期値)
1	PB2 端子は入力

PB3DIR	説明
0	PB3 端子は出力 (初期値)
1	PB3 端子は入力

PB4DIR	説明
0	PB4 端子は出力 (初期値)
1	PB4 端子は入力

PB5DIR	説明
0	PB5 端子は出力 (初期値)
1	PB5 端子は入力

PB6DIR	説明
0	PB6 端子は出力 (初期値)
1	PB6 端子は入力

^(*): ML610Q327 は、3 ビットの PB0DIR~PB2DIR を搭載しています。
 ML610Q338 は、4 ビットの PB0DIR~PB3DIR を搭載しています。
 ML610Q339 は、7 ビットの PB0DIR~PB6DIR を搭載しています。

11.2.4 ポート B コントロールレジスタ 0, 1 (PBCON0, PBCON1)

アドレス: 0F25AH

アクセス: R/W

アクセスサイズ: 8/16 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
PBCON0 ^(*)	-	PB6C0	PB5C0	PB4C0	PB3C0	PB2C0	PB1C0	PB0C0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F25BH

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
PBCON1 ^(*)	-	PB6C1	PB5C1	PB4C1	PB3C1	PB2C1	PB1C1	PB0C1
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PBCON0, PBCON1 は、ポート B 端子の出力状態を選択する特殊機能レジスタ(SFR)です。各状態は出力モード時と入力モード時で異なります。出力と入力とは PBDIR レジスタで選択します。

ビットの説明

- ・ **PB6C1 ~ PB0C1, PB6C0 ~ PB0C0** (ビット 6 ~ 0)^(*)

PB6C1 ~ PB0C1, PB6C0 ~ PB0C0 は、出力モード時にはハイインピーダンス出力^(**), Pch オープンドレイン出力, Nch オープンドレイン出力, および CMOS 出力を、入力モード時にはハイインピーダンス入力, プルダウン抵抗付き入力, プルアップ抵抗付き入力を選択するビットです。

^(*) ハイインピーダンス出力とは“H”レベル出力と“L”レベル出力の両方がオフになっている状態です。

PB0 端子の設定		出力モード選択時 (PB0DIR ビット=“0”)	入力モード選択時 (PB0DIR ビット=“1”)
PB0C1	PB0C0	説明	
0	0	PB0 端子はハイインピーダンス出力 (初期値)	PB0 端子はハイインピーダンス入力
0	1	PB0 端子は Pch オープンドレイン出力	PB0 端子はプルダウン抵抗付き入力
1	0	PB0 端子は Nch オープンドレイン出力	PB0 端子はプルアップ抵抗付き入力
1	1	PB0 端子は CMOS 出力	PB0 端子はハイインピーダンス入力

PB1 端子の設定		出力モード選択時 (PB1DIR ビット=“0”)	入力モード選択時 (PB1DIR ビット=“1”)
PB1C1	PB1C0	説明	
0	0	PB1 端子はハイインピーダンス出力 (初期値)	PB1 端子はハイインピーダンス入力
0	1	PB1 端子は Pch オープンドレイン出力	PB1 端子はプルダウン抵抗付き入力
1	0	PB1 端子は Nch オープンドレイン出力	PB1 端子はプルアップ抵抗付き入力
1	1	PB1 端子は CMOS 出力	PB1 端子はハイインピーダンス入力

PB2 端子の設定		出力モード選択時 (PB2DIR ビット=“0”)	入力モード選択時 (PB2DIR ビット=“1”)
PB2C1	PB2C0	説明	
0	0	PB2 端子はハイインピーダンス出力 (初期値)	PB2 端子はハイインピーダンス入力
0	1	PB2 端子は Pch オープンドレイン出力	PB2 端子はプルダウン抵抗付き入力
1	0	PB2 端子は Nch オープンドレイン出力	PB2 端子はプルアップ抵抗付き入力
1	1	PB2 端子は CMOS 出力	PB2 端子はハイインピーダンス入力

PB3 端子の設定		出力モード選択時 (PB3DIR ビット="0")	入力モード選択時 (PB3DIR ビット="1")
PB3C1	PB3C0	説明	
0	0	PB3 端子はハイインピーダンス出力 (初期値)	PB3 端子はハイインピーダンス入力
0	1	PB3 端子は Pch オープンドレイン出力	PB3 端子はプルダウン抵抗付き入力
1	0	PB3 端子は Nch オープンドレイン出力	PB3 端子はプルアップ抵抗付き入力
1	1	PB3 端子は CMOS 出力	PB3 端子はハイインピーダンス入力

PB4 端子の設定		出力モード選択時 (PB4DIR ビット="0")	入力モード選択時 (PB4DIR ビット="1")
PB4C1	PB4C0	説明	
0	0	PB4 端子はハイインピーダンス出力 (初期値)	PB4 端子はハイインピーダンス入力
0	1	PB4 端子は Pch オープンドレイン出力	PB4 端子はプルダウン抵抗付き入力
1	0	PB4 端子は Nch オープンドレイン出力	PB4 端子はプルアップ抵抗付き入力
1	1	PB4 端子は CMOS 出力	PB4 端子はハイインピーダンス入力

PB5 端子の設定		出力モード選択時 (PB5DIR ビット="0")	入力モード選択時 (PB5DIR ビット="1")
PB5C1	PB5C0	説明	
0	0	PB5 端子はハイインピーダンス出力 (初期値)	PB5 端子はハイインピーダンス入力
0	1	PB5 端子は Pch オープンドレイン出力	PB5 端子はプルダウン抵抗付き入力
1	0	PB5 端子は Nch オープンドレイン出力	PB5 端子はプルアップ抵抗付き入力
1	1	PB5 端子は CMOS 出力	PB5 端子はハイインピーダンス入力

PB6 端子の設定		出力モード選択時 (PB6DIR ビット="0")	入力モード選択時 (PB6DIR ビット="1")
PB6C1	PB6C0	説明	
0	0	PB6 端子はハイインピーダンス出力 (初期値)	PB6 端子はハイインピーダンス入力
0	1	PB6 端子は Pch オープンドレイン出力	PB6 端子はプルダウン抵抗付き入力
1	0	PB6 端子は Nch オープンドレイン出力	PB6 端子はプルアップ抵抗付き入力
1	1	PB6 端子は CMOS 出力	PB6 端子はハイインピーダンス入力

(*) ML610Q327 は、3 ビットの PB0C1~PB2C1, PB0C0~PB2C0 を搭載しています。
 ML610Q338 は、4 ビットの PB0C1~PB3C1, PB0C0~PB3C0 を搭載しています。
 ML610Q339 は、7 ビットの PB0C1~PB6C1, PB0C0~PB6C0 を搭載しています。

11.2.5 ポート B モードレジスタ 0(PBMOD0)

アドレス:0F25CH
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
PBMOD0	-	-	-	-	-	PB2MD0	PB1MD0	PB0MD0
R/W	-	-	-	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PBMOD0 は、ポート B の 1 次機能, 2 次機能を選択する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **PB0MD0**(ビット 0)
PB0MD0 は、PB0 端子の 1 次機能, 2 次機能を選択するビットです。

PB0MD0	説明
0	汎用入出力モード(初期値)
1	I ² C 用データ入出力端子(SDA)

- ・ **PB1MD0**(ビット 1)
PB1MD0 は、PB1 端子の 1 次機能, 2 次機能を選択するビットです。

PB1MD0	説明
0	汎用入出力モード(初期値)
1	I ² C 用クロック入出力端子(SCL)

- ・ **PB2MD0**(ビット 2)
PB2MD0 は、PB2 端子の 1 次機能, 2 次機能を選択するビットです。

PB2MD0	説明
0	汎用入出力モード(初期値)
1	PWM1 出力(PWM1)

11.3 動作説明

11.3.1 入出力ポート機能

ポート B の各端子は、ポート B ディレクションレジスタ (PBDIR) を設定して、出力と入力 of のいずれかを選択します。

出力モード時は、ポート B コントロールレジスタ 0, 1 (PBCON0, PBCON1) を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モード of のいずれかを選択します。

入力モード時は、ポート B コントロールレジスタ 0, 1 (PBCON0, PBCON1) を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モード of のいずれかを選択します。

システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。

出力モード時には、ポート B データレジスタ (PBD) に設定した値により、ポート B 各端子に“L”レベルもしくは“H”レベルが出力されます。

入力モード時には、ポート B データレジスタ (PBD) を用いて、ポート B 各端子の入力レベルを読み出せます。

11.3.2 2 次機能

ポート B には、2 次機能として I²C 通信用端子 (SDA, SCL)、および PWM 出力 (PWM1) が割り付けられています。ポート B モードレジスタ 0 (PBMOD0) の PB2MD0 ~ PB0MD0 ビットを設定することで、各 2 次機能モードとして使用できます。

第 12 章 ポート C

12 ポート C

12.1 概要

本 LSI は、最大 4 ビットの入出力ポートのポート C (PC0 ~ PC3)^(*)を内蔵しています。

(*) : ML610Q327 は、内蔵していません。

ML610Q338 は、1 ビットの入出力ポート (PC0) を内蔵しています。

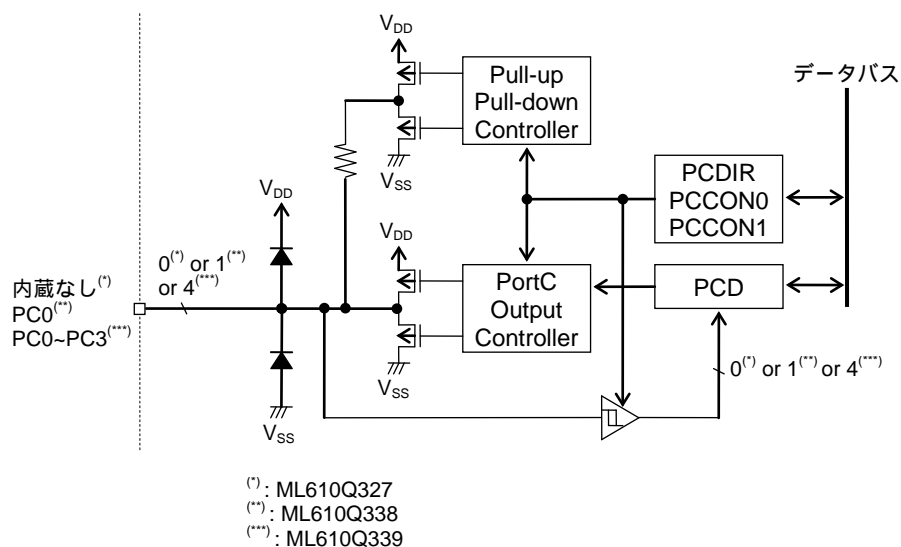
ML610Q339 は、4 ビットの入出力ポート (PC0 ~ PC3) を内蔵しています。

12.1.1 特長

- ・ 出力モード時、ビット毎に、ハインピーダンス出力、Pch オープンドレイン出力、Nch オープンドレイン出力、および CMOS 出力が選択可能。
- ・ 入力モード時、ビット毎に、ハインピーダンス入力、プルダウン抵抗付き入力、プルアップ抵抗付き入力を選択可能。

12.1.2 構成

図 12 - 1 に、ポート C の構成を示します。



PCD : ポート C データレジスタ
PCDIR : ポート C ディレクションレジスタ
PCCON0 : ポート C コントロールレジスタ 0
PCCON1 : ポート C コントロールレジスタ 1

図 12 - 1 ポート C の構成

12.1.3 端子一覧

端子名 ^(*)	入出力	1 次機能	2 次機能	3 次機能
PC0	I/O	入出力ポート	-	-
PC1	I/O	入出力ポート	-	-
PC2	I/O	入出力ポート	-	-
PC3	I/O	入出力ポート	-	-

^(*): ML610Q327 は、内蔵していません。
ML610Q338 は、1 ビットの入出力ポート(PC0)を内蔵しています。
ML610Q339 は、4 ビットの入出力ポート(PC0～PC3)を内蔵しています。

12.2 レジスタ説明

12.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F260H	ポート C データレジスタ	PCD	-	R/W	8	00H
0F261H	ポート C ディレクションレジスタ	PCDIR	-	R/W	8	00H
0F262H	ポート C コントロールレジスタ 0	PCCON0	PCCON	R/W	8/16	00H
0F263H	ポート C コントロールレジスタ 1	PCCON1		R/W	8	00H

12.2.2 ポート C データレジスタ (PCD)

アドレス: 0F260H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
PCD ^(*)	-	-	-	-	PC3D	PC2D	PC1D	PC0D
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PCD は、ポート C 端子への出力値を設定またはポート C 端子の入力レベルを読み出すための特殊機能レジスタ (SFR) です。

出力モード時には、本レジスタの値がポート C 端子へ出力されます。PCD に書き込んだ値は読み出し可能です。

入力モード時には、PCD を読み出すとポート C 端子の入力レベルが読み出されます。入力モード時に PCD への書き込みも可能です。書き込み値は端子レベルに影響を与えません。

出力モードと入力モードは後述のポート C ディレクションレジスタ (PCDIR) にて選択します。

ビットの説明

- ・ **PC3D ~ PC0D** (ビット 3 ~ 0)^(*)

PC3D ~ PC0D は、出力モード時はポート C 端子の出力値を設定するビットで、入力モード時はポート C の端子レベルを読み出すビットです。

PC0D	説明
0	PC0 端子の出力または入力レベルが“L”レベル
1	PC0 端子の出力または入力レベルが“H”レベル

PC1D	説明
0	PC1 端子の出力または入力レベルが“L”レベル
1	PC1 端子の出力または入力レベルが“H”レベル

PC2D	説明
0	PC2 端子の出力または入力レベルが“L”レベル
1	PC2 端子の出力または入力レベルが“H”レベル

PC3D	説明
0	PC3 端子の出力または入力レベルが“L”レベル
1	PC3 端子の出力または入力レベルが“H”レベル

【注意】

ビット操作命令を用いて PCD のビットに値を設定する場合、PCD 内の対象ビット以外のビットが入力モードに設定されていると、端子の入力レベルが読み出され、その値が PCD に書き込まれます。このため、入力モードから出力モードに切り替える場合には、PCD に出力値を設定した後にポート C ディレクションレジスタ (PCDIR) で出力モードに切り替えてください。

^(*): ML610Q327 は、搭載していません。

ML610Q338 は、1 ビットの PC0D を搭載しています。

ML610Q339 は、4 ビットの PC0D~PC3D を搭載しています。

12.2.3 ポート C ディレクションレジスタ (PCDIR)

アドレス: 0F261H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PCDIR ^(*)	-	-	-	-	PC3DIR	PC2DIR	PC1DIR	PC0DIR
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PCDIR は、ポート C の入出力モードを選択する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **PC3DIR ~ PC0DIR** (ビット 3 ~ 0)^(*)
PC3DIR ~ PC0DIR は、ポート C 端子の入出力モードを選択するビットです。

PC0DIR	説明
0	PC0 端子は出力 (初期値)
1	PC0 端子は入力

PC1DIR	説明
0	PC1 端子は出力 (初期値)
1	PC1 端子は入力

PC2DIR	説明
0	PC2 端子は出力 (初期値)
1	PC2 端子は入力

PC3DIR	説明
0	PC3 端子は出力 (初期値)
1	PC3 端子は入力

^(*): ML610Q327 は、搭載していません。
ML610Q338 は、1 ビットの PC0DIR を搭載しています。
ML610Q339 は、4 ビットの PC0DIR~PC3DIR を搭載しています。

12.2.4 ポート C コントロールレジスタ 0, 1 (PCCON0, PCCON1)

アドレス: 0F262H

アクセス: R/W

アクセスサイズ: 8/16 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
PCCON0 ^(*)	-	-	-	-	PC3C0	PC2C0	PC1C0	PC0C0
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F263H

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
PCCON1 ^(*)	-	-	-	-	PC3C1	PC2C1	PC1C1	PC0C1
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PCCON0, PCCON1 は、ポート C 端子の出力状態を選択する特殊機能レジスタ(SFR)です。各状態は出力モード時と入力モード時で異なります。出力と入力 PCDIR レジスタで選択します。

ビットの説明

- ・ **PC3C1 ~ PC0C1, PC3C0 ~ PC0C0** (ビット 3 ~ 0)^(*)

PC3C1 ~ PC0C1, PC3C0 ~ PC0C0 は、出力モード時にはハイインピーダンス出力^(**), Pch オープンドレイン出力, Nch オープンドレイン出力, および CMOS 出力を、入力モード時にはハイインピーダンス入力, プルダウン抵抗付き入力, プルアップ抵抗付き入力を選択するビットです。

^(*) ハイインピーダンス出力とは“H”レベル出力と“L”レベル出力の両方がオフになっている状態です。

PC0 端子の設定		出力モード選択時 (PC0DIR ビット=“0”)	入力モード選択時 (PC0DIR ビット=“1”)
PC0C1	PC0C0	説明	
0	0	PC0 端子はハイインピーダンス出力 (初期値)	PC0 端子はハイインピーダンス入力
0	1	PC0 端子は Pch オープンドレイン出力	PC0 端子はプルダウン抵抗付き入力
1	0	PC0 端子は Nch オープンドレイン出力	PC0 端子はプルアップ抵抗付き入力
1	1	PC0 端子は CMOS 出力	PC0 端子はハイインピーダンス入力

PC1 端子の設定		出力モード選択時 (PC1DIR ビット=“0”)	入力モード選択時 (PC1DIR ビット=“1”)
PC1C1	PC1C0	説明	
0	0	PC1 端子はハイインピーダンス出力 (初期値)	PC1 端子はハイインピーダンス入力
0	1	PC1 端子は Pch オープンドレイン出力	PC1 端子はプルダウン抵抗付き入力
1	0	PC1 端子は Nch オープンドレイン出力	PC1 端子はプルアップ抵抗付き入力
1	1	PC1 端子は CMOS 出力	PC1 端子はハイインピーダンス入力

PC2 端子の設定		出力モード選択時 (PC2DIR ビット=“0”)	入力モード選択時 (PC2DIR ビット=“1”)
PC2C1	PC2C0	説明	
0	0	PC2 端子はハイインピーダンス出力 (初期値)	PC2 端子はハイインピーダンス入力
0	1	PC2 端子は Pch オープンドレイン出力	PC2 端子はプルダウン抵抗付き入力
1	0	PC2 端子は Nch オープンドレイン出力	PC2 端子はプルアップ抵抗付き入力
1	1	PC2 端子は CMOS 出力	PC2 端子はハイインピーダンス入力

PC3 端子の設定		出力モード選択時 (PC3DIR ビット=“0”)	入力モード選択時 (PC3DIR ビット=“1”)
PC3C1	PC3C0	説明	
0	0	PC3 端子はハイインピーダンス出力 (初期値)	PC3 端子はハイインピーダンス入力
0	1	PC3 端子は Pch オープンドレイン出力	PC3 端子はプルダウン抵抗付き入力
1	0	PC3 端子は Nch オープンドレイン出力	PC3 端子はプルアップ抵抗付き入力
1	1	PC3 端子は CMOS 出力	PC3 端子はハイインピーダンス入力

(*) : ML610Q327 は , 搭載していません。
ML610Q338 は , 1 ビットの PC0C1, PC0C0 を搭載しています。
ML610Q339 は , 4 ビットの PC0C1~PC3C1, PC0C0~PC3C0 を搭載しています。

12.3 動作説明

12.3.1 入出力ポート機能

ポート C の各端子は、ポート C ディレクションレジスタ (PCDIR) を設定して、出力と入力 of のいずれかを選択します。

出力モード時は、ポート C コントロールレジスタ 0, 1 (PCCON0, PCCON1) を設定して、ハイインピーダンス出力モード、Pch オープンドレイン出力モード、Nch オープンドレイン出力モード、および CMOS 出力モード of のいずれかを選択します。

入力モード時は、ポート C コントロールレジスタ 0, 1 (PCCON0, PCCON1) を設定して、ハイインピーダンス入力モード、プルダウン抵抗付き入力モード、プルアップ抵抗付き入力モード of のいずれかを選択します。

システムリセット時には、初期状態としてハイインピーダンス出力モードが選択されます。

出力モード時には、ポート C データレジスタ (PCD) に設定した値により、ポート C 各端子に“L”レベルもしくは“H”レベルが出力されます。

入力モード時には、ポート C データレジスタ (PCD) を用いて、ポート C 各端子の入力レベルを読み出せます。

第 13 章 割込み

13 割込み

13.1 概要

本 LSI は、外部割込み 8 要因と内部割込み 22 要因の計 30 要因の割込み、およびソフトウェア割込み (SWI) を持っています。

各割込みの詳細については、以下の章を参照してください。

- 「第 8 章 ポート 8」
- 「第 14 章 タイムベースカウンタ」
- 「第 15 章 タイマ」
- 「第 16 章 PWM」
- 「第 17 章 ウォッチドッグタイマ」
- 「第 18 章 同期式シリアルポート」
- 「第 19 章 UART」
- 「第 20 章 I²C バス・インタフェース (マスタ)」
- 「第 21 章 I²C バス・インタフェース (スレーブ)」
- 「第 22 章 逐次比較型 A/D コンバータ」
- 「第 23 章 音声再生機能」
- 「第 24 章 スピーカアンプ」
- 「第 25 章 フラッシュ・メモリ書き換え機能」

13.1.1 特長

- ・ ノンマスカブル割込み 1 要因 (内部要因: 1)
- ・ マスカブル割込み 29 要因 (内部要因: 21, 外部要因: 8)
- ・ ソフトウェア割込み (SWI) 最大 64 要因
- ・ 外部割込みはエッジの選択, サンプルング有無が選択可能

13.2 レジスタ説明

13.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F011H	割り込み許可レジスタ 1	IE1	-	R/W	8	00H
0F012H	割り込み許可レジスタ 2	IE2	-	R/W	8	00H
0F013H	割り込み許可レジスタ 3	IE3	-	R/W	8	00H
0F014H	割り込み許可レジスタ 4	IE4	-	R/W	8	00H
0F015H	割り込み許可レジスタ 5	IE5	-	R/W	8	00H
0F016H	割り込み許可レジスタ 6	IE6	-	R/W	8	00H
0F017H	割り込み許可レジスタ 7	IE7	-	R/W	8	00H
0F018H	割り込み要求レジスタ 0	IRQ0	-	R/W	8	00H
0F019H	割り込み要求レジスタ 1	IRQ1	-	R/W	8	00H
0F01AH	割り込み要求レジスタ 2	IRQ2	-	R/W	8	00H
0F01BH	割り込み要求レジスタ 3	IRQ3	-	R/W	8	00H
0F01CH	割り込み要求レジスタ 4	IRQ4	-	R/W	8	00H
0F01DH	割り込み要求レジスタ 5	IRQ5	-	R/W	8	00H
0F01EH	割り込み要求レジスタ 6	IRQ6	-	R/W	8	00H
0F01FH	割り込み要求レジスタ 7	IRQ7	-	R/W	8	00H

13.2.2 割り込み許可レジスタ 1 (IE1)

アドレス: 0F011H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IE1	EP07	EP06	EP05	EP04	EP03	EP02	EP01	EP00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IE1 は、各割り込み要求ごとに割り込みの禁止 / 許可を制御する特殊機能レジスタ (SFR) です。
割り込みが受け付けられた際にマスタ・インタラプト・イネーブル・フラグ (MIE) は“0”になりますが、IE1 の当該フラグはリセットされません。

ビットの説明

- ・ **EP00** (ビット 0)
EP00 は、入力ポート P80 端子割り込み (P00INT) の許可フラグです。

EP00	説明
0	禁止 (初期値)
1	許可

- ・ **EP01** (ビット 1)
EP01 は、入力ポート P81 端子割り込み (P01INT) の許可フラグです。

EP01	説明
0	禁止 (初期値)
1	許可

- ・ **EP02** (ビット 2)
EP02 は、入力ポート P82 端子割り込み (P02INT) の許可フラグです。

EP02	説明
0	禁止 (初期値)
1	許可

- ・ **EP03** (ビット 3)
EP03 は、入力ポート P83 端子割り込み (P03INT) の許可フラグです。

EP03	説明
0	禁止 (初期値)
1	許可

- ・ **EP04** (ビット 4)
EP04 は、入力ポート P84 端子割り込み (P04INT) の許可フラグです。

EP04	説明
0	禁止 (初期値)
1	許可

- ・ **EP05**(ビット 5)
EP05 は、入力ポート P85 端子割込み (P05INT) の許可フラグです。

EP05	説明
0	禁止(初期値)
1	許可

- ・ **EP06**(ビット 6)
EP06 は、入力ポート P86 端子割込み (P06INT) の許可フラグです。

EP06	説明
0	禁止(初期値)
1	許可

- ・ **EP07**(ビット 7)
EP07 は、入力ポート P87 端子割込み (P07INT) の許可フラグです。

EP07	説明
0	禁止(初期値)
1	許可

13.2.3 割り込み許可レジスタ 2 (IE2)

アドレス: 0F012H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IE2	EI2CM	EI2CS	EFDEP	-	-	ESAD	ESIO1	ESIO0
R/W	R/W	R/W	R/W	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IE2 は、各割り込み要求ごとに割り込みの禁止 / 許可を制御する特殊機能レジスタ (SFR) です。
割り込みが受け付けられた際にマスタ・インタラプト・イネーブル・フラグ (MIE) は “0” になりますが、IE2 の当該フラグはリセットされません。

ビットの説明

- ・ **ESIO0** (ビット 0)
ESIO0 は、同期式シリアルポート 0 割り込み (SIO0INT) の許可フラグです。

ESIO0	説明
0	禁止 (初期値)
1	許可

- ・ **ESIO1** (ビット 1)
ESIO1 は、同期式シリアルポート 1 割り込み (SIO1INT) の許可フラグです。

ESIO1	説明
0	禁止 (初期値)
1	許可

- ・ **ESAD** (ビット 2)
ESAD は、逐次比較型 A/D コンバータ割り込み (SADINT) の許可フラグです。

ESAD	説明
0	禁止 (初期値)
1	許可

- ・ **EFDEP** (ビット 5)
EFDEP は、データ・フラッシュ消去 / 書込み完了割り込み (FDEPINT) の許可フラグです。

EFDEP	説明
0	禁止 (初期値)
1	許可

- ・ **EI2CS** (ビット 6)
EI2CS は、I²C バス・スレーブ割り込み (I2CSINT) の許可フラグです。

EI2CS	説明
0	禁止 (初期値)
1	許可

- ・ **EI2CM**(ビット 7)
EI2CM は、I²C バス・マスタ割込み (I2CMINT) の許可フラグです。

EI2CM	説明
0	禁止 (初期値)
1	許可

13.2.4 割り込み許可レジスタ 3(IE3)

アドレス:0F013H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
IE3	-	-	ESD	EVC0	-	-	ETM1	ETM0
R/W	-	-	R/W	R/W	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IE3 は、各割り込み要求ごとに割り込みの禁止 / 許可を制御する特殊機能レジスタ(SFR)です。
割り込みが受け付けられた際にマスタ・インタラプト・イネーブル・フラグ(MIE)は“0”になりますが、IE3 の当該フラグはリセットされません。

ビットの説明

- ・ **ETM0**(ビット 0)
ETM0 は、タイマ 0 割り込み(TM0INT)の許可フラグです。

ETM0	説明
0	禁止(初期値)
1	許可

- ・ **ETM1**(ビット 1)
ETM1 は、タイマ 1 割り込み(TM1INT)の許可フラグです。

ETM1	説明
0	禁止(初期値)
1	許可

- ・ **EVC0**(ビット 4)
EVC0 は、音声 0 割り込み(VC0INT)の許可フラグです。

EVC0	説明
0	禁止(初期値)
1	許可

- ・ **ESD**(ビット 5)
ESD は、ショート検知割り込み(SDINT)の許可フラグです。

ESD	説明
0	禁止(初期値)
1	許可

13.2.5 割り込み許可レジスタ 4 (IE4)

アドレス: 0F014H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IE4	-	-	-	-	-	-	EUA1	EUA0
R/W	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IE4 は、各割り込み要求ごとに割り込みの禁止 / 許可を制御する特殊機能レジスタ (SFR) です。
割り込みが受け付けられた際にマスタ・インタラプト・イネーブル・フラグ (MIE) は“0”になりますが、IE4 の当該フラグはリセットされません。

ビットの説明

- ・ **EUA0** (ビット 0)
EUA0 は、UART0 割り込み (UA0INT) の許可フラグです。

EUA0	説明
0	禁止 (初期値)
1	許可

- ・ **EUA1** (ビット 1)
EUA1 は、UART1 割り込み (UA1INT) の許可フラグです。

EUA1	説明
0	禁止 (初期値)
1	許可

13.2.6 割り込み許可レジスタ 5 (IE5)

アドレス: 0F015H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IE5	-	-	ETM3	ETM2	-	-	-	-
R/W	-	-	R/W	R/W	-	-	-	-
初期値	0	0	0	0	0	0	0	0

IE5 は、各割り込み要求ごとに割り込みの禁止 / 許可を制御する特殊機能レジスタ (SFR) です。
割り込みが受け付けられた際にマスタ・インタラプト・イネーブル・フラグ (MIE) は“0”になりますが、IE5 の当該フラグはリセットされません。

ビットの説明

- ETM2 (ビット 4)
ETM2 は、タイマ 2 割り込み (TM2INT) の許可フラグです。

ETM2	説明
0	禁止 (初期値)
1	許可

- ETM3 (ビット 5)
ETM3 は、タイマ 3 割り込み (TM3INT) の許可フラグです。

ETM3	説明
0	禁止 (初期値)
1	許可

13.2.7 割り込み許可レジスタ 6 (IE6)

アドレス: 0F016H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IE6	E32H	-	E128H	-	-	EPW2	EPW1	EPW0
R/W	R/W	-	R/W	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IE6 は、各割り込み要求ごとに割り込みの禁止 / 許可を制御する特殊機能レジスタ (SFR) です。
割り込みが受け付けられた際にマスタ・インタラプト・イネーブル・フラグ (MIE) は“0”になりますが、IE6 の当該フラグはリセットされません。

ビットの説明

- ・ **EPW0** (ビット 0)
EPW0 は、PWM0 割り込み (PW0INT) の許可フラグです。

EPW0	説明
0	禁止 (初期値)
1	許可

- ・ **EPW1** (ビット 1)
EPW1 は、PWM1 割り込み (PW1INT) の許可フラグです。

EPW1	説明
0	禁止 (初期値)
1	許可

- ・ **EPW2** (ビット 2)
EPW2 は、PWM2 割り込み (PW2INT) の許可フラグです。

EPW2	説明
0	禁止 (初期値)
1	許可

- ・ **E128H** (ビット 5)
E128H は、タイムベースカウンタ 128Hz 割り込み (T128HINT) の許可フラグです。

E128H	説明
0	禁止 (初期値)
1	許可

- ・ **E32H** (ビット 7)
E32H は、タイムベースカウンタ 32Hz 割り込み (T32HINT) の許可フラグです。

E32H	説明
0	禁止 (初期値)
1	許可

13.2.8 割込み許可レジスタ 7 (IE7)

アドレス: 0F017H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IE7	-	-	-	-	E2H	-	-	E16H
R/W	-	-	-	-	R/W	-	-	R/W
初期値	0	0	0	0	0	0	0	0

IE7 は、各割込み要求ごとに割込みの禁止 / 許可を制御する特殊機能レジスタ (SFR) です。
割込みが受け付けられた際にマスタ・インタラプト・イネーブル・フラグ (MIE) は“0”になりますが、IE7 の当該フラグはリセットされません。

ビットの説明

- ・ **E16H** (ビット 0)
E16H は、タイムベースカウンタ 16Hz 割込み (T16HINT) の許可フラグです。

E16H	説明
0	禁止 (初期値)
1	許可

- ・ **E2H** (ビット 3)
E2H は、タイムベースカウンタ 2Hz 割込み (T2HINT) の許可フラグです。

E2H	説明
0	禁止 (初期値)
1	許可

13.2.9 割り込み要求レジスタ 0 (IRQ0)

アドレス: 0F018H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IRQ0	-	-	-	-	-	-	-	QWDT
R/W	-	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

IRQ0 は、各割り込みごとに割り込みを要求する特殊機能レジスタ (SFR) です。
ウォッチドッグタイマ割り込み (WDTINT) は、MIE に依存しないノンマスカブル割り込みです。この時、マスタ・インタラプト・イネーブル・フラグ (MIE) の値に関係なく CPU に割り込みを要求します。
IRQ0 の各要求フラグは、MIE の値に関係なく割り込み発生により“1”になります。また、IRQ0 の要求フラグをソフトウェアにて“1”にすることにより割り込みを発生させることができます。
IRQ0 の当該フラグは、CPU に割り込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- ・ **QWDT** (ビット 0)
QWDT は、ウォッチドッグタイマ割り込み (WDTINT) の要求フラグです。

QWDT	説明
0	要求なし (初期値)
1	要求あり

[注意]

- ・ 割り込み要求レジスタ (IRQ0) への書き込み命令により割り込みを要求した場合は、次の 1 命令実行後に割り込みに移行します。
- ・ 割り込み要求フラグの特定のビットをソフトウェアで書き換える場合はビットシンボルを使用して記述してください。C 言語で記述する場合は QWDT=0 もしくは QWDT=1、アセンブラ言語で記述する場合は RB QWDT もしくは SB QWDT と記述してください。

13.2.10 割り込み要求レジスタ 1 (IRQ1)

アドレス: 0F019H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IRQ1	QP07	QP06	QP05	QP04	QP03	QP02	QP01	QP00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IRQ1 は、各割り込みごとに割り込みを要求する特殊機能レジスタ (SFR) です。
IRQ1 の各要求フラグは、IE1 および MIE の値に関係なく割り込み発生により“1”になります。この時、割り込み許可レジスタ (IE1) の当該フラグが“1”、マスタ・インタラプト・イネーブル・フラグ (MIE) が“1”になっていると CPU に割り込みを要求します。
また、IRQ1 の要求フラグをソフトウェアにて“1”にすることにより割り込みを発生させることができます。
IRQ1 の当該フラグは、CPU に割り込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- ・ **QP00** (ビット 0)
QP00 は、入力ポート P80 端子割り込み (P00INT) の要求フラグです。

QP00	説明
0	要求なし (初期値)
1	要求あり

- ・ **QP01** (ビット 1)
QP01 は、入力ポート P81 端子割り込み (P01INT) の要求フラグです。

QP01	説明
0	要求なし (初期値)
1	要求あり

- ・ **QP02** (ビット 2)
QP02 は、入力ポート P82 端子割り込み (P02INT) の要求フラグです。

QP02	説明
0	要求なし (初期値)
1	要求あり

- ・ **QP03** (ビット 3)
QP03 は、入力ポート P83 端子割り込み (P03INT) の要求フラグです。

QP03	説明
0	要求なし (初期値)
1	要求あり

- ・ **QP04**(ビット 4)
QP04 は、入力ポート P84 端子割込み (P04INT) の要求フラグです。

QP04	説明
0	要求なし (初期値)
1	要求あり

- ・ **QP05**(ビット 5)
QP05 は、入力ポート P85 端子割込み (P05INT) の要求フラグです。

QP05	説明
0	要求なし (初期値)
1	要求あり

- ・ **QP06**(ビット 6)
QP06 は、入力ポート P86 端子割込み (P06INT) の要求フラグです。

QP06	説明
0	要求なし (初期値)
1	要求あり

- ・ **QP07**(ビット 7)
QP07 は、入力ポート P87 端子割込み (P07INT) の要求フラグです。

QP07	説明
0	要求なし (初期値)
1	要求あり

[注意]

- ・ 割込み要求レジスタ (IRQ1)、もしくは割込み許可レジスタ (IE1) への書き込み命令により割込みを要求した場合は、次の 1 命令実行後に割込みに移行します。
- ・ 割込み要求フラグの特定のビットをソフトウェアで書き換える場合はビットシンボルを使用して記述してください。C 言語で記述する場合は QP00=0 もしくは QP00=1、アセンブラ言語で記述する場合は RB QP00 もしくは SB QP00 と記述してください。

13.2.11 割り込み要求レジスタ 2 (IRQ2)

アドレス: 0F01AH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IRQ2	QI2CM	QI2CS	QFDEP	-	-	QSAD	QSIO1	QSIO0
R/W	R/W	R/W	R/W	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IRQ2 は、各割り込みごとに割り込みを要求する特殊機能レジスタ (SFR) です。
IRQ2 の各要求フラグは、IE2 および MIE の値に関係なく割り込み発生により“1”になります。この時、割り込み許可レジスタ (IE2) の当該フラグが“1”、マスタ・インタラプト・イネーブル・フラグ (MIE) が“1”になっていると CPU に割り込みを要求します。
また、IRQ2 の要求フラグをソフトウェアにて“1”にすることにより割り込みを発生させることができます。
IRQ2 の当該フラグは、CPU に割り込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- ・ **QSIO0** (ビット 0)
QSIO0 は、同期式シリアルポート 0 割り込み (SIO0INT) の要求フラグです。

QSIO0	説明
0	要求なし (初期値)
1	要求あり

- ・ **QSIO1** (ビット 1)
QSIO1 は、同期式シリアルポート 1 割り込み (SIO1INT) の要求フラグです。

QSIO1	説明
0	要求なし (初期値)
1	要求あり

- ・ **QSAD** (ビット 2)
QSAD は、逐次比較型 A/D コンバータ割り込み (SADINT) の要求フラグです。

QSAD	説明
0	要求なし (初期値)
1	要求あり

- ・ **QFDEP** (ビット 5)
QFDEP は、データ・フラッシュ消去 / 書込み完了割り込み (FDEPINT) の要求フラグです。

QFDEP	説明
0	要求なし (初期値)
1	要求あり

- ・ **QI2CS**(ビット 6)
QI2CS は、I²C バス・スレーブ割込み (I2CSINT) の要求フラグです。

QI2CS	説明
0	要求なし (初期値)
1	要求あり

- ・ **QI2CM**(ビット 7)
QI2CM は、I²C バス・マスタ割込み (I2CMINT) の要求フラグです。

QI2CM	説明
0	要求なし (初期値)
1	要求あり

【注意】

- ・ 割込み要求レジスタ (IRQ2) , もしくは割込み許可レジスタ (IE2) への書き込み命令により割込みを要求した場合は、次の 1 命令実行後に割込みに移行します。
- ・ 割込み要求フラグの特定のビットをソフトウェアで書き換える場合はビットシンボルを使用して記述してください。C 言語で記述する場合は QSIO0=0 もしくは QSIO0=1 , アセンブラ言語で記述する場合は RB QSIO0 もしくは SB QSIO0 と記述してください。

13.2.12 割り込み要求レジスタ 3 (IRQ3)

アドレス: 0F01BH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IRQ3	-	-	QSD	QVC0	-	-	QTM1	QTM0
R/W	-	-	R/W	R/W	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IRQ3 は、各割り込みごとに割り込みを要求する特殊機能レジスタ (SFR) です。
IRQ3 の各要求フラグは、IE3 および MIE の値に関係なく割り込み発生により“1”になります。この時、割り込み許可レジスタ (IE3) の当該フラグが“1”、マスタ・インタラプト・イネーブル・フラグ (MIE) が“1”になっていると CPU に割り込みを要求します。
また、IRQ3 の要求フラグをソフトウェアにて“1”にすることにより割り込みを発生させることができます。
IRQ3 の当該フラグは、CPU に割り込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- ・ **QTM0** (ビット 0)
QTM0 は、タイマ 0 割り込み (TM0INT) の要求フラグです。

QTM0	説明
0	要求なし (初期値)
1	要求あり

- ・ **QTM1** (ビット 1)
QTM1 は、タイマ 1 割り込み (TM1INT) の要求フラグです。

QTM1	説明
0	要求なし (初期値)
1	要求あり

- ・ **QVC0** (ビット 4)
QVC0 は、音声 0 割り込み (VC0INT) の要求フラグです。

QVC0	説明
0	要求なし (初期値)
1	要求あり

- ・ **QSD** (ビット 5)
QSD は、ショート検知割り込み (SDINT) の要求フラグです。

QSD	説明
0	要求なし (初期値)
1	要求あり

[注意]

- ・ 割り込み要求レジスタ (IRQ3)、もしくは割り込み許可レジスタ (IE3) への書き込み命令により割り込みを要求した場合は、次の 1 命令実行後に割り込みに移行します。
- ・ 割り込み要求フラグの特定のビットをソフトウェアで書き換える場合はビットシンボルを使用して記述してください。C 言語で記述する場合は QTM0=0 もしくは QTM0=1、アセンブラ言語で記述する場合は RB QTM0 もしくは SB QTM0 と記述してください。

13.2.13 割り込み要求レジスタ 4 (IRQ4)

アドレス: 0F01CH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IRQ4	-	-	-	-	-	-	QUA1	QUA0
R/W	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IRQ4 は、各割り込みごとに割り込みを要求する特殊機能レジスタ (SFR) です。
IRQ4 の各要求フラグは、IE4 および MIE の値に関係なく割り込み発生により“1”になります。この時、割り込み許可レジスタ (IE4) の当該フラグが“1”、マスタ・インタラプト・イネーブル・フラグ (MIE) が“1”になっていると CPU に割り込みを要求します。
また、IRQ4 の要求フラグをソフトウェアにて“1”にすることにより割り込みを発生させることができます。
IRQ4 の当該フラグは、CPU に割り込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- ・ **QUA0** (ビット 0)
QUA0 は、UART0 割り込み (UA0INT) の要求フラグです。

QUA0	説明
0	要求なし (初期値)
1	要求あり

- ・ **QUA1** (ビット 1)
QUA1 は、UART1 割り込み (UA1INT) の要求フラグです。

QUA1	説明
0	要求なし (初期値)
1	要求あり

【注意】

- ・ 割り込み要求レジスタ (IRQ4)、もしくは割り込み許可レジスタ (IE4) への書き込み命令により割り込みを要求した場合は、次の 1 命令実行後に割り込みに移行します。
- ・ 割り込み要求フラグの特定のビットをソフトウェアで書き換える場合はビットシンボルを使用して記述してください。C 言語で記述する場合は QUA0=0 もしくは QUA0=1、アセンブラ言語で記述する場合は RB QUA0 もしくは SB QUA0 と記述してください。

13.2.14 割り込み要求レジスタ 5 (IRQ5)

アドレス: 0F01DH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IRQ5	-	-	QTM3	QTM2	-	-	-	-
R/W	-	-	R/W	R/W	-	-	-	-
初期値	0	0	0	0	0	0	0	0

IRQ5 は、各割り込みごとに割り込みを要求する特殊機能レジスタ (SFR) です。
IRQ5 の各要求フラグは、IE5 および MIE の値に関係なく割り込み発生により“1”になります。この時、割り込み許可レジスタ (IE5) の当該フラグが“1”、マスタ・インタラプト・イネーブル・フラグ (MIE) が“1”になっていると CPU に割り込みを要求します。
また、IRQ5 の要求フラグをソフトウェアにて“1”にすることにより割り込みを発生させることができます。
IRQ5 の当該フラグは、CPU に割り込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- ・ **QTM2** (ビット 4)
QTM2 は、タイマ 2 割り込み (TM2INT) の要求フラグです。

QTM2	説明
0	要求なし (初期値)
1	要求あり

- ・ **QTM3** (ビット 5)
QTM3 は、タイマ 3 割り込み (TM3INT) の要求フラグです。

QTM3	説明
0	要求なし (初期値)
1	要求あり

【注意】

- ・ 割り込み要求レジスタ (IRQ5)、もしくは割り込み許可レジスタ (IE5) への書き込み命令により割り込みを要求した場合は、次の 1 命令実行後に割り込みに移行します。
- ・ 割り込み要求フラグの特定のビットをソフトウェアで書き換える場合はビットシンボルを使用して記述してください。C 言語で記述する場合は QTM2=0 もしくは QTM2=1、アセンブラ言語で記述する場合は RB QTM2 もしくは SB QTM2 と記述してください。

13.2.15 割り込み要求レジスタ 6 (IRQ6)

アドレス: 0F01EH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IRQ6	Q32H	-	Q128H	-	-	QPW2	QPW1	QPW0
R/W	R/W	-	R/W	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IRQ6 は、各割り込みごとに割り込みを要求する特殊機能レジスタ (SFR) です。
IRQ6 の各要求フラグは、IE6 および MIE の値に関係なく割り込み発生により“1”になります。この時、割り込み許可レジスタ (IE6) の当該フラグが“1”、マスタ・インタラプト・イネーブル・フラグ (MIE) が“1”になっていると CPU に割り込みを要求します。
また、IRQ6 の要求フラグをソフトウェアにて“1”にすることにより割り込みを発生させることができます。
IRQ6 の当該フラグは、CPU に割り込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- ・ **QPW0** (ビット 0)
QPW0 は、PWM0 割り込み (PW0INT) の要求フラグです。

QPW0	説明
0	要求なし (初期値)
1	要求あり

- ・ **QPW1** (ビット 1)
QPW1 は、PWM1 割り込み (PW1INT) の要求フラグです。

QPW1	説明
0	要求なし (初期値)
1	要求あり

- ・ **QPW2** (ビット 2)
QPW2 は、PWM2 割り込み (PW2INT) の要求フラグです。

QPW2	説明
0	要求なし (初期値)
1	要求あり

- ・ **Q128H** (ビット 5)
Q128H は、タイムベースカウンタ 128Hz 割り込み (T128HINT) の要求フラグです。

Q128H	説明
0	要求なし (初期値)
1	要求あり

- ・ **Q32H**(ビット 7)
Q32H は、タイムベースカウンタ 32Hz 割り込み (T32HINT) の要求フラグです。

Q32H	説明
0	要求なし(初期値)
1	要求あり

【注意】

- ・割り込み要求レジスタ (IRQ6) , もしくは割り込み許可レジスタ (IE6) への書き込み命令により割り込みを要求した場合は、次の 1 命令実行後に割り込みに移行します。
- ・割り込み要求フラグの特定のビットをソフトウェアで書き換える場合はビットシンボルを使用して記述してください。C 言語で記述する場合は Q128H=0 もしくは Q128H=1 , アセンブラ言語で記述する場合は RB Q128H もしくは SB Q128H と記述してください。

13.2.16 割り込み要求レジスタ 7 (IRQ7)

アドレス: 0F01FH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
IRQ7	-	-	-	-	Q2H	-	-	Q16H
R/W	-	-	-	-	R/W	-	-	R/W
初期値	0	0	0	0	0	0	0	0

IRQ7 は、各割り込みごとに割り込みを要求する特殊機能レジスタ (SFR) です。
IRQ7 の各要求フラグは、IE7 および MIE の値に関係なく割り込み発生により“1”になります。この時、割り込み許可レジスタ (IE7) の当該フラグが“1”、マスタ・インタラプト・イネーブル・フラグ (MIE) が“1”になっていると CPU に割り込みを要求します。
また、IRQ7 の要求フラグをソフトウェアにて“1”にすることにより割り込みを発生させることができます。
IRQ7 の当該フラグは、CPU に割り込み要求が受け付けられるとハードウェアにより“0”になります。

ビットの説明

- ・ **Q16H** (ビット 0)
Q16H は、タイムベースカウンタ 16Hz 割り込み (T16HINT) の要求フラグです。

Q16H	説明
0	要求なし (初期値)
1	要求あり

- ・ **Q2H** (ビット 3)
Q2H は、タイムベースカウンタ 2Hz 割り込み (T2HINT) の要求フラグです。

Q2H	説明
0	要求なし (初期値)
1	要求あり

【注意】

- ・ 割り込み要求レジスタ (IRQ7)、もしくは割り込み許可レジスタ (IE7) への書き込み命令により割り込みを要求した場合は、次の 1 命令実行後に割り込みに移行します。
- ・ 割り込み要求フラグの特定のビットをソフトウェアで書き換える場合はビットシンボルを使用して記述してください。C 言語で記述する場合は Q16H=0 もしくは Q16H=1、アセンブラ言語で記述する場合は RB Q16H もしくは SB Q16H と記述してください。

13.3 動作説明

ウォッチドッグタイマ割り込み(WDTINT)を除く 29 要因の割り込みの許可と禁止は、マスタ・インタラプト・イネーブル・フラグ(MIE)と各割り込み許可レジスタ(IE1 ~ 7)で制御されます。WDTINT はノンマスカブル割り込みです。

割り込み条件が成立するとプログラムは各割り込み要因毎に決められた割り込みベクタテーブルより分岐先アドレスを呼び出して、割り込み移行サイクルを開始します。

表 13-1 に割り込み要因一覧を示します。

表 13-1 割り込み要因一覧

優先順位	割り込み要因	略 称	ベクタテーブルアドレス
1	ウォッチドッグタイマ割り込み	WDTINT	0008H
2	P80 割り込み	P00INT	0010H
3	P81 割り込み	P01INT	0012H
4	P82 割り込み	P02INT	0014H
5	P83 割り込み	P03INT	0016H
6	P84 割り込み	P04INT	0018H
7	P85 割り込み	P05INT	001AH
8	P86 割り込み	P06INT	001CH
9	P87 割り込み	P07INT	001EH
10	同期式シリアルポート 0 割り込み	SIO0INT	0020H
11	同期式シリアルポート 1 割り込み	SIO1INT	0022H
12	逐次比較型 A/D コンバータ割り込み	SADINT	0024H
13	データ・フラッシュ消去 / 書き込み完了割り込み	FDEPINT	002AH
14	I ² C バス・スレーブ割り込み	I2CSINT	002CH
15	I ² C バス・マスタ割り込み	I2CMINT	002EH
16	タイマ 0 割り込み	TM0INT	0030H
17	タイマ 1 割り込み	TM1INT	0032H
18	音声 0 割り込み	VC0INT	0038H
19	ショート検知割り込み	SDINT	003AH
20	UART0 割り込み	UA0INT	0040H
21	UART1 割り込み	UA1INT	0042H
22	タイマ 2 割り込み	TM2INT	0058H
23	タイマ 3 割り込み	TM3INT	005AH
24	PWM0 割り込み	PW0INT	0060H
25	PWM1 割り込み	PW1INT	0062H
26	PWM2 割り込み	PW2INT	0064H
27	TBC128Hz 割り込み	T128HINT	006AH
28	TBC32Hz 割り込み	T32HINT	006EH
29	TBC16Hz 割り込み	T16HINT	0070H
30	TBC2Hz 割り込み	T2HINT	0076H

【注意】

・複数の割り込みが同時に発生した場合は、優先順位の高い割り込みから実行され、優先順位の低い割り込みは保留されます。

・ウォッチドッグタイマ割り込み(WDTINT)は、ノンマスカブル割り込みです。割り込み処理中にノンマスカブル割り込みが発生した場合は、多重割り込みの許可・禁止に関係なく、割り込み処理を中断し、ノンマスカブル割り込みが優先して処理されます。

・フェイルセーフとして、使用しない割り込みベクタも定義してください。使用しない割り込みが発生した場合は、CPU が暴走した可能性があります。無限ループを使ってウォッチドッグタイマリセットを発生させ LSI を初期化することを推奨します。

13.3.1 マスカブル割込み処理

MIE フラグが“1”の状態では各割込みが発生すると、ハードウェアにて以下の処理が実施され、プログラムが割込み先へ移行します。

- (1) プログラムカウンタ(PC)を ELR1 へ転送
- (2) CSR を ECSR1 へ転送
- (3) PSW を EPSW1 へ転送
- (4) MIE フラグを“0”にする
- (5) ELEVEL フィールドを“1”にする
- (6) PC に割込み先頭アドレスをロードする

13.3.2 ノンマスカブル割込み処理

MIE フラグの状態によらず各割込みが発生すると、ハードウェアにて以下の処理が実施され、プログラムが割込み先へ移行します。

- (1) PC を ELR2 へ転送
- (2) CSR を ECSR2 へ転送
- (3) PSW を EPSW2 へ転送
- (4) ELEVEL フィールドを“2”にする
- (5) PC に割込み先頭アドレスをロードする

13.3.3 ソフトウェア割込み処理

ソフトウェア割込みは、アプリケーションプログラム内で任意に発生させるものです。プログラム内で SWI 命令を実行するとソフトウェア割込みが発生し、ハードウェアにて以下の処理が実施され、プログラムが割込み先へ移行します。ベクターテーブルは SWI 命令にて指定します。

- (1) PC を ELR1 へ転送
- (2) CSR を ECSR1 へ転送
- (3) PSW を EPSW1 へ転送
- (4) MIE フラグを“0”にする
- (5) ELEVEL フィールドを“1”にする
- (6) PC に割込み先頭アドレスをロードする

【参照】

MIE フラグ、PC(プログラムカウンタ)、CSR、PSW、ELEVEL については別冊の『nX-U8/100 コア インストラクションマニュアル』を参照してください。

13.3.4 割り込みルーチンでの注意事項

割り込みルーチンを実行時に更にプログラムでサブルーチン呼び出す場合と呼び出さない場合、および多重割り込みを許可している場合と禁止している場合、またその割り込みがマスカブル割り込みの場合とノンマスカブル割り込みの場合、それぞれプログラミング時の注意事項が異なります。

状態 A: マスカブル割り込みが実行中

- A-1: 割り込みルーチンを実行時にプログラムでサブルーチン呼び出さない場合
- A-1-1: 多重割り込みを禁止する場合
 - ・割り込みルーチン実行開始直後の処理
注意すべき事項は特にありません。
 - ・割り込みルーチン実行終了時の処理
RTI 命令を配置し、PC に ELR レジスタの内容を、PSW に EPSW レジスタの内容を復帰させます。
- A-1-2: 多重割り込みを許可する場合
 - ・割り込みルーチン実行開始直後の処理
“PUSH ELR, EPSW”を指定し、割り込みの戻り番地と PSW の状態をスタックに退避します。
 - ・割り込みルーチン実行終了時の処理
RTI 命令の代わりに“POP PC, PSW”を指定し、PC と PSW にスタックの内容を復帰させます。

記述例: 状態 A-1-1

```
Intrpt_A-1-1;           ;A-1-1 の状態
DI                    ;割り込み禁止
:
:
:
RTI                   ;PC を ELR より復帰
                      ;PSW を EPSW より復帰
                      ;終了
```

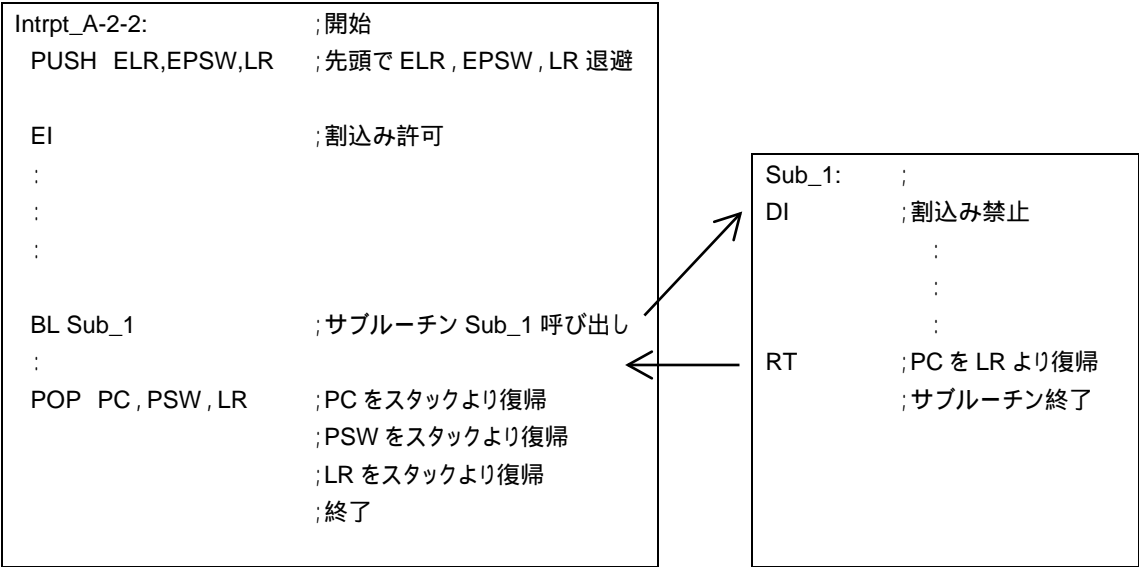
記述例: 状態 A-1-2

```
Intrpt_A-1-2;           ;開始
PUSH ELR, EPSW        ;先頭で ELR, EPSW を退避

EI                    ;割り込み許可
:
:
:
:
POP PC, PSW           ;PC をスタックより復帰
                      ;PSW をスタックより復帰
                      ;終了
```

- A-2:割り込みルーチンを実行時にプログラムでサブルーチンを呼び出す場合
- A-2-1:多重割り込みを禁止する場合
 - ・割り込みルーチン実行開始直後の処理
 - “PUSH LR”命令を指定し、サブルーチンの戻り番地をスタックに退避します。
 - ・割り込みルーチン実行終了時の処理
 - RTI 命令の直前に“POP LR”を指定し、サブルーチンの戻り番地を LR に復帰させた後、割り込みから復帰します。
- A-2-2:多重割り込みを許可する場合
 - ・割り込みルーチン実行開始直後の処理
 - “PUSH LR,ELR,EPBW”を指定し、割り込みの戻り番地、サブルーチンの戻り番地および EPBW の状態をスタックに退避します。
 - ・割り込みルーチン実行終了時の処理
 - RTI 命令の代わりに“POP PC,PSW,LR”を指定し、割り込みの戻り番地の退避データは PC へ、EPBW の退避データは PSW へ、LR の退避データは LR に復帰させます。

記述例:状態 A-2-2



状態 B: ノンマスカブル割り込み実行中

- B-1: 割り込みルーチンにて割り込み処理を実施しない場合
 - ・割り込みルーチン実行開始直後の処理
RTI の命令を指定し、PC に ELR レジスタの内容を、PSW に EPSW レジスタの内容を復帰させます。
- B-2: 割り込みルーチンにて割り込み処理を実施する場合
 - B-2-1: 割り込みルーチンを実行時にプログラムでサブルーチンを呼び出さない場合
 - ・割り込みルーチン実行開始直後の処理
“PUSH ELR, EPSW”を指定し、割り込みの戻り番地、および EPSW の状態をスタックに退避します。
 - ・割り込みルーチン実行終了時の処理
RTI 命令の代わりに“POP PC, PSW”を指定し、割り込みの戻り番地の退避データは PC へ、EPSW の退避データは PSW に復帰させます。
 - B-2-2: 割り込みルーチンを実行時にプログラムでサブルーチンを呼び出す場合
 - ・割り込みルーチン実行開始直後の処理
“PUSH LR, ELR, EPSW”を指定し、割り込みの戻り番地、サブルーチンの戻り番地および EPSW の状態をスタックに退避します。
 - ・割り込みルーチン実行終了時の処理
RTI 命令の代わりに“POP PC, PSW, LR”を指定し、割り込みの戻り番地の退避データは PC へ、EPSW の退避データは PSW へ、LR の退避データは LR に復帰させます。

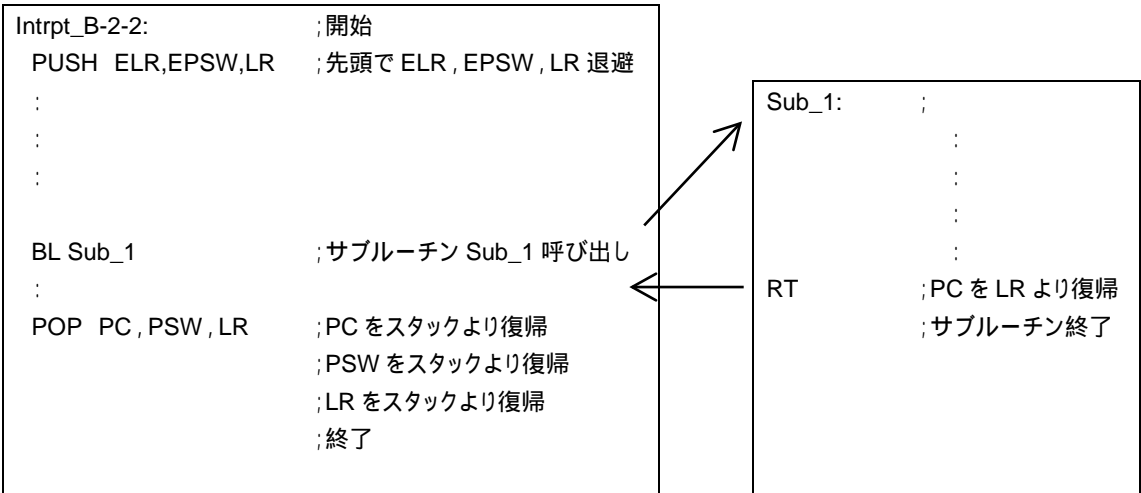
記述例: 状態 B-1

```
Intrpt_B-1:      ;B-1 の状態
RTI              ;PC を ELR より復帰
                ;PSW を EPSW より復帰
                ;終了
```

記述例: 状態 B-2-1

```
Intrpt_B-2-1:    ;開始
PUSH ELR, EPSW   ;先頭で ELR, EPSW を退避
:
:
:
POP PC, PSW      ;PC をスタックより復帰
                ;PSW をスタックより復帰
                ;終了
```

記述例: 状態 B-2-2



13.3.5 割込み禁止状態

割込み条件が成立していても割込みを受け付けない動作状態があります。これを割込み禁止状態と呼びます。割込み禁止状態と、その状態における割込みの取り扱いは次のようになります。

割込み禁止状態 1. 割込み移行サイクルと、割込みルーチンの先頭にある命令の間

この区間に割込み条件が成立した場合、すでに許可されている割込みに対応している割込みルーチンの先頭にある命令実行直後に割込みが発生します。

割込み禁止状態 2. DSR プリフィックス命令と次の命令の間

この区間に割込み条件が成立した場合、DSR プリフィックス命令の次の命令実行直後に割込みが発生します。

【参照】

DSR プリフィックス命令については、『nX-U8/100 コア インストラクションマニュアル』を参照してください。

第 14 章 タイムベースカウンタ

14 タイムベースカウンタ

14.1 概要

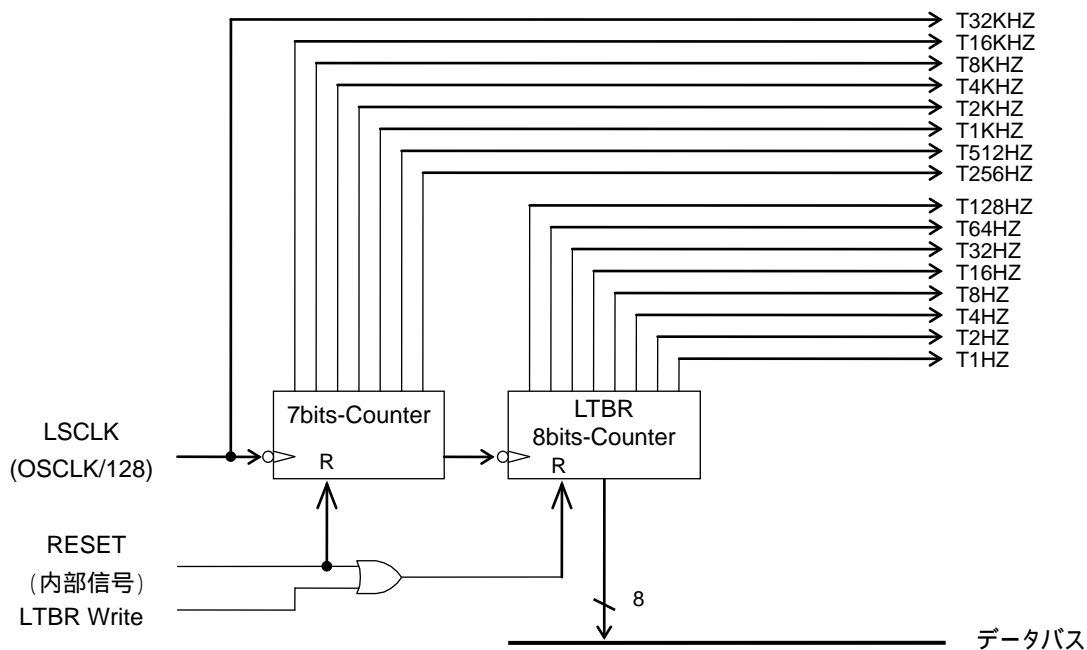
タイムベースカウンタは周辺回路のベースクロックおよび定期的な割込みを生成します。タイムベースカウンタには低速クロックタイムベースカウンタ(LTBC)と、高速クロックタイムベースカウンタ(HTBC)があります。入力クロックに関しては「第 3 章 クロック発生回路」を参照してください。また、本章に記載されている割込みの許可・要求フラグ等については「第 13 章 割込み」を参照してください。

14.1.1 特長

- ・ LTBC は、低速クロック(LSCLK)を分周し、T32KHZ ~ T1HZ 信号を生成。
- ・ HTBC は、高速クロック(HSCLK)を分周し、HTB1 ~ HTB32 信号を生成。
- ・ 128Hz, 32Hz, 16Hz, 2Hz を割込み信号として利用可能。

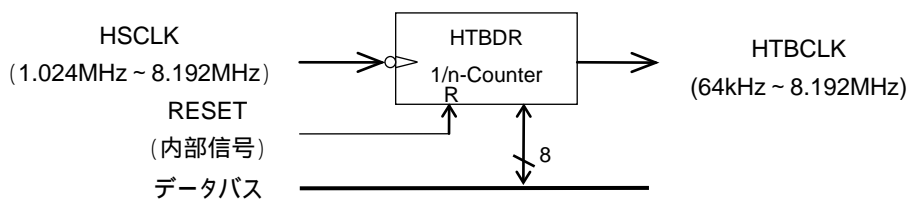
14.1.2 構成

図 14-1 に低速側タイムベースカウンタ, 図 14-2 に高速側タイムベースカウンタの構成を示します。



LTBR : 低速側タイムベースカウンタレジスタ

図 14-1 低速側タイムベースカウンタ (LTBC) の構成



HTBDR : 高速側タイムベースカウンタ分周レジスタ

図 14-2 高速側タイムベースカウンタの構成

14.2 レジスタ説明

14.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F00AH	低速側タイムベースカウンタレジスタ	LTBR	-	R/W	8	00H
0F00BH	高速側タイムベースカウンタ分周レジスタ	HTBDR	-	R/W	8	00H

14.2.2 低速側タイムベースカウンタレジスタ(LTBR)

アドレス:0F00AH

アクセス:R/W

アクセスサイズ:8 ビット

初期値:00H

	7	6	5	4	3	2	1	0
LTBR	T1HZ	T2HZ	T4HZ	T8HZ	T16HZ	T32HZ	T64HZ	T128HZ
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

LTBR は、低速側タイムベースカウンタの T128HZ～T1HZ 出力を読み出す特殊機能レジスタ(SFR)です。
T128HZ～T1HZ 出力は、LTBR に書き込み動作を行うと“0”になります。書き込みデータは無効です。

【注意】

LTBR の書き込みタイミングによっては TBC 割込みが発生する可能性があります。「14.3.1 低速側タイムベースカウンタ」のソフトウェアプログラミングにおける注意点を参照してください。

14.2.3 高速側タイムベースカウンタ分周レジスタ(HTBDR)

アドレス: 0F00BH

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
HTBDR	-	-	-	-	HTD3	HTD2	HTD1	HTD0
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

HTBDR は、4 ビット 1/n カウンタの分周比を設定する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **HTD3 ~ HTD0** (ビット 3 ~ 0)

HTD3 ~ HTD0 は、4 ビット 1/n カウンタの分周比を設定するビットです。1/1 ~ 1/16 分周が選択できます。

HTD3	HTD2	HTD1	HTD0	説明	
				分周比	HTBCLK の周波数*
0	0	0	0	1/16 分周 (初期値)	256kHz
0	0	0	1	1/15 分周	273kHz
0	0	1	0	1/14 分周	293kHz
0	0	1	1	1/13 分周	315kHz
0	1	0	0	1/12 分周	341kHz
0	1	0	1	1/11 分周	372kHz
0	1	1	0	1/10 分周	410kHz
0	1	1	1	1/9 分周	455kHz
1	0	0	0	1/8 分周	512kHz
1	0	0	1	1/7 分周	585kHz
1	0	1	0	1/6 分周	683kHz
1	0	1	1	1/5 分周	819kHz
1	1	0	0	1/4 分周	1024kHz
1	1	0	1	1/3 分周	1365kHz
1	1	1	0	1/2 分周	2048kHz
1	1	1	1	1/1 分周	4096kHz

* 高速発振クロック HSCLK が 4096kHz の時の周波数です。

14.3 動作説明

14.3.1 低速側タイムベースカウンタ

低速側タイムベースカウンタ(LTBC)は、システムリセット後、LSCLK の立ち下がりエッジで 0000H からカウントアップを開始します。

LTBC の T128HZ, T32HZ, T16HZ, T2HZ 出力は、タイムベース割込みとして使用され、それぞれの出力の立ち下がりエッジで割込みを要求します。また、LTBC の各出力は周辺回路の動作クロックとしても使用されます。

LTBC の T128HZ ~ T1HZ 出力は、低速側タイムベースカウンタレジスタ(LTBR)から読み出すことができます。読み出す場合は、カウントアップ中の不確定データの読み出しを防止するため、LTBR を二度読み出し、値が同一であることを確認してください。

図 14-3 に、LTBR を読み出す場合のプログラム例を示します。

```
volatile unsigned char tmp_LTBR_val = 0;

do {
    tmp_LTBR_val = LTBR;           // 一度目の LTBR 読み出し
} while ( tmp_LTBR_val != LTBR ); // 一度目に読み出した LTBR と二度目に読み出した LTBR を比較し、
                                   // 一致しなかった場合は再度繰り返す。
```

図 14-3 LTBR を読み出す場合のプログラム例

LTBR に書き込み動作を行うと LTBR はリセットされ、T128HZ ~ T1HZ 出力は“0”になります。書き込みデータは無効です。なお、LTBR への書き込み時に、T128HZ ~ T1HZ 出力に立ち下がりエッジが発生した場合は割込みが発生しますので、ソフトウェアのプログラミング上ご注意ください。

図 14-4 に、タイムベースカウンタ割込みタイミングと LTBR の書き込みによるリセットタイミングを示します。

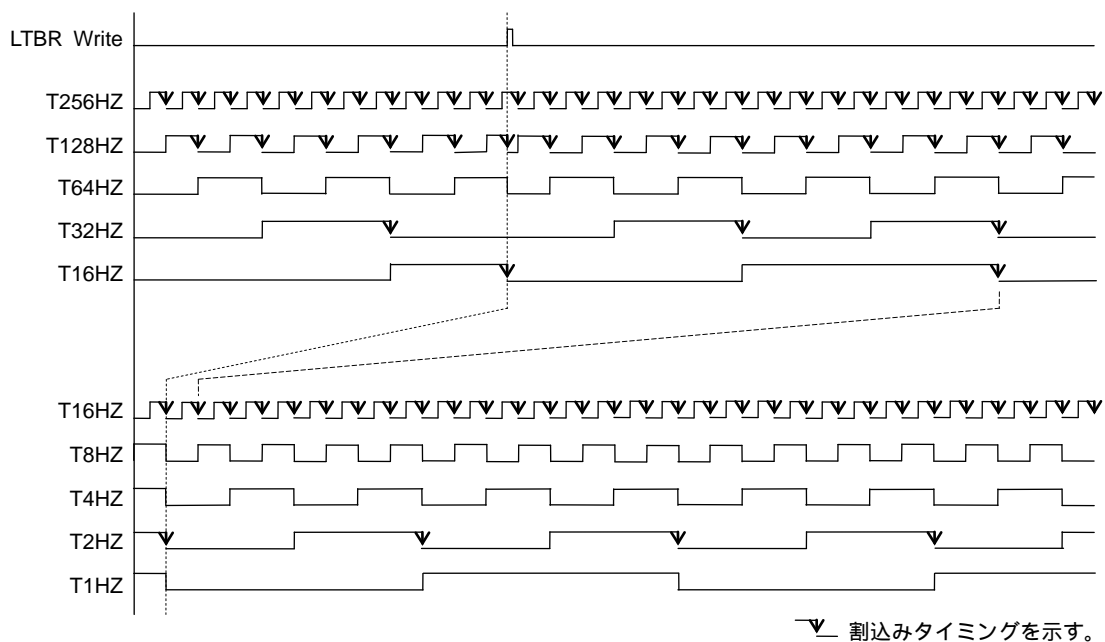


図 14-4 割り込みタイミングと LTBR の書き込みによるリセットタイミング

14.3.2 高速側タイムベースカウンタ

高速タイムベースカウンタは、4 ビットの $1/n$ カウンタ ($n=1 \sim 16$) で構成されています。

4 ビット $1/n$ カウンタでは、高速側タイムベースカウンタ分周レジスタ (HTBDR) で選択された分周クロック $1/16 \times \text{HSCLK}$ $\sim 1/1 \times \text{HSCLK}$ から HTBCLK を生成します。HTBCLK は、タイマの動作クロックとして使用されます。

図 14-5 に HTBCLK の出力波形を示します。

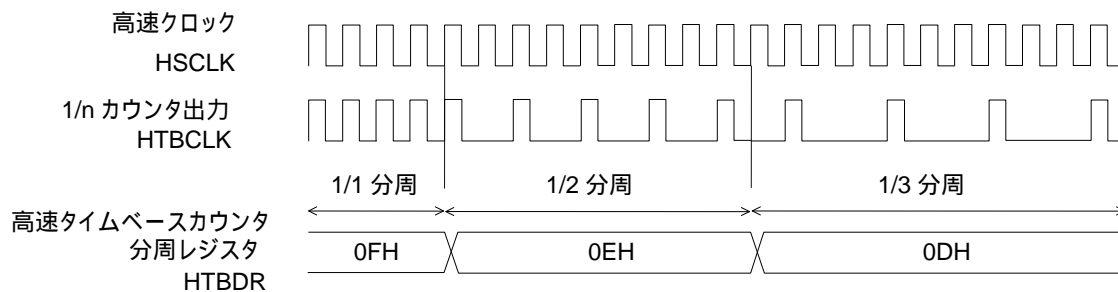


図 14-5 HTBCLK の出力波形

第 15 章 タイマ

15 タイマ

15.1 概要

本 LSI は、8 ビットタイマを 4 チャンネル、タイマ 0～3 として内蔵しています。タイマ 0～3 は、ブロックコントロールレジスタ 0 (BLKCON0) の DTM_n (n=0～3) ビットが“0”の場合のみ動作します。DTM_n ビットが“1”の場合にはタイマ n の各機能はリセット状態となります。

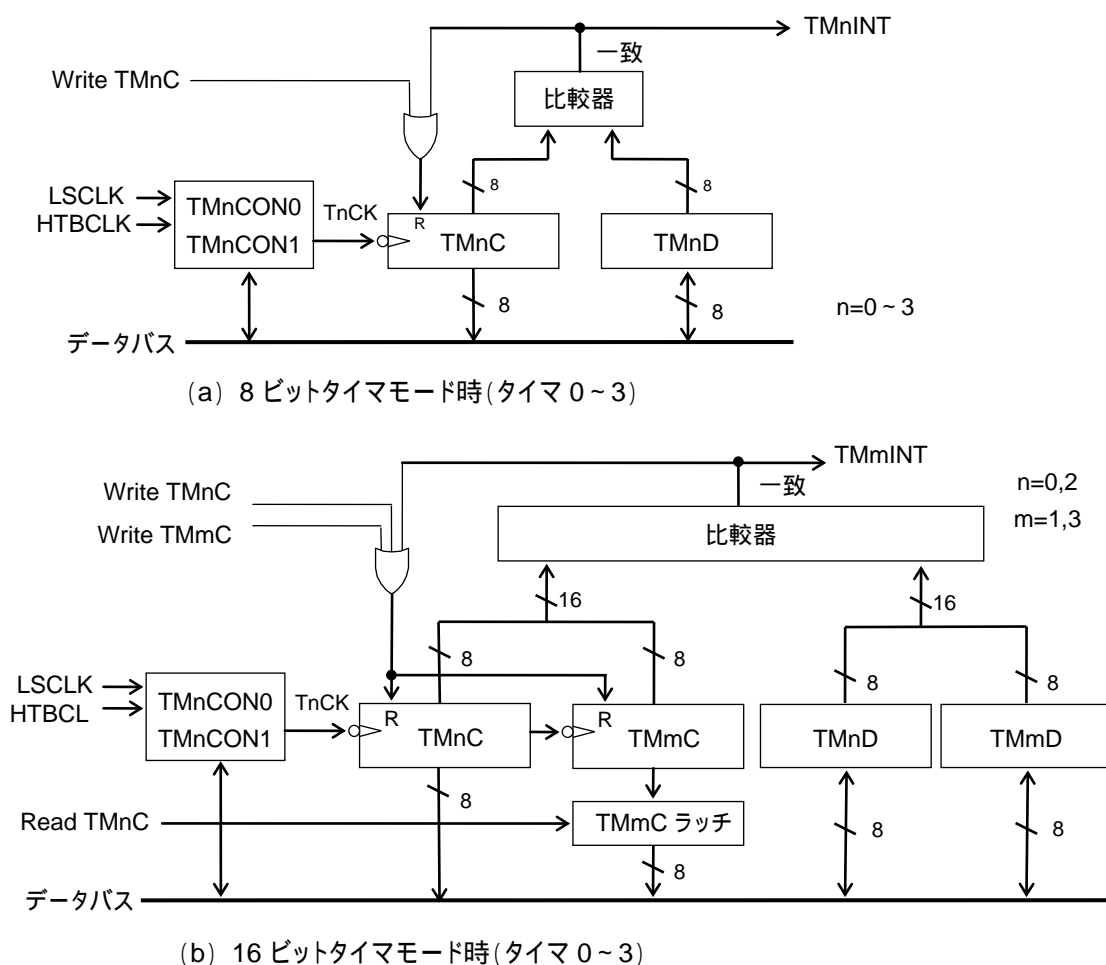
ブロックコントロールレジスタについては、第 5 章「MCU 制御機能」を参照して下さい。入力クロックに関しては「第 3 章 クロック発生回路」を参照して下さい。

15.1.1 特長

- ・ タイマカウンタレジスタ (TM_nC, n=0～3) とタイマデータレジスタ (TM_nD) の値が一致するとタイマ割り込み (TM_nINT) を発生。
- ・ タイマ 0 とタイマ 1、タイマ 2 とタイマ 3 を組み合わせて 16 ビットタイマとして使用可能。
- ・ タイマのクロックは、低速クロック (LSCLK)、高速側タイムベースクロック (HTBCLK) が選択可能。

15.1.2 構成

図 15-1 にタイマの構成を示します。



TM_nCON0 : タイマコントロールレジスタ 0
 TM_nCON1 : タイマコントロールレジスタ 1
 TM_mD, TM_nD : タイマデータレジスタ
 TM_mC, TM_nC : タイマカウンタレジスタ

図 15-1 タイマの構成

15.2 レジスタ説明

15.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F030H	タイマ 0 データレジスタ	TM0D	TM0DC	R/W	8/16	0FFH
0F031H	タイマ 0 カウンタレジスタ	TM0C		R/W	8	00H
0F032H	タイマ 0 コントロールレジスタ 0	TM0CON0	TM0CON	R/W	8/16	00H
0F033H	タイマ 0 コントロールレジスタ 1	TM0CON1		R/W	8	00H
0F034H	タイマ 1 データレジスタ	TM1D	TM1DC	R/W	8/16	0FFH
0F035H	タイマ 1 カウンタレジスタ	TM1C		R/W	8	00H
0F036H	タイマ 1 コントロールレジスタ 0	TM1CON0	TM1CON	R/W	8/16	00H
0F037H	タイマ 1 コントロールレジスタ 1	TM1CON1		R/W	8	00H
0F038H	タイマ 2 データレジスタ	TM2D	TM2DC	R/W	8/16	0FFH
0F039H	タイマ 2 カウンタレジスタ	TM2C		R/W	8	00H
0F03AH	タイマ 2 コントロールレジスタ 0	TM2CON0	TM2CON	R/W	8/16	00H
0F03BH	タイマ 2 コントロールレジスタ 1	TM2CON1		R/W	8	00H
0F03CH	タイマ 3 データレジスタ	TM3D	TM3DC	R/W	8/16	0FFH
0F03DH	タイマ 3 カウンタレジスタ	TM3C		R/W	8	00H
0F03EH	タイマ 3 コントロールレジスタ 0	TM3CON0	TM3CON	R/W	8/16	00H
0F03FH	タイマ 3 コントロールレジスタ 1	TM3CON1		R/W	8	00H

15.2.2 タイマ 0 データレジスタ(TM0D)

アドレス:0F030H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0FFH

	7	6	5	4	3	2	1	0
TM0D	T0D7	T0D6	T0D5	T0D4	T0D3	T0D2	T0D1	T0D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

TM0D は , タイマ 0 カウンタレジスタ(TM0C)との比較値を設定する特殊機能レジスタ(SFR)です。

【注意】

- ・TM0D は , タイマ 0 が停止している状態で設定してください。
- ・8 ビットタイマモード時は , TM0D に“01H”～“0FFH”を設定してください。“00H”を設定した場合は“01H”と同じ動作となります。
- ・16 ビットタイマモード時は , TM1D , TM0D に“0001H”～“0FFFFH”を設定してください。“0000H”を設定した場合“0001H”と同じ動作となります。

15.2.3 タイマ 1 データレジスタ(TM1D)

アドレス:0F034H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0FFH

	7	6	5	4	3	2	1	0
TM1D	T1D7	T1D6	T1D5	T1D4	T1D3	T1D2	T1D1	T1D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

TM1D は , タイマ 1 カウンタレジスタ(TM1C)との比較値を設定する特殊機能レジスタ(SFR)です。

【注意】

- ・TM1D は , タイマ 1 が停止している状態で設定してください。
- ・8 ビットタイマモード時は , TM1D に“01H”～“0FFH”を設定してください。“00H”を設定した場合は“01H”と同じ動作となります。
- ・16 ビットタイマモード時は , TM1D , TM0D に“0001H”～“0FFFFH”を設定してください。“0000H”を設定した場合は“0001H”と同じ動作となります。

15.2.4 タイマ 2 データレジスタ(TM2D)

アドレス:0F038H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0FFH

	7	6	5	4	3	2	1	0
TM2D	T2D7	T2D6	T2D5	T2D4	T2D3	T2D2	T2D1	T2D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

TM2D は , タイマ 2 カウンタレジスタ(TM2C)との比較値を設定する特殊機能レジスタ(SFR)です。

- 【注意】
- ・TM2D は , タイマ 2 が停止している状態で設定してください。
 - ・8 ビットタイマモード時は , TM2D に“01H”～“0FFH”を設定してください。“00H”を設定した場合は“01H”と同じ動作となります。
 - ・16 ビットタイマモード時は , TM3D , TM2D に“0001H”～“0FFFFH”を設定してください。“0000H”を設定した場合は“0001H”と同じ動作となります。

15.2.5 タイマ 3 データレジスタ(TM3D)

アドレス:0F03CH
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:0FFH

	7	6	5	4	3	2	1	0
TM3D	T3D7	T3D6	T3D5	T3D4	T3D3	T3D2	T3D1	T3D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

TM3D は , タイマ 3 カウンタレジスタ(TM3C)との比較値を設定する特殊機能レジスタ(SFR)です。

【注意】

- ・TM3D は , タイマ 3 が停止している状態で設定してください。
- ・8 ビットタイマモード時は , TM3D に“01H”～“0FFH”を設定してください。“00H”を設定した場合は“01H”と同じ動作となります。
- ・16 ビットタイマモード時は , TM3D , TM2D に“0001H”～“0FFFFH”を設定してください。“0000H”を設定した場合は“0001H”と同じ動作となります。

15.2.6 タイマ 0 カウンタレジスタ (TM0C)

アドレス: 0F031H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
TM0C	T0C7	T0C6	T0C5	T0C4	T0C3	T0C2	T0C1	T0C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TM0C は、8 ビットのバイナリカウンタとして機能する特殊機能レジスタ (SFR) です。
TM0C に書き込み動作を行うと、TM0C は“00H”になります。書き込みデータは意味がありません。
16 ビットタイマモードでは、下位側 TM0C、もしくは上位側 TM1C のどちらか片方に書き込み動作を行うと、下位側、上位側の両方が“0000H”になります。

タイマ動作中の TM0C の内容は、タイマクロックとシステムクロックの条件により読み出しができない場合があります。
表 15-1 にタイマクロックとシステムクロックの各条件によるタイマ動作中の TM0C 読み出し可否一覧を示します。

表 15-1 タイマ動作中の TM0C 読み出し可否一覧		
タイマクロック T0CK	システムクロック SYSCLK	TM0C の読み出し可否
LSCLK	LSCLK	読み出し可能です。
	HSCLK	読み出し可能です。ただし、カウントアップ中の不確定データの読み出しを防止するため、TM0C を二度読み出し、データが同一であることを確認してください。
HTBCLK	HSCLK	読み出し可能です。

15.2.7 タイマ 1 カウンタレジスタ (TM1C)

アドレス: 0F035H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
TM1C	T1C7	T1C6	T1C5	T1C4	T1C3	T1C2	T1C1	T1C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TM1C は、8 ビットのバイナリカウンタとして機能する特殊機能レジスタ (SFR) です。
 TM1C に書き込み動作を行うと、TM1C は“00H”になります。書き込みデータは意味がありません。
 16 ビットタイマモードでは、下位側 TM0C、もしくは上位側 TM1C のどちらか片方に書き込み動作を行うと、下位側、上位側の両方が“0000H”になります。
 16 ビットタイマモードで、TM1C を読み出す場合は、TM0C 読み出し時に TM1C のカウント値が TM1C ラッチに格納されますので、必ず TM0C を先に読み出してください。

タイマ動作中の TM1C の内容は、タイマクロックとシステムクロックの条件により読み出しができない場合があります。表 15-2 にタイマクロックとシステムクロックの各条件によるタイマ動作中の TM1C 読み出し可否一覧を示します。

表 15-2 タイマ動作中の TM1C 読み出し可否一覧

タイマクロック T1CK	システムクロック SYSCLK	TM1C の読み出し可否
LSCLK	LSCLK	読み出し可能です。
	HSCLK	読み出し可能です。ただし、カウントアップ中の不確定データの読み出しを防止するため、TM1C を二度読み出し、データが同一であることを確認してください。
HTBCLK	HSCLK	読み出し可能です。

【注意】

16 ビットタイマモードで TM1C と TM0C を読み出す場合はワード型命令を使用してください。バイト型命令で TM1C と TM0C を読み出すと、命令間でカウンタがカウントアップする場合があります。

15.2.8 タイマ 2 カウンタレジスタ (TM2C)

アドレス: 0F039H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
TM2C	T2C7	T2C6	T2C5	T2C4	T2C3	T2C2	T2C1	T2C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TM2C は、8 ビットのバイナリカウンタとして機能する特殊機能レジスタ (SFR) です。
TM2C に書き込み動作を行うと、TM2C は“00H”になります。書き込みデータは意味がありません。
16 ビットタイマモードでは、下位側 TM2C、もしくは上位側 TM3C のどちらか片方に書き込み動作を行うと、下位側、上位側の両方が“0000H”になります。

タイマ動作中の TM2C の内容は、タイマクロックとシステムクロックの条件により読み出しができない場合があります。
表 15-3 にタイマクロックとシステムクロックの各条件によるタイマ動作中の TM2C 読み出し可否一覧を示します。

表 15-3 タイマ動作中の TM2C 読み出し可否一覧		
タイマクロック T2CK	システムクロック SYSCLK	TM2C の読み出し可否
LSCLK	LSCLK	読み出し可能です。
	HSCLK	読み出し可能です。ただし、カウントアップ中の不確定データの読み出しを防止するため、TM2C を二度読み出し、データが同一であることを確認してください。
HTBCLK	HSCLK	読み出し可能です。

15.2.9 タイマ 3 カウンタレジスタ (TM3C)

アドレス: 0F03DH
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
TM3C	T3C7	T3C6	T3C5	T3C4	T3C3	T3C2	T3C1	T3C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TM3C は、8 ビットのバイナリカウンタとして機能する特殊機能レジスタ(SFR) す。
 TM3C に書き込み動作を行うと、TM3C は“00H”になります。書き込みデータは意味がありません。
 16 ビットタイマモードでは、下位側 TM2C、もしくは上位側 TM3C のどちらか片方に書き込み動作を行うと、下位側、上位側の両方が“0000H”になります。
 16 ビットタイマモードで、TM3C を読み出す場合は、TM2C 読み出し時に TM3C のカウント値が TM3C ラッチに格納されますので、必ず TM0C を先に読み出してください。

タイマ動作中の TM3C の内容は、タイマクロックとシステムクロックの条件により読み出しができない場合があります。
 表 15-4 にタイマクロックとシステムクロックの各条件によるタイマ動作中の TM3C 読み出し可否一覧を示します。

表 15-4 タイマ動作中の TM3C 読み出し可否一覧

タイマクロック T3CK	システムクロック SYSCLK	TM1C の読み出し可否
LSCLK	LSCLK	読み出し可能です。
	HSCLK	読み出し可能です。ただし、カウントアップ中の不確定データの読み出しを防止するため、TM3C を二度読み出し、データが同一であることを確認してください。
HTBCLK	HSCLK	読み出し可能です。

【注意】

16 ビットタイマモードで TM3C と TM2C を読み出す場合はワード型命令を使用してください。バイト型命令で TM3C と TM2C を読み出すと、命令間でカウンタがカウントアップする場合があります。

15.2.10 タイマ 0 コントロールレジスタ 0(TM0CON0)

アドレス: 0F032H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
TM0CON0	-	-	-	-	-	T01M16	T0CS1	T0CS0
R/W	-	-	-	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TM0CON0 は、タイマ 0 を制御する特殊機能レジスタ(SFR)です。
タイマ 0 が停止している状態(TM0CON1 レジスタの T0STAT が“0”の状態)で、TM0C に書き込み動作をして、TM0C をクリアした後に、TM0CON0 を書き換えてください。

ビットの説明

- ・ **T0CS1, T0CS0** (ビット 1 ~ 0)
T0CS1, T0CS0 は、タイマ 0 の動作クロックを選択するビットです。LSCLK, HTBCLK が選択できます。

T0CS1	T0CS0	説明
0	0	LSCLK (初期値)
0	1	HTBCLK
1	0	使用禁止 (タイマは動作しません)
1	1	使用禁止 (タイマは動作しません)

- ・ **T01M16** (ビット 2)
T01M16 は、タイマ 0 とタイマ 1 の動作モードを選択するビットです。
8 ビットタイマモードでは、タイマ 0 とタイマ 1 がそれぞれ独立した 8 ビットタイマとして動作します。
16 ビットタイマモードでは、タイマ 0 とタイマ 1 が接続され、16 ビットタイマとして動作し、タイマ 0 のオーバフロー信号でタイマ 1 がカウントアップします。この時、タイマ 0 の割込み(TM0INT)は発生しません。

T01M16	説明
0	8 ビットタイマモード (初期値)
1	16 ビットタイマモード

15.2.11 タイマ 1 コントロールレジスタ 0 (TM1CON0)

アドレス: 0F036H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
TM1CON0	-	-	-	-	-	-	T1CS1	T1CS0
R/W	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TM1CON0 は、タイマ 1 を制御する特殊機能レジスタ (SFR) です。
タイマ 1 が停止している状態 (TM1CON1 レジスタの T1STAT が“0”の状態) で、TM1C に書き込み動作をして、TM1C をクリアした後に、TM1CON0 を書き換えてください。

ビットの説明

- ・ **T1CS1, T1CS0** (ビット 1 ~ 0)
T1CS1, T1CS0 は、タイマ 1 の動作クロックを選択するビットです。LSCLK, HTBCLK が選択できます。
TM0CON0 の T01M16 を“1”にし 16 ビットタイマモードを選択している場合は、T1CS1, T1CS0 の値は無効となります。

T1CS1	T1CS0	説明
0	0	LSCLK (初期値)
0	1	HTBCLK
1	0	使用禁止 (タイマは動作しません)
1	1	使用禁止 (タイマは動作しません)

15.2.12 タイマ 2 コントロールレジスタ 0(TM2CON0)

アドレス:0F03AH
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:00H

	7	6	5	4	3	2	1	0
TM2CON0	-	-	-	-	-	T23M16	T2CS1	T2CS0
R/W	-	-	-	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TM2CON0 は、タイマ 2 を制御する特殊機能レジスタ(SFR)です。
タイマ 2 が停止している状態(TM2CON1 レジスタの T2STAT が“0”の状態)で、TM2C に書き込み動作をして、TM2C をクリアした後に、TM2CON0 を書き換えてください。

ビットの説明

- ・ **T2CS1, T2CS0**(ビット 1 ~ 0)
T2CS1, T2CS0 は、タイマ 2 の動作クロックを選択するビットです。LSCLK, HTBCLK が選択できます。

T2CS1	T2CS0	説明
0	0	LSCLK(初期値)
0	1	HTBCLK
1	0	使用禁止(タイマは動作しません)
1	1	使用禁止(タイマは動作しません)

- ・ **T23M16**(ビット 2)
T23M16 は、タイマ 2 とタイマ 3 の動作モードを選択するビットです。
8 ビットタイマモードでは、タイマ 2 とタイマ 3 がそれぞれ独立した 8 ビットタイマとして動作します。
16 ビットタイマモードでは、タイマ 2 とタイマ 3 が接続され、16 ビットタイマとして動作し、タイマ 2 のオーバーフロー信号でタイマ 3 がカウントアップします。この時、タイマ 2 の割込み(TM2INT)は発生しません。

T23M16	説明
0	8 ビットタイマモード (初期値)
1	16 ビットタイマモード

15.2.13 タイマ 3 コントロールレジスタ 0(TM3CON0)

アドレス:0F03EH
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:00H

	7	6	5	4	3	2	1	0
TM3CON0	-	-	-	-	-	-	T3CS1	T3CS0
R/W	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TM3CON0 は、タイマ 3 を制御する特殊機能レジスタ(SFR)です。
タイマ 3 が停止している状態(TM3CON1 レジスタの T3STAT が“0”の状態)で、TM3C に書き込み動作をして、TM3C をクリアした後に、TM3CON0 を書き換えてください。

ビットの説明

- ・ **T3CS1 , T3CS0** (ビット 1 ~ 0)
T3CS1 , T3CS0 は、タイマ 3 の動作クロックを選択するビットです。LSCLK , HTBCLK が選択できます。
TM2CON0 の T23M16 を“1”にし 16 ビットタイマモードを選択している場合は、T3CS1 , T3CS0 の値は無効となります。

T3CS1	T3CS0	説明
0	0	LSCLK (初期値)
0	1	HTBCLK
1	0	使用禁止(タイマは動作しません)
1	1	使用禁止(タイマは動作しません)

15.2.14 タイマ 0 コントロールレジスタ 1 (TM0CON1)

アドレス: 0F033H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
TM0CON1	T0STAT	-	-	-	-	-	-	T0RUN
R/W	R	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

TM0CON1 は、タイマを制御する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **T0RUN**(ビット 0)
T0RUN は、タイマ 0 のカウント停止 / 開始を制御するビットです。

T0RUN	説明
0	カウント停止
1	カウント開始

- ・ **T0STAT**(ビット 7)
T0STAT は、タイマ 0 の動作中 / 停止中を示すビットです。

T0STAT	説明
0	カウント停止中
1	カウント中

15.2.15 タイマ 1 コントロールレジスタ 1 (TM1CON1)

アドレス: 0F037H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
TM1CON1	T1STAT	-	-	-	-	-	-	T1RUN
R/W	R	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

TM1CON1 は、タイマを制御する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **T1RUN**(ビット 0)
T1RUN は、タイマ 1 のカウント停止 / 開始を制御するビットです。
16 ビットタイマモード時は、必ず“0”に設定してください。T1RUN の値に関係なくタイマ 0 のオーバーフロー信号によりタイマ 1 がカウントアップします。

T1RUN	説明
0	カウント停止
1	カウント開始

- ・ **T1STAT**(ビット 7)
T1STAT は、タイマ 1 の動作中 / 停止中を示すビットです。
16 ビットタイマモードでは、“0”が読み出されます。

T1STAT	説明
0	カウント停止中
1	カウント中

15.2.16 タイマ 2 コントロールレジスタ 1 (TM2CON1)

アドレス: 0F03BH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
TM2CON1	T2STAT	-	-	-	-	-	-	T2RUN
R/W	R	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

TM2CON1 は、タイマを制御する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **T2RUN**(ビット 0)
T2RUN は、タイマ 2 のカウント停止 / 開始を制御するビットです。

T2RUN	説明
0	カウント停止
1	カウント開始

- ・ **T2STAT**(ビット 7)
T2STAT は、タイマ 2 の動作中 / 停止中を示すビットです。

T2STAT	説明
0	カウント停止中
1	カウント中

15.2.17 タイマ 3 コントロールレジスタ 1 (TM3CON1)

アドレス: 0F03FH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
TM3CON1	T3STAT	-	-	-	-	-	-	T3RUN
R/W	R	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

TM3CON1 は、タイマを制御する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **T3RUN**(ビット 0)
T3RUN は、タイマ 1 のカウント停止 / 開始を制御するビットです。
16 ビットタイマモード時は、必ず“0”に設定してください。T3RUN の値に関係なくタイマ 2 のオーバーフロー信号によりタイマ 3 がカウントアップします。

T3RUN	説明
0	カウント停止
1	カウント開始

- ・ **T3STAT**(ビット 7)
T3STAT は、タイマ 3 の動作中 / 停止中を示すビットです。
16 ビットタイマモードでは、“0”が読み出されます。

T3STAT	説明
0	カウント停止中
1	カウント中

15.3 動作説明

タイマカウンタ (TMnC) は、タイマ 0～3 コントロールレジスタ 1 (TMnCON1) の TnRUN ビットを“1”にすると、タイマ 0～3 コントロールレジスタ 0 (TMnCON0) で選択されているタイマクロック (TnCK) の 1 回目の立ち下がりエッジで動作状態 (TnSTAT が“1”)となり、2 回目の立ち下がりエッジでアップカウントを開始します。

TMnC のカウント値とタイマ 0～3 データレジスタ (TMnD) の値が一致すると、次のタイマクロックの立ち下がりエッジでタイマ 0～3 割込み (TMnINT) を発生し、同時に TMnC は“00H”にリセットされ、アップカウントを継続します。

また、TnRUN ビットを“0”にすると、TMnC は、タイマクロック (TnCK) の立ち下がり 1 カウント後にアップカウントを停止します。TMnC の停止は、タイマ 0～3 コントロールレジスタ 1 (TMnCON1) の TnSTAT ビットが“0”になることで確認してください。再び TnRUN ビットを“1”にすると、TMnC は停止していた値からアップカウントを再開します。TMnC を“00H”に初期化する場合、TMnC に書き込み動作を行ってください。

タイマ割込み周期 (T_{TMI}) は以下の式で表わされます。

$$T_{TMI} = \frac{TMnD + 1}{TnCK \text{ (Hz)}} \quad (n=0 \sim 3)$$

TMnD: タイマ 0～3 データレジスタ (TMnD) 設定値 (01H～0FFH)

TnCK: タイマ 0～3 コントロールレジスタ 0 (TMnCON0) により選択されたクロック周波数

TnRUN ビットを“1”にセットした後、タイマクロックにて同期をとりカウントを開始しますので、最初のタイマ割込みまでには最大 1 クロックの誤差が生じます。2 回目以降のタイマ割込み周期は一定です。

図 15-2 に、タイマ 0～3 の動作タイミングを示します。

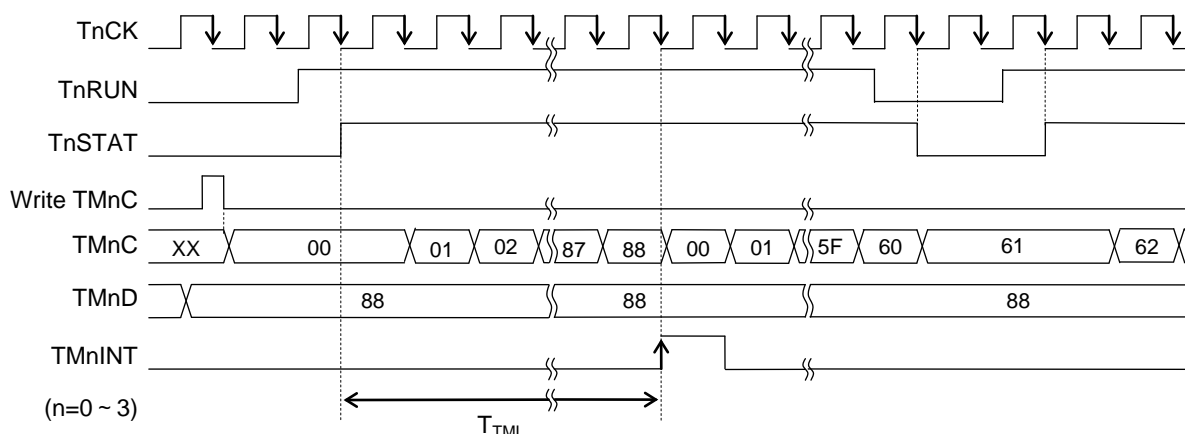


図 15-2 タイマ 0～3 の動作タイミング

[注意]

TnRUN ビットに“0”を書き込んでも、次のタイマクロックの立ち下がりエッジまで (タイマ 0～3 状態フラグ TnSTAT が“1”の状態) は、カウント動作を継続しますので、タイマ 0～3 割込み (TMnINT) が発生する可能性があります。

第 16 章 PWM

16 PWM

16.1 概要

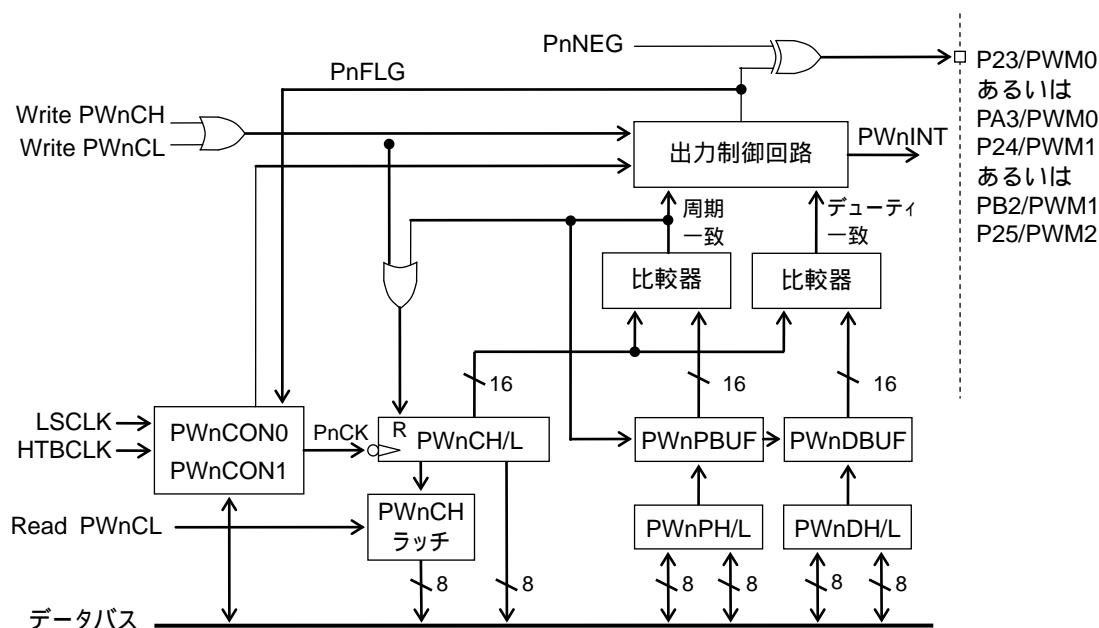
本 LSI は、16 ビットの PWM (Pulse Width Modulation) を PWM0 ~ 2 として 3 チャンネル内蔵しています。
 PWM0 出力 (PWM0) は、P23(ポート 2)の 2 次機能、PA3(ポート A)の 2 次機能に割り付けられています。
 PWM1 出力 (PWM1) は、P24(ポート 2)の 2 次機能、PB2(ポート B)の 2 次機能に割り付けられています。
 PWM2 出力 (PWM2) は、P25(ポート 2)の 2 次機能に割り付けられています。
 ポート 2 の機能については第 6 章「ポート 2」を、ポート A の機能については第 10 章「ポート A」を、ポート B の機能については第 11 章「ポート B」を参照してください。
 PWM0 ~ 2 は、ブロックコントロールレジスタ 1 (BLKCON1) の DPW_n (n=0 ~ 2) ビットが“0”の場合のみ動作します。
 DPW_n ビットが“1”の場合には PWM_n の各機能はリセット状態となります。ブロックコントロールレジスタについては、第 5 章「MCU 制御機能」を参照してください。

16.1.1 特長

- ・ 約 244ns (@HTBCLK=8.192MHz) ~ 2s (@LSCLK=32.768kHz) 周期の PWM 信号を発生し、外部に出力することが可能
- ・ PWM 信号の出力論理を正論理、負論理に切り替えることが可能
- ・ PWM 信号の周期一致時、デューティ一致時、周期&デューティ一致時に PWM 割込み (PW_nINT) を発生
- ・ PWM のクロックは、低速クロック (LSCLK)、高速側タイムベースクロック (HTBCLK) が選択可能

16.1.2 構成

図 16-1 に PWM 回路の構成を示します。



PWnPL : PWM_n 周期レジスタ L
 PWnPH : PWM_n 周期レジスタ H
 PWnPBUF : PWM_n 周期バッファ
 PWnDL : PWM_n デューティレジスタ L
 PWnDH : PWM_n デューティレジスタ H
 PWnDBUF : PWM_n デューティバッファ
 PWnCL : PWM_n カウンタレジスタ L
 PWnCH : PWM_n カウンタレジスタ H
 PWnCON0 : PWM_n コントロールレジスタ 0
 PWnCON1 : PWM_n コントロールレジスタ 1

図 16-1 PWM 回路の構成 n=0 ~ 2

16.1.3 端子一覧

端子名	入出力	機能
P23/PWM0	○	PWM0 出力端子 P23 端子の 2 次機能として使用します。
PA3/PWM0	○	PWM0 出力端子 PA3 端子の 2 次機能として使用します。
P24/PWM1	○	PWM1 出力端子 P24 端子の 2 次機能として使用します。
PB2/PWM1	○	PWM1 出力端子 PB2 端子の 2 次機能として使用します。
P25/PWM2	○	PWM2 出力端子 P25 端子の 2 次機能として使用します。

16.2 レジスタ説明

16.2.1 レジスタ一覧

アドレス	名称	略称(Byte)	略称(Word)	R/W	サイズ	初期値
0F0A0H	PWM0 周期レジスタ L	PW0PL	PW0P	R/W	8/16	0FFH
0F0A1H	PWM0 周期レジスタ H	PW0PH		R/W	8	0FFH
0F0A2H	PWM0 デューティレジスタ L	PW0DL	PW0D	R/W	8/16	00H
0F0A3H	PWM0 デューティレジスタ H	PW0DH		R/W	8	00H
0F0A4H	PWM0 カウンタレジスタ L	PW0CL	PW0C	R/W	8/16	00H
0F0A5H	PWM0 カウンタレジスタ H	PW0CH		R/W	8	00H
0F0A6H	PWM0 コントロールレジスタ 0	PW0CON0	PW0CON	R/W	8/16	00H
0F0A7H	PWM0 コントロールレジスタ 1	PW0CON1		R/W	8	40H
0F0A8H	PWM1 周期レジスタ L	PW1PL	PW1P	R/W	8/16	0FFH
0F0A9H	PWM1 周期レジスタ H	PW1PH		R/W	8	0FFH
0F0AAH	PWM1 デューティレジスタ L	PW1DL	PW1D	R/W	8/16	00H
0F0ABH	PWM1 デューティレジスタ H	PW1DH		R/W	8	00H
0F0ACH	PWM1 カウンタレジスタ L	PW1CL	PW1C	R/W	8/16	00H
0F0ADH	PWM1 カウンタレジスタ H	PW1CH		R/W	8	00H
0F0AEH	PWM1 コントロールレジスタ 0	PW1CON0	PW1CON	R/W	8/16	00H
0F0AFH	PWM1 コントロールレジスタ 1	PW1CON1		R/W	8	40H
0F0B0H	PWM2 周期レジスタ L	PW2PL	PW2P	R/W	8/16	0FFH
0F0B1H	PWM2 周期レジスタ H	PW2PH		R/W	8	0FFH
0F0B2H	PWM2 デューティレジスタ L	PW2DL	PW2D	R/W	8/16	00H
0F0B3H	PWM2 デューティレジスタ H	PW2DH		R/W	8	00H
0F0B4H	PWM2 カウンタレジスタ L	PW2CL	PW2C	R/W	8/16	00H
0F0B5H	PWM2 カウンタレジスタ H	PW2CH		R/W	8	00H
0F0B6H	PWM2 コントロールレジスタ 0	PW2CON0	PW2CON	R/W	8/16	00H
0F0B7H	PWM2 コントロールレジスタ 1	PW2CON1		R/W	8	40H

16.2.2 PWM0 周期レジスタ (PW0PL, PW0PH)

アドレス: 0F0A0H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 0FFH

	7	6	5	4	3	2	1	0
PW0PL	P0P7	P0P6	P0P5	P0P4	P0P3	P0P2	P0P1	P0P0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

アドレス: 0F0A1H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0FFH

	7	6	5	4	3	2	1	0
PW0PH	P0P15	P0P14	P0P13	P0P12	P0P11	P0P10	P0P9	P0P8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

PW0PH, PW0PL は , PWM0 の周期を設定する特殊機能レジスタ (SFR) です。

[注意]
PW0PH, PW0PL が“0000H”の場合 , PWM0 周期バッファ (PW0PBUF) には“0001H”が設定されます。

16.2.3 PWM1 周期レジスタ (PW1PL, PW1PH)

アドレス: 0F0A8H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 0FFH

	7	6	5	4	3	2	1	0
PW1PL	P1P7	P1P6	P1P5	P1P4	P1P3	P1P2	P1P1	P1P0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

アドレス: 0F0A9H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0FFH

	7	6	5	4	3	2	1	0
PW1PH	P1P15	P1P14	P1P13	P1P12	P1P11	P1P10	P1P9	P1P8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

PW1PH, PW1PL は , PWM1 の周期を設定する特殊機能レジスタ (SFR) です。

[注意]
PW1PH, PW1PL が“0000H”の場合 , PWM1 周期バッファ (PW1PBUF) には“0001H”が設定されます。

16.2.4 PWM2 周期レジスタ (PW2PL, PW2PH)

アドレス: 0F0B0H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 0FFH

	7	6	5	4	3	2	1	0
PW2PL	P2P7	P2P6	P2P5	P2P4	P2P3	P2P2	P2P1	P2P0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

アドレス: 0F0B1H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0FFH

	7	6	5	4	3	2	1	0
PW2PH	P2P15	P2P14	P2P13	P2P12	P2P11	P2P10	P2P9	P2P8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

PW2PH, PW2PL は , PWM2 の周期を設定する特殊機能レジスタ (SFR) です。

[注意]
PW2PH, PW2PL が“0000H”の場合 , PWM2 周期バッファ (PW2PBUF) には“0001H”が設定されます。

16.2.5 PWM0 デューティレジスタ (PW0DL, PW0DH)

アドレス: 0F0A2H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW0DL	P0D7	P0D6	P0D5	P0D4	P0D3	P0D2	P0D1	P0D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F0A3H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW0DH	P0D15	P0D14	P0D13	P0D12	P0D11	P0D10	P0D9	P0D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PW0DH, PW0DL は , PWM0 のデューティを設定する特殊機能レジスタ (SFR) です。

[注意]
PW0DH, PW0DL には , PW0PH, PW0PL の設定より小さいデータを設定してください。

16.2.6 PWM1 デューティレジスタ (PW1DL, PW1DH)

アドレス: 0F0AAH
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW1DL	P1D7	P1D6	P1D5	P1D4	P1D3	P1D2	P1D1	P1D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F0ABH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW1DH	P1D15	P1D14	P1D13	P1D12	P1D11	P1D10	P1D9	P1D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PW1DH, PW1DL は , PWM1 のデューティを設定する特殊機能レジスタ (SFR) です。

[注意]
PW1DH, PW1DL には , PW1PH, PW1PL の設定より小さいデータを設定してください。

16.2.7 PWM2 デューティレジスタ (PW2DL, PW2DH)

アドレス: 0F0B2H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW2DL	P2D7	P2D6	P2D5	P2D4	P2D3	P2D2	P2D1	P2D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F0B3H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW2DH	P2D15	P2D14	P2D13	P2D12	P2D11	P2D10	P2D9	P2D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PW2DH, PW2DL は , PWM2 のデューティを設定する特殊機能レジスタ (SFR) です。

[注意]
PW2DH, PW2DL には , PW2PH, PW2PL の設定より小さいデータを設定してください。

16.2.8 PWM0 カウンタレジスタ (PW0CH, PW0CL)

アドレス: 0F0A4H
 アクセス: R/W
 アクセスサイズ: 8/16 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
PW0CL	P0C7	P0C6	P0C5	P0C4	P0C3	P0C2	P0C1	P0C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F0A5H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
PW0CH	P0C15	P0C14	P0C13	P0C12	P0C11	P0C10	P0C9	P0C8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PW0CL, PW0CH は、16 ビットのバイナリカウンタとして機能する特殊機能レジスタ (SFR) です。
 PW0CL, PW0CH のどちらか片方に書き込み動作を行うと、PW0CL, PW0CH は“0000H”になります。書き込みデータは意味がありません。
 PW0CL を読み出すと PW0CH の値がラッチされます。PW0CH, PW0CL を読み出す場合は、ワード型命令を使用するか、もしくは PW0CL を先に読み出してください。

PWM 動作中の PW0CH, PW0CL の内容は、PWM クロックとシステムクロックの条件により読み出しができない場合があります。
 表 16-1 に PWM クロックとシステムクロックの各条件による PWM 動作中の PW0CH,PW0CL 読み出し可否一覧を示します。

表 16-1 PWM 動作中の PW0CH,PW0CL 読み出し可否一覧

PWM クロック P0CK	システムクロック SYSCLK	PW0CH, PW0CL の読み出し可否
LSCLK	LSCLK	読み出し可能です。
LSCLK	HSCLK	読み出し可能です。ただし、カウントアップ中の不確定データの読み出しを防止するため、PW0CH, PW0CL を二度読み出し、値が一致するまで読み出しを繰り返してください。
HTBCLK	LSCLK	読み出し禁止です。
HTBCLK	HSCLK	読み出し可能です。

16.2.9 PWM1 カウンタレジスタ (PW1CH, PW1CL)

アドレス: 0F0ACH
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW1CL	P1C7	P1C6	P1C5	P1C4	P1C3	P1C2	P1C1	P1C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F0ADH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW1CH	P1C15	P1C14	P1C13	P1C12	P1C11	P1C10	P1C9	P1C8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PW1CL, PW1CH は、16 ビットのバイナリカウンタとして機能する特殊機能レジスタ (SFR) です。
PW1CL, PW1CH のどちらか片方に書き込み動作を行うと、PW1CL, PW1CH は“0000H”になります。書き込みデータは意味がありません。
PW1CL を読み出すと PW1CH の値がラッチされます。PW1CH, PW1CL を読み出す場合は、ワード型命令を使用するか、もしくは PW1CL を先に読み出してください。

PWM 動作中の PW1CH, PW1CL の内容は、PWM クロックとシステムクロックの条件により読み出しができない場合があります。
表 16-2 に PWM クロックとシステムクロックの各条件による PWM 動作中の PW1CH, PW1CL 読み出し可否一覧を示します。

表 16-2 PWM 動作中の PW1CH, PW1CL 読み出し可否一覧

PWM クロック P1CK	システムクロック SYSCLK	PW1CH, PW1CL の読み出し可否
LSCLK	LSCLK	読み出し可能です。
LSCLK	HSCLK	読み出し可能です。ただし、カウントアップ中の不確定データの読み出しを防止するため、PW1CH, PW1CL を二度読み出し、値が一致するまで読み出しを繰り返してください。
HTBCLK	LSCLK	読み出し禁止です。
HTBCLK	HSCLK	読み出し可能です。

16.2.10 PWM2 カウンタレジスタ (PW2CH, PW2CL)

アドレス: 0F0B4H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW2CL	P2C7	P2C6	P2C5	P2C4	P2C3	P2C2	P2C1	P2C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F0B5H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW2CH	P2C15	P2C14	P2C13	P2C12	P2C11	P2C10	P2C9	P2C8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PW2CL, PW2CH は、16 ビットのバイナリカウンタとして機能する特殊機能レジスタ (SFR) です。
PW2CL, PW2CH のどちらか片方に書き込み動作を行うと、PW2CL, PW2CH は“0000H”になります。書き込みデータは意味がありません。
PW2CL を読み出すと PW2CH の値がラッチされます。PW2CH, PW2CL を読み出す場合は、ワード型命令を使用するか、もしくは PW2CL を先に読み出してください。

PWM 動作中の PW2CH, PW2CL の内容は、PWM クロックとシステムクロックの条件により読み出しができない場合があります。
表 16-3 に PWM クロックとシステムクロックの各条件による PWM 動作中の PW2CH, PW2CL 読み出し可否一覧を示します。

表 16-3 PWM 動作中の PW2CH, PW2CL 読み出し可否一覧

PWM クロック P2CK	システムクロック SYSCLK	PW2CH, PW2CL の読み出し可否
LSCLK	LSCLK	読み出し可能です。
LSCLK	HSCLK	読み出し可能です。ただし、カウントアップ中の不確定データの読み出しを防止するため、PW2CH, PW2CL を二度読み出し、値が一致するまで読み出しを繰り返してください。
HTBCLK	LSCLK	読み出し禁止です。
HTBCLK	HSCLK	読み出し可能です。

16.2.11 PWM0 コントロールレジスタ 0 (PW0CON0)

アドレス: 0F0A6H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW0CON0	-	-	-	P0NEG	P0IS1	P0IS0	P0CS1	P0CS0
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PW0CON0 は、PWM0 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P0CS1, P0CS0**(ビット 1, ビット 0)
P0CS1, P0CS0 は、PWM0 の動作クロックを選択するビットです。LSCLK, HTBCLK が選択できます。

P0CS1	P0CS0	説明
0	0	LSCLK (初期値)
0	1	HTBCLK
1	0	使用禁止 (PWM 回路は動作しません)
1	1	使用禁止 (PWM 回路は動作しません)

- ・ **P0IS1, P0IS0**(ビット 3, ビット 2)
P0IS1, P0IS0 は、PWM0 割込み発生ポイントを選択するビットです。周期一致時, デューティー一致時, 周期&デューティー一致時が選択できます。

P0IS1	P0IS0	説明
0	0	周期一致時 (初期値)
0	1	デューティー一致時
1	*	周期 / デューティー一致時

- ・ **P0NEG**(ビット 4)
P0NEG は、PWM0 の出力論理を選択するビットです。正論理時は PWM0 出力の初期値が“1”, 負論理時は“0”となります。

P0NEG	説明
0	正論理 (初期値)
1	負論理

16.2.12 PWM1 コントロールレジスタ 0 (PW1CON0)

アドレス: 0F0AEH
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW1CON0	-	-	-	P1NEG	P1IS1	P1IS0	P1CS1	P1CS0
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PW1CON0 は、PWM1 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P1CS1, P1CS0**(ビット 1, ビット 0)
P1CS1, P1CS0 は、PWM1 の動作クロックを選択するビットです。LSCLK, HTBCLK が選択できます。

P1CS1	P1CS0	説明
0	0	LSCLK (初期値)
0	1	HTBCLK
1	0	使用禁止 (PWM 回路は動作しません)
1	1	使用禁止 (PWM 回路は動作しません)

- ・ **P1IS1, P1IS0**(ビット 3, ビット 2)
P1IS1, P1IS0 は、PWM1 割込み発生ポイントを選択するビットです。周期一致時, デューティ一致時, 周期&デューティ一致時が選択できます。

P1IS1	P1IS0	説明
0	0	周期一致時 (初期値)
0	1	デューティ一致時
1	*	周期 / デューティ一致時

- ・ **P1NEG**(ビット 4)
P1NEG は、PWM1 の出力論理を選択するビットです。正論理時は PWM1 出力の初期値が“1”, 負論理時は“0”となります。

P1NEG	説明
0	正論理 (初期値)
1	負論理

16.2.13 PWM2 コントロールレジスタ 0 (PW2CON0)

アドレス: 0F0B6H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
PW2CON0	-	-	-	P2NEG	P2IS1	P2IS0	P2CS1	P2CS0
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PW2CON0 は、PWM2 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P2CS1, P2CS0**(ビット 1, ビット 0)
P2CS1, P2CS0 は、PWM2 の動作クロックを選択するビットです。LSCLK, HTBCLK が選択できます。

P2CS1	P2CS0	説明
0	0	LSCLK (初期値)
0	1	HTBCLK
1	0	使用禁止 (PWM 回路は動作しません)
1	1	使用禁止 (PWM 回路は動作しません)

- ・ **P2IS1, P2IS0**(ビット 3, ビット 2)
P2IS1, P2IS0 は、PWM2 割込み発生ポイントを選択するビットです。周期一致時, デューティー一致時, 周期& デューティー一致時が選択できます。

P2IS1	P2IS0	説明
0	0	周期一致時 (初期値)
0	1	デューティー一致時
1	*	周期 / デューティー一致時

- ・ **P2NEG**(ビット 4)
P2NEG は、PWM2 の出力論理を選択するビットです。正論理時は PWM2 出力の初期値が“1”, 負論理時は“0”となります。

P2NEG	説明
0	正論理 (初期値)
1	負論理

16.2.14 PWM0 コントロールレジスタ 1 (PW0CON1)

アドレス: 0F0A7H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 40H

	7	6	5	4	3	2	1	0
PW0CON1	P0STAT	P0FLG	-	-	-	-	-	P0RUN
R/W	R	R/W	-	-	-	-	-	R/W
初期値	0	1	0	0	0	0	0	0

PW0CON1 は、PWM0 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P0RUN**(ビット 0)
P0RUN は、PWM0 のカウント停止 / 開始を制御するビットです。

P0RUN	説明
0	カウント停止 (初期値)
1	カウント開始

- ・ **P0FLG**(ビット 6)
P0FLG は、PWM0 出力のフラグを読み出すビットです。
PW0CH、もしくは PW0CL に書き込み動作を行うと、“1”になります。

P0FLG	説明
0	PWM0 出力フラグ=“0”
1	PWM0 出力フラグ=“1”(初期値)

- ・ **P0STAT**(ビット 7)
P0STAT は、PWM0 の動作中 / 停止中を示すビットです。

P0STAT	説明
0	カウント停止中 (初期値)
1	カウント動作中

16.2.15 PWM1 コントロールレジスタ 1 (PW1CON1)

アドレス:0F0AFH
アクセス:R/W
アクセスサイズ:8 ビット
初期値:40H

	7	6	5	4	3	2	1	0
PW1CON1	P1STAT	P1FLG	-	-	-	-	-	P1RUN
R/W	R	R/W	-	-	-	-	-	R/W
初期値	0	1	0	0	0	0	0	0

PW1CON1 は、PWM1 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P1RUN**(ビット 0)
P1RUN は、PWM1 のカウント停止 / 開始を制御するビットです。

P1RUN	説明
0	カウント停止 (初期値)
1	カウント開始

- ・ **P1FLG**(ビット 6)
P1FLG は、PWM1 出力のフラグを読み出すビットです。
PW1CH、もしくは PW1CL に書き込み動作を行うと、“1”になります。

P1FLG	説明
0	PWM1 出力フラグ=“0”
1	PWM1 出力フラグ=“1”(初期値)

- ・ **P1STAT**(ビット 7)
P1STAT は、PWM1 の動作中 / 停止中を示すビットです。

P1STAT	説明
0	カウント停止中 (初期値)
1	カウント動作中

16.2.16 PWM2 コントロールレジスタ 1 (PW2CON1)

アドレス: 0F0B7H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 40H

	7	6	5	4	3	2	1	0
PW2CON1	P2STAT	P2FLG	-	-	-	-	-	P2RUN
R/W	R	R/W	-	-	-	-	-	R/W
初期値	0	1	0	0	0	0	0	0

PW2CON1 は、PWM2 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **P2RUN**(ビット 0)
P2RUN は、PWM2 のカウント停止 / 開始を制御するビットです。

P2RUN	説明
0	カウント停止 (初期値)
1	カウント開始

- ・ **P2FLG**(ビット 6)
P2FLG は、PWM2 出力のフラグを読み出すビットです。
PW2CH、もしくは PW2CL に書き込み動作を行うと、“1”になります。

P2FLG	説明
0	PWM2 出力フラグ=“0”
1	PWM2 出力フラグ=“1”(初期値)

- ・ **P2STAT**(ビット 7)
P2STAT は、PWM2 の動作中 / 停止中を示すビットです。

P2STAT	説明
0	カウント停止中 (初期値)
1	カウント動作中

16.3 動作説明

PWM カウンタ (PWnCH, PWnCL, n=0, 1, 2) は, PWMn(n=0, 1, 2)コントロールレジスタ 1 (PWnCON1) の PnRUN ビットを“1”にすると, PWMn コントロールレジスタ 0 (PWnCON0) で選択されている PWM クロック (PnCK) の 1 回目の立ち下がりエッジで動作状態 (PnSTAT が“1”)となり, 2 回目の立ち下がりエッジでアップカウントを開始します。

PWnCH, PWnCL のカウント値と PWMn デューティバッファ (PWnDBUF) の値が一致すると, 次の PnCK の立ち下がりエッジで PWM フラグ (PnFLG) が“0”になります。

また, PWnCH, PWnCL のカウント値と PWMn 周期バッファ (PWnPBUF) の値が一致すると, 次の PnCK の立ち下がりエッジで PnFLG が“1”になり, PWnCH, PWnCL は“0000H”にリセットされアップカウントを継続します。また同時に, PWMn デューティレジスタ (PWnDH, PWnDL) の値が PWMn デューティバッファ (PWnDBUF) に, PWMn 周期レジスタ (PWnPH, PWnPL) の値が PWMn 周期バッファ (PWnPBUF) に転送されます。

PnRUN ビットを“0”にすると, PWnCH, PWnCL は, PWM クロック (PnCK) の立ち下がり 1 カウント後にアップカウントを停止します。PWnCH, PWnCL の停止は, PWMn コントロールレジスタ 1 (PWnCON1) の PnSTAT ビットが“0”になることで確認してください。再び PnRUN ビットを“1”にすると, 次の PnCK の立ち下がりエッジで PWnCH, PWnCL は停止していた値からアップカウントを再開します。

PWnCH, PWnCL を“0000H”に初期化する場合は, PWnCH, PWnCL のどちらか片方に書き込み動作を行ってください。その際, PnFLG も“1”になります。

また, カウント停止中 (PnRUN が“0”)に, PWMn デューティレジスタ (PWnDH, PWnDL) にデータを書き込むと PWMn デューティバッファ (PWnDBUF) に転送され, PWMn 周期レジスタ (PWnPH, PWnPL) にデータを書き込むと PWMn 周期バッファ (PWnPBUF) に転送されます。

PWM クロック, PWMn(n=0, 1, 2)の割込み発生ポイント, および PWM 出力の論理は, PWMn コントロールレジスタ 0 (PWnCON0) により選択します。

PWMn(n=0, 1, 2)信号の周期 (T_{PWP}), およびデューティ前半の期間 (T_{PWD}) は以下の式で表わされます。

$$T_{PWP} = \frac{PWnP + 1}{PnCK \text{ (Hz)}} \quad (n=0, 1, 2)$$

$$T_{PWD} = \frac{PWnD + 1}{PnCK \text{ (Hz)}} \quad (n=0, 1, 2)$$

PWnP: PWMn 周期レジスタ (PWnPH, PWnPL) 設定値 (0001H ~ 0FFFFH)

PWnD: PWMn デューティレジスタ (PWnDH, PWnDL) 設定値 (0000H ~ 0FFFEH)

PnCK: PWMn コントロールレジスタ 0 (PWnCON0) により選択されたクロック周波数

n=0, 1, 2

PnRUN ビットを“1”にセットした後、PWM クロックにて同期をとりカウントを開始しますので、最初の PWM 割込みまでには最大 1 クロックの誤差が生じます。2 回目以降の PWM 割込み周期は一定です。

図 16-2 に、PWMn(n=0, 1, 2)の動作タイミングを示します。

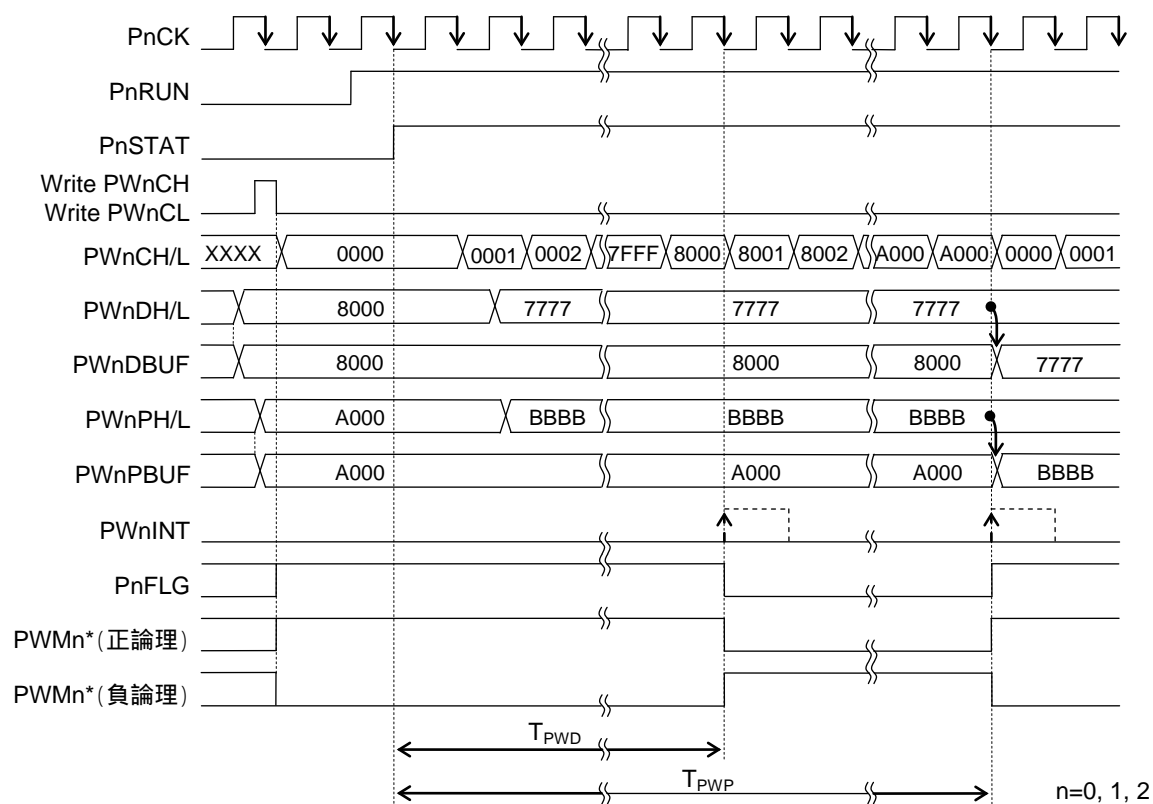


図 16-2 (1/2) PWMn(n=0, 1, 2)の動作タイミング

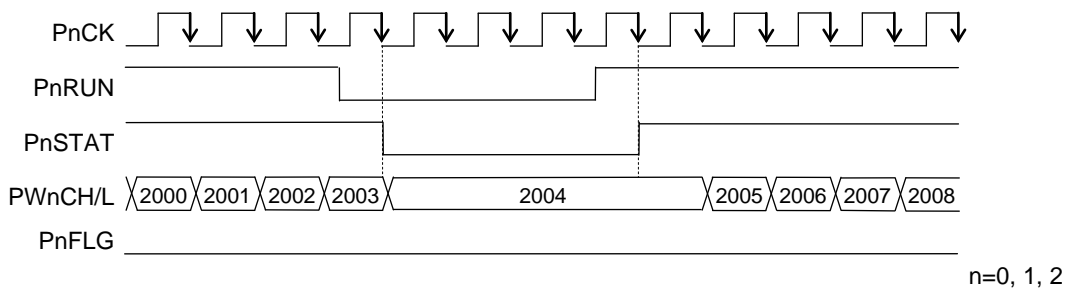


図 16-2 (2/2) PWMn(n=0, 1, 2)の動作タイミング

[注意]

PnRUN ビットに“0”を書き込んでも、次の PWM クロックの立ち下がりエッジまで (PWMn 状態フラグ (PnSTAT) が“1”の状態) は、カウント動作を継続しますので、PWMn 割込み (PwNINT) が発生する可能性があります。

16.4 ポートのレジスタ設定について

PWM 波形を出力するには関連する各ポートレジスタのビットを設定する必要があります。各レジスタの機能詳細については、第 6 章「ポート 2」、第 10 章「ポート A」、第 11 章「ポート B」を参照してください。

16.4.1 P23 端子(PWM0:出力)を使って PWM 機能を動作させる場合

P23MD ビット(P2MOD レジスタのビット 3)を“1”にし、PWM を P23 の 2 次機能として選択します。

レジスタ名	P2MOD レジスタ(アドレス:0F214H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25MD	P24MD	P23MD	P22MD	P21MD	P20MD
設定値	-	-	*	*	1	*	*	*

P23C1 ビット(P2CON1 レジスタのビット 3)を“1”に、P23C0 ビット(P2CON0 レジスタのビット 3)を“1”にし、PWM に使用する P23 端子の状態モードを CMOS 出力に選択します。

レジスタ名	P2CON1 レジスタ(アドレス:0F213H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25C1	P24C1	P23C1	P22C1	P21C1	P20C1
設定値	-	-	*	*	1	*	*	*

レジスタ名	P2CON0 レジスタ(アドレス:0F212H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25C0	P24C0	P23C0	P22C0	P21C0	P20C0
設定値	-	-	*	*	1	*	*	*

P23D ビット(P2D レジスタのビット 3)のデータは“0”でも“1”でも構いません。

レジスタ名	P2D レジスタ(アドレス:0F210H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	P25D	P24D	P23D	P22D	P21D	P20D
設定値	-	-	*	*	**	*	*	*

- : 存在しないビット

* : PWM 機能に関連のないビット

** : Don't care

16.4.2 PA3 端子(PWM0:出力)を使って PWM 機能を動作させる場合

PA3MD0 ビット(PAMOD0 レジスタのビット 3)を“1”にし, PWM を PA3 の 2 次機能として選択します。

レジスタ名	PAMOD0 レジスタ (アドレス:0F254H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	PA3MD0	PA2MD0	PA1MD0	PA0MD0
設定値	-	-	-	-	1	*	*	*

PA3C1 ビット(PACON1 レジスタのビット 3)を“1”に, PA3C0 ビット(PACON0 レジスタのビット 3)を“1”に, PA3DIR ビット(PADIR レジスタのビット 3)を“0”にし, PWM に使用する PA3 端子の状態モードを CMOS 出力に選択します。

レジスタ名	PACON1 レジスタ (アドレス:0F253H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7C1	PA6C1	PA5C1	PA4C1	PA3C1	PA2C1	PA1C1	PA0C1
設定値	*	*	*	*	1	*	*	*

レジスタ名	PACON0 レジスタ (アドレス:0F252H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7C0	PA6C0	PA5C0	PA4C0	PA3C0	PA2C0	PA1C0	PA0C0
設定値	*	*	*	*	1	*	*	*

レジスタ名	PADIR レジスタ (アドレス:0F251H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7DIR	PA6DIR	PA5DIR	PA4DIR	PA3DIR	PA2DIR	PA1DIR	PA0DIR
設定値	*	*	*	*	0	*	*	*

PA3D ビット(PAD レジスタのビット 3)のデータは“0”でも“1”でも構いません。

レジスタ名	PAD レジスタ (アドレス:0F250H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
設定値	*	*	*	*	**	*	*	*

- : 存在しないビット

* : PWM 機能に関連のないビット

** : Don't care

16.4.3 PB2 端子(PWM1:出力)を使って PWM 機能を動作させる場合

PB2MD0 ビット(PBMOD0 レジスタのビット 2)を“1”にし、PWM を PB2 の 2 次機能として選択します。

レジスタ名	PBMOD0 レジスタ (アドレス:0F25CH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	PB2MD0	PB1MD0	PB0MD0
設定値	-	-	-	-	-	1	*	*

PB2C1 ビット(PBCON1 レジスタのビット 2)を“1”に、PB2C0 ビット(PBCON0 レジスタのビット 2)を“1”に、PB2DIR ビット(PBDIR レジスタのビット 2)を“0”にし、PWM に使用する PB2 端子の状態モードを CMOS 出力に選択します。

レジスタ名	PBCON1 レジスタ (アドレス:0F25BH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6C1	PB5C1	PB4C1	PB3C1	PB2C1	PB1C1	PB0C1
設定値	-	*	*	*	*	1	*	*

レジスタ名	PBCON0 レジスタ (アドレス:0F25AH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6C0	PB5C0	PBC0	PB3C0	PB2C0	PB1C0	PB0C0
設定値	-	*	*	*	*	1	*	*

レジスタ名	PBDIR レジスタ (アドレス:0F259H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6DIR	PB5DIR	PB4DIR	PB3DIR	PB2DIR	PB1DIR	PB0DIR
設定値	-	*	*	*	*	0	*	*

PB2D ビット(PBD レジスタのビット 2)のデータは“0”でも“1”でも構いません。

レジスタ名	PBD レジスタ (アドレス:0F258H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6D	PB5D	PB4D	PB3D	PB2D	PB1D	PB0D
設定値	-	*	*	*	*	**	*	*

- : 存在しないビット

* : PWM 機能に関連のないビット

** : Don't care

第 17 章 ウォッチドッグタイマ

17 ウォッチドッグタイマ

17.1 概要

本 LSI は、MCU の不定状態を検出し、不定状態から復帰するために、システムリセットモードから無条件で動作する（フリーラン動作）ウォッチドッグタイマ（WDT）を内蔵しています。

WDT のオーバーフロー周期内に WDT カウンタをクリアできず WDT カウンタがオーバーフローすると WDT 割込み（ノンマスカブル割込み）を要求します。さらに二度目のオーバーフローにより WDT リセット信号を発生し、システムリセットモードに移行します。

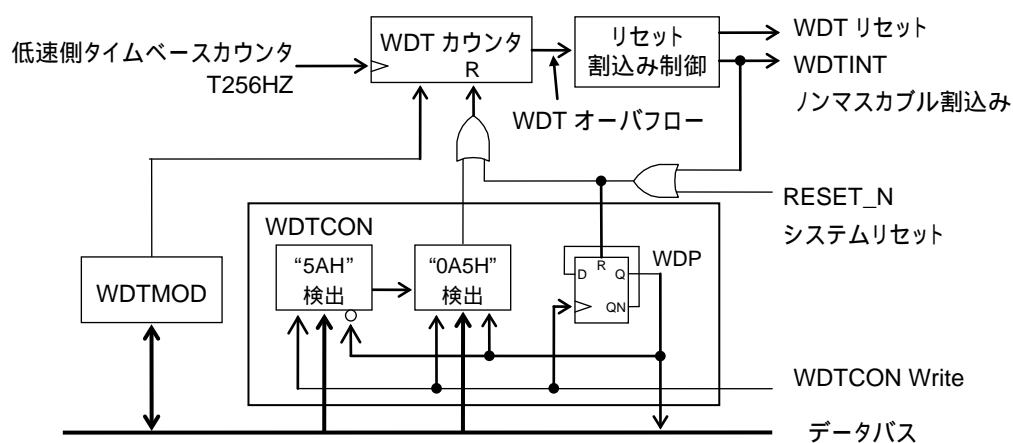
割込みについては「第 13 章 割込み」、WDT リセットについては「第 4 章 リセット」を参照してください。

17.1.1 特長

- ・ フリーラン動作（停止できません）
- ・ ソフトウェアにより 4 種類（125ms、500ms、2s、8s）のオーバーフロー周期が選択可能
- ・ 一度目のオーバーフローによりノンマスカブル割込み要求を発生
- ・ 二度目のオーバーフローにより WDT リセットを発生

17.1.2 構成

図 17-1 にウォッチドッグタイマの構成を示します。



WDTCON : ウォッチドッグタイマコントロールレジスタ

WDTMOD : ウォッチドッグタイマモードレジスタ

図 17-1 ウォッチドッグタイマの構成

17.2 レジスタ説明

17.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F00EH	ウォッチドッグタイマコントロールレジスタ	WDTCN	-	R/W	8	00H
0F00FH	ウォッチドッグタイマモードレジスタ	WDTMOD	-	R/W	8	02H

17.2.2 ウォッチドッグタイマコントロールレジスタ (WDTCON)

アドレス: 0F00EH

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
WDTCON	d7	d6	d5	d4	d3	d2	d1	WDP/d0
R/W	W	W	W	W	W	W	W	R/W
初期値	0	0	0	0	0	0	0	0

WDTCON は、WDT カウンタをクリアするための特殊機能レジスタ (SFR) です。

WDTCON を読み出すとビット 0 には内部ポインタ (WDP) の値が読み出されます。

ビットの説明

・ **WDP/d0** (ビット 0)

内部ポインタ (WDP) の値が読み出されます。WDP は、システムリセット時および WDT カウンタのオーバーフロー時に“0”にリセットされ、WDTCON に書き込み動作を行うたびに反転します。

・ **d7 ~ d0** (ビット 7 ~ 0)

WDT カウンタをクリアするためにデータを書き込みます。内部ポインタ (WDP) が“0”の状態では“5AH”を書き込み、次に WDP が“1”の状態では“0A5H”を書き込むことで WDT カウンタをクリアすることができます。

【注意】

WDT カウンタの一度目のオーバーフローにより WDT 割込み (WDTINT) が発生した際に、WDT カウンタおよび内部ポインタ (WDP) は、低速クロックの半クロック間 (約 15.26us) 初期化されます。このため、この間の WDTCON への書き込みは無効となり、WDP も反転しません。WDT 割込み発生時にシステムクロックが高速クロックの状態では WDT クリア処理を行う際は、WDTCON への書き込みによって WDP が反転することを確認し、WDTCON へ正常に書き込まれたことを確認してください。「17.3.1 ウォッチドッグタイマを使用しない場合の処理例」にプログラム記載例を示します。

17.2.3 ウォッチドッグタイマモードレジスタ(WDTMOD)

アドレス:0F00FH
アクセス:R/W
アクセスサイズ:8 ビット
初期値:02H

	7	6	5	4	3	2	1	0
WDTMOD	-	-	-	-	-	-	WDT1	WDT0
R/W	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	1	0

WDTMOD は、WDT カウンタのオーバフロー周期を設定する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **WDT1 ~ 0**(ビット 1 ~ 0)
ウォッチドッグタイマのオーバフロー周期を選択します。
WDT1, WDT0 は、WDT カウンタのオーバフロー周期(T_{WOV})を設定するビットです。125ms、500ms、2s、8s の 4 種類が選択できます。

WDT1	WDT0	説明
0	0	125ms
0	1	500ms
1	0	2s(初期値)
1	1	8s

【注意】

オーバフロー周期を変更する前に WDT カウンタをクリアしてください。

17.3 動作説明

WDT カウンタは、システムリセット解除後、低速クロック (LSCLK) が発振を開始すると、低速側タイムベースカウンタの T256HZ 信号を使ってカウントアップを開始します。

内部ポインタ (WDP) が“0”の状態では“5AH”を書き込み、次に WDP が“1”の状態では“0A5H”を書き込むことで WDT カウンタをクリアすることができます。

WDP は、システムリセット時および WDT カウンタのオーバフロー時に“0”にリセットされ、WDTCN に書き込み動作を行うたびに反転します。

WDT カウンタのオーバフロー周期 (T_{WOV}) 内に WDT カウンタをクリアできなかった場合は、ノンマスカブルのウォッチドッグタイマ割込み (WDTINT) が発生します。ウォッチドッグタイマ割込み後のソフトウェア処理によっても WDT カウンタがクリアされずに再度オーバフローすると WDT リセットが発生し、システムリセットモードに移行します。

WDT カウンタのオーバフロー周期 (T_{WOV}) は、ウォッチドッグモードレジスタ (WDTMOD) により、125ms、500ms、2s、8s の 4 種類が選択できます。

WDT カウンタは、表 17-1 に示す WDT カウンタのクリア時間 (T_{WCL}) 内にクリアしてください。

表 17-1 WDT カウンタのクリア周期

WDT1	WDT0	T _{WOV}	T _{WCL}
0	0	125ms	約 121ms
0	1	500ms	約 496ms
1	0	2,000ms	約 1,996ms
1	1	8,000ms	約 7,996ms

- [注意]
- ・WDT カウンタの一度目のオーバフローによりノンマスカブルのウォッチドッグタイマ割込みが発生し、二度目のオーバフローにより WDT リセットが発生します。一度目のオーバフロー時のウォッチドッグタイマ割込みは警告となります。システムを安全に立ち下げる処理やシステムを復帰させる処理などに使用してください。
 - ・ウォッチドッグタイマ割込み機能を使用されない場合であってもウォッチドッグタイマ割込みが発生しますので、必ずウォッチドッグタイマ割込み処理関数を定義してください。

図 17-2 にウォッチドッグタイマの動作例を示します。

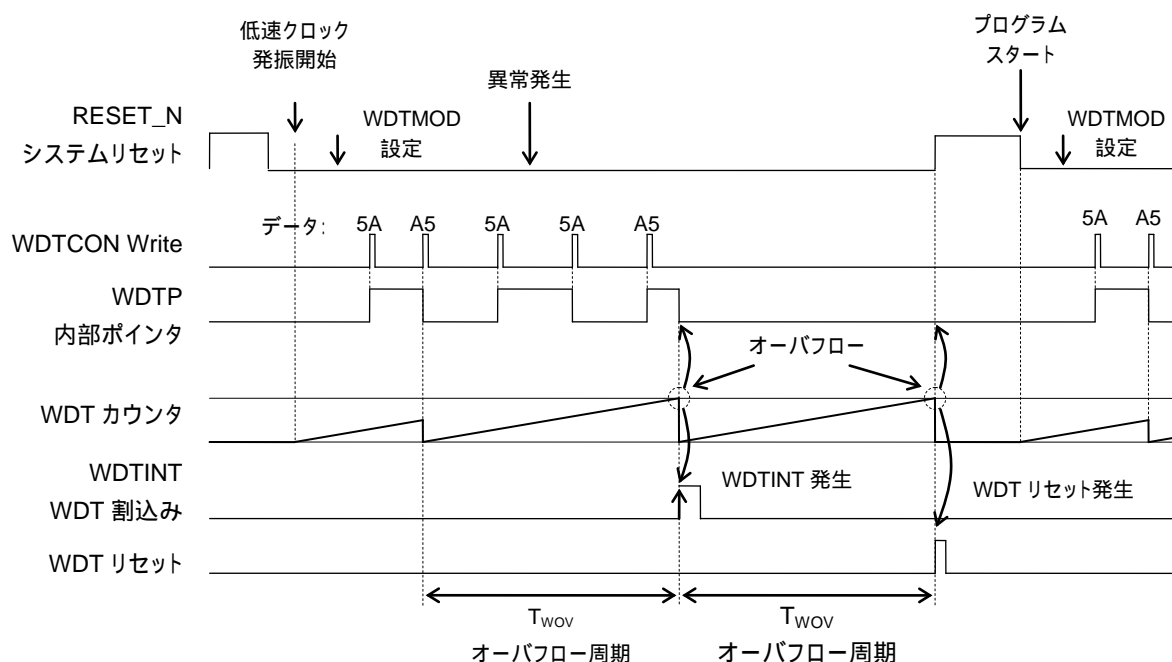


図 17-2 ウォッチドッグタイマの動作例

システムリセット解除後、低速クロック (LCLK) が発振を開始すると WDT カウンタがカウントアップを開始します。

WDT カウンタのオーバーフロー周期 (T_{WOV}) を WDTMOD に設定します。

WDTCON に“5AH”を書き込みます。(内部ポインタ 0 1)

WDTCON に“0A5H”を書き込み WDT カウンタをクリアします。(内部ポインタ 1 0)

WDTCON に“5AH”を書き込みます。(内部ポインタ 0 1)

異常発生後、WDTCON に“5AH”を書き込んだ場合、内部ポインタが“1”であるため受け付けられません。(内部ポインタ 1 0)

WDTCON に“0A5H”を書き込みますが、内部ポインタが“0”であり、なおかつ において“5AH”の書き込みが受け付けられていなかったため、WDT カウンタはクリアされません。(内部ポインタ 0 1)

WDT カウンタがオーバーフローし、ウォッチドッグタイマ割込み (WDTINT) が発生します。この時、WDT カウンタ、および内部ポインタは低速クロックの半クロック間 (約 15.25us) 初期化されます。(内部ポインタ 1 0)

ウォッチドッグタイマ割込み後のソフトウェア処理によっても WDT カウンタがクリアされずに再度 WDT カウンタがオーバーフローすると WDT リセットが発生し、システムリセットモードに移行します。

【注意】

- ・STOP モード時は、ウォッチドッグタイマのカウントアップも停止します。HALT モード時は、ウォッチドッグタイマのカウントアップは継続します。HALT モード中に WDT 割込みが発生した場合は、HALT モードが解除されます。
- ・ウォッチドッグタイマは、全ての異常動作を検出できるわけではありません。CPU が暴走した場合でも WDT カウンタがクリアされるような動作状態になった場合には検出できません。

17.3.1 ウォッチドッグタイマを使用しない場合の処理例

WDT カウンタは、システムリセット解除後、低速クロック (LSCLK) が発振を開始すると無条件にカウントアップを開始するフリーランカウンタです。WDT カウンタがオーバーフローするとノンマスカブル割込み、もしくはシステムリセットを発生するため、WDT 機能を使用しない場合でも WDT カウンタのクリア処理を実行する必要があります。

以下に、WDT 割込みルーチンにて WDT カウンタをクリアする場合のプログラム例を示します。

プログラム記述例

```
__DI();                // 多重割込みを禁止
do
{
    WDTCON = 0x5a;
} while(WDP != 1)
WDTCON = 0xa5;
__EI();
```

第 18 章 同期式シリアルポート

18 同期式シリアルポート

18.1 概要

本 LSI は、8 ビット / 16 ビットの同期式シリアルポート (SSIO) を SSIO0, SSIO1 として 2 チャンネル内蔵しています。ポートの 1 本をチップイネーブル端子として使用することで、SPI インタフェース付デバイスの制御にも使用可能です。入力クロックに関しては「第 3 章 クロック発生回路」を参照してください。

同期式シリアルポートを使用する場合は、ポート 4 の 2 次機能、3 次機能設定、ポート 8 の 3 次機能設定、ポート A の 2 次機能設定が必要です。ポート 4 の 2 次機能、3 次機能設定については、第 7 章「ポート 4」を、ポート 8 の 3 次機能設定については、第 8 章「ポート 8」を、ポート A の 2 次機能設定については、第 10 章「ポート A」を参照してください。

同期式シリアルポート 0 (SSIO0) は、ブロックコントロールレジスタ 2 (BLKCON2) の DSIO0 ビットが“0”、同期式シリアルポート 1 (SSIO1) は、ブロックコントロールレジスタ 2 (BLKCON2) の DSIO1 ビットが“0”の場合のみ動作します。DSIO0 ビットが“1”の場合には同期式シリアルポート 0 (SSIO0) の各機能はリセット状態となり、DSIO1 ビットが“1”の場合には同期式シリアルポート 1 (SSIO1) の各機能はリセット状態となります。ブロックコントロールレジスタについては、第 5 章「MCU 制御機能」を参照してください。

18.1.1 特長

- ・ マスタ / スレーブ選択可能
- ・ MSB / LSB ファースト選択可能
- ・ データ長は、8 ビット長 / 16 ビット長選択可能
- ・ SPI モード 0 / 3 で動作

18.1.2 構成

図 18-1 に同期式シリアルポート 0,1 の構成を示します。

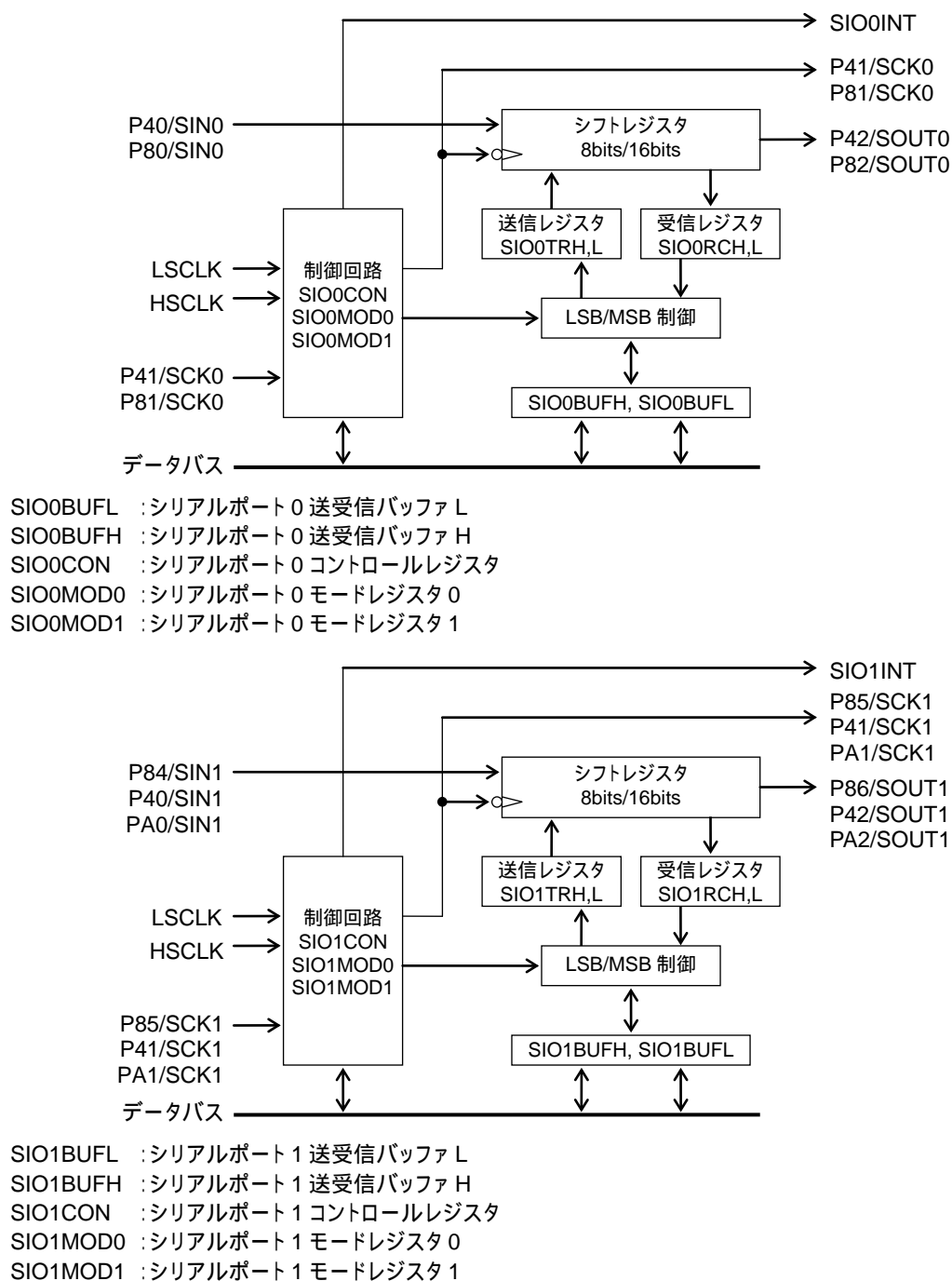


図 18-1 同期式シリアルポート 0,1 の構成

18.1.3 端子一覧

端子名	入出力	機能
P40/SIN0	I	SSIO0 受信データ入力 P40 端子の 3 次機能として使用します。
P41/SCK0	I/O	SSIO0 同期クロック入出力 P41 端子の 3 次機能として使用します。
P42/SOUT0	O	SSIO0 送信データ出力 P42 端子の 3 次機能として使用します。
P80/SIN0	I	SSIO0 受信データ入力 P80 端子の 3 次機能として使用します。
P81/SCK0	I/O	SSIO0 同期クロック入出力 P81 端子の 3 次機能として使用します。
P82/SOUT0	O	SSIO0 送信データ出力 P82 端子の 3 次機能として使用します。
P84/SIN1	I	SSIO1 受信データ入力 P84 端子の 3 次機能として使用します。
P85/SCK1	I/O	SSIO1 同期クロック入出力 P85 端子の 3 次機能として使用します。
P86/SOUT1	O	SSIO1 送信データ出力 P86 端子の 3 次機能として使用します。
P40/SIN1	I	SSIO1 受信データ入力 P40 端子の 2 次機能として使用します。
P41/SCK1	I/O	SSIO1 同期クロック入出力 P41 端子の 2 次機能として使用します。
P42/SOUT1	O	SSIO1 送信データ出力 P42 端子の 2 次機能として使用します。
PA0/SIN1	I	SSIO1 受信データ入力 PA0 端子の 2 次機能として使用します。
PA1/SCK1	I/O	SSIO1 同期クロック入出力 PA1 端子の 2 次機能として使用します。
PA2/SOUT1	O	SSIO1 送信データ出力 PA2 端子の 2 次機能として使用します。

18.2 レジスタ説明

18.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F280H	シリアルポート 0 送受信バッファ L	SIO0BUFL	SIO0BUF	R/W	8/16	00H
0F281H	シリアルポート 0 送受信バッファ H	SIO0BUFH		R/W	8	00H
0F282H	シリアルポート 0 コントロールレジスタ	SIO0CON	-	R/W	8	00H
0F284H	シリアルポート 0 モードレジスタ 0	SIO0MOD0	SIO0MOD	R/W	8/16	00H
0F285H	シリアルポート 0 モードレジスタ 1	SIO0MOD1		R/W	8	00H
0F288H	シリアルポート 1 送受信バッファ L	SIO1BUFL	SIO1BUF	R/W	8/16	00H
0F289H	シリアルポート 1 送受信バッファ H	SIO1BUFH		R/W	8	00H
0F28AH	シリアルポート 1 コントロールレジスタ	SIO1CON	-	R/W	8	00H
0F28CH	シリアルポート 1 モードレジスタ 0	SIO1MOD0	SIO1MOD	R/W	8/16	00H
0F28DH	シリアルポート 1 モードレジスタ 1	SIO1MOD1		R/W	8	00H

18.2.2 シリアルポート 0 送受信バッファ (SIO0BUFL, SIO0BUFH)

アドレス: 0F280H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SIO0BUFL	S0B7	S0B6	S0B5	S0B4	S0B3	S0B2	S0B1	S0B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F281H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SIO0BUFH	S0B15	S0B14	S0B13	S0B12	S0B11	S0B10	S0B9	S0B8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SIO0BUFL, SIO0BUFH は、同期式シリアルポート 0 の送信データの書き込み、受信データの読み出しを行う特殊機能レジスタ(SFR)です。
SIO0BUFL, SIO0BUFH にデータを書き込むと、送信用レジスタ(SIO0TRL, SIO0TRH)にそのデータが書き込まれます。SIO0BUFL, SIO0BUFH を読み出すと受信用レジスタ(SIO0RCL, SIO0RCH)の内容が読み出されます。

18.2.3 シリアルポート 1 送受信バッファ (SIO1BUFL , SIO1BUFH)

アドレス: 0F288H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SIO1BUFL	S1B7	S1B6	S1B5	S1B4	S1B3	S1B2	S1B1	S1B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F289H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SIO1BUFH	S1B15	S1B14	S1B13	S1B12	S1B11	S1B10	S1B9	S1B8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SIO1BUFL , SIO1BUFH は , 同期式シリアルポート 1 の送信データの書き込み , 受信データの読み出しを行う特殊機能レジスタ(SFR)です。
SIO1BUFL , SIO1BUFH にデータを書き込むと , 送信用レジスタ(SIO1TRL , SIO1TRH)にそのデータが書き込まれます。SIO1BUFL , SIO1BUFH を読み出すと受信用レジスタ(SIO1RCL , SIO1RCH)の内容が読み出されます。

18.2.4 シリアルポート 0 コントロールレジスタ (SIO0CON)

アドレス: 0F282H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SIO0CON	-	-	-	-	-	-	-	S0EN
R/W	-	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

SIO0CON は、同期式シリアルポート 0 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **S0EN** (ビット 0)
S0EN は、同期式シリアルポート 0 の通信の開始を指定するビットです。
S0EN に“1”を書き込むことにより、8/16 ビットデータ通信が開始します。通信が終了すると、S0EN ビットは自動的に“0”になります。S0EN は、システムリセット時に“0”になります。

S0EN	説明
0	通信停止 (初期値)
1	通信開始

18.2.5 シリアルポート 1 コントロールレジスタ (SIO1CON)

アドレス: 0F28AH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SIO1CON	-	-	-	-	-	-	-	S1EN
R/W	-	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

SIO1CON は、同期式シリアルポート 1 を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **S1EN** (ビット 0)
S1EN は、同期式シリアルポート 1 の通信の開始を指定するビットです。
S1EN に“1”を書き込むことにより、8/16 ビットデータ通信が開始します。通信が終了すると、S1EN ビットは自動的に“0”になります。S1EN は、システムリセット時に“0”になります。

S1EN	説明
0	通信停止 (初期値)
1	通信開始

18.2.6 シリアルポート 0 モードレジスタ 0 (SIO0MOD0)

アドレス: 0F284H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SIO0MOD0	-	-	-	-	S0LG	S0MD1	S0MD0	S0DIR
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SIO0MOD0 は、同期式シリアルポート 0 のモードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **S0DIR** (ビット 0)
S0DIR は、LSB ファースト / MSB ファーストを選択するビットです

S0DIR	説明
0	LSB ファースト (初期値)
1	MSB ファースト

- ・ **S0MD1, S0MD0** (ビット 2 ~ 1)
S0MD1, S0MD0 は、同期式シリアルポート 0 の送受信モードを選択するビットです。受信モード、送信モード、送受信モードが選択できます。

S0MD1	S0MD0	説明
0	0	送受信停止 (初期値)
0	1	受信モード
1	0	送信モード
1	1	送受信モード

- ・ **S0LG** (ビット 3)
S0LG は、送受信のバッファのビット長を指定するビットです。8 ビット長または 16 ビット長が選択できます。
S0LG は、システムリセット時に“0”になります。

S0LG	説明
0	8 ビット長 (初期値)
1	16 ビット長

【注意】

- ・ SIO0MOD0 レジスタは送受信中に変更しないでください。
- ・ 同期式シリアルポート 0 を使用する場合は、ポート 4 の 3 次機能設定またはポート 8 の 3 次機能設定が必要です。ポート 4 の 3 次機能設定については、第 7 章「ポート 4」を、ポート 8 の 3 次機能設定については、第 8 章「ポート 8」を参照してください。

18.2.7 シリアルポート 1 モードレジスタ 0 (SIO1MOD0)

アドレス: 0F28CH
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SIO1MOD0	-	-	-	-	S1LG	S1MD1	S1MD0	S1DIR
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SIO1MOD0 は、同期式シリアルポート 1 のモードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **S1DIR** (ビット 0)
S1DIR は、LSB ファースト / MSB ファーストを選択するビットです

S1DIR	説明
0	LSB ファースト (初期値)
1	MSB ファースト

- ・ **S1MD1, S1MD0** (ビット 2 ~ 1)
S1MD1, S1MD0 は、同期式シリアルポート 1 の送受信モードを選択するビットです。受信モード、送信モード、送受信モードが選択できます。

S1MD1	S1MD0	説明
0	0	送受信停止 (初期値)
0	1	受信モード
1	0	送信モード
1	1	送受信モード

- ・ **S1LG** (ビット 3)
S1LG は、送受信のバッファのビット長を指定するビットです。8 ビット長または 16 ビット長が選択できます。
S1LG は、システムリセット時に“0”になります。

S1LG	説明
0	8 ビット長 (初期値)
1	16 ビット長

【注意】

- ・ SIO1MOD0 レジスタは送受信中に変更しないでください。
- ・ 同期式シリアルポート 1 を使用する場合は、ポート 4 の 2 次機能設定、またはポート 8 の 3 次機能設定、またはポート A の 2 次機能設定が必要です。ポート 4 の 2 次機能設定については、第 7 章「ポート 4」を、ポート 8 の 3 次機能設定については、第 8 章「ポート 8」を、ポート A の 2 次機能設定については、第 10 章「ポート A」を参照してください。

18.2.8 シリアルポート 0 モードレジスタ 1 (SIO0MOD1)

アドレス: 0F285H

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
SIO0MOD1	-	-	S0NEG	S0CKT	S0CK3	S0CK2	S0CK1	S0CK0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SIO0MOD1 は、同期式シリアルポート 0 のモードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

・ S0CK3 ~ S0CK0 (ビット 3 ~ 0)

S0CK3 ~ S0CK0 は、同期式シリアルポート 0 の転送クロックを選択するビットです。内部クロックを選択するとスタモードになり、外部クロックを選択するとスレーブモードになります。

S0CK3	S0CK2	S0CK1	S0CK0	説明
0	0	0	0	1/1 LSCLK (初期値)
0	0	0	1	1/2 LSCLK
0	0	1	0	1/4 HSCLK
0	0	1	1	1/8 HSCLK
0	1	0	0	1/16 HSCLK
0	1	0	1	1/32 HSCLK
0	1	1	0	外部クロック 0 (P41/SCK0)
0	1	1	1	外部クロック 0 (P81/SCK0)
1	0	0	0	1/1 HSCLK
1	0	0	1	1/2 HSCLK
1	0	1	*	禁止
1	1	*	*	禁止

・ S0CKT (ビット 4)

S0CKT は、転送クロック出力の位相タイプを選択するビットです。S0CKT を“0”に設定すると SPI モード 3 となり、“1”に設定すると SPI モード 0 になります。スレーブモードのときは S0CKT の設定は無効です。

S0CKT	説明
0	クロックタイプ 0: デフォルト “H” レベルで出力されます (初期値)
1	クロックタイプ 1: デフォルト “L” レベルで出力されます

・ S0NEG (ビット 5)

S0NEG は、転送クロック出力の正論理、負論理を選択するビットです。

S0NEG	説明
0	正論理 (初期値)
1	負論理

【注意】

- ・ SIO0MOD1 レジスタは送受信中に変更しないでください。
- ・ S0CK3 ~ S0CK0 ビットは 4.2MHz を越えないように設定してください。

18.2.9 シリアルポートモード 1 レジスタ 1 (SIO1MOD1)

アドレス: 0F28DH
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
SIO1MOD1	-	-	S1NEG	S1CKT	S1CK3	S1CK2	S1CK1	S1CK0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SIO1MOD1 は、同期式シリアルポート 1 のモードを設定する特殊機能レジスタ(SFR)です。

ビットの説明

・ S1CK3 ~ S1CK0 (ビット 3 ~ 0)

S1CK3 ~ S1CK0 は、同期式シリアルポート 1 の転送クロックを選択するビットです。内部クロックを選択するとマスターモードになり、外部クロックを選択するとスレーブモードになります。

S1CK3	S1CK2	S1CK1	S1CK0	説明
0	0	0	0	1/1 LSCLK (初期値)
0	0	0	1	1/2 LSCLK
0	0	1	0	1/4 HSCLK
0	0	1	1	1/8 HSCLK
0	1	0	0	1/16 HSCLK
0	1	0	1	1/32 HSCLK
0	1	1	0	外部クロック 1 (P85/SCK1)
0	1	1	1	外部クロック 1 (P41/SCK1)
1	0	0	0	1/1 HSCLK
1	0	0	1	1/2 HSCLK
1	0	1	*	禁止
1	1	0	*	禁止
1	1	1	0	外部クロック 1 (PA1/SCK1)
1	1	1	1	禁止

・ S1CKT (ビット 4)

S1CKT は、転送クロック出力の位相を選択するビットです。S1CKT を“0”に設定すると SPI モード 3 となり、“1”に設定すると SPI モード 0 になります。スレーブモードのときは S1CKT の設定は無効です。

S1CKT	説明
0	クロックタイプ 0: デフォルト “H” レベルで出力されます (初期値)
1	クロックタイプ 1: デフォルト “L” レベルで出力されます

・ S1NEG (ビット 5)

S1NEG は、転送クロック出力の正論理、負論理を選択するビットです。

S1NEG	説明
0	正論理 (初期値)
1	負論理

【注意】

- ・ SIO1MOD1 レジスタは送受信中に変更しないでください。
- ・ S1CK3 ~ S1CK0 ビットは 4.2MHz を越えないように設定してください。

18.3 動作説明

18.3.1 送信動作

シリアルポート n ($n=0, 1$) モードレジスタ (SIO n MOD0) の SnMD1 ビットに“1”, SnMD0 ビットに“0”を書き込むと送信モードに設定されます。

シリアルポート n 送受信バッファ (SIO n BUFL, H) に送信データを書き込み, シリアルポート n コントロールレジスタ (SIO n CON) の SnEN ビットを“1”にすると送信が開始されます。8/16 ビットデータの送信が終了すると, 同期式シリアルポート n 割込み (SIO n INT) が発生し, SnEN ビットが“0”になります。

送信データは, ポートの 2 次機能 (P42/SOUT1, PA2/SOUT1), またはポートの 3 次機能 (P42/SOUT0, P82/SOUT0, P86/SOUT1) から出力されます。

シリアルポート n モードレジスタ (SIO n MOD1) で, 内部クロックを選択するとマスタモードに, 外部クロック (P41/SCK0, P41/SCK1, P81/SCK0, P85/SCK1, PA1/SCK1) を選択するとスレーブモードとなります。

また, シリアルポート n モードレジスタ (SIO n MOD0) により, MSB ファースト / LSB ファーストが選択可能です。

なお, 送信データの出力端子 (P42/SOUT0, P82/SOUT0, P86/SOUT1), および転送クロックの入出力端子 (P41/SCK0, P81/SCK0, P85/SCK1) は 3 次機能に設定する必要があります。送信データの出力端子 (P42/SOUT1, PA2/SOUT1), および転送クロックの入出力端子 (P41/SCK1, PA2/SCK1) は 2 次機能に設定する必要があります。

図 18-2 にクロックタイプ 0 (SPI モード 3), 図 18-3 にクロックタイプ 1 (SPI モード 0) の同期式シリアルポート n の送信動作波形 (8 ビット長 LSB ファースト時) を示します。

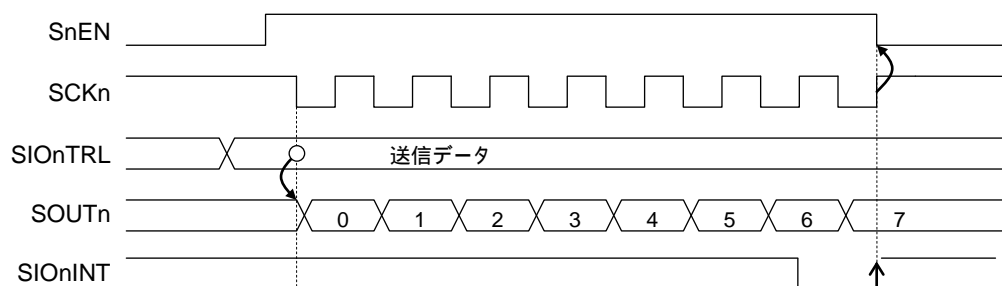


図 18-2 クロックタイプ 0 (SPI モード 3) の同期式シリアルポート n の送信動作波形
(8 ビット長 LSB ファースト時, $n=0,1$)

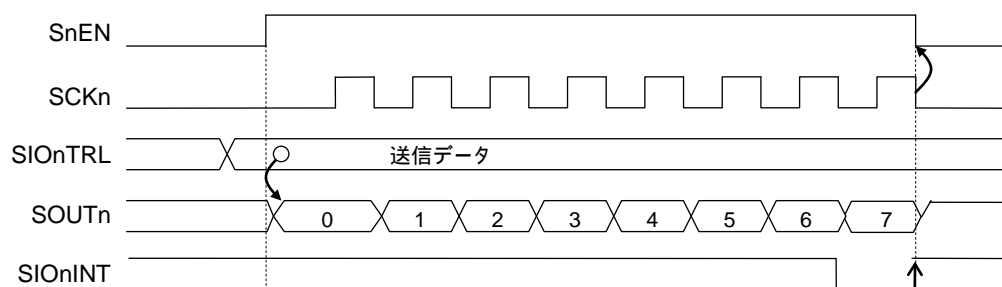


図 18-3 クロックタイプ 1 (SPI モード 0) の同期式シリアルポート n の送信動作波形
(8 ビット長 LSB ファースト時, $n=0,1$)

18.3.2 受信動作

シリアルポート n モードレジスタ (SIO n MOD0) の SnMD1 ビットに“0”, SnMD0 ビットに“1”を書き込むと受信モードに設定されます。

シリアルポート n コントロールレジスタ (SIO n CON) の SnEN ビットを“1”にすると受信が開始されます。8/16 ビットデータの受信が終了すると、同期式シリアルポート n 割込み (SIO n INT) が発生し、SIOEN ビットは“0”になります。

受信データは、ポートの 2 次機能端子 (P40/SIN1, PA0/SIN1), または 3 次機能端子 (P40/SIN0, P80/SIN0, P84/SIN1) から入力されます。

シリアルポート n モードレジスタ (SIO n MOD1) で、内部クロックを選択するとマスタモードに、外部クロック (P41/SCK0, P81/SCK0, P41/SCK1, P85/SCK1, PA1/SCK1) を選択するとスレーブモードとなります。

また、シリアルポート n モードレジスタ (SIO n MOD0) により、MSB ファースト / LSB ファーストが選択可能です。

なお、受信データの入力端子 (P40/SIN0, P80/SIN0, P84/SIN1), および転送クロックの入出力端子 (P41/SCK0, P81/SCK0, P85/SCK1) は、3 次機能に設定する必要があります。受信データの入力端子 (P40/SIN1, PA0/SIN1), および転送クロックの入出力端子 (P41/SCK1, PA1/SCK1) は、2 次機能に設定する必要があります。

図 18-4 にクロックタイプ 0 (SPI モード 3)、図 18-5 にクロックタイプ 1 (SPI モード 0) の同期式シリアルポート n の受信動作波形 (8 ビット長 MSB ファースト時) を示します。

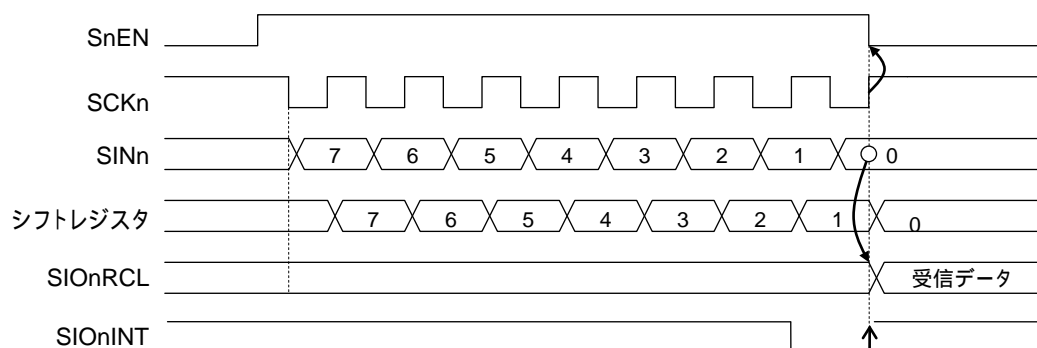


図 18-4 クロックタイプ 0 (SPI モード 3) の同期式シリアルポート n の受信動作波形
(8 ビット長 MSB ファースト時, $n=0,1$)

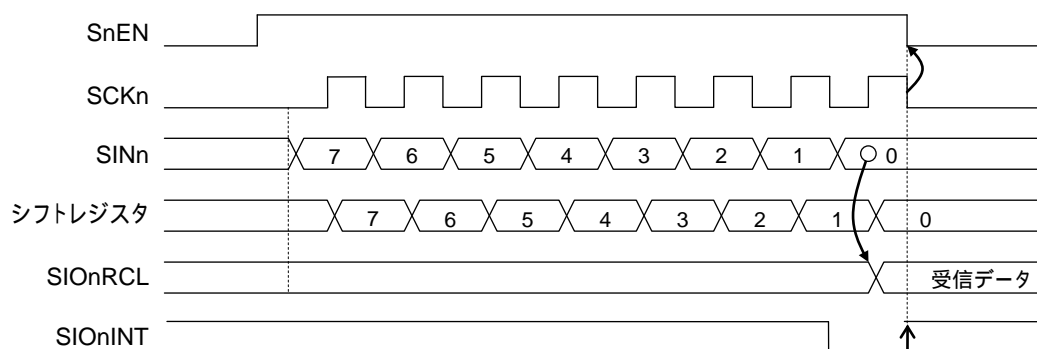


図 18-5 クロックタイプ 1 (SPI モード 0) の同期式シリアルポート n の受信動作波形
(8 ビット長 MSB ファースト時, $n=0,1$)

【注意】

受信モード時に SOUT n 端子を 2 次機能, または 3 次機能出力に設定した場合, SOUT n 端子からは“H”レベルが出力されます。

18.3.3 送受信動作

シリアルポート n モードレジスタ (SIO n MOD0) の SnMD1 ビットに“1”, SnMD0 ビットに“1”を書き込むと送受信モードに設定されます。

シリアルポート n コントロールレジスタ (SIO n CON) の SnEN ビットを“1”にすると送受信が開始されます。8/16 ビットデータの送受信が終了すると、同期式シリアルポート n 割込み (SIO n INT) が発生し、SnEN ビットは“0”になります。

受信データはポートの 2 次機能端子 (P40/SIN1, PA0/SIN1), または 3 次機能端子 (P40/SIN0, P80/SIN0, P84/SIN1) から入力され、送信データはポートの 2 次機能 (P42/SOUT1, PA2/SOUT1), または 3 次機能 (P42/SOUT0, P82/SOUT0, P86/SOUT1) から出力されます。

シリアルポート n モードレジスタ (SIO n MOD1) で、内部クロックを選択するとマスタモードに、外部クロック (P41/SCK0, P81/SCK0, P41/SCK1, P85/SCK1, PA1/SCK1) を選択するとスレーブモードとなります。

また、シリアルポート n モードレジスタ (SIO n MOD0) により、MSB ファースト / LSB ファーストが選択可能です。

なお、受信データの入力端子 (P40/SIN0, P80/SIN0, P84/SIN1), 送信データの出力端子 (P42/SOUT0, P82/SOUT0, P86/SOUT1), および転送クロックの入出力端子 (P41/SCK0, P81/SCK0, P85/SCK1) は、3 次機能に設定する必要があります。受信データの入力端子 (P40/SIN1, PA0/SIN1), 送信データの出力端子 (P42/SOUT1, PA2/SOUT1), および転送クロックの入出力端子 (P41/SCK1, PA1/SCK1) は、2 次機能に設定する必要があります。

図 18-6 に同期式シリアルポート n の送受信動作波形 (16 ビット長 LSB ファースト時 クロックタイプ 0 (SPI モード 3)) を示します。

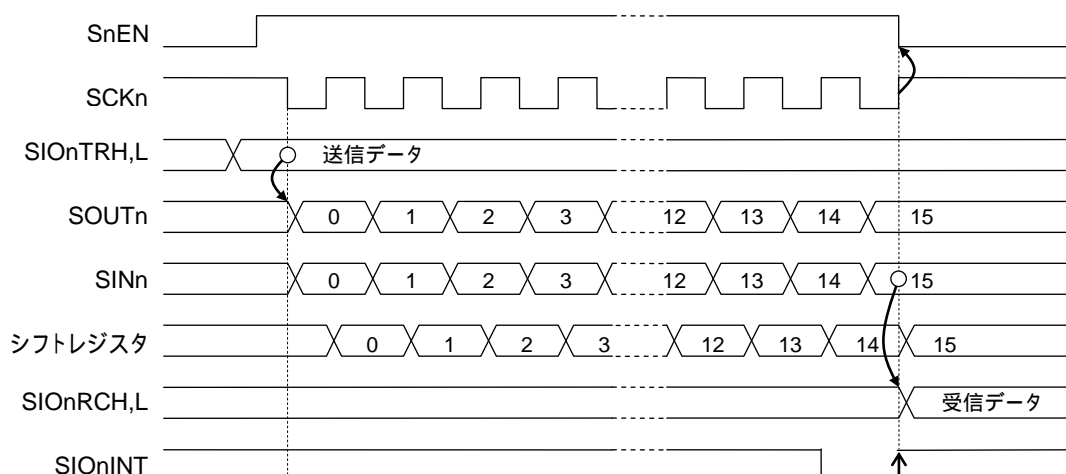


図 18-6 同期式シリアルポート n の送受信動作波形
(16 ビット長 LSB ファースト時 クロックタイプ 0 (SPI モード 3), $n=0,1$)

18.4 ポートのレジスタ設定について

SSIO 機能を動作させるには関連する各ポートレジスタのビットを設定する必要があります。各レジスタの機能詳細については、第 7 章「ポート 4」、第 8 章「ポート 8」、第 10 章「ポート A」を参照してください。

18.4.1 P42 端子(SOUT0:出力), P41 端子(SCK0:入出力), P40 端子(SIN0:入力) 端子を使って SSIO0 機能をマスタモードで動作させる場合

P42MD1 ~ P40MD1 ビット(P4MOD1 レジスタのビット 2 ~ 0)を“1”に, P42MD0 ~ P40MD0 ビット(P4MOD0 レジスタのビット 2 ~ 0)を“0”にし, SSIO を P42, P41, P40 の 3 次機能として選択します。

レジスタ名	P4MOD1 レジスタ(アドレス:0F225H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	P42MD1	P41MD1	P40MD1
設定値	-	-	-	-	-	1	1	1

レジスタ名	P4MOD0 レジスタ(アドレス:0F224H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	P42MD0	P41MD0	P40MD0
設定値	-	-	-	-	-	0	0	0

P42C1 ~ P41C1 ビット(P4CON1 レジスタのビット 2 ~ 1)を“1”に, P42C0 ~ P41C0 ビット(P4CON0 レジスタのビット 2 ~ 1)を“1”に, P42DIR ~ P41DIR ビット(P4DIR レジスタのビット 2 ~ 1)を“0”にし, P42, P41 端子の状態モードを CMOS 出力に選択します。P40DIR ビット(P4DIR レジスタのビット 0)を“1”にし, P40 端子を入力端子として選択します。P40C1 ビット, P40C0 ビットへの設定値(\$)は任意です。P40 端子が接続される外部回路の状態によって任意の状態モードを選択します。

レジスタ名	P4CON1 レジスタ(アドレス:0F223H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47C1	P46C1	P45C1	P44C1	P43C1	P42C1	P41C1	P40C1
設定値	*	*	*	*	*	1	1	\$

レジスタ名	P4CON0 レジスタ(アドレス:0F222H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47C0	P46C0	P45C0	P44C0	P43C0	P42C0	P41C0	P40C0
設定値	*	*	*	*	*	1	1	\$

レジスタ名	P4DIR レジスタ(アドレス:0F221H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47DIR	P46DIR	P45DIR	P44DIR	P43DIR	P42DIR	P41DIR	P40DIR
設定値	*	*	*	*	*	0	0	1

P42D ~ D40D ビット(P4D レジスタのビット 2 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	P4D レジスタ(アドレス:0F220H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
設定値	*	*	*	*	*	**	**	**

- : 存在しないビット

* : SSIO0 機能に関連のないビット

** : Don't care \$: 任意

18.4.2 P42 端子(SOUT0:出力), P41 端子(SCK0:入出力), P40 端子(SIN0:入力)端子を使って
SSIO0 機能をスレーブモードで動作させる場合

P42MD1 ~ P40MD1 ビット(P4MOD1 レジスタのビット 2 ~ 0)を“1”に, P42MD0 ~ P40MD0 ビット(P4MOD0 レジスタのビット 2 ~ 0)を“0”にし, SSIO を P42, P41, P40 の 3 次機能として選択します。マスタモードで動作させる場合と同じ設定です。

レジスタ名	P4MOD1 レジスタ (アドレス: 0F225H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	P42MD1	P41MD1	P40MD1
設定値	-	-	-	-	-	1	1	1

レジスタ名	P4MOD0 レジスタ (アドレス: 0F224H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	P42MD0	P41MD0	P40MD0
設定値	-	-	-	-	-	0	0	0

P42C1 ビット(P4CON1 レジスタのビット 2)を“1”に, P42C0 ビット(P4CON0 レジスタのビット 2)を“1”に, P42DIR ビット(P4DIR レジスタのビット 2)を“0”にし, P42 端子の状態モードを CMOS 出力に選択します。
P41DIR ~ P40DIR ビット(P4DIR レジスタのビット 1 ~ 0)を“1”にし, P41, P40 端子を入力端子として選択します。
P41C1 ビット ~ P40C1 ビット, P41C0 ビット ~ P40C0 ビットへの設定値(\$)は任意です。P41, P40 端子が接続される外部回路の状態によって任意の入力モードを選択します。

レジスタ名	P4CON1 レジスタ (アドレス: 0F223H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47C1	P46C1	P45C1	P44C1	P43C1	P42C1	P41C1	P40C1
設定値	*	*	*	*	*	1	\$	\$

レジスタ名	P4CON0 レジスタ (アドレス: 0F222H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47C0	P46C0	P45C0	P44C0	P43C0	P42C0	P41C0	P40C0
設定値	*	*	*	*	*	1	\$	\$

レジスタ名	P4DIR レジスタ (アドレス: 0F221H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47DIR	P46DIR	P45DIR	P44DIR	P43DIR	P42DIR	P41DIR	P40DIR
設定値	*	*	*	*	*	0	1	1

P42D ~ P40D ビット(P4D レジスタのビット 2 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	P4D レジスタ (アドレス: 0F220H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
設定値	*	*	*	*	*	**	**	**

-: 存在しないビット

*: SSIO0 機能に関連のないビット

** : Don't care \$: 任意

18.4.3 P82 端子(SOUT0:出力), P81 端子(SCK0:入出力), P80 端子(SIN0:入力)端子を使って
SSIO0 機能をマスタモードで動作させる場合

P82MD1 ~ P80MD1 ビット(P8MOD1 レジスタのビット 2 ~ 0)を“1”に, P82MD0 ~ P80MD0 ビット(P8MOD0 レジスタのビット 2 ~ 0)を“0”にし, SSIO を P82, P81, P80 の 3 次機能として選択します。

レジスタ名	P8MOD1 レジスタ (アドレス:0F245H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD1	P86MD1	P85MD1	P84MD1	P83MD1	P82MD1	P81MD1	P80MD1
設定値	*	*	*	*	*	1	1	1

レジスタ名	P8MOD0 レジスタ (アドレス:0F244H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD0	P86MD0	P85MD0	P84MD0	P83MD0	P82MD0	P81MD0	P80MD0
設定値	*	*	*	*	*	0	0	0

P82C1 ~ P81C1 ビット(P8CON1 レジスタのビット 2 ~ 1)を“1”に, P82C0 ~ P81C0 ビット(P8CON0 レジスタのビット 2 ~ 1)を“1”に, P82DIR ~ P81DIR ビット(P8DIR レジスタのビット 2 ~ 1)を“0”にし, P82, P81 端子の状態モードを CMOS 出力に選択します。P80DIR ビット(P8DIR レジスタのビット 0)を“1”にし, P80 端子を入力端子として選択します。P80C1 ビット, P80C0 ビットへの設定値(\$)は任意です。P80 端子が接続される外部回路の状態によって任意の状態モードを選択します。

レジスタ名	P8CON1 レジスタ (アドレス:0F243H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C1	P86C1	P85C1	P84C1	P83C1	P82C1	P81C1	P80C1
設定値	*	*	*	*	*	1	1	\$

レジスタ名	P8CON0 レジスタ (アドレス:0F242H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C0	P86C0	P85C0	P84C0	P83C0	P82C0	P81C0	P80C0
設定値	*	*	*	*	*	1	1	\$

レジスタ名	P8DIR レジスタ (アドレス:0F241H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87DIR	P86DIR	P85DIR	P84DIR	P83DIR	P82DIR	P81DIR	P80DIR
設定値	*	*	*	*	*	0	0	1

P82D ~ P80D ビット(P8D レジスタのビット 2 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	P8D レジスタ (アドレス:0F240H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
設定値	*	*	*	*	*	**	**	**

- : 存在しないビット

* : SSIO0 機能に関連のないビット

** : Don't care \$: 任意

18.4.4 P82 端子(SOUT0:出力), P81 端子(SCK0:入出力), P80 端子(SIN0:入力)端子を使って
SSIO0 機能をスレーブモードで動作させる場合

P82MD1 ~ P80MD1 ビット(P8MOD1 レジスタのビット 2 ~ 0)を“1”に, P82MD0 ~ P80MD0 ビット(P8MOD0 レジスタのビット 2 ~ 0)を“0”にし, SSIO を P82, P81, P80 の 3 次機能として選択します。マスタモードで動作させる場合と同じ設定です。

レジスタ名	P8MOD1 レジスタ (アドレス: 0F245H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD1	P86MD1	P85MD1	P84MD1	P83MD1	P82MD1	P81MD1	P80MD1
設定値	*	*	*	*	*	1	1	1

レジスタ名	P8MOD0 レジスタ (アドレス: 0F244H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD0	P86MD0	P85MD0	P84MD0	P83MD0	P82MD0	P81MD0	P80MD0
設定値	*	*	*	*	*	0	0	0

P82C1 ビット(P8CON1 レジスタのビット 2)を“1”に, P82C0 ビット(P8CON0 レジスタのビット 2)を“1”に, P82DIR ビット(P8DIR レジスタのビット 2)を“0”にし, P82 端子の状態モードを CMOS 出力に選択します。
P81DIR ~ P80DIR ビット(P8DIR レジスタのビット 1 ~ 0)を“1”にし, P81, P80 端子を入力端子として選択します。
P81C1 ビット ~ P80C1 ビット, P81C0 ビット ~ P80C0 ビットへの設定値(\$)は任意です。P81, P80 端子が接続される外部回路の状態によって任意の入力モードを選択します。

レジスタ名	P8CON1 レジスタ (アドレス: 0F243H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C1	P86C1	P85C1	P84C1	P83C1	P82C1	P81C1	P80C1
設定値	*	*	*	*	*	1	\$	\$

レジスタ名	P8CON0 レジスタ (アドレス: 0F242H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C0	P86C0	P85C0	P84C0	P83C0	P82C0	P81C0	P80C0
設定値	*	*	*	*	*	1	\$	\$

レジスタ名	P8DIR レジスタ (アドレス: 0F241H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87DIR	P86DIR	P85DIR	P84DIR	P83DIR	P82DIR	P81DIR	P80DIR
設定値	*	*	*	*	*	0	1	1

P82D ~ P80D ビット(P8D レジスタのビット 2 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	P8D レジスタ (アドレス: 0F240H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
設定値	*	*	*	*	*	**	**	**

* : SSIO0 機能に関連のないビット

** : Don't care \$: 任意

18.4.5 P86 端子(SOUT1:出力), P85 端子(SCK1:入出力), P84 端子(SIN1:入力) 端子を使って
SSIO1 機能をマスタモードで動作させる場合

P86MD1 ~ P84MD1 ビット(P8MOD1 レジスタのビット 6 ~ 4)を“1”に, P86MD0 ~ P84MD0 ビット(P8MOD0 レジスタのビット 6 ~ 4)を“0”にし, SSIO を P86, P85, P84 の 3 次機能として選択します。

レジスタ名	P8MOD1 レジスタ(アドレス:0F245CH)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD1	P86MD1	P85MD1	P84MD1	P83MD1	P82MD1	P81MD1	P80MD1
設定値	*	1	1	1	*	*	*	*

レジスタ名	P8MOD0 レジスタ(アドレス:0F244H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD0	P86MD0	P85MD0	P84MD0	P83MD0	P82MD0	P81MD0	P80MD0
設定値	*	0	0	0	*	*	*	*

P86C1 ~ P85C1 ビット(P8CON1 レジスタのビット 6 ~ 5)を“1”に, P86C0 ~ P85C0 ビット(P8CON0 レジスタのビット 6 ~ 5)を“1”に, P86DIR ~ P85DIR ビット(P8DIR レジスタのビット 6 ~ 5)を“0”にし, P86, P85 端子の状態モードを CMOS 出力に選択します。P84DIR ビット(P8DIR レジスタのビット 4)を“1”にし, P84 端子を入力端子として選択します。P84C1 ビット, P84C0 ビットへの設定値(\$)は任意です。P80 端子が接続される外部回路の状態によって任意の状態モードを選択します。

レジスタ名	P8CON1 レジスタ(アドレス:0F243H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C1	P86C1	P85C1	P84C1	P83C1	P82C1	P81C1	P80C1
設定値	*	1	1	\$	*	*	*	*

レジスタ名	P8CON0 レジスタ(アドレス:0F242H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C0	P86C0	P85C0	P84C0	P83C0	P82C0	P81C0	P80C0
設定値	*	1	1	\$	*	*	*	*

レジスタ名	P8DIR レジスタ(アドレス:0F241H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87DIR	P86DIR	P85DIR	P84DIR	P83DIR	P82DIR	P81DIR	P80DIR
設定値	*	0	0	1	*	*	*	*

P86D ~ P84D ビット(P8D レジスタのビット 6 ~ 4)のデータは“0”でも“1”でも構いません。

レジスタ名	P8D レジスタ(アドレス:0F240H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
設定値	*	**	**	**	*	*	*	*

* : SSIO1 機能に関連のないビット

** : Don't care

\$: 任意

18.4.6 P86 端子(SOUT1:出力), P85 端子(SCK1:入出力), P84 端子(SIN1:入力)端子を使って
SSIO1 機能をスレーブモードで動作させる場合

P86MD1 ~ P84MD1 ビット(P8MOD1 レジスタのビット 6 ~ 4)を“1”に, P86MD0 ~ P84MD0 ビット(P8MOD0 レジスタのビット 6 ~ 4)を“0”にし, SSIO を P86, P85, P84 の 3 次機能として選択します。マスタモードで動作させる場合と同じ設定です。

レジスタ名	P8MOD1 レジスタ(アドレス:0F245H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD1	P86MD1	P85MD1	P84MD1	P83MD1	P82MD1	P81MD1	P80MD1
設定値	*	1	1	1	*	*	*	*

レジスタ名	P8MOD0 レジスタ(アドレス:0F244H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD0	P86MD0	P85MD0	P84MD0	P83MD0	P82MD0	P81MD0	P80MD0
設定値	*	0	0	0	*	*	*	*

P86C1 ビット(P8CON1 レジスタのビット 6)を“1”に, P86C0 ビット(P8CON0 レジスタのビット 6)を“1”に, P86DIR ビット(P8DIR レジスタのビット 6)を“0”にし, P86 端子の状態モードを CMOS 出力に選択します。
P85DIR ~ P84DIR ビット(P8DIR レジスタのビット 5 ~ 4)を“1”にし, P85, P84 端子を入力端子として選択します。
P85C1 ビット ~ P84C1 ビット, P85C0 ビット ~ P84C0 ビットへの設定値(\$)は任意です。P85, P84 端子が接続される外部回路の状態によって任意の入力モードを選択します。

レジスタ名	P8CON1 レジスタ(アドレス:0F243H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C1	P86C1	P85C1	P84C1	P83C1	P82C1	P81C1	P80C1
設定値	*	1	\$	\$	*	*	*	*

レジスタ名	P8CON0 レジスタ(アドレス:0F242H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C0	P86C0	P85C0	P84C0	P83C0	P82C0	P81C0	P80C0
設定値	*	1	\$	\$	*	*	*	*

レジスタ名	P8DIR レジスタ(アドレス:0F241H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87DIR	P86DIR	P85DIR	P84DIR	P83DIR	P82DIR	P81DIR	P80DIR
設定値	*	0	1	1	*	*	*	*

P86D ~ P84D ビット(P8D レジスタのビット 6 ~ 4)のデータは“0”でも“1”でも構いません。

レジスタ名	P8D レジスタ(アドレス:0F240H)							
ビット	7	2	1	0	3	2	1	0
ビット名	P87D	P86D	P85D	P84D	P83D	P86D	P85D	P84D
設定値	*	**	**	**	*	*	*	*

* : SSIO1 機能に関連のないビット

** : Don't care \$: 任意

18.4.7 P42 端子(SOUT1:出力), P41 端子(SCK1:入出力), P40 端子(SIN1:入力) 端子を使って SSIO1 機能をマスタモードで動作させる場合

P42MD1 ~ P40MD1 ビット(P4MOD1 レジスタのビット 2 ~ 0)を“0”に, P42MD0 ~ P40MD0 ビット(P4MOD0 レジスタのビット 2 ~ 0)を“1”にし, SSIO を P42, P41, P40 の 2 次機能として選択します。

レジスタ名	P4MOD1 レジスタ (アドレス:0F225H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	P42MD1	P41MD1	P40MD1
設定値	-	-	-	-	-	0	0	0

レジスタ名	P4MOD0 レジスタ (アドレス:0F224H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	P42MD0	P41MD0	P40MD0
設定値	-	-	-	-	-	1	1	1

P42C1 ~ P41C1 ビット(P4CON1 レジスタのビット 2 ~ 1)を“1”に, P42C0 ~ P41C0 ビット(P4CON0 レジスタのビット 2 ~ 1)を“1”に, P42DIR ~ P41DIR ビット(P4DIR レジスタのビット 2 ~ 1)を“0”にし, P42, P41 端子の状態モードを CMOS 出力に選択します。P40DIR ビット(P4DIR レジスタのビット 0)を“1”にし, P40 端子を入力端子として選択します。P40C1 ビット, P40C0 ビットへの設定値(\$)は任意です。P40 端子が接続される外部回路の状態によって任意の状態モードを選択します。

レジスタ名	P4CON1 レジスタ (アドレス:0F223H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47C1	P46C1	P45C1	P44C1	P43C1	P42C1	P41C1	P40C1
設定値	*	*	*	*	*	1	1	\$

レジスタ名	P4CON0 レジスタ (アドレス:0F222H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47C0	P46C0	P45C0	P44C0	P43C0	P42C0	P41C0	P40C0
設定値	*	*	*	*	*	1	1	\$

レジスタ名	P4DIR レジスタ (アドレス:0F221H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47DIR	P46DIR	P45DIR	P44DIR	P43DIR	P42DIR	P41DIR	P40DIR
設定値	*	*	*	*	*	0	0	1

P42D ~ P40D ビット(P4D レジスタのビット 2 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	P4D レジスタ (アドレス:0F220H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
設定値	*	*	*	*	*	**	**	**

-: 存在しないビット

*: SSIO1 機能に関連のないビット

** : Don't care \$: 任意

18.4.8 P42 端子(SOUT1:出力), P41 端子(SCK1:入出力), P40 端子(SIN1:入力)端子を使って
SSIO1 機能をスレーブモードで動作させる場合

P42MD1 ~ P40MD1 ビット(P4MOD1 レジスタのビット 2 ~ 0)を“0”に, P42MD0 ~ P40MD0 ビット(P4MOD0 レジスタのビット 2 ~ 0)を“1”にし, SSIO を P42, P41, P40 の 2 次機能として選択します。マスタモードで動作させる場合と同じ設定です。

レジスタ名	P4MOD1 レジスタ (アドレス: 0F225H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	P42MD1	P41MD1	P40MD1
設定値	-	-	-	-	-	0	0	0

レジスタ名	P4MOD0 レジスタ (アドレス: 0F224H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	P42MD0	P41MD0	P40MD0
設定値	-	-	-	-	-	1	1	1

P42C1 ビット(P4CON1 レジスタのビット 2)を“1”に, P42C0 ビット(P4CON0 レジスタのビット 2)を“1”に, P42DIR ビット(P4DIR レジスタのビット 2)を“0”にし, P42 端子の状態モードを CMOS 出力に選択します。
P41DIR ~ P40DIR ビット(P4DIR レジスタのビット 1 ~ 0)を“1”にし, P41, P40 端子を入力端子として選択します。
P41C1 ビット ~ P40C1 ビット, P41C0 ビット ~ P40C0 ビットへの設定値(\$)は任意です。P41, P40 端子が接続される外部回路の状態によって任意の入力モードを選択します。

レジスタ名	P4CON1 レジスタ (アドレス: 0F223H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47C1	P46C1	P45C1	P44C1	P43C1	P42C1	P41C1	P40C1
設定値	*	*	*	*	*	1	\$	\$

レジスタ名	P4CON0 レジスタ (アドレス: 0F222H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47C0	P46C0	P45C0	P44C0	P43C0	P42C0	P41C0	P40C0
設定値	*	*	*	*	*	1	\$	\$

レジスタ名	P4DIR レジスタ (アドレス: 0F221H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47DIR	P46DIR	P45DIR	P44DIR	P43DIR	P42DIR	P41DIR	P40DIR
設定値	*	*	*	*	*	0	1	1

P42D ~ P40D ビット(P4D レジスタのビット 2 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	P4D レジスタ (アドレス: 0F220H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
設定値	*	*	*	*	*	**	**	**

- : 存在しないビット

* : SSIO1 機能に関連のないビット

** : Don't care \$: 任意

18.4.9 PA2 端子(SOUT1:出力), PA1 端子(SCK1:入出力), PA0 端子(SIN1:入力)端子を使って SSIO1 機能をマスタモードで動作させる場合

PA2MD0 ~ PA0MD0 ビット(PAMOD0 レジスタのビット 2 ~ 0)を“1”にし, SSIO を PA2, PA1, PA0 の 2 次機能として選択します。

レジスタ名	PAMOD0 レジスタ(アドレス:0F254H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	PA3MD0	PA2MD0	PA1MD0	PA0MD0
設定値	-	-	-	-	*	1	1	1

PA2C1 ~ PA1C1 ビット(PACON1 レジスタのビット 2 ~ 1)を“1”に, PA2C0 ~ PA1C0 ビット(PACON0 レジスタのビット 2 ~ 1)を“1”に, PA2DIR ~ PA1DIR ビット(PADIR レジスタのビット 2 ~ 1)を“0”にし, PA2, PA1 端子の状態モードを CMOS 出力に選択します。PA0DIR ビット(PADIR レジスタのビット 0)を“1”にし, PA0 端子を入力端子として選択します。

PA0C1 ビット, PA0C0 ビットへの設定値(\$)は任意です。PA0 端子が接続される外部回路の状態によって任意の状態モードを選択します。

レジスタ名	PACON1 レジスタ(アドレス:0F253H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7C1	PA6C1	PA5C1	PA4C1	PA3C1	PA2C1	PA1C1	PA0C1
設定値	*	*	*	*	*	1	1	\$

レジスタ名	PACON0 レジスタ(アドレス:0F252H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7C0	PA6C0	PA5C0	PA4C0	PA3C0	PA2C0	PA1C0	PA0C0
設定値	*	*	*	*	*	1	1	\$

レジスタ名	PADIR レジスタ(アドレス:0F251H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7DIR	PA6DIR	PA5DIR	PA4DIR	PA3DIR	PA2DIR	PA1DIR	PA0DIR
設定値	*	*	*	*	*	0	0	1

PA2D ~ PA0D ビット(PAD レジスタのビット 2 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	PAD レジスタ(アドレス:0F250H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
設定値	*	*	*	*	*	**	**	**

-: 存在しないビット

*: SSIO1 機能に関連のないビット

** : Don't care \$: 任意

18.4.10 PA2 端子 (SOUT1:出力), PA1 端子 (SCK1:入出力), PA0 端子 (SIN1:入力) 端子を使って SSIO1 機能をスレーブモードで動作させる場合

PA2MD0 ~ PA0MD0 ビット (PAMOD0 レジスタのビット 2 ~ 0) を“1”にし, SSIO を PA2, PA1, PA0 の 2 次機能として選択します。マスタモードで動作させる場合と同じ設定です。

レジスタ名	PAMOD0 レジスタ (アドレス: 0F254H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	PA3MD0	PA2MD0	PA1MD0	PA0MD0
設定値	-	-	-	-	*	1	1	1

PA2C1 ビット (PACON1 レジスタのビット 2) を“1”に, PA2C0 ビット (PACON0 レジスタのビット 2) を“1”に, PA2DIR ビット (PADIR レジスタのビット 2) を“0”にし, PA2 端子の状態モードを CMOS 出力に選択します。

PA1DIR ~ PA0DIR ビット (PADIR レジスタのビット 1 ~ 0) を“1”にし, PA1, PA0 端子を入力端子として選択します。

PA1C1 ビット ~ PA0C1 ビット, PA1C0 ビット ~ PA0C0 ビットへの設定値 (\$) は任意です。PA1, PA0 端子が接続される外部回路の状態によって任意の入力モードを選択します。

レジスタ名	PACON1 レジスタ (アドレス: 0F253H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7C1	PA6C1	PA5C1	PA4C1	PA3C1	PA2C1	PA1C1	PA0C1
設定値	*	*	*	*	*	1	\$	\$

レジスタ名	PACON0 レジスタ (アドレス: 0F252H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7C0	PA6C0	PA5C0	PA4C0	PA3C0	PA2C0	PA1C0	PA0C0
設定値	*	*	*	*	*	1	\$	\$

レジスタ名	PADIR レジスタ (アドレス: 0F251H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7DIR	PA6DIR	PA5DIR	PA4DIR	PA3DIR	PA2DIR	PA1DIR	PA0DIR
設定値	*	*	*	*	*	0	1	1

PA2D ~ PA0D ビット (PAD レジスタのビット 2 ~ 0) のデータは“0”でも“1”でも構いません。

レジスタ名	PAD レジスタ (アドレス: 0F250H)							
ビット	7	6	5	4	3	2	1	0
ビット名	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
設定値	*	*	*	*	*	**	**	**

- : 存在しないビット

* : SSIO1 機能に関連のないビット

** : Don't care

\$: 任意

第 19 章 UART

19 UART

19.1 概要

本 LSI は、半二重通信の調歩同期式シリアル・インタフェース UART (Universal Asynchronous Receiver Transmitter) を UART0 および UART1 として 2ch 内蔵しています。

入力クロックに関しては、「第 3 章 クロック発生回路」を参照してください。

UART0 および UART1 を使用する場合は、ポート 8 の 2 次機能または 3 次機能設定が必要です。ポート 8 の 2 次機能および 3 次機能設定については、「第 8 章 ポート 8」を参照してください。

UART0 は、ブロックコントロールレジスタ 2 (BLKCON2) の DUA0 ビットが “ 0 ” の場合のみ動作します。DUA0 ビットが “ 1 ” の場合には UART0 の各機能はリセット状態となります。

UART1 は、ブロックコントロールレジスタ 2 (BLKCON2) の DUA1 ビットが “ 0 ” の場合のみ動作します。DUA1 ビットが “ 1 ” の場合には UART1 の各機能はリセット状態となります。ブロックコントロールレジスタについては、第 5 章「MCU 制御機能」を参照して下さい。

19.1.1 特長

- ・ 5 ビット / 6 ビット / 7 ビット / 8 ビットのデータ長を選択可能
- ・ 奇数パリティ, 偶数パリティ, パリティ無しを選択可能
- ・ 1 ストップビット, 2 ストップビットを選択可能
- ・ パリティエラーフラグ, オーバランエラーフラグ, フレーミングエラーフラグ, 送信バッファ状態フラグを搭載
- ・ 正論理, 負論理の通信論理を選択可能
- ・ LSB ファースト, MSB ファーストの通信方向を選択可能
- ・ 通信速度は, 2,400bps ~ 115,200bps が設定可能
- ・ ボーレートジェネレータ内蔵

19.1.2 構成

図 19-1 に UART の構成を示します。

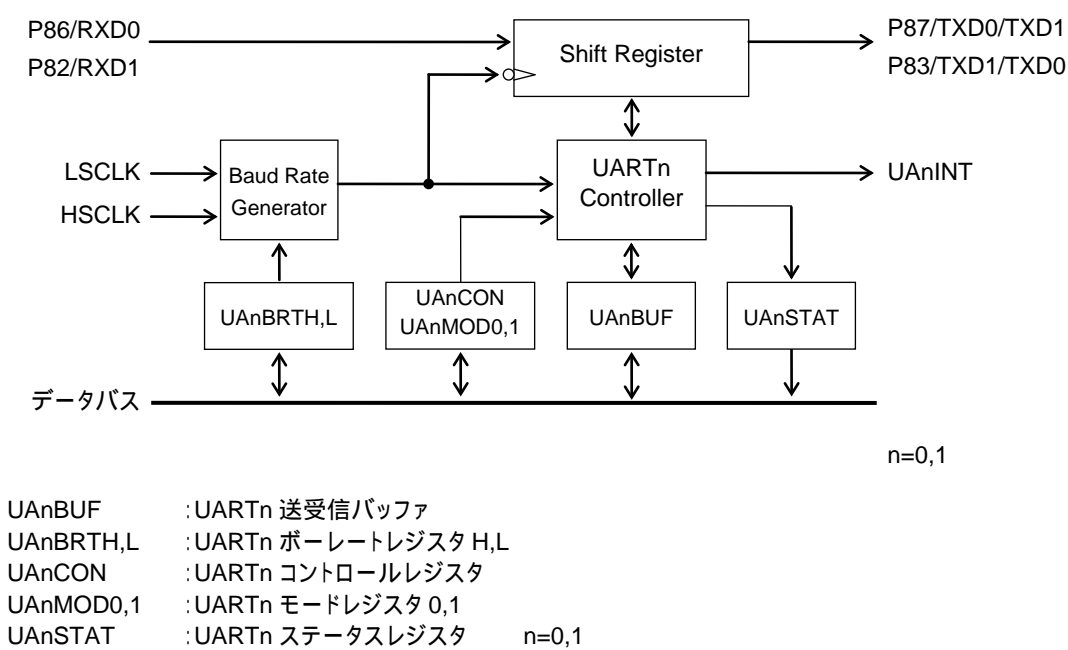


図 19-1 UART の構成

19.1.3 端子一覧

端子名	入出力	機能
P86/RXD0	I	UART0 データ入力端子 P86 端子の 2 次機能として使用します。
P87/TXD0/TXD1	O	UART0 または UART1 データ出力端子 P87 端子の 2 次機能または 3 次機能として使用します。
P82/RXD1	I	UART1 データ入力端子 P82 端子の 2 次機能として使用します。
P83/TXD1/TXD0	O	UART1 または UART0 データ出力端子 P83 端子の 2 次機能または 3 次機能として使用します。

19.2 レジスタ説明

19.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F290H	UART0 送受信バッファ	UA0BUF	-	R/W	8	00H
0F291H	UART0 コントロールレジスタ	UA0CON	-	R/W	8	00H
0F292H	UART0 モードレジスタ 0	UA0MOD0	UA0MOD	R/W	8/16	00H
0F293H	UART0 モードレジスタ 1	UA0MOD1		R/W	8	00H
0F294H	UART0 ボーレートレジスタ L	UA0BRTL	UA0BRT	R/W	8/16	0FFH
0F295H	UART0 ボーレートレジスタ H	UA0BRTH		R/W	8	0FH
0F296H	UART0 ステータスレジスタ	UA0STAT	-	R/W	8	00H
0F298H	UART1 送受信バッファ	UA1BUF	-	R/W	8	00H
0F299H	UART1 コントロールレジスタ	UA1CON	-	R/W	8	00H
0F29AH	UART1 モードレジスタ 0	UA1MOD0	UA1MOD	R/W	8/16	00H
0F29BH	UART1 モードレジスタ 1	UA1MOD1		R/W	8	00H
0F29CH	UART1 ボーレートレジスタ L	UA1BRTL	UA1BRT	R/W	8/16	0FFH
0F29DH	UART1 ボーレートレジスタ H	UA1BRTH		R/W	8	0FH
0F29EH	UART1 ステータスレジスタ	UA1STAT	-	R/W	8	00H

19.2.2 UART0 送受信バッファ(UA0BUF)

アドレス: 0F290H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
UA0BUF	U0B7	U0B6	U0B5	U0B4	U0B3	U0B2	U0B1	U0B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA0BUF は、半二重通信の送受信データを格納する特殊機能レジスタ (SFR) です。

送信モード (U0IO = “0”) では、送信するデータを UA0BUF に書き込みます。連続して送信する場合は、UART0 ステータスレジスタ (UA0STAT) の U0FUL フラグが “0” になるのを確認してから次の送信データを UA0BUF に書き込みます。UA0BUF に書き込んだ値を読み出すことも可能です。

受信モード (U0IO = “1”) では、受信終了毎に受信したデータが UA0BUF に上書きされます。5～7 ビット長のデータ長を選択した場合に不要となるビットは “0” になります。また、受信モード時の UA0BUF への書き込みは無効となります。

【注意】

送信モードを使用する場合は、UART0 モードレジスタ 0 (UA0MOD0) の U0IO ビットに “0” を設定し送信モードを選択してから UA0BUF に送信データを設定してください。

19.2.3 UART1 送受信バッファ(UA1BUF)

アドレス: 0F298H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
UA1BUF	U1B7	U1B6	U1B5	U1B4	U1B3	U1B2	U1B1	U1B0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA1BUF は、半二重通信の送受信データを格納する特殊機能レジスタ (SFR) です。

送信モード (U1IO = “0”) では、送信するデータを UA1BUF に書き込みます。連続して送信する場合は、UART1 ステータスレジスタ (UA1STAT) の U1FUL フラグが “0” になるのを確認してから次の送信データを UA1BUF に書き込みます。UA1BUF に書き込んだ値を読み出すことも可能です。

受信モード (U1IO = “1”) では、受信終了毎に受信したデータが UA1BUF に上書きされます。5～7 ビット長のデータ長を選択した場合に不要となるビットは “0” になります。また、受信モード時の UA1BUF への書き込みは無効となります。

【注意】

送信モードを使用する場合は、UART1 モードレジスタ 0 (UA1MOD0) の U1IO ビットに “0” を設定し送信モードを選択してから UA1BUF に送信データを設定してください。

19.2.4 UART0 コントロールレジスタ (UA0CON)

アドレス: 0F291H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
UA0CON	-	-	-	-	-	-	-	U0EN
R/W	-	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

UA0CON は、UART0 の通信開始 / 停止を制御する特殊機能レジスタ（SFR）です。

ビットの説明

- ・ **U0EN**(ビット 0)
U0EN は、UART0 の通信の開始を指定するビットです。

送信モード (U0IO = “0”) では、UART0 送受信バッファ (UA0BUF) に送信データを書き込み、U0EN を“1”にすると送信が開始されます。次に送信するデータを UA0BUF に書き込まずに送信が終了すると U0EN は自動的に“0”になります。送受信を強制的に終了する場合は U0EN ビットをソフトウェアで“0”にしてください。

受信モード (U0IO = “1”) では、U0EN を“1”にすると受信が許可状態になります。受信を終了する場合は U0EN ビットをソフトウェアで“0”にしてください。

U0EN	説明
0	通信停止（初期値）
1	送信モード時：通信開始 受信モード時：通信許可

19.2.5 UART1 コントロールレジスタ(UA1CON)

アドレス:0F299H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
UA1CON	-	-	-	-	-	-	-	U1EN
R/W	-	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

UA1CON は、UART1 の通信開始 / 停止を制御する特殊機能レジスタ（SFR）です。

ビットの説明

- ・ **U1EN**(ビット0)
U1EN は、UART1 の通信の開始を指定するビットです。

送信モード(U1IO = “0”)では、UART1 送受信バッファ(UA1BUF)に送信データを書き込み、U1EN を“1”にすると送信が開始されます。次に送信するデータをUA1BUFに書き込まずに送信が終了するとU1ENは自動的に“0”になります。送受信を強制的に終了する場合は U1EN ビットをソフトウェアで“0”にしてください。

受信モード(U1IO = “1”)では、U1EN を“1”にすると受信が許可状態になります。受信を終了する場合は U1EN ビットをソフトウェアで“0”にしてください。

U1EN	説明
0	通信停止（初期値）
1	送信モード時：通信開始 受信モード時：通信許可

19.2.6 UART0 モードレジスタ 0(UA0MOD0)

アドレス:0F292H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:00H

	7	6	5	4	3	2	1	0
UA0MOD0	-	-	U0RSS	U0RSEL	-	U0CK1	U0CK0	U0IO
R/W	-	-	R/W	R/W	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA0MOD0 は、UART0 の転送モードを設定する特殊機能レジスタ（SFR）です。

ビットの説明

- ・ **U0IO**(ビット 0)
U0IO は、送信モード、受信モードを選択するビットです。

U0IO	説明
0	送信モード（初期値）
1	受信モード

- ・ **U0CK1, U0CK0**(ビット 2, 1)
U0CK1, U0CK0 は、UART0 のポーレートジェネレータに入力するクロックを選択するビットです。

U0CK1	U0CK0	説明
0	0	LSCLK（初期値）
0	1	使用禁止
1	*	HSCLK

- ・ **U0RSEL**(ビット 4)
U0RSEL は、UART0 の受信データ入力を選択するビットです。

U0RSEL	説明
0	P86 端子を選択（初期値）
1	使用禁止

- ・ **U0RSS**(ビット 5)
U0RSS は、UART0 の受信データ入力サンプリングタイミングを選択するビットです。

U0RSS	説明
0	UA0BRTH, UA0BRTL レジスタに設定した値/2（初期値）
1	UA0BRTH, UA0BRTL レジスタに設定した値/2-1

【注意】

UA0MOD0 は必ず通信停止中に設定し、通信中には書き換えないでください。

19.2.7 UART1 モードレジスタ 0(UA1MOD0)

アドレス:0F29AH
 アクセス:R/W
 アクセスサイズ:8/16 ビット
 初期値:00H

	7	6	5	4	3	2	1	0
UA1MOD0	-	-	U1RSS	U1RSEL	-	U1CK1	U1CK0	U1IO
R/W	-	-	R/W	R/W	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA1MOD0 は , UART1 の転送モードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- U1IO**(ビット 0)
 U1IO は , 送信モード , 受信モードを選択するビットです。

U1IO	説明
0	送信モード (初期値)
1	受信モード

- U1CK1, U1CK0**(ビット 2 , 1)
 U1CK1 , U1CK0 は , UART1 のポーレートジェネレータに入力するクロックを選択するビットです。

U1CK1	U1CK0	説明
0	0	LSCLK (初期値)
0	1	使用禁止
1	*	HSCLK

- U1RSEL**(ビット 4)
 U1RSEL は , UART1 の受信データ入力を選択するビットです。

U1RSEL	説明
0	P82 端子を選択 (初期値)
1	使用禁止

- U1RSS**(ビット 5)
 U1RSS は , UART1 の受信データ入力サンプリングタイミングを選択するビットです。

U1RSS	説明
0	UA1BRTH , UA1BRTL レジスタに設定した値/2 (初期値)
1	UA1BRTH , UA1BRTL レジスタに設定した値/2-1

[注意]

UA1MOD0 は必ず通信停止中に設定し , 通信中には書き換えないでください。

19.2.8 UART0 モードレジスタ 1(UA0MOD1)

アドレス:0F293H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
UA0MOD1	-	U0DIR	U0NEG	U0STP	U0PT1	U0PT0	U0LG1	U0LG0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA0MOD1 は , UART0 の転送モードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **U0LG1, U0LG0**(ビット 1, 0)
U0LG1, U0LG0 は , UART0 の通信データ長を指定するビットです。

U0LG1	U0LG0	説明
0	0	8 ビット長 (初期値)
0	1	7 ビット長
1	0	6 ビット長
1	1	5 ビット長

- ・ **U0PT1, U0PT0**(ビット 3, 2)
U0PT1, U0PT0 は , UART0 のパリティビットの偶数 , 奇数 , パリティ無しを選択するビットです。

U0PT1	U0PT0	説明
0	0	偶数パリティ (初期値)
0	1	奇数パリティ
1	*	パリティビット無し

- ・ **U0STP**(ビット 4)
U0STP は , UART0 のストップビットの長さを選択するビットです。

U0STP	説明
0	1 ストップビット (初期値)
1	2 ストップビット

- ・ **U0NEG**(ビット 5)
U0NEG は , UART0 の正論理 , 負論理を選択するビットです。

U0NEG	説明
0	正論理 (初期値)
1	負論理

- ・ **U0DIR** (ビット 6)
U0DIR は、UART0 の LSB ファースト、MSB ファーストを選択するビットです。

U0DIR	説明
0	LSB ファースト (初期値)
1	MSB ファースト

【注意】
UA0MOD1 は必ず通信停止中に設定し、通信中には書き換えないでください。

19.2.9 UART1 モードレジスタ 1(UA1MOD1)

アドレス:0F29BH
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
UA1MOD1	-	U1DIR	U1NEG	U1STP	U1PT1	U1PT0	U1LG1	U1LG0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA1MOD1 は , UART1 の転送モードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **U1LG1, U1LG0**(ビット 1, 0)
U1LG1, U1LG0 は , UART1 の通信データ長を指定するビットです。

U1LG1	U1LG0	説明
0	0	8 ビット長 (初期値)
0	1	7 ビット長
1	0	6 ビット長
1	1	5 ビット長

- ・ **U1PT1, U1PT0**(ビット 3, 2)
U1PT1 , U1PT0 は , UART1 のパリティビットの偶数 , 奇数 , パリティ無しを選択するビットです。

U1PT1	U1PT0	説明
0	0	偶数パリティ (初期値)
0	1	奇数パリティ
1	*	パリティビット無し

- ・ **U1STP**(ビット 4)
U1STP は , UART1 のストップビットの長さを選択するビットです。

U1STP	説明
0	1 ストップビット (初期値)
1	2 ストップビット

- ・ **U1NEG**(ビット 5)
U1NEG は , UART1 の正論理 , 負論理を選択するビットです。

U1NEG	説明
0	正論理 (初期値)
1	負論理

- ・ **U1DIR** (ビット 6)
U1DIR は、UART1 の LSB ファースト、MSB ファーストを選択するビットです。

U1DIR	説明
0	LSB ファースト (初期値)
1	MSB ファースト

【注意】
UA1MOD1 は必ず通信停止中に設定し、通信中には書き換えないでください。

19.2.10 UART0 ボーレートレジスタ L, H(UA0BRTL, UA0BRTH)

アドレス: 0F294H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 0FFH

	7	6	5	4	3	2	1	0
UA0BRTL	U0BR7	U0BR6	U0BR5	U0BR4	U0BR3	U0BR2	U0BR1	U0BR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

アドレス: 0F295H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0FH

	7	6	5	4	3	2	1	0
UA0BRTH	-	-	-	-	U0BR11	U0BR10	U0BR9	U0BR8
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	1	1

UA0BRTL, UA0BRTH は、ボーレートクロックを生成するボーレートジェネレータのカウント値を設定する特殊機能レジスタ (SFR) です。
ボーレートジェネレータのカウント値とボーレートとの関係については、「19.3.2 ボーレート」を参照してください。

[注意]
UA0BRTL, UA0BRTH は必ず通信停止中に設定し、通信中には書き換えないでください。

19.2.11 UART1 ボーレートレジスタ L, H(UA1BRTL, UA1BRTH)

アドレス: 0F29CH
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 0FFH

	7	6	5	4	3	2	1	0
UA1BRTL	U1BR7	U1BR6	U1BR5	U1BR4	U1BR3	U1BR2	U1BR1	U1BR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

アドレス: 0F29DH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0FH

	7	6	5	4	3	2	1	0
UA1BRTH	-	-	-	-	U1BR11	U1BR10	U1BR9	U1BR8
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	1	1

UA1BRTL, UA1BRTH は, ボーレートクロックを生成するボーレートジェネレータのカウント値を設定する特殊機能レジスタ (SFR) です。
ボーレートジェネレータのカウント値とボーレートとの関係については, 「19.3.2 ボーレート」を参照してください。

[注意]
UA1BRTL, UA1BRTH は必ず通信停止中に設定し, 通信中には書き換えないでください。

19.2.12 UART0 ステータスレジスタ(UA0STAT)

アドレス:0F296H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
UA0STAT	-	-	-	-	U0FUL	U0PER	U0OER	U0FER
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA0STAT は UART0 の送受信動作における状態を示す特殊機能レジスタ(SFR)です。
UA0STAT に任意のデータを書き込むと、全てのビットは“0”に初期化されます。

ビットの説明

- ・ **U0FER**(ビット 0)
U0FER は UART0 のフレーミングエラーを示すビットです。
スタートビットもしくはストップビットでエラーが発生した場合“1”になります。U0FER は受信終了毎に更新されます。
U0FER は送信モード時に“0”に固定されます。

U0FER	説明
0	フレーミングエラー無し (初期値)
1	フレーミングエラー有り

- ・ **U0OER**(ビット 1)
U0OER は UART0 のオーバランエラーを示すビットです。
送受信バッファ(UA0BUF)の受信データを読み出す前に再度受信すると“1”になります。U0EN ビットにより受信を停止し再開した場合でも、前回の受信データが読み出されていない場合は“1”になりますので、受信が完了した際はそのデータが不要の場合でも必ず送受信バッファを読み出してください。
U0OER は送信モード時に“0”に固定されます。

U0OER	説明
0	オーバランエラー無し (初期値)
1	オーバランエラー有り

- ・ **U0PER**(ビット 2)
U0PER は UART0 のパリティエラーを示すビットです。
受信したデータのパリティとデータに付加されてきたパリティビットを比較し一致していない場合に“1”になります。U0PER は受信終了毎に更新されます。
U0PER は送信モード時に“0”に固定されます。

U0PER	説明
0	パリティエラー無し (初期値)
1	パリティエラー有り

- ・ **U0FUL**(ビット3)
U0FUL は UART0 の送受信バッファの状態を示すビットです。
送信モード時に送信データを UA0BUF に書き込むと“1”になり、その送信データがシフトレジスタに転送されると“0”になります。連続して送信する場合は、U0FUL フラグが“0”になるのを確認してから次の送信データを UA0BUF に書き込んでください。
受信モード時、U0FUL は“0”に固定されます。

U0FUL	説明
0	送受信バッファ(UA0BUF)にデータなし (初期値)
1	送受信バッファ(UA0BUF)にデータあり

19.2.13 UART1 ステータスレジスタ(UA1STAT)

アドレス:0F29EH
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
UA1STAT	-	-	-	-	U1FUL	U1PER	U1OER	U1FER
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

UA1STAT は UART1 の送受信動作における状態を示す特殊機能レジスタ(SFR)です。
UA1STAT に任意のデータを書き込むと、全てのビットは“0”に初期化されます。

ビットの説明

- ・ **U1FER**(ビット 0)
U1FER は UART1 のフレーミングエラーを示すビットです。
スタートビットもしくはストップビットでエラーが発生した場合“1”になります。U1FER は受信終了毎に更新されます。
U1FER は送信モード時に“0”に固定されます。

U1FER	説明
0	フレーミングエラー無し (初期値)
1	フレーミングエラー有り

- ・ **U1OER**(ビット 1)
U1OER は UART1 のオーバランエラーを示すビットです。
送受信バッファ(UA1BUF)の受信データを読み出す前に再度受信すると“1”になります。U1EN ビットにより受信を停止し再開した場合でも、前回の受信データが読み出されていない場合は“1”になりますので、受信が完了した際はそのデータが不要の場合でも必ず送受信バッファを読み出してください。
U1OER は送信モード時に“0”に固定されます。

U1OER	説明
0	オーバランエラー無し (初期値)
1	オーバランエラー有り

- ・ **U1PER**(ビット 2)
U1PER は UART1 のパリティエラーを示すビットです。
受信したデータのパリティとデータに付加されてきたパリティビットを比較し一致していない場合に“1”になります。U1PER は受信終了毎に更新されます。
U1PER は送信モード時に“0”に固定されます。

U1PER	説明
0	パリティエラー無し (初期値)
1	パリティエラー有り

- ・ **U1FUL**(ビット3)
U1FUL は UART1 の送受信バッファの状態を示すビットです。
送信モード時に送信データを UA1BUF に書き込むと“1”になり、その送信データがシフトレジスタに転送されると“0”になります。連続して送信する場合は、U1FUL フラグが“0”になるのを確認してから次の送信データを UA1BUF に書き込んでください。
受信モード時、U1FUL は“0”に固定されます。

U1FUL	説明
0	送受信バッファ(UA1BUF)にデータなし (初期値)
1	送受信バッファ(UA1BUF)にデータあり

19.3 動作説明

19.3.1 転送データフォーマット

スタートビット, データビット, パリティビット, ストップビットまでを 1 フレームとしたフォーマットとなります。このフォーマットにおいて, データビットは 5 ~ 8 ビットが選択可能, パリティビットは, パリティビットの有無, 偶数 / 奇数パリティの選択が可能, ストップビットは 1 ストップビット, 2 ストップビット, 転送方向は LSB ファースト, MSB ファーストが選択可能, また, シリアル入出力の論理は, 正論理, 負論理が選択可能です。

これらは, 全て UARTn モードレジスタ 1 (UAnMOD1, n=0,1) で設定します。

図 19-2 に正論理入出力のフォーマットを, 図 19-3 に負論理入出力のフォーマットを示します。

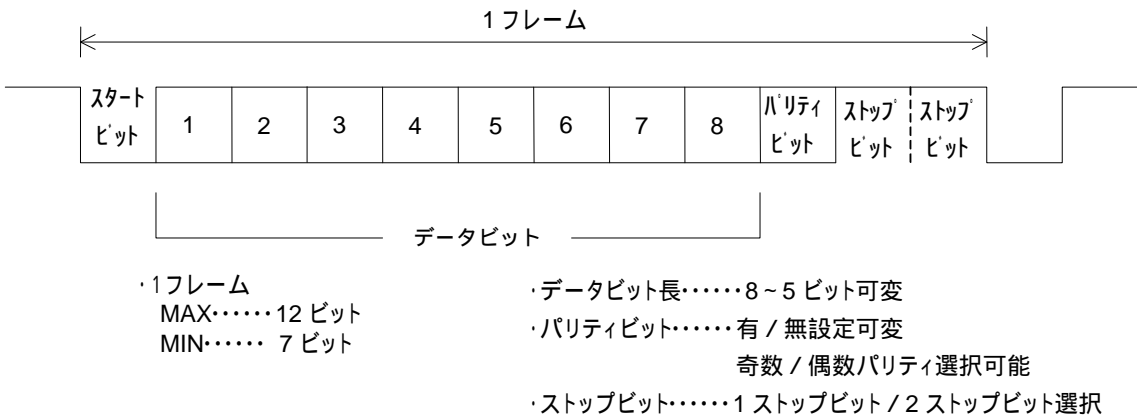


図 19-2 正論理入出力のフォーマット

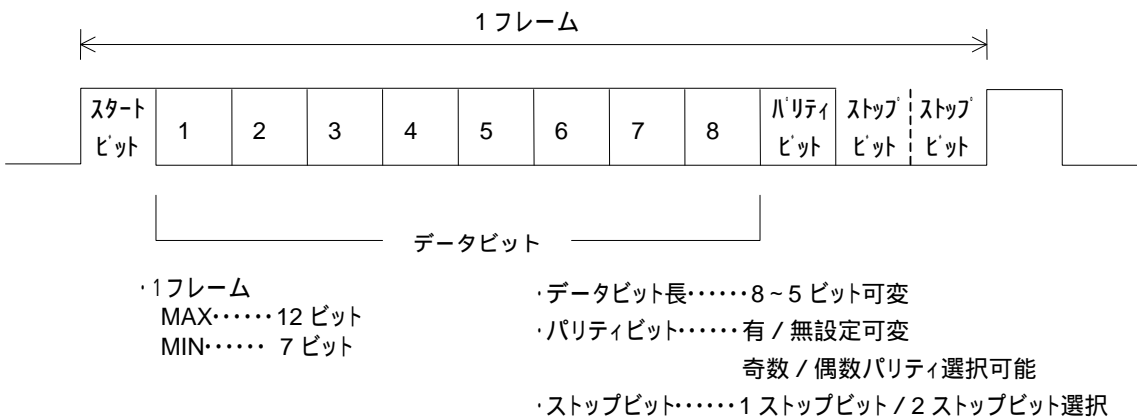


図 19-3 負論理入出力のフォーマット

19.3.2 ボーレート

ボーレートは、ボーレートジェネレータにより発生します。

ボーレートジェネレータは、UARTn モードレジスタ 0(UAnMOD0, n=0,1) のボーレートジェネレータクロック選択ビット (UnCK1, UnCK0) で選択されたクロックをカウントすることでボーレートを発生させます。ボーレートジェネレータのカウント値は UARTn ボーレートレジスタ H, L(UAnBRTH, UAnBRTL) に書込むことで設定されます。最大 4,096 カウントです。

UAnBRTH, UAnBRTL の設定値は、次式で表されます。

$$UAnBRTH, L = \frac{\text{クロック周波数 (Hz)}}{\text{ボーレート (bps)}} - 1$$

表 19-1 に代表的なボーレートのカウント値を示します。

表 19-1 代表的なボーレートのカウント値						
ボーレート	ボーレートジェネレータ クロック選択	ボーレートジェネレータのカウント値				誤差
	ボーレート クロック	カウント値	1 ビットの 周期	UAnBRTH	UAnBRTL	
2,400bps	8.192MHz	3,413	約 417us	0DH	054H	0.01%
4,800bps		1,707	約 208us	06H	0AAH	-0.02%
9,600bps		853	約 104us	03H	054H	0.04%
19,200bps		427	約 52us	01H	0AAH	-0.08%
38,400bps		213	約 26us	00H	0D4H	0.16%
57,600bps		142	約 17.4us	00H	08DH	0.16%
115,200bps		71	約 8.7us	00H	046H	0.16%

19.3.3 送信データ方向

図 19-4 に送受信バッファと送受信データの関係を示します。

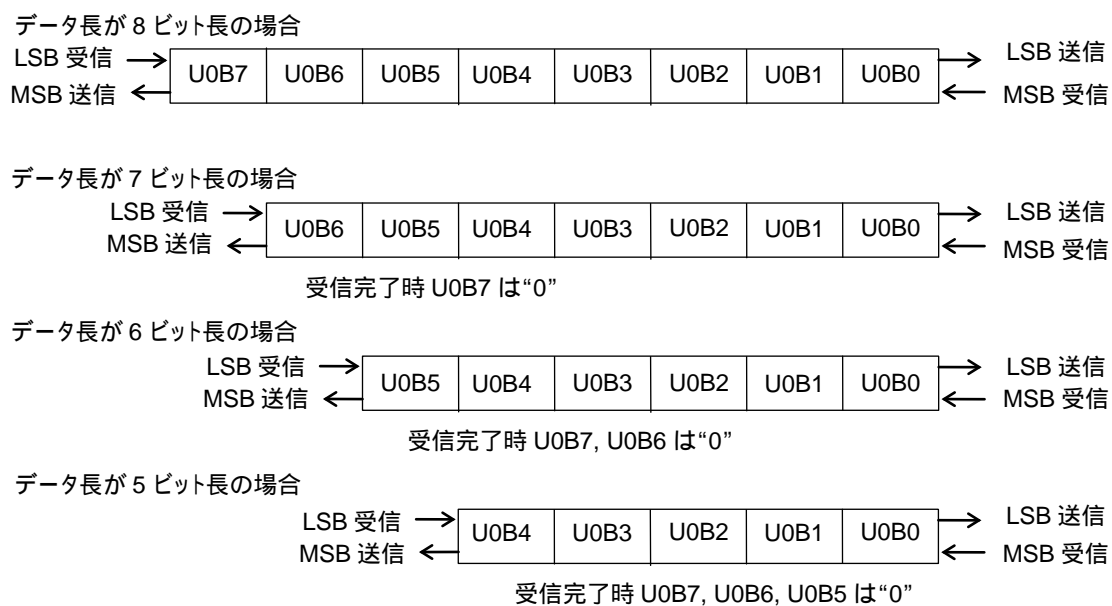


図 19-4 送受信バッファと送受信データの関係

[注意]

受信モード時に TXDn 端子を 2 次機能出力に設定した場合, TXDn 出力からは“H”レベルが出力されます。

19.3.4 送信動作

UARTn モードレジスタ 0 (UAnMOD0, n=0,1) の UnIO ビットを“0”にして送信モードを選択し, UARTn コントロールレジスタ (UAnCON) の UnEN ビットを“1”にすることで送信が開始されます。

図 19-5 に送信時の動作タイミングを示します。

UARTn 送受信バッファ (UAnBUF) に送信データを書き込むと, UARTn ステータスレジスタ (UAnSTAT) の送受信バッファの状態を示す UnFUL ビットが“1”になります。その後, UARTn コントロールレジスタ (UAnCON) の UnEN ビットを“1”にセットすると (), ボーレートジェネレータは設定したボーレートの内部転送クロックを発生し, 送信を開始します。

送信が開始されると内部転送クロックの立ち下がり () でスタートビットが TXDn 端子に出力され, 同時に UARTn 割り込み (UAnINT) を要求し, UAnSTAT の UnFUL ビットが“0”になります。

UARTn 割り込みルーチンで次に送信するデータを UARTn 送受信バッファ (UAnBUF) に書き込むと, UAnSTAT の UnFUL ビットが“1”にセットされます。 ()

以後送信データとパリティビット, およびストップビットを出力します。ストップビット送信後の内部転送クロックの立ち下がり () で UARTn 割り込みを要求します。その後, UAnBUF に次のデータを書き込まない状態 (UnFUL ビットが“0”の状態) でストップビットまで送信すると (), 送信動作を停止し, UnEN ビットを“0”にリセットすると共に UARTn 割り込みを要求します。

次に送信するデータの送受信バッファ (UAnBUF) への書き込み有効期間は, 割り込み要求発生後 () からストップビット送信終了 () までの期間です。 ()

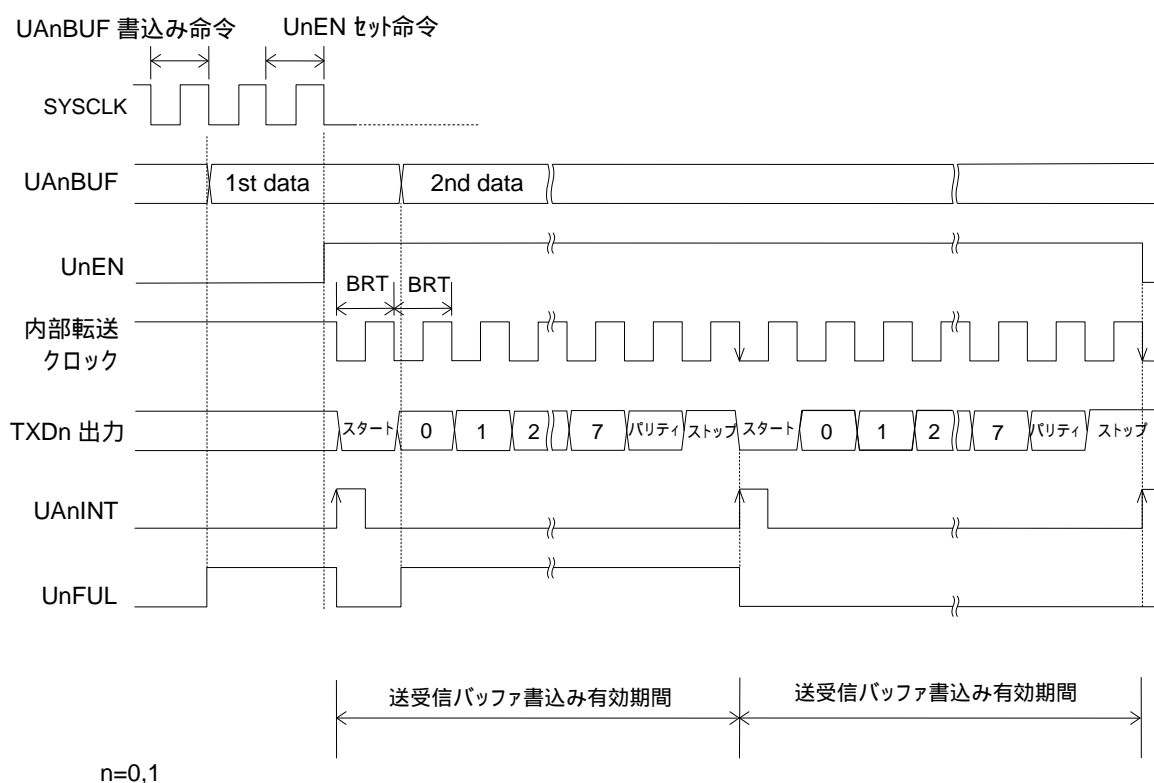


図 19-5 送信時の動作タイミング

【注意】

必ず UARTn 送受信バッファ (UAnBUF) に送信データを設定した後に (UAnSTAT の UnFUL が“1”の状態), UARTn コントロールレジスタ (UAnCON) の UnEN ビットを“1”を書き込み送信を開始してください。UAnBUF に送信データを書き込まず (UAnSTAT の UnFUL が“0”の状態) に UnEN ビットに“1”を書き込むと UARTn 割り込み要求は発生しますが, すぐに UnEN ビットは“0”になり通信は開始しません。

19.3.5 受信動作

UARTn モードレジスタ 0(UAnMOD0, n=0,1)の UnRSEL ビットで受信データ端子を選択します。UARTn モードレジスタ 0(UAnMOD0)の UnIO ビットを“1”にして受信モードを選択し, UARTn コントロールレジスタ(UAnCON)の UnEN ビットを“1”にすることで受信が開始されます。
図 19-6 に受信時の動作タイミングを示します。

受信が許可されると, 入力端子 RXDn に送られてくるデータを確認し, スタートビットが来るのを待ちます。スタートビットを検出()するとその時点を経験したボーレートの内部転送クロックを発生し, 受信を開始します。
シフトレジスタは, 内部転送クロックの立ち上がりエッジでRXDnに入力されるデータを取り込みます。データおよびパリティビットをシフトレジスタに取り込み, の内部転送クロックの立ち下がりエッジと同時に 5 ~ 8 ビットの受信データを送受信バッファ(UAnBUF)に転送します。
受信データを取り込んだ次の内部転送クロックの立ち上がり()で UARTn 割込みを要求すると同時に, ストップビットエラーとパリティビットエラーを判断し, エラーがあった場合は UARTn ステータスレジスタ(UAnSTAT)の当該ビットを“1”にセットします。
パリティエラーの時 : UnPER = “1”
オーバランエラーの時 : UnOER = “1”
フレーミングエラーの時 : UnFER = “1”

図 19-6 に示すとおり, 内部転送クロックの立ち上がりは, 受信データのビット期間の中心をとらえるように設定してあります。受信は, UnEN ビットをソフトウェアで“0”にリセットするまで継続されます。受信途中で UnEN を“0”にリセットした場合には, 受信データは破壊される場合があります。なお, 図 19-6 中の“UnEN のリセット可能期間”で UnEN ビットを“0”にリセットした場合には受信データは保護されます。

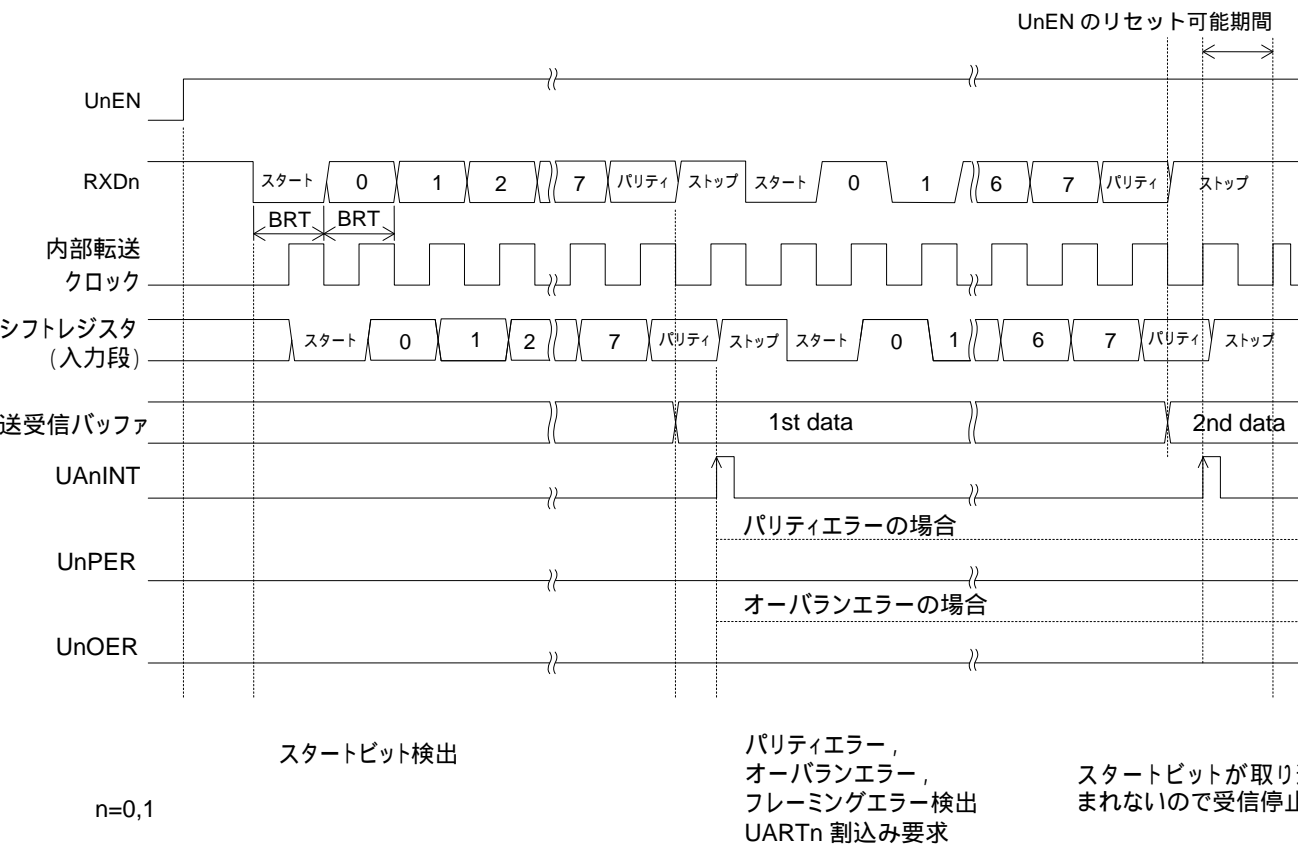


図 19-6 受信時の動作タイミング

[注意]
UnOER は, 送受信バッファ(UAnBUF)の受信データを読み出す前に次の受信データが上書きされると“1”になります。UnEN ビットにより受信を停止し再開した場合でも, 前回の受信データが読み出されていなければ“1”になります。このため, 受信バッファを読み出してから UnEN ビットを“1”にするか, もしくは受信が完了した際はそのデータが不要の場合でも必ず送受信バッファを読み出してください。

19.3.5.1 スタートビットの検出

スタートビットは、UARTn モードレジスタ 0 (UAnMOD0) の UnCK1, UnCK0 ビットで選択されたボーレートジェネレータクロック (LSCLK, HSCLK) でサンプリングされます。したがって、スタートビットの検出は、ボーレートジェネレータクロックの最大 1 周期分遅れる可能性があります。

図 19-7 に、スタートビット検出タイミングを示します。

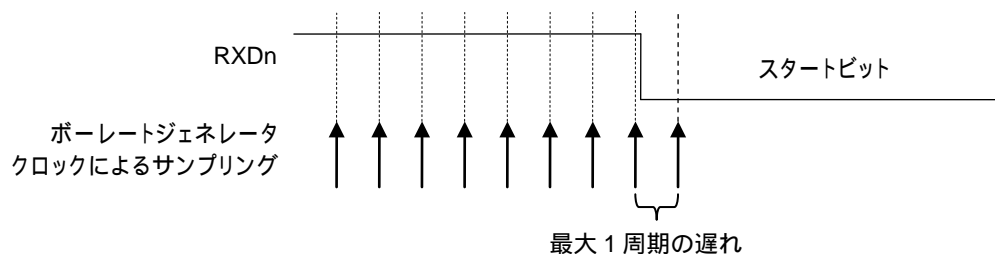


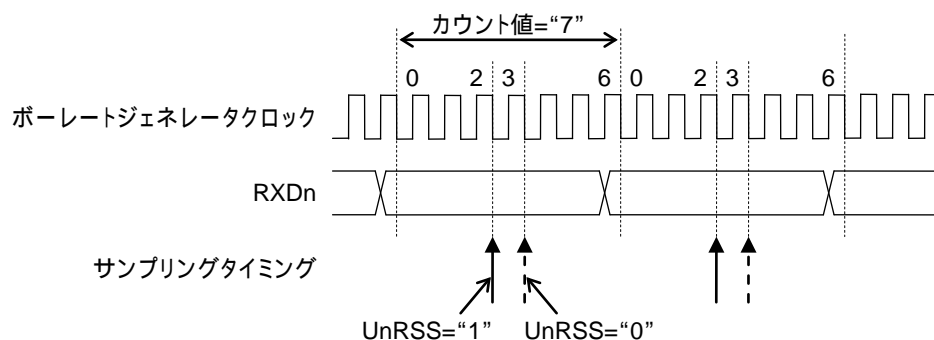
図 19-7 スタートビット検出タイミング (正論理の場合)

19.3.5.2 サンプリングタイミング

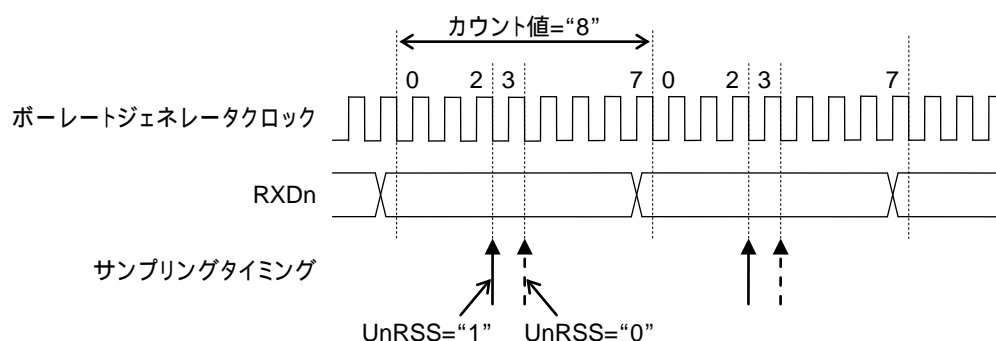
スタートビットが検出されると、RXDn に入力された受信データは、ボーレートのほぼ中央でサンプリングされ、シフトレジスタに取り込まれます。

このシフトレジスタの取り込むサンプリングタイミングは、UARTn モードレジスタ 0 (UAnMOD0) の UnRSS ビットにより、ボーレートジェネレータクロックの 1 クロック分調整することができます。

図 19-8 に、UnRSS ビットとサンプリングタイミングの関係を示します。



(1) ボーレートジェネレータカウンタ値が 7 (奇数) の場合



(2) ボーレートジェネレータカウンタ値が 8 (偶数) の場合

図 19-8 UnRSS ビットとサンプリングタイミングの関係

19.3.5.3 受信マージン

送信元のボーレートと本 LSI のボーレートジェネレータで生成されるボーレートに誤差がある場合は、1 フレーム最後のストップビットの取り込みまで誤差が蓄積され、受信マージンが低下します。

図 19-9 に、ボーレート誤差と受信マージンの波形を示します。

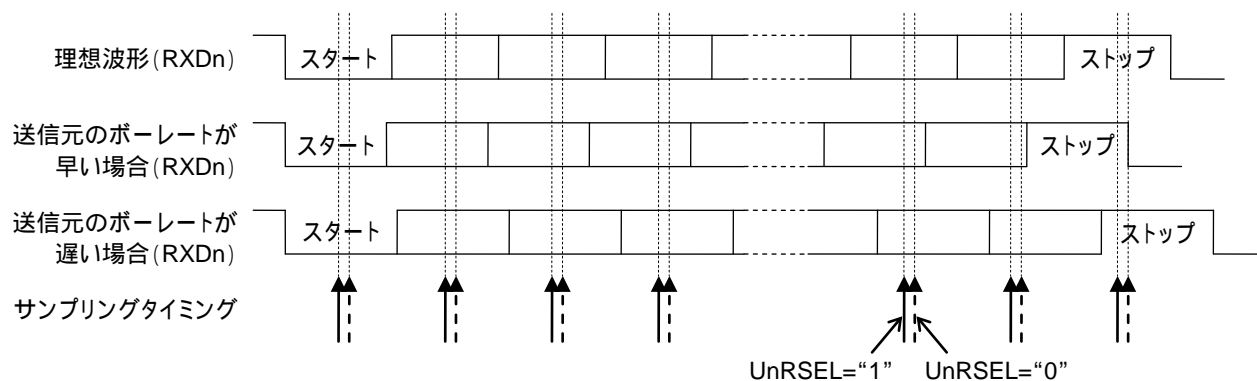


図 19-9 ボーレート誤差と受信マージン

【注意】

システム設計の際は、送信側と受信側のボーレート差、およびスタートビット検出の遅れに加え、受信データのなまりやノイズの影響なども考慮し、十分な受信マージンを確保してください。

19.4 ポートのレジスタ設定について

UART 機能を動作させるには関連する各ポートレジスタのビットを設定する必要があります。各レジスタの機能詳細については、第 8 章「ポート 8」を参照してください。

19.4.1 P87 端子(TXD0:出力), P86 端子(RXD0:入力)を使って UART0 機能を動作させる場合

P87MD1 ~ P86MD1 ビット(P8MOD1 レジスタのビット 7 ~ 6)を“0”に, P87MD0 ~ P86MD0 ビット(P8MOD0 レジスタのビット 7 ~ 6)を“1”にし, UART0 を P87, P86 の 2 次機能として選択します。

レジスタ名	P8MOD1 レジスタ(アドレス:0F245H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD1	P86MD1	-	-	-	-	-	-
設定値	0	0	-	-	-	-	-	-

レジスタ名	P8MOD0 レジスタ(アドレス:0F244H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD0	P86MD0	-	-	-	-	-	-
設定値	1	1	-	-	-	-	-	-

P87C1 ビット(P8CON1 レジスタのビット 7)を“1”に, P87C0 ビット(P8CON0 レジスタのビット 7)を“1”に, P87DIR ビット(P8DIR レジスタのビット 7)を“0”にし, P87 端子の状態モードを CMOS 出力に選択します。

P86DIR ビット(P8DIR レジスタのビット 6)を“1”にし, P86 端子を入力端子として選択します。

P86C1 ビット, P86C0 ビットへの設定値(\$)は任意です。P86 端子が接続される外部回路の状態によって任意の入力モードを選択します。

レジスタ名	P8CON1 レジスタ(アドレス:0F243H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C1	P86C1	-	-	-	-	-	-
設定値	1	\$	-	-	-	-	-	-

レジスタ名	P8CON0 レジスタ(アドレス:0F242H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C0	P86C0	-	-	-	-	-	-
設定値	1	\$	-	-	-	-	-	-

レジスタ名	P8DIR レジスタ(アドレス:0F241H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87DIR	P86DIR	-	-	-	-	-	-
設定値	0	1	-	-	-	-	-	-

P87D ~ D86D ビット(P8D レジスタのビット 7 ~ 6)のデータは“0”でも“1”でも構いません。

レジスタ名	P8D レジスタ(アドレス:0F240H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87D	P86D	-	-	-	-	-	-
設定値	**	**	-	-	-	-	-	-

* : UART0 機能に関連のないビット

** : Don't care \$: 任意

19.4.2 P83 端子(TXD1:出力), P82 端子(RXD1:入力)を使って UART1 機能を動作させる場合

P83MD1 ~ P82MD1 ビット(P8MOD1 レジスタのビット 3 ~ 2)を“0”に, P83MD0 ~ P82MD0 ビット(P8MOD0 レジスタのビット 3 ~ 2)を“1”にし, UART1 を P83, P82 の 2 次機能として選択します。

レジスタ名	P8MOD1 レジスタ(アドレス:0F245H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	P83MD1	P82MD1	-	-
設定値	-	-	-	-	0	0	-	-

レジスタ名	P8MOD0 レジスタ(アドレス:0F244H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	P83MD0	P82MD0	-	-
設定値	-	-	-	-	1	1	-	-

P83C1 ビット(P8CON1 レジスタのビット 3)を“1”に, P83C0 ビット(P8CON0 レジスタのビット 3)を“1”に, P83DIR ビット(P8DIR レジスタのビット 3)を“0”にし, P83 端子の状態モードを CMOS 出力に選択します。

P82DIR ビット(P8DIR レジスタのビット 2)を“1”にし, P82 端子を入力端子として選択します。

P82C1 ビット, P82C0 ビットへの設定値(\$)は任意です。P82 端子が接続される外部回路の状態によって任意の入力モードを選択します。

レジスタ名	P8CON1 レジスタ(アドレス:0F243H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	P83C1	P82C1	-	-
設定値	-	-	-	-	1	\$	-	-

レジスタ名	P8CON0 レジスタ(アドレス:0F242H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	P83C0	P82C0	-	-
設定値	-	-	-	-	1	\$	-	-

レジスタ名	P8DIR レジスタ(アドレス:0F241H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	P83DIR	P82DIR	-	-
設定値	-	-	-	-	0	1	-	-

P83D ~ D82D ビット(P8D レジスタのビット 3 ~ 2)のデータは“0”でも“1”でも構いません。

レジスタ名	P8D レジスタ(アドレス:0F240H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	P83D	P82D	-	-
設定値	-	-	-	-	**	**	-	-

* : UART1 機能に関連のないビット

** : Don't care \$: 任意

第 20 章 I²C バス・インタフェース(マスタ)

20 I²C バス・インタフェース (マスタ)

20.1 概要

本 LSI は、I²C バス・インタフェース(マスタ)を 1 チャンネル内蔵しています。

I²C バス・インタフェース・データ入出力端子、I²C バス・インタフェース・クロック入出力端子は、ポート 8 の 2 次機能、またはポート B の 2 次機能として割り付けられています。ポート 8 に関しては「第 8 章 ポート 8」を、ポート B に関しては「第 11 章 ポート B」を参照してください。なお、ポート 8、ポート B の 2 次機能の設定が同時に行われた場合は、ポート 8 の設定が優先されます。

20.1.1 特長

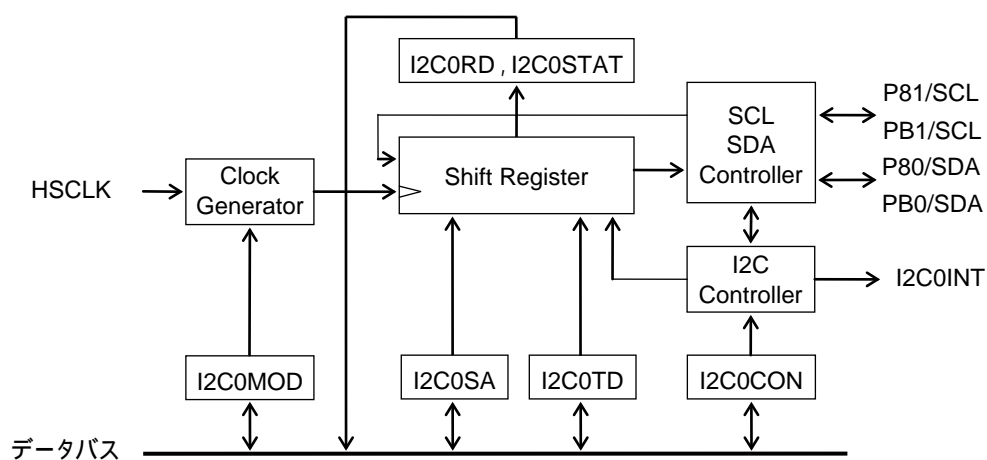
- ・ マスタ機能
- ・ 通信速度は、標準モード(100kbps)、ファーストモード(400kbps)の 2 種類を選択可能
- ・ 7 ビットアドレスフォーマット(10 ビットアドレス対応可能)

【注意】

- ・ アービトレーション機能(マルチ・マスタ)およびクロック同期化(ハンドシェーク)には対応していません。
- ・ HCLK を 4.096MHz もしくは 8.192MHz に設定してください。それ以外の周波数では、100kbps/400kbps の通信速度になりません。

20.1.2 構成

図 20-1 に I²C バス・インタフェースの構成を示します。



I2C0RD : I²C バス 0 受信レジスタ
 I2C0SA : I²C バス 0 スレーブアドレスレジスタ
 I2C0TD : I²C バス 0 送信データレジスタ
 I2C0CON : I²C バス 0 コントロールレジスタ
 I2C0MOD : I²C バス 0 モードレジスタ
 I2C0STAT : I²C バス 0 ステータスレジスタ

図 20-1 I²C バス・インタフェースの構成

20.1.3 端子一覧

端子名	入出力	機能
P80/SDA	I/O	I ² C バス・インタフェース・データ入出力端子 P80 端子の 2 次機能として使用します。
P81/SCL	I/O	I ² C バス・インタフェース・クロック入出力端子 P81 端子の 2 次機能として使用します。
PB0/SDA	I/O	I ² C バス・インタフェース・データ入出力端子 PB0 端子の 2 次機能として使用します。
PB1/SCL	I/O	I ² C バス・インタフェース・クロック入出力端子 PB1 端子の 2 次機能として使用します。

20.2 レジスタ説明

20.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F2A0H	I ² C バス 0 受信レジスタ	I2C0RD	-	R	8	00H
0F2A1H	I ² C バス 0 スレーブアドレスレジスタ	I2C0SA	-	R/W	8	00H
0F2A2H	I ² C バス 0 送信データレジスタ	I2C0TD	-	R/W	8	00H
0F2A3H	I ² C バス 0 コントロールレジスタ	I2C0CON	-	R/W	8	00H
0F2A4H	I ² C バス 0 モードレジスタ	I2C0MOD	-	R/W	8	00H
0F2A5H	I ² C バス 0 ステータスレジスタ	I2C0STAT	-	R	8	00H

20.2.2 I²C バス 0 受信レジスタ (I2C0RD)

アドレス: 0F2A0H
アクセス: R
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
I2C0RD	I20R7	I20R6	I20R5	I20R4	I20R3	I20R2	I20R1	I20R0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

I2C0RD は、受信データを格納する読み出し専用の特殊機能レジスタ(SFR)です。
I2C0RD は、受信終了毎に更新されます。

ビットの説明

- ・ **I20R7 ~ I20R0** (ビット 7 ~ 0)
I20R7 ~ I20R0 は、受信データが格納されるビットです。スレーブアドレスの送信時、およびデータ送受信時に SCL 端子の信号立ち上がりエッジに同期して SDA 端子の信号を受信します。データ受信時に加え、スレーブアドレスデータ送信時およびデータ送信時にも SCL 端子の信号立ち上がりエッジに同期して SDA 端子の信号を受信するため、送信データが確実に送信されたかを確認することが可能です。

20.2.3 I²C バス 0 スレーブアドレスレジスタ(I2C0SA)

アドレス:0F2A1H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
I2C0SA	I20A6	I20A5	I20A4	I20A3	I20A2	I20A1	I20A0	I20RW
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

I2C0SA は、スレーブデバイスのアドレスと送受信モードを設定する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **I20RW**(ビット0)
I20RW は、データ送信モード(書き込み)、データ受信モード(読み出し)を選択するビットです。

I20RW	説明
0	データ送信モード(初期値)
1	データ受信モード

- ・ **I20A6 ~ I20A0**(ビット7~1)
I20A6 ~ I20A0 は、通信相手のアドレスを設定するビットです。

20.2.4 I²C バス送信データレジスタ (I2C0TD)

アドレス: 0F2A2H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
I2C0TD	I20T7	I20T6	I20T5	I20T4	I20T3	I20T2	I20T1	I20T0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

I2C0TD は、送信データを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **I20T7 ~ 0** (ビット 7 ~ 0)
I20T7 ~ 0 は、送信データを設定するビットです。

20.2.5 I²C バス 0 コントロールレジスタ (I2C0CON)

アドレス: 0F2A3H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
I2C0CON	I20ACT	-	-	-	-	I20RS	I20SP	I20ST
R/W	R/W	-	-	-	-	W	W	R/W
初期値	0	0	0	0	0	0	0	0

I2C0CON は、送受信動作を制御する特殊機能レジスタ(SFR)です。

ビットの説明

- I20ST**(ビット 0)
I20ST は、I²C バス・インタフェースの通信動作を制御するビットです。I20ST を “ 1 ” にすると通信が開始されます。アクノリッジ送受信後のコントロールレジスタ設定待ち状態で I20ST に “ 1 ” を上書きすると通信を再開します。また、I20ST を “ 0 ” にすると強制的に通信が停止します。
I20ST は、I²C バス・インタフェース動作許可状態 (I20EN= “ 1 ”) の場合のみ “ 1 ” にする事が可能です。
I20SP ビットを “ 1 ” にすると、I20ST は “ 0 ” になります。

I20ST	説明
0	通信停止 (初期値)
1	通信開始

- I20SP**(ビット 1)
I20SP は、ストップコンディションを要求する書き込み専用のビットです。I20SP を “ 1 ” にするとストップコンディションに移行し通信を停止します。I20SP は、読み出すと常に “ 0 ” が読み出されます。

I20SP	説明
0	ストップコンディション要求なし (初期値)
1	ストップコンディション要求

- I20RS**(ビット 2)
I20RS は、再スタートを要求する書き込み専用のビットです。データ通信中に “ 1 ” にすると再スタートコンディションに移行し、再度スレーブアドレスから通信を再開します。I20RS は、通信動作中 (I20ST= “ 1 ” の時) のみ “ 1 ” にする事が可能です。I20RS は、読み出すと常に “ 0 ” が読み出されます。

I20RS	説明
0	再スタート要求なし (初期値)
1	再スタート要求

- I20ACT**(ビット 7)
I20ACT は、受信終了時に出力するアクノリッジ信号を設定するビットです。

I20ACT	説明
0	アクノリッジデータ “ 0 ” (初期値)
1	アクノリッジデータ “ 1 ”

20.2.6 I²C バス 0 モードレジスタ (I2C0MOD)

アドレス: 0F2A4H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
I2C0MOD	-	-	-	I20SYN	I20DW1	I20DW0	I20MD	I20EN
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

I2C0MOD は、動作モードを設定する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **I20EN**(ビット 0)
I20EN は、I²C バス・インタフェースの動作を許可するビットです。I20EN が“1”にすると、I²C バス(SDA, SCL)の使用状態の検出(I20BB ビットのバスフリー / バスビジー判定)が開始され、I20ST ビットの設定が可能となります。I20EN を“0”にすると、I²C バス 0 関連の全ての SFR が初期化されます。

I20EN	説明
0	I ² C 動作停止 (初期値)
1	I ² C 動作許可

- ・ **I20MD**(ビット 1)
I20MD は、I²C バス・インタフェースの通信速度を設定するビットです。通常モードとファーストモードが選択可能です。

I20MD	説明
0	標準モード(初期値) / 100kbps
1	ファーストモード / 400kbps

- ・ **I20DW1, I20DW0**(ビット 3 ~ 2)
I20DW1, I20DW0 は、I²C バス・インタフェースの通信速度の低下率を設定するビットです。通信速度が 100kbps / 400kbps を超えないように設定します。

I20DW1	I20DW0	説明
0	0	通信速度低下なし (初期値)
0	1	通信速度 10%低下
1	0	通信速度 20%低下
1	1	通信速度 30%低下

- ・ **I20SYN** (ビット 4)
I20SYN は、クロック同期化機能(ハンドシェーク機能)の使用 / 未使用を選択するビットです。本 LSI は、クロック同期化機能に対応していないため、常に“0”を設定してください。

I20SYN	説明
0	クロック同期化未使用 (初期値)
1	設定禁止

[注意]

HSCLK が 4.096MHz もしくは、8.192MHz 時に通信速度が 100kbps / 400kbps になるように設定されています。
I²C 通信中に本レジスタの値を変更した場合の動作は保証できません。

20.2.7 I²C バス 0 ステータスレジスタ(I2C0STAT)

アドレス: 0F2A5H
アクセス: R
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
I2C0STAT	-	-	-	-	-	I20ER	I20ACR	I20BB
R	-	-	-	-	-	R	R	R
初期値	0	0	0	0	0	0	0	0

I2C0STAT は、I²C バス・インタフェースの状態を示す読み出し専用の特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **I20BB**(ビット 0)
I20BB は、I²C バスの使用状態を示すビットです。I²C バス上でスタートコンディションが発生すると“1”になり、ストップコンディションが発生すると“0”になります。また、I20BB は、I2C0MOD の I20EN ビットが“0”の場合に“0”になります。

I20BB	説明
0	I ² C バスフリー状態 (初期値)
1	I ² C バスビジー状態

- ・ **I20ACR**(ビット 1)
I20ACR は、受信したアクノリッジが格納されるビットです。スレーブアドレスの送信、およびデータ送受信終了毎にアクノリッジ信号を受信します。また、I20ACR は、I2C0MOD の I20EN ビットが“0”の場合に“0”になります。

I20ACR	説明
0	アクノリッジ“0”を受信 (初期値)
1	アクノリッジ“1”を受信

- ・ **I20ER**(ビット 2)
I20ER は、送信エラーを示すビットです。送信したデータと SDA 端子の値が一致しなかった場合に“1”になります。I20ER が“1”になっても以降のバイトデータ通信終了まで SDA 端子出力を継続します。
I20ER は、I2C0CON に書き込み動作を行うと“0”になります。また、I20ER は、I2C0MOD の I20EN ビットを“0”にすると“0”になります。

I20ER	説明
0	送信エラー無し (初期値)
1	送信エラー有り

20.3 動作説明

20.3.1 通信動作モード

I²C バス 0 モードレジスタ(I2C0MOD)により通信モードを選択し、また I20EN ビットにより I²C 機能を許可状態にし、I²C バス 0 スレーブアドレスレジスタ(I2C0SA)にスレーブアドレスと、データ方向ビットを設定し、I²C バス 0 コントロールレジスタ(I2C0CON)の I20ST ビットに“1”を書き込むとスタートコンディションより通信が開始されます。

20.3.1.1 スタートコンディション

通信停止中(I20ST ビットが“0”の状態)に、I²C バス 0 コントロールレジスタ(I2C0CON)の I20ST ビットに“1”を書き込むと通信が開始され、SDA、SCL 端子にスタートコンディション波形を出力します。
スタートコンディション実行後はスレーブアドレス送信モードに移行します。

20.3.1.2 再スタートコンディション

通信中(I20ST ビットが“1”の状態)に、I²C バス 0 コントロールレジスタ(I2C0CON)の I20RS ビットと I20ST ビットに“1”を書き込むと、SDA、SCL 端子に再スタートコンディション波形を出力します。
再スタートコンディション実行後はスレーブアドレス送信モードに移行します。

20.3.1.3 スレーブアドレス送信モード

スレーブアドレス送信モードでは、I²C バス 0 スレーブアドレスレジスタ(I2C0SA)の値(スレーブアドレス、データ方向ビット)が MSB ファーストで送信され、最後に I²C バス 0 ステータスレジスタ(I2CSTAT)の I20ACR ビットにアクノリッジを受信します。

アクノリッジ受信が終了すると、I²C バス 0 コントロールレジスタ(I2C0CON)設定待ち状態(コントロールレジスタ設定待ち状態)に移行します。

SDA 端子から出力した I2C0SA の値は I2C0RD に格納されます。

20.3.1.4 データ送信モード

データ送信モードでは、I2C0TD の値が MSB ファーストで送信され、最後に I²C バス 0 ステータスレジスタ(I2CSTAT)の I20ACR ビットにアクノリッジを受信します。

アクノリッジ受信が終了すると、I²C バス 0 コントロールレジスタ(I2C0CON)設定待ち状態(コントロールレジスタ設定待ち状態)に移行します。

SDA 端子から出力した I2C0TD の値は I2C0RD に格納されます。

20.3.1.5 データ受信モード

データ受信モードでは、SDA 端子に入力された値を、SCL 端子に出力されたクロックの立ち上がりエッジに同期して受信され、最後に I²C バス 0 コントロールレジスタ(I2C0CON)の I20ACT ビットの値をアクノリッジとして出力します。

アクノリッジ送信が終了すると、I²C バス 0 コントロールレジスタ(I2C0CON)設定待ち状態(コントロールレジスタ設定待ち状態)に移行します。

受信したデータは、アクノリッジ出力後、I2C0RD に格納されます。また出力したアクノリッジも I²C バス 0 ステータスレジスタ(I2CSTAT)の I20ACR ビットに受信されます。

20.3.1.6 コントロールレジスタ設定待ち状態

コントロールレジスタ設定待ち状態に移行すると、I²C バス・インタフェース割込み(I2C0INT)が発生します。

コントロールレジスタ設定待ち状態では、I²C バス 0 ステータスレジスタ(I2C0STAT)の送信エラーフラグ(I20ER)、アクアリッジ受信データ(I20ACR)を確認し、データ受信時は I2C0RD の内容を CPU に読み込み、次の動作モードを選択します。

コントロールレジスタ設定待ち状態中に I20ST ビットに“1”を書き込むとデータ送信モード、もしくはデータ受信モードに移行します。I20SP ビットに“1”を書き込むとストップコンディションに移行します。また、I20RS ビットと I20ST ビットに“1”を書き込むと再スタートコンディションに移行します。

20.3.1.7 ストップコンディション

ストップコンディションでは、SDA、SCL 端子にストップコンディション波形を出力します。ストップコンディション波形出力後に、I²C バス・インタフェース割込み(I2C0INT)が発生します。

20.3.2 通信動作タイミング

図 20-2～4 に、各通信モードの動作タイミング、および制御方法を示します。

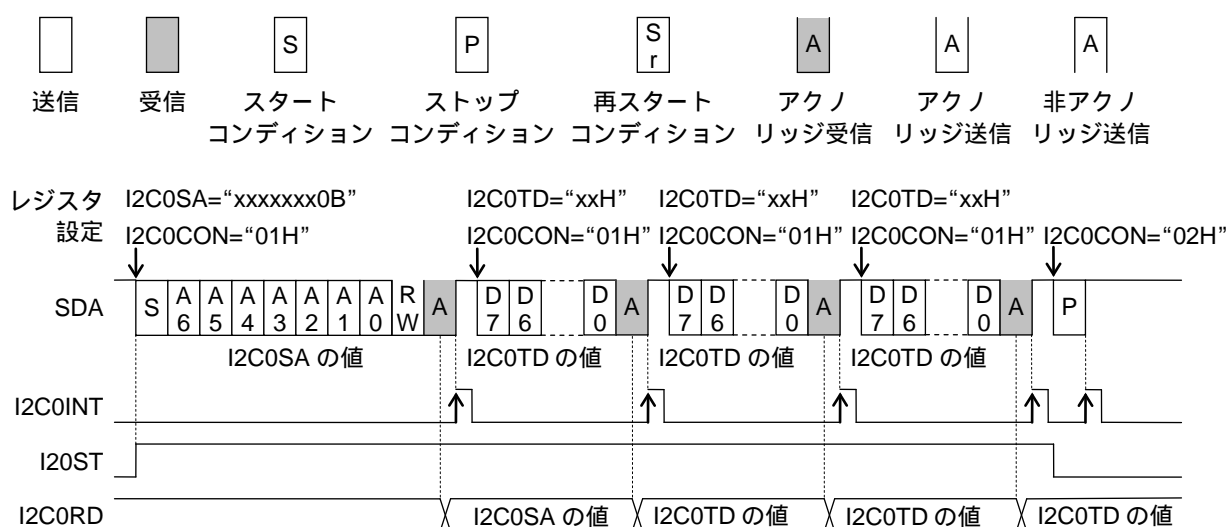


図 20-2 データ送信モード(書き込み)時の動作タイミング

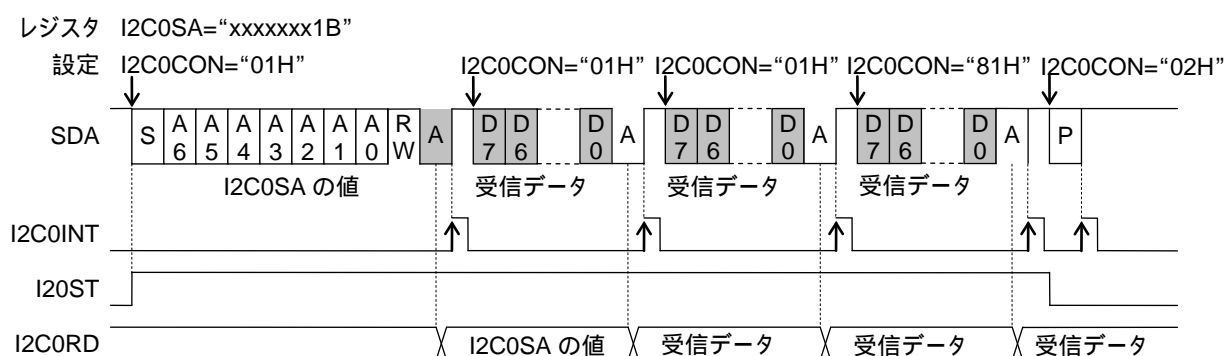


図 20-3 データ受信モード(読み込み)時の動作タイミング

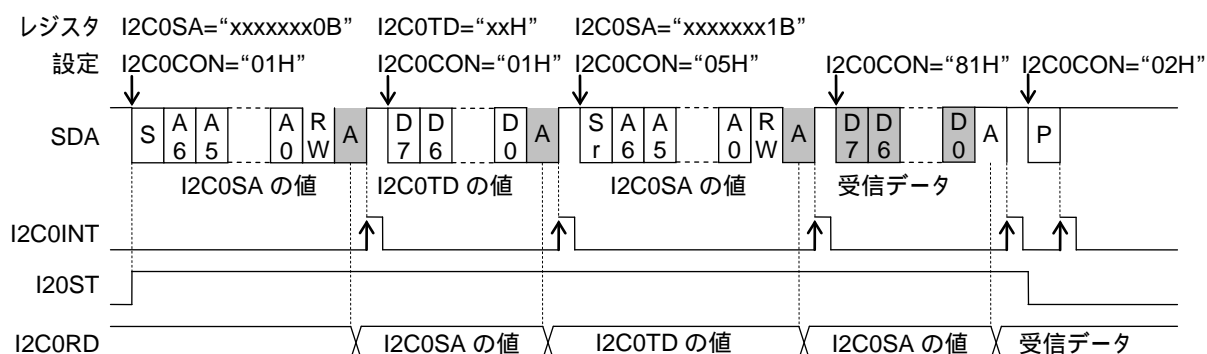


図 20-4 データ送受信モード(書き込み/読み込み)切り替え時の動作タイミング

図 20-5 にアクノリッジエラー発生時の動作タイミング、および制御方法を示します。

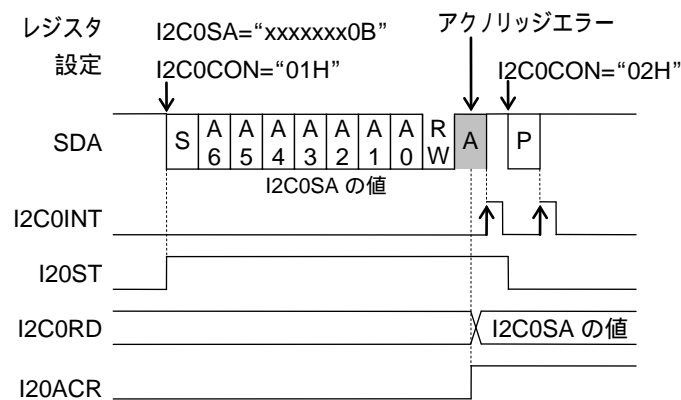


図 20-5 アクノリッジエラー発生時の途中停止動作タイミング

送信したビットと SDA 端子の値が一致しなかった場合は、I²C バス 0 ステータスレジスタ (I2C0STAT) の I20ER ビットが “1” になり、以降のバイトデータ通信終了まで SDA 端子出力が禁止されます。I20ER ビットは、I²C バス 0 コントロールレジスタ (I2C0CON) に書き込み動作を行うことで “0” に初期化されます。
図 20-6 に送信失敗時の動作タイミング、および制御方法を示します。

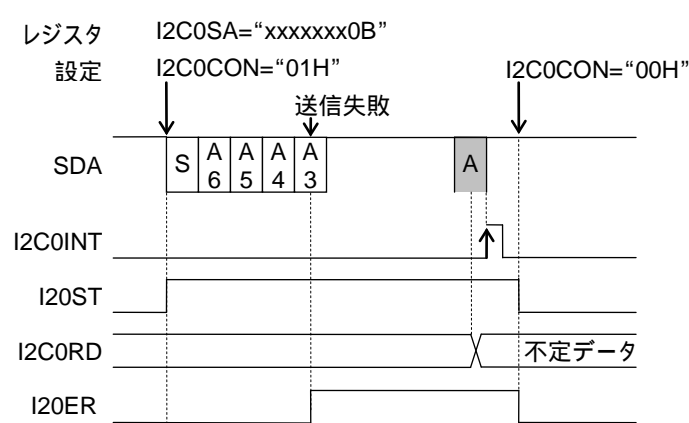


図 20-6 送信失敗時の動作タイミング

20.3.3 動作波形

図 20-7 に、SDA 信号、SCL 信号、および I20BB フラグの動作波形を示します。また、表 20-1 に通信速度と HSCLK クロック数の関係を示します。

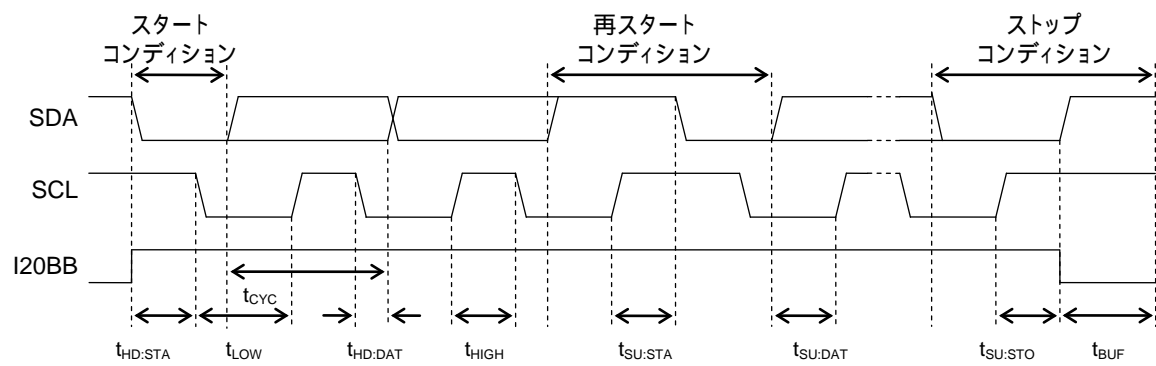


図 20-7 SDA、SCL 信号、および I20BB フラグの動作波形

表 20-1 通信速度と HSCLK クロック数の関係

通信速度 (I20SP)	速度低下 (I20DW1,0)	t _{CYC}	t _{HD:STA}	t _{LOW}	t _{HD:DAT}	t _{HIGH}	t _{SU:STA}	t _{SU:DAT}	t _{SU:STO}	t _{BUF}
標準モード 100kbps	低下なし	80φ	36φ	44φ	8φ	36φ	44φ	36φ	36φ	44φ
	10%低下	88φ	40φ	48φ	8φ	40φ	48φ	40φ	40φ	48φ
	20%低下	96φ	44φ	52φ	8φ	44φ	52φ	44φ	44φ	52φ
	30%低下	104φ	48φ	56φ	8φ	48φ	56φ	48φ	48φ	56φ
ファースト モード 400kbps	低下なし	20φ	8φ	12φ	4φ	8φ	12φ	8φ	8φ	12φ
	10%低下	22φ	8φ	14φ	4φ	8φ	14φ	10φ	8φ	14φ
	20%低下	24φ	10φ	14φ	4φ	10φ	14φ	10φ	10φ	14φ
	30%低下	26φ	10φ	16φ	4φ	10φ	16φ	12φ	10φ	16φ

φ: 高速クロック (HSCLK) のクロック周期

[注意]

HSCLK のクロック数は、HSCLK が 8.192MHz もしくは、4.096MHz 時に通信速度が 100kbps/400kbps になるように設定されています。高速クロック周波数が 8.192MHz もしくは、4.096MHz 以外の場合は、I2C0MOD の通信速度低下選択、および FCON0 の HSCLK 周波数選択により、通信速度が 100kbps/400kbps を超えないように設定してください。

20.4 ポートのレジスタ設定について

I²C 機能を動作させるには関連する各ポートレジスタのビットを設定する必要があります。各レジスタの機能詳細については、第 8 章「ポート 8」、第 11 章「ポート B」を参照してください。

[注意]

1 つのチャンネルに対し複数のポートを設定した場合、動作は保証できません。

20.4.1 P81 端子(SCL:出力)と P80 端子(SDA:入出力)を I²C 機能として動作させる場合

P81MD1 ~ P80MD1 ビット(P8MOD1 レジスタのビット 1 ~ 0)を“0”に、P81MD0 ~ P80MD0 ビット(P8MOD0 レジスタのビット 1 ~ 0)を“1”にし、I²C を P81, P80 の 2 次機能として選択します。

レジスタ名	P8MOD1 レジスタ(アドレス:0F245H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD1	P86MD1	P85MD1	P84MD1	P83MD1	P82MD1	P81MD1	P80MD1
設定値	*	*	*	*	*	*	0	0

レジスタ名	P8MOD0 レジスタ(アドレス:0F244H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD0	P86MD0	P85MD0	P84MD0	P83MD0	P82MD0	P81MD0	P80MD0
設定値	*	*	*	*	*	*	1	1

P81C1 ~ P80C1 ビット(P8CON1 レジスタのビット 1 ~ 0)を“1”に、P81C0 ~ P80C0 ビット(P8CON0 レジスタのビット 1 ~ 0)を“1”に、P81DIR ~ P80DIR ビット(P8DIR レジスタのビット 1 ~ 0)を“0”にし、P81, P80 端子の状態モードを Nch オープンドレイン出力に選択します。I²C のバスラインは抵抗プルアップしたものをオープンドレイン / オープンコレクタでドライブして“H”と“L”の衝突を避けています。

レジスタ名	P8CON1 レジスタ(アドレス:0F243H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C1	P86C1	P85C1	P84C1	P83C1	P82C1	P81C1	P80C1
設定値	*	*	*	*	*	*	1	1

レジスタ名	P8CON0 レジスタ(アドレス:0F242H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C0	P86C0	P85C0	P84C0	P83C0	P82C0	P81C0	P80C0
設定値	*	*	*	*	*	*	0	0

レジスタ名	P8DIR レジスタ(アドレス:0F241H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87DIR	P86DIR	P85DIR	P84DIR	P83DIR	P82DIR	P81DIR	P80DIR
設定値	*	*	*	*	*	*	0	0

P81D ~ P80D ビット(P8D レジスタのビット 1 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	P8D レジスタ(アドレス:0F240H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
設定値	*	*	*	*	*	*	**	**

* : I²C 機能に関連のないビット

** : Don't care

20.4.2 PB1 端子(SCL:出力)とPB0 端子(SDA:入出力)をI²C 機能として動作させる場合

PB1MD0 ~ PB0MD0 ビット(PBMOD0 レジスタのビット1 ~ 0)を“1”にし、I²C をPB1, PB0 の2 次機能として選択します。

レジスタ名	PBMOD0 レジスタ(アドレス:0F25CH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	PB2MD0	PB1MD0	PB0MD0
設定値	-	-	-	-	-	*	1	1

PB1C1 ~ PB0C1 ビット(PBCON1 レジスタのビット1 ~ 0)を“1”に、PB1C0 ~ PB0C0 ビット(PBCON0 レジスタのビット1 ~ 0)を“1”に、PB1DIR ~ PB0DIR ビット(PBDIR レジスタのビット1 ~ 0)を“0”にし、PB1, PB0 端子の状態モードを Nch オープンドレイン出力に選択します。I²C のバスラインは抵抗プルアップしたものをオープンンドレイン / オープンコレクタでドライブして“H”と“L”の衝突を避けています。

レジスタ名	PBCON1 レジスタ(アドレス:0F25BH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6C1	PB5C1	PB4C1	PB3C1	PB2C1	PB1C1	PB0C1
設定値	-	*	*	*	*	*	1	1

レジスタ名	PBCON0 レジスタ(アドレス:0F25AH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6C0	PB5C0	PB4C0	PB3C0	PB2C0	PB1C0	PB0C0
設定値	-	*	*	*	*	*	0	0

レジスタ名	PBDIR レジスタ(アドレス:0F259H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6DIR	PB5DIR	PB4DIR	PB3DIR	PB2DIR	PB1DIR	PB0DIR
設定値	-	*	*	*	*	*	0	0

PB1D ~ PB0D ビット(PBD レジスタのビット1 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	PBD レジスタ(アドレス:0F258H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6D	PB5D	PB4D	PB3D	PB2D	PB1D	PB0D
設定値	-	*	*	*	*	*	**	**

- : 存在しないビット

* : I²C 機能に関連のないビット

** : Don't care

第 21 章 I²C バス・インタフェース(スレーブ)

21 I²C バス・インタフェース (スレーブ)

21.1 概要

本 LSI は、I²C バス・インタフェース(スレーブ)を 1 チャンネル内蔵しています。

I²C バス・インタフェース・データ入出力端子、I²C バス・インタフェース・クロック入出力端子は、ポート 8 の 2 次機能、またはポート B の 2 次機能として割り付けられています。ポート 8 に関しては「第 8 章 ポート 8」を、ポート B に関しては「第 11 章 ポート B」を参照してください。なお、ポート 8、ポート B の 2 次機能の設定が同時に行われた場合は、ポート 8 の設定が優先されます。

21.1.1 特長

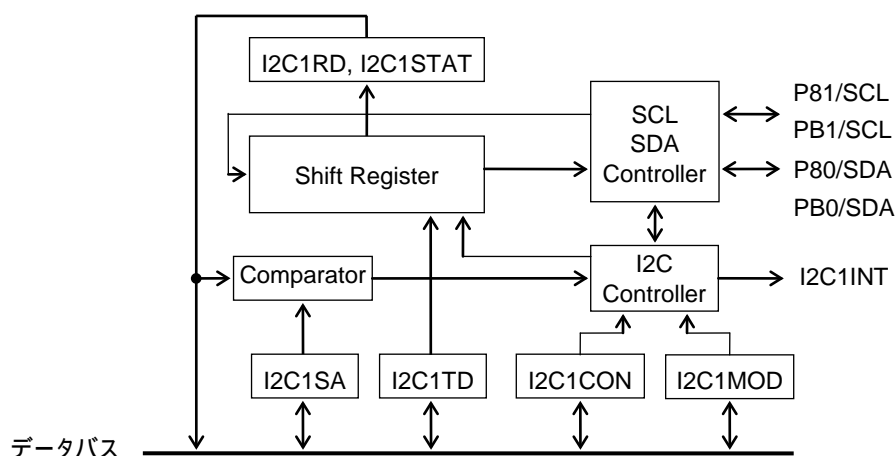
- ・ スレーブ機能
- ・ 通信速度は、標準モード(100kbps)、ファーストモード(400kbps)の 2 種類を選択可能
- ・ クロック同期化(ハンドシェイク)対応可能

[注意]

- ・ HSCLOCK を 4.096MHz もしくは 8.192MHz に設定してください。それ以外の周波数では、100kbps/400kbps の通信速度になりません。
- ・ I²C スレーブ機能を使用中に、本 LSI の電源を遮断した場合、I²C バスで接続されている他のデバイスの通信ができなくなります。I²C スレーブ機能使用時には、I²C マスタデバイスの電源が遮断されるまで本 LSI の電源は遮断しないでください。

21.1.2 構成

図 21-1 に I²C バス・インタフェースの構成を示します。



I2C1RD : I²C バス 1 受信レジスタ
 I2C1SA : I²C バス 1 スレーブアドレスレジスタ
 I2C1TD : I²C バス 1 送信データレジスタ
 I2C1CON : I²C バス 1 コントロールレジスタ
 I2C1MOD : I²C バス 1 モードレジスタ
 I2C1STAT : I²C バス 1 ステータスレジスタ

図 21-1 I²C バス・インタフェースの構成

21.1.3 端子一覧

端子名	入出力	機能
P80/SDA	I/O	I ² C バス・インタフェース・データ入出力端子 P80 端子の 2 次機能として使用します。
P81/SCL	I/O	I ² C バス・インタフェース・クロック入出力端子 P81 端子の 2 次機能として使用します。
PB0/SDA	I/O	I ² C バス・インタフェース・データ入出力端子 PB0 端子の 2 次機能として使用します。
PB1/SCL	I/O	I ² C バス・インタフェース・クロック入出力端子 PB1 端子の 2 次機能として使用します。

21.2 レジスタ説明

21.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F2A8H	I ² C バス 1 受信レジスタ	I2C1RD	-	R	8	00H
0F2A9H	I ² C バス 1 スレーブアドレスレジスタ	I2C1SA	-	R/W	8	00H
0F2AAH	I ² C バス 1 送信データレジスタ	I2C1TD	-	R/W	8	00H
0F2ABH	I ² C バス 1 コントロールレジスタ	I2C1CON	-	R/W	8	00H
0F2ACH	I ² C バス 1 モードレジスタ	I2C1MOD	-	R/W	8	00H
0F2ADH	I ² C バス 1 ステータスレジスタ	I2C1STAT	-	R	8	00H

21.2.2 I²C バス 1 受信レジスタ (I2C1RD)

アドレス: 0F2A8H
アクセス: R
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
I2C1RD	I21R7	I21R6	I21R5	I21R4	I21R3	I21R2	I21R1	I21R0
R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

I2C1RD は、受信データを格納する読み出し専用の特殊機能レジスタ(SFR)です。
I2C1RD は、受信終了毎に更新されます。

ビットの説明

- ・ **I21R7 ~ I21R0** (ビット 7 ~ 0)
I21R7 ~ I21R0 は、受信データが格納されるビットです。スレーブアドレスの受信時、およびデータ送受信時に SCL 端子の信号立ち上がりエッジに同期して SDA 端子の信号を受信します。データ受信時に加え、データ送信時にも SCL 端子の信号の立ち上がりエッジに同期して SDA 端子の信号を受信するため、送信データが確実に送信されたかを確認することが可能です。

21.2.3 I²C バス 1 スレーブアドレスレジスタ(I2C1SA)

アドレス:0F2A9H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
I2C1SA	I21A6	I21A5	I21A4	I21A3	I21A2	I21A1	I21A0	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
初期値	0	0	0	0	0	0	0	0

I2C1SA は、スレーブアドレスを設定する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **I21A6 ~ I21A0**(ビット 7 ~ 1)
I21A6 ~ I21A0 は、スレーブアドレスを設定するビットです。

21.2.4 I²C バス 1 送信データレジスタ (I2C1TD)

アドレス: 0F2AAH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
I2C1TD	I21T7	I21T6	I21T5	I21T4	I21T3	I21T2	I21T1	I21T0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

I2C1TD は、送信データを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **I21T7 ~ 0** (ビット 7 ~ 0)
I21T7 ~ 0 は、送信データを設定するビットです。

21.2.5 I²C バス 1 コントロールレジスタ (I2C1CON)

アドレス: 0F2ABH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
I2C1CON	I21ACT	-	I21WT	-	-	-	-	-
R/W	R/W	-	W	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

I2C1CON は、送受信動作を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **I21WT** (ビット 5)
I21WT ビットは、通信待ち状態 (SCL 端子に“L”レベル出力) を解除するビットです。通信待ち状態中に“1”を書き込むと通信待ち状態を解除 (SCL 端子の“L”レベル出力解除) します。I21WT ビットは、書き込み専用のビットです。読み出すと常に“0”が読み出されます。

I21WT	説明
0	ウェイトを解除しない (初期値)
1	ウェイトを解除する

- ・ **I21ACT** (ビット 7)
I21ACT は、受信終了時に出力するアクノリッジ信号を設定するビットです。

I21ACT	説明
0	アクノリッジデータ“0” (初期値)
1	アクノリッジデータ“1”

21.2.6 I²C バス 1 モードレジスタ (I2C1MOD)

アドレス: 0F2ACH
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
I2C1MOD	-	I21SIE	I21PIE	-	-	-	-	I21EN
R/W	-	R/W	R/W	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

I2C1MOD は、動作モードを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **I21EN** (ビット 0)
I21EN は、I²C バス・インタフェースの動作を許可するビットです。I21EN を“1”にすると、I²C バスの動作が許可されます。I21EN を“0”にすると、I²C バス 1 関連の全ての SFR が初期化されます。

I21EN	説明
0	I ² C 動作停止 (初期値)
1	I ² C 動作許可

- ・ **I21PIE** (ビット 5)
I21PIE は、ストップコンディション割込みの禁止 / 許可を選択するビットです。

I21PIE	説明
0	ストップコンディション割込み禁止 (初期値)
1	ストップコンディション割込み許可

- ・ **I21SIE** (ビット 6)
I21SIE は、スタートコンディション割込みの禁止 / 許可を選択するビットです。

I21SIE	説明
0	スタートコンディション割込み禁止 (初期値)
1	スタートコンディション割込み許可

21.2.7 I²C バス 1 ステータスレジスタ(I2C1STAT)

アドレス:0F2ADH
アクセス:R
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
I2C1STAT	-	-	-	I21TR	I21SAA	I21ER	I21ACR	I21BB
R	-	-	-	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

I2C1STAT は、I²C バス・インタフェースの状態を示す読み出し専用の特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **I21BB**(ビット0)
I21BB は、I²C バスの使用状態を示すビットです。I²C バス上でスタートコンディションが発生すると“1”になり、ストップコンディションが発生すると“0”になります。また、I21BB は、I2C1MOD の I21EN ビットが“0”の場合に“0”になります。

I21BB	説明
0	I ² C バスフリー状態 (初期値)
1	I ² C バスビジー状態

- ・ **I21ACR**(ビット1)
I21ACR は、受信したアクノリッジが格納されるビットです。スレーブアドレスの受信、およびデータ送受信終了毎にアクノリッジ信号を受信します。また、I21ACR は、I2C1MOD の I21EN ビットが“0”の場合に“0”になります。

I21ACR	説明
0	アクノリッジ“0”を受信 (初期値)
1	アクノリッジ“1”を受信

- ・ **I21ER**(ビット2)
I21ER は、送信エラーを示すフラグです。送信したビットと SDA 端子の値が一致しなかった場合に“1”になります。I21ER が“1”になると以降のバイトデータ通信終了まで SDA 端子出力が禁止されます。I21ER は、I2C1CON に書き込み動作を行うと“0”になります。また、I21ER は、I2C1MOD の I21EN ビットを“0”にすると“0”になります。

I21ER	説明
0	送信エラー無し (初期値)
1	送信エラー有り

- ・ **I21SAA**(ビット3)
I21SAA は、本デバイスがスレーブアドレスとして指定されたことを示すビットです。マスタデバイスが出力したスレーブアドレスと I21SA レジスタの内容が一致すると“1”に設定されます。また、I21SAA は、I2C1MOD の I21EN ビットを“0”にすると“0”になります。

I21SAA	説明
0	スレーブアドレスと不一致 (初期値)
1	スレーブアドレスと一致

- ・ **I21TR**(ビット 4)
I21TR は、送受信の状態を示すビットです。転送方向指定ビットで“1”を検出時に“1”になります。ストップコンディション検出、スタートコンディション検出、および転送方向指定ビットで“0”検出時に“0”になります。また、I21TR は、I2C1MOD の I21EN ビットが“0”の場合に“0”になります。

I21TR	説明
0	受信状態（初期値）
1	送信状態

21.3 動作説明

21.3.1 通信動作モード

I²C バス 1 スレーブアドレスレジスタ(I2C1SA)にスレーブアドレスを設定し、I²C バス 1 モードレジスタ(I2C1MOD)によりスタートコンディション、およびストップコンディションの割込み許可を選択し、I21EN ビットを“1”にすると受信が許可されます。

21.3.1.1 スタートコンディション

SDA, SCL 端子にスタートコンディション波形が入力されると、I²C バス 1 ステータスレジスタ(I2C1STAT)の I21BB ビットが“1”となり、受信動作を開始します。スタートコンディション終了後はスレーブアドレス受信モードに移行します。また、I²C バス 1 モードレジスタ(I2C1MOD)の I21SIE ビットによりスタートコンディション割込みを許可している場合は、I²C バス 1 インタフェース割込み(I2C1INT)が発生します。

21.3.1.2 スレーブアドレス受信モード

スレーブアドレス受信モードでは、SDA 端子に入力された値(スレーブアドレス、転送方向指定ビット)を SCL 端子に出力されたシリアルクロックの立ち上がりエッジに同期して受信します。

受信したスレーブアドレスの値と I²C バス 1 スレーブアドレスレジスタ(I2C1SA)に設定した値が一致すると、I²C バス 1 ステータスレジスタ(I2C1STAT)の I21SAA ビットが“1”となり、次に受信したデータ通信方向の値を I2C1STAT の I21TR ビットに格納し、最後にアクノリッジデータ(“L”レベル)を出力し、アクノリッジデータ送信中の SCL 端子の立ち下がりエッジ検出後に、通信待ち状態に移行し、同時に I²C バス 1 インタフェース割込み(I2C1INT)が発生します。受信したスレーブアドレスの値と I²C バス 1 スレーブアドレスレジスタ(I2C1SA)に設定した値が一致しなかった場合は、I21SAA ビットは“0”のままとなり、I21TR ビットへの格納も、アクノリッジデータの出力も行われず、通信待ち状態にも移行しません。また、I²C バス 1 インタフェース割込み(I2C1INT)も発生しません。

21.3.1.3 通信待ち状態

通信待ち状態では、SCL 端子を“L”レベルに固定し、通信を待ち状態にします。

データ受信モードでは、次のデータ受信の準備が完了した後、I²C バス 1 コントロールレジスタ(I2C1CON)の I21WT ビットに“1”を書き込み、通信待ち状態を解除します。

データ送信モードでは、次に送信するデータを I²C バス 1 送信レジスタ(I2C1RD)に設定後に、I2C1CON の I21WT ビットに“1”を書き込み、通信待ち状態を解除します。

21.3.1.4 データ送信モード

データ送信モードでは、I2C1TD の値が MSB ファーストで送信され、最後に I²C バス 1 ステータスレジスタ(I2C1STAT)の I21ACR ビットにアクノリッジを受信します。

アクノリッジデータ受信中の SCL 端子に入力された転送クロックの立ち下がりエッジ検出後に、通信待ち状態に移行し、同時に I²C バス 1 インタフェース割込み(I2C1INT)が発生します。

SDA 端子から出力した I2C1TD の値は I2C1RD に格納されます。

21.3.1.5 データ受信モード

データ受信モードでは、SDA 端子に入力された値を、SCL 端子に出力されたシリアルクロックの立ち上がりエッジに同期して受信し、最後に I²C バス 1 コントロールレジスタ(I2C1CON)の I21ACT ビットの値(アクノリッジ)を出力します。

アクノリッジデータ受信中の SCL 端子に入力された転送クロックの立ち下がりエッジ検出後に、通信待ち状態に移行し、同時に I²C バス 1 インタフェース割込み(I2C1INT)が発生します。

受信したデータは、アクノリッジ出力後、I2C1RD に格納されます。また、出力したアクノリッジも I²C バス 1 ステータスレジスタ(I2C1STAT)の I21ACR ビットに受信されます。

21.3.1.6 ストップコンディション

SDA, SCL 端子にストップコンディション波形が入力されると、I²C バス 1 ステータスレジスタ(I2C1STAT)の I21BB ビットが“0”となり、受信動作を停止します。

また、I²C バス 1 モードレジスタ(I2C1MOD)の I21PIE ビットによりストップコンディション割込みを許可している場合は、I²C バス 1 インタフェース割込み(I2C1INT)が発生します。

21.3.2 通信動作タイミング

図 21-2～4 に、各通信モードの動作タイミング、および制御方法を示します。

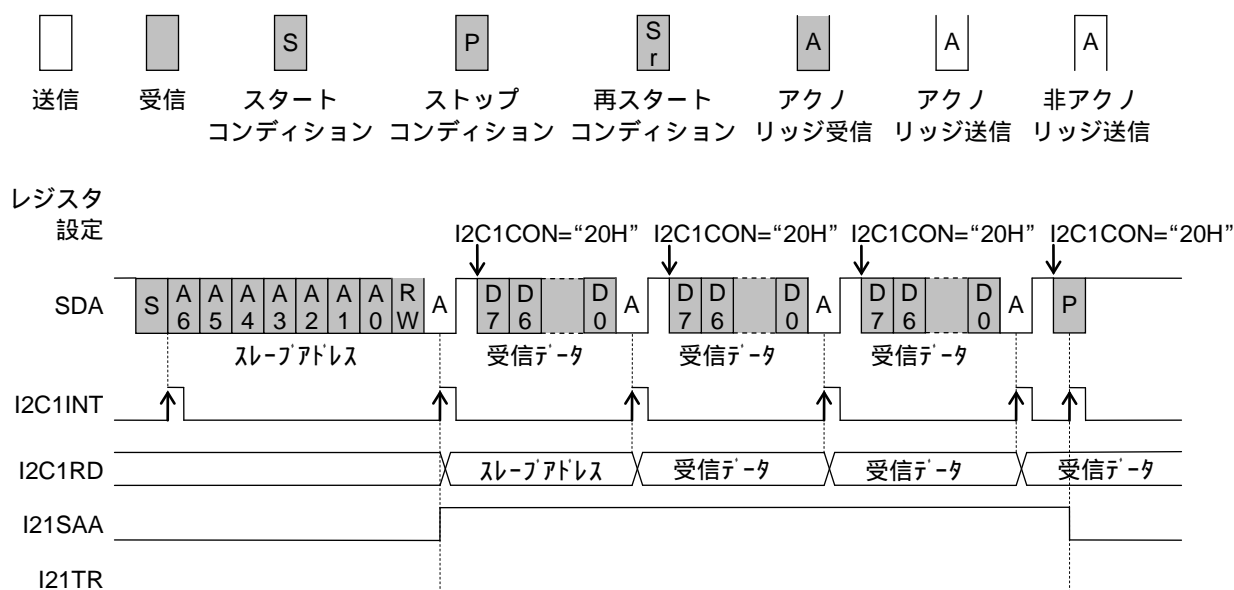


図 21-2 データ受信モード時の動作タイミング

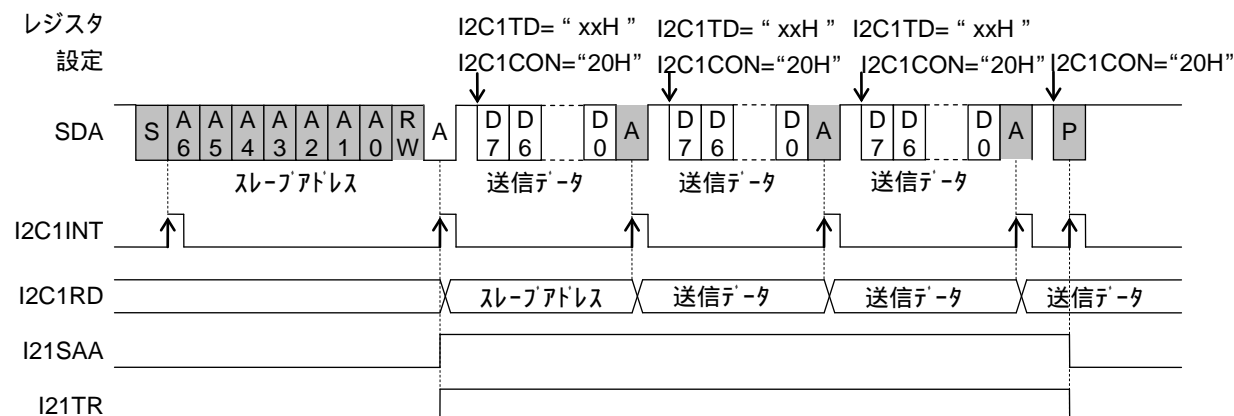


図 21-3 データ送信モード時の動作タイミング

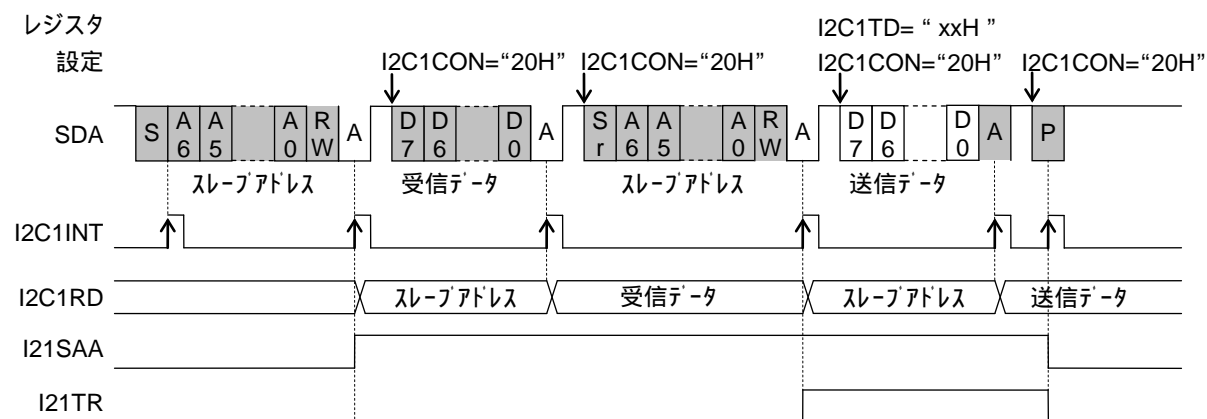


図 21-4 データ送受信モード切り替え時の動作タイミング

送信したビットと SDA 端子の値が一致しなかった場合は、I²C バス 1 ステータスレジスタ(I2C1STAT)の I21ER ビットが“1”になり、以降のバイトデータ通信終了まで SDA 端子出力が禁止されます。

図 21-5 に送信失敗時の動作タイミング、および制御方法を示します。

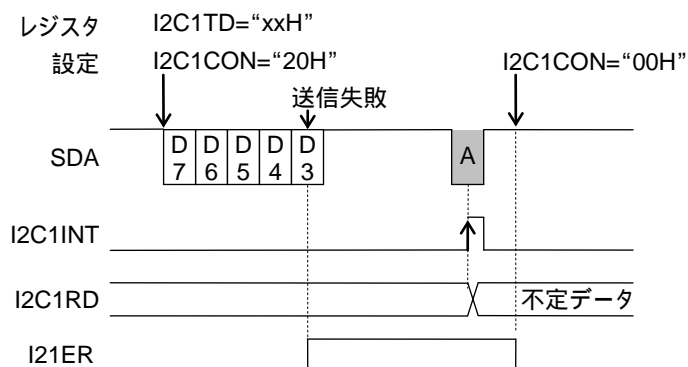


図 21-5 送信失敗時の動作タイミング

21.3.3 動作波形

図 21-6 に、SDA、SCL 信号、および I21BB フラグの動作波形を示します。

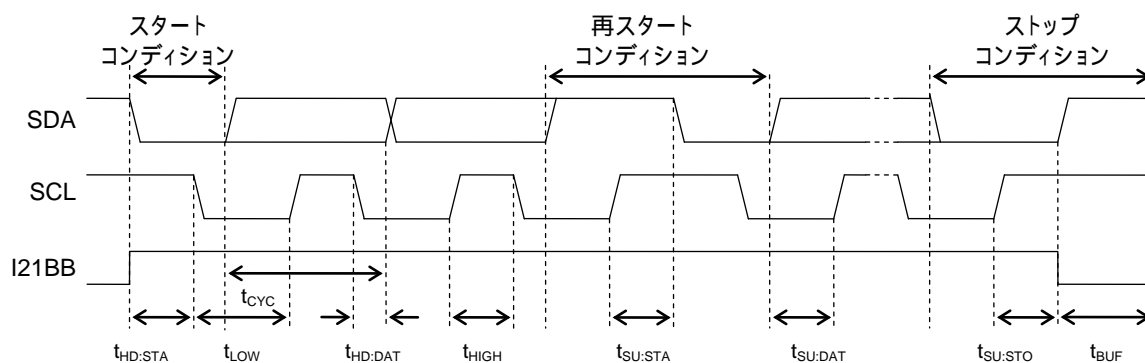


図 21-6 SDA、SCL 信号、および I21BB フラグの動作波形

21.4 ポートのレジスタ設定について

I²C 機能を動作させるには関連する各ポートレジスタのビットを設定する必要があります。各レジスタの機能詳細については、第 8 章「ポート 8」、第 11 章「ポート B」を参照してください。

21.4.1 P81 端子(SCL:入出力)と P80 端子(SDA:入出力)を I²C 機能として動作させる場合

P81MD1 ~ P80MD1 ビット(P8MOD1 レジスタのビット 1 ~ 0)を“0”に、P81MD0 ~ P80MD0 ビット(P8MOD0 レジスタのビット 1 ~ 0)を“1”にし、P81、P80 の 2 次機能(I²C バスデータ/クロック出力)を選択します。

レジスタ名	P8MOD1 レジスタ(アドレス:0F245H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD1	P86MD1	P85MD1	P84MD1	P83MD1	P82MD1	P81MD1	P80MD1
設定値	*	*	*	*	*	*	0	0

レジスタ名	P8MOD0 レジスタ(アドレス:0F244H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87MD0	P86MD0	P85MD0	P84MD0	P83MD0	P82MD0	P81MD0	P80MD0
設定値	*	*	*	*	*	*	1	1

P81C1 ~ P80C1 ビット(P8CON1 レジスタのビット 1 ~ 0)を“1”に、P81C0 ~ P80C0 ビット(P8CON0 レジスタのビット 1 ~ 0)を“0”に、P81DIR ~ P80DIR ビット(P8DIR レジスタのビット 1 ~ 0)を“0”にし、P81、P80 端子の状態モードを Nch オープンドレイン出力に選択します。I²C のバスラインは抵抗プルアップしたものをオープンドレイン / オープンコレクタでドライブして“H”と“L”の衝突を避けています。

レジスタ名	P8CON1 レジスタ(アドレス:0F243H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C1	P86C1	P85C1	P84C1	P83C1	P82C1	P81C1	P80C1
設定値	*	*	*	*	*	*	1	1

レジスタ名	P8CON0 レジスタ(アドレス:0F242H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87C0	P86C0	P85C0	P84C0	P83C0	P82C0	P81C0	P80C0
設定値	*	*	*	*	*	*	0	0

レジスタ名	P8DIR レジスタ(アドレス:0F241H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87DIR	P86DIR	P85DIR	P84DIR	P83DIR	P82DIR	P81DIR	P80DIR
設定値	*	*	*	*	*	*	0	0

P81D ~ D80D ビット(P8D レジスタのビット 1 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	P8D レジスタ(アドレス:0F240H)							
ビット	7	6	5	4	3	2	1	0
ビット名	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
設定値	*	*	*	*	*	*	**	**

* : I²C 機能に関連のないビット

** : Don't care

21.4.2 PB1 端子(SCL:入出力)とPB0 端子(SDA:入出力)をI²C 機能として動作させる場合

PB1MD0 ~ PB0MD0 ビット(PBMOD0 レジスタのビット1 ~ 0)を“1”にし、I²C をPB1, PB0 の2次機能として選択します。

レジスタ名	PBMOD0 レジスタ(アドレス:0F25CH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	PB2MD0	PB1MD0	PB0MD0
設定値	-	-	-	-	-	*	1	1

PB1C1 ~ PB0C1 ビット(PBCON1 レジスタのビット1 ~ 0)を“1”に、PB1C0 ~ PB0C0 ビット(PBCON0 レジスタのビット1 ~ 0)を“1”に、PB1DIR ~ PB0DIR ビット(PBDIR レジスタのビット1 ~ 0)を“0”にし、PB1, PB0 端子の状態モードを Nch オープンドレイン出力に選択します。I²C のバスラインは抵抗プルアップしたものをオープンドレイン / オープンコレクタでドライブして“H”と“L”の衝突を避けています。

レジスタ名	PBCON1 レジスタ(アドレス:0F25BH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6C1	PB5C1	PB4C1	PB3C1	PB2C1	PB1C1	PB0C1
設定値	-	*	*	*	*	*	1	1

レジスタ名	PBCON0 レジスタ(アドレス:0F25AH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6C0	PB5C0	PB4C0	PB3C0	PB2C0	PB1C0	PB0C0
設定値	-	*	*	*	*	*	0	0

レジスタ名	PBDIR レジスタ(アドレス:0F259H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6DIR	PB5DIR	PB4DIR	PB3DIR	PB2DIR	PB1DIR	PB0DIR
設定値	-	*	*	*	*	*	0	0

PB1D ~ PB0D ビット(PBD レジスタのビット1 ~ 0)のデータは“0”でも“1”でも構いません。

レジスタ名	PBD レジスタ(アドレス:0F258H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	PB6D	PB5D	PB4D	PB3D	PB2D	PB1D	PB0D
設定値	-	*	*	*	*	*	**	**

-: 存在しないビット

*: I²C 機能に関連のないビット

**: Don't care

第 22 章 逐次比較型 A/D コンバータ

22 逐次比較型 A/D コンバータ (SA-ADC)

22.1 概要

本 LSI は、逐次比較型 A/D コンバータ (SA-ADC : Successive Approximation type A-D Converter) を 8 チャンネル内蔵しています。

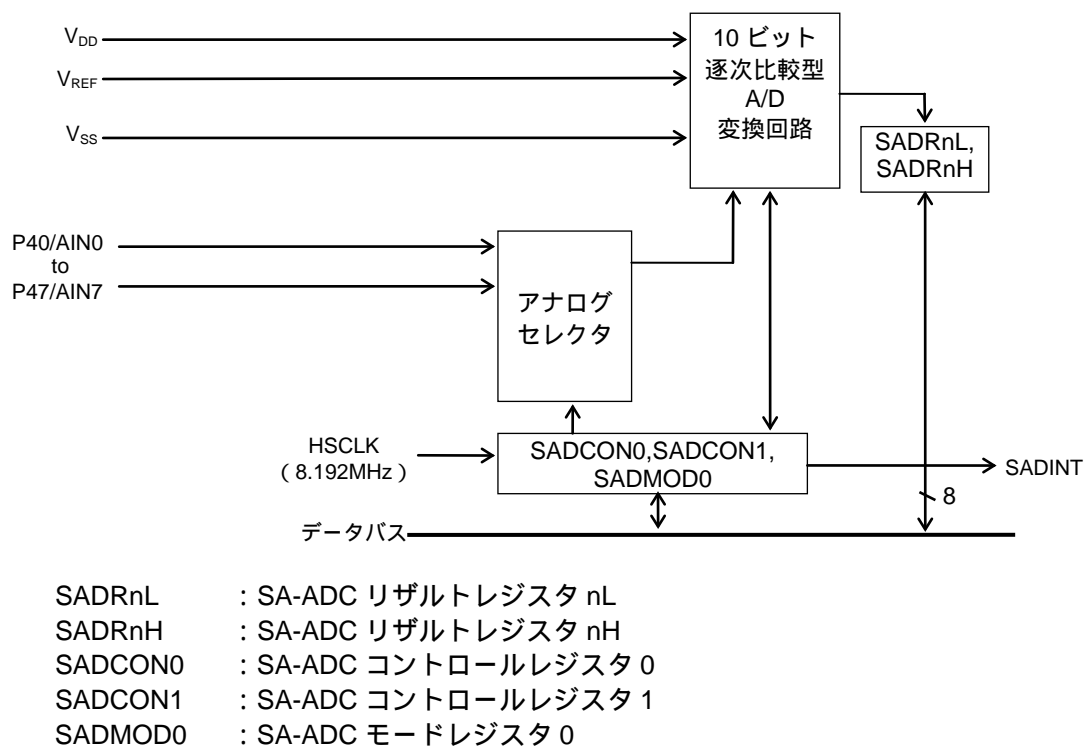
逐次比較型 A/D コンバータは、ブロックコントロールレジスタ 4 (BLKCON4) の DSAD ビットが“0”の場合、かつ高速クロックの発振が許可されている場合のみ動作します。DSAD ビットが“1”の場合には逐次比較型 A/D コンバータの各機能はリセット状態となります。ブロックコントロールレジスタについては、「第 5 章 MCU 制御機能」を参照してください。

22.1.1 特長

- サンプル・ホールド内蔵 10 ビット逐次比較型 A/D コンバータ
- 8 チャンネルのアナログ入力端子を選択可能
- 変換時間 : 約 12.75 μ s /ch (PLL 発振モード時)
- 連続変換 / 1 回変換選択可能

22.1.2 構成

図 22-1 に SA-ADC の構成を示します。



n : 0 ~ 7

図 22-1 SA-ADC の構成

22.1.3 端子一覧

端子名	入出力	機能
V _{DD}	-	逐次比較型 A/D コンバータ用プラス側電源端子
V _{REF}	-	逐次比較型 A/D コンバータ用リファレンス電源端子
V _{SS}	-	逐次比較型 A/D コンバータ用マイナス側電源端子
P40/AIN0	I	逐次比較型 A/D コンバータ入力端子 0
P41/AIN1	I	逐次比較型 A/D コンバータ入力端子 1
P42/AIN2	I	逐次比較型 A/D コンバータ入力端子 2
P43/AIN3	I	逐次比較型 A/D コンバータ入力端子 3
P44/AIN4	I	逐次比較型 A/D コンバータ入力端子 4
P45/AIN5	I	逐次比較型 A/D コンバータ入力端子 5
P46/AIN6	I	逐次比較型 A/D コンバータ入力端子 6
P47/AIN7	I	逐次比較型 A/D コンバータ入力端子 7

【注意】

P40 ~ P47 を逐次比較型 A/D コンバータのアナログ入力として使用する場合は、該当するポートをハイインピーダンス出力状態に設定してください。

22.2 レジスタ説明

22.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F2D0H	SA-ADC リザルトレジスタ 0L	SADR0L	SADR0	R	8/16	00H
0F2D1H	SA-ADC リザルトレジスタ 0H	SADR0H		R	8	00H
0F2D2H	SA-ADC リザルトレジスタ 1L	SADR1L	SADR1	R	8/16	00H
0F2D3H	SA-ADC リザルトレジスタ 1H	SADR1H		R	8	00H
0F2D4H	SA-ADC リザルトレジスタ 2L	SADR2L	SADR2	R	8/16	00H
0F2D5H	SA-ADC リザルトレジスタ 2H	SADR2H		R	8	00H
0F2D6H	SA-ADC リザルトレジスタ 3L	SADR3L	SADR3	R	8/16	00H
0F2D7H	SA-ADC リザルトレジスタ 3H	SADR3H		R	8	00H
0F2D8H	SA-ADC リザルトレジスタ 4L	SADR4L	SADR4	R	8/16	00H
0F2D9H	SA-ADC リザルトレジスタ 4H	SADR4H		R	8	00H
0F2DAH	SA-ADC リザルトレジスタ 5L	SADR5L	SADR5	R	8/16	00H
0F2DBH	SA-ADC リザルトレジスタ 5H	SADR5H		R	8	00H
0F2DCH	SA-ADC リザルトレジスタ 6L	SADR6L	SADR6	R	8/16	00H
0F2DDH	SA-ADC リザルトレジスタ 6H	SADR6H		R	8	00H
0F2DEH	SA-ADC リザルトレジスタ 7L	SADR7L	SADR7	R	8/16	00H
0F2DFH	SA-ADC リザルトレジスタ 7H	SADR7H		R	8	00H
0F2F0H	SA-ADC コントロールレジスタ 0	SADCON0	SADCON	R/W	8/16	00H
0F2F1H	SA-ADC コントロールレジスタ 1	SADCON1		R/W	8	00H
0F2F2H	SA-ADC モードレジスタ 0	SADMOD0	-	R/W	8	00H

22.2.2 SA-ADC リザルトレジスタ 0L (SADR0L)

アドレス: 0F2D0H

アクセス: R

アクセスサイズ: 8/16 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
SADR0L	SAR03	SAR02	-	-	-	-	-	-
R/W	R	R	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

SADR0L は、チャンネル 0 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。

SADR0L は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR03 ~ SAR02** (ビット 7 ~ 6)
チャンネル 0 の A/D 変換結果 (10 ビット) のビット 1 からビット 0 を格納します。

22.2.3 SA-ADC リザルトレジスタ 0H (SADR0H)

アドレス: 0F2D1H

アクセス: R

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
SADR0H	SAR0B	SAR0A	SAR09	SAR08	SAR07	SAR06	SAR05	SAR04
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SADR0H は、チャンネル 0 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。

SADR0H は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR0B ~ SAR04** (ビット 7 ~ 0)
チャンネル 0 の A/D 変換結果 (10 ビット) のビット 9 からビット 2 を格納します。

22.2.4 SA-ADC リザルトレジスタ 1L(SADR1L)

アドレス:0F2D2H
アクセス:R
アクセスサイズ:8/16 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADR1L	SAR13	SAR12	-	-	-	-	-	-
R/W	R	R	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

SADR1L は、チャンネル1の SA-ADC の変換結果を格納する特殊機能レジスタ(SFR)です。
SADR1L は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR13 ~ SAR12**(ビット 7 ~ 6)
チャンネル 1 の A/D 変換結果(10 ビット)のビット 1 からビット 0 を格納します。

22.2.5 SA-ADC リザルトレジスタ 1H(SADR1H)

アドレス:0F2D3H
アクセス:R
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADR1H	SAR1B	SAR1A	SAR19	SAR18	SAR17	SAR16	SAR15	SAR14
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SADR1H は、チャンネル1の SA-ADC の変換結果を格納する特殊機能レジスタ(SFR)です。
SADR1H は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR1B ~ SAR14**(ビット 7 ~ 0)
チャンネル 1 の A/D 変換結果(10 ビット)のビット 9 からビット 2 を格納します。

22.2.6 SA-ADC リザルトレジスタ 2L (SADR2L)

アドレス: 0F2D4H

アクセス: R

アクセスサイズ: 8/16 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
SADR2L	SAR23	SAR22	-	-	-	-	-	-
R/W	R	R	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

SADR2L は、チャンネル 2 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。

SADR2L は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR23 ~ SAR22** (ビット 7 ~ 6)

チャンネル 2 の A/D 変換結果 (10 ビット) のビット 1 からビット 0 を格納します。

22.2.7 SA-ADC リザルトレジスタ 2H (SADR2H)

アドレス: 0F2D5H

アクセス: R

アクセスサイズ: 8 ビット

初期値: 00H

	7	6	5	4	3	2	1	0
SADR2H	SAR2B	SAR2A	SAR29	SAR28	SAR27	SAR26	SAR25	SAR24
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SADR2H は、チャンネル 2 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。

SADR2H は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR2B ~ SAR24** (ビット 7 ~ 0)

チャンネル 2 の A/D 変換結果 (10 ビット) のビット 9 からビット 2 を格納します。

22.2.8 SA-ADC リザルトレジスタ 3L (SADR3L)

アドレス: 0F2D6H
アクセス: R
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SADR3L	SAR33	SAR32	-	-	-	-	-	-
R/W	R	R	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

SADR3L は、チャンネル 3 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR3L は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR33 ~ SAR32** (ビット 7 ~ 6)
チャンネル 3 の A/D 変換結果 (10 ビット) のビット 1 からビット 0 を格納します。

22.2.9 SA-ADC リザルトレジスタ 3H (SADR3H)

アドレス: 0F2D7H
アクセス: R
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SADR3H	SAR3B	SAR3A	SAR39	SAR38	SAR37	SAR36	SAR35	SAR34
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SADR3H は、チャンネル 3 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR3H は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR3B ~ SAR34** (ビット 7 ~ 0)
チャンネル 3 の A/D 変換結果 (10 ビット) のビット 9 からビット 2 を格納します。

22.2.10 SA-ADC リザルトレジスタ 4L (SADR4L)

アドレス:0F2D8H
アクセス:R
アクセスサイズ:8/16 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADR4L	SAR43	SAR42	-	-	-	-	-	-
R/W	R	R	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

SADR4L は , チャンネル 4 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR4L は , A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR43 ~ SAR42** (ビット 7 ~ 6)
チャンネル 4 の A/D 変換結果 (10 ビット) のビット 1 からビット 0 を格納します。

22.2.11 SA-ADC リザルトレジスタ 4H (SADR4H)

アドレス:0F2D9H
アクセス:R
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADR4H	SAR4B	SAR4A	SAR49	SAR48	SAR47	SAR46	SAR45	SAR44
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SADR4H は , チャンネル 4 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR4H は , A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR4B ~ SAR44** (ビット 7 ~ 0)
チャンネル 4 の A/D 変換結果 (10 ビット) のビット 9 からビット 2 を格納します。

22.2.12 SA-ADC リザルトレジスタ 5L (SADR5L)

アドレス:0F2DAH
アクセス:R
アクセスサイズ:8/16 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADR5L	SAR53	SAR52	-	-	-	-	-	-
R/W	R	R	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

SADR5L は、チャンネル 5 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR5L は、A/D 変換終了後に更新されます。

- ビットの説明
- ・ **SAR53 ~ SAR52** (ビット 7 ~ 6)
チャンネル 5 の A/D 変換結果 (10 ビット) のビット 1 からビット 0 を格納します。

22.2.13 SA-ADC リザルトレジスタ 5H (SADR5H)

アドレス:0F2DBH
アクセス:R
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADR5H	SAR5B	SAR5A	SAR59	SAR58	SAR57	SAR56	SAR55	SAR54
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SADR5H は、チャンネル 5 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR5H は、A/D 変換終了後に更新されます。

- ビットの説明
- ・ **SAR5B ~ SAR54** (ビット 7 ~ 0)
チャンネル 5 の A/D 変換結果 (10 ビット) のビット 9 からビット 2 を格納します。

22.2.14 SA-ADC リザルトレジスタ 6L (SADR6L)

アドレス:0F2DCH
アクセス:R
アクセスサイズ:8/16 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADR6L	SAR63	SAR62	-	-	-	-	-	-
R/W	R	R	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

SADR6L は , チャンネル 6 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR6L は , A/D 変換終了後に更新されます。

- ビットの説明
- ・ **SAR63 ~ SAR62** (ビット 7 ~ 6)
チャンネル 6 の A/D 変換結果 (10 ビット) のビット 1 からビット 0 を格納します。

22.2.15 SA-ADC リザルトレジスタ 6H (SADR6H)

アドレス:0F2DDH
アクセス:R
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADR6H	SAR6B	SAR6A	SAR69	SAR68	SAR67	SAR66	SAR65	SAR64
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SADR6H は , チャンネル 6 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR6H は , A/D 変換終了後に更新されます。

- ビットの説明
- ・ **SAR6B ~ SAR64** (ビット 7 ~ 0)
チャンネル 6 の A/D 変換結果 (10 ビット) のビット 9 からビット 2 を格納します。

22.2.16 SA-ADC リザルトレジスタ 7L (SADR7L)

アドレス: 0F2DEH
アクセス: R
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SADR7L	SAR73	SAR72	-	-	-	-	-	-
R/W	R	R	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0

SADR7L は、チャンネル 7 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR7L は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR73 ~ SAR72** (ビット 7 ~ 6)
チャンネル 7 の A/D 変換結果 (10 ビット) のビット 1 からビット 0 を格納します。

22.2.17 SA-ADC リザルトレジスタ 7H (SADR7H)

アドレス: 0F2DFH
アクセス: R
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SADR7H	SAR7B	SAR7A	SAR79	SAR78	SAR77	SAR76	SAR75	SAR74
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SADR7H は、チャンネル 7 の SA-ADC の変換結果を格納する特殊機能レジスタ (SFR) です。
SADR7H は、A/D 変換終了後に更新されます。

ビットの説明

- ・ **SAR7B ~ SAR74** (ビット 7 ~ 0)
チャンネル 7 の A/D 変換結果 (10 ビット) のビット 9 からビット 2 を格納します。

22.2.18 SA-ADC コントロールレジスタ 0(SADCON0)

アドレス:0F2F0H
アクセス:R/W
アクセスサイズ:8/16 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADCON0	-	-	-	-	-	-	-	SALP
R/W	-	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

SADCON0 は、SA-ADC の動作を制御する特殊機能レジスタ（SFR）です。

ビットの説明

- SALP**(ビット0)
A/D 変換を各チャンネル 1 回のみ変換して停止するか、連続して変換するかを選択するビットです。
“0”にすると、各チャンネル 1 回のみ A/D 変換し、“1”にすると、SA-ADC モードレジスタ 0(SADMOD0)の設定に従って連続して A/D 変換します。

SALP	説明
0	1 回のみ A/D 変換 (初期値)
1	連続 A/D 変換

【注意】
SA-ADC コントロールレジスタ 0 は変換開始する前に設定してください。

22.2.19 SA-ADC コントロールレジスタ 1 (SADCON1)

アドレス: 0F2F1H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
SADCON1	-	-	-	-	-	-	-	SARUN
R/W	-	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

SADCON1 は、SA-ADC の動作を制御する特殊機能レジスタ（SFR）です。

ビットの説明

- SARUN**(ビット 0)
SA-ADC の変換開始/停止を制御するビットです。
“1”にすると A/D 変換を開始し, “0”にすると A/D 変換を停止します。SADCON0 の SALP が“0”の場合, 選択された最も番号の大きなチャンネルの A/D 変換が終了すると自動的に“0”になります。SALP が“1”の場合, A/D 変換終了後ソフトウェアで“0”を設定してください。

SARUN	説明
0	変換停止 (初期値)
1	変換開始

- 【注意】
- SA-ADC は、周波数コントロールレジスタ (FCON0) の高速クロック (HSCLK) 発振を許可した状態で使用してください。
 - SA-ADC モードレジスタ 0 (SADMOD0) の SACH7 ~ SACH0 全てを“0”とした状態で、変換開始しないでください。この状態で A/D 変換を開始した場合、SARUN は“0”のままで A/D 変換は開始されません。SA-ADC モードレジスタ 0 (SADMOD0) の SACH7 ~ SACH0 の設定を行ってから、変換開始してください。

22.2.20 SA-ADC モードレジスタ 0(SADMODO)

アドレス:0F2F2H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
SADMODO	SACH7	SACH6	SACH5	SACH4	SACH3	SACH2	SACH1	SACH0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SADMODO は、A/D 変換するチャンネルを選択する特殊機能レジスタ (SFR) です。

ビットの説明
SACH7 ~ SACH0 は、A/D 変換するチャンネルを選択するビットです。
チャンネル 1 とチャンネル 0 とともに 1 とした場合、チャンネル 0 の A/D 変換を行い、次にチャンネル 1 の A/D 変換を行います。

- SACH0 (ビット 0)**

SACH0	説明
0	チャンネル 0 停止 (初期値)
1	チャンネル 0 変換
- SACH1 (ビット 1)**

SACH1	説明
0	チャンネル 1 停止 (初期値)
1	チャンネル 1 変換
- SACH2 (ビット 2)**

SACH2	説明
0	チャンネル 2 停止 (初期値)
1	チャンネル 2 変換
- SACH3 (ビット 3)**

SACH3	説明
0	チャンネル 3 停止 (初期値)
1	チャンネル 3 変換
- SACH4 (ビット 4)**

SACH4	説明
0	チャンネル 4 停止 (初期値)
1	チャンネル 4 変換
- SACH5 (ビット 5)**

SACH5	説明
0	チャンネル 5 停止 (初期値)
1	チャンネル 5 変換
- SACH6 (ビット 6)**

SACH6	説明
0	チャンネル 6 停止 (初期値)
1	チャンネル 6 変換

・ SACH7(ビット 7)

SACH7	説明
0	チャンネル 7 停止 (初期値)
1	チャンネル 7 変換

【注意】

SA-ADC モードレジスタ 0 (SADMOD0) の SACH7 ~ SACH0 全てを“0”とした状態で、変換開始しないでください。
この状態で A/D 変換を開始した場合、SARUN ビットは“0”のままで A/D 変換は開始されません。SA-ADC モード
レジスタ 0 (SADMOD0) の SACH7 ~ SACH0 の設定を行ってから、変換開始してください。

22.3 動作説明

22.3.1 A/D 変換チャネルの設定

SA-ADC モードレジスタ 0 (SADMOD0) の設定によって、下表のように A/D 変換動作を行い、A/D 変換結果が SA-ADC リザルトレジスタに格納されます。

SA-ADC モードレジスタ 0					SA-ADC リザルトレジスタ					備考
SACH7	...	SACH2	SACH1	SACH0	SADR7	...	SADR2	SADR1	SADR0	
0	0	0	0	0						設定禁止
0	0	0	0	1					AIN0	
0	0	0	1	0				AIN1		
0	0	0	1	1				AIN1	AIN0	
0	0	1	0	0			AIN2			
0	0	1	0	1			AIN2		AIN0	
0	0	1	1	0			AIN2	AIN1		
0	0	1	1	1			AIN2	AIN1	AIN0	
1	0	0	0	0	AIN7					
1	0	0	0	1	AIN7				AIN0	
1	0	0	1	0	AIN7			AIN1		
1	0	0	1	1	AIN7			AIN1	AIN0	
1	0	1	0	0	AIN7		AIN2			
1	0	1	0	1	AIN7		AIN2		AIN0	
1	0	1	1	0	AIN7		AIN2	AIN1		
1	0	1	1	1	AIN7		AIN2	AIN1	AIN0	

斜線部のリザルトレジスタの値は変化しません。
SA-ADC モードレジスタ 0 (SADMOD0) のビット 7 (SACH7) ~ ビット 0 (SACH0) の全てのビットが“0”の状態 で A/D 変換を開始しないでください。この状態で A/D 変換を開始すると、SARUN ビットは“0”のままで A/D 変換は開始されま せん。SA-ADC モードレジスタ 0 (SADMOD0) の SACH7 ~ SACH0 の設定を行ってから、変換開始してください。

図 22-2 に A/D 変換用の端子と変換範囲について示します。

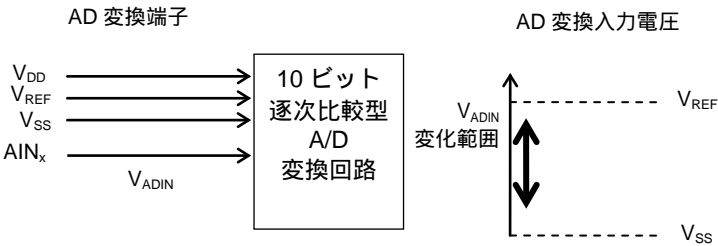


図 22-2 A/D 変換用端子と変換範囲

22.3.2 逐次比較型 A/D コンバータの動作

以下の手順で SA-ADC を動作させます。

SA-ADC を動作させる前に、高速クロック (HSCLK) を発振開始し、発振が安定するまで待ちます。

A/D 変換を行うポートをハイインピーダンス出力モードに設定します。

ブロックコントロールレジスタ 4 (BLKCON4) の DSAD ビットを“0”に設定します。

SA-ADC モードレジスタ 0 (SADMOD0) を設定して A/D 変換するチャンネルを選択します。

SA-ADC コントロールレジスタ 0 (SADCON0) で 1 回のみ A/D 変換を行うか、連続変換を行うかを選択します。

SA-ADC コントロールレジスタ 1 (SADCON1) のビット 0 (SARUN) を“1”にすると SA-ADC 回路が動作状態となり、SA-ADC モードレジスタ 0 (SADMOD0) で選択されているチャンネルの番号の小さいチャンネルから順次 A/D 変換を開始します。

A/D 変換結果は順次、該当する SA-ADC リザルトレジスタ (SADRnL, SADRnH) へ格納され、選択された最も番号の大きいチャンネルの A/D 変換が終了すると SA-ADC 変換終了割込み (SADINT) を発生します。

SADCON0 レジスタのビット 0 (SALP) が“0”の場合、最後のチャンネルの A/D 変換が終了した時点で SARUN ビットは自動的にクリア (“0”) され、A/D 変換を停止します。

SADCON0 レジスタのビット 0 (SALP) が“1”の場合、再度 A/D 変換を開始しますので変換終了後ソフトウェアで SARUN ビットを“0”に設定し A/D 変換を停止させてください。

再度 A/D 変換を行う場合は ~ を繰り返してください。

なお、A/D 変換中にチャンネルを切り替えても A/D 変換終了割込みを発生するまでは A/D 変換開始時に選択されたチャンネルを維持します。

図 22-3 にチャンネル 0、チャンネル 1 が選択されている場合の SA-ADC 動作タイミングを示します。

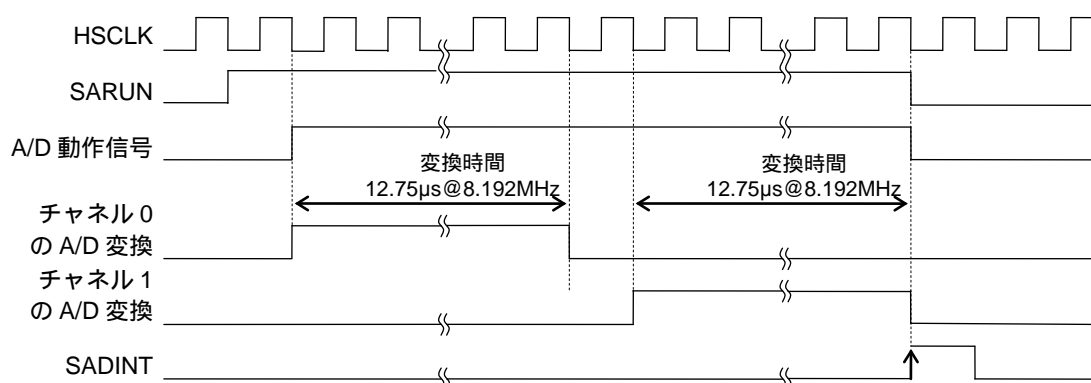


図 22-3 SA-ADC 動作タイミング

【注意】

- ① A/D 変換を行うポートがハイインピーダンス入力モードの場合、変換するアナログ電圧によっては入力バッファに貫通電流が流れる可能性があります。よって、A/D 変換を行うポートは出力ハイインピーダンスモードに設定してください。
- ② SA-ADC 内部には、サンプル・ホールド用の約 19pF の容量が内蔵されています。サンプリング時間の約 7.3μs 以内にこの約 19pF の容量への充電を完了させるため、アナログ入力端子 (AINn) に接続する信号源の出力インピーダンスを 5kΩ 以下に設定してください。出力インピーダンスを 5kΩ 以下にできない場合は、アナログ入力端子と V_{SS} 間に 0.1μF の容量を接続してください。
- ③ アナログ入力端子と V_{SS} 間に容量を接続しない場合、A/D 変換開始時に内蔵約 19pF 容量に残った電荷がアナログ入力端子に放出され、アナログ入力端子の電圧が一瞬変動する場合があります。入力インピーダンスが 5kΩ 以内であれば、A/D 変換結果に悪影響はありません。

第 23 章 音声再生機能

23 音声再生機能

23.1 概要

本 LSI は、音声再生機能を内蔵しています。
音声再生機能は、ブロックコントロールレジスタ 3 (BLKCON3) の DVC0 ビットが“0”の場合のみ動作します。DVC0 ビットが“1”の場合には音声再生機能の各機能はリセット状態となります。ブロックコントロールレジスタについては、「第 5 章 MCU 制御機能」を参照してください。

23.1.1 特長

D 級スピーカアンプを内蔵しており、音声再生に必要な機能をすべて 1 チップに集約していますのでスピーカを接続するだけで簡単に音声出力が可能となります。

- ・ 音声再生時間: (例; 制御プログラム 16K バイト, 32 フレーズの場合)

商品名	ROM 容量 (バイト)	最大再生時間 (秒) (サンプリング周波数 6.4kHz 時)		
		16 ビット PCM	4 ビット ADPCM2	HQ-ADPCM
ML610Q327	192K	13.9	55.9	69.9
ML610Q338 ML610Q339	256K	19.1	76.4	95.5

- ・ サンプリング周波数: フレーズ単位で周波数を指定することが可能
6.4kHz, 8kHz, 10.7kHz, 12.8kHz, 21.3kHz, 16kHz, 25.6kHz, 32kHz の選択が可能
- ・ 音声合成方式: フレーズ毎に方式を指定することが可能
4 ビット ADPCM2, 8 ビットノンリニア PCM, 8 ビットストレート PCM, 16 ビットストレート PCM, HQ-ADPCM の選択が可能
- ・ 音量調整機能: 32 段階の音量調整 (オフ含む) が可能
- ・ 編集 ROM 機能: 複数フレーズの連続再生が可能
音声コードデータのメモリ容量を効率的に使用することができます。詳細は、「23.3.5 編集 ROM 機能」の項目を参照ください。

23.1.2 構成

23.1.2.1 ブロック構成

図 23-1 に音声再生機能のブロック構成を示します。

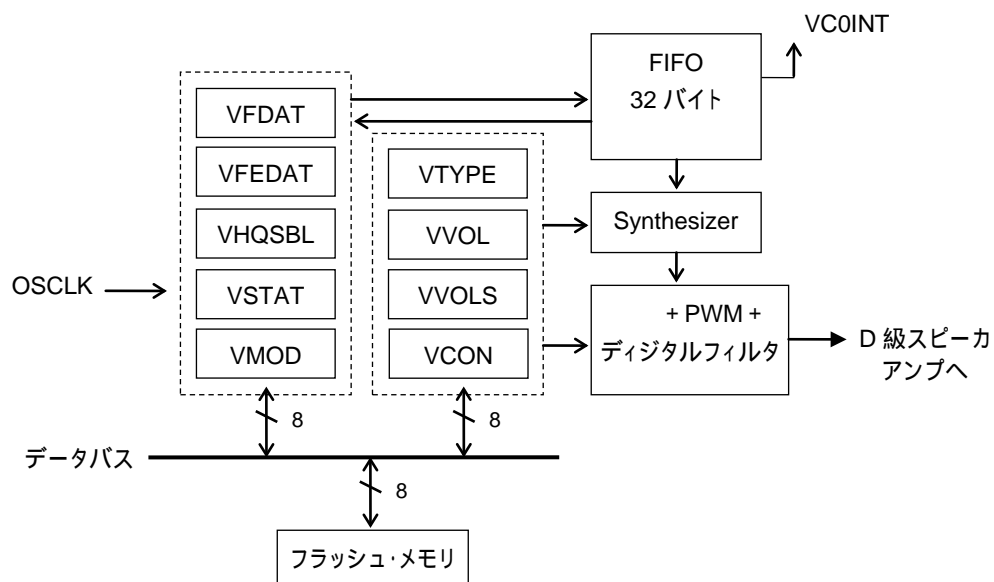


図 23-1 音声再生機能のブロック構成

音声再生の動作原理は、以下の通りとなります。

原音データ(WAV ファイル)から弊社製 Speech LSI Utility ツール(音声フレーズ作成, 音声合成方式, サンプリング周波数等)を使用して音声コードデータ(バイナリデータ, モトローラ S フォーマット)に変換する。そのデータをフラッシュ・メモリに音声コードデータとして配置させる
フラッシュ・メモリに配置された音声コードデータを CPU 経由で音声合成回路へ転送する
音声データを FIFO に格納しながら音声合成し, デジタルフィルタで原音に近い音に再現させる
デジタルフィルタから PWM 信号で出力され, 内蔵 D 級スピーカアンプで増幅して音声再生させる

【注意】

音声再生機能を使用する場合は, 周波数コントロールレジスタ 1 (FCON1) でシステムクロックを高速クロックに設定してください。



HQ-ADPCM は、「Ky's」の高音質音声圧縮技術です。
「Ky's」は、国立大学法人 九州工業大学の登録商標です。

23.1.2.2 音声コードデータの配置

音声コードデータはセグメント 1~3 の全領域とセグメント 0 の空き領域に配置可能です。
セグメント 1 の 0x0000 番地から配置し、セグメント 1~3 の容量を超える音声コードデータはセグメント 0 に配置します。
図 23-2 に ML610Q327 の音声コードデータの配置 (192K バイト) を示します。
図 23-3 に ML610Q338 / ML610Q339 の音声コードデータの配置 (256K バイト) を示します。

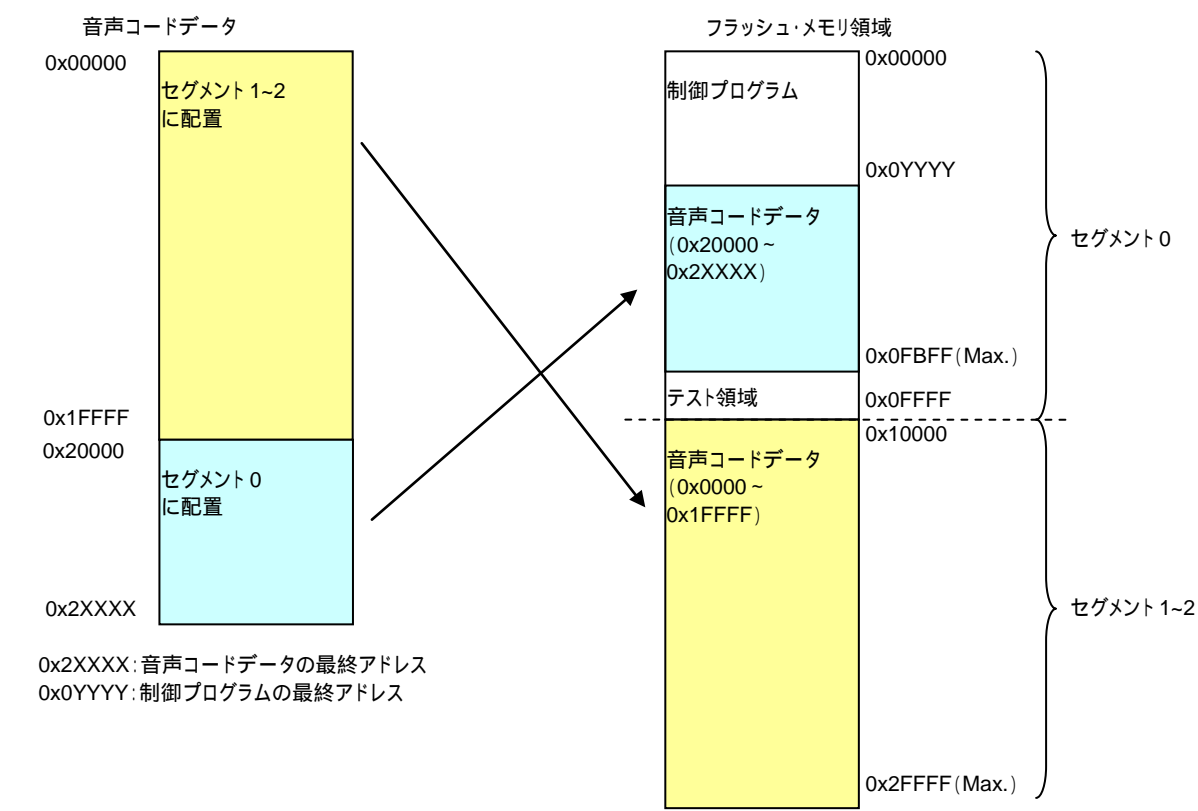


図 23-2 ML610Q327 の音声コードデータの配置

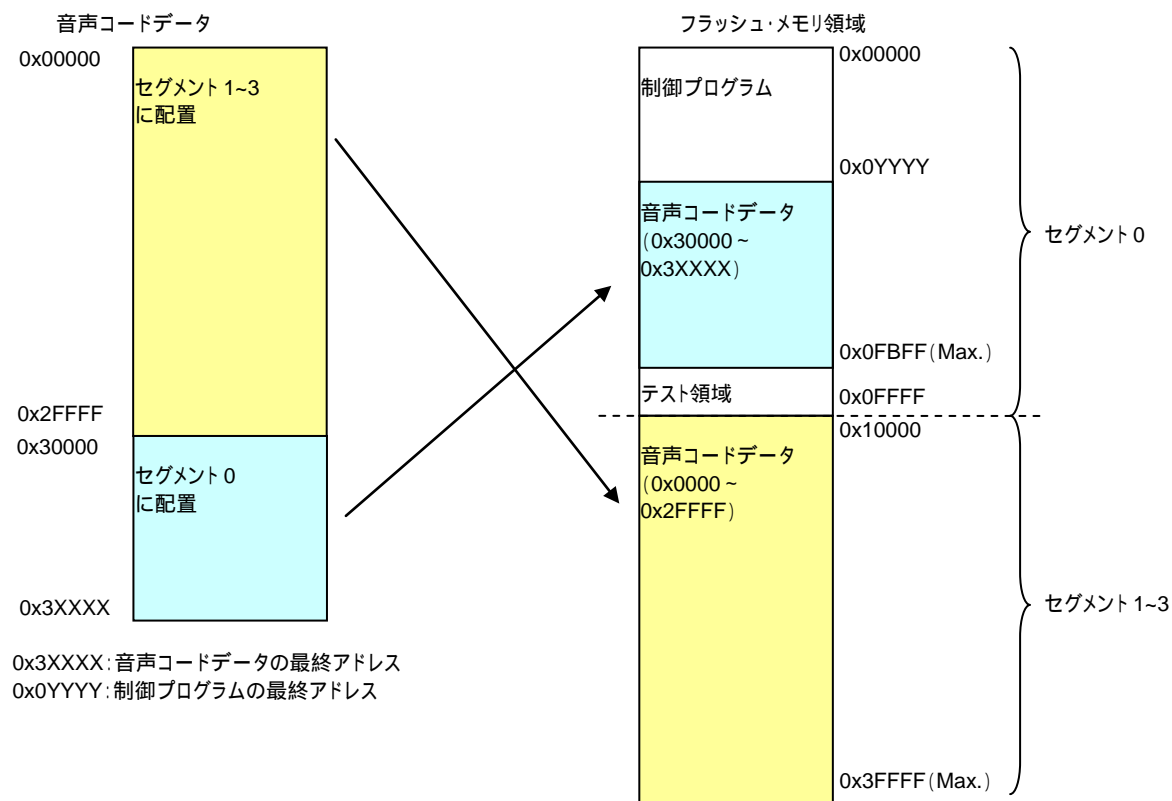


図 23-3 ML610Q338 / ML610Q339 の音声コードデータの配置

23.2 レジスタ説明

23.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F2B0H	音声 FIFO データレジスタ	VFDAT	-	W	8	00H
0F2B1H	音声 FIFO フレーズエンドデータレジスタ	VFEDAT	-	W	8	00H
0F2B2H	HQ フレーズストップビット長レジスタ	VHQSBL	-	R/W	8	00H
0F2B3H	音声ステータスレジスタ	VSTAT	-	R	8	11H
0F2B4H	音声モードレジスタ	VMOD	-	R/W	8	00H
0F2B5H	音声データタイプレジスタ	VTYPE	-	R/W	8	41H
0F2B6H	ボリューム設定レジスタ	VVOL	-	R/W	8	09H
0F2B7H	音声再生コントロールレジスタ	VCON	-	R/W	8	00H
0F2C0H	ボリュームステータスレジスタ	VVOLS	-	R	8	09H

23.2.2 音声 FIFO データレジスタ (VFDAT)

アドレス: 0F2B0H
アクセス: W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
VFDAT	VFDAT7	VFDAT6	VFDAT5	VFDAT4	VFDAT3	VFDAT2	VFDAT1	VFDAT0
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

VFDAT は、音声データを格納する特殊機能レジスタ (SFR) です。
音声データ領域には、各音声合成方式の音声データが格納されます。
各音声合成方式の音声データの配置フォーマットを以下に示します。

4 ビット ADPCM2
4 ビットのデータ毎に MSB 側から配置されます。

音声データ	MSB	LSB
1 バイト目	データ 1	データ 2
2 バイト目	データ 3	データ 4
3 バイト目	データ 5	データ 6
.....		

8 ビットストレート PCM
8 ビットのデータそのまま配置されます。

音声データ	MSB	LSB
1 バイト目	データ 1	
2 バイト目	データ 2	
3 バイト目	データ 3	
.....		

16 ビットストレート PCM
下位の 8 ビットのデータ、上位の 8 ビットのデータの順に 16 ビット単位で配置されます。

音声データ	MSB	LSB
1 バイト目	データ 1 (下位 8 ビット)	
2 バイト目	データ 1 (上位 8 ビット)	
3 バイト目	データ 2 (下位 8 ビット)	
4 バイト目	データ 2 (上位 8 ビット)	
.....		

HQ-ADPCM
1 バイト目に HQ-ADPCM のストップビット長データ (E4 ~ E0) が格納され、2 バイト目以降に実際の音声データが配置されます。
データ長は可変で、平均 3.2bit です。HQ-ADPCM のフレーズ再生時は E4 ~ E0 を HQ フレーズストップビット長レジスタ (VHQSBL) へ格納してください。

音声データ	MSB					LSB		
	E4	E3	E2	E1	E0	0	0	0
1 バイト目	データ 1							
2 バイト目	データ 2							
3 バイト目	データ 3							
4 バイト目	データ 4							
5 バイト目	データ 5							
.....								

23.2.3 音声フレーズエンドデータレジスタ(VFEDAT)

アドレス:0F2B1H
 アクセス:W
 アクセスサイズ:8 ビット
 初期値:00H

	7	6	5	4	3	2	1	0
VFEDAT	VFEDAT 7	VFEDAT 6	VFEDAT 5	VFEDAT 4	VFEDAT 3	VEFDAT 2	VEFDAT 1	VEFDAT 0
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

VFEDAT は、フレーズの最終データを格納する特殊機能レジスタ(SFR)です。
 フレーズの最終データを認識して音声演算回路を初期化しますので、フレーズの最終データは本レジスタへ格納してください。

23.2.4 音声ステータスレジスタ (VSTAT)

アドレス: 0F2B3H
アクセス: R
アクセスサイズ: 8 ビット
初期値: 11H

	7	6	5	4	3	2	1	0
VSTAT	VERR	-	-	VAEND	VDEND	VFUL	VMID	VEMP
R/W	R	-	-	R	R	R	R	R
初期値	0	0	0	1	0	0	0	1

VSTAT は、音声再生機能の各ステータスを示す特殊機能レジスタ (SFR) です。
音声データ要求割込みは、下記の要因で発生しますので、VSTAT を読み出して割込み要求の要因を確認してください。

- ・VMID ビットが“1”の状態から“0”になった場合 (FIFO 内の音声データが VMOD で指定されたバイト数よりも少なくなった場合)
- ・VDEND ビットが“1”になった場合 (デジタルフィルタに音声の最終データが出力されている場合)
- ・VAEND ビットが“1”になった場合 (音声 PWM 回路がパワーダウン中)
- ・VERR ビットが“1”になった場合 (音声データの読み出しエラーが有る場合)

ビットの説明

- ・ **VEMP** (ビット 0)
VEMP は、音声データを格納する FIFO に音声データが無い状態 (EMPTY) を示すビットです。

VEMP	説明
0	音声データを格納する FIFO の状態 EMPTY
1	音声データを格納する FIFO の状態 = EMPTY (初期値)

- ・ **VMID** (ビット 1)
VMID は、音声データを格納する FIFO の音声データの残り状態 (MIDDLE) を示すビットです。音声データの残り状態は、FIFO 割込み制御レジスタ (VMOD) で設定する FIFO 割込み要求レベルとして、FIFO 内に残っている音声データのサイズを設定することができます。

VMID	説明
0	音声データを格納する FIFO の状態 < MIDDLE (初期値)
1	音声データを格納する FIFO の状態 MIDDLE

- ・ **VFUL** (ビット 2)
VFUL は、音声データを格納する FIFO に音声データが全て (32 バイト) 埋まっている状態 (FULL) を示すビットです。

VFUL	説明
0	音声データを格納する FIFO の状態 FULL (初期値)
1	音声データを格納する FIFO の状態 = FULL

- ・ **VDEND**(ビット3)
VDEND は、最終データがデジタルフィルタから出力されていることを示すビットです。
音声フレーズエンドデータレジスタ(VFEDAT)に書き込まれた音声フレーズの最終データがデジタルフィルタへ取り込まれ EMPTY 状態のままデジタルフィルタから出力されると VDEND ビットは“1”となります。FIFO データレジスタへ書き込み動作があった場合 (EMPTY では無くなった場合)、もしくは VCEN ビット=“0”の場合、VDEND は“0”となります。

VDEND	説明
0	最終データがデジタルフィルタから出力されていない(初期値)
1	最終データがデジタルフィルタから出力されている

- ・ **VAEND**(ビット4)
VAEND は、音声 PWM 回路がパワーダウン中であることを示すビットです。
音声再生コントロールレジスタ(VCON)の VCEN ビットを“0”から“1”にすると、音声 PWM 回路が動作開始し VAEND は“0”になります。また、VCEN ビットを“1”から“0”にすると音声 PWM 回路がパワーダウンし、VAEND は“1”になります。

VAEND	説明
0	音声 PWM 回路動作中
1	音声 PWM 回路パワーダウン中(初期値)

- ・ **VERR**(ビット7)
VERR は、音声データの読み出しエラーを示すビットです。
音声演算回路は、サンプリング周期毎に音声合成方式に従って FIFO に書き込まれた音声データを読み出しますが、音声データ読み出しにエラーがあった場合、VERR ビットは“1”になります。

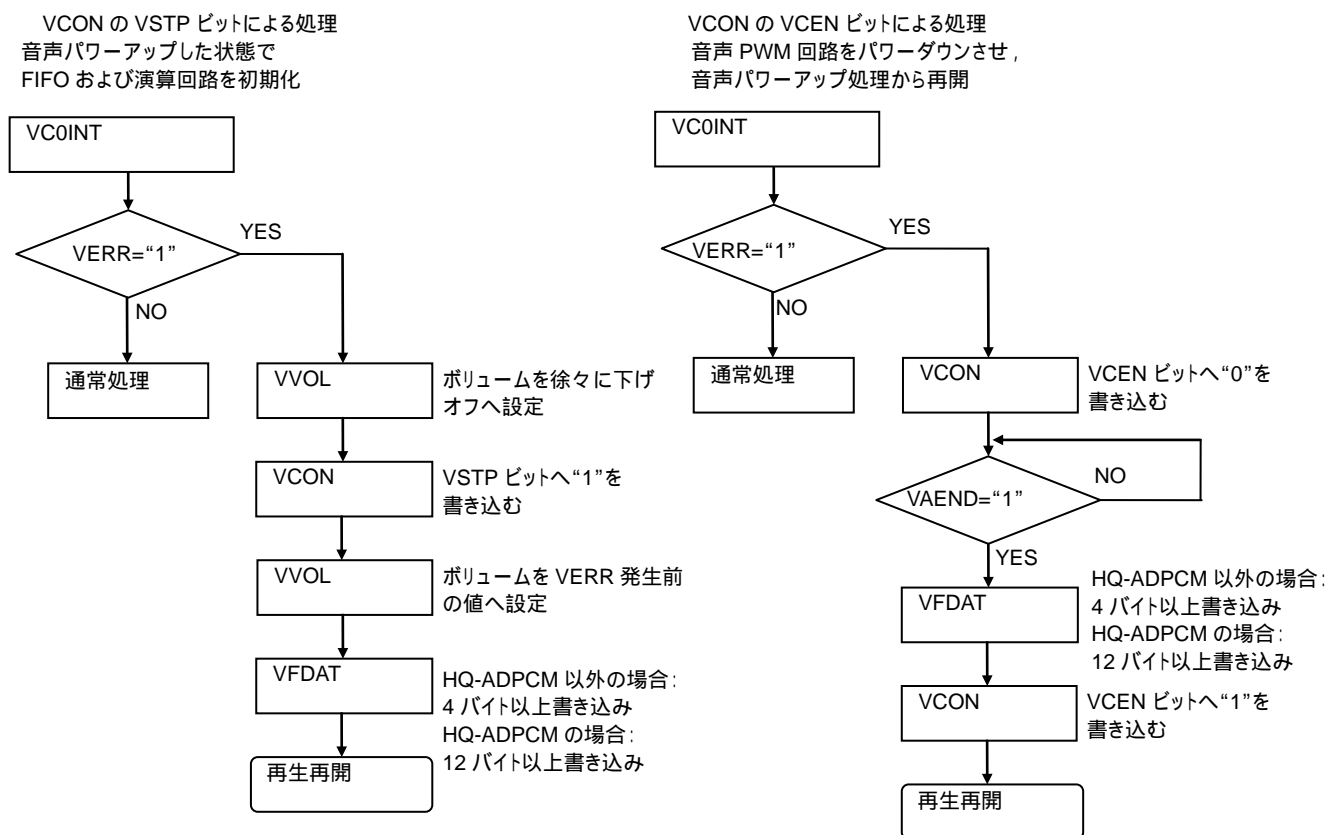
音声データ読み出しのエラー判定は、以下の条件が成立した場合のみになります。

16 ビットストレート PCM :FIFO の音声データが 1 バイトの状態音声演算回路が読み出した場合
HQ-ADPCM : FIFO の音声データが 1 ~ 3byte の状態で音声演算回路が読み出した場合
(最終データ以外)

VERR	説明
0	音声データの読み出しエラー無し(初期値)
1	音声データの読み出しエラー有り

【注意】

VERR が“1”になった場合は、下記の または の処理を実施してください。



23.2.5 音声モードレジスタ (VMOD)

アドレス: 0F2B4H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
VMOD	VVOLPS	-	-	-	-	VFMD2	VFMD1	VFMD0
R/W	R/W	-	-	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

- VFMD2, VFMD1, VFMD0 (ビット 2 ~ 0)
VFMD2, VFMD1, VFMD0 は、音声データを格納する FIFO 内の残りバイト数を割込み要求レベルとして残バイト数を選択するビットです。FIFO 内の音声データが VFMD2, VFMD1, VFMD0 で指定した残バイト数未満になると、音声ステータスレジスタ (VSTAT) の VMID ビットは“0”になります。

VFMD2	VFMD1	VFMD0	割込み要求レベル (FIFO 内の音声データ残バイト数)
0	0	0	1 バイト (初期値)
0	0	1	10 バイト
0	1	0	4 バイト
0	1	1	8 バイト
1	0	0	12 バイト
1	0	1	16 バイト
1	1	0	20 バイト
1	1	1	24 バイト

- VVOLPS
VVOLPS は、ボリューム設定レジスタ (VVOL) の設定が反映されるタイミングを選択するビットです。“0”の時、VVOL の設定値は直ちに再生音に反映されます。“1”の時、VVOL の設定はフレーズの再生開始時に同期して反映されます。音声再生中に VVOL 設定を変更しても再生音に反映されません。連続再生時、次のフレーズのデータ (VFEDAT に書き込んだデータの次のデータ) 以降の再生に同期してボリュームを変更したい場合に使用します。

VVOLPS	説明
0	ボリューム設定レジスタ (VVOL) の設定値を直ちに反映 (初期値)
1	ボリューム設定レジスタ (VVOL) の設定値をフレーズの再生開始に同期して反映

[注意]
HQ-ADPCM は、1 回の音声合成演算で 12byte のデータを使用する可能性があります。
(音声データタイプレジスタで HQ-ADPCM(1/5)を選択時、音声データの平均値は、16bit/5 3.2bit です。)

23.2.6 音声データタイプレジスタ(VTYPE)

アドレス:0F2B5H

アクセス:R/W

アクセスサイズ:8 ビット

初期値:41H

	7	6	5	4	3	2	1	0
VTYPE	-	VSYN2	VSYN1	VSYN0	VSMP3	VSMP2	VSMP1	VSMP0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	0	0	0	0	0	1

VTYPE は、音声合成方式、サンプリング周波数を設定する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **VSMP3, VSMP2, VSMP1, VSMP0** (ビット 3 ~ 0)
VSMP3, VSMP2, VSMP1, VSMP0 は、サンプリング周波数を選択するビットです。

VSMP3	VSMP2	VSMP1	VSMP0	サンプリング周波数
0	0	0	0	使用禁止
0	0	0	1	8.0kHz (初期値)
0	0	1	0	16.0kHz
0	0	1	1	32.0kHz
0	1	0	0	使用禁止
0	1	0	1	10.7kHz
0	1	1	0	21.3kHz
0	1	1	1	使用禁止
1	0	0	0	6.4kHz
1	0	0	1	12.8kHz
1	0	1	0	25.6kHz
1	0	1	1	使用禁止
1	1	*	*	使用禁止

- ・ **VSYN2, VSYN1, VSYN0** (ビット 6 ~ 4)
VSYN2, VSYN1, VSYN0 は、音声合成方式を選択するビットです。4 ビット ADPCM2, 8 ビットノンリニア PCM, 8 ビットストレート PCM, 16 ビットストレート PCM, HQ-ADPCM が選択できます。

VSYN2	VSYN1	VSYN0	音声合成方式
0	0	0	使用禁止
0	0	1	4 ビット ADPCM2
0	1	0	8 ビットノンリニア PCM
0	1	1	8 ビットストレート PCM
1	0	0	16 ビットストレート PCM (初期値)
1	0	1	HQ-ADPCM(1/5)
1	1	0	使用禁止
1	1	1	使用禁止

23.2.7 ボリューム設定レジスタ (VVOL)

アドレス: 0F2B6H

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 09H

	7	6	5	4	3	2	1	0
VVOL	-	-	-	VVOL4	VVOL3	VVOL2	VVOL1	VVOL0
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	0	0	1

VVOL は、ボリューム値を設定する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **VVOL4, VVOL3, VVOL2, VVOL1, VVOL0** (ビット 4 ~ 0)
VVOL4, VVOL3, VVOL2, VVOL1, VVOL0 は、ボリュームを選択するビットです。

VVOL4	VVOL3	VVOL2	VVOL1	VVOL0	音量[dB]
0	0	0	0	0	+2.98
0	0	0	0	1	+2.70
0	0	0	1	0	+2.40
0	0	0	1	1	+2.10
0	0	1	0	0	+1.78
0	0	1	0	1	+1.45
0	0	1	1	0	+1.11
0	0	1	1	1	+0.76
0	1	0	0	0	+0.39
0	1	0	0	1	+0.00 (初期値)
0	1	0	1	0	-0.41
0	1	0	1	1	-0.83
0	1	1	0	0	-1.28
0	1	1	0	1	-1.75
0	1	1	1	0	-2.25
0	1	1	1	1	-2.77
1	0	0	0	0	-3.34
1	0	0	0	1	-3.94
1	0	0	1	0	-4.58
1	0	0	1	1	-5.28
1	0	1	0	0	-6.04
1	0	1	0	1	-6.87
1	0	1	1	0	-7.79
1	0	1	1	1	-8.82
1	1	0	0	0	-9.99
1	1	0	0	1	-11.34
1	1	0	1	0	-12.94
1	1	0	1	1	-14.90
1	1	1	0	0	-17.44
1	1	1	0	1	-21.04
1	1	1	1	0	-27.31
1	1	1	1	1	オフ

23.2.8 音声再生コントロールレジスタ (VCON)

アドレス: 0F2B7H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
VCON	-	-	-	VSTP	-	-	-	VCEN
R/W	-	-	-	W	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

VCON は、音声再生を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- VCEN (ビット 0)
VCEN は、音声再生機能の停止 / 開始を制御するビットです。

VCEN	説明
0	音声再生機能の動作停止 (初期値)
1	音声再生機能の動作開始

- VSTP (ビット 4)
VSTP は、音声再生中の再生ストップを制御するビットです。

VSTP に“1”を書き込むと音声再生をストップし、音声演算結果を 0000H へ固定します。
また、FIFO もクリアされます。再生を再開する場合は、FIFO データレジスタ (VFDAT) に 4 バイト以上 (HQ-ADPCM 選択時は 12byte 以上) 音声データを格納してください。

23.2.9 HQ フレーズストップビット長レジスタ(VHQSBL)

アドレス:0F2B2H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
VHQSBL	VHQSBL 4	VHQSBL 3	VHQSBL 2	VHQSBL 1	VHQSBL 0	-	-	-
R/W	R/W	R/W	R/W	R/W	R/W	-	-	-
初期値	0	0	0	0	0	0	0	0

VHQSBL は、HQ-ADPCM 時のフレーズの最終データビット長を格納する特殊機能レジスタ (SFR) です。
音声コードデータ作成ツールを使用して HQ-ADPCM のフレーズを生成すると、音声領域における各 HQ-ADPCM の
波形データの 1 バイト目に HQ-ADPCM のストップビット長データ(E4 ~ E0)が格納されます。そのストップビット長デー
タを VHQSBL へ格納してください。

23.2.10 ボリュームステータスレジスタ(VVOLS)

アドレス:0F2C0H
アクセス:R
アクセスサイズ:8 ビット
初期値:09H

	7	6	5	4	3	2	1	0
VVOLS	-	-	-	VVOLS4	VVOLS3	VVOLS2	VVOLS1	VVOLS0
R/W	-	-	-	R	R	R	R	R
初期値	0	0	0	0	1	0	0	1

VVOLS は、音声再生中に反映されている VVOL の状態を示す特殊機能レジスタ (SFR) です。
音声モードレジスタ (VMOD) の VVOLPS の設定により、VVOLS で読み出せる値が変わります。VVOLPS を“0”にするとボリューム設定レジスタ (VVOL) と同じ値が読み出せます。VVOLPS を“1”にすると VVOLS と VVOL の読み出し値を比較することで、下記に示す状態がわかります。

VVOLPS	説明
0	VVOL と同じ値が VVOLS から読み出せます (初期値)
1	VVOL と VVOLS の読み出し値が一致している場合： 再生中の音声には、VVOL の設定が反映されています。 VVOL と VVOLS の読み出し値が一致していない場合： 再生中の音声には、まだ VVOL の設定が反映されていません。 次の音声再生がまだ始まっていません。

23.3 動作説明

23.3.1 音声再生動作

音声再生コントロールレジスタ (VCON) レジスタの VCEN ビットを“1”にすると D/A コンバータが動作状態となり、音声合成演算処理、および音声データ要求割込みの動作を開始します。

VCEN ビット=“1”の状態では FIFO データレジスタ (VFEDAT) に演算する音声データが 4 バイト以上 (HQ-ADPCM 選択時は 12byte 以上) 存在すれば音声データタイプレジスタ (VTYPE)、ボリューム設定レジスタ (VVOL) で選択されている音声合成方式およびボリュームに応じて演算を開始します。

音声モードレジスタ (VMOD) で設定された割込み要求レベルよりも音声データが少なくなると音声データ要求割込み (VC0INT) を発生させます。また、FIFO フレーズエンドデータレジスタ (VFEDAT) へフレーズの最終データを格納した後、最終データが音声演算回路へ取り込まれると FIFO は EMPTY となります。EMPTY 状態で最終データがデジタルフィルタから出力されると音声データ要求割込みが発生し、音声ステータスレジスタ (VSTAT) の VDEND ビットは“1”となります。

また、音声フレーズの最終データを認識するために VFEDAT に格納してください。最終データ演算後に音声演算回路を初期化すると同時に VFEDAT に演算する音声データが 4 バイト以上 (HQ-ADPCM 選択時は 12byte 以上) 存在すれば音声データタイプレジスタ (VTYPE) に格納されている音声合成方式、およびサンプリング周波数に更新し再生を再開します。この時次のフレーズの再生開始に同期して VVOL の設定値を反映させる場合は、VMOD レジスタの VVOLPS を“1”に設定してください。“0”の場合は VVOL の設定値は直ちに反映されます。

図 23-4 に音声再生のフローチャート、図 23-5 に連続再生のフローチャート、図 23-6～7 に音声再生の動作タイミングを図 23-8～9 に音声パワーアップ/パワーダウニングを示します。

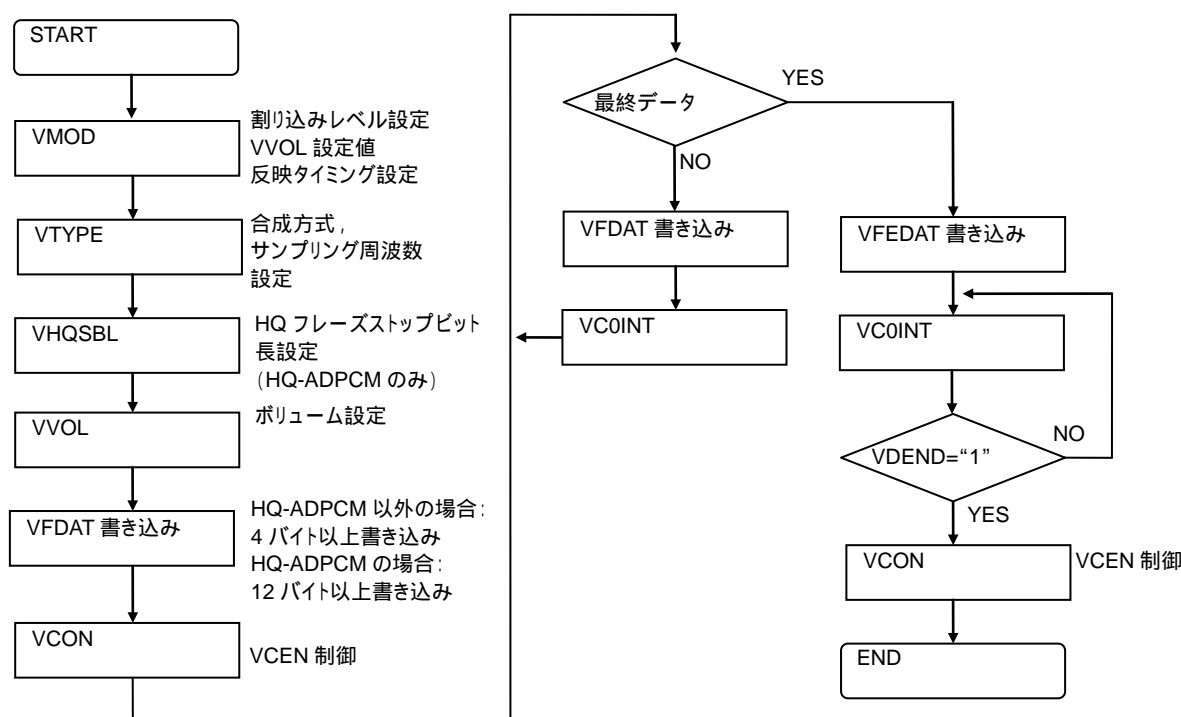
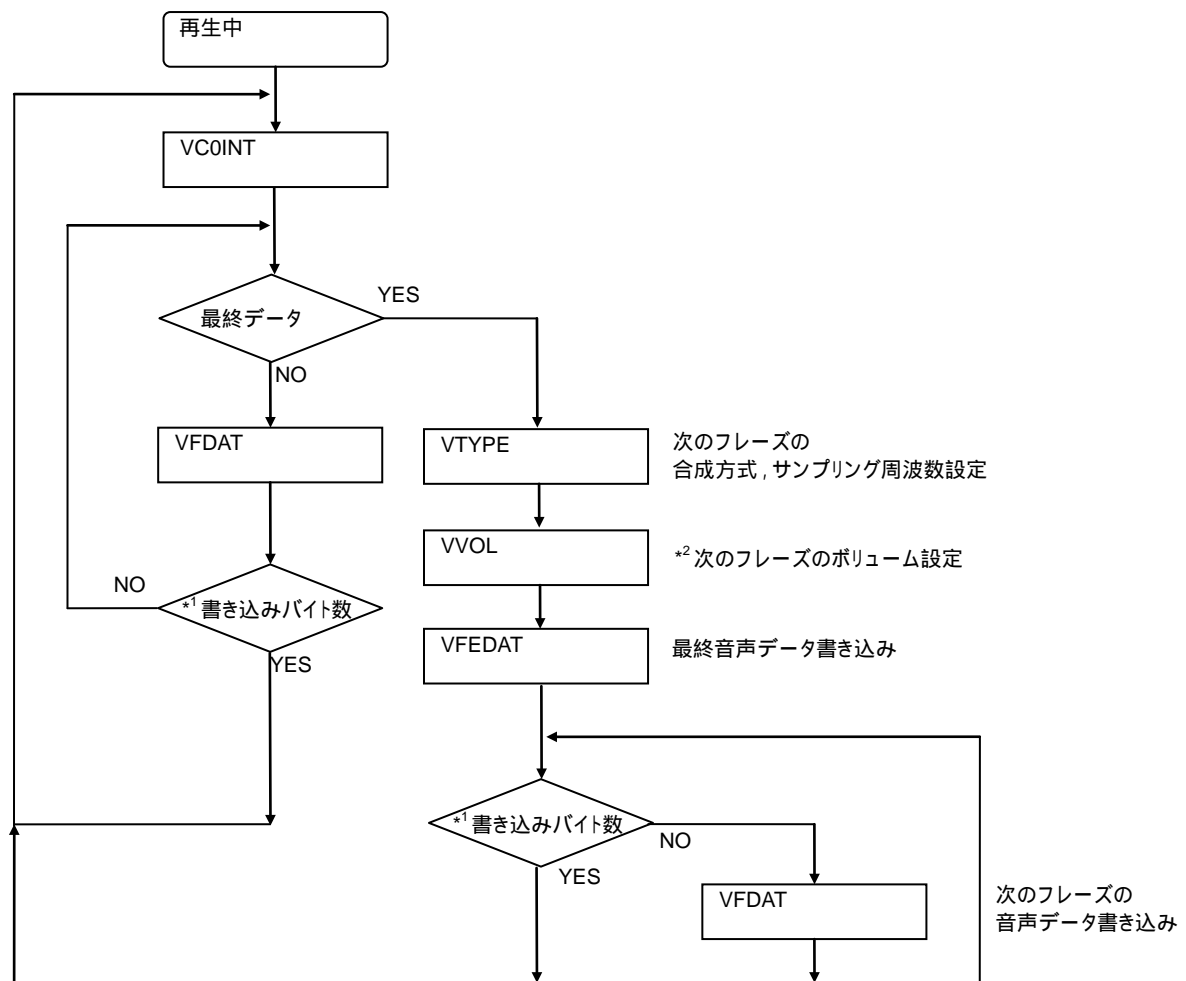


図 23-4 音声再生のフローチャート



*1 書き込みバイト数は、FIFO の容量、および VMOD レジスタの VFMD1, 0 で設定した FIFO 割り込み要求レベルに応じて任意のバイト数を決定してください。

*2 次のフレーズの再生開始に同期して VVOL の設定値を反映させる場合は、VMOD レジスタの VVOLPS を“1”に設定してください。“0”の場合は VVOL の設定値は直ちに反映されます。

図 23-5 連続再生のフローチャート

23.3.2 音声再生の動作タイミング

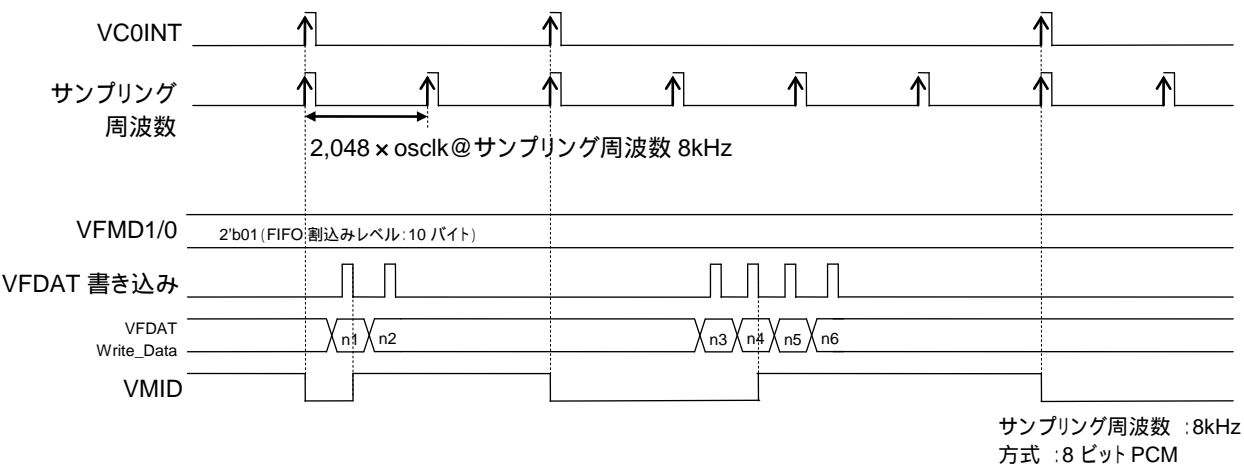


図 23-6 音声再生の基本動作タイミング

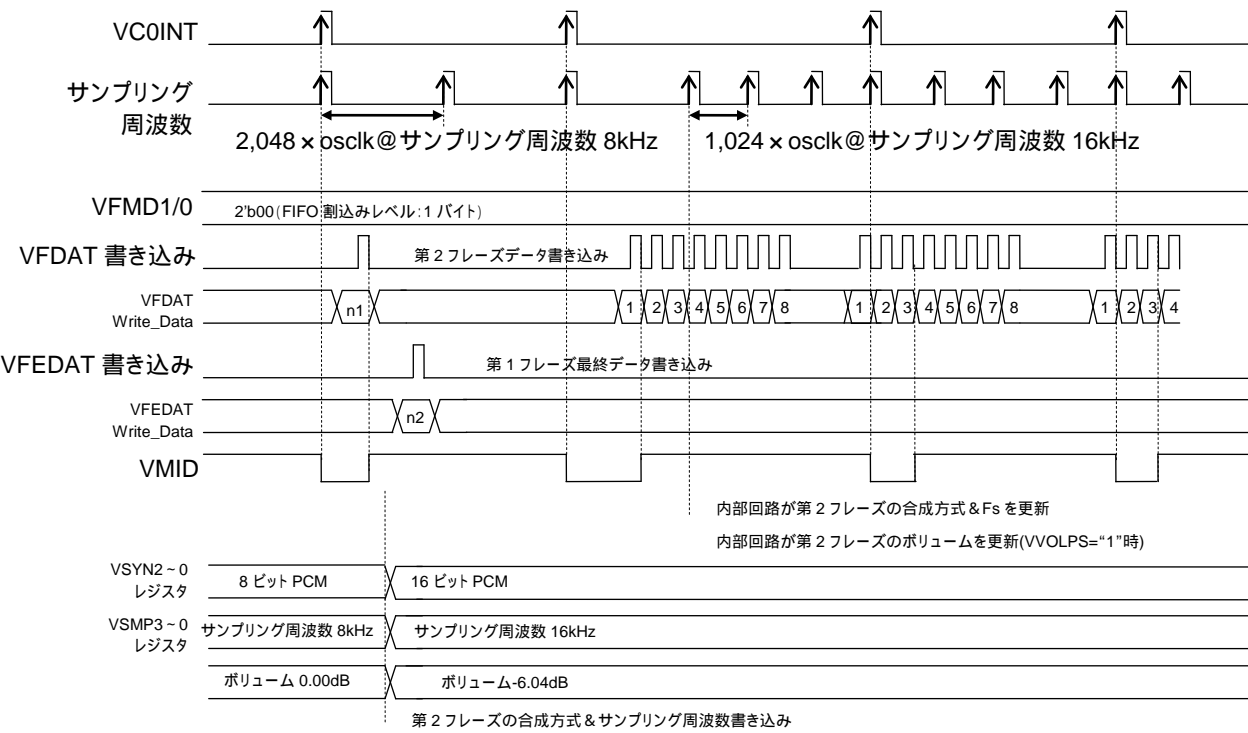


図 23-7 連続再生の動作タイミング

【注意】
第 1 フレーズの最終データは FIFO フレーズエンドデータレジスタ(VFEDAT)へ格納してください。

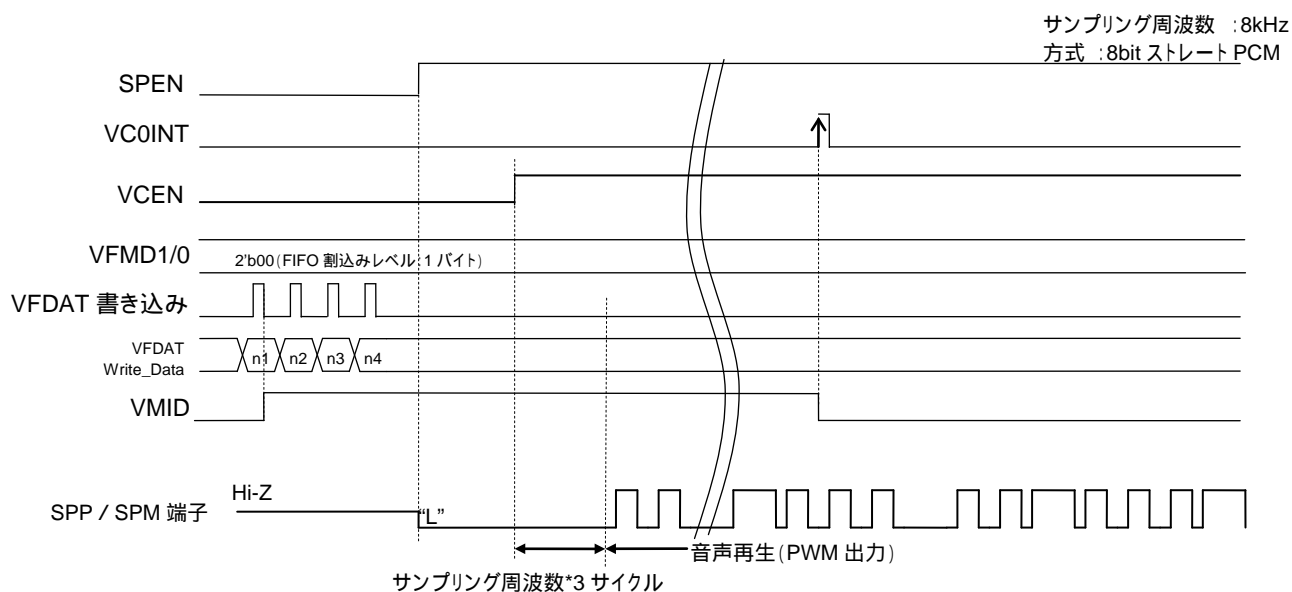


図 23-8 音声パワーアップタイミング

スピーカコントロールレジスタ (SPCON) の SPEN ビットを“1”に、音声再生コントロールレジスタ (VCON) の VCEN ビットを“1”に設定した後、サンプリング周波数*3 サイクル経過後に FIFO 音声データレジスタ (VFMDAT) へ演算する音声データが 4 バイト以上 (HQ-ADPCM 選択時は 12byte 以上) 存在すれば音声データタイプレジスタ (VTYPE) で選択されている音声合成方式に応じて演算を開始 (図中の n1 から順次演算を開始) します。

[注意]

スピーカアンプの制御については、「第 24 章 スピーカアンプ」を参照ください。

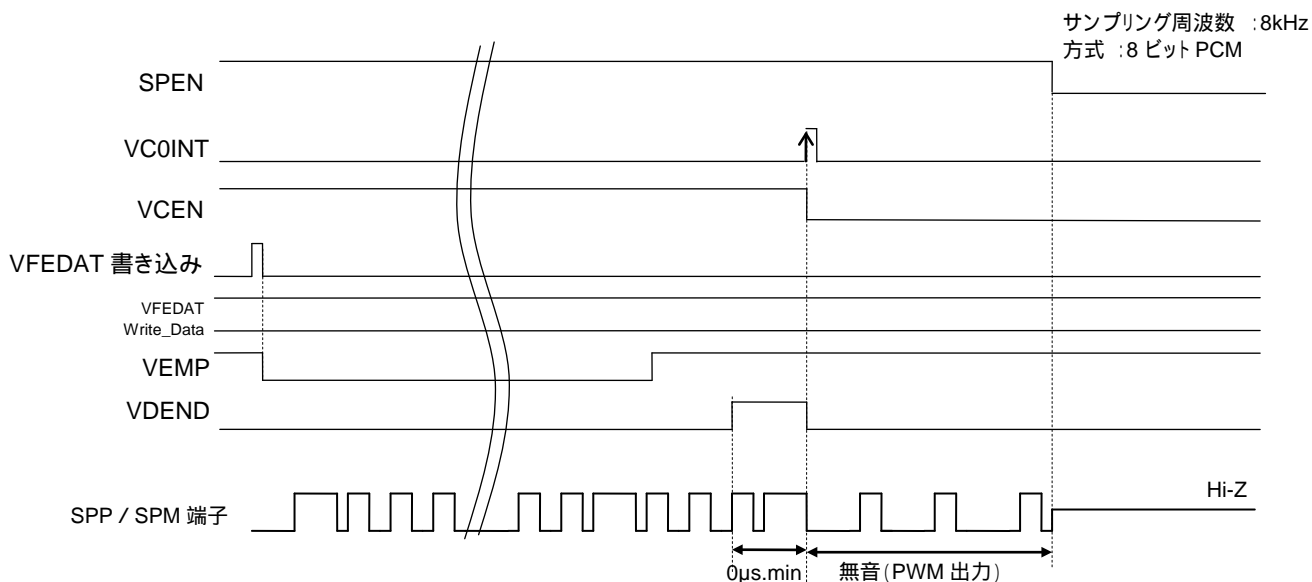


図 23-9 音声パワーダウニング

FIFO フレーズエンドデータレジスタ (VFEDAT) へ最終データを書き込み、FIFO ステータスレジスタ (VSTAT) の VDEND ビットが“1”となった後、音声再生コントロールレジスタ (VCON) の VCEN ビットを“0”にしてください。

[注意]

スピーカアンプの制御については、「第 24 章 スピーカアンプ」を参照ください。

23.3.3 音声コードデータの構成と音声データの作成方法

音声コードデータは、音声管理領域、音声領域、編集 ROM 領域で構成されています。

音声管理領域はコードデータ内のフレーズ情報を管理する領域で、指定したフレーズ分(フレーズアドレス)の音声データのスタートアドレス、ストップアドレス、編集 ROM 機能の使用 / 未使用等を制御するデータが格納されています。

音声領域は実際の波形データが格納されています。

編集 ROM 領域は音声データを効率的に使用するためのデータが格納されています。詳細は、「23.3.5 編集 ROM 機能」の項目を参照ください。編集 ROM を使用しない場合、編集 ROM 領域は存在しません。

音声コードデータの作成は、弊社製 Speech LSI Utility ツールを使用します。詳細は、『Speech LSI Utility ユーザーズマニュアル』を参照してください。

音声コードデータ構成



図 23-10 音声コードデータの構成図

23.3.4 再生時間とメモリ容量

再生時間は、メモリ容量、サンプリング周波数、および再生方式に依存します。その関係式を下に示します。ただし、編集 ROM 機能を使用していない場合の再生時間です。

$$\text{再生時間} = \frac{1.024 \times (\text{音声メモリ容量} - \text{音声管理領域} - \text{編集 ROM 領域})(\text{k ビット})}{\text{サンプリング周波数}(\text{kHz}) \times \text{ビット長}} \quad (\text{秒})$$

4 ビット ADPCM2, 8 ビット PCM, 16 ビット PCM のビット長はそれぞれ、4, 8, 16。HQ-ADPCM の場合は 3.2
音声メモリ容量は ML610Q327 が 192K バイト, ML610Q338 / ML610Q339 が 256K バイト

音声メモリ容量が 256K バイト, 制御プログラム 16K バイト, サンプリング周波数 8kHz, 4 ビット ADPCM2 方式, 32 フレーズ, 編集 ROM 機能を使用しない場合は、約 61.1 秒の再生時間となります。(使用不可のテスト領域 1K バイト)

$$\text{音声メモリ容量} = 256(\text{K バイト}) - 16(\text{K バイト}) - 1(\text{K バイト}) = 239(\text{K バイト}) = 1912(\text{K ビット})$$

$$\text{音声管理領域} = 32(\text{フレーズ}) \times 8(\text{バイト}) = 256(\text{バイト}) = 2(\text{K ビット})$$

$$\text{再生時間} = \frac{1.024 \times (1912 - 2)(\text{k ビット})}{8(\text{kHz}) \times 4(\text{ビット})} = 61.1(\text{秒})$$

1 フレーズの再生時間は 20ms 以上にしてください。

HQ-ADPCM 方式はビット長が平均で 3.2 ビットとなり、同条件の場合は約 76.4 秒の再生時間となります。

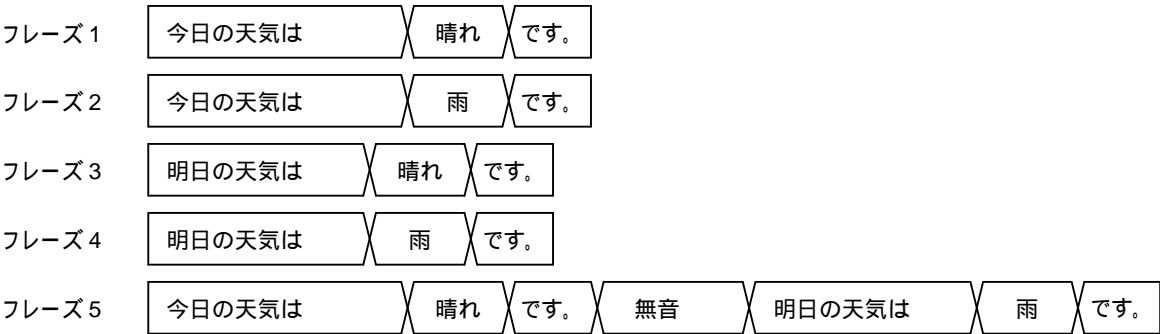
23.3.5 編集 ROM 機能

編集 ROM 機能とは、複数のフレーズを連続して再生できる機能です。編集 ROM 機能を使用して、以下の機能を設定することができます。

- ・ 連続再生 (連続再生の指定回数は、無制限。フラッシュ・メモリの容量に依存します。)
- ・ 無音挿入機能 (4ms ~ 1,024ms)

編集 ROM 機能を使用することで、フラッシュ・メモリの容量を効率的に使用することが出来ます。
図 23-11 に、編集 ROM 機能を使用した場合の音声コードデータの構成例を示します。

例 1; 編集 ROM 機能を使用した場合のフレーズ構成



例 2; 例 1 を音声コードデータに変換した場合のデータ構成

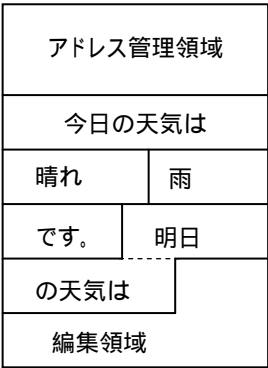


図 23-11 編集 ROM データの構成図

第 24 章 スピーカアンプ

24 スピーカアンプ

24.1 概要

本 LSI は、モノラル D 級スピーカアンプを 1 チャンネル内蔵しています。

24.1.1 特長

- ・ D 級スピーカアンプ
LSI の発熱による損失が少ない高効率な D 級スピーカアンプ (1.0W@5.0V) を内蔵しています。
- ・ 断線検知機能
スピーカアンプに接続されているスピーカ配線の断線を検知する機能です。たとえば、警報装置などで警報時にスピーカが断線して音声が届かないことを防止するため、定期的に断線検知することで警報装置としての信頼性を保つことができます。
- ・ スピーカ端子のショート検知機能
音声再生中に SPP / SPM 端子間のショートと SPP / SPM 端子と GND 間のショートを検出する機能です。また、内部 PWM に異常が生じ、PWM が“H”レベルに固定した場合、SPP 端子と SPM 端子間に電流が流れ続けることを防ぐ機能でもあります。スピーカ端子のショート、あるいは内部 PWM の“H”レベルの固定を検出すると、LSI は自動的に音声再生を停止します。スピーカ端子ショート検知機能は、スピーカアンプに過大な電流が流れ続けることを防ぎます。

24.1.2 構成

図 24-1 にスピーカアンプの構成を示します。

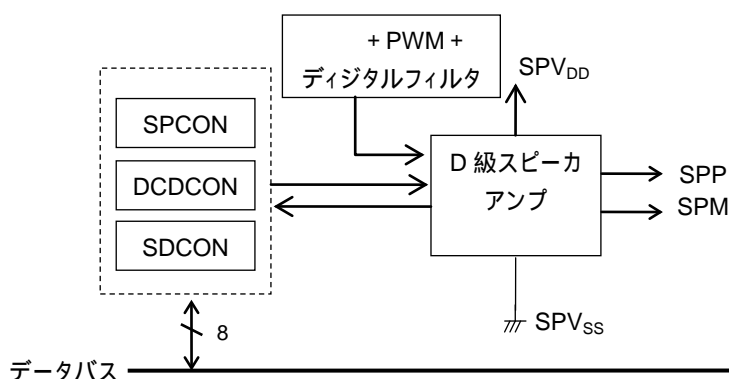


図 24-1 スピーカアンプの構成

24.2 レジスタ説明

24.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F2BCH	スピーカコントロールレジスタ	SPCON	-	R/W	8	00H
0F2BFH	断線検知コントロールレジスタ	DCDCON	-	R/W	8	00H
0F2C8H	ショート検知コントロールレジスタ	SDCON	-	R/W	8	00H

24.2.2 スピーカアンプコントロールレジスタ (SPCON)

アドレス: 0F2BCH
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
SPCON	-	-	-	-	-	-	SPGAIN	SPEN
R/W	-	-	-	-	-	-	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SPCON は、スピーカアンプを制御する特殊機能レジスタ(SFR)です。

ビットの説明

- SPEN**(ビット 0)
 SPEN は、SPP 端子、および SPM 端子を制御するビットです。

SPEN	説明
0	SPP / SPM 端子: Hi-z 出力 (初期値)
1	SPP / SPM 端子: 動作開始

- SPGAIN**(ビット 1)
 SPGAIN は、デルタシグマ D/A コンバータの入力ゲイン値を選択するビットです。

SPGAIN	説明
0	ゲイン 1 倍 (初期値)
1	ゲイン 1.11 倍

24.2.3 断線検知コントロールレジスタ(DCDCON)

アドレス:0F2BFH
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
DCDCON	DCDF	-	-	-	-	-	-	DCDEN
R/W	R	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

DCDCON は、断線検知回路を制御する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **DCDEN**(ビット0)
DCDEN は、断線検知回路のオン / オフを制御するビットです。
DCDEN を“1”にすると断線検知回路がオン, “0”にするとオフします。

DCDEN	説明
0	断線検知回路オフ(初期値)
1	断線検知回路オン

- ・ **DCDF**(ビット7)
DCDF は、断線検知回路の判定結果フラグです。
断線を検知した場合“1”, 検知していない場合“0”になります。

DCDF	説明
0	断線を検知していない(初期値)
1	断線を検知した

24.2.4 ショート検知コントロールレジスタ (SDCON)

アドレス:0F2C8H
 アクセス:R/W
 アクセスサイズ:8 ビット
 初期値:00H

	7	6	5	4	3	2	1	0
SDCON	SDF	SDA2	SDA1	SDA0	SDD2	SDD1	SDD0	SDEN
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SDCON は、PWM の“H”レベル固定検知と、SPP / SPM 端子のショート検知回路を制御する特殊機能レジスタ (SFR) です。

ビットの説明

- SDEN**(ビット0)
 SDEN は、PWM の“H”レベル固定検知とショート検知回路のオン / オフを制御するビットです。
 SDEN を“1”にすると PWM の“H”レベル固定検知とショート検知回路がオン、“0”にするとオフします。

SDEN	説明
0	PWM の“H”レベル固定検知と SPP 端子、および SPM 端子のショート検知回路オフ (初期値)
1	PWM の“H”レベル固定検知と SPP 端子、および SPM 端子のショート検知回路オン

【注意】

ショート検知回路は、音声再生時に機能します。音声再生時のレジスタ設定を以下に示します。
 SPEN=“1”、VCEN=“1”の状態では、PWM の“H”レベル固定検知とショート検知回路が有効となります。

レジスタ名	SPCON レジスタ (アドレス:0F2BCH)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	-	SPGAIN	SPEN
設定値	*	*	*	*	*	*	*	1

レジスタ名	VCON レジスタ (アドレス:0F2B7H)							
ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	VSTP	-	-	-	VCEN
設定値	*	*	*	*	*	*	*	1

- ・ **SDD2, SDD1, SDD0**(ビット 3 ~ 1)
SDD2, SDD1, SDD0 は, PWM の“H”レベル固定検知時間を設定するビットです。

SDD2	SDD1	SDD0	説明	
			SPGAIN = 0	SPGAIN = 1
0	0	0	62.5us (初期値)	8ms
0	0	1	125us	12ms
0	1	0	250us	16ms
0	1	1	500us	24ms
1	0	0	1ms	32ms
1	0	1	2ms	48ms
1	1	0	4ms	64ms
1	1	1	“H”レベル固定検知オフ	

- ・ **SDA2, SDA1, SDA0**(ビット 6 ~ 4)
SDA2, SDA1, SDA0 は, SPP 端子, および SPM 端子のショート検知の検知回数を設定するビットです。

SDA2	SDA1	SDA0	説明
0	0	0	常時オン(初期値)
0	0	1	2 回検知
0	1	0	4 回検知
0	1	1	8 回検知
1	0	0	16 回検知
1	0	1	32 回検知
1	1	0	64 回検知
1	1	1	SPP 端子, および SPM 端子のショート検知オフ

“常時”は, ショート検知回路のオン(SDEN=1)の間, 常にショート検知をします。1 度でもショートを検知した場合には直ちに音声再生を停止して SDF ビットを“1”にします。

“2 回検知” ~ “64 回検知”は, ショート検知回路のオン(SDEN=1)の間, 2us のサンプリング周期でショート有無をチェックし, 設定した回数の連続ショート検知が発生した場合に音声再生を停止して SDF ビットを“1”にします。

- ・ **SDF**(ビット 7)
SDF は, PWM の“H”レベル固定検知とショート検知回路の判定結果フラグです。
PWM の“H”レベル固定検知もしくは, SPP 端子, および SPM 端子のショートを検知した場合“1”, 検知していない場合“0”になります。
SDF=“1”となると, ショート検知割込みが発生し, PWM 回路はリセットされます。

SDF	説明
0	PWM の“H”レベル固定検知もしくは, SPP 端子, および SPM 端子のショートを検知していない(初期値)
1	PWM の“H”レベル固定検知もしくは, SPP 端子, および SPM 端子のショートを検知した

24.3 動作説明

24.3.1 スピーカアンプ

スピーカアンプ回路は、スピーカアンプコントロールレジスタ (SPCON) の SPEN ビットによってオン / オフを制御します。

SPEN は、スピーカアンプの SPP / SPM 端子イネーブル制御ビットであり、SPEN を“1”にするとオン状態になります。SPEN が“1”の状態で、PLL 発振が発振停止検出時間 (T_{STOP}) 以上停止した場合にはデバイスにリセットがかかります。音声再生を開始する前には必ずリセットステータスレジスタ (RSTAT) の XSTR ビットを読み出してください。その際に、PLL 発振停止検出リセットが発生 (XSTR ビットが“1”) していた場合は、XSTR ビットを“0”にしてください。

SPEN を“0”にすると SPP 端子、および SPM 端子はハイインピーダンス状態になり、スピーカアンプ回路部の消費電流はゼロになります。

図 24-2 に動作タイムチャート例を示します。

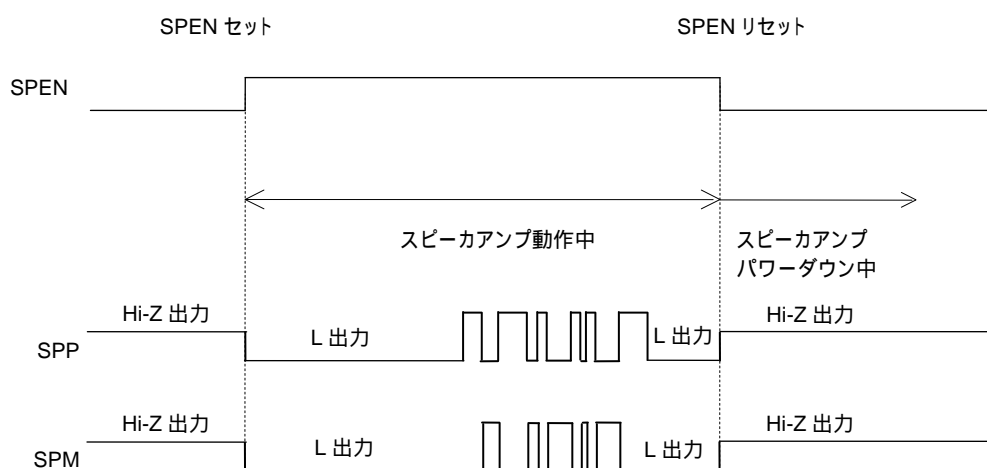


図 24-2 動作タイムチャート例

図 24-2 の動作は次のようになります。

SPEN を“1”にし、スピーカアンプをオンにします。スピーカアンプは動作を開始します。
SPEN を“0”にし、スピーカアンプをオフにします。スピーカアンプは動作を停止します。

24.3.2 断線検知回路

断線検知回路は、断線検知コントロールレジスタ(DCDCON)の DCDEN ビットによってオン / オフを制御し、DCDCON の DCDF ビットに断線検知の結果を出力します。

DCDEN は、断線検知回路のイネーブル制御ビットであり、DCDEN を“1”にするとオン状態になります。DCDEN を“0”にするとオフ状態になり、断線検知回路部の消費電流はゼロになります。

DCDF は、判定結果フラグです。DCDF が“1”の場合、断線していることを示します。DCDF が“0”の場合、断線していないことを示します。

断線検知回路の判定回路は、安定するまでに時間を要します。DCDEN を“1”にしてから 1ms 以上経過後に DCDF を読み出してください。

図 24-4 に動作タイムチャート例を示します。

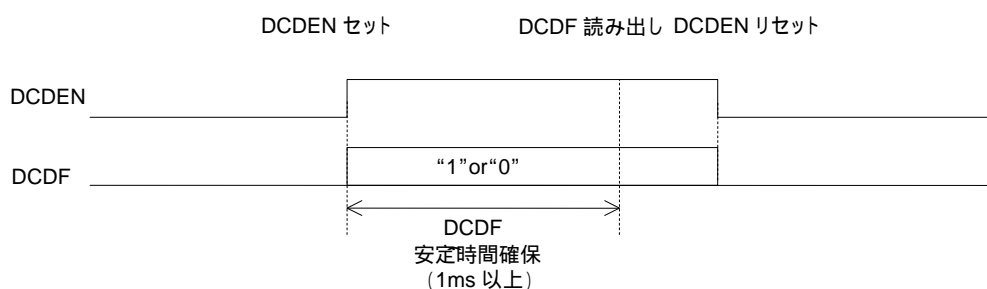


図 24-4 動作タイムチャート例

図 24-4 の動作は次のようになります。

- DCDEN を“1”にし、断線検知回路をオンにします。
- 断線検知回路が安定する時間 (1ms 以上) を確保します。
- 判定結果フラグ (DCDF) を読み出します。
- DCDEN を“0”にします。

【注意】

断線検知回路は、スピーカアンプコントロールレジスタ (SPCON) の SPEN ビットが“0”の状態で使用してください。

24.3.3 ショート検知回路

24.3.3.1 PMW の“H”レベルの固定検知回路動作

本 LSI は、内部 PWM に異常が生じるなどで PWM が“H”レベルに固定した場合、SPP 端子と SPM 端子間に電流が流れ続けることを防ぐため、PWM の“H”レベル固定検知回路を内蔵しています。PWM の“H”レベル固定を検知すると自動的に音声再生を停止します。

PWM の“H”レベル固定検知回路は、ショート検知コントロールレジスタ(SDCON)の SDEN ビットによってオン / オフを制御し、SDCON の SDF ビットに PWM の“H”レベル固定検知結果を保持します。

SDEN は、PWM の“H”レベル固定検知回路のイネーブル制御ビットであり、SDEN を“1”にするとオン状態になります。SDEN を“0”にするとオフ状態になります。

SDF は、判定結果フラグです。SDF が“1”の場合、PWM の“H”レベル固定検知したことを示します。

PWM の“H”レベル固定検知の検知時間は、SDD2 ~ 0 ビットにて設定可能です。

図 24-5 に動作タイムチャート例を示します。

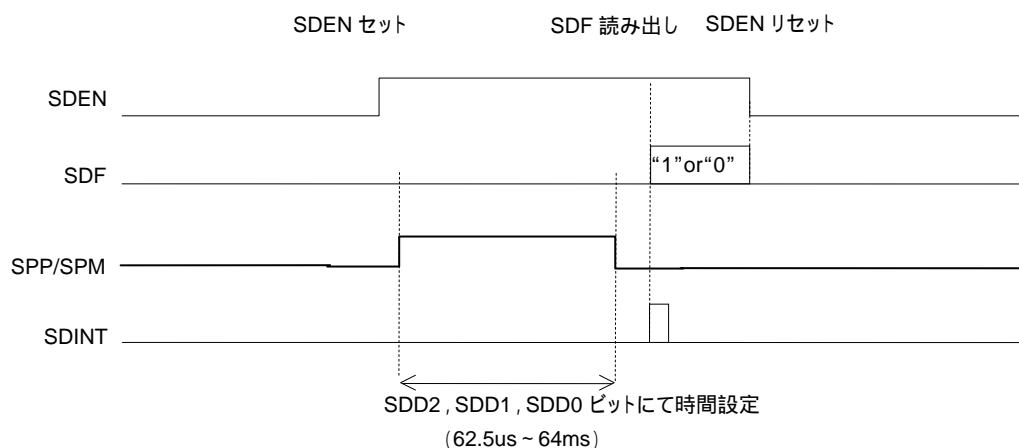


図 24-5 動作タイムチャート例

図 24-5 の動作は次のようになります。

SDEN を“1”にし、PWM の“H”レベル固定検知回路をオンにします。

PWM の“H”レベル固定検知し、SDD2、SDD1、SDD0 ビットにて設定した時間が経過すると SDF が“H”レベルとなり、同時に SDINT から“H”パルスが出力されます。

判定結果フラグ(SDF)を読み出します。

SDEN を“0”にし、PWM の“H”レベル固定検知回路をオフにします。

24.3.3.2 SPP 端子, および SPM 端子のショート検知回路動作

本 LSI は SPP 端子, および SPM 端子のショート検知回路を持っています。SPP / SPM 端子が GND とショートした場合に SPP / SPM 端子から GND に電流が流れ続けることを防ぎます。SPP / SPM 端子のショートを検知すると自動的に音声再生を停止します。

SPP / SPM 端子のショート検知回路は, ショート検知コントロールレジスタ (SDCON) の SDEN ビットによってオン / オフを制御し, SDCON の SDF ビットにショート検知結果を保持します。

SDEN は, ショート検知回路のイネーブル制御ビットであり, SDEN を“1”にするとオン状態になります。SDEN を“0”にするとオフ状態になり, ショート検知回路部の消費電流はゼロになります。

SDF は, 判定結果フラグです。SDF が“1”の場合, ショート検知したことを示します。

SPP 端子, および SPM 端子のショート検知の判定回数は, SDA2 ~ 0 ビットにて設定可能です。

図 24-6 に動作タイムチャート例を示します。

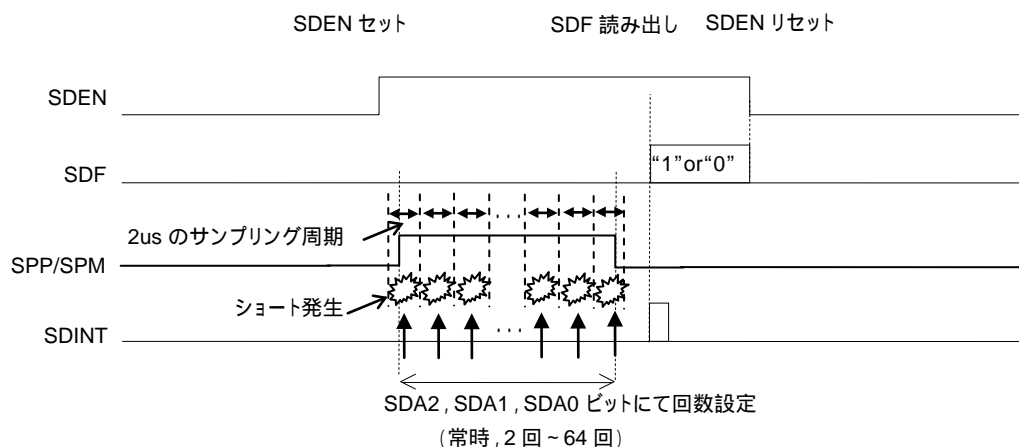


図 24-6 動作タイムチャート例

図 24-6 の動作は次のようになります。

SDEN を“1”にし, ショート検知回路をオンにします。

ショート検知し, SDA2, SDA1, SDA0 ビットにて設定した判定回数を経過すると SDF が“H”レベルとなり, 同時に SDINT から“H”パルスが出力されます。

判定結果フラグ (SDF) を読み出します。

SDEN を“0”にし, ショート検知回路をオフにします。

第 25 章 フラッシュ・メモリ書き換え機能

25 フラッシュ・メモリ書き換え機能

25.1 概要

本 LSI は、特殊機能レジスタ(SFR)を用いてフラッシュ・メモリ(データ・メモリ空間(2K バイト:512 バイト×4 セクタ))の内容をソフトウェアによって書き換える機能を内蔵しています。

25.1.1 特長

- ・ 書き換え回数 : 10000 回 $V_{DD}=2.2V \sim 5.5V @ -40 \sim 70^{\circ}C$
- ・ セクタ消去 : 256 ワード(512 バイト)の消去
- ・ ブロック消去 : 1K ワード(2K バイト)の消去
- ・ 書き込み : 1 ワードの書き込み
- ・ データ・フラッシュ領域の消去および書き込み中に、CPU のプログラム処理が継続するバックグラウンドオペレーション(BGO)機能を搭載
- ・ データ・フラッシュ領域の消去および書き込み完了時に、データ・フラッシュ消去書き込み完了割込み(FDEPINT)を発生

25.2 レジスタ説明

25.2.1 レジスタ一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F0E0H	フラッシュアドレスレジスタ L	FLASHAL	FLASHA	R/W	8/16	00H
0F0E1H	フラッシュアドレスレジスタ H	FLASHAH		R/W	8	00H
0F0E2H	フラッシュデータレジスタ L	FLASHDL	FLASHD	R/W	8/16	00H
0F0E3H	フラッシュデータレジスタ H	FLASHDH		R/W	8	00H
0F0E4H	フラッシュコントロールレジスタ	FLASHCON	-	W	8	00H
0F0E5H	フラッシュアクセプタ	FLASHACP	-	W	8	00H
0F0E6H	フラッシュセグメントレジスタ	FLASHSEG	-	R/W	8	00H
0F0E7H	フラッシュセルフレジスタ	FLASHSLF	-	R/W	8	00H
0F0E8H	フラッシュプロテクトレジスタ	FLASHPRT	-	R/W	8	00H
0F0EAH	フラッシュステータスレジスタ	FLASHSTA	-	R	8	00H

25.2.2 フラッシュアドレスレジスタ L , H (FLASHAL , H)

アドレス: 0F0E0H
 アクセス: R/W
 アクセスサイズ: 8/16 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
FLASHAL	FA7	FA6	FA5	FA4	FA3	FA2	FA1	FA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
初期値	0	0	0	0	0	0	0	0

アドレス: 0F0E1H
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 00H

	7	6	5	4	3	2	1	0
FLASHAH	FA15	FA14	FA13	FA12	FA11	FA10	FA9	FA8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FLASHAL , FLASHAH は , フラッシュメモリ書き換えアドレスを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- FA7 ~ FA0** (ビット 7 ~ 0)
 FA7 ~ FA0 は , 1 ワード書き込み時の下位アドレスを設定するビットです。
 ただし , ビット 0 は書き込みできず 0 固定となります。
- FA15 ~ FA8** (ビット 7 ~ 0)
 FA15 ~ FA8 は , セクタ消去 , ブロック消去 , および 1 ワード書き込み時の上位アドレスを設定するビットです。
 フラッシュセグメントレジスタの FSEG0 , FSEG1 , FSEG2 と FA15 ~ FA8 で上位アドレスを指定します。
 表 25-1 に , セクタ消去時のアドレス設定値を , 表 25-2 にブロック消去時のアドレス設定値を示します。

表 25-1 セクタ消去時のアドレス設定値

セクタ消去する領域				FLASHSEG			FLASHAH							
セグメント	アドレス			FSEG2	FSEG1	FSEG0	FA15	FA14	FA13	FA12	FA11	FA10	FA9	FA8
セグメント 4	0000H	~	01FFH	1	0	0	0	0	0	0	0	0	0	0
	0200H	~	03FFH	1	0	0	0	0	0	0	0	0	1	0
	0400H	~	05FFH	1	0	0	0	0	0	0	0	1	0	0
	0600H	~	07FFH	1	0	0	0	0	0	0	0	1	1	0

表 25-2 ブロック消去時のアドレス設定値

ブロック消去する領域				FLASHSEG			FLASHAH							
セグメント	アドレス			FSEG2	FSEG1	FSEG0	FA15	FA14	FA13	FA12	FA11	FA10	FA9	FA8
セグメント 4	0000H	~	07FFH	1	0	0	0	0	0	0	0	0	0	0

25.2.3 フラッシュデータレジスタ L, H (FLASHDL, H)

アドレス: 0F0E2H
アクセス: R/W
アクセスサイズ: 8/16 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
FLASHDL	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

アドレス: 0F0E3H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
FLASHDH	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FLASHDL, FLASHDH は, フラッシュメモリ書き換えデータを設定する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **FD7 ~ FD0**(ビット 7 ~ 0)
FD7 ~ FD0 は, 1 ワード書き込み時の下位書き込みデータを設定するビットです。
- ・ **FD15 ~ FD8**(ビット 7 ~ 0)
FD15 ~ FD8 は, 1 ワード書き込み時の上位書き込みデータを設定するビットです。
FD15 ~ FD8 への書き込みにより 1 ワード書き込みが開始されます。

【注意】

- ・書き込むアドレスの内容はあらかじめ消去しておいてください。上書きによる書き込みアドレスの内容は保証されません。
- ・FLASHDH への書き込みにより 1 ワード書き込みが開始されますので, FLASHDL, FLASHDH の順番でデータを書き込んで下さい。

25.2.4 フラッシュコントロールレジスタ (FLASHCON)

アドレス: 0F0E4H
アクセス: W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
FLASHCON	-	-	-	-	-	-	FSERS	FERS
R/W	-	-	-	-	-	-	W	W
初期値	0	0	0	0	0	0	0	0

FLASHCON は、フラッシュ・メモリ書き換えのブロック消去およびセクタ消去を制御する書き込み専用の特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **FERS** (ビット 0)
FERS は、ブロック消去の開始を指定するビットです。
FERS ビットを“1”にすると FLASHSEG レジスタと FLASHAH レジスタにより指定されたブロックが消去され、消去が完了すると自動的に“0”になります。
- ・ **FSERS** (ビット 1)
FSERS は、セクタ消去の開始を指定するビットです。
FSERS ビットを“1”にすると FLASHSEG レジスタと FLASHAH レジスタにより指定されたセクタが消去され、消去が完了すると自動的に“0”になります。

FSERS	FERS	説明
0	0	ブロック / セクタ消去停止 (初期値)
0	1	ブロック消去開始
1	0	セクタ消去開始
1	1	ブロック消去開始

25.2.5 フラッシュアクセプタ (FLASHACP)

アドレス: 0F0E5H
アクセス: W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
FLASHACP	fac7	fac6	fac5	fac4	fac3	fac2	fac1	fac0
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

FLASHACP は、フラッシュ・メモリ書き換えのセクタ消去、ブロック消去、1 ワード書き込み動作の許可 / 禁止を制御する書き込み専用の特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **fac7 ~ fac0** (ビット 7 ~ 0)
fac7 ~ fac0 は、ブロック消去、セクタ消去、1 ワード書き込みの誤作動を防止するために設定するビットです。
fac7 ~ fac0 に“0FAH”、“0F5H”の順序で書き込むと、ブロック消去、セクタ消去、もしくは 1 ワード書き込み機能が一度だけ許可状態となります。連続してブロック消去、セクタ消去、もしくは 1 ワード書き込みを行う場合は、毎回、fac7 ~ fac0 に“0FAH”、“0F5H”を書き込む必要があります。
fac7 ~ fac0 への“0FAH”書き込みと“0F5H”書き込みの間に他の命令が入っても、ブロック消去、もしくは 1 ワード書き込み機能は許可状態になります。ただし、“0FAH”書き込み後に“0F5H”以外のデータを fac7 ~ fac0 に書き込むと“0FAH”書き込みが無効となるため、再度“0FAH”から書き込む必要があります。

25.2.6 フラッシュセグメントレジスタ (FLASHSEG)

アドレス: 0F0E6H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
FLASHSEG	-	-	-	-	-	FSEG2	FSEG1	FSEG0
R/W	-	-	-	-	-	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FLASHSEG は、フラッシュメモリ書き換えセグメントアドレスを設定する特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **FSEG2, FSEG1, FSEG0** (ビット 2 ~ 0)
FSEG2, FSEG1, FSEG0 は、フラッシュ・メモリのセグメントアドレスを設定するビットです。フラッシュアドレスレジスタ (FLASHAL, FLASHAH) と合わせて、セクタ消去、ブロック消去、1 ワード書き込み時のフラッシュ・メモリアドレスを設定します。

FSEG2	FSEG1	FSEG0	説明
0	0	0	無効 (初期値)
0	0	1	無効
0	1	0	無効
0	1	1	無効
1	0	0	セグメント 4 を選択
1	0	1	無効
1	1	0	無効
1	1	1	無効

25.2.7 フラッシュセルフレジスタ(FLASHSLF)

アドレス:0F0E7H
アクセス:R/W
アクセスサイズ:8 ビット
初期値:00H

	7	6	5	4	3	2	1	0
FLASHSLF	-	-	-	-	-	-	-	FSELF
R/W	-	-	-	-	-	-	-	R/W
初期値	0	0	0	0	0	0	0	0

FLASHSLF は、フラッシュ・メモリ書き換え機能を制御する特殊機能レジスタ(SFR)です。

ビットの説明

- ・ **FSELF**(ビット0)
フラッシュ・メモリ書き換えを行う場合は、FSELF ビットを“1”にセットする必要があります。

FSELF	説明
0	フラッシュ・メモリ書き換え不可 (初期値)
1	フラッシュ・メモリ書き換え可能

25.2.8 フラッシュプロテクトレジスタ (FLASHPRT)

アドレス: 0F0E8H
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
FLASHPRT	-	-	-	-	FPRT3	FPRT2	FPRT1	FPRT0
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FLASHPRT は、セグメント 4 の 0000H ~ 01FFH , 0200H ~ 03FFH , 0400H ~ 05FFH , 0600H ~ 07FFH それぞれのセクタ消去、ブロック消去、1 ワード書き込みを制御する特殊機能レジスタ (SFR) です。

ビットの説明

- FPRT0 (ビット 0)**
FPRT0 は、セグメント 4 の 0000H ~ 01FFH のセクタ消去、ブロック消去、1 ワード書き込みを制御するビットです。FPRT0 に“1”を書き込むと FPRT0 は“1”になり、以降のセグメント 4 の 0000H ~ 01FFH のセクタ消去、ブロック消去、1 ワード書き込みが無効になります。FPRT0 に“1”を書き込んだ後に FPRT0 に“0”を書き込んでも“0”になりません。

FPRT0	説明
0	セグメント 4 の 0000H ~ 01FFH のセクタ消去、ブロック消去、1 ワード書き込み: 有効 (初期値)
1	セグメント 4 の 0000H ~ 01FFH のセクタ消去、ブロック消去、1 ワード書き込み: 無効

- FPRT1 (ビット 1)**
FPRT1 は、セグメント 4 の 0200H ~ 03FFH のセクタ消去、ブロック消去、1 ワード書き込みを制御するビットです。FPRT1 に“1”を書き込むと FPRT1 は“1”になり、以降のセグメント 4 の 0200H ~ 03FFH のセクタ消去、ブロック消去、1 ワード書き込みが無効になります。FPRT1 に“1”を書き込んだ後に FPRT1 に“0”を書き込んでも“0”になりません。

FPRT1	説明
0	セグメント 4 の 0200H ~ 03FFH のセクタ消去、ブロック消去、1 ワード書き込み: 有効 (初期値)
1	セグメント 4 の 0200H ~ 03FFH のセクタ消去、ブロック消去、1 ワード書き込み: 無効

- FPRT2 (ビット 2)**
FPRT2 は、セグメント 4 の 0400H ~ 05FFH のセクタ消去、ブロック消去、1 ワード書き込みを制御するビットです。FPRT2 に“1”を書き込むと FPRT2 は“1”になり、以降のセグメント 4 の 0400H ~ 05FFH のセクタ消去、ブロック消去、1 ワード書き込みが無効になります。FPRT2 に“1”を書き込んだ後に FPRT2 に“0”を書き込んでも“0”になりません。

FPRT2	説明
0	セグメント 4 の 0400H ~ 05FFH のセクタ消去、ブロック消去、1 ワード書き込み: 有効 (初期値)
1	セグメント 4 の 0400H ~ 05FFH のセクタ消去、ブロック消去、1 ワード書き込み: 無効

- ・ **FPRT3**(ビット 3)
FPRT3 は、セグメント 4 の 0600H ~ 07FFH のセクタ消去、ブロック消去、1 ワード書き込みを制御するビットです。FPRT3 に“1”を書き込むと FPRT3 は“1”になり、以降のセグメント 4 の 0600H ~ 07FFH のセクタ消去、ブロック消去、1 ワード書き込みが無効になります。FPRT3 に“1”を書き込んだ後に FPRT3 に“0”を書き込んでも“0”になりません。

FPRT3	説明
0	セグメント 4 の 0600H ~ 07FFH のセクタ消去、ブロック消去、1 ワード書き込み:有効(初期値)
1	セグメント 4 の 0600H ~ 07FFH のセクタ消去、ブロック消去、1 ワード書き込み:無効

【注意】
FPRT0 ~ FPRT3 のいずれか一つでも“1”を書き込むと、以降のセグメント 4 の 0000H ~ 07FFH のブロック消去が無効になります。

25.2.9 フラッシュステータスレジスタ (FLASHSTA)

アドレス: 0F0EAH
アクセス: R
アクセスサイズ: 8 ビット
初期値: 00H

	7	6	5	4	3	2	1	0
FLASHSTA	-	-	-	-	-	-	FDPRS	FDERS
R/W	-	-	-	-	-	-	R	R
初期値	0	0	0	0	0	0	0	0

FLASHSTA は、データ・フラッシュ領域の状態を示す読み出し専用の特殊機能レジスタ (SFR) です。

ビットの説明

- ・ **FDERS** (ビット 0)
FDERS は、データ・フラッシュ領域が消去中であることを示すビットです。

FDERS	説明
0	データ・フラッシュ領域は消去中でない (初期値)
1	データ・フラッシュ領域は消去中

- ・ **FDPRS** (ビット 1)
FDPRS は、データ・フラッシュ領域が書き込み中であることを示すビットです。

FDPRS	説明
0	データ・フラッシュ領域は書き込み中でない (初期値)
1	データ・フラッシュ領域は書き込み中

[注意]

FDERS ビット、および FDPRS ビットが“0”であることを確認して、次の消去 / 書き込みを実行してください。どちらかのビットが“1”で消去 / 書き込みを開始した場合は、無効です。

25.3 動作説明

フラッシュ・メモリ書き換え機能を使用する際は、ブロック消去 / セクタ消去、もしくは 1 ワード書き込みの対象となるアドレス以外のプログラム・コード領域に、予めフラッシュ・メモリ書き換え用のプログラムを準備しておく必要があります。

フラッシュ・メモリ書き換え機能には、256 ワード(512 バイト)単位で消去するセクタ消去機能、1K ワード(2K バイト)単位で消去するブロック消去機能、および 1 ワード(2 バイト)単位で書き込む 1 ワード書き込み機能があります。

また、フラッシュ・メモリの誤書き換えを防止するため、フラッシュ・メモリ書き換え動作を制限するフラッシュセルフレジスタおよび、フラッシュアクセプタレジスタを内蔵しています。フラッシュセルフレジスタでフラッシュ・メモリ書き換えを有効にした後、フラッシュアクセプタレジスタ(FLASHACP)に“0FAH”、“0F5H”を書き込むと、ブロック消去 / セクタ消去、もしくは 1 ワード書き込み機能が一度だけ有効になります。

データ・フラッシュ領域の消去 / 書き込み中は、バックグランドオペレーション(BGO)機能により CPU のプログラム処理が継続します。消去 / 書き込み完了は、フラッシュステータスレジスタ(FLASHSTA)の FDPRS ビット、および FDERS ビットで確認してください。または、データ・フラッシュ領域の消去および書き込み完了時に発生するデータ・フラッシュ消去書き込み完了割込み(FDEPINT)を使用してください。データ・フラッシュ消去書き込み完了割込みについては、第 13 章「割込み」を参照してください。

システムクロックに低速クロックを選択している状態でのフラッシュ・メモリ書き換えには対応していません。

フラッシュ・メモリ書き換え時のシステムクロックに関する注意事項を表 25-3 下の【注意】に示します。

表 25-3 に、フラッシュ・メモリ書き換えの仕様を示します。

表 25-3 フラッシュ・メモリ書き換えの仕様

項 目		仕 様
書き換え回数(データ領域 (512B x 4))		10,000 回
動作温度		-40 °C ~ 70 °C
動作電圧	V _{DD}	2.2V ~ 5.5V
セクタ消去時間		(Max.) 50ms
ブロック消去時間		(Max.) 50ms
1 ワード(16 ビット)書き込み		(Max.) 60μs
バックグランドオペレーション(BGO)機能		対応
データ・フラッシュ消去 / 書き込み完了割込み		割込み出力機能あり

【注意】
周波数コントロールレジスタ(FCON1)の高速クロック(HSCLK)発振を許可し、システムクロックとして HSCLK を選択した状態で使用して下さい。

25.3.1 セクタ消去機能

セクタ(512 バイト)単位でフラッシュ・メモリのデータを消去する機能です。
フラッシュセルフレジスタに“01H”を書き込むと、消去可能状態になります。フラッシュアクセプタ(FLASHACP)に“0FAH”, “0F5H”を書き込み、フラッシュセグメントレジスタ(FLASHSEG)とフラッシュアドレスレジスタ H(FLASHAH)にセクタアドレスを設定し、フラッシュコントロールレジスタ(FLASHCON)の FSERS ビットに“1”を書き込むと、FLASHAH で指定されたセクタ(512 バイト)のデータが消去されます。
バックグラウンドオペレーション(BGO)機能により、セクタ消去中も CPU はプログラム処理を継続します。消去完了は、フラッシュステータスレジスタ(FLASHSTA)の FDERS ビットで確認してください。または、データ・フラッシュ領域の消去完了時に発生するデータ・フラッシュ消去書き込み完了割り込み(FDEPINT)を使用してください。データ・フラッシュ消去書き込み完了割り込みについては、第 13 章「割り込み」を参照してください。
図 25-1 に、セクタ消去フローを示します。

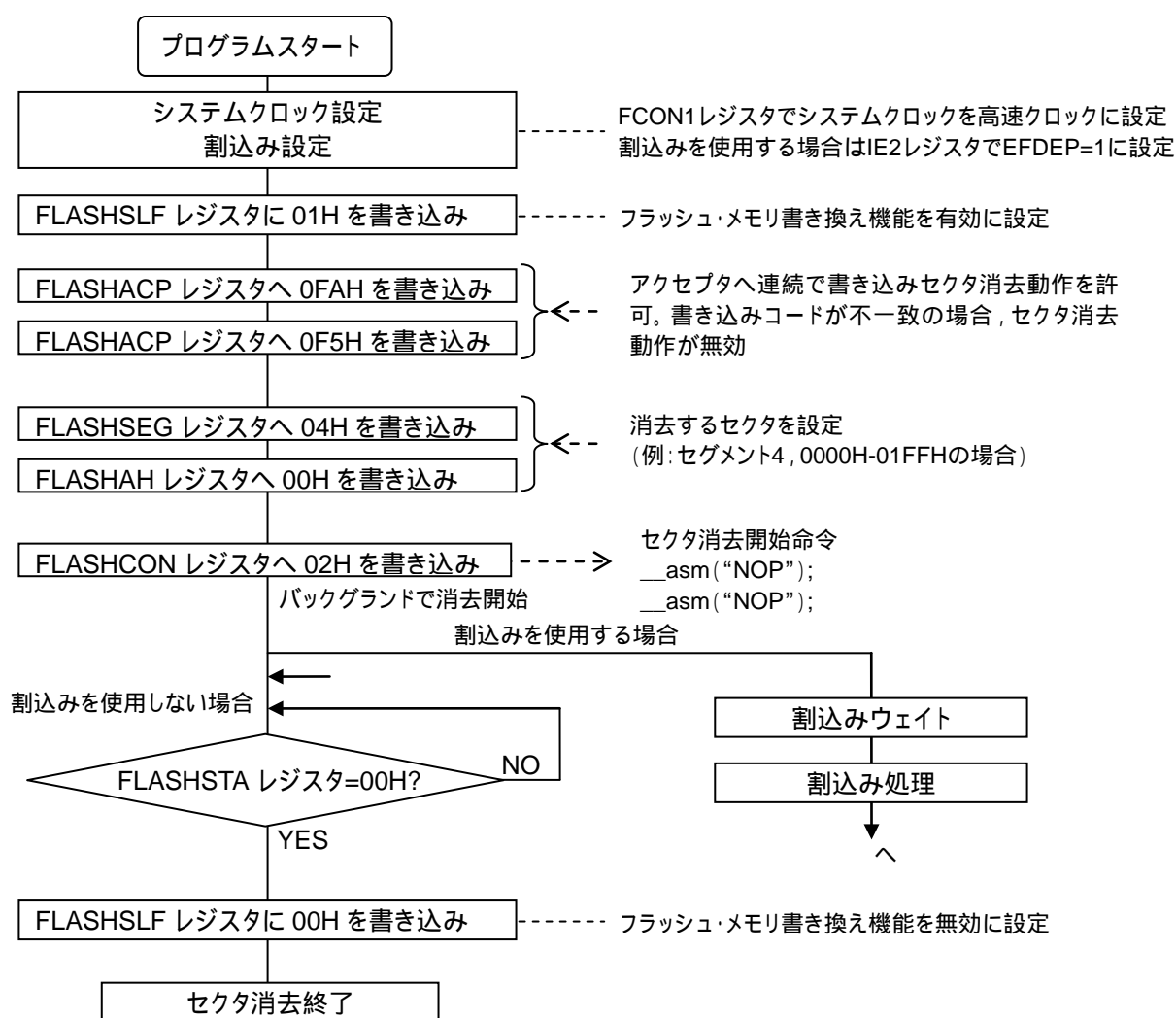


図 25-1 セクタ消去フロー

【注意】

- ・プログラム実行中のデータを消去するとプログラムが誤動作しますので、プログラム実行に関係のないセクタを消去してください。
- ・セクタ消去開始命令の次の命令には必ず NOP 命令を 2 回以上設定してください。
- ・周波数コントロールレジスタ (FCON1) の ENOSC ビットおよび SYSCLK ビットを“1”に設定し、システムクロックとして HSCLK を選択した状態で使用してください。
- ・セクタ消去中も CPU はプログラム処理を継続します。消去中に STOP モードに移行しないでください。また、FLASHSLF レジスタの FSELF ビットは消去終了後に“0” (消去 / 書き込み禁止) に設定してください。
- ・フラッシュプロテクトレジスタ (FLASHPRT) の FPRT0 ビットへ“1”を書き込んだ後、セグメント 4 の 0000H ~ 01FFH 領域へのセクタ消去が無効となります。
- ・フラッシュプロテクトレジスタ (FLASHPRT) の FPRT1 ビットへ“1”を書き込んだ後、セグメント 4 の 0200H ~ 03FFH 領域へのセクタ消去が無効となります。
- ・フラッシュプロテクトレジスタ (FLASHPRT) の FPRT2 ビットへ“1”を書き込んだ後、セグメント 4 の 0400H ~ 05FFH 領域へのセクタ消去が無効となります。
- ・フラッシュプロテクトレジスタ (FLASHPRT) の FPRT3 ビットへ“1”を書き込んだ後、セグメント 4 の 0600H ~ 07FFH 領域へのセクタ消去が無効となります。

25.3.2 ブロック消去機能

ブロック(2K バイト)単位でフラッシュ・メモリのデータを消去する機能です。
 フラッシュセルフレジスタに“01H”を書き込むと消去可能状態になります。フラッシュアクセプタ(FLASHACP)に“0FAH”, “0F5H”を書き込み、フラッシュセグメントレジスタ(FLASHSEG)とフラッシュアドレスレジスタ H(FLASHAH)にブロックアドレスを設定し、フラッシュコントロールレジスタ(FLASHCON)の FERS ビットに“1”を書き込むと、FLASHAH で指定されたブロック(2K バイト)のデータが消去されます。
 バックグラウンドオペレーション(BGO)機能により、ブロック消去中も CPU はプログラム処理を継続します。消去完了は、フラッシュステータスレジスタ(FLASHSTA)の FDEFS ビットで確認してください。または、データ・フラッシュ領域の消去完了時に発生するデータ・フラッシュ消去書き込み完了割り込み(FDEPINT)を使用してください。データ・フラッシュ消去書き込み完了割り込みについては、第 13 章「割り込み」を参照してください。
 図 25-2 に、ブロック消去フローを示します。

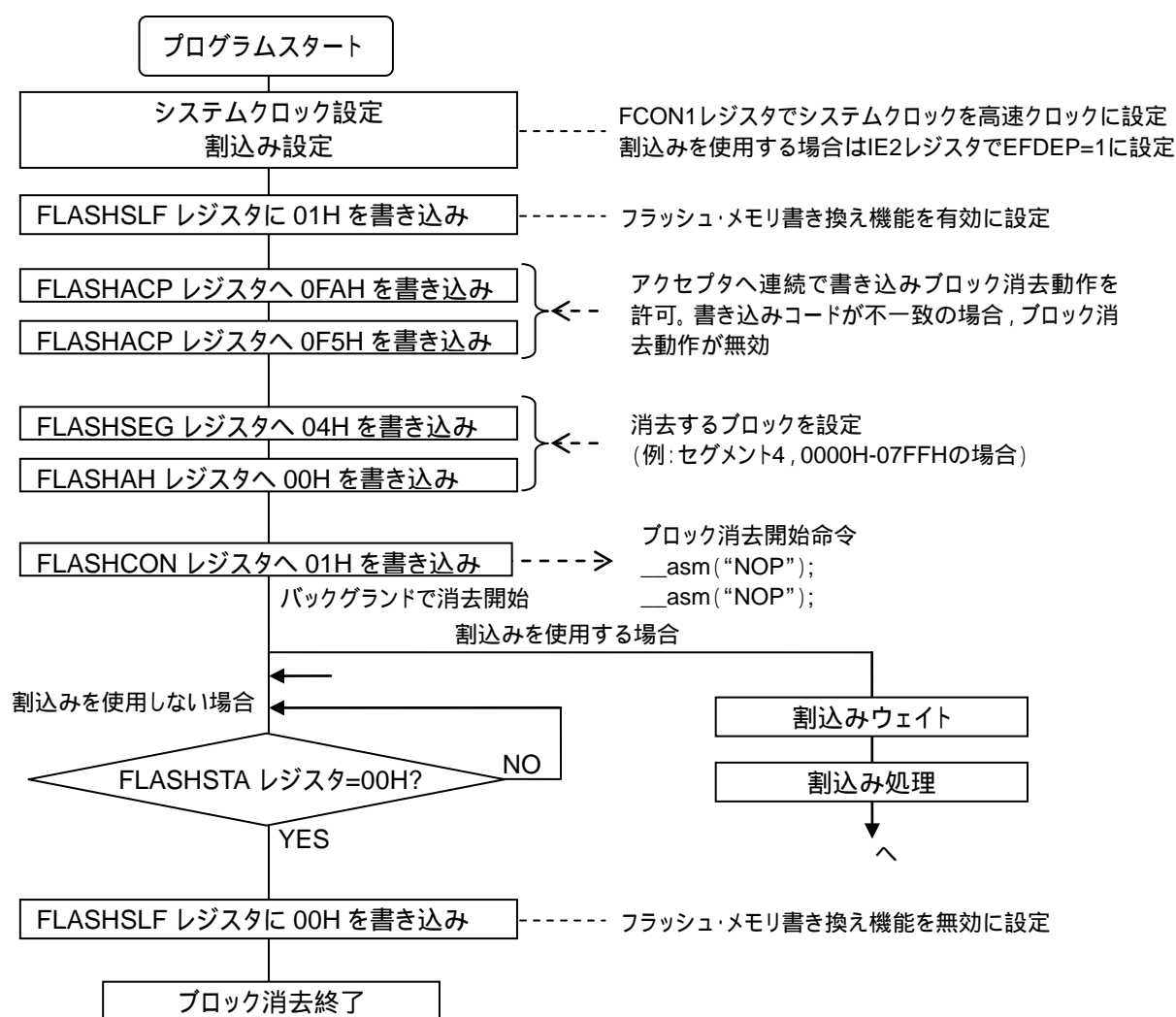


図 25-2 ブロック消去フロー

【注意】

- ・プログラム実行中のデータを消去するとプログラムが誤動作しますので、プログラム実行に関係のないブロックを消去してください。
- ・ブロック消去開始命令の次の命令には必ず NOP 命令を 2 回以上設定してください。
- ・周波数コントロールレジスタ(FCON1)の ENOSC ビットおよび SYSCLK ビットを“1”に設定し、システムクロックとして HSCLK を選択した状態で使用してください。
- ・ブロック消去中も CPU はプログラム処理を継続します。消去中に STOP モードに移行しないでください。また、FLASHSLF レジスタの FSELF ビットは消去終了後に“0” (消去 / 書き込み禁止) に設定してください。
- ・フラッシュプロテクトレジスタ(FLASHPRT)の FPRT0 ~ FPRT3 のいずれか一つでも“1”を書き込むと、以降のセグメント 4 の 0000H ~ 07FFH のブロック消去が無効になります。

25.3.3 1 ワード書き込み機能

1 ワード(2 バイト)単位でフラッシュ・メモリにデータを書き込む機能です。
フラッシュセルフレジスタに“01H”を書き込むと、書き込み可能状態になります。フラッシュアクセプタ(FLASHACP)に“0FAH”、“0F5H”を書き込み、フラッシュセグメントレジスタ(FLASHSEG)とフラッシュアドレスレジスタ L, H (FLASHAL, H) にアドレスを設定し、フラッシュデータレジスタ L, H (FLASHDL, H) にデータを書き込むと、FLASHSEG, FLASHAL, H で指定されたアドレスにデータが書き込まれます。
バックグラウンドオペレーション(BGO)機能により、1 ワード書き込み中も CPU はプログラム処理を継続します。書き込み完了は、フラッシュステータスレジスタ(FLASHSTA)の FDPRS ビットで確認してください。または、データ・フラッシュ領域の書き込み完了時に発生するデータ・フラッシュ消去書き込み完了割り込み(FDEPINT)を使用してください。データ・フラッシュ消去書き込み完了割り込みについては、第 13 章「割り込み」を参照してください。
図 25-3 に、1 ワード書き込みフローを示します。

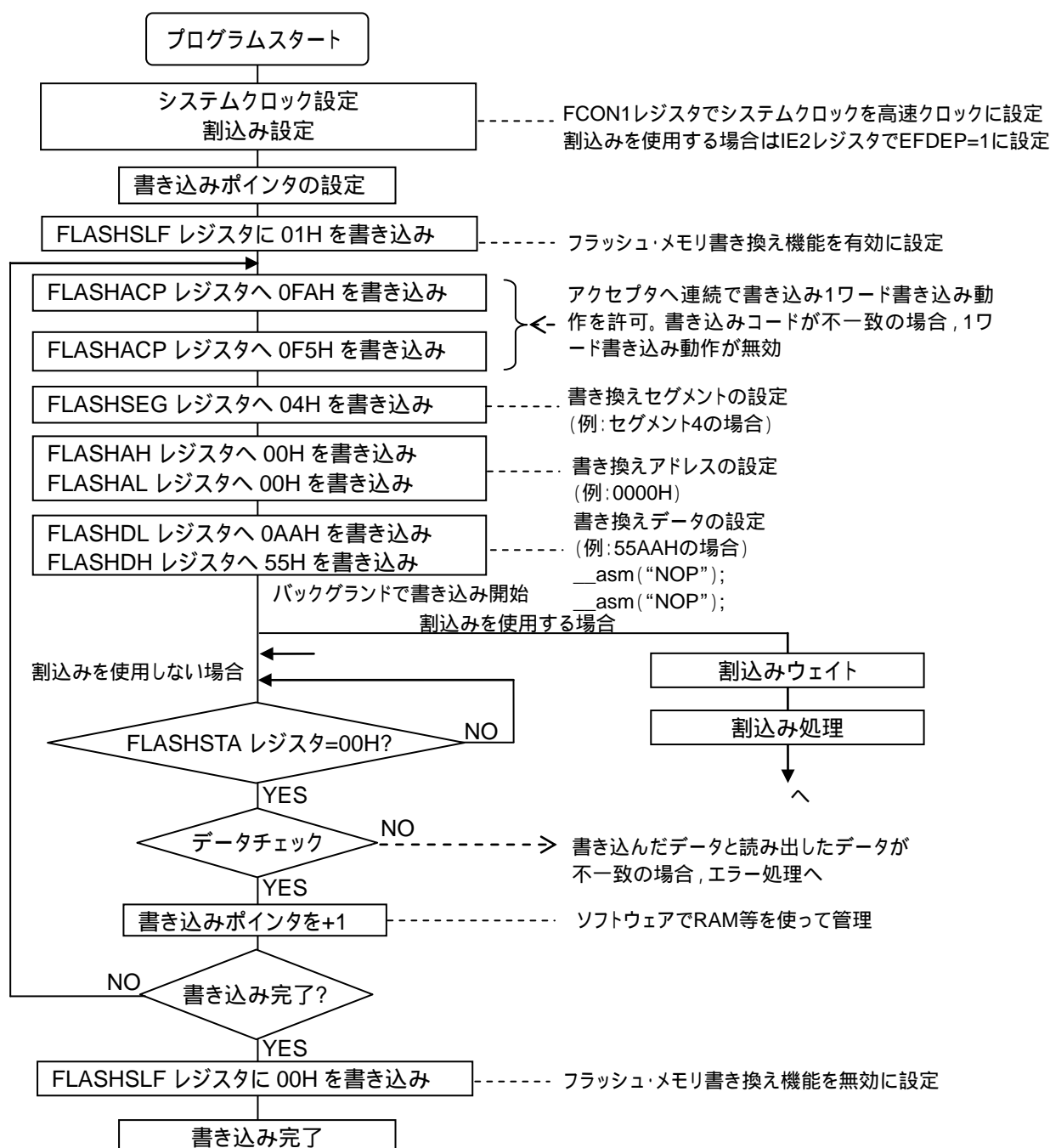


図 25-3 1 ワード書き込みフロー

【注意】

- ・プログラム実行中のデータを消去するとプログラムが誤動作しますので、プログラム実行に関係のないブロックを消去してください。
- ・1 ワード書き込み開始命令の次の命令には必ず NOP 命令を 2 回以上設定してください。
- ・周波数コントロールレジスタ(FCON1)の ENOSC ビットおよび SYSCLK ビットを“1”に設定し、システムクロックとして HSCLK を選択した状態で使用してください。
- ・1 ワード書き込み中も CPU はプログラム処理を継続します。書き込み中に STOP モードに移行しないでください。また、FLASHSLF レジスタの FSELF ビットは書き込み終了後に“0” (消去 / 書き込み禁止) に設定してください。
- ・フラッシュプロテクトレジスタ(FLASHPRT)の FPRT0 ビットへ“1”を書き込んだ後、セグメント 4 の 0000H ~ 01FFH 領域への 1 ワード書き込みが無効となります。
- ・フラッシュプロテクトレジスタ(FLASHPRT)の FPRT1 ビットへ“1”を書き込んだ後、セグメント 4 の 0200H ~ 03FFH 領域への 1 ワード書き込みが無効となります。
- ・フラッシュプロテクトレジスタ(FLASHPRT)の FPRT2 ビットへ“1”を書き込んだ後、セグメント 4 の 0400H ~ 05FFH 領域への 1 ワード書き込みが無効となります。
- ・フラッシュプロテクトレジスタ(FLASHPRT)の FPRT3 ビットへ“1”を書き込んだ後、セグメント 4 の 0600H ~ 07FFH 領域への 1 ワード書き込みが無効となります。

25.3.4 使用上の注意

セクタ消去中、ブロック消去中、もしくは 1 ワード書き込み中に電源の瞬断が発生した場合もしくは、リセットによる強制終了が発生した場合のフラッシュ・メモリのデータは保証できません。再度ブロック消去もしくはセクタ消去を行い、ブロックまたはセクタを書き換えてください。

プログラム領域の 0:0000H を含むブロックもしくはセクタの書き換え中に電源の瞬断や強制終了が発生し、本 LSI が起動しなくなった場合は、オンチップデバッグエミュレータ(EASE1000 V2)を用いて再度書き込んでください。

第 26 章 電源回路

26 電源回路

26.1 概要

本 LSI は、内部ロジックおよび発振回路用定電圧回路 (VRL) を内蔵しています。
スピーカ回路用電源 (SPV_{DD}, SPV_{SS}) の回路構成については、「第 24 章 スピーカアンプ」を参照してください。

26.1.1 特長

- ・ VRL は、内部ロジック回路、発振回路 (高速 PLL 発振回路、低速 RC 発振回路)、プログラム・メモリ、データ・メモリの動作電圧 V_{DDL} を出力

26.1.2 構成

図 26-1 に電源回路の構成を示します。

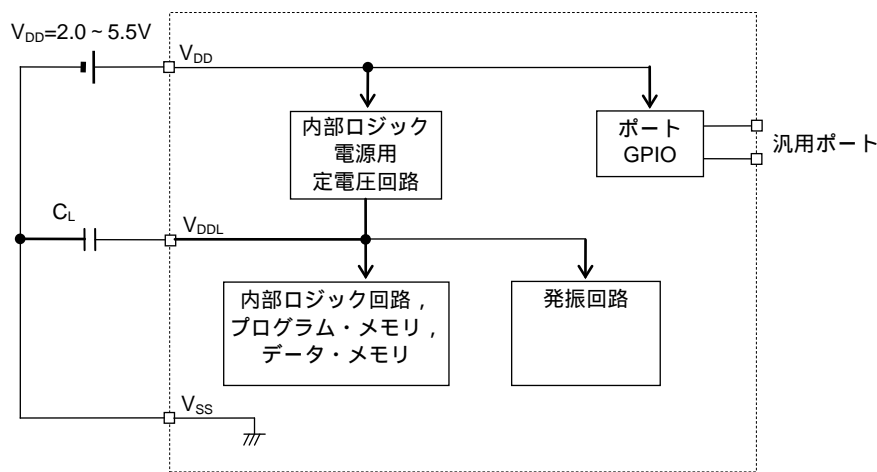


図 26-1 電源回路の構成

26.1.3 端子一覧

端子名	入出力	機能
V _{DDL}	-	内部ロジック回路用プラス側電源端子

26.2 動作説明

V_{DDL} 電圧は、電源投入後、すべての動作モードにおいて約 1.55V になります。

図 26-2 に電源回路の動作波形を示します。

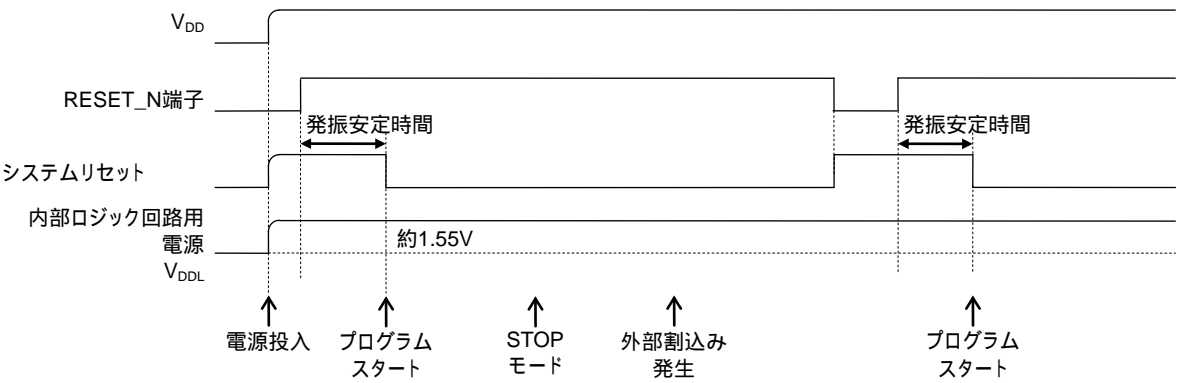


図 26-2 電源回路の動作波形

第 27 章 オンチップデバッグ機能

27 オンチップデバッグ機能

27.1 概要

本 LSI は、フラッシュメモリ書き換え機能を備えたオンチップデバッグ機能を内蔵しています。
オンチップデバッグ機能は本 LSI にオンチップデバッグエミュレータ (EASE1000 V2) を接続して使用します。
オンチップデバッグエミュレータ (EASE1000 V2) については『EASE1000 V2 ユーザーズマニュアル』を参照してください。

27.2 オンチップデバッグエミュレータとの接続方法

図 27-1 に V_{DD} に EASE1000 V2 から出力される電源 (3.3VOUT) を使用する時のオンチップデバッグエミュレータ (EASE1000 V2) との接続図を示します。

図 27-2 に V_{DD} にお客様の電源回路で生成される電源を使用する時のオンチップデバッグエミュレータ (EASE1000 V2) との接続図を示します。

TEST1_N 端子は、オンチップデバッグエミュレータを使用しない場合ジャンパ等で V_{DD} に接続できるように、または 1k Ω 程度で V_{DD} にプルアップ接続してください。

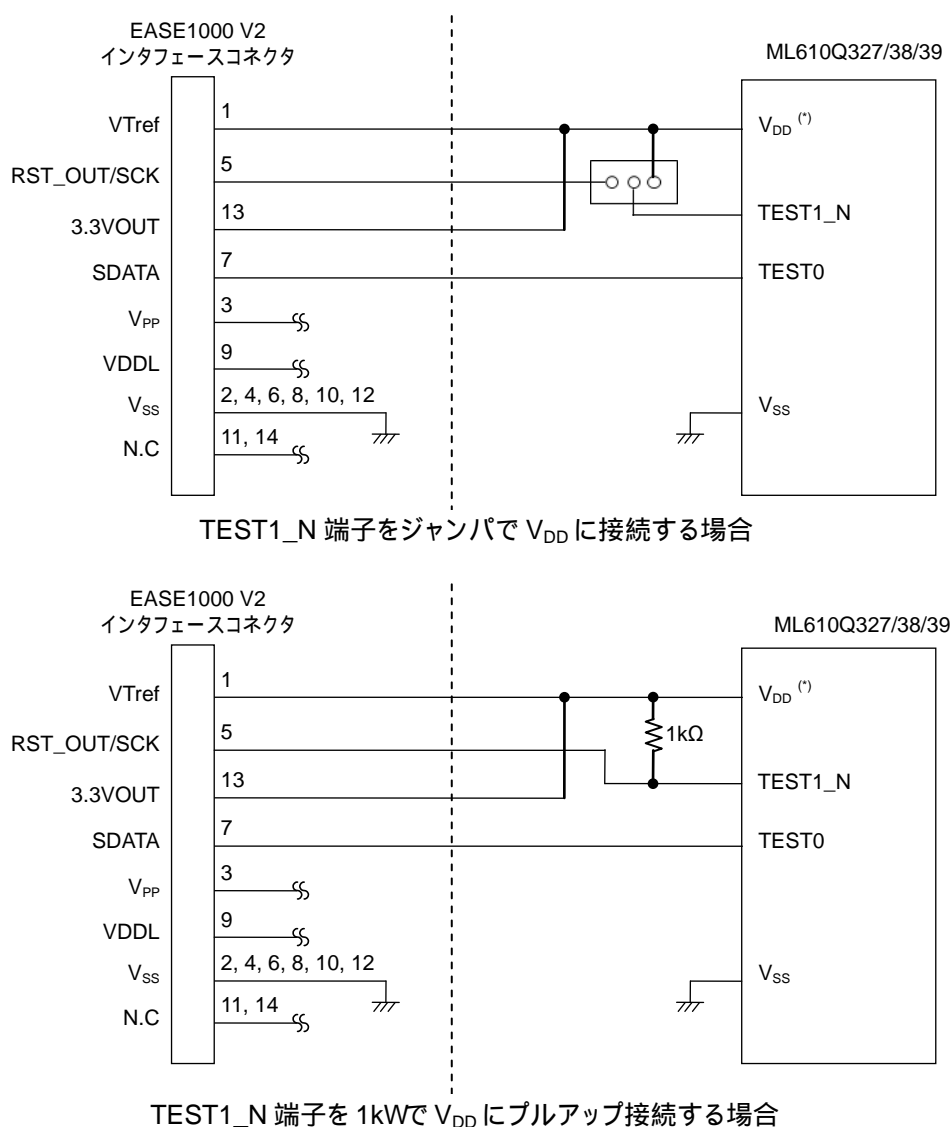
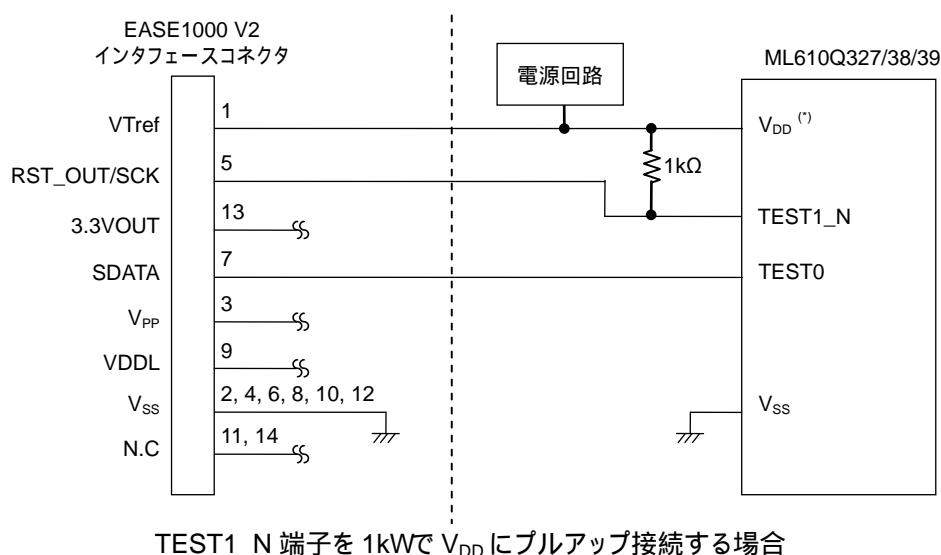
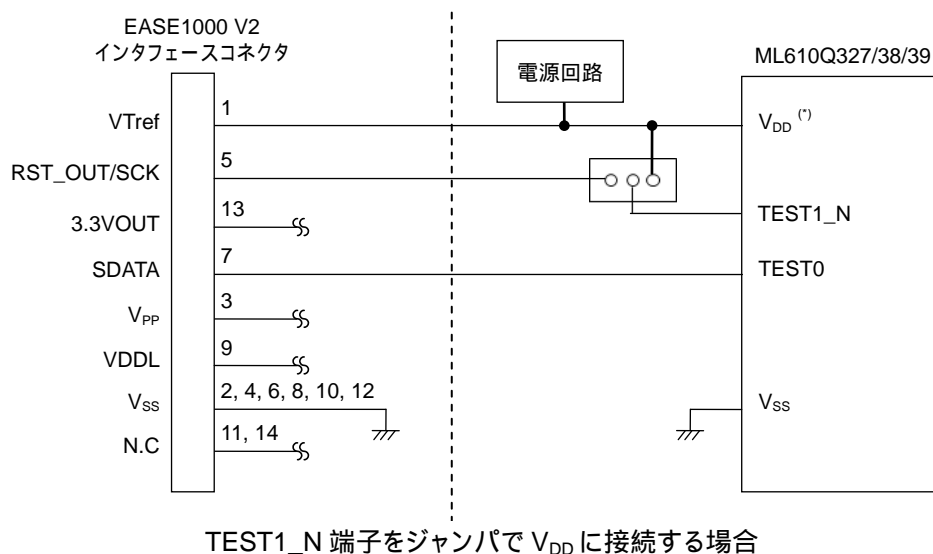


図 27-1 V_{DD} に EASE1000 V2 から出力する電源 (3.3VOUT) を使用する時の EASE1000 V2 接続図

(*) $V_{DD} - V_{SS}$ 間に「付録 C 電気的特性」推奨動作条件の V_{DD} 端子外付け容量(C_V)を接続

図 27-2 V_{DD} にお客様の電源回路で生成する電源を使用する時の EASE1000 V2 接続図

^(*) V_{DD} - V_{SS} 間に「付録 C 電気的特性」推奨動作条件の V_{DD} 端子外付け容量(C_v)を接続

【注意】

- ① デバッグに使用した LSI は量産品として使用しないでください。
- ② 基板実装後にオンチップデバッグ機能、もしくはフラッシュ書き換え機能を使用する場合は、オンチップデバッグエミュレータとの接続に必要な 4 端子 (V_{DD}, V_{SS}, TEST1_N, TEST0) が接続できるように基板を設計してください。詳細に関しては、『EASE1000 V2 ユーザーズマニュアル』を参照してください。
- ③ オンチップデバッグエミュレータ (EASE1000 V2) でデバッグ時には、ターゲットチップとして『ML610327』, 『ML610338』, または『ML610339』を選択してください。

第 28 章 コードオプション

28 コードオプション

28.1 概要

本 LSI は、コードオプション機能を内蔵しています。
プログラム・メモリのテストデータ領域に書き込んだコードオプションデータにより、LLD 回路の検出電圧を選択します。

28.1.1 特長

- ・ LLD 回路の検出電圧を選択可能

28.2 レジスタ説明

28.2.1 レジスタ一覧

アドレス	名称	略称(Byte)	略称(Word)	R/W	サイズ	初期値
0F3D8H	コードオプションレジスタ 0	CODEOP0		R	8	不定*

* コードオプションレジスタ 0 の初期値は、プログラム・メモリのテストデータ領域に書き込まれたコードオプションデータに依存します。

28.2.2 コードオプションレジスタ 0 (CODEOP0)

アドレス:0F3D8H
 アクセス:R
 アクセスサイズ:8 ビット
 初期値:不定*

	7	6	5	4	3	2	1	0
CODEOP0						LLD2	LLD1	LLD0
R/W						R	R	R
初期値	0/1*	0/1*	0/1*	0/1*	0/1*	0/1*	0/1*	0/1*

CODEOP0 は、設定されたコードオプションデータを読み出すことが可能な特殊機能レジスタ (SFR) です。
 CODEOP0 は読み出しのみ可能で、書き込みは無効です。
 コードオプションデータの設定方法については、「28.3 コードオプションデータの設定方法」を参照してください。

* コードオプションレジスタ 0 の初期値は、プログラム・メモリのテストデータ領域に書き込まれたコードオプションデータに依存します。

ビットの説明

- ・ **LLD2, LLD1, LLD0**(ビット 2, ビット 1, ビット 0)
 LLD2, LLD1, LLD0 は、LLD 回路の検出電圧を選択するビットです。

LLD2	LLD1	LLD0	検出電圧 V _{TH}	ヒステリシス幅 Ta=25°C
1	1	1	1.9V	100mV(Typ.)
1	1	0	2.1V	
1	0	1	2.3V	
1	0	0	2.5V	
0	1	1	2.7V	
0	1	0	2.1V	
0	0	1	2.3V	
0	0	0	2.5V	

28.3 コードオプションデータの設定方法

28.3.1 コードオプションデータのフォーマット

コードオプションデータは、プログラム・メモリのテストデータ領域である 0:0FDE0H アドレスに設定します。

アドレス	7	6	5	4	3	2	1	0
上記参照	*	*	*	*	*	LLD2	LLD1	LLD0

アドレス	15	14	13	12	11	10	9	8
上記参照	*	*	*	*	*	*	*	*

※: “0”を設定してください

28.3.2 コードオプションデータのプログラム方法

コードオプションデータのプログラム例を図 28-1 に示します。

```

例
LLD の検出電圧は 2.3V
;-----
;      Setting the code-option data
;-----
      cseg at 0:0fde0h      ;設定アドレス
      dw    0001h          ;LLD の設定

```

図 28-1 コードオプションデータのプログラム例

【注意】
コードオプションデータ以外のテストデータ領域は“0FFH”データを設定してください。

28.4 コードオプションデータの参照方法

コードオプションデータは、コードオプションデータを設定するプログラム・メモリ空間のセグメント 0 のアドレス(0:0fde0h) に対して、データ・メモリ空間でミラー領域となるセグメント 8 のアドレス(8:0fde0h) から読み出し可能です。以下に読み出しプログラム例を示します。

アセンブラ記述例

```
L      R0,8:0FDE0h;  8:0FDE0h を読み出し
AND    R0, #07h;
CMP    R0, #02h;
BEQ    < LLD 検出電圧 2.1V 時処理>;
```

C プログラム記述例

```
#define CODEOP (*(volatile unsigned int __far *)0x8FDE0)

if(CODEOP & 0x07 == 0x02) LLD 検出電圧 2.1V 時処理();
```

付録

付録 A レジスター一覧

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F000H	データセグメントレジスタ	DSR	-	R/W	8	00H
0F001H	リセットステータスレジスタ	RSTAT	-	R/W	8	不定
0F002H	周波数コントロールレジスタ 0	FCON0	FCON	R/W	8/16	33H
0F003H	周波数コントロールレジスタ 1	FCON1		R/W	8	83H
0F008H	ストップコードアクセプタ	STPACP	-	W	8	00H
0F009H	スタンバイコントロールレジスタ	SBYCON	-	W	8	00H
0F00AH	低速側タイムベースカウンタレジスタ	LTBR	-	R/W	8	00H
0F00BH	高速側タイムベースカウンタ分周レジスタ	HTBDR	-	R/W	8	00H
0F00EH	ウォッチドッグタイムコントロールレジスタ	WDTCN	-	R/W	8	00H
0F00FH	ウォッチドッグタイムモードレジスタ	WDTMOD	-	R/W	8	02H
0F011H	割込み許可レジスタ 1	IE1	-	R/W	8	00H
0F012H	割込み許可レジスタ 2	IE2	-	R/W	8	00H
0F013H	割込み許可レジスタ 3	IE3	-	R/W	8	00H
0F014H	割込み許可レジスタ 4	IE4	-	R/W	8	00H
0F015H	割込み許可レジスタ 5	IE5	-	R/W	8	00H
0F016H	割込み許可レジスタ 6	IE6	-	R/W	8	00H
0F017H	割込み許可レジスタ 7	IE7	-	R/W	8	00H
0F018H	割込み要求レジスタ 0	IRQ0	-	R/W	8	00H
0F019H	割込み要求レジスタ 1	IRQ1	-	R/W	8	00H
0F01AH	割込み要求レジスタ 2	IRQ2	-	R/W	8	00H
0F01BH	割込み要求レジスタ 3	IRQ3	-	R/W	8	00H
0F01CH	割込み要求レジスタ 4	IRQ4	-	R/W	8	00H
0F01DH	割込み要求レジスタ 5	IRQ5	-	R/W	8	00H
0F01EH	割込み要求レジスタ 6	IRQ6	-	R/W	8	00H
0F01FH	割込み要求レジスタ 7	IRQ7	-	R/W	8	00H
0F024H	ポート 8 割込みコントロールレジスタ 0	P8ICON0	-	R/W	8	00H
0F025H	ポート 8 割込みコントロールレジスタ 1	P8ICON1	-	R/W	8	00H
0F026H	ポート 8 割込みコントロールレジスタ 2	P8ICON2	-	R/W	8	00H
0F028H	ブロックコントロールレジスタ 0	BLKCON0	-	R/W	8	00H
0F029H	ブロックコントロールレジスタ 1	BLKCON1	-	R/W	8	00H
0F02AH	ブロックコントロールレジスタ 2	BLKCON2	-	R/W	8	00H
0F02BH	ブロックコントロールレジスタ 3	BLKCON3	-	R/W	8	00H
0F02CH	ブロックコントロールレジスタ 4	BLKCON4	-	R/W	8	00H
0F030H	タイマ 0 データレジスタ	TM0D	TM0DC	R/W	8/16	0FFH
0F031H	タイマ 0 カウンタレジスタ	TM0C		R/W	8	00H
0F032H	タイマ 0 コントロールレジスタ 0	TM0CON0	TM0CON	R/W	8/16	00H
0F033H	タイマ 0 コントロールレジスタ 1	TM0CON1		R/W	8	00H
0F034H	タイマ 1 データレジスタ	TM1D	TM1DC	R/W	8/16	0FFH
0F035H	タイマ 1 カウンタレジスタ	TM1C		R/W	8	00H
0F036H	タイマ 1 コントロールレジスタ 0	TM1CON0	TM1CON	R/W	8/16	00H
0F037H	タイマ 1 コントロールレジスタ 1	TM1CON1		R/W	8	00H
0F038H	タイマ 2 データレジスタ	TM2D	TM2DC	R/W	8/16	0FFH
0F039H	タイマ 2 カウンタレジスタ	TM2C		R/W	8	00H
0F03AH	タイマ 2 コントロールレジスタ 0	TM2CON0	TM2CON	R/W	8/16	00H
0F03BH	タイマ 2 コントロールレジスタ 1	TM2CON1		R/W	8	00H

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F03CH	タイマ 3 データレジスタ	TM3D	TM3DC	R/W	8/16	0FFH
0F03DH	タイマ 3 カウンタレジスタ	TM3C		R/W	8	00H
0F03EH	タイマ 3 コントロールレジスタ 0	TM3CON0	TM3CON	R/W	8/16	00H
0F03FH	タイマ 3 コントロールレジスタ 1	TM3CON1		R/W	8	00H
0F0A0H	PWM0 周期レジスタ L	PW0PL	PW0P	R/W	8/16	0FFH
0F0A1H	PWM0 周期レジスタ H	PW0PH		R/W	8	0FFH
0F0A2H	PWM0 デューティレジスタ L	PW0DL	PW0D	R/W	8/16	00H
0F0A3H	PWM0 デューティレジスタ H	PW0DH		R/W	8	00H
0F0A4H	PWM0 カウンタレジスタ L	PW0CL	PW0C	R/W	8/16	00H
0F0A5H	PWM0 カウンタレジスタ H	PW0CH		R/W	8	00H
0F0A6H	PWM0 コントロールレジスタ 0	PW0CON0	PW0CON	R/W	8/16	00H
0F0A7H	PWM0 コントロールレジスタ 1	PW0CON1		R/W	8	40H
0F0A8H	PWM1 周期レジスタ L	PW1PL	PW1P	R/W	8/16	0FFH
0F0A9H	PWM1 周期レジスタ H	PW1PH		R/W	8	0FFH
0F0AAH	PWM1 デューティレジスタ L	PW1DL	PW1D	R/W	8/16	00H
0F0ABH	PWM1 デューティレジスタ H	PW1DH		R/W	8	00H
0F0ACH	PWM1 カウンタレジスタ L	PW1CL	PW1C	R/W	8/16	00H
0F0ADH	PWM1 カウンタレジスタ H	PW1CH		R/W	8	00H
0F0AEH	PWM1 コントロールレジスタ 0	PW1CON0	PW1CON	R/W	8/16	00H
0F0AFH	PWM1 コントロールレジスタ 1	PW1CON1		R/W	8	40H
0F0B0H	PWM2 周期レジスタ L	PW2PL	PW2P	R/W	8/16	0FFH
0F0B1H	PWM2 周期レジスタ H	PW2PH		R/W	8	0FFH
0F0B2H	PWM2 デューティレジスタ L	PW2DL	PW2D	R/W	8/16	00H
0F0B3H	PWM2 デューティレジスタ H	PW2DH		R/W	8	00H
0F0B4H	PWM2 カウンタレジスタ L	PW2CL	PW2C	R/W	8/16	00H
0F0B5H	PWM2 カウンタレジスタ H	PW2CH		R/W	8	00H
0F0B6H	PWM2 コントロールレジスタ 0	PW2CON0	PW2CON	R/W	8/16	00H
0F0B7H	PWM2 コントロールレジスタ 1	PW2CON1		R/W	8	40H
0F0E0H	フラッシュアドレスレジスタ L	FLASHAL	FLASHA	R/W	8/16	00H
0F0E1H	フラッシュアドレスレジスタ H	FLASHAH		R/W	8	00H
0F0E2H	フラッシュデータレジスタ L	FLASHDL	FLASHD	R/W	8/16	00H
0F0E3H	フラッシュデータレジスタ H	FLASHDH		R/W	8	00H
0F0E4H	フラッシュコントロールレジスタ	FLASHCON	-	W	8	00H
0F0E5H	フラッシュアクセプタ	FLASHACP	-	W	8	00H
0F0E6H	フラッシュセグメントレジスタ	FLASHSEG	-	R/W	8	00H
0F0E7H	フラッシュセルフレジスタ	FLASHSLF	-	R/W	8	00H
0F0E8H	フラッシュプロテクトレジスタ	FLASHPRT	-	R/W	8	00H
0F0EAH	フラッシュステータスレジスタ	FLASHSTA	-	R	8	00H
0F210H	ポート 2 データレジスタ	P2D	-	R/W	8	00H
0F212H	ポート 2 コントロールレジスタ 0	P2CON0	P2CON	R/W	8/16	00H
0F213H	ポート 2 コントロールレジスタ 1	P2CON1		R/W	8	00H
0F214H	ポート 2 モードレジスタ	P2MOD	-	R/W	8	00H
0F220H	ポート 4 データレジスタ	P4D	-	R/W	8	00H
0F221H	ポート 4 ディレクションレジスタ	P4DIR	-	R/W	8	00H
0F222H	ポート 4 コントロールレジスタ 0	P4CON0	P4CON	R/W	8/16	00H
0F223H	ポート 4 コントロールレジスタ 1	P4CON1		R/W	8	00H
0F224H	ポート 4 モードレジスタ 0	P4MOD0	P4MOD	R/W	8/16	00H
0F225H	ポート 4 モードレジスタ 1	P4MOD1		R/W	8	00H
0F240H	ポート 8 データレジスタ	P8D	-	R/W	8	00H

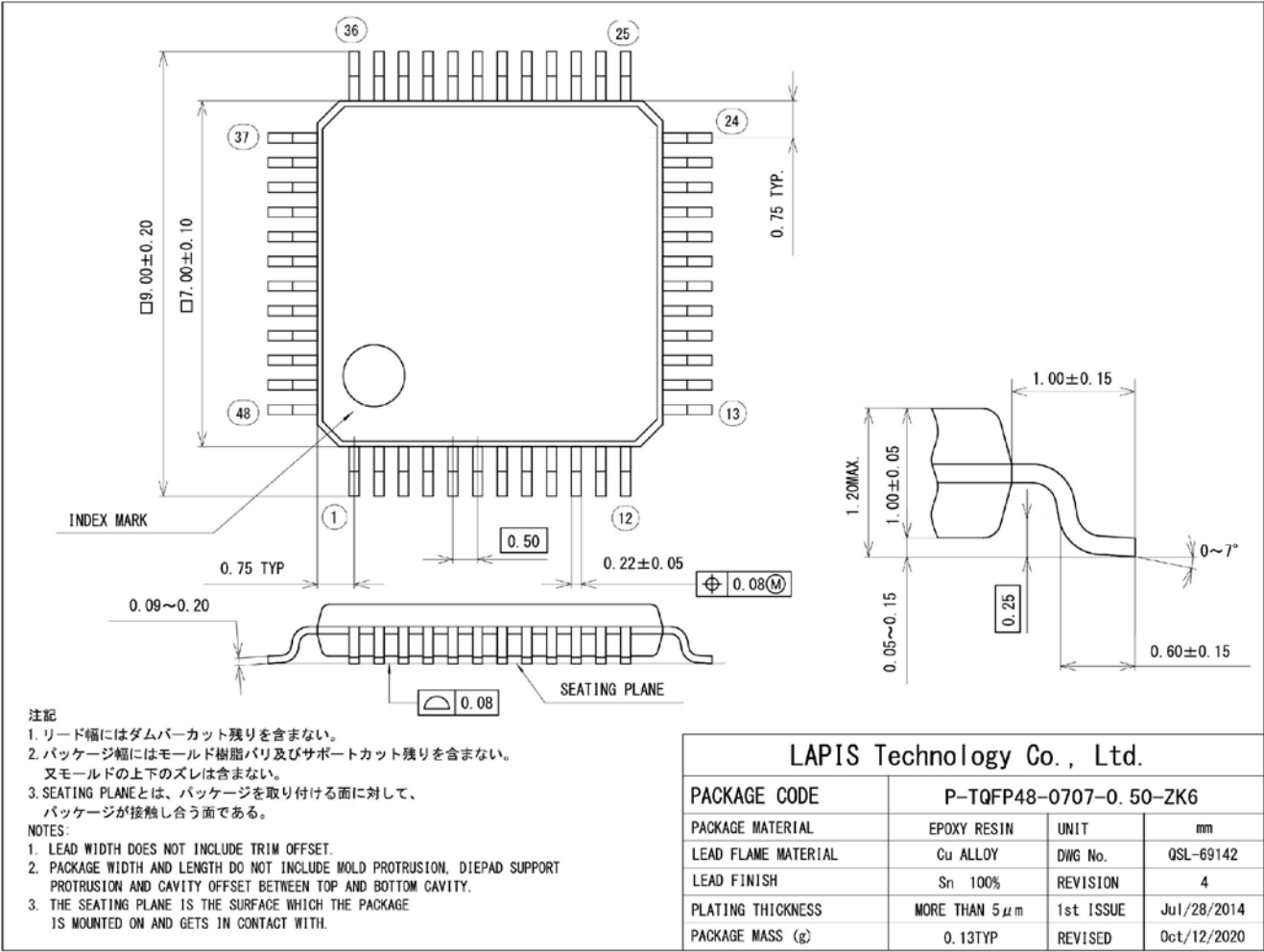
アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F241H	ポート 8 ディレクションレジスタ	P8DIR	-	R/W	8	00H
0F242H	ポート 8 コントロールレジスタ 0	P8CON0	P8CON	R/W	8/16	00H
0F243H	ポート 8 コントロールレジスタ 1	P8CON1		R/W	8	00H
0F244H	ポート 8 モードレジスタ 0	P8MOD0	P8MOD	R/W	8/16	00H
0F245H	ポート 8 モードレジスタ 1	P8MOD1		R/W	8	00H
0F248H	ポート 9 データレジスタ	P9D	-	R/W	8	00H
0F249H	ポート 9 ディレクションレジスタ	P9DIR	-	R/W	8	00H
0F24AH	ポート 9 コントロールレジスタ 0	P9CON0	P9CON	R/W	8/16	00H
0F24BH	ポート 9 コントロールレジスタ 1	P9CON1		R/W	8	00H
0F250H	ポート A データレジスタ	PAD	-	R/W	8	00H
0F251H	ポート A ディレクションレジスタ	PADIR	-	R/W	8	00H
0F252H	ポート A コントロールレジスタ 0	PACON0	PACON	R/W	8/16	00H
0F253H	ポート A コントロールレジスタ 1	PACON1		R/W	8	00H
0F254H	ポート A モードレジスタ 0	PAMOD0	-	R/W	8	00H
0F258H	ポート B データレジスタ	PBD	-	R/W	8	00H
0F259H	ポート B ディレクションレジスタ	PBDIR	-	R/W	8	00H
0F25AH	ポート B コントロールレジスタ 0	PBCON0	PBCON	R/W	8/16	00H
0F25BH	ポート B コントロールレジスタ 1	PBCON1		R/W	8	00H
0F25CH	ポート B モードレジスタ 0	PBMOD0	-	R/W	8	00H
0F260H	ポート C データレジスタ	PCD	-	R/W	8	00H
0F261H	ポート C ディレクションレジスタ	PCDIR	-	R/W	8	00H
0F262H	ポート C コントロールレジスタ 0	PCCON0	PCCON	R/W	8/16	00H
0F263H	ポート C コントロールレジスタ 1	PCCON1		R/W	8	00H
0F280H	シリアルポート 0 送受信バッファ L	SIO0BUFL	SIO0BUF	R/W	8/16	00H
0F281H	シリアルポート 0 送受信バッファ H	SIO0BUFH		R/W	8	00H
0F282H	シリアルポート 0 コントロールレジスタ	SIO0CON	-	R/W	8	00H
0F284H	シリアルポート 0 モードレジスタ 0	SIO0MOD0	SIO0MOD	R/W	8/16	00H
0F285H	シリアルポート 0 モードレジスタ 1	SIO0MOD1		R/W	8	00H
0F288H	シリアルポート 1 送受信バッファ L	SIO1BUFL	SIO1BUF	R/W	8/16	00H
0F289H	シリアルポート 1 送受信バッファ H	SIO1BUFH		R/W	8	00H
0F28AH	シリアルポート 1 コントロールレジスタ	SIO1CON	-	R/W	8	00H
0F28CH	シリアルポート 1 モードレジスタ 0	SIO1MOD0	SIO1MOD	R/W	8/16	00H
0F28DH	シリアルポート 1 モードレジスタ 1	SIO1MOD1		R/W	8	00H
0F290H	UART0 送受信バッファ	UA0BUF	-	R/W	8	00H
0F291H	UART0 コントロールレジスタ	UA0CON	-	R/W	8	00H
0F292H	UART0 モードレジスタ 0	UA0MOD0	UA0MOD	R/W	8/16	00H
0F293H	UART0 モードレジスタ 1	UA0MOD1		R/W	8	00H
0F294H	UART0 ボーレートレジスタ L	UA0BRTL	UA0BRT	R/W	8/16	0FFH
0F295H	UART0 ボーレートレジスタ H	UA0BRTH		R/W	8	0FH
0F296H	UART0 ステータスレジスタ	UA0STAT	-	R/W	8	00H
0F298H	UART1 送受信バッファ	UA1BUF	-	R/W	8	00H
0F299H	UART1 コントロールレジスタ	UA1CON	-	R/W	8	00H
0F29AH	UART1 モードレジスタ 0	UA1MOD0	UA1MOD	R/W	8/16	00H
0F29BH	UART1 モードレジスタ 1	UA1MOD1		R/W	8	00H
0F29CH	UART1 ボーレートレジスタ L	UA1BRTL	UA1BRT	R/W	8/16	0FFH
0F29DH	UART1 ボーレートレジスタ H	UA1BRTH		R/W	8	0FH
0F29EH	UART1 ステータスレジスタ	UA1STAT	-	R/W	8	00H
0F2A0H	I ² C バス 0 受信レジスタ	I2C0RD	-	R	8	00H
0F2A1H	I ² C バス 0 スレーブアドレスレジスタ	I2C0SA	-	R/W	8	00H

アドレス	名称	略称 (Byte)	略称 (Word)	R/W	サイズ	初期値
0F2A2H	I ² C バス 0 送信データレジスタ	I2C0TD	-	R/W	8	00H
0F2A3H	I ² C バス 0 コントロールレジスタ	I2C0CON	-	R/W	8	00H
0F2A4H	I ² C バス 0 モードレジスタ	I2C0MOD	-	R/W	8	00H
0F2A5H	I ² C バス 0 ステータスレジスタ	I2C0STAT	-	R	8	00H
0F2A8H	I ² C バス 1 受信レジスタ	I2C1RD	-	R	8	00H
0F2A9H	I ² C バス 1 スレーブアドレスレジスタ	I2C1SA	-	R/W	8	00H
0F2AAH	I ² C バス 1 送信データレジスタ	I2C1TD	-	R/W	8	00H
0F2ABH	I ² C バス 1 コントロールレジスタ	I2C1CON	-	R/W	8	00H
0F2ACH	I ² C バス 1 モードレジスタ	I2C1MOD	-	R/W	8	00H
0F2ADH	I ² C バス 1 ステータスレジスタ	I2C1STAT	-	R	8	00H
0F2B0H	音声 FIFO データレジスタ	VFDAT	-	W	8	00H
0F2B1H	音声 FIFO フレーズエンドデータレジスタ	VFEDAT	-	W	8	00H
0F2B2H	HQ フレーズストップビット長レジスタ	VHQSBL	-	R/W	8	00H
0F2B3H	音声ステータスレジスタ	VSTAT	-	R	8	11H
0F2B4H	音声モードレジスタ	VMOD	-	R/W	8	00H
0F2B5H	音声データタイプレジスタ	VTTYPE	-	R/W	8	41H
0F2B6H	ボリューム設定レジスタ	VVOL	-	R/W	8	09H
0F2B7H	音声再生コントロールレジスタ	VCON	-	R/W	8	00H
0F2BCH	スピーカアンプコントロールレジスタ	SPCON	-	R/W	8	00H
0F2BFH	断線検知コントロールレジスタ	DCDCON	-	R/W	8	00H
0F2C0H	ボリュームステータスレジスタ	VVOLS	-	R	8	09H
0F2C8H	ショート検知コントロールレジスタ	SDCON	-	R/W	8	00H
0F2D0H	SA-ADC リザルトレジスタ 0L	SADR0L	SADR0	R	8/16	00H
0F2D1H	SA-ADC リザルトレジスタ 0H	SADR0H		R	8	00H
0F2D2H	SA-ADC リザルトレジスタ 1L	SADR1L	SADR1	R	8/16	00H
0F2D3H	SA-ADC リザルトレジスタ 1H	SADR1H		R	8	00H
0F2D4H	SA-ADC リザルトレジスタ 2L	SADR2L	SADR2	R	8/16	00H
0F2D5H	SA-ADC リザルトレジスタ 2H	SADR2H		R	8	00H
0F2D6H	SA-ADC リザルトレジスタ 3L	SADR3L	SADR3	R	8/16	00H
0F2D7H	SA-ADC リザルトレジスタ 3H	SADR3H		R	8	00H
0F2D8H	SA-ADC リザルトレジスタ 4L	SADR4L	SADR4	R	8/16	00H
0F2D9H	SA-ADC リザルトレジスタ 4H	SADR4H		R	8	00H
0F2DAH	SA-ADC リザルトレジスタ 5L	SADR5L	SADR5	R	8/16	00H
0F2DBH	SA-ADC リザルトレジスタ 5H	SADR5H		R	8	00H
0F2DCH	SA-ADC リザルトレジスタ 6L	SADR6L	SADR6	R	8/16	00H
0F2DDH	SA-ADC リザルトレジスタ 6H	SADR6H		R	8	00H
0F2DEH	SA-ADC リザルトレジスタ 7L	SADR7L	SADR7	R	8/16	00H
0F2DFH	SA-ADC リザルトレジスタ 7H	SADR7H		R	8	00H
0F2F0H	SA-ADC コントロールレジスタ 0	SADCON0	SADCON	R/W	8/16	00H
0F2F1H	SA-ADC コントロールレジスタ 1	SADCON1		R/W	8	00H
0F2F2H	SA-ADC モードレジスタ 0	SADMOD0	-	R/W	8	00H
0F3D8H	コードオプションレジスタ 0	CODEOP0	-	R	8	不定 ^(*)

(*)1: コードオプションレジスタ 0 の初期値は、プログラム・メモリのテストデータ領域に書き込まれたコードオプションデータに依存します。

付録 B パッケージ外形図

ML610Q327 パッケージ外形図(48 ピン TQFP)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

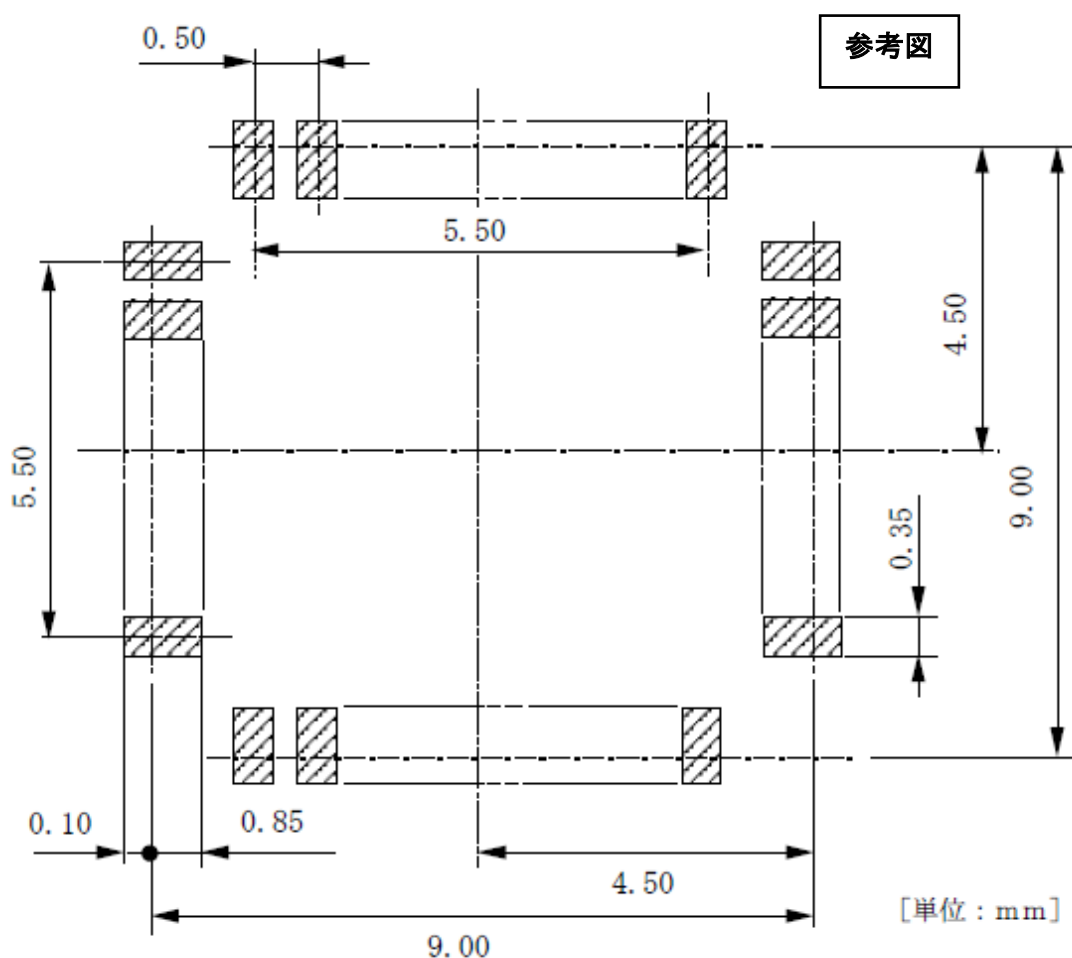
本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値(θJa)が変わります。

PCB	(W/L/t= 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時(0m/sec)
熱抵抗値(θJa)	53.5 [°C /W]
チップの消費電力 PMax OutputPower	0.300[W]

本 LSI の TjMax は 110℃ です。TjMax は以下の式で表されます。

TjMax=TaMax + θJa×PMax

半田付け部端子存在範囲図(48ピン TQFP)

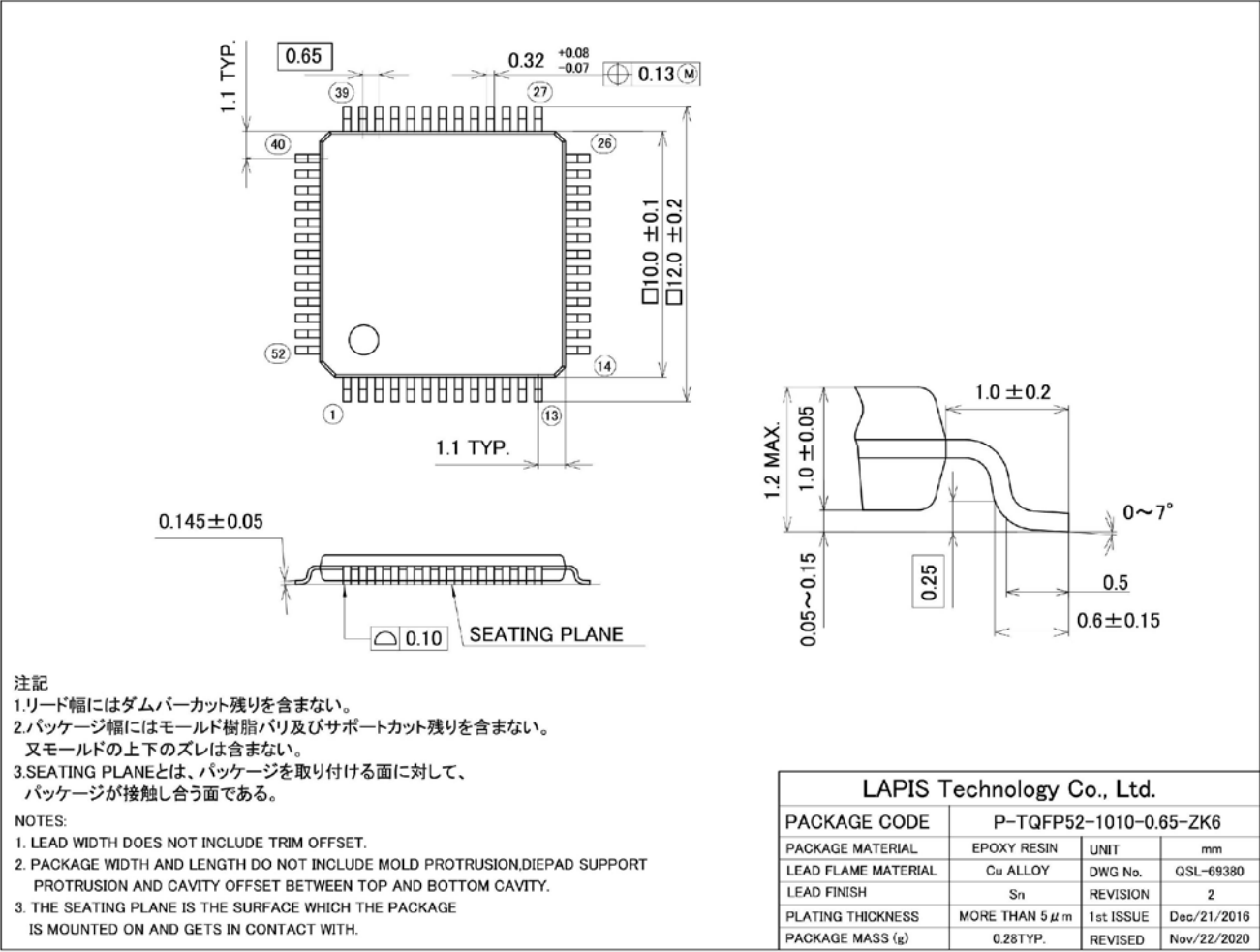


実装基板の設計上のご注意

実装基板のフットパターンの設計の際に、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことを十分考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従いまして、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

ML610Q338 パッケージ外形図(52 ピン TQFP)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

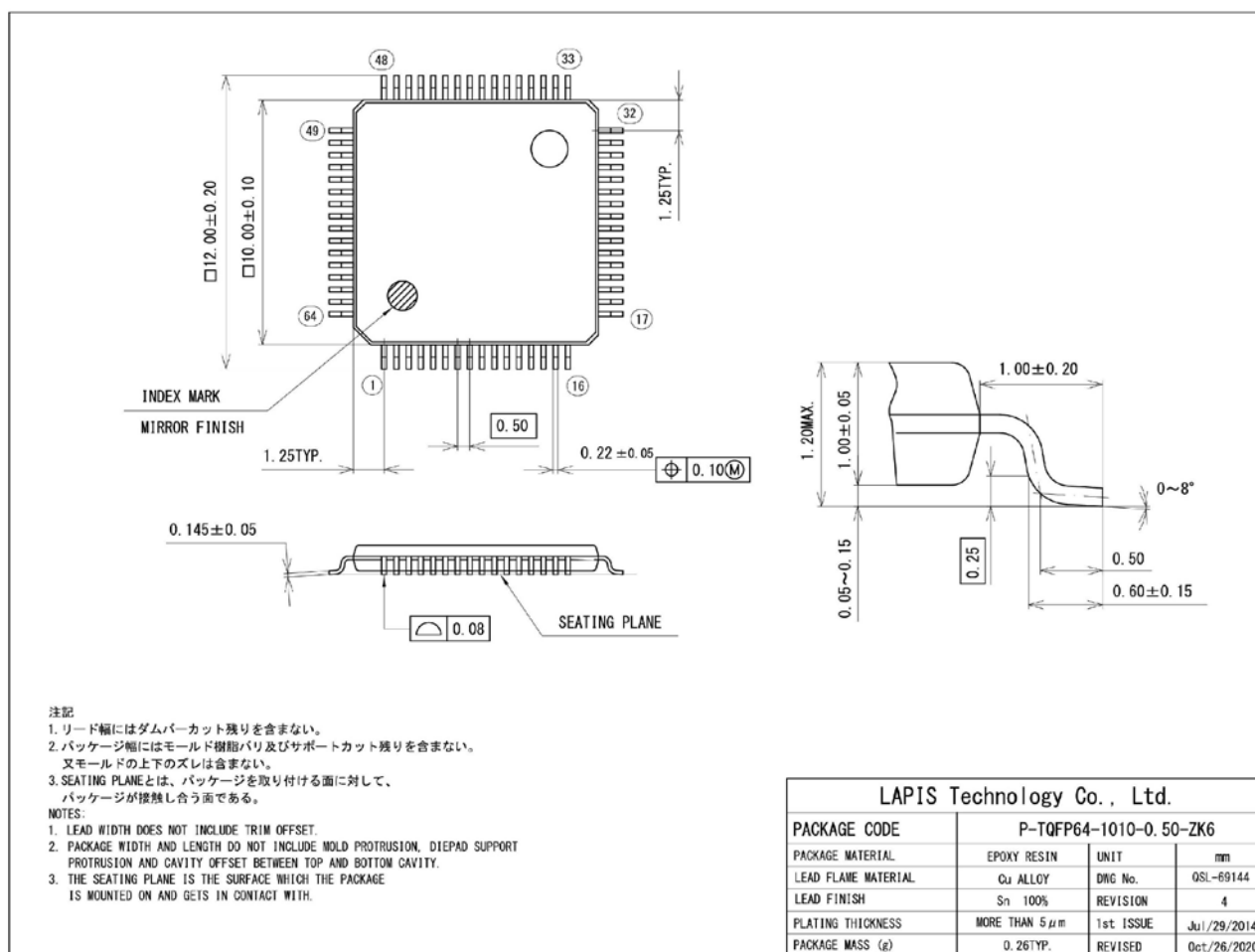
本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値(θJa)が変わります。

PCB	(W/L/t= 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時(0m/sec)
熱抵抗値(θJa)	49.9 [°C /W]
チップの消費電力 PMax OutputPower	0.300[W]

本 LSI の TjMax は 110℃ です。TjMax は以下の式で表されます。

TjMax=TaMax + θJa×PMax

ML610Q339 パッケージ外形図(64ピン TQFP)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値(θ_{Ja})が変わります。

PCB	(W/L/t= 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時(0m/sec)
熱抵抗値(θJa)	39.6 [°C /W]
チップの消費電力 PMax OutputPower	0.300[W]

本 LSI の T_{iMax} は 110℃ です。 T_{iMax} は以下の式で表されます。

$$T_{j\text{Max}} = T_{a\text{Max}} + \theta \text{ Ja} \times P_{\text{Max}}$$

付録 C 電気的特性

絶対最大定格

(V_{SS}=SPV_{SS}=0V)

項 目	記 号	条 件	定 格 値	単位
電源電圧 1	V _{DD}	Ta=25°C	-0.3 ~ +6.5	V
電源電圧 2	SPV _{DD}	Ta=25 °C	-0.3 ~ +6.5	V
電源電圧 3	V _{DDL}	Ta=25 °C	-0.3 ~ +2.0	V
リファレンス電圧	V _{REF}	Ta=25 °C	-0.3 ~ V _{DD} +0.3	V
入力電圧	V _{IN}	Ta=25 °C	-0.3 ~ V _{DD} +0.3	V
出力電圧	V _{OUT}	Ta=25 °C	-0.3 ~ V _{DD} +0.3	V
出力電流 1 (P40 ~ P47, P80 ~ P87, P90 ~ P96 ^{*1} , PA0 ~ PA7 ^{*1} , PB0 ~ PB6 ^{*1} , PC0 ~ PC3 ^{*1})	I _{OUT1}	Ta=25 °C	-12 ~ +11	mA
出力電流 2 (P20 ~ P25)	I _{OUT2}	Ta=25°C Nch オープンドレイン出力選択時	-12 ~ +20	mA
許容損失	PD	Ta=25 °C	1.0	W
保存温度	T _{STG}	—	-55 ~ +150	°C

^{*1}: ML610Q327 / ML610Q338 / ML610Q339 で端子構成が異なります。詳細は、1.3.2 項の端子一覧を参照してください。

推奨動作条件

(V_{SS}=SPV_{SS}=0V)

項 目	記 号	条 件	範 囲	単位
動作温度	T _{OP}	—	-40 ~ +85	°C
動作電圧	V _{DD}	—	2.0 ~ 5.5	V
	SPV _{DD}	—	2.0 ~ 5.5	
リファレンス電圧	V _{REF}	V _{DD} V _{REF}	2.2 ~ V _{DD}	V
動作周波数 (CPU)	f _{OP}	V _{DD} =2.0V ~ 5.5V	27k ~ 4.2M	Hz
		V _{DD} =2.2V ~ 5.5V	4.2M ~ 8.4M	
V _{DD} 端子外付け容量	C _V	—	1.0 ± 30% 以上	μF
V _{DDL} 端子外付け容量	C _L	—	1.0 ± 30%	μF

フラッシュメモリ動作条件

(V_{SS}=SPV_{SS}=0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	データ領域：書き込み / 消去時	-40 ~ +70	°C
		プログラム領域：書き込み / 消去時	0 ~ +40	
動作電圧	V _{DD}	書き込み / 消去時	2.2 ~ 5.5	V
書き換え回数 ^{*1}	C _{EPD}	データ領域(512Byte x 4)	10,000	回
	C _{EPP}	プログラム領域	100	
消去単位	—	チップ消去	プログラム, データ の全領域	—
	—	ブロック消去	プログラム領域	KB
	—		データ領域	
消去時間 (最大)	—	セクタ消去	512	B
		チップ消去	50	ms
		ブロック消去 セクタ消去		
書き込み単位	—	—	1ワード (2バイト)	—
書き込み時間 (最大)	—	1ワード (2バイト)	プログラム領域	μs
			データ領域	
データ保持年数	Y _{DR}	—	15	年

^{*1}: 消去 1 回と消去後の書き込み 1 回が書き換え回数 1 回です。ただし消去を中断した場合も 1 回としてカウントします。

直流特性 (消費電流)

(特に指定のない場合 V_{DD}=2.0 ~ 5.5V, SPV_{DD}=2.0 ~ 5.5V, V_{SS}=SPV_{SS}=0V, Ta=-40 ~ +85°C)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
消費電流 1	IDD1	CPU が STOP 状態 低速/高速発振停止	Ta +50 °C	—	0.7	4.0	μA
			Ta +85 °C	—	0.7	9.0	
消費電流 2	IDD2	CPU が HALT 状態 (LTBC, WDT 動作) 高速発振停止	Ta +50 °C	—	2.0	5.0	
			Ta +85 °C	—	2.0	10	
消費電流 3	IDD3	CPU が 32.768kHz 動作状態 ^{*1} 高速発振停止	—	15	30		
消費電流 4	IDD4	CPU が 4.096MHz 動作状態 RC 発振状態	V _{DD} = SPV _{DD} =3.0V	—	1.0	2.5	mA
			V _{DD} = SPV _{DD} =5.0V	—	1.0	2.5	
		CPU が 8.192MHz 動作状態 RC 発振状態	V _{DD} = SPV _{DD} =3.0V	—	2.0	3.5	
			V _{DD} = SPV _{DD} =5.0V	—	2.0	3.5	
消費電流 5	IDD5	CPU が 4.096MHz 動作状態 RC 発振状態 1kHz, 2.98db, SIN 波形再生中 (出力無負荷)	V _{DD} = SPV _{DD} =3.0V	—	2.0	5.0	
			V _{DD} = SPV _{DD} =5.0V	—	4.0	8.0	
		CPU が 8.192MHz 動作状態 RC 発振状態 1kHz, 2.98db, SIN 波形再生中 (出力無負荷)	V _{DD} = SPV _{DD} =3.0V	—	3.0	6.0	
			V _{DD} = SPV _{DD} =5.0V	—	5.0	9.0	

^{*1}: CPU 動作率 100%時 (HALT 状態なし)

直流特性 (VOHL, IOHL, IIHL)

(特に指定のない場合 $V_{DD}=2.0 \sim 5.5V$, $SPV_{DD}=2.0 \sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
出力電圧 1 (P20 ~ P25) (P40 ~ P47) (P80 ~ P87) (P90 ~ P96 ^{*1}) (PA0 ~ PA7 ^{*1}) (PB0 ~ PB6 ^{*1}) (PC0 ~ PC3 ^{*1})	VOH1	IOH1=-0.5mA (1 端子出力)	V_{DD} -0.5	—	—	V	2
	VOL1	IOL1=+0.5mA (1 端子出力)	—	—	0.5		
出力電圧 2 (P20 ~ P25)	VOL2	Nchオープンドレ イン出力選択時 (1端子出力)	IOL2=+5mA $V_{DD} \ 2.2V$	—	—		
			IOL2=+8mA $V_{DD} \ 2.3V$	—	—	0.5	
出力電圧 3 (P80 ~ P81) (PB0 ~ PB1)	VOL3	IOL3=+3mA (I ² Cバス入出力モード選択時, 1端子出力時)	—	—	0.4		
出力リーク (P20 ~ P25) (P40 ~ P47) (P80 ~ P87) (P90 ~ P96 ^{*1}) (PA0 ~ PA7 ^{*1}) (PB0 ~ PB6 ^{*1}) (PC0 ~ PC3 ^{*1})	IOOH	VOH= V_{DD} (ハイインピーダンス時)	—	—	1.0	μA	3
	IOOL	VOL= V_{SS} (ハイインピーダンス時)	-1.0	—	—		
入力電流 1 (RESET_N) (TEST1_N)	IIH1	VIH1= V_{DD}	0	—	1.0	μA	4
	IIL1	VIL1= V_{SS}	-1500	-300	-20		
入力電流2 (P40 ~ P47) (P80 ~ P87) (P90 ~ P96 ^{*1}) (PA0 ~ PA7 ^{*1}) (PB0 ~ PB6 ^{*1}) (PC0 ~ PC3 ^{*1})	IIH2	VIH2= V_{DD} (プルダウン時)	2	30	250		
	IIL2	VIL2= V_{SS} (プルアップ時)	-250	-30	-2		
	IIH2Z	VIH2= V_{DD} (ハイインピーダンス時)	—	—	1.0		
	IIL2Z	VIL2= V_{SS} (ハイインピーダンス時)	-1.0	—	—		
入力電流 3 (TEST0)	IIH3	VIH3= V_{DD}	20	300	1500		
	IIL3	VIL3= V_{SS}	-1.0	—	—		

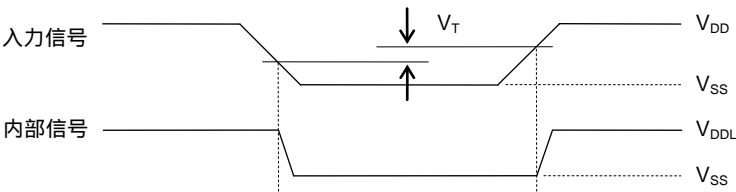
^{*1}: ML610Q327 / ML610Q338 / ML610Q339 で端子構成が異なります。詳細は、1.3.2 項の端子一覧を参照してください。

直流特性 (VIHL)

(特に指定のない場合 V _{DD} =2.0 ~ 5.5V, SPV _{DD} =2.0 ~ 5.5V, V _{SS} = SPV _{SS} =0V, Ta=-40 ~ +85℃)							
項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (TEST0) (TEST1_N) (P40 ~ P47) (P80 ~ P87) (P90 ~ P96 ^{*1}) (PA0 ~ PA7 ^{*1}) (PB0 ~ PB6 ^{*1}) (PC0 ~ PC3 ^{*1})	VIH1	—	0.7 ×V _{DD}	—	V _{DD}	V	5
	VIL1	—	0	—	0.3 ×V _{DD}		
ヒステリシス幅 (RESET_N) (TEST0) (TEST1_N) (P40 ~ P47) (P80 ~ P87) (P90 ~ P96 ^{*1}) (PA0 ~ PA7 ^{*1}) (PB0 ~ PB6 ^{*1}) (PC0 ~ PC3 ^{*1})	V _T	—	0.05 ×V _{DD}	—	0.4 ×V _{DD}		
入力端子容量 (P40 ~ P47) (P80 ~ P87) (P90 ~ P96 ^{*1}) (PA0 ~ PA7 ^{*1}) (PB0 ~ PB6 ^{*1}) (PC0 ~ PC3 ^{*1})	CIN	f=10kHz V _{rms} =50mV Ta=25℃	—	—	10	pF	—

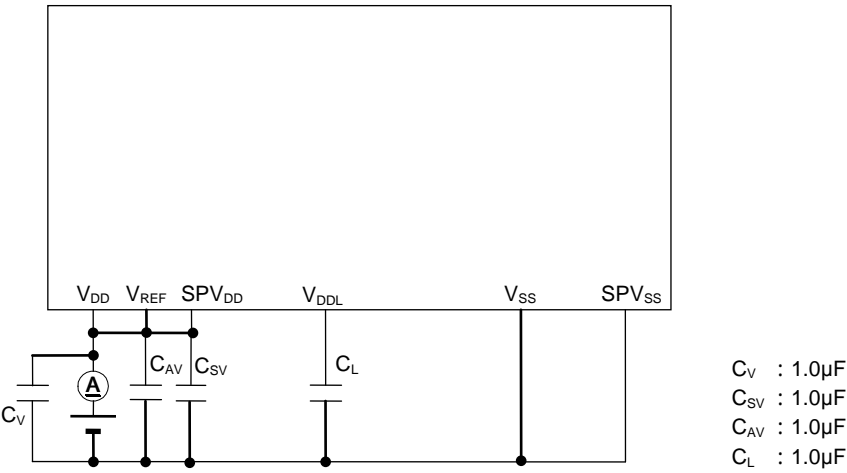
^{*1} : ML610Q327 / ML610Q338 / ML610Q339 で端子構成が異なります。詳細は , 1.3.2 項の端子一覧を参照してください。

ヒステリシス幅

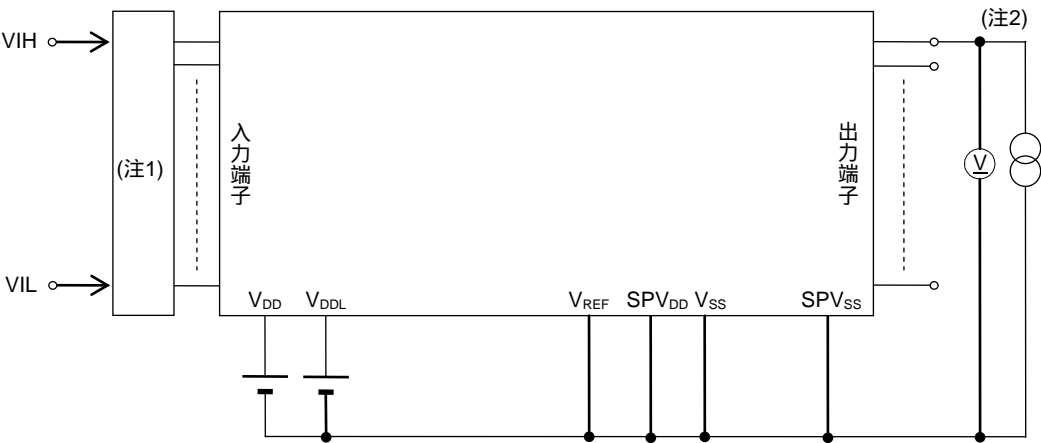


測定回路

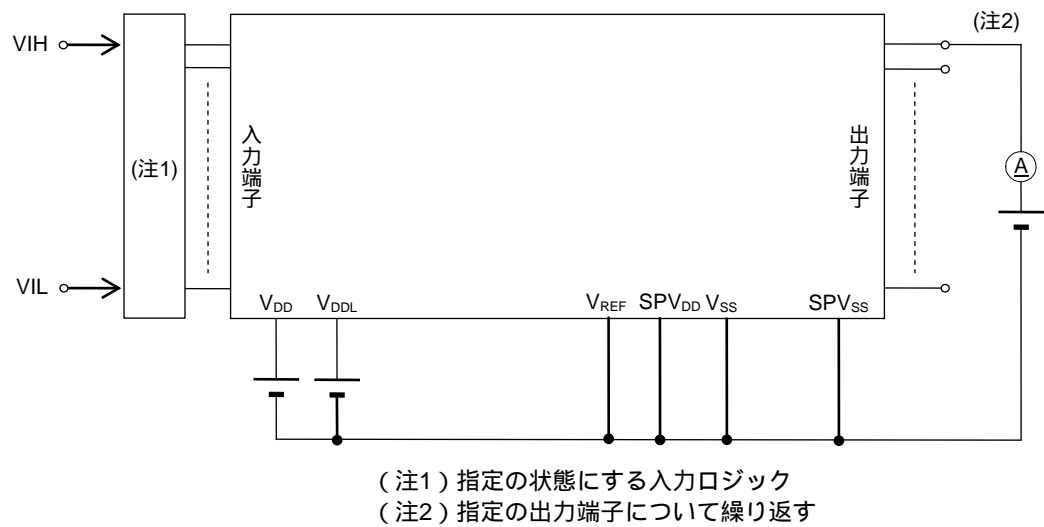
測定回路 1



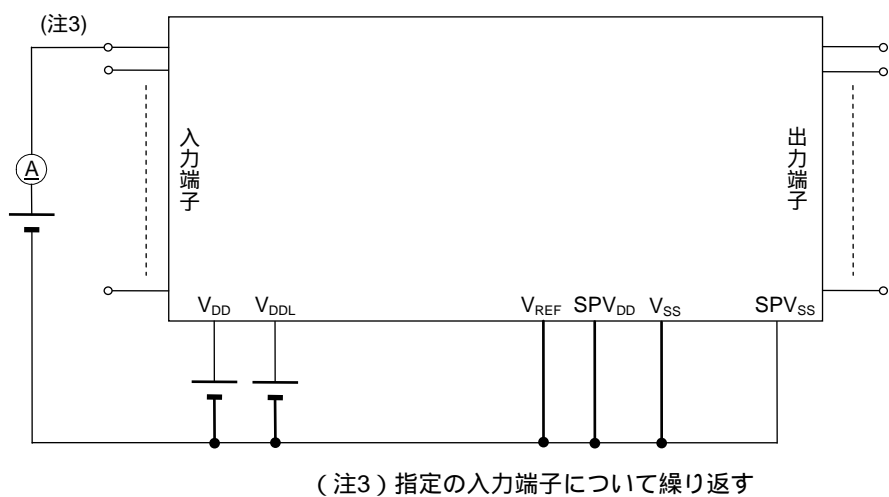
測定回路 2



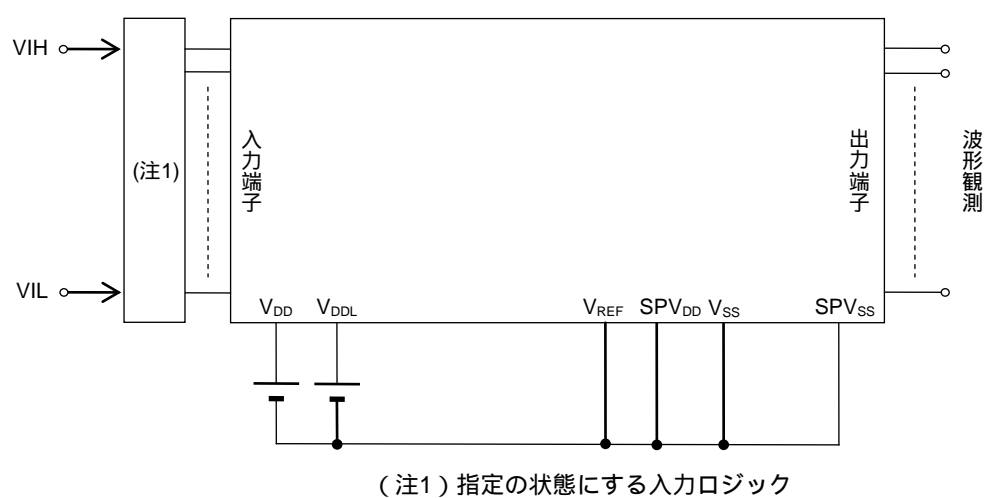
測定回路 3



測定回路 4



測定回路 5



交流特性 (発振回路)

(特に指定のない場合 V _{DD} =2.0 ~ 5.5V, SPV _{DD} =2.0 ~ 5.5V, V _{SS} = SPV _{SS} =0V, Ta=-40 ~ +85 °C)							
項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
低速 RC 発振周波数	f _{LCR}	Ta=-10 ~ +50 °C	Typ -1.5%	32.768	Typ +1.5%	kHz	1
		Ta=-40 ~ +85 °C	Typ -3.0%		Typ +3.0%		
PLL 発振周波数	f _{HPLL}	Ta=-10 ~ +50 °C	Typ -1.5%	4.096 もしくは 8.192	Typ +1.5%	MHz	
		Ta=-40 ~ +85 °C	Typ -3.0%		Typ +3.0%		

スピーカアンプの電気的特性

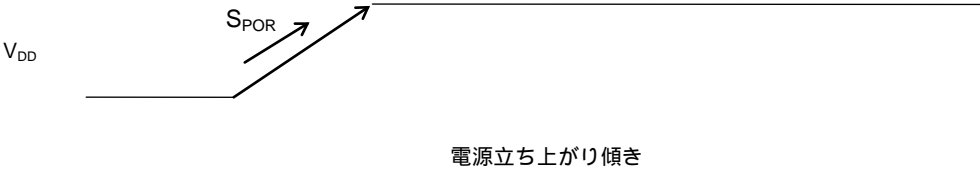
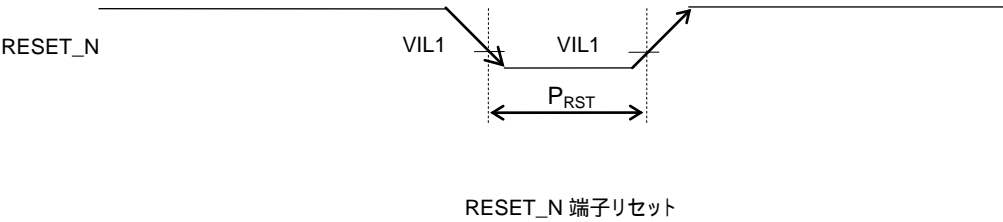
(特に指定のない場合 $V_{DD}=2.0 \sim 5.5V$, $SPV_{DD}=2.0 \sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)						
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SPM, SPP 出力負荷抵抗	R_{LSP}	—	6.4	8	—	
スピーカアンプ出力電力	P_{SPO1}	$SPV_{DD}=3.0V$, $f=1kHz$ $R_{SPO}=8\Omega$, THD 10%	—	0.45	—	W
	P_{SPO2}	$SPV_{DD}=5.0V$, $f=1kHz$ $R_{SPO}=8\Omega$, THD 10%	—	1.0	—	

交流特性 (電源立ち上げ・リセットシーケンス)

(特に指定のない場合 $V_{DD}=2.0 \sim 5.5V$, $SPV_{DD}=2.0 \sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
V _{DD} を立ち上げ後、SPV _{DD} を立ち上げるまでの時間	t _{VDD}	—	0	—	—	ns	1
リセット ^{*1} パルス幅	P _{RST}	—	100	—	—	μs	
リセット ^{*1} ノイズ除去パルス幅	P _{NRST}	—	—	—	0.4		
電源立ち上がり傾き	S _{POR}	—	0.1	—	—	V/ms	

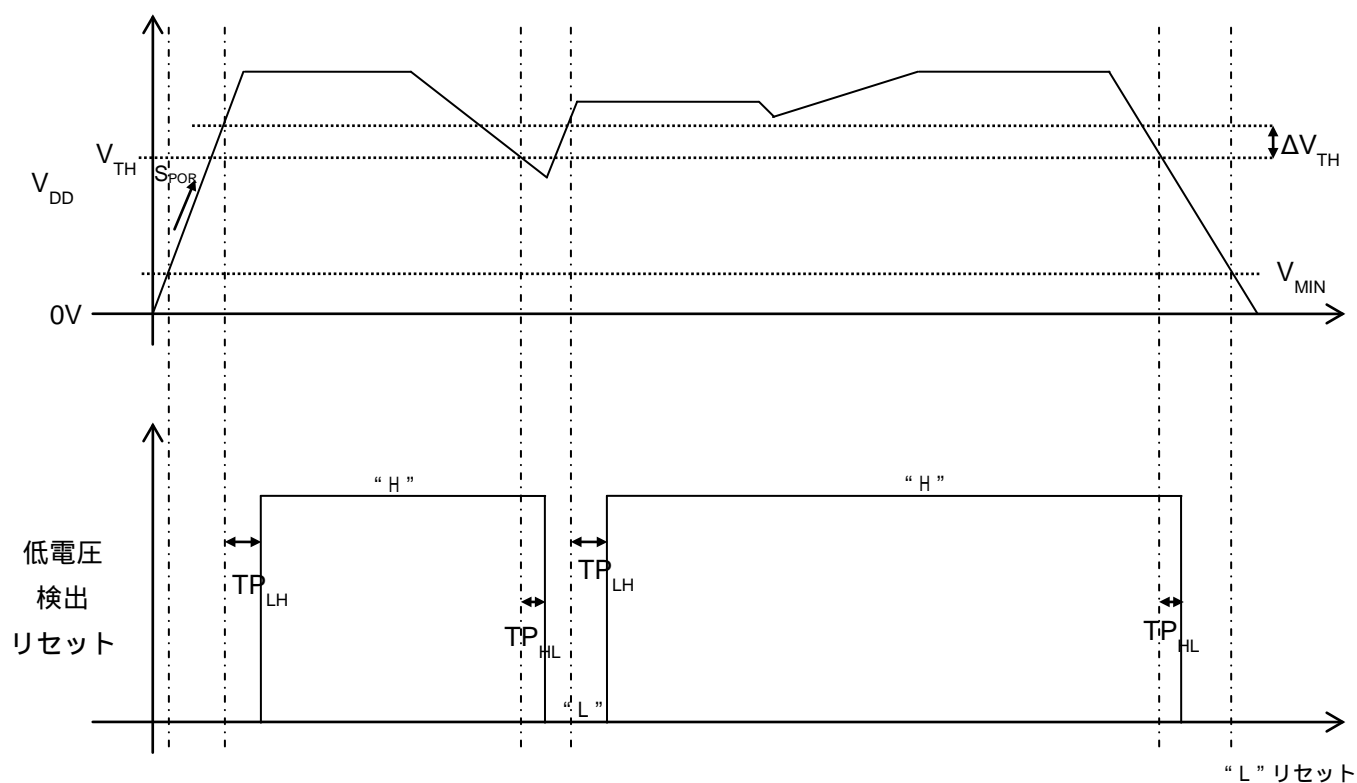
^{*1}: RESET_N 端子によるリセット



低電圧検出リセットの電気的特性

(特に指定のない場合 $V_{DD}=2.0 \sim 5.5V$, $SPV_{DD}=2.0 \sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
検出電圧	V_{TH}	LLD2 ~ 0=7H	Typ. -5%	1.9	Typ. +5%	V	1
		LLD2 ~ 0=2H または LLD2 ~ 0=6H	Typ. -5%	2.1	Typ. +5%		
		LLD2 ~ 0=1H または LLD2 ~ 0=5H	Typ. -5%	2.3	Typ. +5%		
		LLD2 ~ 0=0H または LLD2 ~ 0=4H	Typ. -5%	2.5	Typ. +5%		
		LLD2 ~ 0=3H	Typ. -7%	2.7	Typ. +7%		
ヒステリシス幅	V_{TH}	—	0.05	0.1	0.15	V	
上昇時出力遅延	TP_{LH}	—	—	10	200	μs	
下降時出力遅延	TP_{HL}	—	—	10	200	μs	
低電圧検出リセット動作電圧	V_{MIN}	—	1.0	—	—	V	

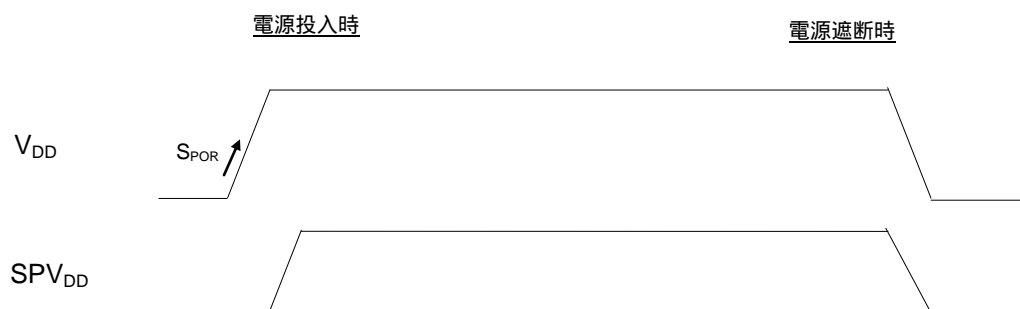


【注意】

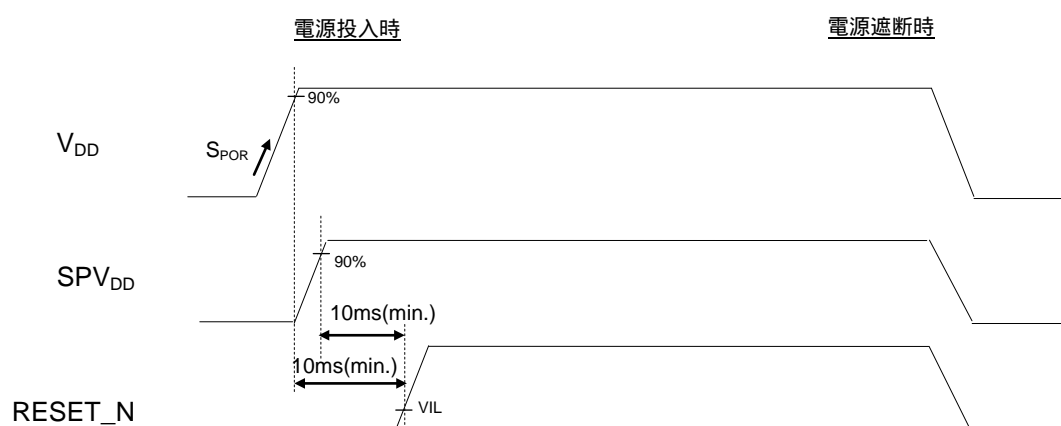
低電圧検出リセット(LLD)の検出電圧(V_{TH})を 1.9V(LLD2 ~ 0=7H)に設定した場合、推奨動作電圧下限 ($V_{DD}=2.0V$)未満 ~ 検出電圧($V_{TH}=1.9V$)の電圧範囲では、低電圧検出リセット(LLD)が発生しません。電源遮断時、この電圧範囲を維持した場合、LSI 動作状態によっては、内部定電圧回路 (VRL) が回路動作電圧を維持できずに誤動作する可能性があります。安全のため、検出電圧(V_{TH})を 1.9V(LLD2 ~ 0=7H)以外に設定するか、リセット入力端子からリセットする等の対策をおこなってください。

電源投入・遮断シーケンス

- ・ V_{DD} 電源立ち上がり傾きが S_{POR} : 0.1V/ms(Min.)の場合



- ・ V_{DD} 電源立ち上がり傾きが S_{POR} : 0.1V/ms(Min.)を満たせない場合



推奨電源投入 / 遮断シーケンス

- ・ V_{DD} , SPV_{DD} 電源の立ち上げ順序, 立上時間差, 立ち下げ順序, 立ち下げ時間差の制約はありません。

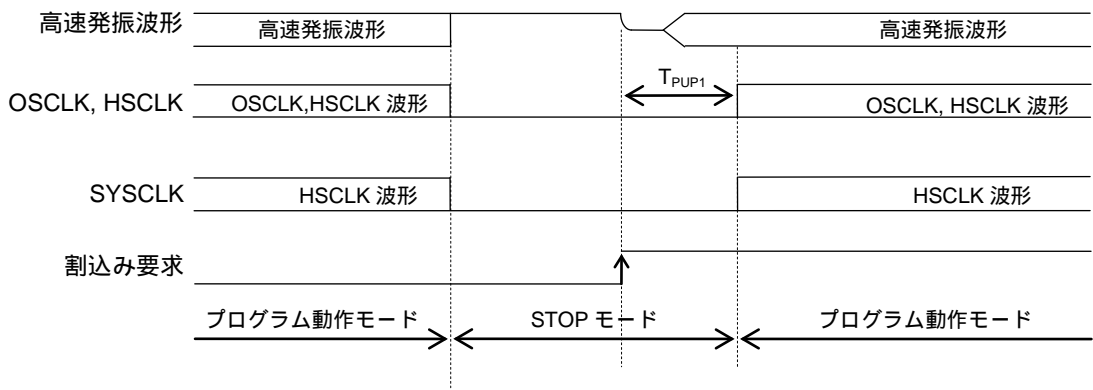
【注意】

- ・電源投入時, 汎用ポートの状態は不定のため, “H”レベルまたは“L”レベルを出力する可能性があります。電源投入時の不定状態が問題となる場合は, 基板上の周辺部品で対策してください。
- ・電源の瞬停等によるパワーオンリセットや, 低電圧検出リセットの下降時出力遅延(TP_{HL})より短いパルスが電源に入った場合や, 低電圧検出リセットの下降時出力遅延(TP_{HL})が経過する前に, 電源が低電圧検出リセット動作電圧(V_{MIN})を下回った場合, LSI がリセットされずに誤動作する可能性があります。安全のため, パソコンによる電源低下の防止措置や, リセット入力端子からリセットする等の対策をおこなってください。

交流特性 (STOP 解除後発振安定時間)

(特に指定のない場合 $V_{DD}=2.0 \sim 5.5V$, $SPV_{DD}=2.0 \sim 5.5V$, $V_{SS}= SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

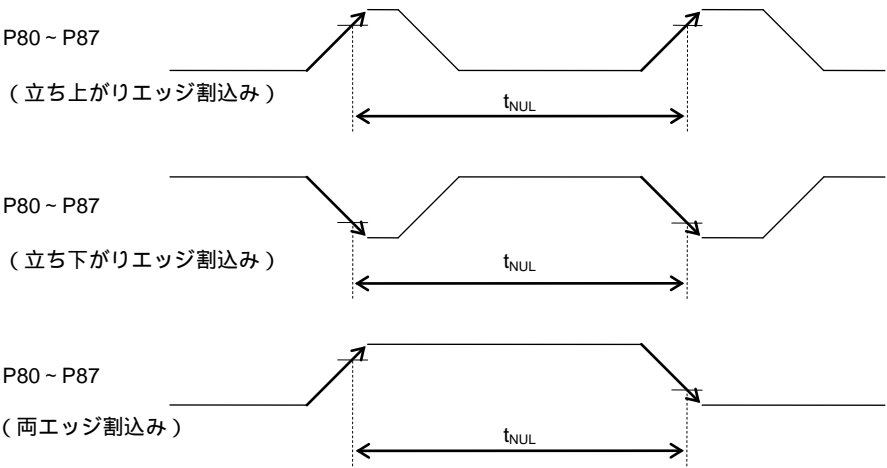
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
STOP 解除後発振安定時間	T_{PUP1}	—	—		2	ms



交流特性 (外部割込み)

(特に指定のない場合 $V_{DD}=2.0 \sim 5.5V$, $SPV_{DD}=2.0 \sim 5.5V$, $V_{SS}= SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

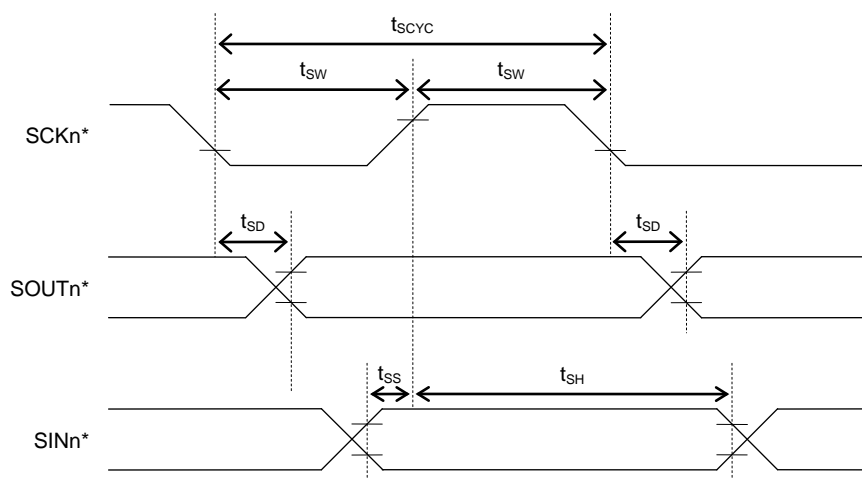
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	T_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作	$2.5 \times$ sysclk	—	$3.5 \times$ sysclk	ns



交流特性 (同期式シリアルポート)

(特に指定のない場合 $V_{DD}=2.0 \sim 5.5V$, $SPV_{DD}=2.0 \sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCK 入力サイクル (スレープモード)	t_{SCYC}	高速発振停止時	10	—	—	μs
		高速発振時	500	—	—	ns
SCK 出力サイクル (マスタモード)	t_{SCYC}	VDD 2.4V	—	4	—	MHz
		VDD 2.0V	—	2	—	
SCK 入力パルス幅 (スレープモード)	t_{SW}	高速発振停止時	4	—	—	μs
		高速発振時	200	—	—	ns
SCK 出力パルス幅 (マスタモード)	t_{SW}	—	$SCK^{*1} \times 0.4$	$SCK^{*1} \times 0.5$	$SCK^{*1} \times 0.6$	s
SOUT 出力遅延時間 (スレープモード)	t_{SD}	—	—	—	180	ns
SOUT 出力遅延時間 (マスタモード)	t_{SD}	—	—	—	80	ns
SIN 入力 セットアップ時間 (スレープモード)	t_{SS}	—	50	—	—	ns
SIN 入力 ホールド時間	t_{SH}	—	50	—	—	ns

*1: シリアルポート n モードレジスタ (SIO_nMOD1) の SnCK3 ~ 0 により選択されたクロック周期(n=0,1)

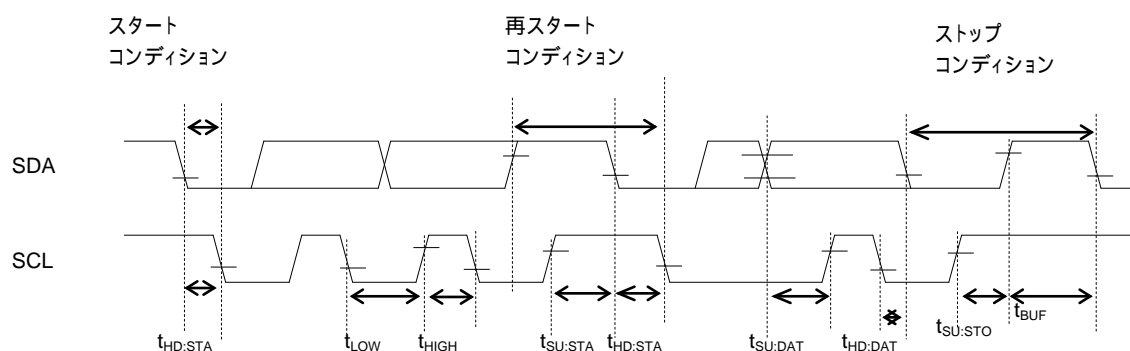
*: ポートの 2 次/3 次機能を示す。n=0, 1

交流特性(I²C バス・インタフェース:標準モード 100kbps)(特に指定のない場合 $V_{DD}=2.0 \sim 5.5V$, $SPV_{DD}=2.0 \sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}		0		100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$		4.0			ns
SCL “L” レベル時間	t_{LOW}		4.7			ns
SCL “H” レベル時間	t_{HIGH}		4.0			ns
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$		4.7			ns
SDA ホールド時間	$t_{HD:DAT}$		0			ns
SDA セットアップ時間	$t_{SU:DAT}$		0.25			ns
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$		4.0			ns
バスフリー時間	t_{BUF}		4.7			ns

交流特性(I²C バス・インタフェース:ファーストモード 400kbps)(特に指定のない場合 $V_{DD}=2.0 \sim 5.5V$, $SPV_{DD}=2.0 \sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}		0		400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$		0.6			ns
SCL “L” レベル時間	t_{LOW}		1.3			ns
SCL “H” レベル時間	t_{HIGH}		0.6			ns
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$		0.6			ns
SDA ホールド時間	$t_{HD:DAT}$		0			ns
SDA セットアップ時間	$t_{SU:DAT}$		0.1			ns
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$		0.6			ns
バスフリー時間	t_{BUF}		1.3			ns

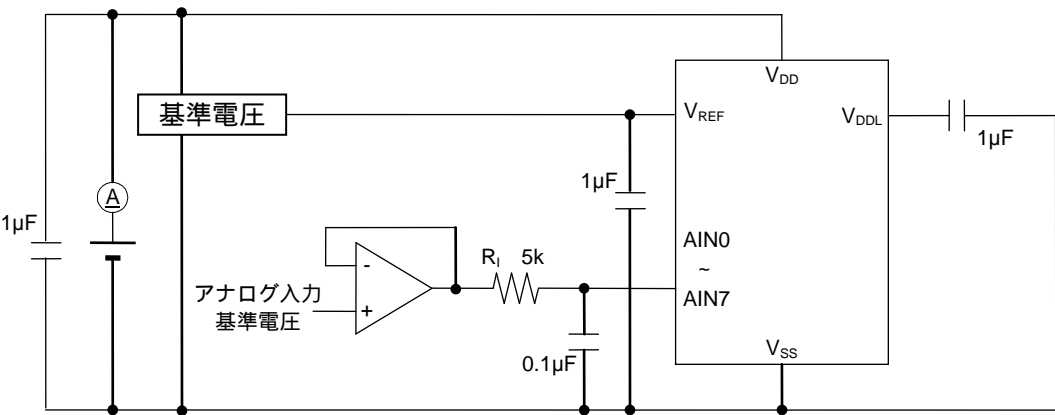


逐次比較型 A/D コンバータの電気的特性

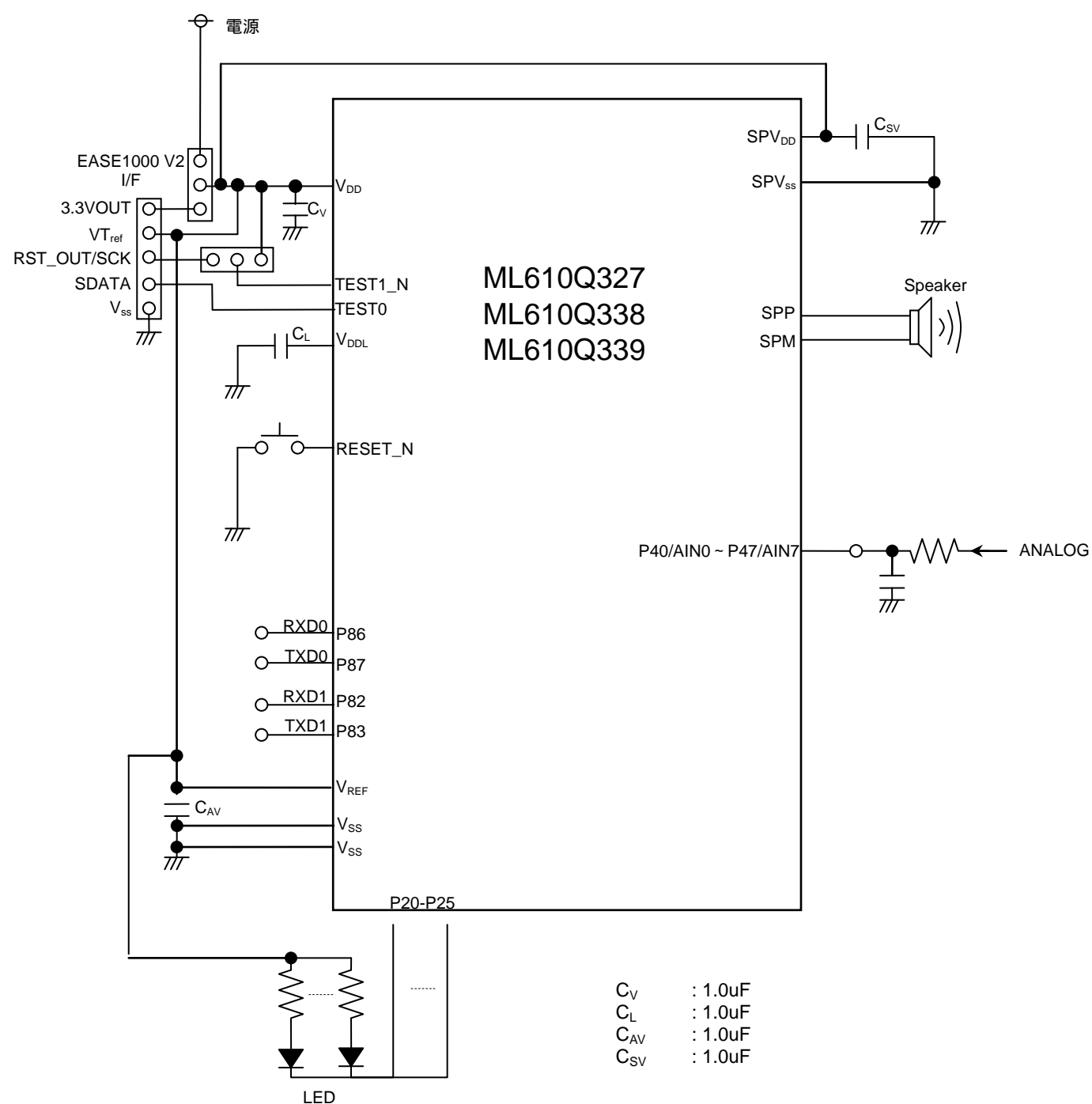
(特に指定のない場合 $V_{DD}=2.2 \sim 5.5V$, $SPV_{DD}=2.2 \sim 5.5V$, $V_{REF}=2.2 \sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	—	10	bit
積分非直線性誤差	IDL	2.7V V_{REF} 5.5V	-4	—	+4	LSB
		2.2V $V_{REF} < 2.7V$	-5	—	+5	
微分非直線性誤差	DNL	2.7V V_{REF} 5.5V	-3	—	+3	
		2.2V $V_{REF} < 2.7V$	-4	—	+4	
ゼロスケール誤差	V_{OFF}	R_I 5k Ω	-4	—	+4	
フルスケール誤差	FSE	R_I 5k Ω	-4	—	+4	
プリフィルタ抵抗値	R_I	—	—	—	5k	
リファレンス電圧	V_{REF}	—	2.2	—	V_{DD}	V
変換時間	t_{CONV}	HSCLK=4M ~ 8.4MHz	—	102	—	ϕ/CH

ϕ : 高速クロック (HSCLK) の周期

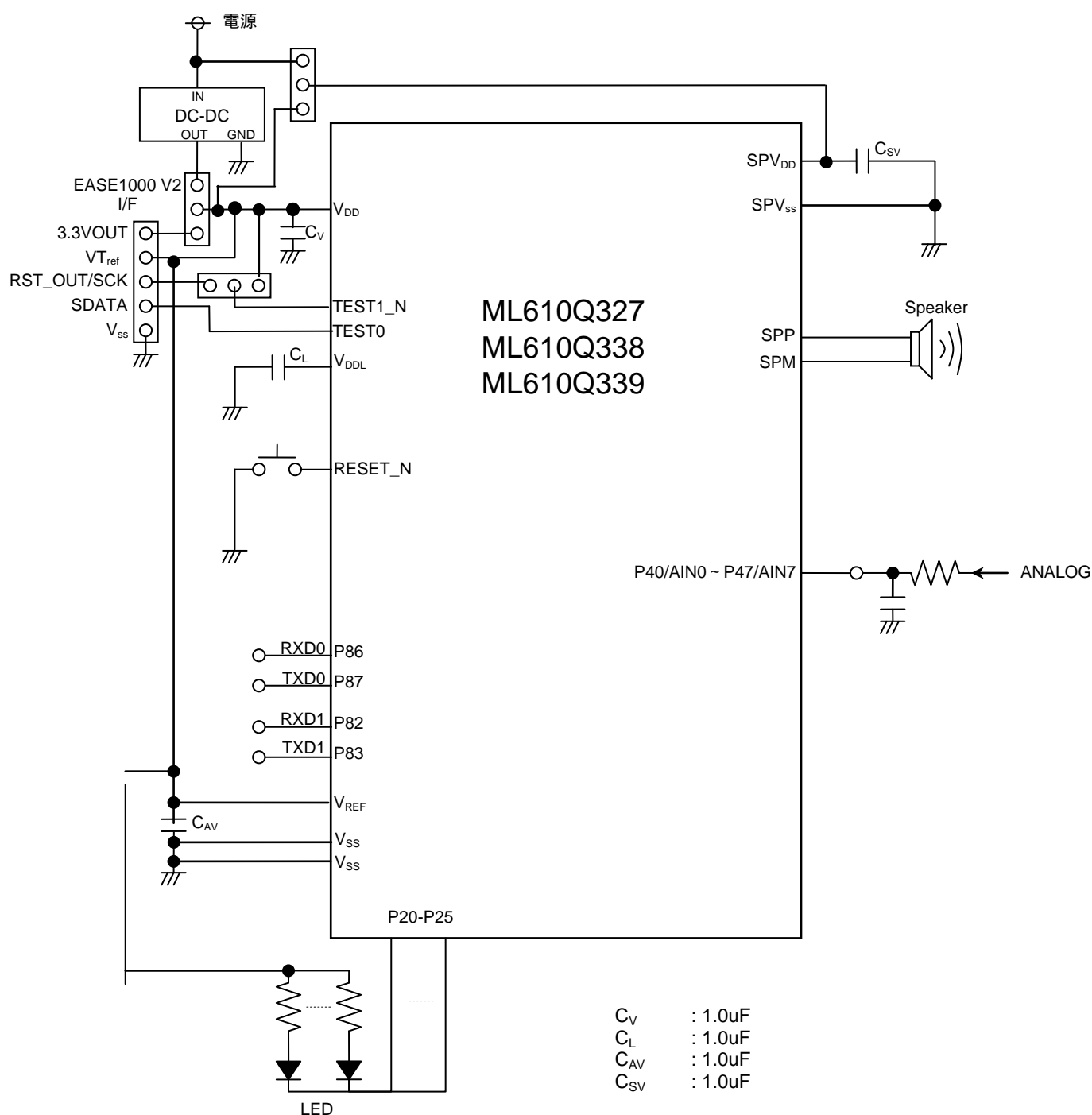


付録 D 応用回路例

図1 V_{DD} , SPV_{DD} を同一電源とする場合

【注意】

ノイズ対策のため、 $V_{DDL} \sim V_{DDL}$ 端子外付け容量(C_L)間、および V_{DDL} 端子外付け容量(C_L) $\sim V_{SS}$ 間の基板上配線については最短になるよう設計してください。

図 2 SPV_{DD} 電源から DC-DC コンバータを介して V_{DD} 電源を供給する場合

【注意】

ノイズ対策のため、 $V_{DDL} \sim V_{DDL}$ 端子外付け容量(C_L)間、および V_{DDL} 端子外付け容量(C_L) $\sim V_{SS}$ 間の基板上配線については最短になるよう設計してください。

付録 E チェックリスト

本チェックリストは、ソフトウェアプログラミング上の簡易ミスならびに MCU ハードウェア仕様の見落としや誤解を防止するための注意点をマニュアルの各章毎にリストアップしています。プログラミング時や評価時の確認用としてお使いください。

第 1 章 概要

・未使用端子について

- [] すべての未使用端子処理についてご確認ください(ユーザーズマニュアルの 1.3.4 項を参照してください)
- [] 未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード/プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します
- [] 電源投入時、汎用ポートの状態は不定のため、“H”レベルまたは“L”レベルを出力する可能性があります。電源投入時の不定状態が問題となる場合は、基板上の周辺部品で対策してください

第 2 章 CPU とメモリ空間

・プログラムコードサイズ

- [] 195,584 バイト(0:0000H ~ 0:0FBFFH, 1:0000H ~ 1:0FFFFH, 2:0000H ~ 2:0FFFFH)
(ML610Q327)
- [] 261,120 バイト(0:0000H ~ 0:0FBFFH, 1:0000H ~ 1:0FFFFH, 2:0000H ~ 2:0FFFFH, 3:0000H ~ 3:0FFFFH)
(ML610Q338/ML610Q339)

・データメモリサイズ

- [] 198,656 バイト(0:0000H ~ 2:0FFFFH, 4:0000H ~ 4:07FFH)
(ML610Q327)
- [] 264,192 バイト(0:0000H ~ 3:0FFFFH, 4:0000H ~ 4:07FFH)
(ML610Q338/ML610Q339)

・データ RAM サイズ

- [] 4,096 バイト(0:E000H ~ 0:FFFFH)

・未使用領域への対処

- [] テスト領域 0:0FC00H ~ 0:0FDDFH, 0:0FDE2H ~ 0:0FDDFH にはデータ“0FFH”(BRK 命令コード)を埋めてください(ソースファイル上での記述の仕方は、スタートアップファイル ML610327.asm, ML610338.asm または ML610339.asm を参照してください)
- [] テスト領域 0:0FDE0H ~ 0:0FDE1H にはコードオプションを設定してください
- [] 未使用プログラム領域につきましては、フェールセーフ対策のためデータ“0FFH”(BRK 命令コード)を埋めてください。弊社工場における書き込みの際にはデータ“0FFH”を書き込みます

・RAM の初期化

- [] RAM はハードウェアリセットにて初期化されないため、ソフトウェアにて初期化してください

第 3 章 クロック発生回路

・クロック初期値

- [] 電源起動時やシステムリセット時は、16.384MHz PLL クロックが発振し、16.384MHz の 1/16 クロックである 1.024MHz が CPU へのシステムクロックとして供給されます

・高速クロック動作から低速クロック動作への切り替え

- [] STOP モードからの復帰後、高速クロックから低速クロックに切り替える際は、タイムベースカウンタの割込み要求ビット(128Hz 割込み要求ビット: Q128H)が“1”となることで LSCLK が発振していることを確認してください

・ポートの 2 次機能設定

- [] クロックを出力させる場合、ポートを 2 次機能として設定してください

第 4 章 リセット

・リセット有効パルス幅

- [] 最小 100us(ユーザーズマニュアルの付録 C-8 を参照してください)
- [] RESET_N 端子によるリセットが発生したことを示すフラグは存在しません(ユーザーズマニュアルの 4.2.2.項を参照してください)

・パワーオンリセット発生電源立ち上がり傾き

- [] 最小 0.1V/ms(ユーザーズマニュアルの付録 C-8 を参照してください)

・BRK 命令リセット

- [] BRK 命令によるシステムリセットは、特殊機能レジスタ(SFR)を初期化しません。ソフトウェアにて初期化してください(ユーザーズマニュアルの 4.3.1 項を参照してください)

第 5 章 MCU 制御機能

・STOP モード

- [] MIE フラグが“0”の時に、割込みの許可フラグと要求フラグが両方“1”となる条件ではストップコードアクセプタ(STPACP)は許可状態にできません(ユーザーズマニュアルの 5.2.2. ~ 5.2.3.項を参照してください)
- [] STP ビットを“1”にセットする命令の次には NOP 命令を 2 個置いてください(ユーザーズマニュアルの 5.3.3.項を参照してください)

・HALT モード

- [] HLT ビットを“1”にセットする命令の次には NOP 命令を 2 個置いてください(ユーザーズマニュアルの 5.3.2.項を参照してください)

・BLKCON レジスタ

- [] 使用する各周辺機能の動作は BLKCON レジスタで許可もしくは禁止してください(ユーザーズマニュアルの 5.2.4. ~ 5.2.8.項を参照してください)
- [] ブロックレジスタの任意のフラグを“1”にセットすると該当する機能の全てのレジスタが初期化されます

第 6 章 ~ 第 12 章 ポート

・端子処理

- [] 各入力ポートおよび入出力ポートは、オープン状態でハイインピーダンス入力モードを選択しないでください
- [] P40 ~ P47 を逐次比較型 A/D コンバータのアナログ入力として使用する場合は、ハイインピーダンス出力状態に設定してください

・2 次機能/3 次機能設定

- [] 各ポートの PnCON0/1, PnMOD0/1 レジスタは適切に設定してください

第 13 章 割込み

・未使用割込みへの対処

- [] フェールセーフ対策のため、すべての未使用割込みのベクタテーブルを定義してください

・ノンマスカブル割込み

- [] ウォッチドッグタイマ割込み(WDTINT)は、MIE フラグに依存しないノンマスカブル割込みです(ユーザーズマニュアルの 13.2.9.項, 13.3 項を参照してください)

第 14 章 TBC(タイムベースカウンタ)

・HTBCLK

- [] HTBCLK をタイマに使用する場合、高速側タイムベースカウンタ分周レジスタ(HTBDR レジスタ)に任意の分周比を設定してください(ユーザーズマニュアルの 14.2.3.項を参照してください)

・LTBC の読み出し方法

- [] 低速側タイムベースカウンタ(LTBC)は、カウントアップ中の不確定データの読み出しを防止するため二度読み出し、値が一致するまで読み出しを繰り返してください(ユーザーズマニュアルの 14.3.1 項を参照してください)

第 15 章 タイマ

・カウンタレジスタ読み出し方法

- [] カウント動作中にタイマカウンタレジスタを読み出す場合の注意事項を確認してください(ユーザーズマニュアルの 15.2.6 ~ 15.2.9 項を参照してください)

第 16 章 PWM

・使用端子

- [] P23(PWM0)端子, PA3(PWM0)端子を使用

☐ P24(PWM1)端子, PB2(PWM1)端子を使用

☐ P25(PWM2)端子を使用

・レジスタ読み出し方法

☐ PWM 動作中に PWM カウンタレジスタを読み出す場合の注意事項を確認してください(ユーザーズマニュアルの 16.2.8 ~ 16.2.10 項を参照してください)

・ポートの 2 次機能設定

☐ ポートを 2 次機能として設定してください(ユーザーズマニュアルの 16.4 項を参照してください)。

第 17 章 WDT

・オーバフロー周期

WDT を選択したオーバフロー周期内にクリアしてください。

☐ 125ms, ☐ 500ms, ☐ 2s, ☐ 8s

・WDP

☐ WDTCON レジスタヘデータを書き込む前に WDP の内容をチェックし, “5AH”を書き込むか, もしくは“0A5H”を書き込むかを判断してください(ユーザーズマニュアルの 17.2.2.項を参照してください)

第 18 章 同期式シリアルポート

・使用端子

☐ P40(SIN0), P41(SCK0), P42(SOUT0)端子を使用

☐ P80(SIN0), P81(SCK0), P82(SOUT0)端子を使用

☐ P40(SIN1), P41(SCK1), P42(SOUT1)端子を使用

☐ P84(SIN1), P85(SCK1), P86(SOUT1)端子を使用

☐ PA0(SIN1), PA1(SCK1), PA2(SOUT1)端子を使用

・ポートの 2 次機能/3 次機能設定

☐ ポートを 2 次機能, または 3 次機能として設定してください(ユーザーズマニュアルの 18.4 項を参照してください)

第 19 章 UART

・使用端子

☐ P86(RXD0)端子を使用

☐ P87(TXD0), P87(TXD1)端子を使用

☐ P82(RXD1)端子を使用

☐ P83(TXD1), P83(TXD0)端子を使用

・ポートの 2 次機能/3 次機能設定

☐ ポートを 2 次機能, または 3 次機能として設定してください(ユーザーズマニュアルの 19.4 項を参照してください)

第 20 章 I²C バス・インタフェース(マスタ)

・使用端子

☐ P80(SDA)端子と P81(SCL)端子を使用

☐ PB0(SDA)端子と PB1(SCL)端子を使用

・ポートの 2 次機能設定

☐ ポートを 2 次機能として設定してください(ユーザーズマニュアルの 20.4 項を参照してください)

第 21 章 I²C バス・インタフェース(スレーブ)

・使用端子

☐ P80(SDA)端子と P81(SCL)端子を使用

☐ PB0(SDA)端子と PB1(SCL)端子を使用

・ポートの 2 次機能設定

☐ ポートを 2 次機能として設定してください(ユーザーズマニュアルの 21.4 項を参照してください)

第 22 章 逐次比較型 A/D コンバータ

・動作条件

- [] 動作電圧をご確認ください
 $V_{DD}=2.2V\sim 5.5V$, $HSCLK=3MHz\sim 8.4MHz$
- [] 高速クロックの発振を許可した状態で使用してください
- [] P40～P47 を逐次比較型 A/D コンバータのアナログ入力として使用する場合は、ハイインピーダンス出力状態に設定してください
- [] SADM0 レジスタの SACH0～SACH7 ビットの全てが“0”の状態、SADCON1 レジスタの SARUN ビットを“1”にセットしないでください(ユーザーズマニュアルの 22.2.19 項を参照してください)
- [] A/D コンバータ内部には、サンプル・ホールド用の容量が内蔵されており、サンプリング時間内にこの容量への充電を完了させる必要があります。アナログ入力端子に接続する信号源の出力インピーダンスを $5k\Omega$ 以下に設定してください。出力インピーダンスを $5k\Omega$ 以下にできない場合は、アナログ入力端子と V_{SS} 間に $0.1\mu F$ の容量を接続してください
- [] アナログ入力端子と V_{SS} 間に容量を接続しない場合、A/D 変換開始時に内蔵のサンプル・ホールド用の容量に残った電荷がアナログ入力端子に放出され、アナログ入力端子の電圧が一瞬変動する場合があります。入力インピーダンスが $5k\Omega$ 以内であれば、A/D 変換結果に悪影響はありません

第 23 章 音声再生機能

・動作条件

- [] 音声再生機能を使用する場合は、周波数コントロールレジスタ1(FCON1)でシステムクロックを高速クロックに設定してください。(ユーザーズマニュアルの 23.1.2 項を参照してください)

・エラー処理

- [] VEER が“1”になった場合は、適切な処理を行ってください。(ユーザーズマニュアルの 23.2.4 項を参照してください)

・動作説明

- [] 第 1 フレーズの最終データは FIFO フレーズエンドデータレジスタ(VFEDAT)へ格納してください。(ユーザーズマニュアルの 23.3 項を参照してください)

第 24 章 スピーカンプ

・動作条件

- [] ショート検知回路は、音声再生時に機能しますので、スピーカアンプコントロールレジスタ(SPCON)の SPEN ビットが“1”の状態、かつ、音声再生コントロールレジスタ(VCON)の VCEN ビットを“1”の状態で使用してください。(ユーザーズマニュアルの 24.2.4 項を参照してください)
- [] 断線検知回路は、スピーカアンプコントロールレジスタ(SPCON)の SPEN ビットが“0”の状態で使用してください。(ユーザーズマニュアルの 24.3.2 項を参照してください)

第 25 章 フラッシュメモリセルフ書き換え機能

- [] 書き込むアドレスの内容はあらかじめ消去しておいてください。上書きによる書き込みアドレスの内容は保証されません(ユーザーズマニュアルの 25.2.3 項を参照してください)
- [] FLASHDH への書き込みより 1 ワード書き込みが開始されますので、FLASHDL, FLASHDH の順番でデータを書き込んで下さい(ユーザーズマニュアルの 25.2.3 項を参照してください)
- [] 周波数コントロールレジスタ(FCON1)の高速クロック(HSCLK)発振を許可し、システムクロックとして HSCLK を選択した状態で使用して下さい(ユーザーズマニュアルの 25.3～25.3.3 項を参照してください)
- [] ブロック消去開始命令、セクタ消去開始命令及び FLASHDH への書き込み命令の次の命令には必ず NOP 命令を 2 回以上設定してください(ユーザーズマニュアルの 25.3.1～25.3.3 項を参照してください)
- [] フラッシュステータスレジスタ(FLASHSTA)の FDERS ビット、および FDPRS ビットが“0”であることを確認して、次の消去/書き込みを実行してください。どちらかのビットが“1”で消去/書き込みを開始した場合は、無効です(ユーザーズマニュアルの 25.2.9 項を参照してください)
- [] 消去/書き込み中も CPU はプログラム処理を継続します。消去/書き込み中に STOP モードに移行しないでください。また、FLASHSLF レジスタの FSELF ビットは消去終了後に“0”(消去/書き込み禁止)に設定してください(ユーザーズマニュアルの 25.3.1～25.3.3 項を参照してください)
- [] フラッシュプロテクトレジスタ(FLASHPRT)の FPRT0～FPRT3 のいずれか一つでも“1”を書き込むと、以降のセグメント 4 の 0000H～07FFH のブロック消去が無効になります(ユーザーズマニュアルの 25.2.8 項を参照してください)

第 26 章 電源回路

・外付け容量

- [] $C_L=1\mu F$ (VDDL 端子)(ユーザーズマニュアルの 26.1.2 項を参照してください)

第 27 章 オンチップデバッグ機能

- [] 基板実装後にオンチップデバッグ機能, もしくはフラッシュ書き換え機能を使用する場合は, オンチップデバッグエミュレータとの接続に必要な 4 端子 (V_{DD} , V_{SS} , TEST1_N, TEST0) が接続できるように基板を設計して下さい。また, V_{DD} には 2.0V ~ 5.5V を供給してください(ユーザーズマニュアルの 27.2 項を参照してください)
- [] デバッグに使用した LSI は量産品として使用しないで下さい
- [] プログラムコードの動作確認は, お客様の量産ボード上でかつ EASE1000 V2 を接続しない状態で確認してください

第 28 章 コードオプション

- [] コードオプションデータは, プログラム・メモリのテストデータ領域である 0:0FDE0H アドレスに設定してください
- [] コードオプションデータ以外のテストデータ領域は“0FFH”データを設定してください

付録 A SFR (特殊レジスタ)**・初期値**

- [] 初期値が不定な SFR があることを確認してください(ユーザーズマニュアルの付録 A を参照してください)

付録 B パッケージ外形図**・TjMax**

- [] 基板の大きさや層数により熱抵抗値 (θ_{Ja}) が変わります (LSI の熱抵抗値について例を示しています)
- 本 LSI の TjMax は 110°C ですので確認してください(ユーザーズマニュアルの付録 B を参照してください)

付録 C 電気特性**・電源回路用外付けコンデンサ**

- [] $C_L = 1\mu F$ (V_{DDL} 端子用), [] $C_V = 1\mu F$ 以上 (V_{DD} 端子用)
- [] $C_{AV} = 1\mu F$ 以上 (V_{REF} 端子用), [] $C_{SV} = 1\mu F$ 以上 (SPV_{DD} 端子用)

・動作電圧

- [] 2.0V to 5.5V

・動作周囲温度

- [] -40°C to +85°C

コード最終確認環境 (FLASH 品のみ)

- [] プログラムコードの動作確認は, お客様の量産ボード上でかつ弊社のオンチップデバッグツール EASE1000 V2 を接続しない状態で確認してください。

改版履歷

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJUL610Q339-01	2022.4.18	－	－	正式初版発行