

ML62Q1500C/1700C グループ ユーザーズマニュアル

正式第 04 版 発行日 2022 年 8 月 30 日



ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用したことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
当社の意図していない用途に製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2018-2022 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>

製品使用時の注意事項

本製品を含むマイコン製品全体に適用する「注意事項」について以下に記載します。

製品個別の注意事項については、各製品のユーザーズマニュアル本文中の【注意】を参照してください。

なお、各製品のユーザーズマニュアルの本文と異なる記載がある場合は、本文中の記載を優先します。

1. 未使用の入力端子の処置

未使用の入力端子は、ノイズなどによる誤動作や消費電流の増加を防ぐために、電源または GND に固定してください。本文中に未使用端子の処置について記載のある製品は、その内容に従い処置してください。

2. 電源投入時の状態

電源投入時、電源電圧が推奨動作電圧に達し、かつリセット端子に“L”レベルの電圧が入力されるまでは、内部レジスタの値および、ポートの出力は不定です。

パワーオンリセットを搭載する製品は、パワーオンリセットが発生するまでは、内部レジスタの値およびポートの出力は不定です。

不定状態の内部レジスタの値やポート出力でシステムが誤動作しないよう注意して設計してください。

3. メモリ未使用領域へのアクセス

メモリ未使用領域のアドレスの読み出し、または書き込みを実行した場合の動作は保証いたしません。

4. 製品間の相違

電气的特性、ノイズ耐量、ノイズ輻射量等はマイコン製品ごとに異なります。他のマイコン製品から本製品に変更した場合に、お客様の機器・システムにおいて評価結果が変化する場合がありますので、本製品を実装したお客様の機器・システムにおいて十分な評価をしてからご使用ください。

5. 使用環境

本製品を高湿度な環境や結露する環境で使用する場合は防湿防水対策をしてください

はじめに

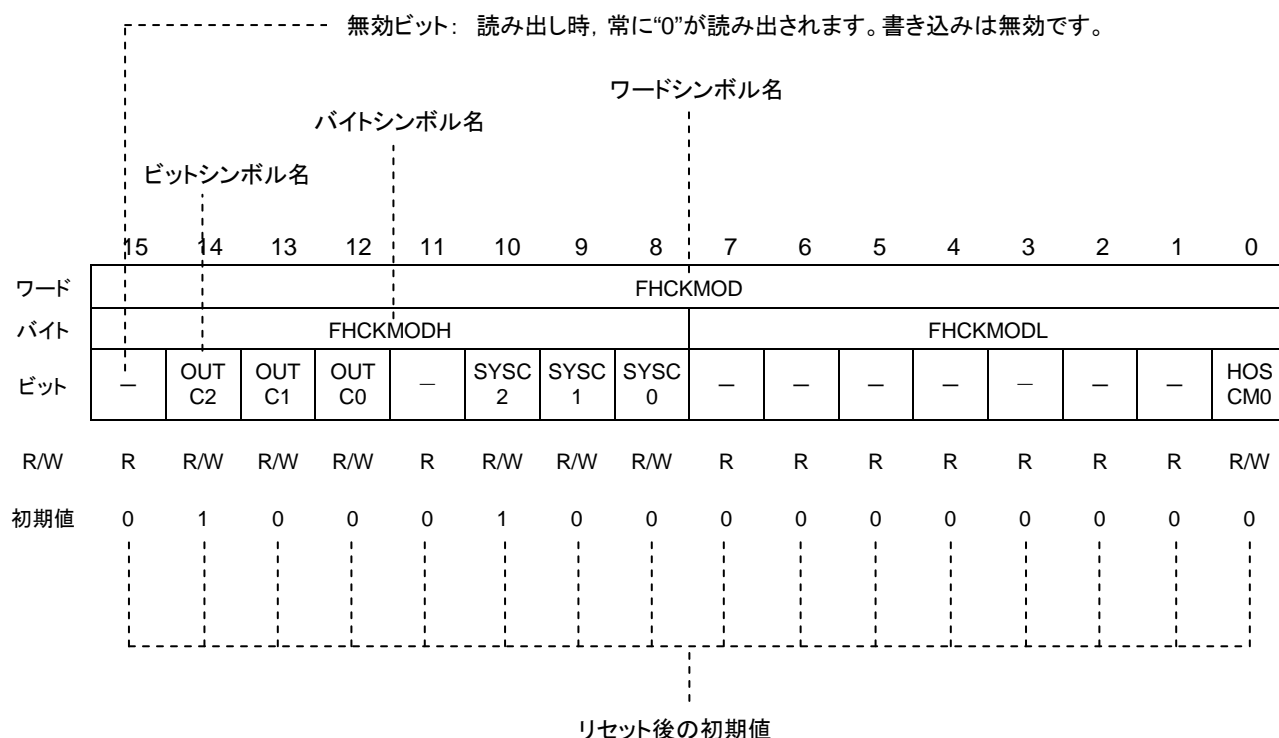
本ユーザーズマニュアルでは、16ビットマイクロコントローラ ML62Q1000 シリーズのハードウェアの動作説明が記述されています。

本書で対象となる ML62Q1000 シリーズは「ML62Q1500C グループ」, 「ML62Q1700C グループ」です。

関連するマニュアルについては、別ドキュメント「MCU 関連文書一覧」をご確認ください。

表記法

分 類	表記法	説 明
● 数値	XXh, XXH, 0xXX	16 進数を表します。
● 単位	ワード, W バイト, B ニブル, N メガ, M キロ, K キロ, k ミリ, m マイクロ, μ ナノ, n セカンド, s (小文字)	1 ワード=16 ビット 1 バイト=8 ビット 1 ニブル=4 ビット 10^6 $2^{10}=1024$ $10^3=1000$ 10^{-3} 10^{-6} 10^{-9} 秒
● 用語	<p>“H” レベル：電圧の高い側の信号レベルで，データシートの電气的特性で規定された V_{IH}, V_{OH} の電圧レベルを示します。</p> <p>“L” レベル：電圧の低い側の信号レベルで，データシートの電气的特性で規定された V_{IL}, V_{OL} の電圧レベルを示します。</p>	
● レジスタ説明図	<p>R/W：読み書き属性を表します。R は読み出し可能，W は書き込み可能，R/W は読み書き可能です。</p> <p>MSB： 16 ビットのレジスタ（メモリ）の最上位ビット</p> <p>LSB： 16 ビットのレジスタ（メモリ）の最下位ビット</p> <p>ワードシンボルのあるレジスタは，ワードアクセスが可能です。ワードシンボルを使用せずにレジスタ書き込みまたはレジスタ読み出しを行う場合は，偶数アドレスを指定してください。</p>	



はじめに

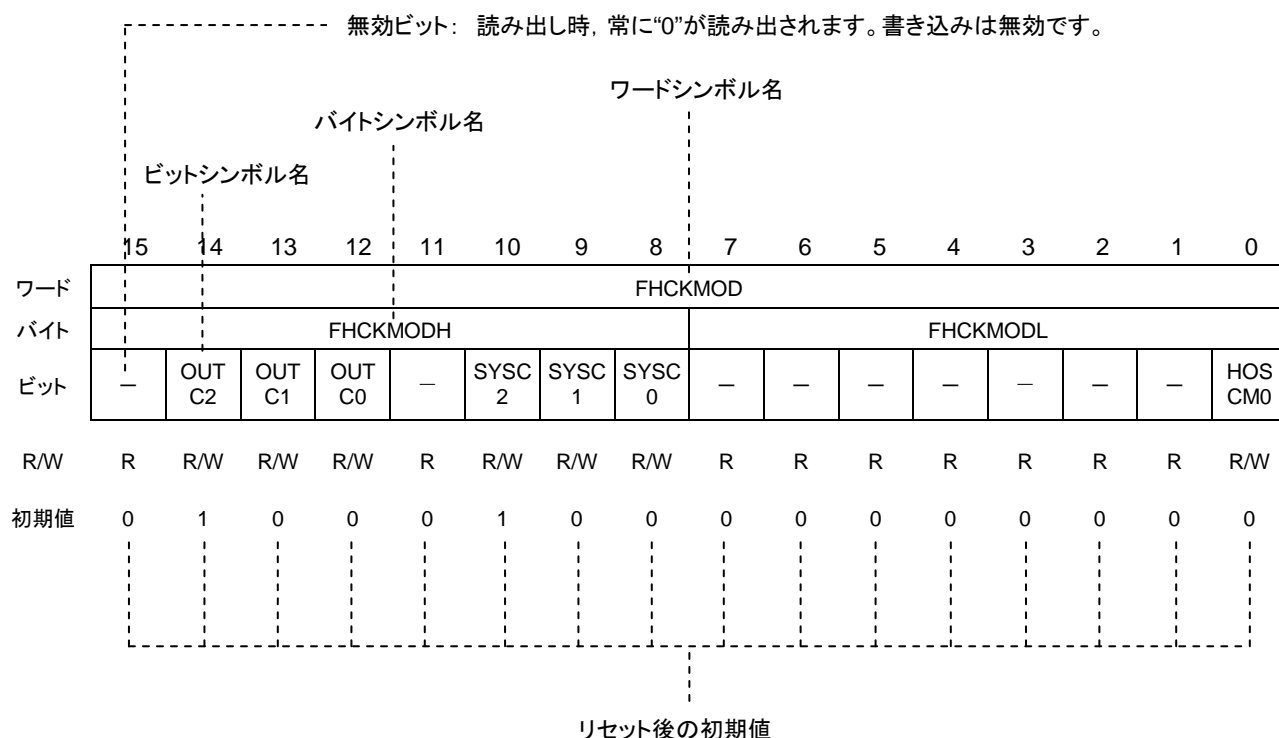
本ユーザーズマニュアルでは、16ビットマイクロコントローラ ML62Q1000 シリーズのハードウェアの動作説明が記述されています。

本書で対象となる ML62Q1000 シリーズは「ML62Q1500C グループ」, 「ML62Q1700C グループ」です。

関連するマニュアルについては、別ドキュメント「MCU 関連文書一覧」をご確認ください。

表記法

分 類	表記法	説 明
● 数値	XXh, XXH, 0xXX	16 進数を表します。
● 単位	ワード, W バイト, B ニブル, N メガ, M キロ, K キロ, k ミリ, m マイクロ, μ ナノ, n セカンド, s (小文字)	1 ワード=16 ビット 1 バイト=8 ビット 1 ニブル=4 ビット 10^6 $2^{10}=1024$ $10^3=1000$ 10^{-3} 10^{-6} 10^{-9} 秒
● 用語	<p>“H” レベル：電圧の高い側の信号レベルで，データシートの電气的特性で規定された V_{IH}, V_{OH} の電圧レベルを示します。</p> <p>“L” レベル：電圧の低い側の信号レベルで，データシートの電气的特性で規定された V_{IL}, V_{OL} の電圧レベルを示します。</p>	
● レジスタ説明図	<p>R/W：読み書き属性を表します。R は読み出し可能，W は書き込み可能，R/W は読み書き可能です。</p> <p>MSB： 16 ビットのレジスタ（メモリ）の最上位ビット</p> <p>LSB： 16 ビットのレジスタ（メモリ）の最下位ビット</p> <p>ワードシンボルのあるレジスタは，ワードアクセスが可能です。ワードシンボルを使用せずにレジスタ書き込みまたはレジスタ読み出しを行う場合は，偶数アドレスを指定してください。</p>	



目次

第1章 概要

1. 概要	1-1
1.1 特長	1-1
1.2 機能ブロック構成	1-12
1.2.1 ML62Q1500C グループのブロック図	1-12
1.2.2 ML62Q1700C グループのブロック図	1-13
1.3 端子	1-14
1.3.1 端子配置	1-14
1.3.2 端子一覧	1-20
1.3.3 端子説明	1-26
1.3.4 未使用端子の処理	1-33

第2章 CPUとメモリ空間

2. CPUとメモリ空間	2-1
2.1 概要	2-1
2.2 CPU nX-U16/100	2-2
2.2.1 ウェイトモードとノーウェイトモード	2-3
2.2.2 SB/RB 命令実行時の注意事項	2-3
2.2.3 リード・モディファイ・ライトの記述に関する注意	2-3
2.3 コプロセッサ	2-4
2.3.1 乗除算器	2-4
2.3.2 コプロセッサ汎用レジスター一覧	2-5
2.3.3 乗除算器の使い方	2-10
2.4 メモリ空間	2-11
2.5 プログラム・メモリ空間	2-12
2.6 データ・メモリ空間	2-15
2.7 レジスタ説明	2-18
2.7.1 レジスター一覧	2-18
2.7.2 データセグメントレジスタ (DSR)	2-19
2.7.3 フラッシュリマップアドレスレジスタ (REMAPADD)	2-20
2.8 リマップ機能	2-21
2.8.1 リマップ機能の動作説明	2-22
2.8.2 ソフトウェアリマップ	2-22
2.8.3 コードオプションリマップ	2-23

第3章 リセット機能

3. リセット機能	3-1
3.1 概要	3-1
3.1.1 特長	3-2
3.1.2 構成	3-3
3.1.3 端子一覧	3-4
3.2 レジスタ説明	3-5
3.2.1 レジスター一覧	3-5
3.2.2 リセットステータスレジスタ (RSTAT)	3-6
3.2.3 安全機能リセットステータスレジスタ (SRSTAT)	3-7
3.3 動作説明	3-8
3.3.1 リセット機能の動作	3-8
3.3.2 システムリセットモード	3-9
3.3.3 リセット入力端子リセット	3-9
3.3.4 パワーオンリセット	3-10

第4章 パワーマネジメント

4. パワーマネジメント	4-1
--------------------	-----

4.1	概要	4-1
4.1.1	特長	4-2
4.1.2	構成	4-3
4.2	レジスタ説明	4-4
4.2.1	レジスタ一覧	4-4
4.2.2	ストップコードアクセプタ (STPACP)	4-5
4.2.3	スタンバイコントロールレジスタ (SBYCON)	4-6
4.2.4	ソフトリセットアクセプタ (SOFTTRACP)	4-8
4.2.5	ソフトリセットコントロールレジスタ (SOFTTRCON)	4-9
4.2.6	ブロッククロックコントロールレジスタ 0 (BCKCON0)	4-10
4.2.7	ブロッククロックコントロールレジスタ 1 (BCKCON1)	4-11
4.2.8	ブロッククロックコントロールレジスタ 2 (BCKCON2)	4-13
4.2.9	ブロッククロックコントロールレジスタ 3 (BCKCON3)	4-15
4.2.10	ブロックリセットコントロールレジスタ 0 (BRECON0)	4-16
4.2.11	ブロックリセットコントロールレジスタ 1 (BRECON1)	4-17
4.2.12	ブロックリセットコントロールレジスタ 2 (BRECON2)	4-19
4.2.13	ブロックリセットコントロールレジスタ 3 (BRECON3)	4-21
4.3	動作説明	4-22
4.3.1	プログラム動作モード	4-22
4.3.2	HALT モード	4-22
4.3.3	HALT-H モード	4-23
4.3.4	HALT-C モード	4-24
4.3.5	STOP モード	4-25
4.3.6	STOP-D モード	4-26
4.3.7	スタンバイモードからの復帰動作についての注意事項	4-27
4.3.8	スタンバイモード時の各機能の動作	4-28
4.3.9	ブロック制御機能	4-30
4.3.10	STOP/STOP-D モード移行例	4-32
4.3.11	スタンバイモード移行についての注意事項	4-33

第5章 割込み

5.	割込み	5-1
5.1	概要	5-1
5.1.1	特長	5-1
5.2	レジスタ説明	5-2
5.2.1	レジスタ一覧	5-2
5.2.2	割込み許可レジスタ 01 (IE01)	5-6
5.2.3	割込み許可レジスタ 23 (IE23)	5-7
5.2.4	割込み許可レジスタ 45 (IE45)	5-9
5.2.5	割込み許可レジスタ 67 (IE67)	5-11
5.2.6	割込み要求レジスタ 01 (IRQ01)	5-12
5.2.7	割込み要求レジスタ 23 (IRQ23)	5-14
5.2.8	割込み要求レジスタ 45 (IRQ45)	5-16
5.2.9	割込み要求レジスタ 67 (IRQ67)	5-18
5.2.10	割込みレベル制御許可レジスタ (ILEN)	5-19
5.2.11	現割込みレベル管理レジスタ (CIL)	5-20
5.2.12	割込みレベル制御レジスタ 0 (ILC0)	5-21
5.2.13	割込みレベル制御レジスタ 1 (ILC1)	5-22
5.2.14	割込みレベル制御レジスタ 2 (ILC2)	5-24
5.2.15	割込みレベル制御レジスタ 3 (ILC3)	5-26
5.2.16	割込みレベル制御レジスタ 4 (ILC4)	5-28
5.2.17	割込みレベル制御レジスタ 5 (ILC5)	5-30
5.2.18	割込みレベル制御レジスタ 6 (ILC6)	5-32
5.2.19	割込みレベル制御レジスタ 7 (ILC7)	5-33
5.3	動作説明	5-34
5.3.1	マスクブル割込み処理	5-37

5.3.2	ノンマスカブル割込み処理	5-37
5.3.3	ソフトウェア割込み処理	5-37
5.3.4	割込みルーチンでの注意事項（割込みレベル制御禁止時）	5-38
5.3.5	割込みレベル制御許可時のフローチャート	5-44
5.3.6	割込みレベル制御許可時の割込み処理の記述方法	5-45
5.3.7	割込み禁止状態	5-48
5.3.8	IRQ01/IRQ23/IRQ45/IRQ67 の書き込み	5-48
第 6 章 クロック発生回路		
6.	クロック発生回路	6-1
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	構成	6-2
6.1.3	端子一覧	6-3
6.2	レジスタ説明	6-4
6.2.1	レジスタ一覧	6-4
6.2.2	高速クロックモードレジスタ（FHCKMOD）	6-5
6.2.3	低速クロックモードレジスタ（FLMOD）	6-7
6.2.4	周波数コントロールレジスタ（FCON）	6-8
6.2.5	高速クロック起動時間設定レジスタ（FHWUPT）	6-9
6.2.6	バックアップコントロールレジスタ（FBUCON）	6-10
6.2.7	バックアップクロックステータスレジスタ（FBUSTAT）	6-11
6.2.8	クロックバックアップテストモードアクセプタ（FBTACP）	6-12
6.2.9	クロックバックアップテストモードレジスタ（FBTCON）	6-13
6.2.10	低速 RC 発振周波数補正レジスタ（LRCADJ）	6-14
6.3	動作説明	6-15
6.3.1	低速クロック	6-15
6.3.2	高速クロック	6-21
6.3.3	WDT クロック	6-22
6.3.4	システムクロックの切り替え	6-23
6.3.5	低速クロックの切り替え	6-25
第 7 章 低速タイムベースカウンタ		
7.	低速タイムベースカウンタ	7-1
7.1	概要	7-1
7.1.1	特長	7-2
7.1.2	構成	7-3
7.1.3	端子一覧	7-4
7.2	レジスタ説明	7-5
7.2.1	レジスタ一覧	7-5
7.2.2	低速タイムベースカウンタレジスタ（LTBR）	7-6
7.2.3	低速タイムベースカウンタ制御レジスタ（LTBCCON）	7-7
7.2.4	簡易 RTC 用タイムベースカウンタレジスタ（LTBRR）	7-8
7.2.5	低速タイムベースカウンタ周波数補正レジスタ（LTBADJ）	7-9
7.2.6	低速タイムベースカウンタ割込み選択レジスタ（LTBINT）	7-10
7.3	動作説明	7-12
7.3.1	低速タイムベースカウンタの動作	7-12
7.3.2	低速タイムベースカウンタ周波数補正機能	7-14
7.3.3	LCD ドライバを利用した周波数確認方法	7-15
第 8 章 16 ビットタイマ		
8.	16 ビットタイマ	8-1
8.1	概要	8-1
8.1.1	特長	8-2
8.1.2	構成	8-3
8.1.3	端子一覧	8-4

8.2	レジスタ説明	8-5
8.2.1	レジスタ一覧.....	8-5
8.2.2	16 ビットタイマ n データレジスタ (TMHnD : n=0~5)	8-7
8.2.3	16 ビットタイマ n カウンタレジスタ (TMHnC : n=0~5)	8-8
8.2.4	16 ビットタイマ n モードレジスタ (TMHnMOD : n=0~5)	8-9
8.2.5	16 ビットタイマ n 割込みステータスレジスタ (TMHnIS : n=0~5)	8-11
8.2.6	16 ビットタイマ n 割込みクリアレジスタ (TMHnIC : n=0~5)	8-12
8.2.7	16 ビットタイマスタートレジスタ (TMHSTR)	8-13
8.2.8	16 ビットタイマストップレジスタ (TMHSTP)	8-15
8.2.9	16 ビットタイマステータスレジスタ (TMHSTAT)	8-17
8.3	動作説明.....	8-19
8.3.1	16 ビットタイマモード.....	8-19
8.3.2	8 ビットタイマモード.....	8-22
8.3.3	共通動作.....	8-27

第9章 ファンクショナルタイマ

9.	ファンクショナルタイマ	9-1
9.1	概要.....	9-1
9.1.1	特長	9-3
9.1.2	構成	9-4
9.1.3	端子一覧	9-5
9.2	レジスタ説明	9-7
9.2.1	レジスタ一覧.....	9-7
9.2.2	FTMn 周期レジスタ (FTnP : n=0~5)	9-12
9.2.3	FTMn イベント A レジスタ (FTnEA : n=0~5)	9-13
9.2.4	FTMn イベント B レジスタ (FTnEB : n=0~5)	9-14
9.2.5	FTMn デッドタイムレジスタ (FTnDT : n=0~5)	9-15
9.2.6	FTMn カウンタレジスタ (FTnC : n=0~5)	9-16
9.2.7	FTMn ステータスレジスタ (FTnSTAT : n=0~5)	9-17
9.2.8	FTMn モードレジスタ (FTnMOD : n=0~5)	9-18
9.2.9	FTMn クロックレジスタ (FTnCLK : n=0~5)	9-20
9.2.10	FTMn トリガレジスタ 0 (FTnTRG0 : n=0~5)	9-22
9.2.11	FTMn トリガレジスタ 1 (FTnTRG1 : n=0~5)	9-25
9.2.12	FTMn 割込み許可レジスタ (FTnINTE : n=0~5)	9-27
9.2.13	FTMn 割込みステータスレジスタ (FTnINTS : n=0~5)	9-29
9.2.14	FTMn 割込みクリアレジスタ (FTnINTC : n=0~5)	9-31
9.2.15	FTM 共通更新レジスタ (FTCUD)	9-32
9.2.16	FTM 共通コントロールレジスタ (FTCCON)	9-33
9.2.17	FTM 共通スタートレジスタ (FTCSTR)	9-34
9.2.18	FTM 共通ストップレジスタ (FTCSTP)	9-35
9.2.19	FTM 共通ステータスレジスタ (FTCSTAT)	9-36
9.3	動作説明.....	9-37
9.3.1	共通シーケンス (全モード共通の初期設定)	9-37
9.3.2	カウンタ動作 (全モード共通)	9-39
9.3.3	TIMER モードの動作	9-40
9.3.4	CAPTURE モードの動作	9-44
9.3.5	PWM1 モードの動作.....	9-47
9.3.6	PWM2 モードの動作.....	9-51
9.3.7	外部クロック入力/イベントトリガ/緊急停止トリガ制御	9-55
9.3.8	カウンタストップ時の出力	9-59
9.3.9	周期, イベント A/B, デッドタイムの動作中の変更	9-60
9.3.10	割込み要因	9-62

第10章 ウォッチドッグタイマ

10.	ウォッチドッグタイマ.....	10-1
10.1	概要	10-1

10.1.1	特長	10-2
10.1.2	構成	10-3
10.2	レジスタ説明	10-4
10.2.1	レジスタ一覧	10-4
10.2.2	ウォッチドッグタイマコントロールレジスタ (WDTCON)	10-5
10.2.3	ウォッチドッグタイマモードレジスタ (WDTMOD)	10-6
10.2.4	ウォッチドッグタイマカウンタレジスタ (WDTMC)	10-7
10.2.5	ウォッチドッグタイマステータスレジスタ (WDTSTA)	10-8
10.3	動作説明	10-9
10.3.1	WDT カウンタをクリアする方法	10-10
10.3.2	ウィンドウ機能無効モード	10-12
10.3.3	ウィンドウ機能有効モード	10-16

第 11 章 シリアル通信ユニット

11.	シリアル通信ユニット	11-1
11.1	概要	11-1
11.1.1	特長	11-2
11.1.2	構成	11-3
11.1.3	端子一覧	11-4
11.1.4	同期式シリアルポート端子の組み合わせ	11-8
11.1.5	UART 通信端子の組み合わせ	11-8
11.2	レジスタ説明	11-9
11.2.1	レジスタ一覧	11-9
11.2.2	シリアル通信ユニット n 送受信バッファ (SDnBUF)	11-14
11.2.3	シリアル通信ユニット n モードレジスタ (SUnMOD)	11-16
11.2.4	シリアル通信ユニット n 送信間隔設定レジスタ (SUnDLYL)	11-17
11.2.5	シリアル通信ユニット n コントロールレジスタ (SUnCON)	11-18
11.2.6	同期式シリアルポート n モードレジスタ (SIOOnMOD)	11-19
11.2.7	同期式シリアルポート n ステータスレジスタ (SIOOnSTAT)	11-21
11.2.8	UARTn0 モードレジスタ (UAn0MOD)	11-23
11.2.9	UARTn1 モードレジスタ (UAn1MOD)	11-25
11.2.10	UARTn0 ボーレートレジスタ (UAn0BRT)	11-27
11.2.11	UARTn1 ボーレートレジスタ (UAn1BRT)	11-27
11.2.12	UARTn0 ボーレート補正レジスタ (UAn0BRC)	11-28
11.2.13	UARTn1 ボーレート補正レジスタ (UAn1BRC)	11-28
11.2.14	UARTn0 ステータスレジスタ (UAn0STAT)	11-29
11.2.15	UARTn1 ステータスレジスタ (UAn1STAT)	11-31
11.3	動作説明	11-33
11.3.1	同期式シリアルポート (SSIO)	11-33
11.3.2	調歩同期式シリアル・インタフェース (UART)	11-42

第 12 章 I²C バスユニット

12.	I ² C バスユニット	12-1
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	構成	12-2
12.1.3	端子一覧	12-3
12.1.4	端子設定	12-3
12.2	レジスタ説明	12-4
12.2.1	レジスタ一覧	12-4
12.2.2	I ² C バスユニット 0 モードレジスタ (I2U0MSS)	12-5
12.2.3	I ² C バス 0 受信レジスタ (マスタ側) (I2UM0RD)	12-6
12.2.4	I ² C バス 0 スレーブアドレスレジスタ (マスタ側) (I2UM0SA)	12-7
12.2.5	I ² C バス 0 送信データレジスタ (マスタ側) (I2UM0TD)	12-8
12.2.6	I ² C バス 0 コントロールレジスタ (マスタ側) (I2UM0CON)	12-9
12.2.7	I ² C バス 0 モードレジスタ (マスタ側) (I2UM0MOD)	12-10

12.2.8	I ² C バス 0 ステータスレジスタ (マスタ側) (I2UM0STR)	12-12
12.2.9	I ² C バス 0 受信レジスタ (スレーブ側) (I2US0RD)	12-14
12.2.10	I ² C バス 0 スレーブアドレスレジスタ (スレーブ側) (I2US0SA)	12-15
12.2.11	I ² C バス 0 送信データレジスタ (スレーブ側) (I2US0TD)	12-16
12.2.12	I ² C バス 0 コントロールレジスタ (スレーブ側) (I2US0CON)	12-17
12.2.13	I ² C バス 0 モードレジスタ (スレーブ側) (I2US0MD)	12-18
12.2.14	I ² C バス 0 ステータスレジスタ (スレーブ側) (I2US0STR)	12-19
12.3	動作説明	12-21
12.3.1	マスタ動作	12-21
12.3.2	マスタモード通信動作タイミング	12-25
12.3.3	スレーブ動作	12-27
12.3.4	スレーブモード通信動作タイミング	12-31
12.3.5	動作波形	12-33
第 13 章 I²C バスマスタ		
13.	I ² C バスマスタ	13-1
13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	構成	13-2
13.1.3	端子一覧	13-3
13.1.4	端子設定について	13-3
13.2	レジスタ説明	13-4
13.2.1	レジスタ一覧	13-4
13.2.2	I ² C マスタ n 受信レジスタ (I2MnRD : n=0,1)	13-5
13.2.3	I ² C マスタ n スレーブアドレスレジスタ (I2MnSA : n=0,1)	13-6
13.2.4	I ² C マスタ n 送信データレジスタ (I2MnTD : n=0,1)	13-7
13.2.5	I ² C マスタ n コントロールレジスタ (I2MnCON : n=0,1)	13-8
13.2.6	I ² C マスタ n モードレジスタ (I2MnMOD : n=0,1)	13-9
13.2.7	I ² C マスタ n ステータスレジスタ (I2MnSTR : n=0,1)	13-11
13.3	動作説明	13-13
13.3.1	マスタ動作	13-13
13.3.2	通信動作タイミング	13-17
13.3.3	動作波形	13-19
第 14 章 DMA コントローラ		
14.	DMA コントローラ	14-1
14.1	概要	14-1
14.1.1	特長	14-2
14.1.2	構成	14-3
14.2	レジスタ説明	14-4
14.2.1	レジスタ一覧	14-4
14.2.2	DMA チャネル n 転送モードレジスタ (DCnMOD : n=0,1)	14-5
14.2.3	DMA チャネル n 転送回数レジスタ (DCnTN : n=0,1)	14-7
14.2.4	DMA チャネル n 転送元アドレスレジスタ (DCnSA : n=0,1)	14-8
14.2.5	DMA チャネル n 転送先アドレスレジスタ (DCnDA : n=0,1)	14-9
14.2.6	DMA 転送許可レジスタ (DCEN)	14-10
14.2.7	DMA ステータスレジスタ (DSTAT)	14-11
14.2.8	DMA 割込みステータスクリアレジスタ (DICLR)	14-12
14.3	動作説明	14-13
14.3.1	DMA コントローラ使用手順	14-13
14.3.2	DMA 転送の動作タイミングチャート	14-14
14.3.3	DMA 転送要求	14-15
14.3.4	DMA 転送を用いた UART 連続送信	14-16
14.3.5	DMA 転送を用いた UART 連続受信	14-17
14.3.6	DMA 転送対象ブロック	14-18

第 15 章 ブザー

15. ブザー	15-1
15.1 概要	15-1
15.1.1 特長	15-2
15.1.2 構成	15-3
15.1.3 端子一覧	15-4
15.2 レジスタ説明	15-5
15.2.1 レジスタ一覧	15-5
15.2.2 ブザー0 コントロールレジスタ (BZ0CON)	15-6
15.2.3 ブザー0 モードレジスタ (BZ0MOD)	15-7
15.3 動作説明	15-9
15.3.1 断続音 1 モード	15-9
15.3.2 断続音 2 モード	15-10
15.3.3 単音モード	15-11
15.3.4 連続音モード	15-12
15.3.5 共通動作	15-13

第 16 章 簡易 RTC

16. 簡易 RTC	16-1
16.1 概要	16-1
16.1.1 特長	16-1
16.1.2 構成	16-1
16.2 レジスタ説明	16-2
16.2.1 レジスタ一覧	16-2
16.2.2 簡易 RTC アクセプタ (SRTCACP)	16-3
16.2.3 簡易 RTC 分・秒カウンタ (SRTCMA)	16-4
16.2.4 簡易 RTC コントロールレジスタ (SRTCCON)	16-5
16.3 動作説明	16-6
16.3.1 簡易 RTC 時間データ書き込み動作	16-6
16.3.2 簡易 RTC 時間書き込み設定例	16-7

第 17 章 汎用ポート

17. 汎用ポート	17-1
17.1 概要	17-1
17.1.1 特長	17-2
17.1.2 構成	17-3
17.1.3 端子一覧	17-4
17.2 レジスタ説明	17-7
17.2.1 レジスタ一覧	17-7
17.2.2 ポート n データレジスタ (PnD : n=0~9, A, B)	17-16
17.2.3 ポート n モードレジスタ 01 (PnMOD01 : n=0~9, A, B)	17-17
17.2.4 ポート n モードレジスタ 23 (PnMOD23 : n=0~9, A, B)	17-20
17.2.5 ポート n モードレジスタ 45 (PnMOD45 : n=0~2, 4~9, A, B)	17-23
17.2.6 ポート n モードレジスタ 67 (PnMOD67 : n=0~2, 4~7, 9)	17-26
17.2.7 ポート n パルスモードレジスタ (PnPMD : n=0~3)	17-29
17.2.8 ポート n パルス選択レジスタ (PnPSEL : n=0~3)	17-30
17.2.9 PORTXT データ入力レジスタ (PXTDI)	17-31
17.2.10 PORTXT モードレジスタ 01 (PXTMOD01)	17-32
17.3 動作説明	17-33
17.3.1 入力機能	17-33
17.3.2 出力機能	17-33
17.3.3 入出力機能以外の 1 次機能	17-33
17.3.4 兼用機能	17-33
17.3.5 キャリア周波数出力機能	17-34
17.3.6 ポート出力レベルテスト機能	17-35

17.3.7	ポートの設定例	17-35
17.3.8	P00/TEST0 端子を使用する場合の注意事項	17-36

第 18 章 外部割込み機能

18.	外部割込み機能	18-1
18.1	概要	18-1
18.1.1	特長	18-2
18.1.2	構成	18-3
18.1.3	端子一覧	18-4
18.2	レジスタ説明	18-5
18.2.1	レジスタ一覧	18-5
18.2.2	外部割込みコントロールレジスタ 0 (EICON0)	18-6
18.2.3	外部割込みモードレジスタ 0 (EIMOD0)	18-7
18.2.4	拡張外部割込みコントロールレジスタ 0 (EEICON0)	18-9
18.2.5	拡張外部割込みモードレジスタ 0 (EEIMOD0)	18-10
18.2.6	拡張外部割込みモードレジスタ 1 (EEIMOD1)	18-11
18.2.7	拡張外部割込みステータスレジスタ (EEISTAT)	18-12
18.2.8	拡張外部割込みクリアレジスタ (EEINTC)	18-13
18.3	動作説明	18-14
18.3.1	割込み要求タイミング	18-14
18.3.2	外部トリガ信号	18-15
18.3.3	外部割込み設定フロー	18-16
18.3.4	拡張外部割込み設定フロー	18-17

第 19 章 CRC 演算器

19.	CRC 演算器	19-1
19.1	概要	19-1
19.1.1	特長	19-2
19.1.2	構成	19-3
19.2	レジスタ説明	19-4
19.2.1	レジスタ一覧	19-4
19.2.2	自動 CRC 演算開始アドレス設定レジスタ (CRCSAD)	19-5
19.2.3	自動 CRC 演算終了アドレス設定レジスタ (CRCEAD)	19-6
19.2.4	自動 CRC 演算開始セグメント設定レジスタ (CRCSSEG)	19-7
19.2.5	自動 CRC 演算終了セグメント設定レジスタ (CRCESEG)	19-8
19.2.6	CRC 演算データレジスタ (CRCDATA)	19-9
19.2.7	CRC 演算結果レジスタ (CRCRES)	19-10
19.2.8	CRC 演算モードレジスタ (CRCMOD)	19-11
19.3	動作説明	19-12
19.3.1	マニュアル CRC 演算モード	19-12
19.3.2	自動 CRC 演算モード	19-18

第 20 章 アナログコンパレータ

20.	アナログコンパレータ	20-1
20.1	概要	20-1
20.1.1	特長	20-2
20.1.2	構成	20-3
20.1.3	端子一覧	20-4
20.2	レジスタ説明	20-5
20.2.1	レジスタ一覧	20-5
20.2.2	コンパレータ n コントロールレジスタ (CMPnCON : n=0, 1)	20-6
20.2.3	コンパレータ n モードレジスタ (CMPnMOD : n=0, 1)	20-7
20.3	動作説明	20-9
20.3.1	アナログコンパレータの動作	20-9
20.3.2	割込み要求	20-10

第 21 章 D/A コンバータ

21.	D/A コンバータ	21-1
21.1	概要	21-1
21.1.1	特長	21-2
21.1.2	構成	21-3
21.1.3	端子一覧	21-4
21.2	レジスタ説明	21-5
21.2.1	レジスタ一覧	21-5
21.2.2	D/A コンバータ 0 コントロールレジスタ (DACCON)	21-6
21.2.3	D/A コンバータ 0 コードレジスタ (DACCODE)	21-7
21.3	動作説明	21-8
21.3.1	D/A コンバータの動作	21-8

第 22 章 電圧レベル監視機能

22.	電圧レベル監視機能	22-1
22.1	概要	22-1
22.1.1	特長	22-2
22.1.2	構成	22-3
22.2	レジスタ説明	22-4
22.2.1	レジスタ一覧	22-4
22.2.2	電圧レベル監視機能 0 コントロールレジスタ (VLS0CON)	22-5
22.2.3	電圧レベル監視機能 0 モードレジスタ (VLS0MOD)	22-6
22.2.4	電圧レベル監視機能 0 レベルレジスタ (VLS0LV)	22-7
22.2.5	電圧レベル監視機能 0 サンプリングレジスタ (VLS0SMP)	22-8
22.3	動作説明	22-9
22.3.1	スーパバイザモード	22-10
22.3.2	シングルモード	22-15

第 23 章 逐次比較型 A/D コンバータ

23.	逐次比較型 A/D コンバータ	23-1
23.1	概要	23-1
23.1.1	特長	23-2
23.1.2	構成	23-3
23.1.3	端子一覧	23-4
23.2	レジスタ説明	23-6
23.2.1	レジスタ一覧	23-6
23.2.2	SA-ADC リザルトレジスタ n (SADRn : n=0~11, 16)	23-8
23.2.3	SA-ADC リザルトレジスタ (SADR)	23-9
23.2.4	SA-ADC 上限下限ステータスレジスタ 0 (SADULS0)	23-10
23.2.5	SA-ADC 上限下限ステータスレジスタ 1 (SADULS1)	23-11
23.2.6	SA-ADC モードレジスタ (SADMOD)	23-12
23.2.7	SA-ADC コントロールレジスタ (SADCON)	23-13
23.2.8	SA-ADC イネーブルレジスタ 0 (SADEN0)	23-14
23.2.9	SA-ADC イネーブルレジスタ 1 (SADEN1)	23-15
23.2.10	SA-ADC 変換間隔レジスタ (SADSTM)	23-16
23.2.11	SA-ADC 上限下限モードレジスタ (SADLMOD)	23-17
23.2.12	SA-ADC 上限値設定レジスタ (SADUPL)	23-18
23.2.13	SA-ADC 下限値設定レジスタ (SADLOL)	23-18
23.2.14	基準電圧コントロールレジスタ (VREFCON)	23-19
23.2.15	SA-ADC 割込みモードレジスタ (SADIMOD)	23-20
23.2.16	SA-ADC トリガレジスタ (SADTRG)	23-21
23.2.17	SA-ADC テストモード (SADTMOD)	23-22
23.3	動作説明	23-23
23.3.1	逐次比較型 A/D コンバータの動作	23-23
23.3.2	逐次比較型 A/D コンバータのテスト方法	23-27

23.3.3	A/D 変換時間の設定	23-28
23.4	逐次比較型 A/D コンバータ使用時の注意事項	23-31
23.4.1	サンプル時間の設定	23-31
23.4.2	ノイズ対策	23-32
第 24 章 レギュレータ		
24.	レギュレータ	24-1
24.1	概要	24-1
24.1.1	特長	24-2
24.1.2	構成	24-3
24.1.3	端子一覧	24-4
24.2	動作説明	24-4
24.2.1	基準電圧出力	24-4
第 25 章 フラッシュ・メモリ		
25.	フラッシュ・メモリ	25-1
25.1	概要	25-1
25.1.1	端子一覧	25-3
25.2	レジスタ説明	25-4
25.2.1	レジスタ一覧	25-4
25.2.2	フラッシュアドレスレジスタ (FLASHA)	25-5
25.2.3	フラッシュセグメントレジスタ (FLASHSEG)	25-6
25.2.4	フラッシュデータレジスタ 0 (FLASHD0)	25-8
25.2.5	フラッシュデータレジスタ 1 (FLASHD1)	25-9
25.2.6	フラッシュコントロールレジスタ (FLASHCON)	25-10
25.2.7	フラッシュアクセプタ (FLASHACP)	25-11
25.2.8	フラッシュセルフレジスタ (FLASHSLF)	25-12
25.2.9	フラッシュステータスレジスタ (FLASHSTA)	25-13
25.3	セルフ・プログラミング	25-14
25.3.1	セルフ・プログラミングコードをデバッグする際の注意事項	25-14
25.3.2	プログラム・メモリ空間の書き換え	25-15
25.3.3	データ・フラッシュ領域の書き換え	25-17
25.3.4	セルフ・プログラミング使用時の注意	25-19
25.4	In-System Programming 機能	25-20
25.4.1	プログラミング手順	25-20
25.4.2	通信方式	25-20
25.4.3	通信コマンド	25-21
25.4.4	ISP モードへの移行コマンド	25-22
25.4.5	フラッシュ・メモリの操作	25-23
25.4.6	フラッシュ・メモリ消去／書き込みのアドバンスド制御	25-28
第 26 章 コードオプション		
26.	コードオプション	26-1
26.1	概要	26-1
26.1.1	機能一覧	26-1
26.2	コードオプション説明	26-2
26.2.1	コードオプション 0 (CODEOP0)	26-2
26.2.2	コードオプション 1 (CODEOP1)	26-3
26.2.3	コードオプション 2 (CODEOP2)	26-4
26.3	コードオプションデータ設定方法	26-5
第 28 章 オンチップデバッグ機能		
28.	オンチップデバッグ機能	28-1
28.1	概要	28-1
28.1.1	特長	28-2
28.1.2	構成	28-3

28.1.3	端子一覧	28-4
28.2	オンチップデバッグ機能の使用方法	28-5
28.3	注意事項	28-5
28.4	オンチップデバッグ時のブレーク中に動作継続させる周辺回路について	28-6
28.5	オンチップデバッグツールによるリセット	28-6

第 29 章 安全機能

29.	安全機能	29-1
29.1	概要	29-1
29.1.1	特長	29-2
29.2	レジスタ説明	29-3
29.2.1	レジスタ一覧	29-3
29.2.2	RAM ガード設定レジスタ 0 (RAMGD)	29-4
29.2.3	SFR ガード設定レジスタ 0 (SFRGD0)	29-5
29.2.4	SFR ガード設定レジスタ 1 (SFRGD1)	29-6
29.2.5	RAM パリティ設定レジスタ (RASFMOD)	29-8
29.2.6	通信テスト設定レジスタ 0 (COMFT0)	29-9
29.2.7	マイコンステータス割込み許可レジスタ (MCINTEL)	29-10
29.2.8	マイコンステータス割込みレジスタ (MCISTATL)	29-11
29.2.9	マイコンステータス割込みクリアレジスタ (MCINTCL)	29-12
29.3	動作説明	29-13
29.3.1	通信機能の自己テスト	29-13
29.3.2	ROM 未使用領域アクセスリセット機能	29-14
29.3.3	クロック相互監視機能	29-15
29.3.4	CRC 演算	29-17
29.3.5	WDT カウンタ読み出し	29-17
29.3.6	ポート出力レベルテスト機能	29-17
29.3.7	逐次比較型 A/D コンバータのテスト機能	29-17
29.3.8	クロックバックアップ機能とそのテスト機能	29-17

付録

付録 A	レジスタ一覧	A-1
付録 B	パッケージ外観図	B-1
付録 C	インストラクション実行サイクル	C-1
付録 D	応用回路例	D-1
付録 E	注意事項	E-1

第 1 章 概要

1. 概要

1.1 特長

ML62Q1500C/1700Cグループは、16ビットCPU nX-U16/100 (A35コア)を搭載し、プログラム・メモリ(フラッシュ・メモリ)、データ・メモリ(RAM)、データ・フラッシュ、乗除算器、CRC 演算器、DMA コントローラ、クロック発生回路、簡易 RTC、タイマ、汎用ポート、UART、同期式シリアルポート、I²C バス(マスタ、スレーブ)、ブザー、電圧レベル監視機能(VLS)、逐次比較型 A/D コンバータ、D/A コンバータ、アナログコンバータ、LCDドライバ、安全機能(IEC60730/60335 Class B 対応)など、多彩な周辺機能を集積した高性能 CMOS16 ビットマイクロコントローラです。

16 ビット CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。

ML62Q1500C/1700C グループは、オンチップデバッグ機能を搭載しており、オンボードでのソフトウェアのデバッグおよびソフトウェアの書き換えが可能です。また、ISP (In-System Programming) 機能を搭載しており、量産ラインでのフラッシュ書き込み機能を容易に実現することができます。

ML62Q1500C/1700Cグループは、パッケージ種類およびプログラム・メモリ容量別に複数のグループから構成されています。

表 1-1、表 1-2 に 52 ピンから 80 ピンのパッケージ、96K バイトから 128K バイトのプログラム・メモリ容量をラインアップした ML62Q1500C グループ、ML62Q1700C グループの商品一覧を示します。

表 1-1 ML62Q1500C グループ商品一覧

プログラム・メモリ	データ・メモリ	データ・フラッシュ	52 ピン TQFP52	64 ピン QFP64 TQFP64	80 ピン QFP80
128K バイト	8K バイト	4K バイト	ML62Q1544C	ML62Q1554C	ML62Q1564C
96K バイト			ML62Q1543C	ML62Q1553C	ML62Q1563C

表 1-2 ML62Q1700C グループ商品一覧

プログラム・メモリ	データ・メモリ	データ・フラッシュ	52 ピン TQFP52	64 ピン QFP64 TQFP64	80 ピン QFP80
128K バイト	8K バイト	4K バイト	ML62Q1714C	ML62Q1724C	ML62Q1734C
96K バイト			ML62Q1713C	ML62Q1723C	ML62Q1733C

ML62Q1500C/1700C グループをご使用の際は、本資料に記載された「製品使用時の注意事項」および「ご注意」をご確認の上、お使いください。

- CPU
 - RISC 方式 16 ビット CPU : nX-U16/100 (A35 コア)
 - 命令体系: 16 ビット長命令
 - 命令セット: 転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
 - オンチップデバッグ機能を内蔵 (ラピステクノロジー製オンチップデバッグエミュレータと接続)
 - ISP (In-System Programming) 機能を内蔵
 - 最小命令実行時間
約 30.5 μ s (@32.768kHz システムクロック)
約 62.5ns / 41.6ns (@16MHz / 24MHz システムクロック)
- 乗除算器 (コプロセッサ)
 - 乗算 : 16bit \times 16bit (演算時間 4 サイクル)
 - 除算 : 32bit \div 16bit (演算時間 8 サイクル)
 - 除算 : 32bit \div 32bit (演算時間 16 サイクル)
 - 積和 (非飽和型) : 16bit \times 16bit + 32bit (演算時間 4 サイクル)
 - 積和 (飽和型) : 16bit \times 16bit + 32bit (演算時間 4 サイクル)
 - 符号あり, なしの演算の設定が可能
- 動作保証範囲
 - 動作電圧 : $V_{DD}=1.6V \sim 5.5V$ (電源起動時は 1.8V 以上必要です)
 - 動作周囲温度 : $-40^{\circ}C \sim +105^{\circ}C$
- 内部メモリ
 - プログラム・メモリ
 - 書き換え回数 : 100 回
 - 書き込み単位 : 32 ビット (4 バイト)
 - 消去単位 : 16K バイト / 1K バイト
 - 消去 / 書き込み温度 : $0^{\circ}C \sim +40^{\circ}C$
 - データ・フラッシュ
 - 書き換え回数 : 10,000 回
 - 書き込み単位 : 8 ビット (1 バイト)
 - 消去単位 : 全領域 / 128 バイト
 - 消去 / 書き込み温度 : $-40^{\circ}C \sim +85^{\circ}C$
 - データ・フラッシュ消去 / 書き込み中, CPU は動作可能

This product uses Super Flash® technology licensed from Silicon Storage Technology, Inc.
Super Flash® is a registered trademark of Silicon Storage Technology, Inc.
 - データ・メモリ (RAM)
 - 書き込み単位 : 8 ビット / 16 ビット
 - パリティチェック機能あり (パリティエラー時に割込み / リセット発生可能)
- クロック発生回路
 - 低速クロック (LSCLK)
 - 低速 RC 発振 : 約 32.768kHz
 - 低速外部クロック入力 : 32.768kHz のクロック入力が可能
 - 低速水晶発振 : 32.768kHz の水晶振動子を接続可能
 - 低速水晶発振は, 発振余裕度と消費電流による 3 つの動作モードを搭載
 - ・タフモード : 発振余裕度を大きくして端子間リークに強くしたモード
 - ・標準モード : 消費電流, 発振余裕度とも標準的なモード
 - ・低消費電流モード : 発振余裕度を標準モードよりも小さくすることで消費電流を抑えたモード
 - 高速クロック (HSCLK)
 - PLL 発振 : コードオプションで 24MHz / 16MHz を選択可能
 - ウォッチドッグタイマ (WDT) 用に独立クロックを内蔵 (RC1K: 約 1kHz)

- リセット
 - リセット入力端子リセット
 - パワーオンリセット
 - WDT オーバフローリセット
 - WDT 不正クリアリセット
 - RAM パリティエラーリセット
 - ROM 未使用領域アクセスリセット(命令アクセスのとき)
 - 電圧レベル監視リセット
 - BRK 命令リセット(CPU のみリセット)
 - 各周辺回路の個別リセット
 - 端子制御および周辺回路の一括リセット
- パワーマネージメント
 - HALT モード : CPU を停止, 周辺回路は動作を継続
 - HALT-H モード : CPU を停止, 周辺回路は低速クロックのみ継続, 高速クロックは強制停止, HALT-H モード解除時に高速クロックを強制開始
 - HALT-C モード : CPU を停止, 周辺回路は動作を継続, 高速クロック停止, 周辺回路はウォッチドッグタイマ, 外部割込み, 低速タイムベースカウンタ, 16ビットタイマ, 水晶発振回路, LCDドライバ^{*1}のみ動作可能
*1:ML62Q1700C グループで使用可能
 - STOP モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止
 - STOP-D モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止, 内部ロジック用電圧(V_{DDL})を低下させ消費電流を抑制(RAM データは保持)
 - クロックギア : 高速システムクロックの周波数を変更可能
(HCLK の 1/1, 1/2, 1/4, 1/8, 1/16, 1/32)
 - ブロック制御機能 : 使用しない機能ブロックをパワーダウン(リセットもしくはクロック供給停止)
- 割込み
 - 外部割込み 最大 12 本
 - ノンマスカブル割込み : 1 要因(内部要因 WDT)
 - マスカブル割込み : 最大 43 要因
 - 4 段階の割込みレベル機能
- ウォッチドッグタイマ(WDT)
 - 動作クロック選択 : コードオプションで RC1K 発振もしくは低速クロックを選択可能
 - オーバフロー周期選択 : 8 種(7.8ms, 15.6ms, 31.3ms, 62.5ms, 125ms, 500ms, 2s, 8s)
 - ウィンドウ機能の有効/無効選択 : クリア許可期間をオーバフロー周期の 50%もしくは 75%に設定可能
 - WDT 動作選択 : コードオプションで許可/停止選択可能
 - WDT カウンタ読み出し可能 : WDT カウンタ動作の監視機能
- DMA コントローラ
 - チャンネル数 : 2 チャンネル
 - 転送単位 : 8 ビット/16 ビット
 - 転送回数 : 1~1024 回
 - 転送サイクル : 2 サイクル転送
 - 転送アドレス : 固定アドレッシング, インクリメントアドレッシング, デクリメントアドレッシングモード
 - 転送対象 : 特殊機能レジスタ(SFR)/RAM → SFR/RAM(フラッシュ・メモリとの転送はできません)
 - 転送要求 : 外部端子, シリアル通信ユニット, 逐次比較型 A/D コンバータ, 16 ビットタイマ, ファンクショナルタイマ

- 低速タイムベースカウンタ
 - 低速クロック(LSCLK)を分周し、8種(128Hz～1Hz)のパルス信号を生成
 - 8種類のパルス信号から3つの割込みを選択可能
 - 1Hz または 2Hz の信号を汎用ポートから出力可能
 - 周波数補正機能を搭載(補正範囲:約-488ppm ～ +488ppm, 補正分解能:約 0.119ppm)
- 簡易 RTC
 - チャンネル数 : 1 チャンネル
 - 00 分 00 秒から 59 分 59 秒まで 1 秒単位でカウント
 - 4 種類の定期割込み要求(0.5 秒, 1 秒, 30 秒, 60 秒)から 1 つの割込みを選択可能
 - 分, 秒の誤書き込み防止機能を搭載
- ファンクショナルタイマ
 - チャンネル数 : 6 チャンネル
 - 16 ビットカウンタによるタイマ/キャプチャ/PWM 機能を搭載
 - ワンショットモードを搭載
 - デューティの異なる 2 種類の同一周期 PWM 出力やデッドタイム付きの相補 PWM 出力が可能
 - キャプチャ機能により入力信号のデューティ, 周期が測定可能
 - 周期割込みのほか, デューティ割込みや設定値との一致割込みなどを発生
 - 外部入力, タイマなどをトリガにしてカウンタの動作開始/停止/カウンタクリアが可能
 - 外部入力をトリガにして緊急停止, および緊急停止割込みを発生
 - ファンクショナルタイマの異なるチャンネル間で同時開始/停止が可能
 - チャンネル毎にカウンタクロックを選択可能(LSCLK/HSCLK の 1～128 分周または外部クロック入力)
- 16 ビットタイマ
 - チャンネル数 : 6 チャンネル
 - 8 ビットタイマモード, 16 ビットタイマモード
(16 ビットタイマ×1 チャンネルは, 8 ビットタイマ×2 チャンネルとして使用可能)
 - 16 ビット(8 ビット)タイマの異なるチャンネル間で同時開始/停止が可能
 - タイマ出力(オーバフロー毎に出力が反転)
 - チャンネル毎にカウンタクロックを選択可能(LSCLK/HSCLK の 1～128 分周または外部クロック入力)
- シリアル通信ユニット
 - 同期式シリアルポート(SSIO)モード/UART モードを選択
 - チャンネル数 : 最大 4 チャンネル
 - <同期式シリアルポートモード>
 - マスタ/スレーブ選択可能
 - LSB ファースト/MSB ファースト選択可能
 - 8 ビット長/16 ビット長選択可能
 - <UART モード>
 - 全二重通信モード/半二重通信モード
 - ビット長 5～8, パリティ有無, 奇数パリティ/偶数パリティ, 1 ストップビット/2 ストップビット
 - 正論理/負論理選択可能
 - LSB ファースト/MSB ファースト選択可能
 - 幅広い通信速度を設定可能
 - ・ クロック周波数 32.768kHz 時 : 1bps～4,800bps
 - ・ クロック周波数 24MHz 時 : 600bps～3Mbps
 - ・ クロック周波数 16MHz 時 : 300bps～2Mbps
 - ボーレートジェネレータ内蔵

- I²C バスユニット(マスタ/スレーブ)
 - － マスタモード/スレーブモードを選択
 - － チャンネル数 : 1 チャンネル
 - ＜マスタ機能＞
 - － 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - － ハンドシェーク(クロック同期化) 対応
 - － 7 ビットアドレスフォーマット(10 ビットアドレス対応可能)
 - ＜スレーブ機能＞
 - － 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - － クロックストレッチ機能
 - － 7 ビットアドレスフォーマット
- I²C バスマスタ
 - － チャンネル数 : 2 チャンネル
 - － 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - － ハンドシェーク(クロック同期化) 対応
 - － 7 ビットアドレスフォーマット(10 ビットアドレス対応可能)
- 汎用ポート(GPIO)
 - － 汎用入出力 : 最大 69 端子(兼用機能およびオンチップデバッグ用の 1 端子を含む)
 - － 汎用入力 : 最大 2 端子(兼用機能を含む)
 - － 外部割込み : 最大 12 端子
 - － LED 駆動 : 最大 68 端子
 - － キャリア周波数出力機能(赤外線通信用)
- 逐次比較型 A/D コンバータ
 - － チャンネル数 : 最大 12 チャンネル
 - － 分解能 : 10 ビット
 - － 変換時間 : 最小 2.25 μ s/1 チャンネル(変換クロック 8MHz 時)
 - － V_{DD} 端子入力電圧/内蔵リファレンス電圧(約 1.55V)/外部リファレンス電圧(V_{REF} 端子)選択可能
 - － 選択チャンネルの連続変換が可能
 - － 変換結果のレジスタは各チャンネル毎に搭載
 - － 変換結果の下限, 上限判定による割込み要求が可能
- 電圧レベル監視機能(VLS)
 - － 判定精度 : $\pm 4\%$
 - － 判定電圧 : 12 値(1.85V \sim 4.00V から選択可能)
 - － 電圧レベル監視リセット(VLS リセット)として使用可能
 - － 電圧レベル監視割込み(VLS0 割込み)として使用可能
- アナログコンパレータ
 - － チャンネル数 : 2 チャンネル
 - － 割込みエッジ, サンプリング有無を選択可能
 - － 外部入力と外部入力, 外部入力と内部基準電圧(0.8V)との比較が可能
- D/A コンバータ
 - － チャンネル数 : 1 チャンネル
 - － 分解能 : 8 ビット
 - － 出力インピーダンス : 6k Ω (Typ.)
 - － R-2R ラダー方式

- ブザー
 - － 4 種類のブザーモード(連続音／単音／断続音 1／断続音 2)
 - － 8 種の周波数(4.096kHz～293Hz)
 - － 15 段階のデューティ(1/16～15/16)
 - － ブザー出力端子の正論理／負論理が選択可能
- CRC(Cyclic Redundancy Check) 演算器
 - － 生成多項式 : $X^{16}+X^{12}+X^5+1$
 - － LSB ファースト／MSB ファースト選択可能
 - － プログラム・メモリを HALT モード中に演算する自動 CRC 演算モードを搭載
- LCD ドライバ(ML62Q1700C グループで使用可能)
 - － 最大 360 ドット(45seg×8com)^{*2}
 - ML62Q1713C/ML62Q1714C : 27seg×8com (com Max.), 32seg×3com (seg Max.)
 - ML62Q1723C/ML62Q1724C : 35seg×8com (com Max.), 40seg×3com (seg Max.)
 - ML62Q1733C/ML62Q1734C : 45seg×8com (com Max.), 50seg×3com (seg Max.)
 - ^{*2}: コモン出力端子とセグメント出力端子のうち 5 端子は兼用端子です。この 5 端子は SFR の設定により
 コモン出力端子として使用するかセグメント出力端子として使用するかを選択できます。
 - － 1/3 バイアス (バイアス発生回路内蔵)
 - － フレーム周波数選択(約 32Hz, 約 38Hz, 約 64Hz, 約 75Hz, 約 128Hz, 約 150Hz)
 - － LCD 駆動電圧の生成方式を選択可能
(内部昇圧／外部印加容量分圧／内部印加容量分圧／外部印加)
 - － 内部昇圧モード時は, 32 段階のコントラスト調整が可能
- 安全機能(IEC60730/60335 Class B 対応)
 - － 低速水晶発振停止時に低速 RC 発振に自動で切り替え
 - － RAM／SFR ガード
 - － プログラム・メモリの自動 CRC 演算
 - － RAM パリティエラー検出
 - － ROM 未使用領域アクセスリセット(命令アクセスのとき)
 - － クロック相互監視
 - － WDT カウンタ監視
 - － 逐次比較型 A/D コンバータテスト
 - － UART テスト
 - － 同期式シリアルポートテスト
 - － I²C バステスト
 - － 汎用ポートテスト

● 出荷形態

ML62Q1500C グループ

- 52 ピン プラスチック TQFP
ML62Q1543C/1544C - xxxTB (ブランク品:ML62Q1543C/1544C-NNNTB)
- 64 ピン プラスチック TQFP
ML62Q1553C/1554C - xxxTB (ブランク品:ML62Q1553C/1554C-NNNTB)
- 64 ピン プラスチック QFP
ML62Q1553C/1554C - xxxGA (ブランク品:ML62Q1553C/1554C-NNNGA)
- 80 ピン プラスチック QFP
ML62Q1563C/1564C - xxxGA (ブランク品:ML62Q1563C/1564C-NNNGA)

ML62Q1700C グループ

- 52 ピン プラスチック TQFP
ML62Q1713C/1714C - xxxTB (ブランク品:ML62Q1713C/1714C-NNNTB)
- 64 ピン プラスチック TQFP
ML62Q1723C/1724C - xxxTB (ブランク品:ML62Q1723C/1724C-NNNTB)
- 64 ピン プラスチック QFP
ML62Q1723C/1724C - xxxGA (ブランク品:ML62Q1723C/1724C-NNNGA)
- 80 ピン プラスチック QFP
ML62Q1733C/1734C - xxxGA (ブランク品:ML62Q1733C/1734C-NNNGA)

※xxx:ROM コード番号

● ML62Q1500C グループの商品名

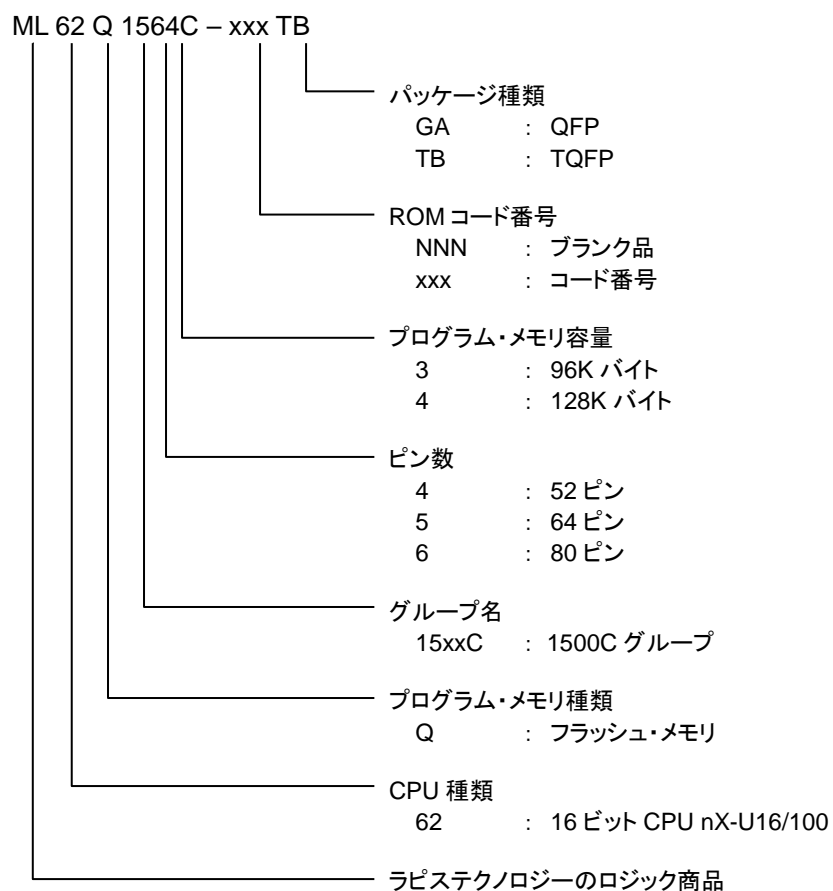


図 1-1 ML62Q1500C グループの商品名

● ML62Q1700C グループの商品名

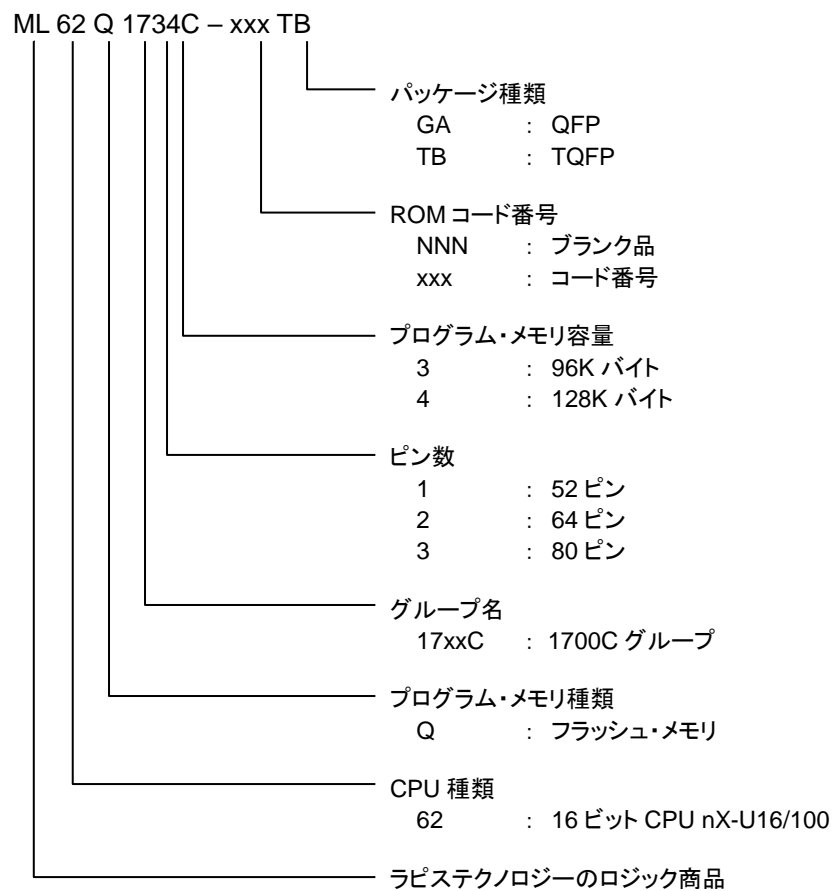


図 1-2 ML62Q1700C グループの商品名

● ML62Q1500C グループの商品別仕様

表 1-3 グループ商品別仕様 (ML62Q1500C グループ)

製品名	端子					割込み	タイマ	通信機能	アナログ								
	総ピン数	電源端子数	リセット入力端子数	入力端子数 ^{*3}	入出力端子数	LED 駆動端子 (入出力端子兼用) 数	内部要因数 (WDT 割込み含む)	外部割込み端子数	ファンクショナルタイマ [*] [CH 数]	16ビットタイマ ^{*1} [CH 数]	簡易 RTC [CH 数]	シリアル通信ユニット ^{*2} [CH 数]	I ² C バスユニット (マスタ/スレーブ) [CH 数]	I ² C バスマスタ [CH 数]	逐次比較型 A/D コンバータ [CH 数]	アナログコンパレータ [CH 数]	D/A コンバータ [CH 数]
ML62Q1543C	52	3	1	2	46	45	33	10	6	6	1	3	1	2	12	2	4
ML62Q1544C	58				57	35											
ML62Q1553C							74					73					
ML62Q1554C	80																
ML62Q1563C																	
ML62Q1564C																	

*1 : 16ビットタイマ×1 チャンネルは、8ビットタイマ×2 チャンネルとして使用することができます。

*2 : シリアル通信ユニットは UART と同期式シリアルポートを兼用しています。同一チャンネル内では UART と同期式シリアルポートは同時に使用できません。

*3 : 水晶発振端子と兼用です。

● ML62Q1700C グループの商品別仕様

表 1-4 グループ商品別仕様 (ML62Q1700C グループ)

製品名	端子										割込み		タイマ		通信機能		アナログ				
	総ピン数	電源端子数	リセット入力端子数	入力端子数 ^{*3}	入出力端子数	LED 駆動端子 (入出力端子兼用) 数	LCD コモン / セグメント兼用出力端子 ^{*4,5}	LCD コモン出力端子数 ^{*5}	LCD セグメント出力端子数	LCD バイアス端子数	内部要因数 (WDT 割込み含む)	外部割込み端子数	ファンクショナルタイマ [CH 数]	16ビットタイマ ^{*1} [CH 数]	簡易 RTC [CH 数]	シリアル通信ユニット ^{*2} [CH 数]	I ² C バスユニット (マスタ / スレーブ) [CH 数]	I ² C バスマスタ [CH 数]	逐次比較型 A/D コンバータ [CH 数]	アナログコンパレータ [CH 数]	D/A コンバータ [CH 数]
ML62Q1713C	52	3	1	2	41	40	5	3	27	5	33	10	6	6	1	3	1	2	12	2	4
ML62Q1714C																					
ML62Q1723C	64				69	68															
ML62Q1724C									80												
ML62Q1733C																					
ML62Q1734C																					

*1 : 16ビットタイマ×1 チャンネルは, 8ビットタイマ×2 チャンネルとして使用することができます。

*2 : シリアル通信ユニットは UART と同期式シリアルポートを兼用しています。同一チャンネル内では UART と同期式シリアルポートは同時に使用できません。

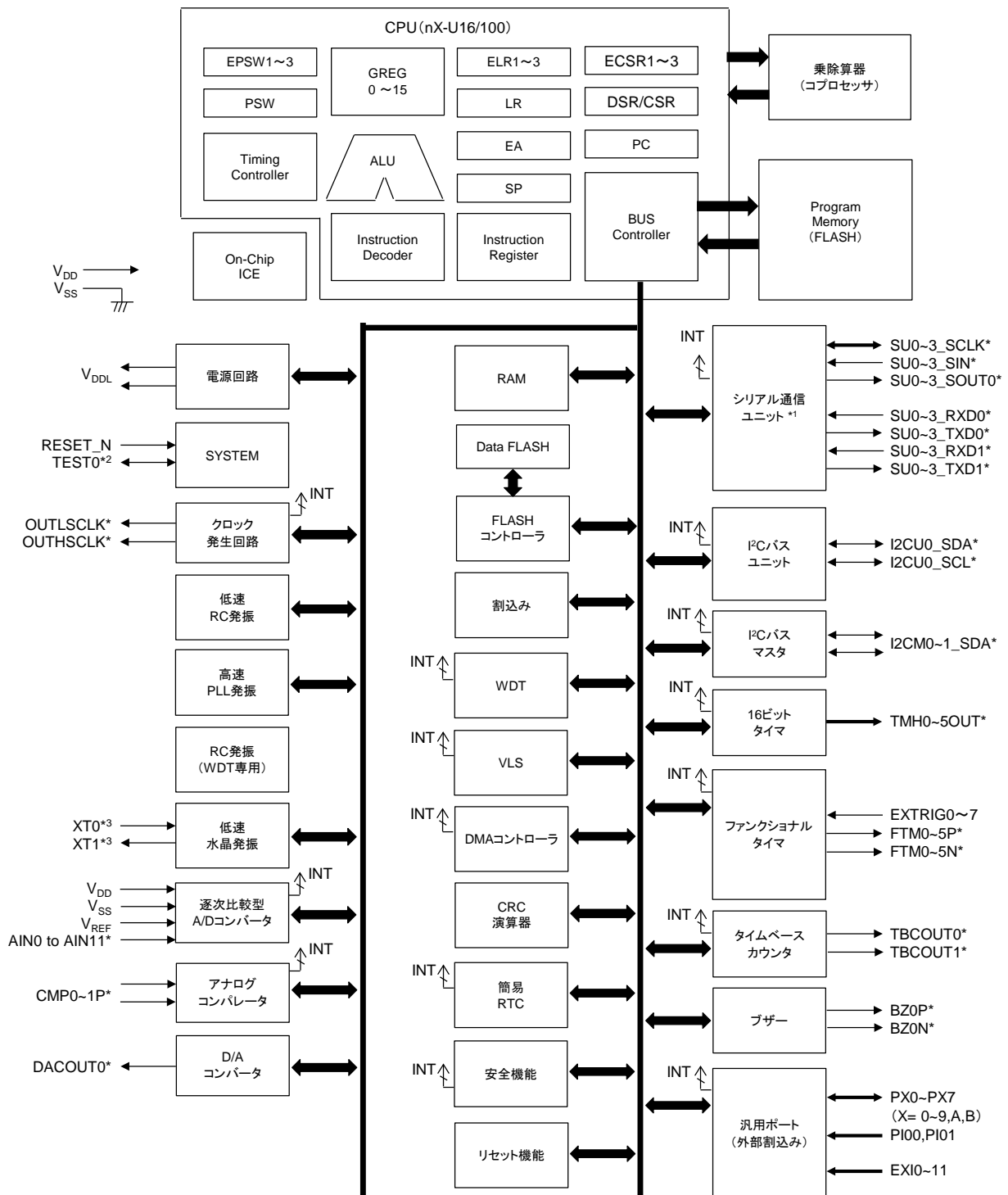
*3 : 水晶発振端子と兼用です。

*4 : LCD のコモン / セグメント兼用出力端子は, SFR の設定でコモン出力端子またはセグメント出力端子として利用可能です。

*5 : すべての LCD コモン / セグメント兼用出力端子, コモン出力端子, セグメント出力端子は, 汎用入出力端子と兼用端子です。

1.2 機能ブロック構成

1.2.1 ML62Q1500C グループのブロック図



* :各ポートの2~8次機能

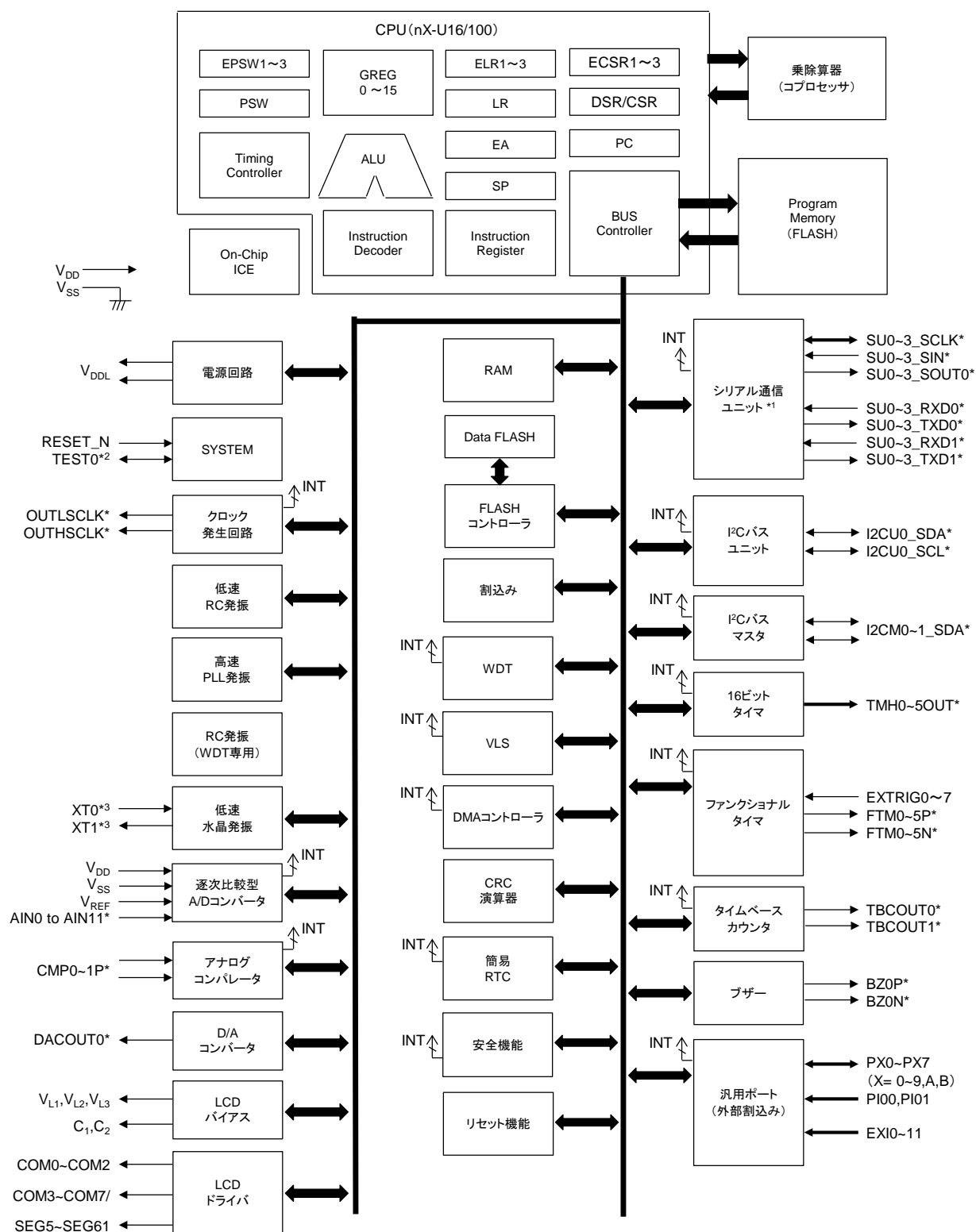
*¹:シリアル通信ユニットはUARTと同期式シリアルポートを兼用しています。

*²:オンチップデバッグエミュレータを接続した場合は入力ポートとして使用できません。

*³:水晶を接続した場合は入力ポートとして使用できません。

図 1-3 ML62Q1500C グループのブロック図

1.2.2 ML62Q1700C グループのブロック図



* :各ポートの2~8次機能

*¹:シリアル通信ユニットはUARTと同期式シリアルポートを兼用しています。*²:オンチップデバッグエミュレータを接続した場合は入力ポートとして使用できません。*³:水晶を接続した場合は入力ポートとして使用できません。

図 1-4 ML62Q1700C グループのブロック図

1.3 端子

1.3.1 端子配置

1.3.1.1 ML62Q1543C/1544C 52 ピン TQFP パッケージの端子配置図

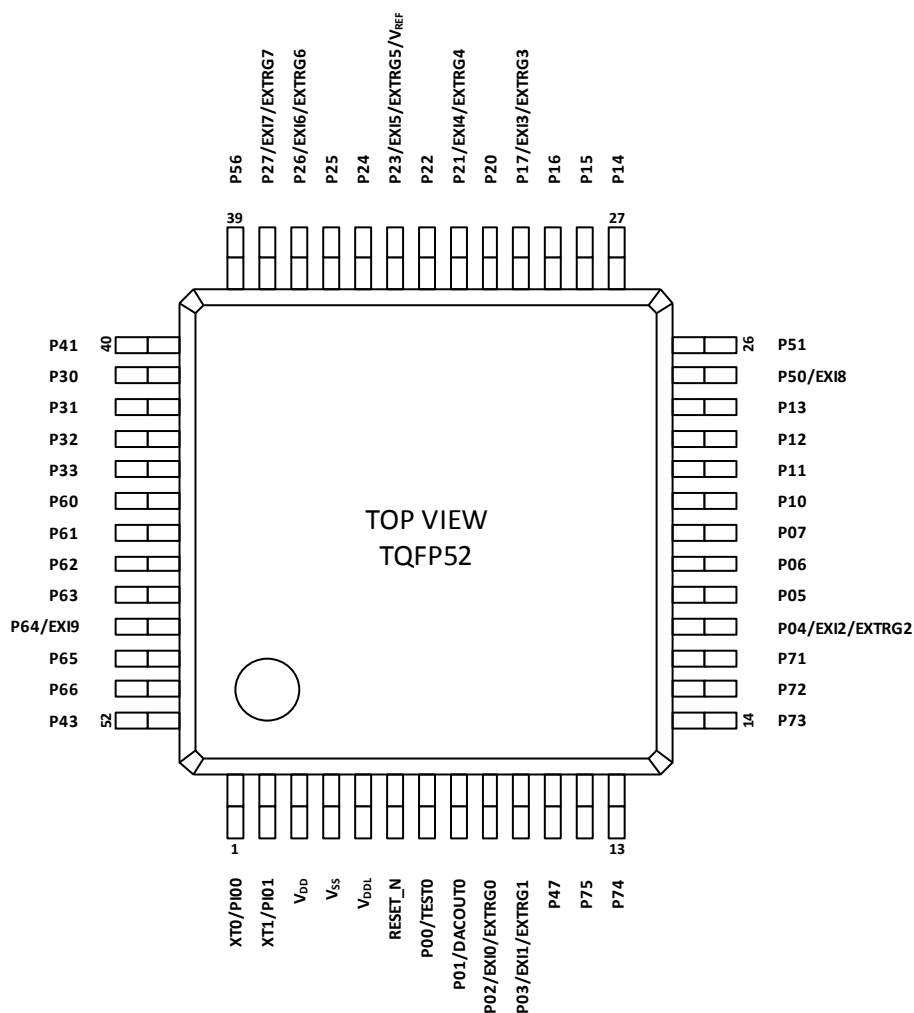


図 1-5 ML62Q1543C/1544C 52 ピン TQFP パッケージの端子配置図

1.3.1.2 ML62Q1553C/1554C 64 ピン TQFP/QFP パッケージの端子配置図

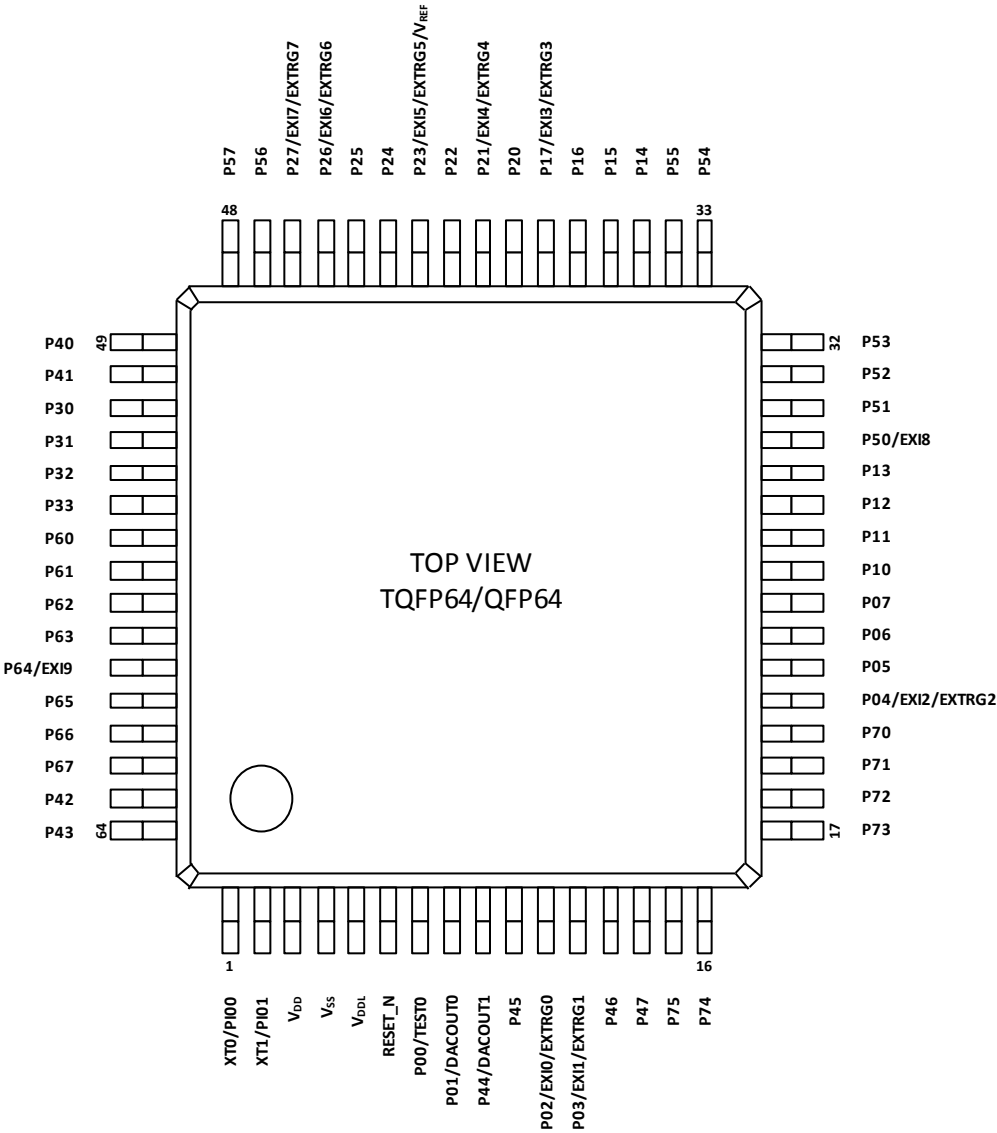


図 1-6 ML62Q1553C/1554C 64 ピン TQFP/QFP パッケージの端子配置図

1.3.1.3 ML62Q1563C/1564C 80 ピン QFP パッケージの端子配置図

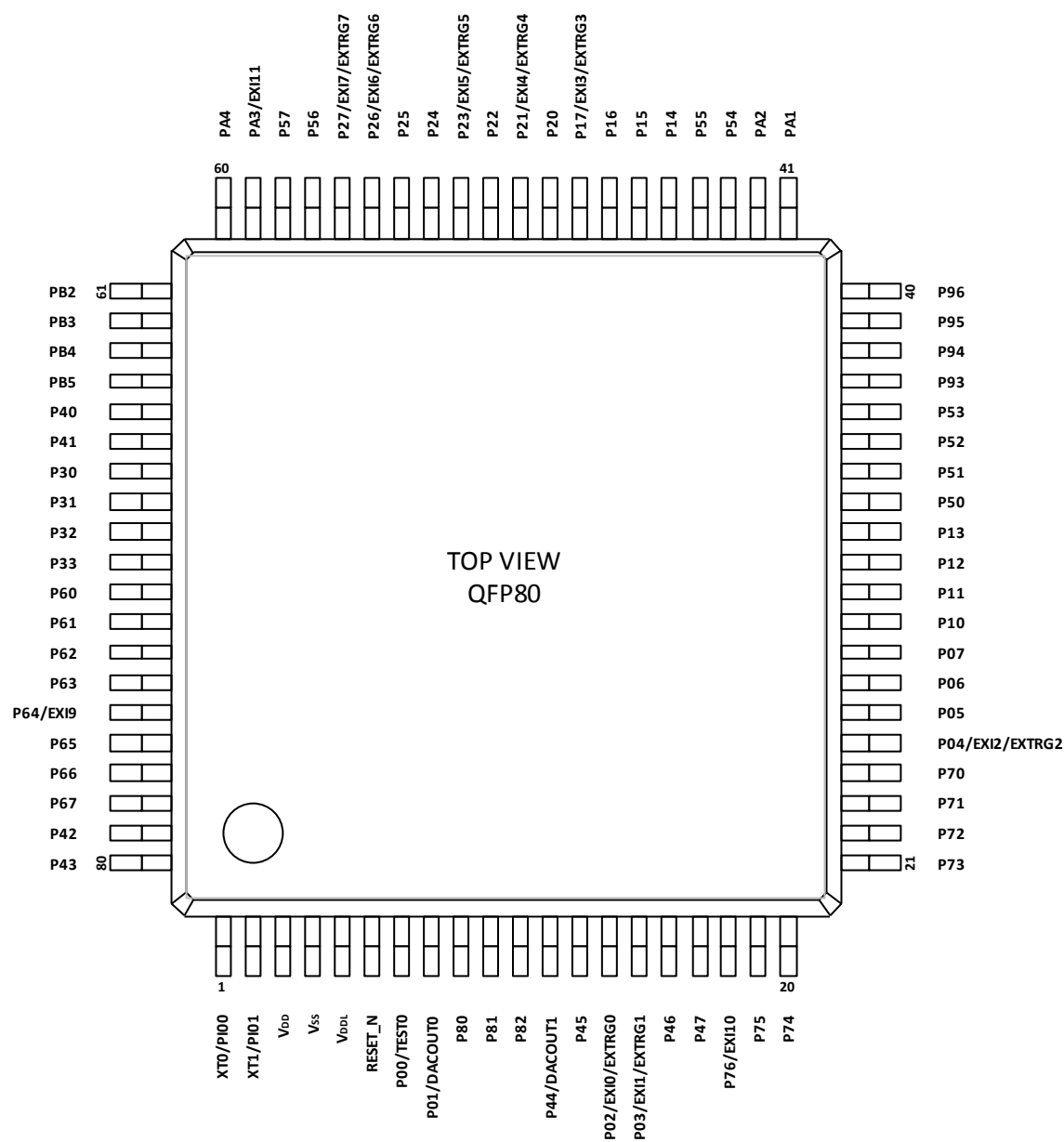


図 1-7 ML62Q1563C/1564C 80 ピン TQFP/QFP パッケージの端子配置図

1.3.1.4 ML62Q1713C/1714C 52 ピン TQFP パッケージの端子配置図

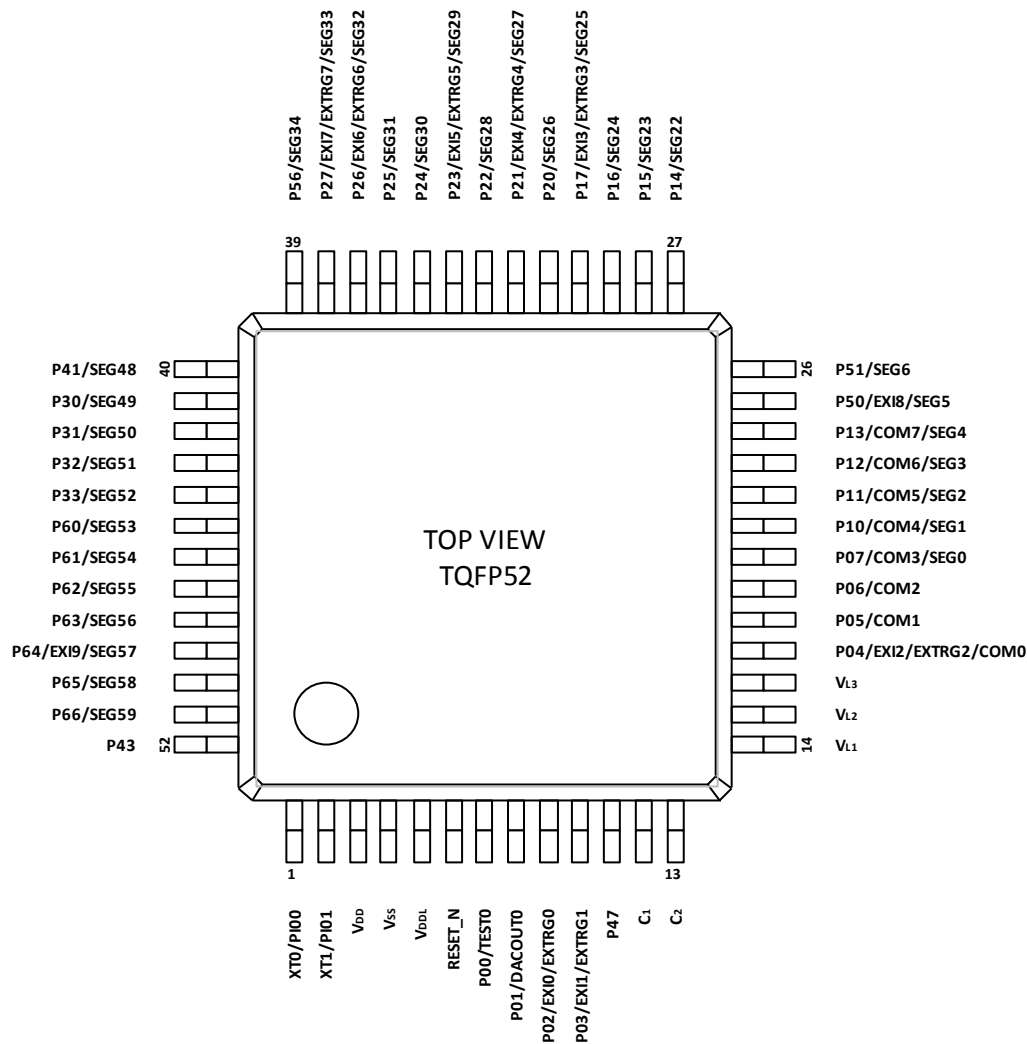


図 1-8 ML62Q1713C/1714C 52 ピン TQFP パッケージの端子配置図

1.3.1.5 ML62Q1723C/1724C 64 ピン TQFP/QFP パッケージの端子配置図

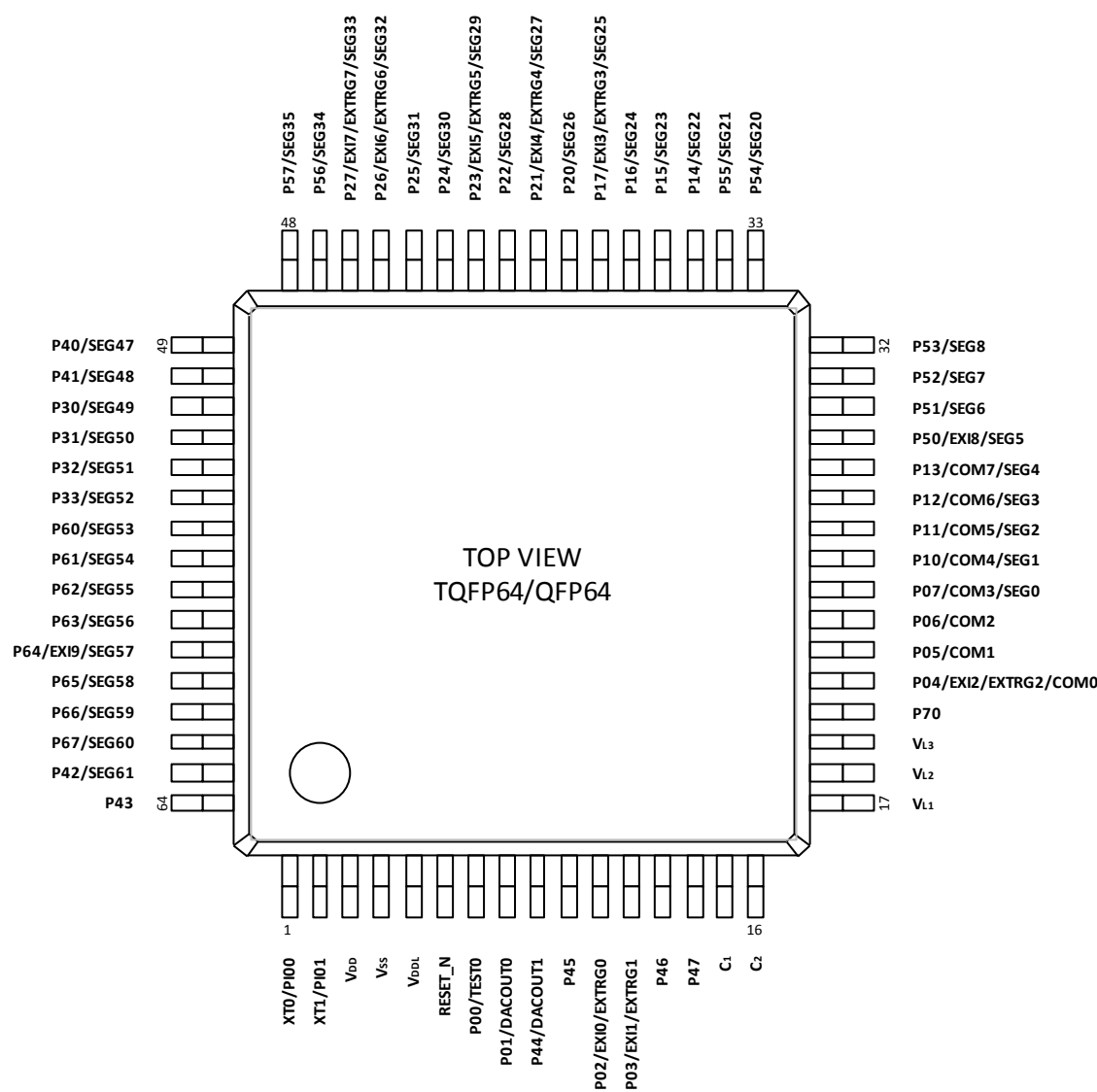


図 1-9 ML62Q1723C/1724C 64 ピン TQFP/QFP パッケージの端子配置図

1.3.1.6 ML62Q1733C/1734C 80 ピン QFP パッケージの端子配置図

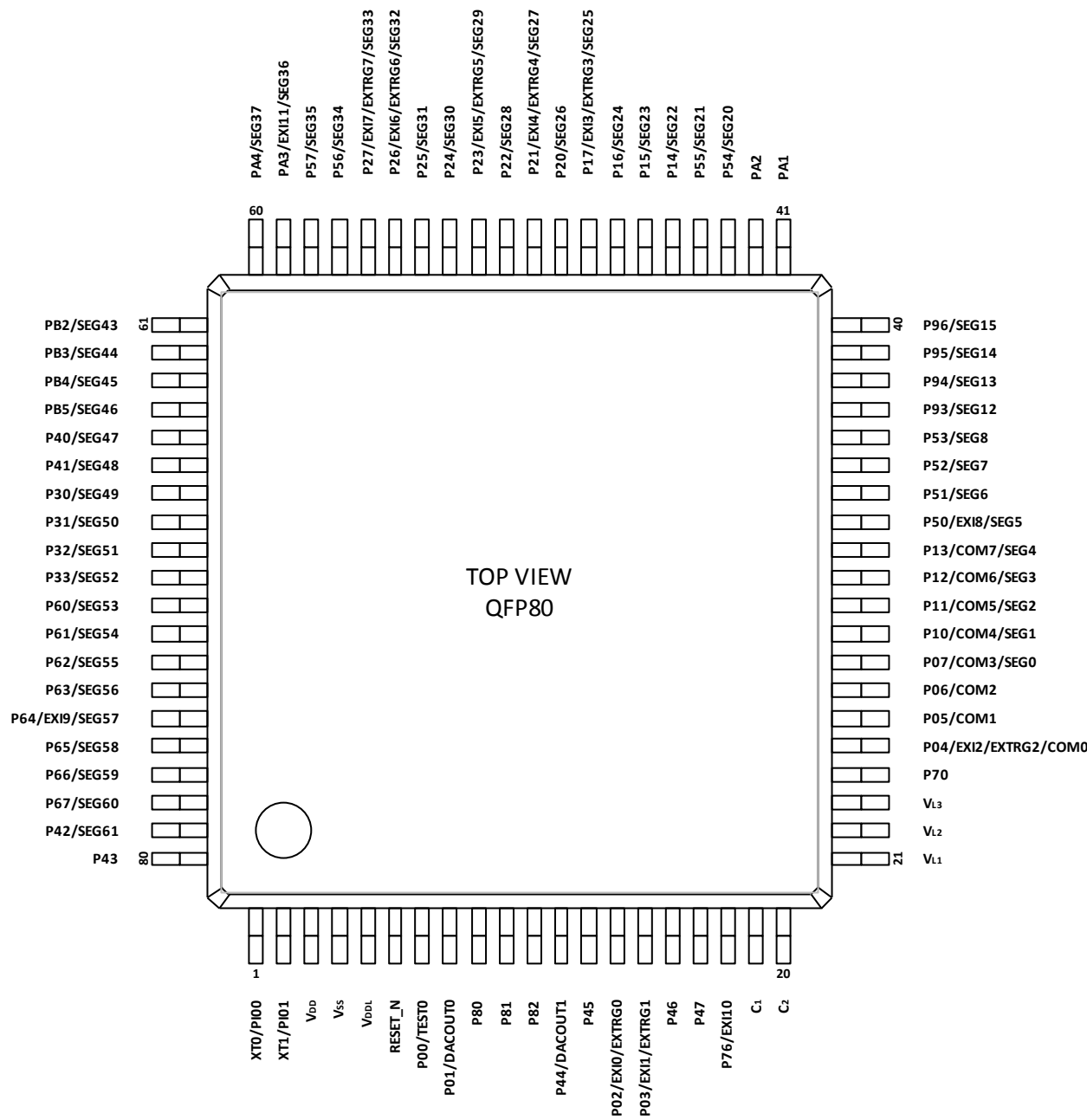


図 1-10 ML62Q1733C/1734C 80 ピン QFP パッケージの端子配置図

1.3.2 端子一覧

表 1-5 に ML62Q1500C グループの端子一覧を示します。

表 1-5 ML62Q1500C グループ端子一覧(1/3)

Pin No.			端子名 (1次機能)	1次機能 その他	2次機能 通信系	3次機能 通信系	4次機能 通信系	5次機能 タイマ系	6次機能 その他	7次機能 その他	8次機能 ADC
52Pin	64Pin	80Pin									
3	3	3	V _{DD}	-	-	-	-	-	-	-	-
4	4	4	V _{SS}	-	-	-	-	-	-	-	-
5	5	5	V _{DDL}	-	-	-	-	-	-	-	-
1	1	1	XT0	PI00	-	-	-	-	-	-	-
2	2	2	XT1	PI01	-	-	-	-	-	-	-
6	6	6	RESET_N	RESET_N	-	-	-	-	-	-	-
7	7	7	P00	TEST0	-	-	-	-	-	-	-
8	8	8	P01	DACOUT0	-	-	-	FTM3P	TBCOUT0	TBCOUT1	-
9	11	14	P02	EXI0 EXTRG0	SU0_RXD0 SU0_SIN	-	I2CU0_SCL	FTM0P	OUTLSCLK	CMP0M	-
10	12	15	P03	EXI1 EXTRG1	SU0_TXD0 SU0_SOUT	SU0_TXD1	I2CU0_SDA	FTM0N	OUTHCLK	CMP0P	AIN11
17	21	25	P04	EXI2 EXTRG2	SU0_SCLK	-	I2CU0_SCL	TMH0OUT	-	-	-
18	22	26	P05	-	-	-	-	-	-	-	-
19	23	27	P06	-	-	-	I2CM0_SDA	-	-	-	-
20	24	28	P07	-	SU0_RXD1	SU0_RXD0	I2CM0_SCL	-	-	-	-
21	25	29	P10	-	SU0_TXD1	-	-	-	-	-	-
22	26	30	P11	-	SU0_SCLK	-	-	-	-	-	-
23	27	31	P12	-	SU0_RXD0 SU0_SIN	-	-	TMH4OUT	-	-	-
24	28	32	P13	-	SU0_TXD0 SU0_SOUT	SU0_TXD1	-	TMH1OUT	-	TMH3OUT	-
27	35	45	P14	-	-	-	-	-	-	-	-
28	36	46	P15	-	-	-	I2CU0_SDA	-	-	-	-
29	37	47	P16	-	SU1_SCLK	-	I2CU0_SCL	TMH5OUT	-	-	-
30	38	48	P17	EXI3 EXTRG3	SU0_RXD1	SU0_RXD0	-	FTM1P	TBCOUT0	BZ0P	AIN0
31	39	49	P20	-	SU0_TXD1	-	-	FTM1N	TBCOUT1	BZ0N	AIN1
32	40	50	P21	EXI4 EXTRG4	SU1_RXD0 SU1_SIN	-	-	FTM2P	OUTLSCLK	-	AIN2
33	41	51	P22	-	SU1_TXD0 SU1_SOUT	SU1_TXD1	I2CM0_SDA	FTM2N	OUTHCLK	-	AIN3
34	42	52	P23	EXI5 EXTRG5 V _{REF}	SU1_SCLK	-	I2CM0_SCL	TMH2OUT	-	-	V _{REF0}
35	43	53	P24	-	SU1_RXD0 SU1_SIN	-	-	-	-	-	AIN4
36	44	54	P25	-	SU1_TXD0 SU1_SOUT	SU1_TXD1	-	-	-	-	AIN5
37	45	55	P26	EXI6 EXTRG6	SU1_RXD1	SU1_RXD0	I2CU0_SDA	FTM3P	TBCOUT0	BZ0P	AIN6
38	46	56	P27	EXI7 EXTRG7	SU1_TXD1	SU2_SCLK *1	I2CU0_SCL	FTM3N	TBCOUT1	BZ0N	AIN7

*1: 52PIN／80PIN パッケージ製品には搭載されていません。

表 1-5 ML62Q1500C グループ端子一覧 (2/3)

Pin No.			端子名 (1次機能)	1次機能 その他	2次機能 通信系	3次機能 通信系	4次機能 通信系	5次機能 タイマ系	6次機能 その他	7次機能 その他	8次機能 ADC
52Pin	64Pin	80Pin									
41	51	67	P30	-	-	-	-	-	-	-	-
42	52	68	P31	-	-	-	-	-	TBCOUT0	TBCOUT1	-
43	53	69	P32	-	SU1_RXD1	SU1_RXD0	-	-	-	-	-
44	54	70	P33	-	SU1_TXD1	-	-	TMH3OUT	-	-	-
-	49	65	P40	-	-	-	-	-	-	-	-
40	50	66	P41	-	-	-	-	-	-	-	-
-	63	79	P42	-	SU3_TXD1 *1	-	-	-	-	-	-
52	64	80	P43	-	-	-	-	-	TBCOUT0	TBCOUT1	AIN10
-	9	12	P44	-	-	-	-	FTM3N	-	-	-
-	10	13	P45	-	-	-	-	-	-	-	-
-	13	16	P46	-	-	-	I2CU0_SDA	FTM1N	-	-	-
11	14	17	P47	-	SU0_SCLK	-	I2CU0_SCL *1	FTM1P	-	-	-
25	29	33	P50	EXI8	-	-	-	-	-	-	-
26	30	34	P51	-	-	-	-	-	-	-	-
-	31	35	P52	-	-	-	-	-	-	-	-
-	32	36	P53	-	-	-	-	-	-	-	-
-	33	43	P54	-	SU2_RXD1 *1	SU2_RXD0 *1	-	-	-	-	-
-	34	44	P55	-	SU2_TXD1 *1	-	-	-	-	-	-
39	47	57	P56	-	SU2_RXD0 SU2_SIN *1	-	-	-	-	-	-
-	48	58	P57	-	SU2_TXD0 SU2_SOUT *1	SU2_TXD1 *1	-	-	-	-	-
45	55	71	P60	-	-	-	I2CM1_SCL	-	-	-	-
46	56	72	P61	-	-	-	I2CM1_SDA	-	-	-	-
47	57	73	P62	-	-	-	-	FTM4N	-	CMP1P	-
48	58	74	P63	-	-	-	-	FTM4P	-	CMP1M	-
49	59	75	P64	EXI9	SU3_RXD0 SU3_SIN	-	-	FTM5P	-	-	-
50	60	76	P65	-	SU3_TXD0 SU3_SOUT	SU3_TXD1	-	FTM5N	-	-	AIN8
51	61	77	P66	-	SU3_SCLK	-	-	-	-	-	AIN9
-	62	78	P67	-	SU3_RXD1 *1	SU3_RXD0 *1	-	-	-	-	-
-	20	24	P70	-	-	-	-	-	-	-	-
16	19	23	P71	-	-	-	-	-	-	-	-
15	18	22	P72	-	-	-	-	-	-	-	-
14	17	21	P73	-	-	-	-	-	-	-	-
13	16	20	P74	-	-	-	-	-	-	-	-
12	15	19	P75	-	-	-	-	-	-	-	-
-	-	18	P76	EXI10	-	-	-	-	-	-	-

*1: 52PIN パッケージ製品には搭載されていません。

表 1-5 ML62Q1500C グループ端子一覧 (3/3)

Pin No.			端子名 (1 次機能)	1 次機能 その他	2 次機能 通信系	3 次機能 通信系	4 次機能 通信系	5 次機能 タイマ系	6 次機能 その他	7 次機能 その他	8 次機能 ADC
52Pin	64Pin	80Pin									
-	-	9	P80	-	-	-	-	-	-	-	-
-	-	10	P81	-	-	-	-	-	-	-	-
-	-	11	P82	-	-	-	-	-	-	-	-
-	-	37	P93	-	-	-	-	-	-	-	-
-	-	38	P94	-	-	-	-	-	-	-	-
-	-	39	P95	-	-	-	-	-	-	-	-
-	-	40	P96	-	-	-	-	-	-	-	-
-	-	41	PA1	-	-	-	-	-	-	-	-
-	-	42	PA2	-	-	-	-	-	-	-	-
-	-	59	PA3	EXI11	SU2_SCLK *1	-	-	-	-	-	-
-	-	60	PA4	-	-	-	-	-	-	-	-
-	-	61	PB2	-	-	-	-	-	-	-	-
-	-	62	PB3	-	-	-	-	-	-	-	-
-	-	63	PB4	-	-	-	-	-	-	-	-
-	-	64	PB5	-	-	-	-	-	-	-	-

*1: 52PIN／64PIN パッケージ製品には搭載されていません。

表 1-6 に ML62Q1700C グループの端子一覧を示します。

表 1-6 ML62Q1700C グループ端子一覧 (1/3)

Pin No.			端子名 (1 次機能)	1 次機能 その他	2 次機能 通信系	3 次機能 通信系	4 次機能 通信系	5 次機能 タイマ系	6 次機能 その他	7 次機能 その他	8 次機能 ADC
52Pin	64Pin	80Pin									
3	3	3	V _{DD}	-	-	-	-	-	-	-	-
4	4	4	V _{SS}	-	-	-	-	-	-	-	-
5	5	5	V _{DDL}	-	-	-	-	-	-	-	-
1	1	1	XT0	PI00	-	-	-	-	-	-	-
2	2	2	XT1	PI01	-	-	-	-	-	-	-
6	6	6	RESET_N	RESET_N	-	-	-	-	-	-	-
7	7	7	P00	TEST0	-	-	-	-	-	-	-
8	8	8	P01	DACOUT0	-	-	-	FTM3P	TBCOUT0	TBCOUT1	-
9	11	14	P02	EXI0 EXTRG0	SU0_RXD0 SU0_SIN	-	I2CU0_SCL	FTM0P	OUTLSCLK	CMP0M	-
10	12	15	P03	EXI1 EXTRG1	SU0_TXD0 SU0_SOUT	SU0_TXD1	I2CU0_SDA	FTM0N	OUTHCLK	CMP0P	AIN11
17	21	25	P04	EXI2 EXTRG2 COM0	SU0_SCLK	-	I2CU0_SCL	TMH0OUT	-	-	-
18	22	26	P05	COM1	-	-	-	-	-	-	-
19	23	27	P06	COM2	-	-	I2CM0_SDA	-	-	-	-
20	24	28	P07	COM3 SEG0	SU0_RXD1	SU0_RXD0	I2CM0_SCL	-	-	-	-
21	25	29	P10	COM4 SEG1	SU0_TXD1	-	-	-	-	-	-
22	26	30	P11	COM5 SEG2	SU0_SCLK	-	-	-	-	-	-
23	27	31	P12	COM6 SEG3	SU0_RXD0 SU0_SIN	-	-	TMH4OUT	-	-	-
24	28	32	P13	COM7 SEG4	SU0_TXD0 SU0_SOUT	SU0_TXD1	-	TMH1OUT	-	TMH3OUT	-
27	35	45	P14	SEG22	-	-	-	-	-	-	-
28	36	46	P15	SEG23	-	-	I2CU0_SDA	-	-	-	-
29	37	47	P16	SEG24	SU1_SCLK	-	I2CU0_SCL	TMH5OUT	-	-	-
30	38	48	P17	EXI3 EXTRG3 SEG25	SU0_RXD1	SU0_RXD0	-	FTM1P	TBCOUT0	BZ0P	AIN0
31	39	49	P20	SEG26	SU0_TXD1	-	-	FTM1N	TBCOUT1	BZ0N	AIN1
32	40	50	P21	EXI4 EXTRG4 SEG27	SU1_RXD0 SU1_SIN	-	-	FTM2P	OUTLSCLK	-	AIN2
33	41	51	P22	SEG28	SU1_TXD0 SU1_SOUT	SU1_TXD1	I2CM0_SDA	FTM2N	OUTHCLK	-	AIN3
34	42	52	P23	EXI5 EXTRG5 SEG29 V _{REF}	SU1_SCLK	-	I2CM0_SCL	TMH2OUT	-	-	V _{REF0}
35	43	53	P24	SEG30	SU1_RXD0 SU1_SIN	-	-	-	-	-	AIN4
36	44	54	P25	SEG31	SU1_TXD0 SU1_SOUT	SU1_TXD1	-	-	-	-	AIN5
37	45	55	P26	EXI6 EXTRG6 SEG32	SU1_RXD1	SU1_RXD0	I2CU0_SDA	FTM3P	TBCOUT0	BZ0P	AIN6
38	46	56	P27	EXI7 EXTRG7 SEG33	SU1_TXD1	SU2_SCLK *1	I2CU0_SCL	FTM3N	TBCOUT1	BZ0N	AIN7

*1: 52PIN／80PIN パッケージ製品には搭載されていません。

表 1-6 ML62Q1700C グループ端子一覧 (2/3)

Pin No.			端子名 (1次機能)	1次機能 その他	2次機能 通信系	3次機能 通信系	4次機能 通信系	5次機能 タイマ系	6次機能 その他	7次機能 その他	8次機能 ADC
52Pin	64Pin	80Pin									
41	51	67	P30	SEG49	-	-	-	-	-	-	-
42	52	68	P31	SEG50	-	-	-	-	TBCOUT0	TBCOUT1	-
43	53	69	P32	SEG51	SU1_RXD1	SU1_RXD0	-	-	-	-	-
44	54	70	P33	SEG52	SU1_TXD1	-	-	TMH3OUT	-	-	-
-	49	65	P40	SEG47	-	-	-	-	-	-	-
40	50	66	P41	SEG48	-	-	-	-	-	-	-
-	63	79	P42	SEG61	SU3_TXD1 *1	-	-	-	-	-	-
52	64	80	P43	-	-	-	-	-	TBCOUT0	TBCOUT1	AIN10
-	9	12	P44	-	-	-	-	FTM3N	-	-	-
-	10	13	P45	-	-	-	-	-	-	-	-
-	13	16	P46	-	-	-	I2CU0_SDA	FTM1N	-	-	-
11	14	17	P47	-	SU0_SCLK	-	I2CU0_SCL *1	FTM1P	-	-	-
25	29	33	P50	EXI8 SEG5	-	-	-	-	-	-	-
26	30	34	P51	SEG6	-	-	-	-	-	-	-
-	31	35	P52	SEG7	-	-	-	-	-	-	-
-	32	36	P53	SEG8	-	-	-	-	-	-	-
-	33	43	P54	SEG20	SU2_RXD1 *1	SU2_RXD0 *1	-	-	-	-	-
-	34	44	P55	SEG21	SU2_TXD1 *1	-	-	-	-	-	-
39	47	57	P56	SEG34	SU2_RXD0 SU2_SIN *1	-	-	-	-	-	-
-	48	58	P57	SEG35	SU2_TXD0 SU2_SOUT *1	SU2_TXD1 *1	-	-	-	-	-
45	55	71	P60	SEG53	-	-	I2CM1_SCL	-	-	-	-
46	56	72	P61	SEG54	-	-	I2CM1_SDA	-	-	-	-
47	57	73	P62	SEG55	-	-	-	FTM4N	-	CMP1P	-
48	58	74	P63	SEG56	-	-	-	FTM4P	-	CMP1M	-
49	59	75	P64	EXI9 SEG57	SU3_RXD0 SU3_SIN	-	-	FTM5P	-	-	-
50	60	76	P65	SEG58	SU3_TXD0 SU3_SOUT	SU3_TXD1	-	FTM5N	-	-	AIN8
51	61	77	P66	SEG59	SU3_SCLK	-	-	-	-	-	AIN9
-	62	78	P67	SEG60	SU3_RXD1 *1	SU3_RXD0 *1	-	-	-	-	-
-	20	24	P70	-	-	-	-	-	-	-	-
16	19	23	V _{L3}	-	-	-	-	-	-	-	-
15	18	22	V _{L2}	-	-	-	-	-	-	-	-
14	17	21	V _{L1}	-	-	-	-	-	-	-	-
13	16	20	C ₂	-	-	-	-	-	-	-	-
12	15	19	C ₁	-	-	-	-	-	-	-	-
-	-	18	P76	EXI10	-	-	-	-	-	-	-

*1: 52PIN パッケージ製品には搭載されていません。

表 1-6 ML62Q1700C グループ端子一覧 (3/3)

Pin No.			端子名 (1 次機能)	1 次機能 その他	2 次機能 通信系	3 次機能 通信系	4 次機能 通信系	5 次機能 タイマ系	6 次機能 その他	7 次機能 その他	8 次機能 ADC
52Pin	64Pin	80Pin									
-	-	9	P80	-	-	-	-	-	-	-	-
-	-	10	P81	-	-	-	-	-	-	-	-
-	-	11	P82	-	-	-	-	-	-	-	-
-	-	37	P93	SEG12	-	-	-	-	-	-	-
-	-	38	P94	SEG13	-	-	-	-	-	-	-
-	-	39	P95	SEG14	-	-	-	-	-	-	-
-	-	40	P96	SEG15	-	-	-	-	-	-	-
-	-	41	PA1	-	-	-	-	-	-	-	-
-	-	42	PA2	-	-	-	-	-	-	-	-
-	-	59	PA3	EXI11 SEG36	SU2_SCLK *1	-	-	-	-	-	-
-	-	60	PA4	SEG37	-	-	-	-	-	-	-
-	-	61	PB2	SEG43	-	-	-	-	-	-	-
-	-	62	PB3	SEG44	-	-	-	-	-	-	-
-	-	63	PB4	SEG45	-	-	-	-	-	-	-
-	-	64	PB5	SEG46	-	-	-	-	-	-	-

*1: 52PIN／64PIN パッケージ製品には搭載されていません。

1.3.3 端子説明

表 1-7 に ML62Q1500C/1700C グループの機能ごとの端子説明を示します。

I/O 欄の“—”は電源端子，“I”は入力端子，“O”は出力端子，“I/O”は入出力端子を示します。

表 1-7 端子説明

機 能	信号名	端子名	I/O	説 明	論理
電源	—	V _{SS}	—	マイナス側電源	—
	—	V _{DD}	—	プラス側電源 電源を安定させるため、V _{DD} とV _{SS} の間にコンデンサ C _V を接続してください	—
	—	V _{DDL}	—	内部ロジック用電源(内部発生) V _{SS} との間にコンデンサ C _L (1μF)を接続してください	—
テスト	TEST0	P00	I/O	テスト用入出力 オンチップデバッグ機能、および ISP 機能に使用します オンチップデバッグに使用する場合は、汎用ポートとしては使用できません P00 端子と兼用端子です 初期値はプルアップ抵抗付き入力です	正
システム	V _{REFO}	P23	—	リファレンス電圧出力	—
	RESET_N	RESET_N	I	リセット入力 この端子を“L”レベルにするとシステムリセットモードになり、“H”レベルにするとプログラム動作モードに移行します オンチップデバッグ機能および ISP 機能に使用します (プルアップ抵抗は内蔵されていません)	負
	XT0	XT0	I	低速水晶振動子と接続	—
	XT1	XT1	O	32.768kHz 水晶振動子を接続し、V _{SS} との間にコンデンサを接続します	—
	OUTLSCLK	P02	O	低速出力クロック	—
		P21			
	OUTHCLK	P03	O	高速出力クロック	—
		P22			
汎用ポート	PI00, PI01	XT0, XT1	I	汎用入力 低速水晶発振端子と兼用端子のため、水晶振動子を接続する場合は汎用入力ポートとして使用できません	正
	P00	P00	I/O	汎用入出力端子 ・ハイインピーダンス ・プルアップ抵抗付き入力(初期値) ・プルアップ抵抗無し入力 ・CMOS 出力 ・N チャネル(N-ch)オープンドレイン出力 TEST0 端子と兼用のため、オンチップデバッグ機能もしくは ISP 機能を使用する場合は汎用ポートとして使用できません	正
	P01~P07	P01~P07	I/O	汎用入出力 ・ハイインピーダンス(初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・N-ch オープンドレイン出力	正
	P10~P17	P10~P17			
	P20~P27	P20~P27			
	P30~P33	P30~P33			
	P40~P47	P40~P47			
	P50~P57	P50~P57			
	P60~P67	P60~P67			
	P70~P76	P70~P76			
	P80~P82	P80~P82			
	P93~P96	P93~P96			
	PA1~PA4	PA1~PA4			
	PB2~PB5	PB2~PB5			

機 能	信号名	端子名	I/O	説 明	論理
シリアル通信ユニット (UART モード)	SU0_TXD0	P03	O	シリアル通信ユニット 0 の UART0 データ出力	正
		P13			
	SU0_RXD0	P02	I	シリアル通信ユニット 0 の全二重モードデータ入力 シリアル通信ユニット 0 の UART0 データ入力	正
		P07			
		P12			
		P17			
	SU0_TXD1	P03	O	シリアル通信ユニット 0 の全二重モードデータ出力 シリアル通信ユニット 0 の UART1 データ出力	正
		P10			
		P13			
		P20			
	SU0_RXD1	P07	I	シリアル通信ユニット 0 の UART1 データ入力	正
		P17			
	SU1_TXD0	P22	O	シリアル通信ユニット 1 の UART0 データ出力	正
		P25			
	SU1_RXD0	P21	I	シリアル通信ユニット 1 の全二重モードデータ入力 シリアル通信ユニット 1 の UART0 データ入力	正
		P24			
		P26			
		P32			
	SU1_TXD1	P22	O	シリアル通信ユニット 1 の全二重モードデータ出力 シリアル通信ユニット 1 の UART1 データ出力	正
		P25			
		P27			
		P33			
	SU1_RXD1	P26	I	シリアル通信ユニット 1 の UART1 データ入力	正
		P32			
	SU2_TXD0	P57	O	シリアル通信ユニット 2 の UART0 データ出力	正
	SU2_RXD0	P54	I	シリアル通信ユニット 2 の全二重モードデータ入力 シリアル通信ユニット 2 の UART0 データ入力	正
		P56			
	SU2_TXD1	P55	O	シリアル通信ユニット 2 の全二重モードデータ出力 シリアル通信ユニット 2 の UART1 データ出力	正
		P57			
	SU2_RXD1	P54	I	シリアル通信ユニット 2 の UART1 データ入力	正
	SU3_TXD0	P65	O	シリアル通信ユニット 3 の UART0 データ出力	正
	SU3_RXD0	P64	I	シリアル通信ユニット 3 の全二重モードデータ入力 シリアル通信ユニット 3 の UART0 データ入力	正
		P67			
	SU3_TXD1	P42	O	シリアル通信ユニット 3 の全二重モードデータ出力 シリアル通信ユニット 3 の UART1 データ出力	正
		P65			
	SU3_RXD1	P67	I	シリアル通信ユニット 3 の UART1 データ入力	正

機 能	信号名	端子名	I/O	説 明	論理
シリアル通信ユニット (同期式 シリアルポート)	SU0_SIN	P02	I	シリアル通信ユニット0の同期式シリアルデータ入力	正
		P12			
	SU0_SCLK	P04	I/O	シリアル通信ユニット0の同期式シリアルクロック入出力	正
		P11			
		P47			
	SU0_SOUT	P03	O	シリアル通信ユニット0の同期式シリアルデータ出力	正
		P13			
	SU1_SIN	P21	I	シリアル通信ユニット1の同期式シリアルデータ入力	正
		P24			
	SU1_SCLK	P16	I/O	シリアル通信ユニット1の同期式シリアルクロック入出力	正
		P23			
	SU1_SOUT	P22	O	シリアル通信ユニット1の同期式シリアルデータ出力	正
		P25			
	SU2_SIN	P56	I	シリアル通信ユニット2の同期式シリアルデータ入力	正
I ² C バス	I2CU0_SDA	P03	I/O	I ² C バスユニット0のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P15			
		P26			
		P46			
	I2CU0_SCL	P02	I/O	I ² C バスユニット0のクロック入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P04			
		P16			
		P27			
	I2CM0_SDA	P06	I/O	I ² C バスマスタ0のデータ入出力用 N-ch オープンドレイン(外部にプルアップ抵抗を接続してください)	正
		P22			
	I2CM0_SCL	P07	I/O	I ² C バスマスタ0のクロック入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P23			
	I2CM1_SDA	P61	I/O	I ² C バスマスタ1のデータ入出力用 N-ch オープンドレイン(外部にプルアップ抵抗を接続してください)	正
	I2CM1_SCL	P60	I/O	I ² C バスマスタ1のクロック入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正

機 能	信号名	端子名	I/O	説 明	論理
ファンクショナル タイマ	FTM0P	P02	O	ファンクショナルタイマ 0P 出力	正
	FTM0N	P03	O	ファンクショナルタイマ 0N 出力	負
	FTM1P	P17	O	ファンクショナルタイマ 1P 出力	正
		P47			
	FTM1N	P20	O	ファンクショナルタイマ 1N 出力	負
		P46			
	FTM2P	P21	O	ファンクショナルタイマ 2P 出力	正
	FTM2N	P22	O	ファンクショナルタイマ 2N 出力	負
	FTM3P	P01	O	ファンクショナルタイマ 3P 出力	正
		P26			
	FTM3N	P27	O	ファンクショナルタイマ 3N 出力	負
		P44			
	FTM4P	P63	O	ファンクショナルタイマ 4P 出力	正
	FTM4N	P62	O	ファンクショナルタイマ 4N 出力	負
	FTM5P	P64	O	ファンクショナルタイマ 5P 出力	正
	FTM5N	P65	O	ファンクショナルタイマ 5N 出力	負
	EXTRG0	P02	I	ファンクショナルタイマのトリガ入力	—
	EXTRG1	P03	I	ファンクショナルタイマのトリガ入力	—
	EXTRG2	P04	I	ファンクショナルタイマのトリガ入力	—
	EXTRG3	P17	I	ファンクショナルタイマのトリガ入力	—
	EXTRG4	P21	I	ファンクショナルタイマのトリガ入力	—
	EXTRG5	P23	I	ファンクショナルタイマのトリガ入力	—
	EXTRG6	P26	I	ファンクショナルタイマのトリガ入力	—
	EXTRG7	P27	I	ファンクショナルタイマのトリガ入力	—
16 ビットタイマ	TMH0OUT	P04	O	16 ビットタイマ 0 出力	正
	TMH1OUT	P13	O	16 ビットタイマ 1 出力	正
	TMH2OUT	P23	O	16 ビットタイマ 2 出力	正
	TMH3OUT	P13	O	16 ビットタイマ 3 出力	正
		P33			
	TMH4OUT	P12	O	16 ビットタイマ 4 出力	正
	TMH5OUT	P16	O	16 ビットタイマ 5 出力	正
	EXTRG0	P02	I	16 ビットタイマのトリガ入力	—
	EXTRG1	P03	I	16 ビットタイマのトリガ入力	—
低速タイムベース カウンタ	TBCOUT0	P01	O	仮想周波数補正用出力、または低速タイムベースカウンタ出力	正
		P17			
		P26			
		P31			
		P43			
	TBCOUT1	P01	O	簡易 RTC 用 1Hz/2Hz クロック出力	正
		P20			
		P27			
		P31			
		P43			
ブザー	BZ0P	P17	O	ブザー出力信号(正相)	正
		P26			
	BZ0N	P20	O	ブザー出力信号(逆相)	負

機 能	信号名	端子名	I/O	説 明	論理
外部割込み	EXI0	P02	I	外部割込み 0 入力	—
	EXI1	P03	I	外部割込み 1 入力	—
	EXI2	P04	I	外部割込み 2 入力	—
	EXI3	P17	I	外部割込み 3 入力	—
	EXI4	P21	I	外部割込み 4 入力	—
	EXI5	P23	I	外部割込み 5 入力	—
	EXI6	P26	I	外部割込み 6 入力	—
	EXI7	P27	I	外部割込み 7 入力	—
	EXI8	P50	I	外部割込み 8 入力	—
	EXI9	P64	I	外部割込み 9 入力	—
	EXI10	P76	I	外部割込み 10 入力	—
	EXI11	PA3	I	外部割込み 11 入力	—
逐次比較型 A/D コンバータ	V _{REF}	P23	—	逐次比較型 A/D コンバータ用リファレンス電源	—
	AIN0	P17	I	逐次比較型 A/D コンバータチャンネル 0 のアナログ入力	—
	AIN1	P20	I	逐次比較型 A/D コンバータチャンネル 1 のアナログ入力	—
	AIN2	P21	I	逐次比較型 A/D コンバータチャンネル 2 のアナログ入力	—
	AIN3	P22	I	逐次比較型 A/D コンバータチャンネル 3 のアナログ入力	—
	AIN4	P24	I	逐次比較型 A/D コンバータチャンネル 4 のアナログ入力	—
	AIN5	P25	I	逐次比較型 A/D コンバータチャンネル 5 のアナログ入力	—
	AIN6	P26	I	逐次比較型 A/D コンバータチャンネル 6 のアナログ入力	—
	AIN7	P27	I	逐次比較型 A/D コンバータチャンネル 7 のアナログ入力	—
	AIN8	P65	I	逐次比較型 A/D コンバータチャンネル 8 のアナログ入力	—
	AIN9	P66	I	逐次比較型 A/D コンバータチャンネル 9 のアナログ入力	—
	AIN10	P43	I	逐次比較型 A/D コンバータチャンネル 10 のアナログ入力	—
	AIN11	P03	I	逐次比較型 A/D コンバータチャンネル 11 のアナログ入力	—
アナログ コンパレータ	CMP0P	P03	I	アナログコンパレータ 0 非反転入力	—
	CMP0M	P02	I	アナログコンパレータ 0 反転入力	—
	CMP1P	P62	I	アナログコンパレータ 1 非反転入力	—
	CMP1M	P63	I	アナログコンパレータ 1 反転入力	—
D/A コンバータ	DACOUT0	P01	O	D/A コンバータ 0 の出力	—

機 能	信号名	端子名	I/O	説 明	論理
LCDドライバ	COM0	P04	—	コモン出力	—
	COM1	P05	—	コモン出力	—
	COM2	P06	—	コモン出力	—
	COM3/SEG0	P07	—	コモン出力/セグメント出力	—
	COM4/SEG1	P10	—	コモン出力/セグメント出力	—
	COM5/SEG2	P11	—	コモン出力/セグメント出力	—
	COM6/SEG3	P12	—	コモン出力/セグメント出力	—
	COM7/SEG4	P13	—	コモン出力/セグメント出力	—
	SEG5	P50	—	セグメント出力	—
	SEG6	P51	—	セグメント出力	—
	SEG7	P52	—	セグメント出力	—
	SEG8	P53	—	セグメント出力	—
	SEG12	P93	—	セグメント出力	—
	SEG13	P94	—	セグメント出力	—
	SEG14	P95	—	セグメント出力	—
	SEG15	P96	—	セグメント出力	—
	SEG20	P54	—	セグメント出力	—
	SEG21	P55	—	セグメント出力	—
	SEG22	P14	—	セグメント出力	—
	SEG23	P15	—	セグメント出力	—
	SEG24	P16	—	セグメント出力	—
	SEG25	P17	—	セグメント出力	—
	SEG26	P20	—	セグメント出力	—
	SEG27	P21	—	セグメント出力	—
	SEG28	P22	—	セグメント出力	—
	SEG29	P23	—	セグメント出力	—
	SEG30	P24	—	セグメント出力	—
	SEG31	P25	—	セグメント出力	—
	SEG32	P26	—	セグメント出力	—
	SEG33	P27	—	セグメント出力	—
	SEG34	P56	—	セグメント出力	—
	SEG35	P57	—	セグメント出力	—
	SEG36	PA3	—	セグメント出力	—
	SEG37	PA4	—	セグメント出力	—
	SEG43	PB2	—	セグメント出力	—

機 能	信号名	端子名	I/O	説 明	論理
LCDドライバ	SEG44	PB3	—	セグメント出力	—
	SEG45	PB4	—	セグメント出力	—
	SEG46	PB5	—	セグメント出力	—
	SEG47	P40	—	セグメント出力	—
	SEG48	P41	—	セグメント出力	—
	SEG49	P30	—	セグメント出力	—
	SEG50	P31	—	セグメント出力	—
	SEG51	P32	—	セグメント出力	—
	SEG52	P33	—	セグメント出力	—
	SEG53	P60	—	セグメント出力	—
	SEG54	P61	—	セグメント出力	—
	SEG55	P62	—	セグメント出力	—
	SEG56	P63	—	セグメント出力	—
	SEG57	P64	—	セグメント出力	—
	SEG58	P65	—	セグメント出力	—
	SEG59	P66	—	セグメント出力	—
	SEG60	P67	—	セグメント出力	—
	SEG61	P42	—	セグメント出力	—
	C ₁ , C ₂	C ₁ , C ₂	—	LCD バイアス電源発生用コンデンサ接続	—
	V _{L1} ~ V _{L3}	V _{L1} ~ V _{L3}	—	LCD バイアス電源 V _{SS} との間にそれぞれ C _{L1} , C _{L2} , C _{L3} を接続します	—

1.3.4 未使用端子の処理

表 1-8 に未使用端子の処理方法を示します。

表 1-8 未使用端子の処理

端子名	端子処理
RESET_N	V _{DD} に接続してください
P00/TEST0	初期値のプルアップ抵抗付き入力モードの状態で V _{DD} に接続してください
XT0/PI00, XT1/PI01	初期値のハイインピーダンスの状態で端子をオープンにしてください
P01 ~ P07	
P10 ~ P17	
P20 ~ P27	
P30 ~ P33	
P40 ~ P47	
P50 ~ P57	
P60 ~ P67	
P70 ~ P76	
P80 ~ P82	
P93 ~ P96	
PA1 ~ PA4	
PB2 ~ PB5	
C ₁ , C ₂	オープンにしてください
V _{L1} , V _{L2}	オープンにしてください
V _{L3}	抵抗(1KΩ以上)を介して V _{DD} に接続することを推奨します。

【注意】

- 未使用の入力端子および入出力端子は、入力状態(プルアップ抵抗無しの入力モードまたは入出力モード)で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 1-8 の処理方法に従ってください。

第 2 章 CPU とメモリ空間

2. CPU とメモリ空間

2.1 概要

ML62Q1500C/1700C グループは、CPU にラピステクノロジー・オリジナル 16ビットCPU nX-U16/100 (A35コア)、コプロセッサに乗除算器、プログラム・メモリ空間にフラッシュ・メモリ、データ・メモリ空間に RAM およびデータ・フラッシュを内蔵しています。

また、プログラム・メモリ空間の 4K バイトの領域をリマップする、リマップ機能を内蔵しています。

表 2-1、表 2-2 に ML62Q1500C/1700C グループのプログラム・メモリ空間およびデータ・メモリ空間の容量、データ・フラッシュの容量、およびCPU のメモリモデルを示します。メモリモデルの詳細は、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

表 2-1 ML62Q1500C グループのプログラム・メモリ空間およびデータ・メモリ空間

製品名	プログラム・メモリ空間	データ・メモリ空間	データ・フラッシュ サイズ	メモリモデル
	ROM サイズ	RAM サイズ		
ML62Q1543C ML62Q1553C ML62Q1563C	96 K バイト	8 K バイト	4 K バイト	LARGE
ML62Q1544C ML62Q1554C ML62Q1564C	128 K バイト			

表 2-2 ML62Q1700C グループのプログラム・メモリ空間およびデータ・メモリ空間

製品名	プログラム・メモリ空間	データ・メモリ空間	データ・フラッシュ サイズ	メモリモデル
	ROM サイズ	RAM サイズ		
ML62Q1713C ML62Q1723C ML62Q1733C	96 K バイト	8 K バイト	4 K バイト	LARGE
ML62Q1714C ML62Q1724C ML62Q1734C	128 K バイト			

2.2 CPU nX-U16/100

nX-U16/100 の特長を以下に示します。nX-U16/100 の詳細については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

- 豊富な命令セット
 - － 転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフト
- 豊富なアドレッシングモード
 - － レジスタアドレッシング
 - － レジスタ間接アドレッシング
 - － スタックポインタアドレッシング
 - － コントロールレジスタアドレッシング
 - － EA レジスタ間接アドレッシング
 - － 汎用レジスタ間接アドレッシング
 - － ダイレクトアドレッシング
 - － レジスタ間接ビットアドレッシング
 - － ダイレクトビットアドレッシング
- メモリ空間
 - － プログラム・メモリ空間
 - － データ・メモリ空間
- 割込み
 - － エミュレータ専用割込み
 - － ノンマスカブル割込み
 - － マスカブル割込み
 - － ソフトウェア割込み

2.2.1 ウェイトモードとノーウェイトモード

ML62Q1500C/1700Cグループは、ウェイトモードおよびノーウェイトモードの2つのCPU動作モードを内蔵しています。ウェイトモードとノーウェイトモードはコードオプションにより選択します。コードオプションの設定方法については、「第26章 コードオプション」を参照してください。

ウェイトモードとノーウェイトモードは、選択する高速クロック周波数に応じてCPU最大動作周波数が異なります。表2-3に、高速クロックと周辺回路およびCPUの最大動作周波数を示します。

表 2-3 高速クロックと周辺回路およびCPUの最大動作周波数

高速クロック 周波数	周辺回路 最大動作周波数	CPU 最大動作周波数	
		ウェイトモード	ノーウェイトモード
24MHz	24MHz	24MHz	6MHz
16MHz	16MHz	16MHz	8MHz

● ウェイトモード

プログラム・メモリから読み出された命令コードを内蔵するバッファに格納し、バッファから高速で読み出して命令を実行するモードです。CPUの高速動作が可能です。

連続したアドレスの命令処理時は、バッファ格納の待ち時間なく命令を処理することができます。分岐処理時はバッファ格納の待ち時間(ウェイト)により、実行サイクル数が増加します。

ウェイトモードのCPU最大動作周波数は、24MHzです。

● ノーウェイトモード

プログラム・メモリから読み出された命令コードをバッファを介さずに直接CPUが実行するモードです。命令の実行サイクル数が最小となるモードです。

ノーウェイトモードのCPU最大動作周波数は、8MHzです。

ウェイトモードとノーウェイトモードの命令実行サイクル数は、「付録C インストラクション実行サイクル」を参照してください。

システムクロックが低速クロック(LSCLK)の場合も、コードオプションで選択したCPU動作モード(ウェイトモードもしくはノーウェイトモード)が適用されます。

2.2.2 SB/RB 命令実行時の注意事項

SB/RB 命令(ビットアクセス命令)は、対象となるビットが含まれるSFRをバイト単位で読み出し、対象となるビットの値を書き換えたバイトデータを生成し、バイト単位で書き込みます。複数のビットが配置されたSFRにビットアクセス命令を実行した場合に、ビットアクセス命令の対象とならないビットは、そのときに読み出した値を書き戻します。

ハードウェアの状態で値が変わるビットが存在するSFRにビットアクセス命令を実行した場合、ビットアクセス命令の対象とならないビットの状態は読み出したときの値に書き戻されてしまう可能性がありますのでご注意ください。

2.2.3 リード・モディファイ・ライトの記述に関する注意

SFRから値を読んで一部の値だけ変更して書き戻す(リード・モディファイ・ライト)場合にCコンパイラは、ビットアクセス命令に変換する場合があります。(変更が2ビットの場合でもビットアクセス命令2回に変換される場合があります。)

このため同時に書き換えたつもりが同時に書き換わらないことや、ワードアクセスしたつもりがビットアクセスに変換されている可能性があります。ビットアクセス命令に変換されたくない場合は以下のような記述で回避することが可能です。

ビットアクセス命令に変換される記述例:

SFR &= 0xFFFE;	→ RB SFR.0; に変換されます。
SFR = 0x0081;	→ SB SFR.7; SB SFR.0; に変換されます。

ビットアクセス命令に変換されない記述例:

volatile unsigned short vald; vald = SFR; SFR = vald & 0xFFFE; vald = SFR; SFR = vald 0x0081;	Volatile 修飾した変数に一度代入することでビットアクセス命令への変換を回避することができます。
---	---

2.3 コプロセッサ

ML62Q1500C/1700C グループは、コプロセッサに乗除算器を内蔵しています。

乗除算器は CPU のコプロセッサ転送命令を用いて使用します。コプロセッサ転送命令については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

2.3.1 乗除算器

乗除算器には以下の演算機能があります。

- 乗算 : $16\text{bit} \times 16\text{bit}$ (演算時間 4 サイクル)
- 除算 : $32\text{bit} \div 16\text{bit}$ (演算時間 8 サイクル)
- 除算 : $32\text{bit} \div 32\text{bit}$ (演算時間 16 サイクル)
- 積和(非飽和型) : $16\text{bit} \times 16\text{bit} + 32\text{bit}$ (演算時間 4 サイクル)
- 積和(飽和型) : $16\text{bit} \times 16\text{bit} + 32\text{bit}$ (演算時間 4 サイクル)
- 符号あり, なし演算設定が可能
- 飽和型積和演算の場合に, 演算結果が表現できる範囲を超えると, 正の数であれば `0x7FFF_FFFF`, 負の数であれば `0x8000_0000` に演算結果が固定されます。

乗除算器を用いた乗除算ライブラリについては、『MULDIVU8LIB アクセラレータ対応乗除算ライブラリ ユーザーズマニュアル』を参照してください。

2.3.2 コプロセッサ汎用レジスタ一覧

本レジスタは、バイト型のコプロセッサ汎用レジスタです。
連続するレジスタを結合してワード型レジスタ (CERn)、ダブルワード型レジスタ (CXRn)、クワッドワード型レジスタ (CQRn) として読み出したまたは書き込みができます。

アドレス	コプロセッサ汎用レジスタ	シンボル名				R/W	初期値
		バイト	ワード	ダブルワード	クワッドワード		
—	A レジスタ L	CR0	CER0	CXR0	CQR0	R/W	0x00
—	A レジスタ H	CR1				CER2	R/W
—	B レジスタ L	CR2	CER4				R/W
—	B レジスタ H	CR3				CXR4	R/W
—	C レジスタ L	CR4	CER6	R/W			0x00
—	C レジスタ H	CR5		CER8			R/W
—	D レジスタ L	CR6	CXR8				R/W
—	D レジスタ H	CR7		CER10		R/W	0x00
—	演算モードレジスタ	CR8			CER12	CQR8	R/W
—	演算ステータスレジスタ	CR9		CXR12			R/W
—	—	CR10	CER14		R/W		0x00
—	—	CR11			R/W		0x00
—	—	CR12	CER14		R/W		0x00
—	—	CR13		R/W	0x00		
—	—	CR14		R/W	0x00		
—	コプロセッサ ID レジスタ	CR15			R		0x81

CR0～CR7 レジスタは、演算の入力値の設定と演算結果が格納されるレジスタです。
CR8 レジスタは各演算モード (符号あり／符号なし) および演算許可／禁止を設定するレジスタです。
CR9 レジスタは各演算結果の状態が格納されるレジスタです。
CR15 レジスタはコプロセッサの ID を示すレジスタです。

【注意】

- CR10～CR14 レジスタに機能はありません。CR10～CR14 レジスタを読み出すと“0x00”が読み出され、書き込みはできません。

2.3.2.1 A, B, C, D レジスタ (CR0~CR7)

本レジスタは演算の入力値と演算結果が格納されるレジスタです。

このレジスタは、バイト型レジスタですが、連続するレジスタを結合してワード型レジスタ (CERn)、ダブルワード型レジスタ (CXRn)、クワッドワード型レジスタ (CQRn) としてもアクセスできます。

ビットシンボルをソフトウェアで使うことはできません。

アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CER0															
バイト	CR1								CR0							
ビット	areg15	areg14	areg13	areg12	areg11	areg10	areg9	areg8	areg7	areg6	areg5	areg4	areg3	areg2	areg1	areg0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CER2															
バイト	CR3								CR2							
ビット	breg15	breg14	breg13	breg12	breg11	breg10	breg9	breg8	breg7	breg6	breg5	breg4	breg3	breg2	breg1	breg0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CER4															
バイト	CR5								CR4							
ビット	creg15	creg14	creg13	creg12	creg11	creg10	creg9	creg8	creg7	creg6	creg5	creg4	creg3	creg2	creg1	creg0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CER6															
バイト	CR7								CR6							
ビット	dreg15	dreg14	dreg13	dreg12	dreg11	dreg10	dreg9	dreg8	dreg7	dreg6	dreg5	dreg4	dreg3	dreg2	dreg1	dreg0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

クワッドワードシンボル		CQR0							
ダブルワードシンボル		CXR4				CXR0			
ワードシンボル		CER6		CER4		CER2		CER0	
バイトシンボル		CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
乗算 16bit×16bit	入力	被乗数 [15:0]		乗数 [15:0]		—			
	結果	—		—		積 [31:0]			
除算 32bit÷16bit	入力	除数 [15:0]		—		被除数 [31:0]			
	結果	—		剰余 [15:0]		商 [31:0]			
除算 32bit÷32bit	入力	除数 [31:0]				被除数 [31:0]			
	結果	剰余 [31:0]				商 [31:0]			
積和(非飽和) 16bit×16bit+32bit	入力	被乗数 [15:0]		乗数 [15:0]		加数 [31:0]			
	結果	—		—		積和 [31:0]			
積和(飽和) 16bit×16bit+32bit	入力	被乗数 [15:0]		乗数 [15:0]		加数 [31:0]			
	結果	—		—		積和 [31:0]			

CR7 レジスタにデータを書き込むと同時に演算を開始します。

飽和型積和演算の場合に、演算結果が表現できる範囲を超えると、正の数であれば 0x7FFF_FFFF、負の数であれば 0x8000_0000 に、演算結果が固定されます。

【注意】

- “—”は、前の値を保持しています。
- 符号あり演算の場合には、入力と出力の各最上位ビットが符号です。

2.3.2.2 演算モードレジスタ（CR8）， 演算ステータスレジスタ（CR9）

本レジスタは、演算モードおよび演算許可／禁止を設定するコプロセッサ汎用レジスタです。
演算ステータスレジスタ(CR9)は、演算結果の状態が格納されるレジスタです。
CR8, CR9レジスタは、バイト型レジスタですが、連続するレジスタを結合してワード型レジスタ(CERn)、ダブルワード型レジスタ(CXRn)、クワッドワード型レジスタ(CQRn)としてもアクセスできます。
ビットシンボルをソフトウェアで使うことはできません。

アクセス： R/W
アクセスサイズ： 8ビット/16ビット
初期値： 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CER8															
バイト	CR9								CR8							
ビット	c	z	s	ov	q	—	—	use	clen	—	—	sign	—	clmod2	clmod1	clmod0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビット シンボル名	説明
15	c	演算結果にキャリーが発生した場合、または除算モードで除数が“0”の場合に“1”になります。演算ごとに値が更新されます。また、値を書き込むことができます。
14	z	演算結果が“0”の場合に“1”になります。演算ごとに値が更新されます。また、値を書き込むことができます。
13	s	演算結果が負の数の場合に“1”になります。積和(非飽和, 飽和)演算の場合、演算結果の最上位ビットの状態を示します。演算ごとに値が更新されます。また、値を書き込むことができます。
12	ov	演算結果が2の補数で表現できる範囲を超えた場合に“1”になります。演算ごとに更新されます。また、値を書き込むことができます。
11	q	飽和型積和演算の結果、飽和状態のとき、“1”になります。次の演算でも値は保持されています。“0”に初期化する場合は“0”を書き込む必要があります。
8	use	演算中を示すビットです。 0: 演算停止中(初期値) 1: 演算中
7	clen	演算の禁止／許可を設定するビットです。 演算中に clen ビットを“0”にクリアすると、その演算終了後、次の演算が禁止されます。 0: 演算禁止(初期値) 1: 演算許可
4	sign	符号演算を設定するビットです。 0: 符号なし演算(初期値) 1: 符号あり演算
2～0	clmod2～ clmod0	演算モードを選択するビットです。乗算, 除算, 積和(非飽和), 積和(飽和) が選択できます。 000: 乗算 16bit×16bit(初期値) 001: 除算 32bit÷16bit 010: 積和(非飽和型) 16bit×16bit+32bit 011: 積和(飽和型) 16bit×16bit+32bit 100: 演算機能なし 101: 除算 32bit÷32bit 110: 演算機能なし 111: 演算機能なし

各演算モードを実行する場合の CR8 レジスタの設定値を示します。

CR8 への設定値	符号あり	符号なし
乗算 16bit × 16bit (初期値)	0x90	0x80
除算 32bit ÷ 16bit	0x91	0x81
除算 32bit ÷ 32bit	0x95	0x85
積和 (非飽和型) 16bit × 16bit + 32bit	0x92	0x82
積和 (飽和型) 16bit × 16bit + 32bit	0x93	0x83

各演算により変化するフラグを示します。

演算モード	sign	c	z	s	ov	q
乗算 16bit×16bit	1 (符号あり)	—	●	●	—	—
	0 (符号なし)	—	●	—	—	—
除算 32bit÷16bit	1 (符号あり)	●	●	●	●	—
	0 (符号なし)	●	●	—	—	—
除算 32bit÷32bit	1 (符号あり)	●	●	●	●	—
	0 (符号なし)	●	●	—	—	—
積和 (非飽和型) 16bit×16bit + 32bit	1 (符号あり)	●	●	●	●	—
	0 (符号なし)	●	●	●	●	—
積和 (飽和型) 16bit×16bit + 32bit	1 (符号あり)	●	●	●	●	●
	0 (符号なし)	●	●	●	●	●

●: 結果に従い変化 —: 変化なし (前の値を保持)

2.3.2.3 コプロセッサ ID レジスタ（CR15）

本レジスタは、コプロセッサの ID を示す読み出し専用のレジスタです。
 CR15 レジスタは固定値“0x81”です。
 このレジスタは、バイト型レジスタですが、連続するレジスタを結合してワード型レジスタ (CERn)、ダブルワード型レジスタ (CXRn)、クワッドワード型レジスタ (CQRn) としてもアクセスできます。
 ビットシンボルをソフトウェアで使うことはできません。

アクセス： R
 アクセスサイズ： 8ビット/16ビット
 初期値： 0x8100

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CER14															
バイト	CR15								CR14							
ビット	copid7	copid6	copid5	copid4	copid3	copid2	copid1	copid0	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

2.3.3 乗除算器の使い方

乗除算機能を使用する場合は、乗除算ライブラリを用意しています。詳細は乗除算ライブラリのマニュアルを参照してください。

2.4 メモリ空間

メモリ空間とは、CPU から指定できるメモリのアドレス範囲のことを指します。図 2-1 にメモリ空間の概要図を示します。

nX-U16/100 のメモリ空間はプログラム・メモリ空間とデータ・メモリ空間で構成されます。それぞれ 64K バイトを 1 セグメントとして管理されます。

プログラム・メモリ空間の読み出しは、ROM ウィンドウ領域またはミラー領域を介したメモリアクセス命令によって可能です。データ・メモリ空間の読み出しは、メモリアクセス命令を使用します。

ROM ウィンドウとは、プログラム・メモリ空間セグメント 0 をメモリアクセス命令によって読み出すために用意された領域です。この領域からのプログラム・メモリ空間の読み出しは、データ・メモリ空間の DSR を指定する必要がないため、データ圧縮効果とアクセス速度向上効果が見込まれます。また、ミラー領域とは、プログラム・メモリ空間セグメント 0～7 をメモリアクセス命令によって読み出すために用意された領域です。この領域からのプログラム・メモリ空間の読み出しは、アドレスの制限がありません。

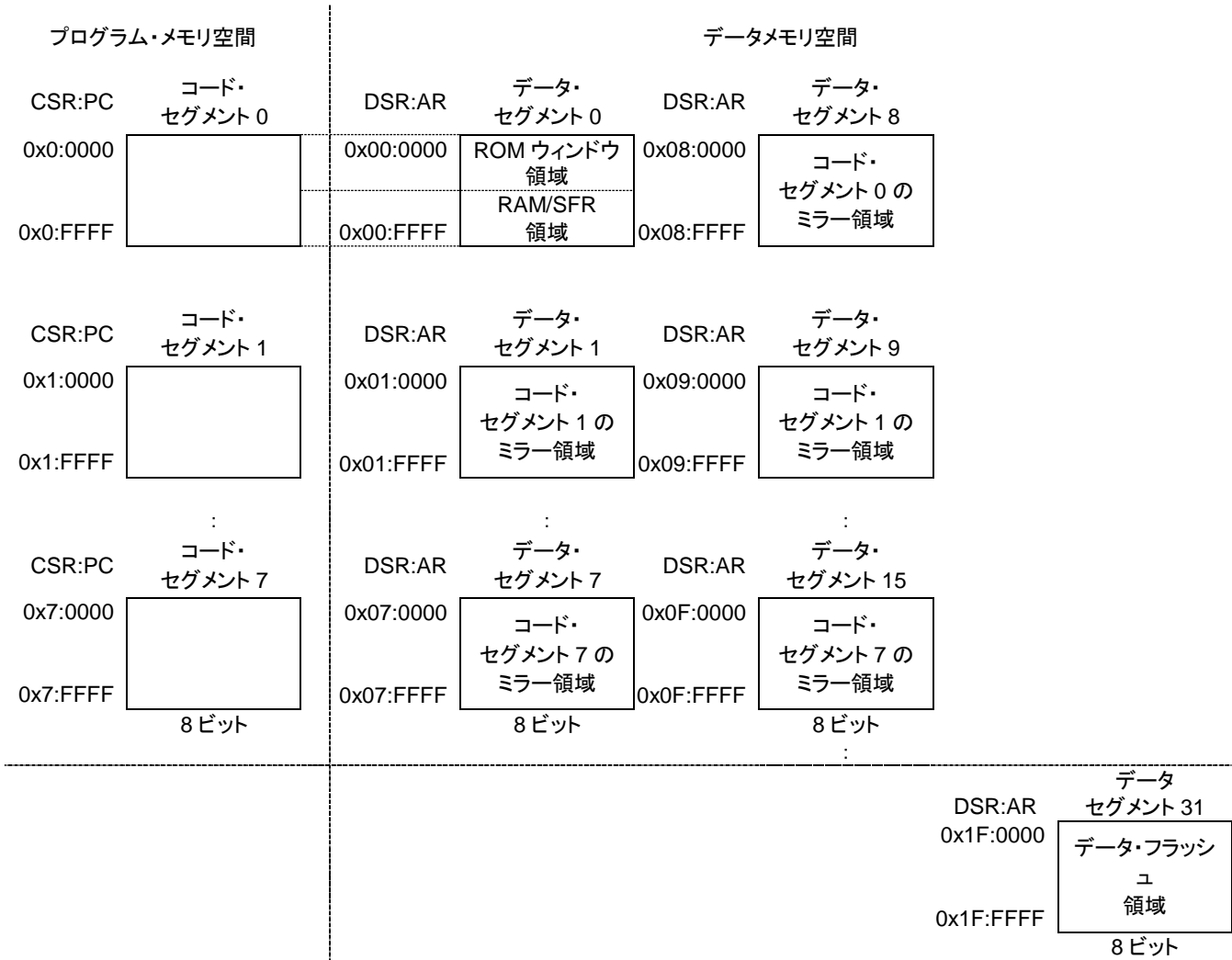


図 2-1 メモリ空間の概要図

2.5 プログラム・メモリ空間

プログラム・メモリ空間は、プログラム・コード、ベクタテーブルおよびコードオプションを格納する領域です。
プログラム・メモリ空間は、コードセグメントレジスタ(CSR)を上位 4 ビット、プログラム・カウンタ(PC)を下位 16 ビットとする 20 ビット(CSR:PC)で指定されます。

ベクタテーブル領域は、リセットベクタ、ハードウェア割込みベクタ、およびソフトウェア割込みベクタとして使用します。
使用しないソフトウェア割込みベクタ領域は、プログラム・コード領域として使用できます。

コードオプション領域は、CPU の動作モード、PLL の基本周波数、ウォッチドッグタイマ(WDT)の動作モード、ROM 未使用領域アクセスリセット許可・禁止、リマップ機能の許可・禁止を選択する領域として使用できます。

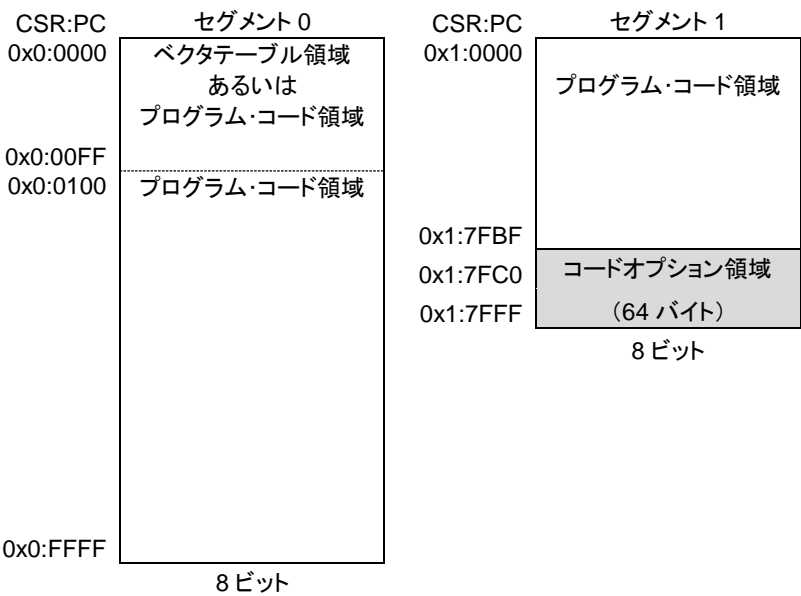
また、プログラム・コード領域、ベクタテーブル領域、およびコードオプション領域は、データ・メモリ空間の ROM ウィンドウ領域またはミラー領域からメモリアクセス命令で読み出しが可能です。

図 2-2～図 2-5 に ML62Q1500C/1700C グループの各商品のプログラム・メモリ空間の構成を示します。

【注意】

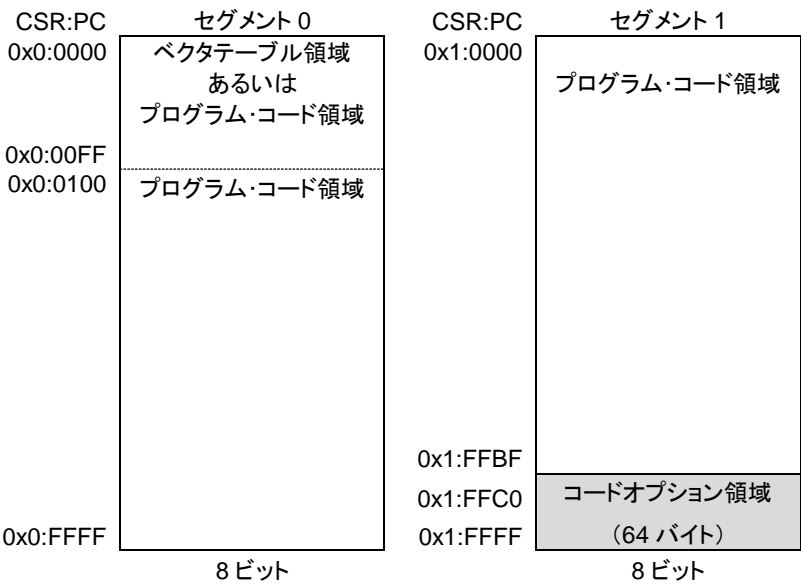
- ML62Q1500C/1700C グループは CSR[3]を無視します。CSR: 0x8~0xF は 0x0~0x7 として扱われます。
- コードオプション領域(64 バイト)は、プログラム・コード領域としては利用できません。コードオプションの設定については、「第 26 章 コードオプション」を参照し、必ずデータを設定してください。
- プログラム・メモリ空間の未使用領域には、フェイルセーフとして HTU8(プログラム開発支援ソフトウェア)を用いて“0xFFFF”データ(BRK 命令)を設定することを推奨します。HTU8 については、『HTU8 ユーザーズマニュアル』を参照してください。BRK 命令については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。
- CPU が誤動作する可能性があるため未使用領域にはアクセスしないでください。

■ML62Q1500C グループ



ML62Q1543C/1553C/1563C
容量 96K バイト

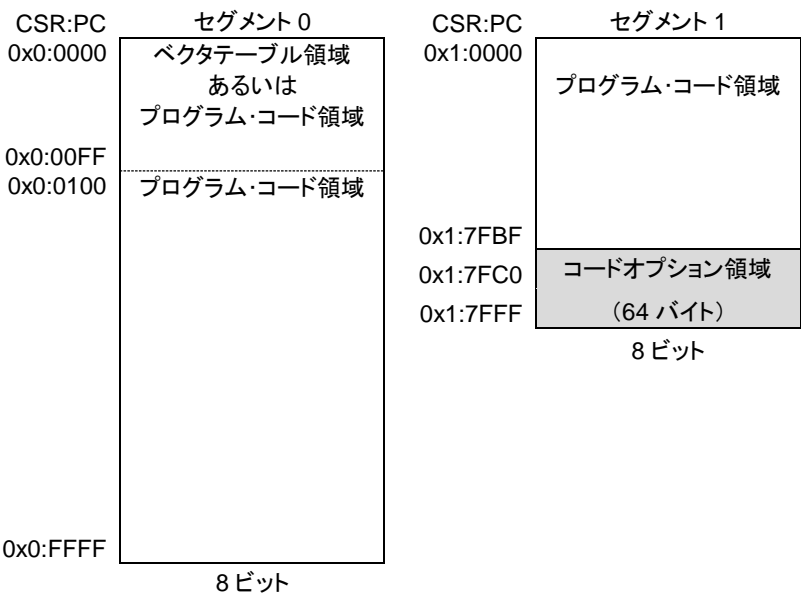
図 2-2 ML62Q1500C グループのプログラム・メモリ空間の構成 1



ML62Q1544C/1554C/1564C
容量 128K バイト

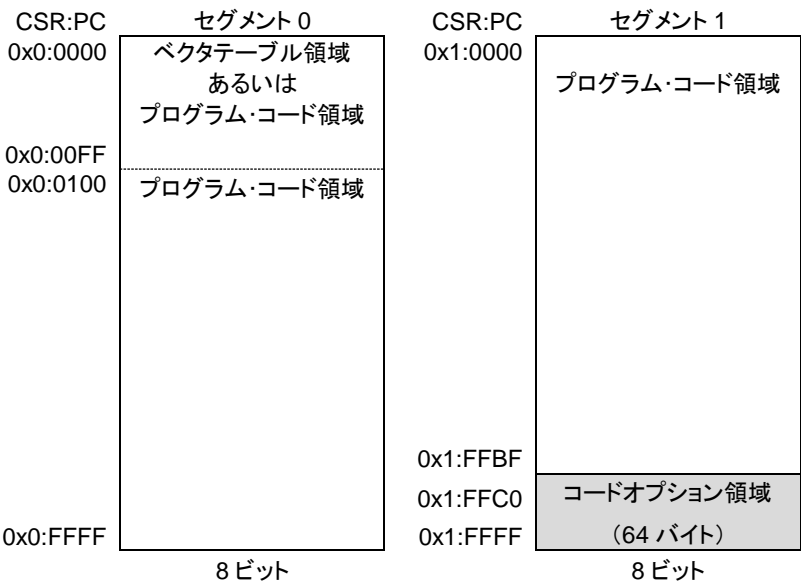
図 2-3 ML62Q1500C グループのプログラム・メモリ空間の構成 2

■ML62Q1700C グループ



ML62Q1713C/1723C/1733C
容量 96K バイト

図 2-4 ML62Q1700C グループのプログラム・メモリ空間の構成 1



ML62Q1714C/1724C/1734C
容量 128K バイト

図 2-5 ML62Q1700C グループのプログラム・メモリ空間の構成 2

2.6 データ・メモリ空間

データ・メモリ空間は、セグメント 0 の ROM ウィンドウ領域、RAM 領域、SFR 領域、セグメント 1~15 のミラー領域、テスト領域およびセグメント 31 のデータ・フラッシュ領域で構成されています。

データ・メモリは 8 ビット長のデータで、データセグメントレジスタ (DSR) を上位 5 ビット、各命令で指定されるデータアドレス (アドレスレジスタ: AR) を下位 16 ビットとする 21 ビットで指定されます。

セグメント 0 の ROM ウィンドウ領域は、プログラム・メモリ空間のセグメント 0 の内容の一部を読み出すことができます。

セグメント 1~7 はプログラム・メモリ空間のセグメント 1~7 のミラー領域です。セグメント 8~15 はプログラム・メモリ空間のセグメント 0~7 のミラー領域です。

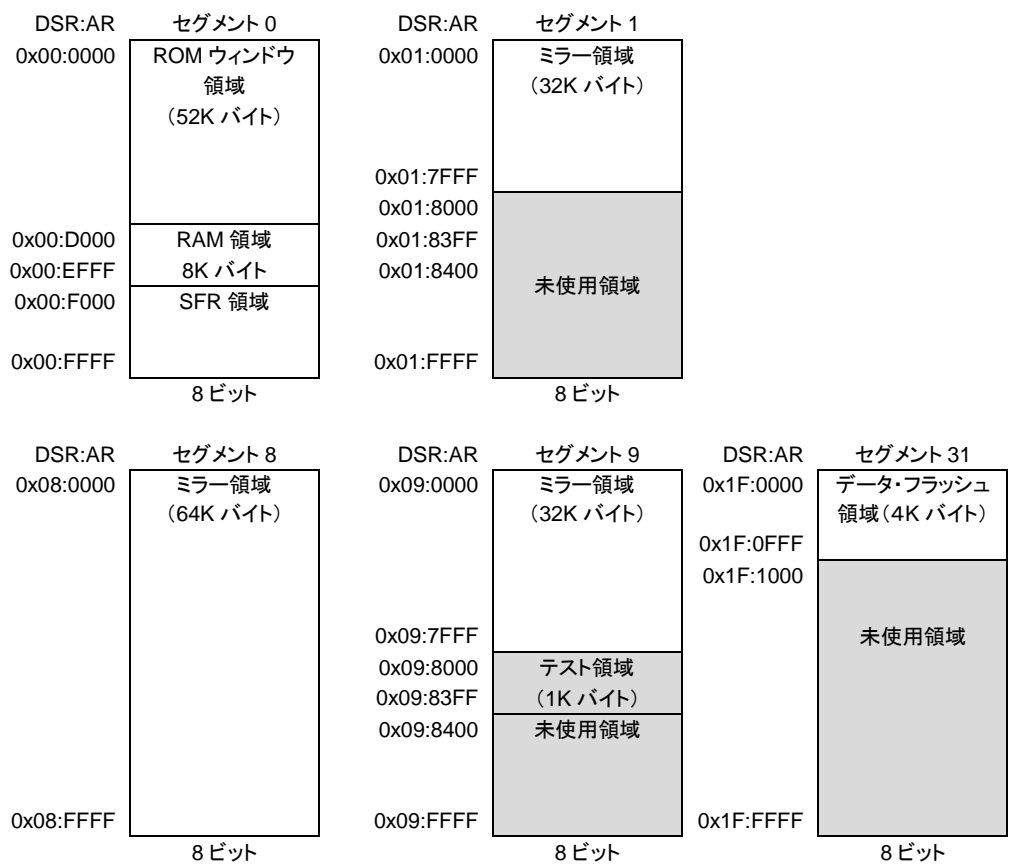
テスト領域 (1K バイト) は、LSI 固有のデータを格納している領域です。

図 2-6~図 2-9 に商品のデータ・メモリ空間の構成を示します。記載されていないセグメントは未使用領域です。

【注意】

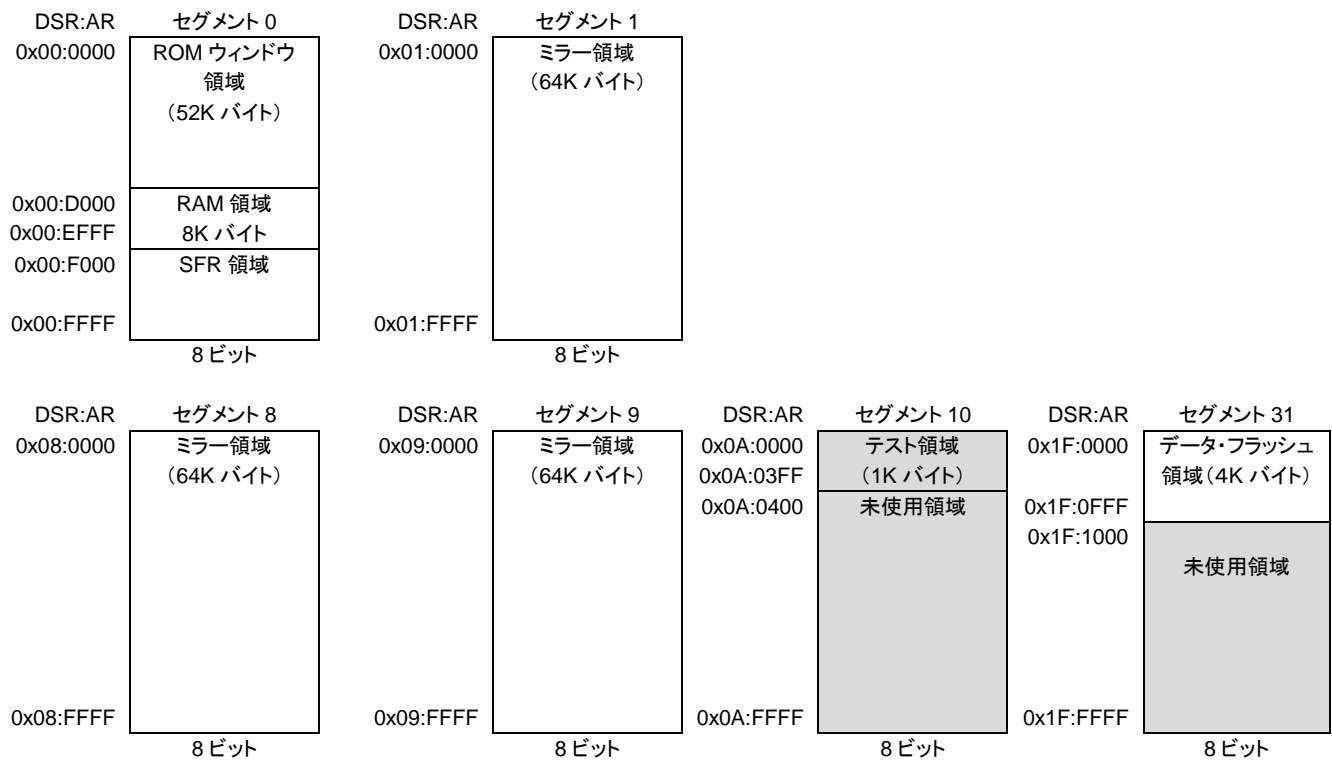
- RAM 領域の内容は、電源投入時およびシステムリセット時に不定となります。ソフトウェアで初期化してください。
- CPU が誤動作する可能性があるため未使用領域には書き込みおよび読み出ししないで下さい。

■ML62Q1500C グループ



ML62Q1543C／1553C／1563C

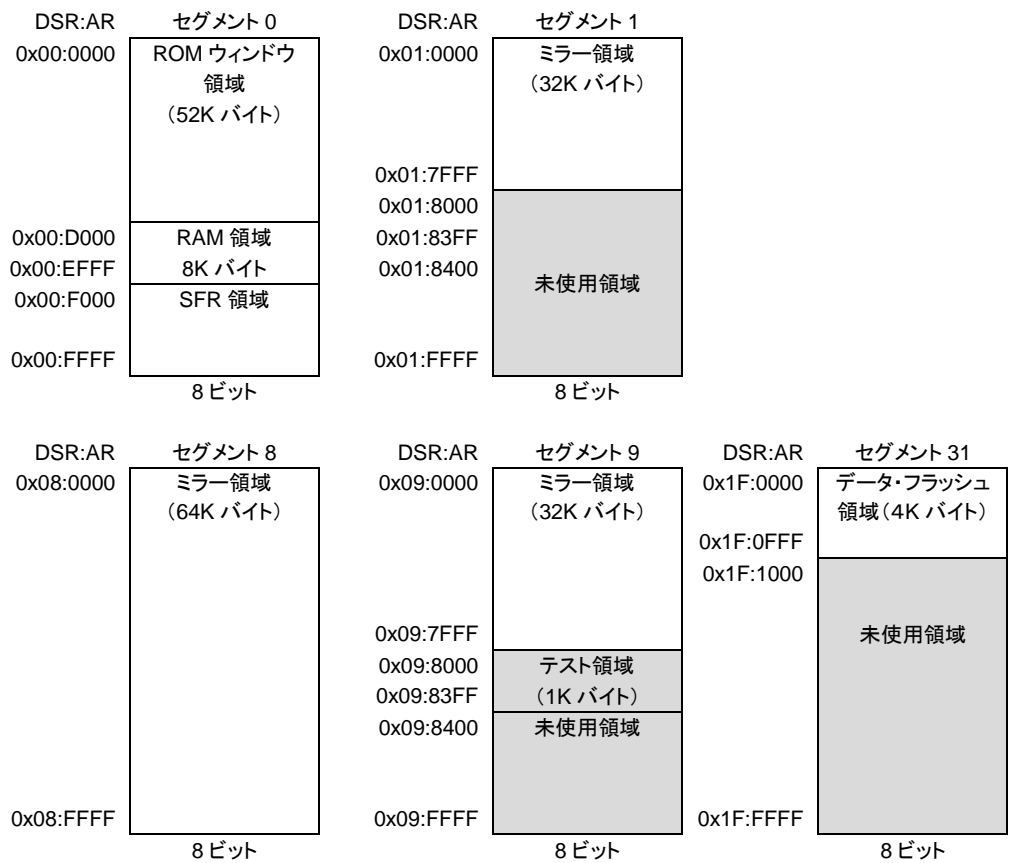
図 2-6 ML62Q1500C グループのデータ・メモリ空間の構成 1



ML62Q1544C／1554C／1564C

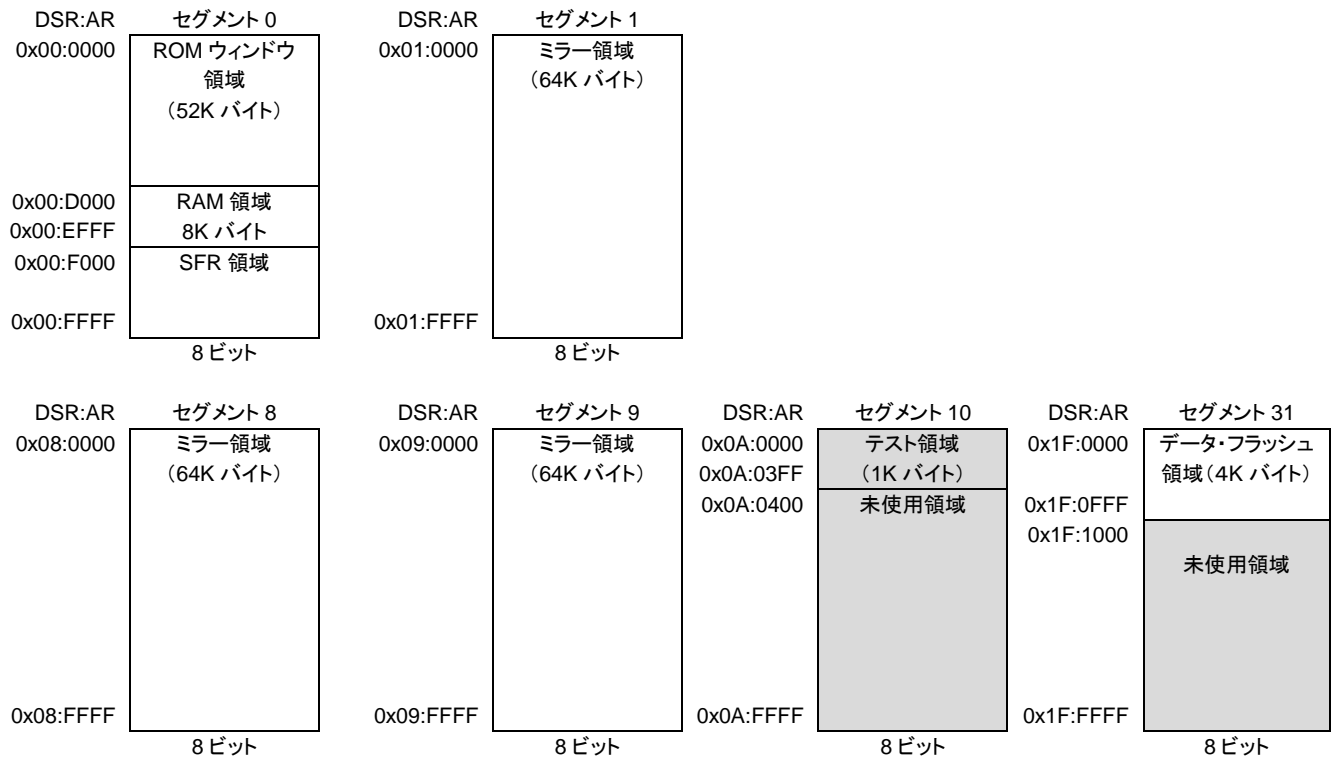
図 2-7 ML62Q1500C グループのデータ・メモリ空間の構成 2

■ML62Q1700C グループ



ML62Q1713C/1723C/1733C

図 2-8 ML62Q1700C グループのデータ・メモリ空間の構成 1



ML62Q1714C/1724C/1734C

図 2-9 ML62Q1700C グループのデータ・メモリ空間の構成 2

2.7 レジスタ説明

2.7.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF000	データセグメントレジスタ	DSR	－	R/W	8	0x00
0xF0A0	フラッシュリマップアドレスレジスタ	REMAPADD	－	R/W	8	0x00

*1: コードオプションの設定により変わります。詳細は「26.2.3 コードオプション 2(CODEOP2)」を参照してください。

2.7.2 データセグメントレジスタ（DSR）

本レジスタは、データセグメントを指定するための特殊機能レジスタ(SFR)です。
DSR レジスタの詳細は、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

アドレス: 0xF000(DSR)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								DSR							
ビット	—	—	—	—	—	—	—	—	—	—	—	DSR4	DSR3	DSR2	DSR1	DSR0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明	
7～5	—	予約ビット	
4～0	DSR4～ DSR0	00000:	データセグメント 0（初期値）
		00001:	コードセグメント 1 のミラー領域
		00010:	コードセグメント 2 のミラー領域
		00011:	コードセグメント 3 のミラー領域
		00100:	コードセグメント 4 のミラー領域
		00101:	コードセグメント 5 のミラー領域
		00110:	コードセグメント 6 のミラー領域
		00111:	コードセグメント 7 のミラー領域
		01000:	データセグメント 8（コードセグメント 0 のミラー領域）
		01001:	データセグメント 9（コードセグメント 1 のミラー領域）
		01010:	データセグメント 10（コードセグメント 2 のミラー領域）
		01011:	データセグメント 11（コードセグメント 3 のミラー領域）
		01100:	データセグメント 12（コードセグメント 4 のミラー領域）
		01101:	データセグメント 13（コードセグメント 5 のミラー領域）
		01110:	データセグメント 14（コードセグメント 6 のミラー領域）
		01111:	データセグメント 15（コードセグメント 7 のミラー領域）
	:	データセグメント 16～30（未使用領域）
		11111:	データセグメント 31（データ・フラッシュ領域）

- 【注意】
- データセグメント 31 以外の未使用領域の内容を読み出すと、0xFF が読み出されます。
 - データセグメント 31（データ・フラッシュ）の未使用領域の内容を読み出すと、0x00 が読み出されます。

2.7.3 フラッシュリマップアドレスレジスタ（REMAPADD）

本レジスタは、リマップする 4K バイトの領域を指定する特殊機能 (SFR) レジスタです。

アドレス: 0xF0A0 (REMAPADD)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: *1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								REMAPADD							
ビット	—	—	—	—	—	—	—	—	—	—	RES1	RES0	REA15	REA14	REA13	REA12
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	*1	*1	*1	*1	*1	*1

ビット番号	ビットシンボル名	説明
7,6	—	予約ビット
5~4	RES1~RES0	リマップしたい領域のコードセグメントを設定するビットです。 例えば、RES1~0 に“0x1”, REA15~12 に“0xF”を書き込みリマップすると、コードセグメント 1 の 0xF000~0xFFFF の領域がセグメント 0 の 0x0000~0x0FFF にリマップされます。
3~0	REA15~REA12	リマップしたい領域の先頭アドレスの上位 4 ビット(ビット 15~12)を設定するビットです。 例えば、REA15~12 ビットに“0xF”を書き込み、リマップすると 0xF000~0xFFFF の領域が 0x0000~0x0FFF にリマップされます。

*1: コードオプションの設定により変わります。詳細は「26.2.3 コードオプション 2 (CODEOP2)」を参照してください。

2.8 リマップ機能

リマップ機能は、プログラム・メモリ空間の0x0000～0x0FFF番地(通常ブート領域)を、指定した任意の4Kバイトの領域に置き換える機能です。

図2-10にリマップ機能の概要図を示します。

本機能を使用することで、通常ブート領域0x0000～とは異なる任意の領域から起動することができるため、フラッシュ・メモリのセルフプログラミング機能を使用して、通常ブート領域を含むプログラム・コード領域を書き換えることが可能です。

このリマップ機能とIAP(In-Application Programming)サンプルプログラムを使うことで、フラッシュ・メモリ上のユーザアプリケーションプログラムの書き換えが可能です。

リマップ機能の起動には、二種類の方法があります。

- ① ソフトウェアリマップ:ソフトウェアでフラッシュリマップアドレスレジスタ(REMAPADD)に値を設定した状態でCPUのみをリセットして起動する方法
- ② コードオプションリマップ:コードオプションにより常時リマップ機能を有効にして起動する方法

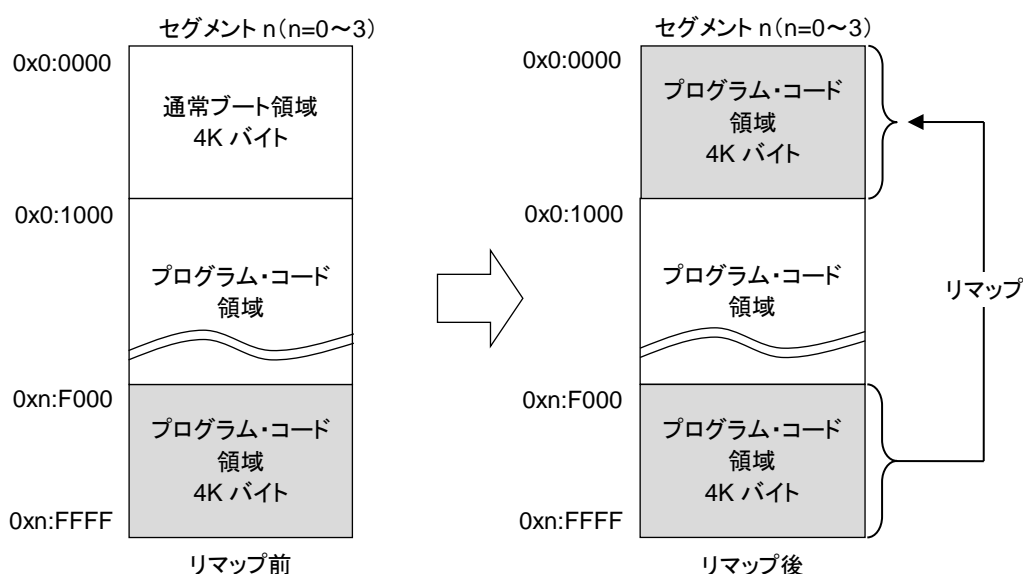


図 2-10 プログラム・メモリ空間のリマップ前後のメモリマップ

2.8.1 リマップ機能の動作説明

リマップ機能を使用すると、通常のブート領域 0x0:0000～0x0:0FFF 番地 (4K バイト) に REMAPADD レジスタで設定した任意の 4K バイトの領域を置き換える (リマップする) ことができます。

リマップ機能を使用する場合は、あらかじめコードオプション 0 の REMAPMD ビットに“0”を書き込む必要があります。

また、リマップ機能を使用した場合は、ベクタテーブル領域 (リセットベクタ、ハードウェア割込みベクタおよびソフトウェア割込みベクタ) もまた REMAPADD レジスタで指定された領域から読み込まれます。REMAPADD レジスタで指定した領域にもベクタテーブル領域を用意してください。

リマップ後は、データ・セグメント 0 からリマップ後の領域が読み出されます。リマップ前の通常ブート領域 (0x0:0000～0x0:0FFF) を読み出す場合は、データ・メモリ空間のデータ・セグメント 8 (セグメント 0 のミラー領域) から読み出してください。

リマップ後に、リマップ前の通常ブート領域 (0:0x0000～0:0x0FFF) の 4K バイトを書き換える場合、フラッシュアドレスレジスタ (FLASHA) には 0:0x0000～0:0x0FFF を設定してください。

FLASHA については、「第 25 章 フラッシュ・メモリ」を参照してください。

リマップ機能を使ったフラッシュ・メモリ上のユーザアプリケーションプログラム書き換え方法は、『ML62Q1000 シリーズ IAP サンプルプログラム』を参照してください。

2.8.2 ソフトウェアリマップ

ソフトウェアで REMAPADD レジスタに値を設定し CPU のみリセットをかける BRK 命令を用いることで、リマップ機能が動作します。

- ・あらかじめコードオプション 0 の REMAPMD ビットに“0”を設定しておきます。(コードオプションの設定方法は、「第 26 章 コードオプション」を参照してください。)
- ・REMAPADD レジスタにリマップしたい領域の先頭アドレスのコード・セグメントおよび上位 4 ビットのアドレスを設定します。
- ・CPU のプログラム・ステータス・ワード (PSW) の ELEVEL を“2”に設定し、BRK 命令を実行します。(ELEVEL および BRK 命令の詳細は、『nX-U16/100 コア インストラクションマニュアル』を参照してください。)
- ・CPU のみが初期化され、CPU は REMAPADD レジスタで指定された領域からプログラムを実行します。

下図 2-11 にソフトウェアリマップのプログラム記述例を示します。

<リマップしたい領域の先頭アドレスが 0x3:F000 の場合>

```
#asm
    mov    r0,    #03fh
    st     r0,    REMAPADD    ; REMAPADD = 0x3F
    mov    psw,   #02h        ; ELEVEL = 2
    nop
    nop
    brk                                ; BRK 命令
#endasm
```

図 2-11 ソフトウェアリマップのプログラム記述例

【注意】

- ・ RESET_N 端子リセットなどにより LSI 全体をリセットした場合、REMAPADD レジスタは初期値に戻るためリマップ機能は動作しません。

2.8.3 コードオプションリマップ

コードオプション 2 の CREMAPMD, CRES1～0, CREA15～CREA12 の設定により, LSI を常にリマップ状態から起動させることができます。

- REMAPMD=0, CREMAPMD=0 にすることでシステムリセット時に CRES1～0, CREA15～CREA12 で設定したアドレスから起動します。
- プログラムで REMAPADD の値を書き換えた場合, BRK 命令による CPU リセットでは REMAPADD は初期化されず, 書き換えた値で起動します。しかし, システムリセットでは REMAPADD レジスタは初期化されるため, コードオプションで設定したアドレスから起動します。

各条件におけるリセット解除時の CPU のアドレスを示します。

	REMAPMD	CREMAPMD	リセット解除時の CPU のアドレス
CPU リセット (BRK 命令)	1	1	0x0000
	1	0	
	0	1	REMAPADD に設定した値
	0	0	
システムリセット (BRK 命令以外のリ セット)	1	1	0x0000
	1	0	
	0	1	
	0	0	REMAPADD の初期値 (コードオプションで設定した値)

第 3 章 リセット機能

3. リセット機能

3.1 概要

ML62Q1500C/1700C グループは、表 3-1 に示すリセット要因により、CPU、周辺回路などをリセットする機能を備えています。

本章ではシステムリセットモード、リセット入力端子リセット、およびパワーオンリセット(POR)について説明します。その他のリセット要因の詳細については、表 3-1 に記載する章を参照してください。それぞれのリセット要因でリセットされる内容については、表 3-2 を参照してください。

表 3-1 リセット要因詳細の参照先

リセット要因	参照先
リセット入力端子リセット(端子リセット)	本章
パワーオンリセット(POR)	本章
WDT オーバフローリセット	第 10 章 ウォッチドッグタイマ
WDT 不正クリアリセット	第 10 章 ウォッチドッグタイマ
電圧レベル監視リセット(VLS0 リセット)	第 22 章 電圧レベル監視機能
RAM パリティエラーリセット	第 29 章 安全機能
ROM 未使用領域アクセスリセット	第 29 章 安全機能
BRK 命令リセット(CPU リセット) (ELEVEL2 以上のとき)	『nX-U16/100 コア インストラクションマニュアル』
各周辺回路の個別リセット(ブロックリセット)	第 4 章 パワーマネジメント
端子制御および周辺回路の一括リセット(ソフトリセット)	第 4 章 パワーマネジメント

3.1.1 特長

リセット要因を早期に特定できる次のような機能を備えているため、リセット要因に応じて処理を分けることができます。

- リセット発生要因を示すリセットステータスレジスタ (RSTAT)
- 安全機能リセット発生要因を示すリセットステータスレジスタ (SRSTAT)

また、LSI の起動に異常があったことを検知する機能 (INITE フラグ) を備えています。

3.1.2 構成

図 3-1 にリセット発生回路の構成を示します。

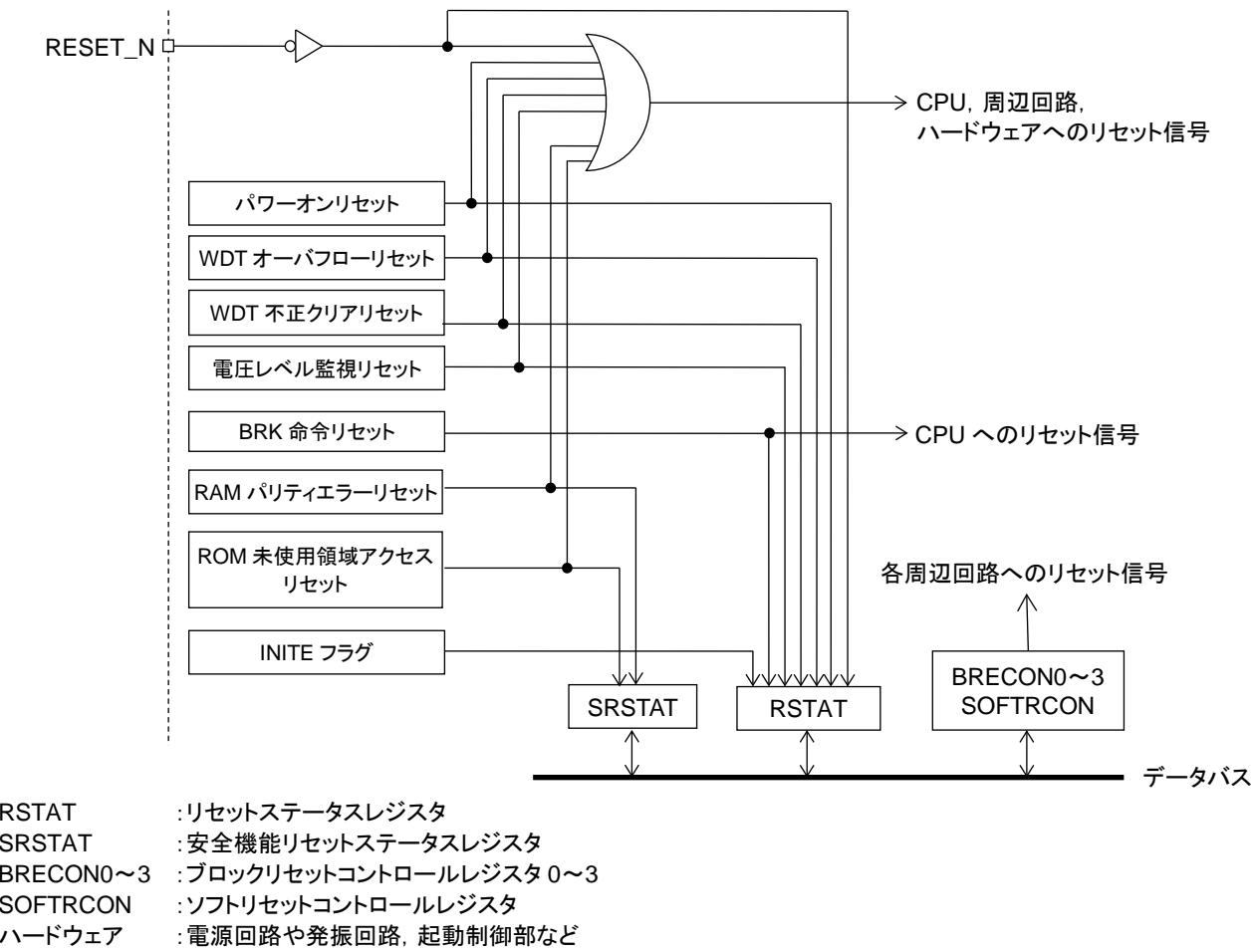


図 3-1 リセット発生回路の構成

3.1.3 端子一覧

端子名	入出力	機能
RESET_N	I	リセット入力端子

3.2 レジスタ説明

3.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF058	リセットステータスレジスタ	RSTATL	RSTAT	R/W	8/16	不定
0xF059		RSTATH		R/W	8	不定
0xF05A	安全機能リセットステータスレジスタ	SRSTAT	—	R/W	8	不定

3.2.2 リセットステータスレジスタ (RSTAT)

本レジスタは、リセットが発生した要因を示す特殊機能レジスタ(SFR)です。

パワーオンリセット以外のリセットが発生すると、発生したリセットの要因を示すビットのみに“1”がセットされ、それ以外のビット(INITE ビットを除く)はリセット前の値を維持します。パワーオンリセットが発生した場合は POR ビット以外のビットは“0”になります。リセット要因を判別したあとは、次のリセット要因判別に備えて、RSTAT レジスタに“0xFFFF”を書き込み、リセット要因のビットを初期化してください。

アドレス: 0xF058(RSTATL/RSTAT), 0xF059(RSTATH)
 アクセス: R/W
 アクセスサイズ: 8ビット/16ビット
 初期値: 不定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	RSTAT															
バイト	RSTATH								RSTATL							
ビット	—	—	—	—	—	—	—	BRKR	INITE	RSTR	—	VLSOR	WDTWR	WDTR	—	POR
R/W	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R	R/W
初期値	0	0	0	0	0	0	0	0/1	0	0/1	0	0/1	0/1	0/1	0	0/1

ビット 番号	ビットシンボル 名	説明
15～9	—	予約ビット
8	BRKR	CPU の BRK 命令実行により CPU リセットが発生したことを示すビットです。 “1”を書き込むと“0”に初期化されます。 0: BRK 命令による CPU リセット発生なし 1: BRK 命令による CPU リセット発生
7	INITE	LSI の起動に異常があったことを示す読み出し専用のビットです。 本ビットが“1”の場合は、リセット入力端子リセット、または電源投入によってリセットを発生させて LSI を再起動してください。 0: LSI の起動は正常 1: LSI の起動に異常発生
6	RSTR	リセット入力端子リセットが発生したことを示すビットです。 “1”を書き込むと“0”に初期化されます。 0: リセット入力端子リセット発生なし 1: リセット入力端子リセット発生
5	—	予約ビット
4	VLSOR	電圧レベル監視リセットが発生したことを示すビットです。 “1”を書き込むと“0”に初期化されます。 0: 電圧レベル監視リセット発生なし 1: 電圧レベル監視リセット発生
3	WDTWR	WDT 不正クリアリセットが発生したことを示すビットです。 “1”を書き込むと“0”に初期化されます。 0: WDT 不正クリアリセット発生なし 1: WDT 不正クリアリセット発生
2	WDTR	WDT オーバフローリセットが発生したことを示すビットです。 “1”を書き込むと“0”に初期化されます。 0: WDT オーバフローリセット発生なし 1: WDT オーバフローリセット発生
1	—	予約ビット
0	POR	パワーオンリセットが発生したことを示すビットです。 “1”を書き込むと“0”に初期化されます。 0: パワーオンリセット発生なし 1: パワーオンリセット発生

3.2.3 安全機能リセットステータスレジスタ（SRSTAT）

本レジスタは、安全機能のリセットが発生した要因を示す特殊機能レジスタ(SFR)です。
安全機能によるリセットが発生すると、発生したリセットの要因を示すビットにのみ“1”がセットされ、それ以外のビットはリセット前の値を維持します。リセット要因を判別したあとは、次のリセット要因判別に備えて、SRSTAT レジスタに“0xFF”を書き込み、“0x00”に初期化してください。
安全機能の詳細については、「第 29 章 安全機能」を参照してください。

アドレス: 0xF05A (SRSTAT)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 不定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								SRSTAT							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RPER	FIAR
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

ビット 番号	ビットシンボル 名	説明
7～2	—	予約ビット
1	RPER	RAM パリティエラーリセットが発生したことを示すビットです。 “1”を書き込むと“0”に初期化されます。 0: RAM パリティエラーリセット発生なし 1: RAM パリティエラーリセット発生
0	FIAR	ROM 未使用領域アクセスリセットが発生したことを示すビットです。 “1”を書き込むと“0”に初期化されます。 0: ROM 未使用領域アクセスリセット発生なし 1: ROM 未使用領域アクセスリセット発生

3.3 動作説明

3.3.1 リセット機能の動作

表 3-2 にリセット要因ごとのリセット有効範囲を示します。

表 3-2 リセット要因ごとのリセット有効範囲

リセット要因	CPU	RAM	水晶発振回路/RTC 機能 *1	電圧レベル 監視機能	その他の 周辺回路	システム回路 *2
端子リセット	●	—	—	●	●	●
パワーオンリセット	●	—	●	●	●	●
WDT オーバフローリセット	●	—	—	—	●	●
WDT 不正クリアリセット	●	—	—	—	●	●
電圧レベル監視リセット	●	—	—	—	●	●
RAM パリティエラーリセット	●	—	—	—	●	●
ROM 未使用領域アクセスリセット	●	—	—	—	●	●
BRK 命令リセット(CPU リセット)	●	—	—	—	—	—
ブロックリセット	—	—	—	—	●*3	—
SOFTTR リセット	—	—	—	—	●*3	—

●:リセットされる —:リセットされない

*1: 水晶発振回路(外部クロック入力含む)および RTC 機能。対象となる SFR は FLMOD, FBUCON, FBUSTAT, LTBRR, SRTCMAS レジスタです。詳細は第 6, 7, 16 章を参照してください。

*2: 電源回路や内蔵発振回路, 起動制御部, コードオプション制御部など(水晶発振回路除く)。

*3: 第 4 章を参照してください。

【注意】

- 電圧レベル監視機能は、リセット入力端子リセット, またはパワーオンリセット(POR)でのみ初期化されます。
- BRK 命令リセットは、ELEVEL が 2 以上の場合に CPU だけを初期化します。周辺回路およびハードウェアは初期化されません。異常検出時に確実に LSI を初期化するためには、リセット入力端子リセット, またはウォッチドッグタイマ(WDT)によるリセットを使用してください。
- BRECON0~3 リセット, および SOFTTRCON リセットは、該当する周辺回路のみが初期化されます。CPU およびハードウェアは初期化されず、また、システムリセットモードにも移行しません。

3.3.2 システムリセットモード

ブロックリセットコントロールレジスタ(BRECON0~3)とソフトリセットコントロールレジスタ(SOFTRCON)、および BRK 命令による CPU リセットを除く、いずれかのリセット要因によるリセットが発生すると、システムリセットモードに移行します。システムリセットモードへの移行は、すべての処理に対して最優先され、それまでの処理は中止されます。システムリセットモードでは、以下の処理が行われます。

1. 電源回路、発振回路など LSI 動作の基本となるハードウェアが初期化されます。また、コードオプションで選択した機能が設定されます。これらの初期化および設定に異常が発生した場合は、リセットステータスレジスタ(RSTAT)の INITE ビットに“1”がセットされます。
コードオプションについては、「第 26 章 コードオプション」を参照してください。
2. 周辺回路、および初期値が決まっている特殊機能レジスタ(SFR)が初期化されます。SFR の初期値は、「付録 A レジスタ一覧」、または各機能の章を参照してください。
3. CPU が初期化されます。
 - CPU 内のすべてのレジスタが初期化されます。
 - プログラム・メモリのセグメント 0 の 0x0000, 0x0001 番地の内容がスタックポインタ(SP)に設定されます。
 - プログラム・メモリのセグメント 0 の 0x0002, 0x0003 番地の内容がプログラム・カウンタ(PC)に設定されます。
4. リセットが解除されるとプログラム動作モードに移行します。

CPU 内のレジスタ(SP, PC)および BRK 命令の詳細については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

【注意】

- システムリセットモードでは、データ・メモリ(RAM)の内容、および初期値が不定の SFR は初期化されず不定です。ソフトウェアにて初期化してください。

3.3.3 リセット入力端子リセット

リセット入力端子に“L”レベルを入力するとリセット状態となり、リセットステータスレジスタ(RSTAT)の RSTR ビットに“1”がセットされます。その後、リセット入力端子を“H”レベルにするとリセットが解除され、プログラム動作を開始します。リセットを発生させる場合は、データシートのリセット有効時間(P_{RST})以上の“L”レベルを入力してください。

リセット入力端子は、オンチップデバッグエミュレータを使ってソフトウェアをデバッグする場合や、ISP 機能を使ってフラッシュ・メモリにプログラムを書き込む場合にも使用されます。この場合、RSTAT レジスタは必ず POR ビット=1, RSTR ビット=0 になります。また、リセット入力端子の使用方法は、「第 28 章 オンチップデバッグ機能」、および「第 25 章 フラッシュ・メモリ」を参照してください。

3.3.4 パワーオンリセット

パワーオンリセットは、電源(V_{DD})の起動を検出、または電源(V_{DD})がパワーオンリセット発生電圧(V_{PORF})より低下かつパワーオンリセット反応時間(P_{POR})以上経過するとリセットを発生します。パワーオンリセットが発生すると、リセットステータスレジスタ(RSTAT)のPORビットに“1”がセットされます。

また、電源(V_{DD})の電圧がパワーオンリセット判定電圧(V_{PORR})以上になるとリセットが解除され、低速クロックでプログラム動作が開始されます。

パワーオンリセットに関する規格は、各商品のデータシートを参照してください。

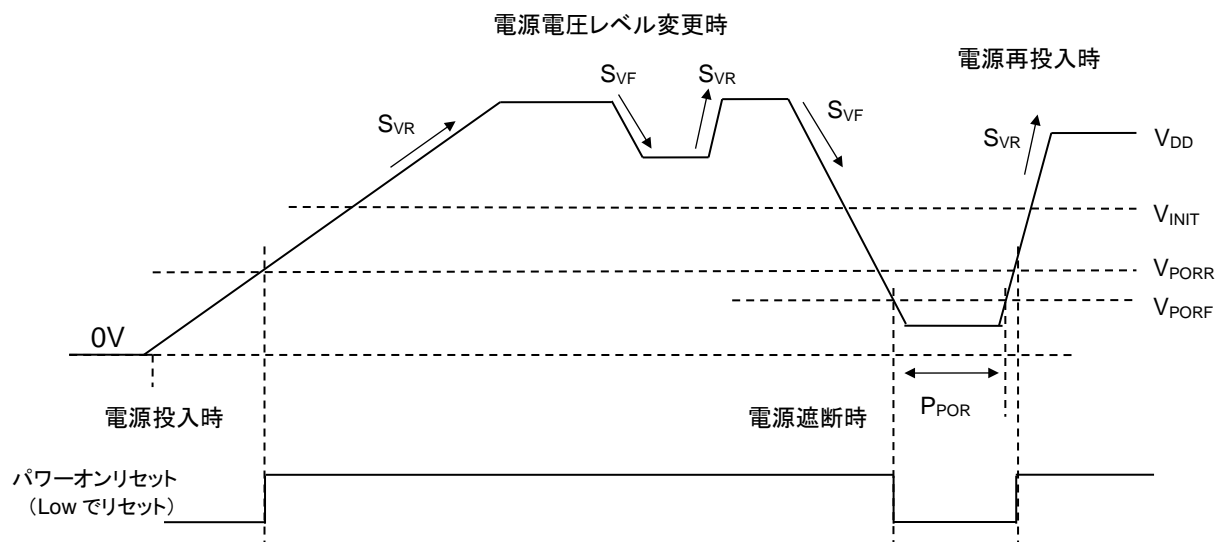


図 3-2 パワーオンリセットの動作波形

【注意】

- 電源起動時は V_{DD} を電源投入時電圧(V_{INIT})以上まで上昇させてください。
- 高速クロックを使用する場合は、高速クロック発振が許可されるまで V_{DD} を電源投入時電圧(V_{INIT})以上にしてください。
- 電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。

第4章 パワーマネジメント

4. パワーマネジメント

4.1 概要

ML62Q1500C/1700C グループは、LSI の消費電流を抑制するために以下の 5 種のスタンバイモードを備えています。

- HALT モード : CPU を停止, 周辺回路は動作を継続
- HALT-H モード : CPU を停止, 周辺回路は低速クロックのみ継続, 高速クロックは強制停止, HALT-H モード解除時に高速クロックを強制開始
- HALT-C モード : CPU を停止, 周辺回路は動作を継続, 高速クロック停止, 周辺回路はウォッチドッグタイマ, 外部割込み, 低速タイムベースカウンタ, 16 ビットタイ水晶発振回路, LCD ドライバ*1 のみ動作可能
*1:ML62Q1700C グループで使用可能
- STOP モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止
- STOP-D モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止, 内部ロジック用電圧 (V_{DDL}) を低下させ, 消費電流を抑制

4.1.1 特長

- STOP モードおよび STOP-D モードへの移行を制限するストップコードアクセプタ機能を搭載
- STOP-D モードに移行しても RAM, SFR などのデータは保持可能
- 周辺回路ごとにクロック供給を止め消費電流を抑制するブロッククロックコントロール機能を搭載
- 周辺回路ごとにリセットするブロックリセットコントロール機能を搭載

4.1.2 構成

図 4-1 に動作状態の遷移図を示します。

図中のビットシンボル名は、スタンバイコントロールレジスタ(SBYCON)のビットです。

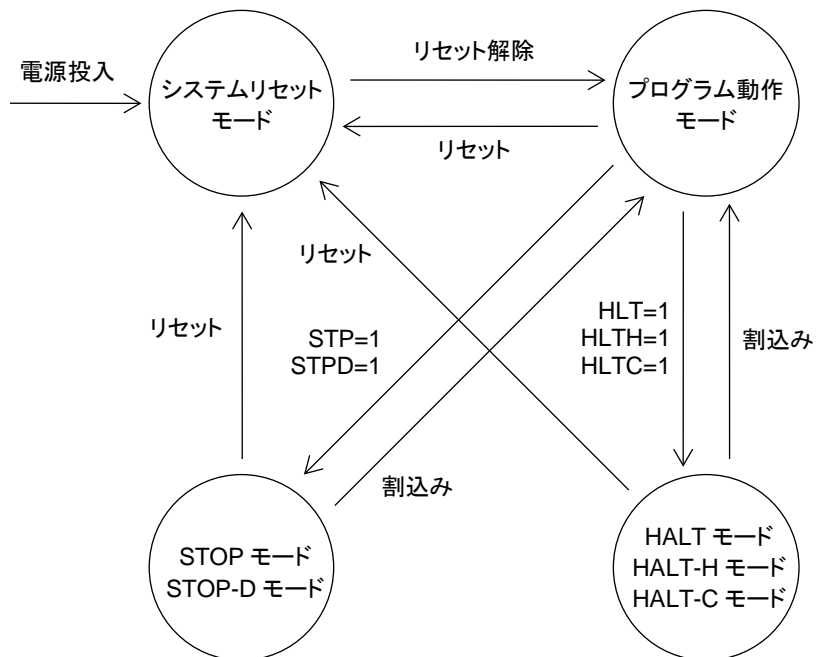


図 4-1 動作状態の遷移図

4.2 レジスタ説明

4.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF018	ストップコードアクセプタ	STPACP	—	W	8	0x00
0xF019	予約レジスタ	—	—	—	—	—
0xF01A	スタンバイコントロールレジスタ L	SBYCONL	SBYCON	W	8/16	0x00
0xF01B	スタンバイコントロールレジスタ H	SBYCONH		R	8	0x00
0xF05C	ソフトリセットアクセプタ	SOFTRACP	—	W	8	0x00
0xF05D	予約レジスタ	—	—	—	—	—
0xF05E	ソフトリセットコントロールレジスタ	SOFTRCON	—	R/W	8	0x00
0xF05F	予約レジスタ	—	—	—	—	—
0xF070	ブロッククロックコントロールレジスタ 0	BCKCON0L	BCKCON0	R/W	8/16	0x00
0xF071		BCKCON0H		R/W	8	0x00
0xF072	ブロッククロックコントロールレジスタ 1	BCKCON1L	BCKCON1	R/W	8/16	0x00
0xF073		BCKCON1H		R/W	8	0x00
0xF074	ブロッククロックコントロールレジスタ 2	BCKCON2L	BCKCON2	R/W	8/16	0x00
0xF075		BCKCON2H		R/W	8	0x00
0xF076	ブロッククロックコントロールレジスタ 3	BCKCON3L	BCKCON3	R/W	8/16	0x00
0xF077		BCKCON3H		R/W	8	0x00
0xF078	ブロックリセットコントロールレジスタ 0	BRECON0L	BRECON0	R/W	8/16	0x00
0xF079		BRECON0H		R/W	8	0x00
0xF07A	ブロックリセットコントロールレジスタ 1	BRECON1L	BRECON1	R/W	8/16	0x00
0xF07B		BRECON1H		R/W	8	0x00
0xF07C	ブロックリセットコントロールレジスタ 2	BRECON2L	BRECON2	R/W	8/16	0x00
0xF07D		BRECON2H		R/W	8	0x00
0xF07E	ブロックリセットコントロールレジスタ 3	BRECON3L	BRECON3	R/W	8/16	0x00
0xF07F		BRECON3H		R/W	8	0x00

4.2.2 ストップコードアクセプタ（STPACP）

本レジスタは、STOP モードおよび STOP-D モードへの移行を許可する書き込み専用の特殊機能レジスタ(SFR)です。STPACP レジスタを読み出すと、“0x00”が読み出されます。

アドレス： 0xF018(STPACP)
アクセス： W
アクセスサイズ： 8 ビット
初期値： 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								STPACP							
ビット	—	—	—	—	—	—	—	—	d7	d6	d5	d4	d3	d2	d1	d0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

STOP／STOP-D モードへの移行手順

手順	設定内容	説明
1	STPACP レジスタに“0x5n”，“0xA n”の順で書き込む(n=任意)	STOP モードまたは STOP-D モードへの移行許可（一度のみ許可）
2	SBYCON レジスタの STP ビットまたは STPD ビットに“1”を書き込む	STP=1 :STOP モードに移行 STPD=1 :STOP-D モードに移行

手順 1 の際、STPACP レジスタに“0x5n”を書き込む命令と“0xA n”を書き込む命令の間に他の命令が実行されてもかまいません。ただし、“0x5n”の書き込み後に“0xA n”以外の値を STPACP レジスタに書き込むと“0x5n”の書き込みが無効となるため、“0x5n”の書き込みから再開する必要があります。

【注意】

- CPU に割込みを要求している状態(割込み許可レジスタと割込み要求レジスタのビットが共に“1”の状態)では、STPACP レジスタへの書き込みは無効となり、STOP モードおよび STOP-D モードへの移行は許可されません。

4.2.3 スタンバイコントロールレジスタ (SBYCON)

本レジスタは、スタンバイモードを選択する書き込み専用の特殊機能レジスタ(SFR)です。
SBYCON レジスタを読み出すと、“0x0000”が読み出されます。

アドレス: 0xF01A(SBYCONL/SBYCON), 0xF01B(SBYCONH)
アクセス: W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SBYCON															
バイト	SBYCONH								SBYCONL							
ビット	—	—	—	—	—	—	—	—	—	—	—	HLTC	STPD	HLTH	STP	HLT
R/W	R	R	R	R	R	R	R	R	R	R	R	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～5	—	予約ビット
4	HLTC	LSI 動作状態を HALT-C モードに設定するビットです。 HLTC ビットは FCON レジスタの ENOSC ビットが“0”の場合にのみ“1”に設定できます。 IE0～IE7 レジスタで許可された WDT 割込み、外部割込み、拡張外部割込み、クロックバックアップ割込み、16 ビットタイマ割込み、または低速タイムベースカウンタ割込みが発生すると、HALT-C モードが解除され、プログラム動作モードに復帰します。
3	STPD	LSI の動作状態を STOP-D モードに設定するビットです。 STPACP レジスタの設定で STOP-D モードへの移行を許可後、このビットに“1”を書き込むと STOP-D モードに移行します。 IE0～IE7 レジスタで許可された割込みが発生すると、STOP-D モードが解除され、プログラム動作モードに復帰します。
2	HLTH	高速発振を強制的に停止し、LSI の動作状態を HALT-H モードに設定するビットです。 WDT 割込み、または IE0～IE7 レジスタで許可された割込みが発生すると、HALT-H モードが解除され、高速発振を強制的に許可し、プログラム動作モードに復帰します。
1	STP	LSI の動作状態を STOP モードに設定するビットです。 STPACP レジスタの設定で STOP モードへの移行を許可後、このビットに“1”を書き込むと STOP モードに移行します。 IE0～IE7 レジスタで許可された割込みが発生すると、STOP モードが解除され、プログラム動作モードに復帰します。
0	HLT	LSI 動作状態を HALT モードに設定するビットです。 WDT 割込み、または IE0～IE7 レジスタで許可された割込みが発生すると、HALT モードが解除され、プログラム動作モードに復帰します。

【注意】

- スタンバイモードに移行しない条件がいくつかあります。条件については、「4.3.11 スタンバイモード移行時についての注意事項」を参照してください。
- CPU に割込みを要求している状態(割込み許可レジスタと割込み要求レジスタのビットが共に“1”の状態)では、スタンバイモードには移行しません。
- マスタ・インタラプト・イネーブル・フラグ(MIE)が“0”の状態でマスカブル割込みが発生した場合は、スタンバイモードが解除されるのみで割込み処理には移行しません。MIE の詳細については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。
- HLT, STP, HLTH, STPD, HLTC の各ビットに“1”を設定する命令の次には、必ず NOP 命令を 2 個配置してください。NOP 命令がない場合の動作は保証しません。
- SBYCON レジスタは 2 ビット以上を同時に“1”に設定することはできません。2 ビット以上を同時に“1”に設定した場合は設定は無効になり、プログラム動作モードを継続します。
- CPU 動作モードがウェイトモード、PLL の基本周波数が 24MHz の設定で、MIE が“0”の場合は、HALT/HALT-H モードに設定する前に SYSTEMCLK を 12MHz 以下にしてください。

- 低速クロックに低速水晶発振クロック／低速外部クロック入力を選択 (FLMOD レジスタの LOSCM1-0 を“01”または“11”に設定) している場合, STP ビットまたは STPD ビットに“1”を設定する前に SYSTEMCLK を低速クロックに切り替えてください。
- STOP／STOP-D モードに移行するときは, CPU の割込みは禁止状態 (MIE=0) にし, SYSTEMCLK は 16MHz 以下にしてください。
- HLTC ビットは FCON レジスタの ENOSC ビットが“0”の場合にのみ“1”に設定できます。

4.2.4 ソフトリセットアクセプタ（SOFTTRACP）

本レジスタは、ソフトリセットを許可する書き込み専用の特殊機能レジスタ(SFR)です。
SOFTTRACP レジスタを読み出すと、“0x00”が読み出されます。

アドレス：0xF05C(SOFTTRACP)
アクセス：W
アクセスサイズ：8ビット
初期値：0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								SOFTTRACP							
ビット	—	—	—	—	—	—	—	—	d7	d6	d5	d4	d3	d2	d1	d0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

周辺回路の一括リセット手順

手順	設定内容	説明
1	SOFTTRACP レジスタに“0x3n”, “0xCn” の順で書き込む(n=任意)	ソフトリセットを一度だけ許可
2	SOFTTRCON レジスタの SOFTR ビットに “1”を書き込む	ソフトリセット状態

手順 1 の際、SOFTTRACP レジスタに“0x3n”を書き込む命令と“0xCn”を書き込む命令の間に他の命令が実行されてもかまいません。ただし、“0x3n”を書き込み後に“0xCn”以外の値を SOFTTRACP レジスタに書き込むと“0x3n”の書き込みが無効となるため、再度“0x3n”から書き込む必要があります。

4.2.5 ソフトリセットコントロールレジスタ（SOFTRCON）

本レジスタは、BRECON_n レジスタ (n=0～3) にあるすべての周辺回路および汎用ポートを一括してリセットする特殊機能レジスタ (SFR) です。

アドレス: 0xF05E (SOFTRCON)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								SOFTRCON							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOFT R
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビット シンボル名	説明
7～1	—	予約ビット
0	SOFTR	BRECON _n レジスタにあるすべての周辺回路および汎用ポートを一括してリセットするビットです。 “1”を書き込むと、すべての周辺回路および汎用ポートを一括してリセットします。 リセットが完了すると SOFTR ビットは自動的に“0”になります。リセット対象の周辺回路に再度設定する場合は、リセット完了を確認してから設定してください。 SOFTR ビットに“1”を書き込む前に、SOFTTRACP レジスタにより、周辺回路および汎用ポートのリセットを許可状態にしてください。

- 【注意】
- SOFTR ビットが“1”の状態でスタンバイモードへの移行は禁止です。SOFTR ビットが“0”であることを確認し、スタンバイモードへ移行してください。

4.2.6 ブロッククロックコントロールレジスタ 0 (BCKCON0)

本レジスタは、各ビットに対応する周辺回路の低速クロック (LSCLK) および高速クロック (HSCLK) の供給を制御する特殊機能レジスタ (SFR) です。

使用していない周辺回路のクロック供給を止めることで消費電力を抑えることができます。商品により未実装の周辺回路の制御ビットは書き込みできません。読み出し値は“0”です。

ビットの搭載有無については「表 4-7 BCKCONn レジスタと BRECONn レジスタの SFR ビットシンボルの搭載有無」を参照してください。

アドレス: 0xF070 (BCKCON0L/BCKCON0), 0xF071 (BCKCON0H)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	BCKCON0															
バイト	BCKCON0H								BCKCON0L							
ビット	—	—	—	—	—	—	—	—	—	—	DCKT M5	DCKT M4	DCKT M3	DCKT M2	DCKT M1	DCKT M0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～6	—	予約ビット
5	DCKTM5	16ビットタイマ 5 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
4	DCKTM4	16ビットタイマ 4 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
3	DCKTM3	16ビットタイマ 3 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
2	DCKTM2	16ビットタイマ 2 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
1	DCKTM1	16ビットタイマ 1 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
0	DCKTM0	16ビットタイマ 0 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止

【注意】

- 周辺回路の動作を許可する場合は、BCKCON0レジスタでクロック供給を許可したあと、BRECON0レジスタでリセットを解除してください。

4.2.7 ブロッククロックコントロールレジスタ 1 (BCKCON1)

本レジスタは、各ビットに対応する周辺回路の低速クロック (LSCLK) および高速クロック (HSCLK) の供給を制御する特殊機能レジスタ (SFR) です。

使用していない周辺回路のクロック供給を止めることで消費電力を抑えることができます。

商品により未実装の周辺回路の制御ビットは書き込みできません。読み出し値は“0”です。

ビットの搭載有無については「表 4-7 BCKCONn レジスタと BRECONn レジスタの SFR ビットシンボルの搭載有無」を参照してください。

アドレス: 0xF072 (BCKCON1L/BCKCON1), 0xF073 (BCKCON1H)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	BCKCON1															
バイト	BCKCON1H								BCKCON1L							
ビット	—	—	—	DCKI2 CU0	—	—	DCKI2 CM1	DCKI2 CM0	—	—	DCKF TM5	DCKF TM4	DCKF TM3	DCKF TM2	DCKF TM1	DCKF TM0
R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15~13	—	予約ビット
12	DCKI2CU0	I ² C バスユニット 0 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
11,10	—	予約ビット
9	DCKI2CM1	I ² C バスマスタ 1 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
8	DCKI2CM0	I ² C バスマスタ 0 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
7,6	—	予約ビット
5	DCKFTM5	ファンクショナルタイマ 5 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
4	DCKFTM4	ファンクショナルタイマ 4 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
3	DCKFTM3	ファンクショナルタイマ 3 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止

ビット 番号	ビットシンボル 名	説明
2	DCKFTM2	ファンクショナルタイマ 2 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可（初期値） 1: 対応周辺回路のクロック供給停止
1	DCKFTM1	ファンクショナルタイマ 1 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可（初期値） 1: 対応周辺回路のクロック供給停止
0	DCKFTM0	ファンクショナルタイマ 0 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可（初期値） 1: 対応周辺回路のクロック供給停止

【注意】

- 周辺回路の動作を許可する場合は、BCKCON1レジスタでクロック供給を許可したあと、BRECON1レジスタでリセットを解除してください。

4.2.8 ブロッククロックコントロールレジスタ 2 (BCKCON2)

本レジスタは、各ビットに対応する周辺回路の低速クロック (LSCLK) および高速クロック (HSCLK) の供給を制御する特殊機能レジスタ (SFR) です。

使用していない周辺回路のクロック供給を止めることで消費電力を抑えることができます。

商品により未実装の周辺回路の制御ビットは書き込みできません。読み出し値は“0”です。

ビットの搭載有無については「表 4-7 BCKCONn レジスタと BRECONn レジスタの SFR ビットシンボルの搭載有無」を参照してください。

アドレス: 0xF074 (BCKCON2L/BCKCON2), 0xF075 (BCKCON2H)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	BCKCON2															
バイト	BCKCON2H								BCKCON2L							
ビット	DCKDMA	DCKBUZ	DCKACC	—	DCKCRC	—	—	—	—	—	—	—	DCKSU3	DCKSU2	DCKSU1	DCKSU0
R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	DCKDMA	DMA コントローラのクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
14	DCKBUZ	ブザーのクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
13	DCKACC	乗除算器のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
12	—	予約ビット
11	DCKCRC	CRC 演算器のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
10~4	—	予約ビット
3	DCKSU3	シリアル通信ユニット 3 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
2	DCKSU2	シリアル通信ユニット 2 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
1	DCKSU1	シリアル通信ユニット 1 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
0	DCKSU0	シリアル通信ユニット 0 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止

【注意】

- DCKACC ビットは、乗除算ライブラリ muldivu8.lib を指定していない場合にのみ“1”に設定可能です。乗除算ライブラリの指定については、『MULDIVU8LIB アクセラレータ対応 乗除算ライブラリ ユーザーズマニュアル』を参照してください。
- 周辺回路の動作を許可する場合は、BCKCON2レジスタでクロック供給を許可したあと、BRECON2レジスタでリセットを解除してください。

4.2.9 ブロッククロックコントロールレジスタ 3 (BCKCON3)

本レジスタは、各ビットに対応する周辺回路の低速クロック (LSCLK) および高速クロック (HSCLK) の供給を制御する特殊機能レジスタ (SFR) です。

使用していない周辺回路のクロック供給を止めることで消費電力を抑えることができます。

商品により未実装の周辺回路の制御ビットは書き込みできません。読み出し値は“0”です。

ビットの搭載有無については「表 4-7 BCKCONn レジスタと BRECONn レジスタの SFR ビットシンボルの搭載有無」を参照してください。

アドレス: 0xF076 (BCKCON3L/BCKCON3), 0xF077 (BCKCON3H)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	BCKCON3															
バイト	BCKCON3H								BCKCON3L							
ビット	—	—	—	—	—	—	—	—	—	DCKC MP1	DCKC MP0	—	DCKL CD	DCKD AC	DCKS AD	
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～6	—	予約ビット
5	DCKCMP1	アナログコンパレータ 1 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
4	DCKCMP0	アナログコンパレータ 0 のクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
3	—	予約ビット
2	DCKLCD	LCD ドライバのクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
1	DCKDAC	D/A コンバータのクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止
0	DCKSAD	逐次比較型 A/D コンバータのクロック供給を許可／停止するビットです。 0: 対応周辺回路のクロック供給許可 (初期値) 1: 対応周辺回路のクロック供給停止

【注意】

- 周辺回路の動作を許可する場合は、BCKCON3 レジスタでクロック供給を許可したあと、BRECON3 レジスタでリセットを解除してください。

4.2.10 ブロックリセットコントロールレジスタ 0 (BRECON0)

本レジスタは、各ビットに対応する周辺回路のリセットを制御する特殊機能レジスタ(SFR)です。

商品により未実装の周辺回路の制御ビットは書き込みできません。読み出し値は“0”です。

ビットの搭載有無については「表 4-7 BCKCONn レジスタと BRECONn レジスタの SFR ビットシンボルの搭載有無」を参照してください。

アドレス: 0xF078 (BRECON0L/BRECON0), 0xF079 (BRECON0H)

アクセス: R/W

アクセスサイズ: 8 ビット/16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	BRECON0															
バイト	BRECON0H								BRECON0L							
ビット	—	—	—	—	—	—	—	—	—	RSET M5	RSET M4	RSET M3	RSET M2	RSET M1	RSET M0	
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～6	—	予約ビット
5	RSETM5	16ビットタイマ 5 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
4	RSETM4	16ビットタイマ 4 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
3	RSETM3	16ビットタイマ 3 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
2	RSETM2	16ビットタイマ 2 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
1	RSETM1	16ビットタイマ 1 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
0	RSETM0	16ビットタイマ 0 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中

【注意】

- 周辺回路の動作を許可する場合は、BCKCON0レジスタでクロック供給を許可したあと、BRECON0レジスタでリセットを解除してください。

4.2.11 ブロックリセットコントロールレジスタ 1 (BRECON1)

本レジスタは、各ビットに対応する周辺回路のリセットを制御する特殊機能レジスタ(SFR)です。
商品により未実装の周辺回路の制御ビットは書き込みできません。読み出し値は“0”です。
ビットの搭載有無については「表 4-7 BCKCONn レジスタと BRECONn レジスタの SFR ビットシンボルの搭載有無」を参照してください。

アドレス: 0xF07A(BRECON1L/BRECON1), 0xF07B(BRECON1H)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	BRECON1															
バイト	BRECON1H								BRECON1L							
ビット	—	—	—	RSEI2 CU0	—	—	RSEI2 CM1	RSEI2 CM0	—	—	RSEF TM5	RSEF TM4	RSEF TM3	RSEF TM2	RSEF TM1	RSEF TM0
R/W	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～13	—	予約ビット
12	RSEI2CU0	I ² C バスユニット 0 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
11,10	—	予約ビット
9	RSEI2CM1	I ² C バスマスタ 1 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
8	RSEI2CM0	I ² C バスマスタ 0 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
7,6	—	予約ビット
5	RSEFTM5	ファンクショナルタイマ 5 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
4	RSEFTM4	ファンクショナルタイマ 4 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
3	RSEFTM3	ファンクショナルタイマ 3 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
2	RSEFTM2	ファンクショナルタイマ 2 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
1	RSEFTM1	ファンクショナルタイマ 1 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
0	RSEFTM0	ファンクショナルタイマ 0 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中

【注意】

- 周辺回路の動作を許可する場合は、BCKCON1 レジスタでクロック供給を許可したあと、BRECON1 レジスタでリセットを解除してください。

4.2.12 ブロックリセットコントロールレジスタ 2 (BRECON2)

本レジスタは、各ビットに対応する周辺回路のリセットを制御する特殊機能レジスタ(SFR)です。

商品により未実装の周辺回路の制御ビットは書き込みできません。読み出し値は“0”です。

ビットの搭載有無については「表 4-7 BCKCONn レジスタと BRECONn レジスタの SFR ビットシンボルの搭載有無」を参照してください。

アドレス: 0xF07C (BRECON2L/BRECON2), 0xF07D (BRECON2H)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	BRECON2															
バイト	BRECON2H								BRECON2L							
ビット	RSED MA	RSEB UZ	RSEA CC	—	RSEC RC	—	—	—	—	—	—	—	RSES U3	RSES U2	RSES U1	RSES U0
R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15	RSEDMA	DMA コントローラのリセットを制御するビットです。 0: 対応周辺回路のリセット解除 (初期値) 1: 対応周辺回路はリセット中
14	RSEBUZ	ブザーのリセットを制御するビットです。 0: 対応周辺回路のリセット解除 (初期値) 1: 対応周辺回路はリセット中
13	RSEACC	乗除算器のリセットを制御するビットです。 0: 対応周辺回路のリセット解除 (初期値) 1: 対応周辺回路はリセット中
12	—	予約ビット
11	RSECRC	CRC 演算器のリセットを制御するビットです。 0: 対応周辺回路のリセット解除 (初期値) 1: 対応周辺回路はリセット中
10~4	—	予約ビット
3	RSESU3	シリアル通信ユニット 3 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除 (初期値) 1: 対応周辺回路はリセット中
2	RSESU2	シリアル通信ユニット 2 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除 (初期値) 1: 対応周辺回路はリセット中
1	RSESU1	シリアル通信ユニット 1 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除 (初期値) 1: 対応周辺回路はリセット中
0	RSESU0	シリアル通信ユニット 0 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除 (初期値) 1: 対応周辺回路はリセット中

【注意】

- RSEACC ビットは、乗除算ライブラリ `muldivu8.lib` を指定していない場合にのみ“1”に設定可能です。乗除算ライブラリの指定については、乗除算ライブラリのマニュアルを参照してください。。
- 周辺回路の動作を許可する場合は、BCKCON2レジスタでクロック供給を許可したあと、BRECON2レジスタでリセットを解除してください。

4.2.13 ブロックリセットコントロールレジスタ 3 (BRECON3)

本レジスタは、各ビットに対応する周辺回路のリセットを制御する特殊機能レジスタ(SFR)です。

商品により未実装の周辺回路の制御ビットは書き込みできません。読み出し値は“0”です。

ビットの搭載有無については「表 4-7 BCKCONn レジスタと BRECONn レジスタの SFR ビットシンボルの搭載有無」を参照してください。

アドレス: 0xF07E (BRECON3L/BRECON3), 0xF07F (BRECON3H)

アクセス: R/W

アクセスサイズ: 8 ビット/16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	BRECON3															
バイト	BRECON3H								BRECON3L							
ビット	—	—	—	—	—	—	—	—	—	RSEC MP1	RSEC MP0	—	RSEL CD	RSED AC	RSES AD	
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～6	—	予約ビット
5	RSECMP1	アナログコンパレータ 1 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
4	RSECMP0	アナログコンパレータ 0 のリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
3	—	予約ビット
2	RSELCD	LCD ドライバのリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
1	RSEDAC	D/A コンバータのリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中
0	RSESAD	逐次比較型 A/D コンバータのリセットを制御するビットです。 0: 対応周辺回路のリセット解除（初期値） 1: 対応周辺回路はリセット中

【注意】

- 周辺回路の動作を許可する場合は、BCKCON3 レジスタでクロック供給を許可したあと、BRECON3 レジスタでリセットを解除してください。

4.3 動作説明

4.3.1 プログラム動作モード

プログラム動作モードとは、CPU が命令を順次実行している状態です。
リセット発生後、リセットが解除されると、システムリセットモードからプログラム動作モードに移行します。
また、スタンバイモード時に割込み要求が発生した場合にプログラム動作モードに復帰します。
システムリセットモードについては、「第3章 リセット機能」を参照してください。

4.3.2 HALT モード

HALT モードは、HALT モード移行前のシステムクロック (SYSTEMCLK) の状態 (LSCLK/HSCLK) を維持しながら、CPU は停止し、周辺回路のみ動作している状態です。HALT モード中の各機能の動作は、「4.3.8 スタンバイモード時の各機能の動作」を参照してください。

SBYCON レジスタの HLT ビットに“1”を書き込むと HALT モードに移行します。
WDT 割込み、または IE0～IE7 レジスタで許可された割込みが発生すると、次の SYSTEMCLK の立ち上がりエッジで HALT モードが解除され、HALT モードに移行した SYSTEMCLK の状態でプログラム動作モードに復帰します。
図 4-2 に HALT モードの動作波形を示します。

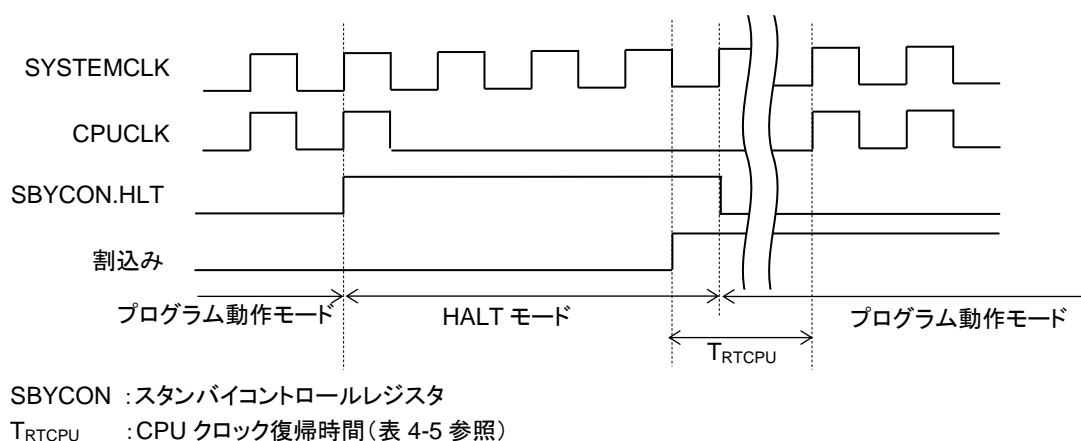


図 4-2 HALT モードの動作波形

4.3.3 HALT-H モード

HALT-H モードは、HSCLK を強制的に停止し、CPU は停止し、周辺回路のみ動作している状態です。なお、HSCLK で動作している周辺回路は、動作を停止します。HALT-H モード中の各機能の動作は、「4.3.8 スタンバイモード時の各機能の動作」を参照してください。

SBYCON レジスタの HLTH ビットに“1”を書き込むと HALT-H モードに移行します。

WDT 割込み、または IE0～IE7 レジスタで許可された割込みが発生すると、次の SYSTEMCLK の立ち上がりエッジで HALT-H モードが解除され、HSCLK が強制的に許可され、SYSTEMCLK が高速クロックの状態でもプログラム動作モードに復帰します。

HALT-H モード移行前に、高速発振を停止 (ENOSC=“0”) し、SYSTEMCLK に低速クロック (LSCLK) を選択 (SELSCLK=“0”) していても、HALT-H モードの解除時に強制的に高速発振が許可 (ENOSC=“1”) され、SYSTEMCLK に高速クロックが選択 (SELSCLK=“1”) されます。

図 4-3 に HALT-H モードの動作波形を示します。

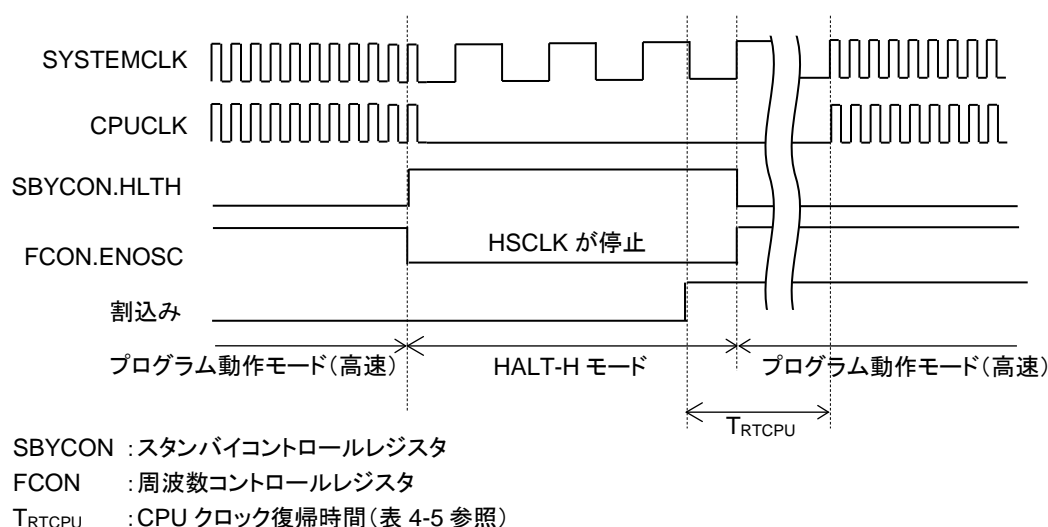


図 4-3 HALT-H モードの動作波形

4.3.4 HALT-C モード

HALT-C モードは、CPU は停止し、周辺回路のみ動作している状態です。

高速クロックが停止 (ENOSC ビットが“0”)し、システムクロック (SYSTEMCLK) が低速クロック (LSCLK) を選択している時にのみ設定できます。

HALT-C モード中の各機能の動作は、「4.3.8 スタンバイモード時の各機能の動作」を参照してください。

FCON レジスタの ENOSC ビットが“0”の時に SBYCON レジスタの HLTC ビットに“1”を書き込むと HALT-C モードに移行します。

WDT 割込み、外部割込み、拡張外部割込み、クロックバックアップ割込み、16ビットタイマ割込み、または低速タイムベースカウンタ割込みが発生すると、次の SYSTEMCLK の立ち上がりエッジで HALT-C モードが解除され、プログラム動作モードに復帰します。

図 4-4 に HALT-C モードの動作波形を示します。

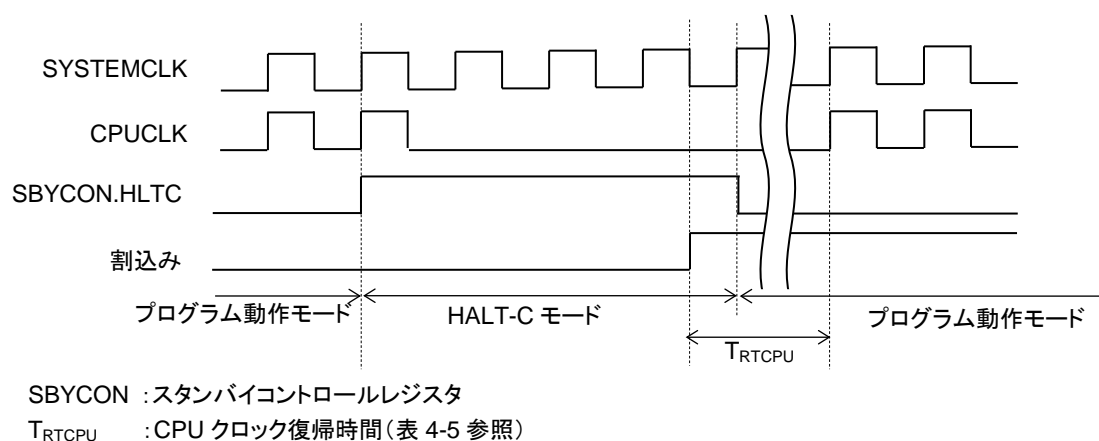


図 4-4 HALT-C モードの動作波形

【注意】

- HALT-C モードは高速クロックでの動作はできません。
- HALT-C モードで動作可能な周辺回路を動作させる場合は、動作クロックまたはサンプリングクロックに低速クロックを選択してください。
- 動作禁止の周辺回路は、HALT-C モードへの移行前にあらかじめ動作を停止させ、IE67～IE01 レジスタの対応する割込み許可ビットを割込み禁止 (“0”) に設定してください。

4.3.5 STOP モード

STOP モードは、全てのクロックを強制停止し、CPU およびクロックを必要とする周辺回路が共に動作を停止している状態です。STOP モード中の各機能の動作は、「4.3.8 スタンバイモード時の各機能の動作」を参照してください。

STOP モードに移行するときは、CPU の割込みは禁止状態 ($MIE=0$) にする必要があります。

「4.3.10 STOP/STOP-D モード移行例」を参照ください。

STPACP レジスタに“0x5n”，“0xA_n” (n=任意) の順に書き込み、STOP/STOP-D モードへの移行を許可状態にしたうえで、SBYCON レジスタの STP ビットに“1”を書き込むと、STOP モードに移行します。

STOP モードは、外部割込み、または電圧レベル監視機能 (VLS)、アナログコンパレータ、I²C バスユニット (スレーブ) からの割込み要求により解除され、STOP モード移行前の SYSTEMCLK の状態でプログラム動作モードに復帰します。

図 4-5 に低速発振回路の STOP モード動作波形を示します。

図 4-6 に PLL 発振回路の STOP モード動作波形を示します。

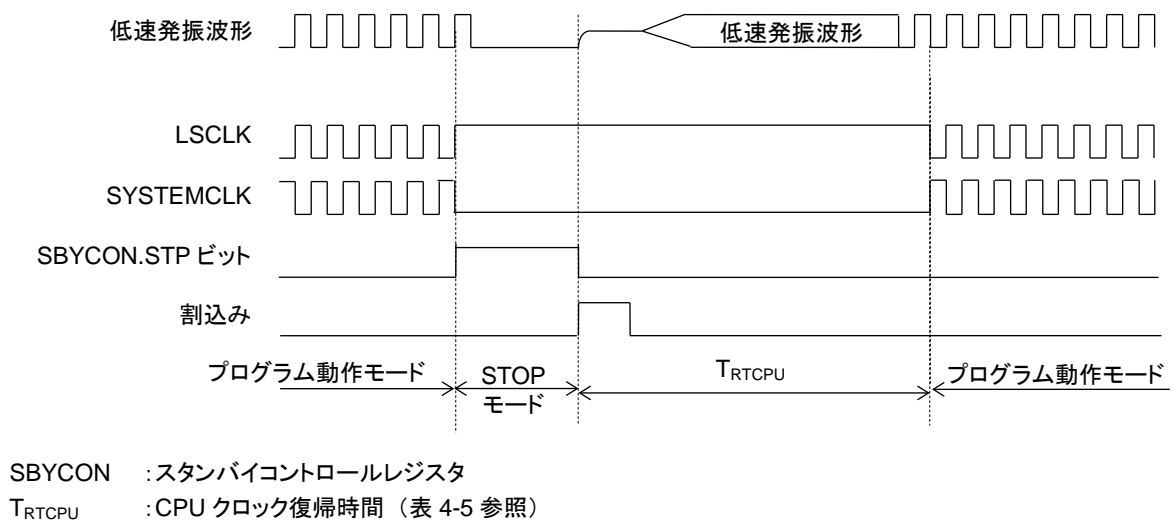


図 4-5 低速発振回路の STOP モード動作波形

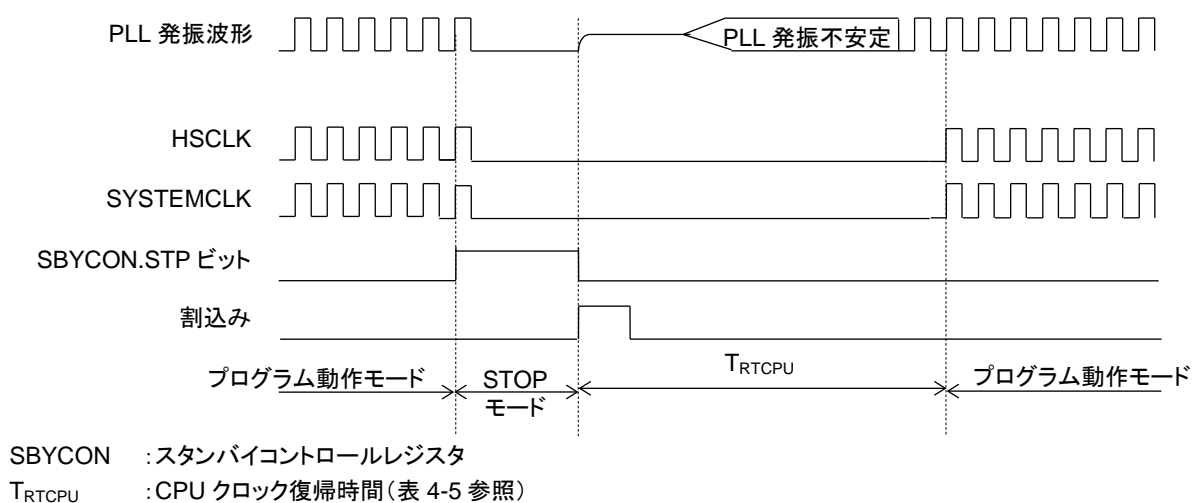


図 4-6 PLL 発振回路の STOP モード動作波形

4.3.6 STOP-D モード

STOP-D モードは、前項で説明した STOP モードに内部ロジック用電源 (V_{DDL}) の電圧を低下する制御を加えたモードです。 V_{DDL} 電圧を低下させたことで消費電流をさらに抑制できます。STOP-D モード中の各機能の動作は、「4.3.8 スタンバイモード時の各機能の動作」を参照してください。

STOP-D モードに移行するときは、CPU の割込みは禁止状態 ($MIE=0$) にする必要があります。
「4.3.10 STOP/STOP-D モード移行例」を参照ください。

STPACP レジスタに“0x5n”，“0xA_n” (n=任意) の順に書き込み STOP/STOP-D モードへの移行を許可状態にし、SBYCON レジスタの STPD ビットに“1”を書き込むと、STOP-D モードに移行します。
外部割込み、または電圧レベル監視機能 (VLS)、アナログコンパレータからの割込み要求により、STOP-D モードが解除され、STOP-D モードに移行した時の SYSTEMCLK の状態でプログラム動作モードに復帰します。

図 4-7 に低速発振回路の STOP-D モード動作波形を示します。

図 4-8 に PLL 発振回路の STOP-D モード動作波形を示します。

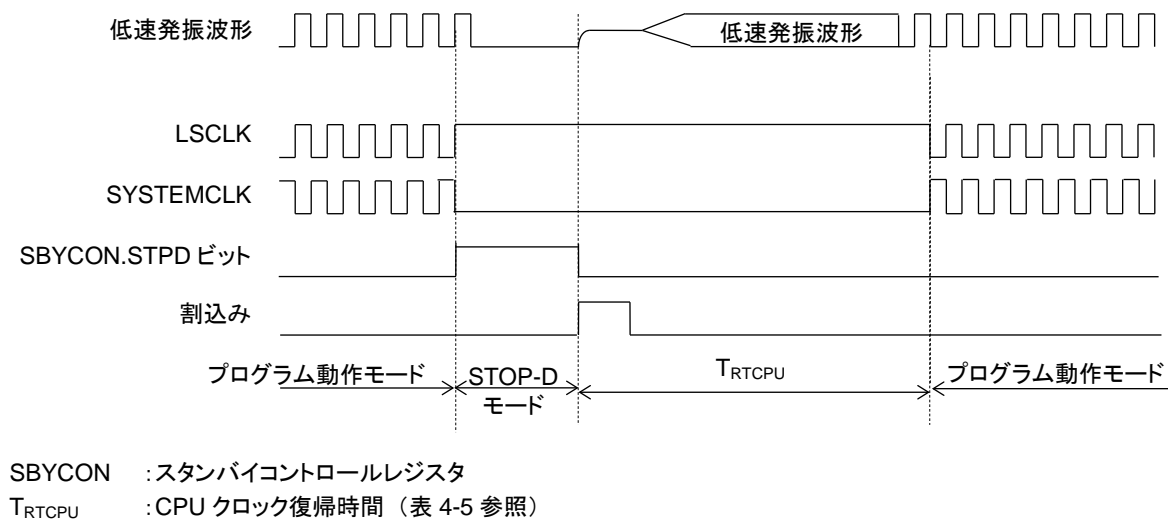


図 4-7 低速発振回路の STOP-D モード動作波形

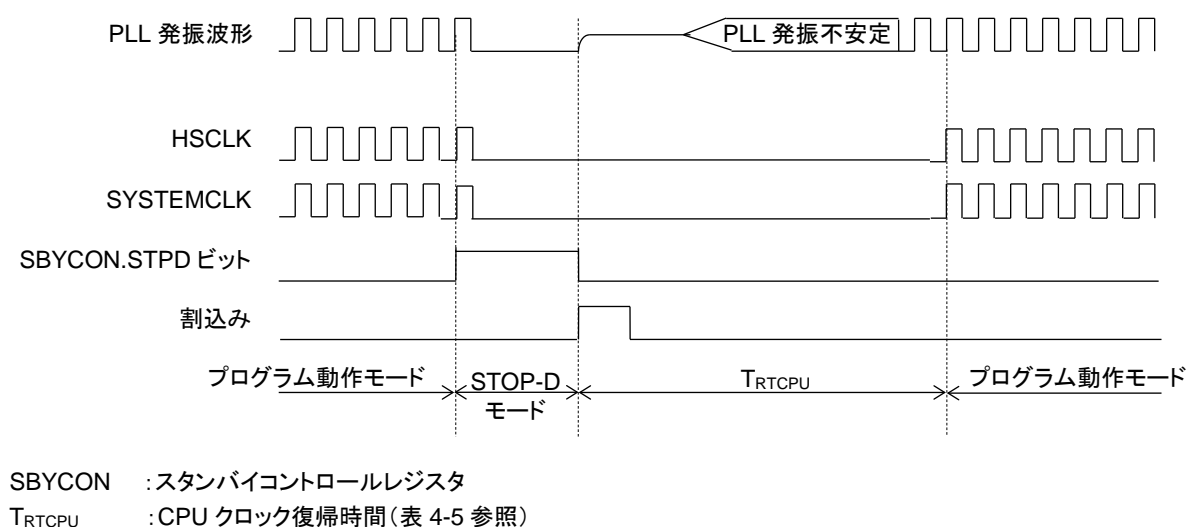


図 4-8 PLL 発振回路の STOP-D モード動作波形

4.3.7 スタンバイモードからの復帰動作についての注意事項

スタンバイモードからの復帰は、プログラム・ステータス・ワード(PSW)の割込みレベル(ELEVEL)、マスタ・インタラプト・イネーブル・フラグ(MIE)、IE0～IE7 レジスタの内容、ノンマスカブル割込み、マスカブル割込みを要因として動作し、要因ごとに動作が異なります。

PSW の詳細については、『nX-U16/100 コア インストラクションマニュアル』を、IE レジスタや IRQ レジスタについては、「第 5 章 割込み」を参照してください。

表 4-1 および表 4-2 に、ノンマスカブル割込みの場合、およびマスカブル割込みの場合のスタンバイモードからの復帰動作一覧を示します。

表 4-1 スタンバイモードからの復帰動作一覧(ノンマスカブル割込みの場合)

ELEVEL	MIE	IEn.m	IRQn.m	スタンバイモードからの復帰動作
X	X	—	0	スタンバイモードから復帰しません。
3	X	—	1	スタンバイモードから復帰後、スタンバイモードに設定した命令の次の命令からプログラム動作を再開します。割込み処理には移行しません。
0,1,2	X	—	1	スタンバイモードから復帰後、スタンバイモードに設定した命令の次の命令からプログラム動作を再開し、割込み処理に移行します。

n=0～7, m=0～7

X: 値には依存しない

表 4-2 スタンバイモードからの復帰動作一覧(マスカブル割込みの場合)

ELEVEL	MIE	IEn.m	IRQn.m	スタンバイモードからの復帰動作
X	X	X	0	スタンバイモードから復帰しません。
X	X	0	1	
X	0	1	1	スタンバイモードから復帰後、スタンバイモードに設定した命令の次の命令からプログラム動作を再開します。割込み処理には移行しません。
2,3	1 ^{*1}	1	1	
0,1	1 ^{*1}	1	1	スタンバイモードから復帰後、スタンバイモードに設定した命令の次の命令からプログラム動作を再開し、割込み処理に移行します。

n=0～7, m=0～7

X: 値には依存しない

*1: STOP/STOP-D モードは設定禁止です。

プログラム・ステータス・ワード(PSW)の割込みレベル(ELEVEL)は、CPU の割込み状態を示すビットです。割込み移行時および割込みからの復帰時にハードウェアによって設定されます。

表 4-3 ELEVEL が示す CPU の割込み状態の一覧

ELEVEL の値	CPU の割込み状態
0	CPU がすべての割込み(ノンマスカブル割込み、マスカブル割込み、およびソフトウェア割込み)を処理していない状態を示します。
1	CPU がマスカブル割込み、またはソフトウェア割込みを処理している状態を示します。
2	CPU がノンマスカブル割込みを処理している状態を示します。
3	CPU がエミュレータ専用の割込みを処理している状態を示します。通常、ソフトウェアでは使用しません。

【注意】

- スタンバイモード解除から割込みに移行するまでに最大 2 命令が実行されますので、スタンバイモードに設定した命令の次には必ず NOP 命令を 2 個置いてください。nX-U16/100 コアのプログラム・ステータスワード(PSW)のマスタ・インタラプト・イネーブル・フラグ(MIE)が“1”の場合は、この 2 個の NOP 命令実行後に、割込み移行サイクルが実行され、割込みルーチンの命令実行が開始されます。MIE が“0”の場合は 2 個の NOP 命令実行後、割込みには移行せず、NOP 命令の次から命令実行を継続します。
- CPU 動作モードがウェイトモード、PLL の基本周波数が 24MHz の設定で、MIE が“0”の場合は、HALT/HALT-H モードに設定する前に SYSTEMCLK を 12MHz 以下にしてください。
- STOP/STOP-D モードに移行するときは、CPU の割込みは禁止状態(MIE=0)にし、SYSTEMCLK は 16MHz 以下にしてください。

4.3.8 スタンバイモード時の各機能の動作

表 4-4 にスタンバイモード時の各機能ブロックの状態を示します。

表 4-4 スタンバイモード時の各機能の状態一覧

機能ブロック	HALT	HALT-H ^{*2}	HALT-C ^{*7}	STOP	STOP-D
CPU	—	—	—	—	—
RAM	保持	保持	保持	保持	保持
ウォッチドッグタイマ	●	●	●	—	—
外部割込み	●	●	●	● ^{*1}	● ^{*1}
低速タイムベースカウンタ	●	●	●	—	—
16ビットタイマ	●	●	●	—	—
ファンクショナルタイマ	●	●	動作禁止	—	—
シリアル通信ユニット(UART)	●	●	動作禁止	—	—
シリアル通信ユニット (SSIO マスタ)	●	●	動作禁止	—	—
シリアル通信ユニット (SSIO スレーブ)	●	—	動作禁止	—	—
I ² C バスユニット	●	—	動作禁止	●	—
I ² C バスマスタ	●	—	動作禁止	—	—
ブザー	●	●	動作禁止	—	—
逐次比較型 A/D コンバータ	●	●	動作禁止	—	—
D/A コンバータ ^{*3}	●	●	動作禁止	● ^{*5}	● ^{*5}
アナログコンパレータ	●	●	動作禁止	● ^{*1}	● ^{*1}
電圧レベル監視(VLS)	●	●	動作禁止	● ^{*1}	● ^{*1}
BGO 動作 ^{*4}	●	—	動作禁止	—	—
DMA コントローラ	●	●	動作禁止	—	—
CRC 演算器	● ^{*6}	● ^{*6}	動作禁止	—	—
乗除算器	●	●	動作禁止	—	—
水晶発振回路	●	●	●	—	—
簡易 RTC	●	●	動作禁止	—	—
LCD ドライバ ^{*8}	●	●	●	—	—

●:動作可能 —:停止

*1:サンプリングあり選択時は、強制的にサンプリングなしに設定されます。

*2:HALT-H モードに移行すると、高速クロックで動作させていた周辺回路は動作が停止します。

HALT-H モードでも周辺回路を動作させる場合は、動作クロックに低速クロックを選択してください。

*3:スタンバイモード中の D/A コンバータは、スタンバイモード移行前の状態を維持します。

*4:BGO 動作とは、データ・フラッシュ消去または書き込み中の動作を意味します。

*5:STOP/STOP-D モードの復帰要因としては使用できません。

*6:SYSTEMCLK が 16MHz 以下のときのみ実行可能です。

*7:HALT-C モードは高速クロックでの動作はできません。

HALT-C モードで動作可能な周辺回路を動作させる場合は、動作クロックまたはサンプリングクロックに低速クロックを選択してください。

動作禁止の周辺回路は、HALT-C モードへの移行前にあらかじめ動作を停止させ、IE67～IE01 レジスタの対応する割込み許可ビットを割込み禁止(“0”)に設定してください。

*8:ML62Q1700C グループで使用できます。

表 4-5 にスタンバイモードからの起動時間(復帰時間)を示します。
FHWUPT レジスタについては、「第 6 章 クロック発生回路」を参照してください。

表 4-5 スタンバイモードからの起動時間

機能	条件	CPU クロック 復帰時間 [T _{RTCPU}]	低速クロック復帰時間 (低速 RC 発振) [T _{RTLS}]	高速クロック復帰時間 (PLL 発振) [T _{RTPLL}]	
				FHWUPT=0x01	FHWUPT=0x00
HALT モード	CPU 低速 高速クロック OFF CRC 演算実行なし	約 150μs	動作継続	停止中	
	CPU 低速 高速クロック ON または CRC 実行あり	約 60μs	動作継続	動作継続	
	CPU 高速	-	動作継続	動作継続	
HALT-H モード	CRC 演算実行なし	T _{RTPLL} + 90μs	動作継続	約 60μs	約 2.5ms
	CRC 演算実行あり	T _{RTPLL}	動作継続	約 60μs	
HALT-C モード	CPU 低速 高速クロック OFF CRC 演算実行なし	約 150μs	動作継続	停止中	
STOP モード	CPU 低速	T _{RTLS}	約 320μs	約 305μs	約 2.5ms
	CPU 高速	T _{RTPLL}	約 320μs	約 305μs	
STOP-D モード	CPU 低速	T _{RTLS}	約 320μs	約 305μs	
	CPU 高速	T _{RTPLL}	約 320μs	約 305μs	

【注意】

- STOP/STOP-Dモード解除後、高速クロック起動時間経過前に SYSTEMCLK を高速に切り替えると、復帰時間終了までクロック供給が停止するため、CPU のプログラム処理は待たされます。
- HALT-H モードで周辺回路を動作させる場合は周辺回路の動作クロックに低速クロックを選択してください。
- FHWUPT レジスタを“0x00”に設定した場合、約 2.5ms 間 PLL の出力クロックをマスクします。HSCLK が供給されるのは 2.5ms 経過後になります。SYSTEMCLK に HSCLK を選択した場合はこの期間 SYSTEMCLK は停止します。
- FHWUPT レジスタを“0x01”に設定した場合、PLL 発振クロックの周波数は、FHWUPT で選択した復帰時間経過後、約 1MHz から徐々に上昇し、約 2ms 経過までにコードオプションで設定した周波数(16MHz/24MHz)になります。この期間の PLL 発振は SYSTEMCLK として使用することができます。ただし周波数精度は保証されません。
- HALT-C モードは高速クロックでの動作はできません。HALT-C モードで周辺回路を動作させる場合は、動作クロックに低速クロックを選択してください。

4.3.9 ブロック制御機能

ML62Q1500C/1700C グループは、周辺回路ごとにクロック供給を止め、消費電流を抑制するブロッククロックコントロール機能、および周辺回路ごとにリセットするブロックリセットコントロール機能を備えています。

BCKCON_n レジスタ (n=0~3) の各ビットを“1”に設定すると、該当する周辺回路のクロック供給が停止され、消費電流を抑制することができます。

BRECON_n レジスタ (n=0~3) の各ビットを“1”に設定すると、該当する周辺回路がリセットされ、SFR が初期値になります。

表 4-6 にブロック制御機能で制御できる周辺回路とコントロールレジスタ一覧を示します。

表 4-6 周辺回路とコントロールレジスタ一覧

周辺回路	ブロッククロックコントロール機能		ブロックリセットコントロール機能		ソフトリセット機能
	SFR ワードシンボル	SFR ビットシンボル	SFR ワードシンボル	SFR ビットシンボル	SFR ビットシンボル
16 ビットタイマ 0	BCKCON0	DCKTM0	BRECON0	RSETM0	SOFTTR
16 ビットタイマ 1		DCKTM1		RSETM1	
16 ビットタイマ 2		DCKTM2		RSETM2	
16 ビットタイマ 3		DCKTM3		RSETM3	
16 ビットタイマ 4		DCKTM4		RSETM4	
16 ビットタイマ 5		DCKTM5		RSETM5	
ファンクショナルタイマ 0	BCKCON1	DCKFTM0	BRECON1	RSEFTM0	
ファンクショナルタイマ 1		DCKFTM1		RSEFTM1	
ファンクショナルタイマ 2		DCKFTM2		RSEFTM2	
ファンクショナルタイマ 3		DCKFTM3		RSEFTM3	
ファンクショナルタイマ 4		DCKFTM4		RSEFTM4	
ファンクショナルタイマ 5		DCKFTM5		RSEFTM5	
I ² C バスマスタ 0	BCKCON2	DCKI2CM0	BRECON2	RSEI2CM0	
I ² C バスマスタ 1		DCKI2CM1		RSEI2CM1	
I ² C バスユニット 0		DCKI2CU0		RSEI2CU0	
シリアル通信ユニット 0		DCKSU0		RSESU0	
シリアル通信ユニット 1		DCKSU1		RSESU1	
シリアル通信ユニット 2		DCKSU2		RSESU2	
シリアル通信ユニット 3	BCKCON3	DCKSU3		RSESU3	
CRC 演算器		DCKCRC		RSECRC	
乗除算器		DCKACC		RSEACC	
ブザー		DCKBUZ		RSEBUZ	
DMA コントローラ		DCKDMA		RSEDMA	
逐次比較型 A/D コンバータ	BCKCON3	DCKSAD	BRECON3	RSESAD	
D/A コンバータ		DCKDAC		RSEDAC	
LCD ドライバ		DCKLCD		RSELCD	
アナログコンパレータ 0		DCKCMP0		RSECMP0	
アナログコンパレータ 1		DCKCMP1		RSECMP1	
汎用ポート	—	—	—	—	

システムリセット解除後は、各周辺回路は動作許可状態となります。

使用しない周辺回路は、各周辺回路に対応する BRECON_n レジスタのビットを“1”にしたあと、BCKCON_n レジスタのビットを“1”にしてクロック供給を停止してください。

周辺回路を使用する場合は、BCKCON_n レジスタのビットを“0”にしたあとに BRECON_n レジスタのビットを“0”にして周辺回路のリセットを解除してください。

また、BRECON_n レジスタのビットを“1”にすると、クロックを供給したままリセットだけ発生させ、各周辺回路を初期化することができます。

各周辺回路のクロック供給を停止している状態、またはリセット状態では、該当する周辺回路の SFR への書き込みは無効となります。またリセット状態では、各周辺回路の SFR は初期値が読み出されます。

【注意】

- ブロック制御機能を使って各周辺回路をリセットせずにクロック供給のみを停止した場合、タイマ、通信、およびブザーの端子の出力レベルが固定され、電流が過大に流れる恐れがあります。また、逐次比較 A/D コンバータ、D/A コンバータ、およびアナログコンパレータは、電流が流れた状態で回路が停止する恐れがあります。適切な状態でクロックを停止してください。BRECON_n レジスタによるリセット状態でクロックを停止することを推奨します。

ブロック制御に関する SFR ビットシンボルの搭載有無は製品により異なります。

表 4-7 に BCKCON_n レジスタと BRECON_n レジスタの SFR ビットシンボルの搭載有無を示します。

表 4-7 BCKCON_n レジスタと BRECON_n レジスタの SFR ビットシンボルの搭載有無

制御レジスタ/ビット				搭載／非搭載		
ワード シンボル	ビット シンボル	ワード シンボル	ビット シンボル	製品 52ピン	製品 64ピン	製品 80ピン
BCKCON0	DCKTM0	BRECON0	RSETM0	●	●	●
	DCKTM1		RSETM1	●	●	●
	DCKTM2		RSETM2	●	●	●
	DCKTM3		RSETM3	●	●	●
	DCKTM4		RSETM4	●	●	●
	DCKTM5		RSETM5	●	●	●
BCKCON1	DCKFTM0	BRECON1	RSEFTM0	●	●	●
	DCKFTM1		RSEFTM1	●	●	●
	DCKFTM2		RSEFTM2	●	●	●
	DCKFTM3		RSEFTM3	●	●	●
	DCKFTM4		RSEFTM4	●	●	●
	DCKFTM5		RSEFTM5	●	●	●
	DCKI2CM0		RSEI2CM0	●	●	●
	DCKI2CM1		RSEI2CM1	●	●	●
	DCKI2CU0		RSEI2CU0	●	●	●
BCKCON2	DCKSU0	BRECON2	RSESU0	●	●	●
	DCKSU1		RSESU1	●	●	●
	DCKSU2		RSESU2	—	●	●
	DCKSU3		RSESU3	●	●	●
	DCKCRC		RSECRC	●	●	●
	DCKACC		RSEACC	●	●	●
	DCKBUZ		RSEBUZ	●	●	●
	DCKDMA		RSEDMA	●	●	●
BCKCON3	DCKSAD	BRECON3	RSESAD	●	●	●
	DCKDAC		RSEDAC	●	●	●
	DCKLCD		RSELCD	● ^{*1}	● ^{*1}	● ^{*1}
	DCKCMP0		RSECMP0	●	●	●
	DCKCMP1		RSECMP1	●	●	●

^{*1}: ML62Q1700 グループのみ搭載

4.3.10 STOP/STOP-D モード移行例

STOP/STOP-D モード移行時は、割込みを禁止状態に設定する必要があります。以下に示す例は STOP モードへの移行ですが、STOP-D モードへの移行も同様です。

図 4-9 は MIE の状態を一度バックアップしてから割込み禁止状態 (MIE=0) に設定し、STOP 復帰後に MIE の状態を書き戻す方法の例です。STP ビットへの書き込みに SB 命令を使用しており、PSW の“z”フラグが“0”に書き換わります。R0 を書き戻す前に STOP 復帰後の割込み処理に移行しますので R0 が破壊されていることにご注意ください。

```
#pragma asm
PUSH  R0                ;R0 退避
MOV   R0, #05ah
ST    R0, STPACP        ;5A
MOV   R0, #0a5h
ST    R0, STPACP        ;A5
MOV   R0, PSW           ;PSW 退避
DI
SB    STP               ;STOP モード
NOP
NOP
MOV   PSW, R0           ;PSW 書き戻し (MIE=1 だった場合ここで割込み処理に移行します)
NOP
NOP
POP   R0                ;R0 書き戻し
#pragma endasm
```

図 4-9 MIE の状態をバックアップして割込み禁止状態にする例

図 4-10 は、ソフトウェア割込み中は割込み禁止状態になることを利用した方法の例です。

```
int main ( void )
{
    :
    __asm ("swi #0") ;
    __asm ("nop¥n") ;
    __asm ("nop¥n") ;
    :
}

#pragma SWI smpl_procSWI0Int 0x0080 1
static void smpl_procSWI0Int ( void )
{
    /* set the CPU mode to 'Stop mode' */
    lp_setStopMode () ;
}

void lp_setStopMode ( void )
{
    /* set StopCode Acceptor */
    write_reg8 ( STPACP, 0x50 ) ;
    write_reg8 ( STPACP, 0xA0 ) ;

    /* The CPU mode is changed to the STOP mode. */
    set_bit ( STP ) ;
    __asm ("nop¥n") ;
    __asm ("nop¥n") ;
}
```

図 4-10 ソフトウェア割込みを使用して割込み禁止状態にする例

【注意】

- SWI 命令の直後の命令が、復帰要因の割込み処理よりも先に処理される可能性があるため、NOP 命令を 2 つ置いてください。

4.3.11 スタンバイモード移行についての注意事項

スタンバイモード移行時の注意事項を以下に示します。

- (1) SBYCON の各ビットを 1 にセットした際、下記の場合スタンバイモードには移行せず、CPU はプログラムを継続します。
- SBYCON の複数ビットを同時にセットしたとき
 - CPU に割込みを要求している状態 (割込み許可レジスタと割込み要求レジスタのビットが共に“1”の状態) のとき
 - SBYACP によるアクセプタが無効状態のとき (STP,STPD のみ)
 - SA-ADC 変換中のとき (STP,STPD のみ)
 - VLS のシングルモード実行中のとき (STP,STPD のみ)
 - VLS のスーパバイザモード実行の安定待ち中のとき (STP,STPD のみ)
- (2) 高速クロックで逐次比較型 A/D コンバータを動作させているときに、HALT-H モードにすると高速クロックが停止することで逐次比較型 A/D コンバータが停止します。停止するタイミングによっては意図しない電流が流れる可能性があります。HALT-H モードに移行する場合は、逐次比較型 A/D コンバータを停止させるか、あらかじめ低速クロックで動作するように設定してください。
- (3) データ・フラッシュに書き込みや消去をしている最中に HALT-H, STOP, STOP-D モードにすると動作が途中で停止するため、正しく書き込みや消去ができません。データ・フラッシュに書き込みや消去をしている最中は、HALT-H, STOP, STOP-D モードに設定しないでください。データ・フラッシュの書き込み、消去の状態は、FLASHSTA レジスタで確認することができます。

第 5 章 割込み

5. 割込み

5.1 概要

ML62Q1500C/1700C グループは、ノンマスクابل割込み、マスクابل割込み、およびソフトウェア割込みを内蔵しています。

各割込みの詳細は、それぞれ該当する章を参照してください。

マイコンステータス割込みについては、「第 29 章 安全機能」を参照してください。

商品ごとの機能の有無については、「表 1-3 グループ商品別仕様 (ML62Q1500C グループ)」、「表 1-4 グループ商品別仕様 (ML62Q1700C グループ)」を参照してください。

5.1.1 特長

- マスカブル割込みは、マスタ・インタラプト・イネーブル・フラグ (MIE) により一括して割込みの許可／禁止が可能
MIE の詳細については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。
- マスカブル割込みは、IE0～7 レジスタにより要因ごとに割込み許可／禁止が可能
- 発生した割込みを割込み要求レジスタ (IRQ) の各割込み要求ビットで確認可能
- 割込み要求レジスタ (IRQ) の各ビットにソフトウェアで“1”を書き込むことで割込み発生が可能
- マスカブル割込みは 4 段階の割込み優先順位が設定可能

5.2 レジスタ説明

5.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF020	割込み許可レジスタ 01	IE0	IE01	R/W	8/16	0x00
0xF021		IE1		R/W	8	0x00
0xF022	割込み許可レジスタ 23	IE2	IE23	R/W	8/16	0x00
0xF023		IE3		R/W	8	0x00
0xF024	割込み許可レジスタ 45	IE4	IE45	R/W	8/16	0x00
0xF025		IE5		R/W	8	0x00
0xF026	割込み許可レジスタ 67	IE6	IE67	R/W	8/16	0x00
0xF027		IE7		R/W	8	0x00
0xF028	割込み要求レジスタ 01	IRQ0	IRQ01	R/W	8/16	0x00
0xF029		IRQ1		R/W	8	0x00
0xF02A	割込み要求レジスタ 23	IRQ2	IRQ23	R/W	8/16	0x00
0xF02B		IRQ3		R/W	8	0x00
0xF02C	割込み要求レジスタ 45	IRQ4	IRQ45	R/W	8/16	0x00
0xF02D		IRQ5		R/W	8	0x00
0xF02E	割込み要求レジスタ 67	IRQ6	IRQ67	R/W	8/16	0x00
0xF02F		IRQ7		R/W	8	0x00
0xF030	割込みレベル制御許可レジスタ	ILEN	—	R/W	8	0x00
0xF031	予約レジスタ	—	—	—	—	—
0xF032	現割込みレベル管理レジスタ	CIL	—	R/W	8	0x00
0xF033	予約レジスタ	—	—	—	—	—
0xF034	割込みレベル制御レジスタ 0	ILC00	ILC0	R/W	8/16	0x00
0xF035		ILC01		R/W	8	0x00
0xF036	割込みレベル制御レジスタ 1	ILC10	ILC1	R/W	8/16	0x00
0xF037		ILC11		R/W	8	0x00
0xF038	割込みレベル制御レジスタ 2	ILC20	ILC2	R/W	8/16	0x00
0xF039		ILC21		R/W	8	0x00
0xF03A	割込みレベル制御レジスタ 3	ILC30	ILC3	R/W	8/16	0x00
0xF03B		ILC31		R/W	8	0x00
0xF03C	割込みレベル制御レジスタ 4	ILC40	ILC4	R/W	8/16	0x00
0xF03D		ILC41		R/W	8	0x00
0xF03E	割込みレベル制御レジスタ 5	ILC50	ILC5	R/W	8/16	0x00
0xF03F		ILC51		R/W	8	0x00
0xF040	割込みレベル制御レジスタ 6	ILC60	ILC6	R/W	8/16	0x00
0xF041		—		R	8	0x00
0xF042	割込みレベル制御レジスタ 7	ILC70	ILC7	R/W	8/16	0x00
0xF043		ILC71		R/W	8	0x00

割り込みは製品により搭載の違いがあります。

表 5-1 に各製品の割り込み機能の搭載有無を示します。

表 5-1 割り込み機能の搭載有無 (1/3)

レジスタ割り当て			割り込み要因	割り込み 要因略称	ML62Q1500C／ML62Q1700C グループ		
IRQ (割り込み要求)	IE (割り込み許可)	ILC (割り込み レベル)			52ピン製品	64ピン製品	80ピン製品
IRQ0[0]	—	—	WDT 割り込み	WDTINT	●	●	●
—	—	—	—	—	—	—	—
IRQ0[6]	IE0[6]	ILC0[13:12]	VLS0 割り込み	VLS0INT	●	●	●
IRQ0[7]	IE0[7]	ILC0[15:14]	—	—	—	—	—
IRQ1[0]	IE1[0]	ILC1[1:0]	外部割り込み 0	EXI0INT	●	●	●
IRQ1[1]	IE1[1]	ILC1[3:2]	外部割り込み 1	EXI1INT	●	●	●
IRQ1[2]	IE1[2]	ILC1[5:4]	外部割り込み 2	EXI2INT	●	●	●
IRQ1[3]	IE1[3]	ILC1[7:6]	外部割り込み 3	EXI3INT	●	●	●
IRQ1[4]	IE1[4]	ILC1[9:8]	外部割り込み 4	EXI4INT	●	●	●
IRQ1[5]	IE1[5]	ILC1[11:10]	外部割り込み 5	EXI5INT	●	●	●
IRQ1[6]	IE1[6]	ILC1[13:12]	外部割り込み 6	EXI6INT	●	●	●
IRQ1[7]	IE1[7]	ILC1[15:14]	外部割り込み 7	EXI7INT	●	●	●
IRQ2[0]	IE2[0]	ILC2[1:0]	クロックバックアップ 割り込み	CBUIINT	●	●	●
IRQ2[1]	IE2[1]	ILC2[3:2]	DMAコントローラ割 込み (DMA 割り込み)	DMACINT	●	●	●
IRQ2[2]	IE2[2]	ILC2[5:4]	マイコンステータス 割り込み	MCSINT	●	●	●
IRQ2[3]	IE2[3]	ILC2[7:6]	シリアル通信ユニット 00 割り込み	SIU00INT	●	●	●
IRQ2[4]	IE2[4]	ILC2[9:8]	シリアル通信ユニット 01 割り込み	SIU01INT	●	●	●
IRQ2[5]	IE2[5]	ILC2[11:10]	—	—	—	—	—
IRQ2[6]	IE2[6]	ILC2[13:12]	逐次比較型 A/D コンバータ割込み (SA-ADC 割り込み)	SADINT	●	●	●
IRQ2[7]	IE2[7]	ILC2[15:14]	—	—	—	—	—
IRQ3[0]	IE3[0]	ILC3[1:0]	拡張外部割り込み	EXTXINT	●	●	●
IRQ3[1]	IE3[1]	ILC3[3:2]	—	—	—	—	—
IRQ3[2]	IE3[2]	ILC3[5:4]	I ² C バスマスタ 0 割り込み	I2CM0INT	●	●	●
IRQ3[3]	IE3[3]	ILC3[7:6]	I ² C バスマスタ 1 割り込み	I2CM1INT	●	●	●
IRQ3[4]	IE3[4]	ILC3[9:8]	ファンクショナル タイマ 0 割り込み	FTM0INT	●	●	●
IRQ3[5]	IE3[5]	ILC3[11:10]	ファンクショナル タイマ 1 割り込み	FTM1INT	●	●	●
IRQ3[6]	IE3[6]	ILC3[13:12]	16ビットタイマ 0 割り込み	TM0INT	●	●	●
IRQ3[7]	IE3[7]	ILC3[15:14]	16ビットタイマ 1 割り込み	TM1INT	●	●	●

●: 搭載 —: 非搭載

表 5-1 割り込み機能の搭載有無(2/3)

レジスタ割り当て			割り込み要因	割り込み 要因略称	ML62Q1500C／ML62Q1700C グループ		
IRQ (割り込み要求)	IE (割り込み許可)	ILC (割り込みレベル)			52ピン 製品	64ピン 製品	80ピン 製品
IRQ4[0]	IE4[0]	ILC4[1:0]	I ² C バスユニット 0 割り込み	I2CU0INT	●	●	●
IRQ4[1]	IE4[1]	ILC4[3:2]	シリアル通信ユニット 10 割り込み	SIU10INT	●	●	●
IRQ4[2]	IE4[2]	ILC4[5:4]	シリアル通信ユニット 11 割り込み	SIU11INT	●	●	●
IRQ4[3]	IE4[3]	ILC4[7:6]	—	—	—	—	—
IRQ4[4]	IE4[4]	ILC4[9:8]	ファンクショナル タイマ 2 割り込み	FTM2INT	●	●	●
IRQ4[5]	IE4[5]	ILC4[11:10]	ファンクショナル タイマ 3 割り込み	FTM3INT	●	●	●
IRQ4[6]	IE4[6]	ILC4[13:12]	16 ビットタイマ 2 割り込み	TM2INT	●	●	●
IRQ4[7]	IE4[7]	ILC4[15:14]	16 ビットタイマ 3 割り込み	TM3INT	●	●	●
IRQ5[0]	IE5[0]	ILC5[1:0]	シリアル通信ユニット 20 割り込み	SIU20INT	—	●	●
IRQ5[1]	IE5[1]	ILC5[3:2]	シリアル通信ユニット 21 割り込み	SIU21INT	—	●	●
IRQ5[2]	IE5[2]	ILC5[5:4]	アナログコンパレータ 0 割り込み	CMP0INT	●	●	●
IRQ5[3]	IE5[3]	ILC5[7:6]	アナログコンパレータ 1 割り込み	CMP1INT	●	●	●
IRQ5[4]	IE5[4]	ILC5[9:8]	ファンクショナル タイマ 4 割り込み	FTM4INT	●	●	●
IRQ5[5]	IE5[5]	ILC5[11:10]	ファンクショナル タイマ 5 割り込み	FTM5INT	●	●	●
IRQ5[6]	IE5[6]	ILC5[13:12]	16 ビットタイマ 4 割り込み	TM4INT	●	●	●
IRQ5[7]	IE5[7]	ILC5[15:14]	16 ビットタイマ 5 割り込み	TM5INT	●	●	●
IRQ6[0]	IE6[0]	ILC6[1:0]	シリアル通信ユニット 30 割り込み	SIU30INT	●	●	●
IRQ6[1]	IE6[1]	ILC6[3:2]	シリアル通信ユニット 31 割り込み	SIU31INT	●	●	●
IRQ6[2]	IE6[2]	ILC6[5:4]	シリアル通信ユニット 40 割り込み	SIU40INT	—	—	—
IRQ6[3]	IE6[3]	ILC6[7:6]	シリアル通信ユニット 41 割り込み	SIU41INT	—	—	—
IRQ6[4]	IE6[4]	ILC6[9:8]	ファンクショナル タイマ 6 割り込み	FTM6INT	—	—	—
IRQ6[5]	IE6[5]	ILC6[11:10]	ファンクショナル タイマ 7 割り込み	FTM7INT	—	—	—

●: 搭載 —: 非搭載

表 5-1 割り込み機能の搭載有無 (3/3)

レジスタ割り当て			割り込み要因	割り込み 要因略称	ML62Q1500C／ML62Q1700C グループ		
IRQ (割り込み要求)	IE (割り込み許可)	ILC (割り込みレベル)			52ピン製品	64ピン製品	80ピン製品
IRQ6[6]	IE6[6]	ILC6[13:12]	16ビットタイマ 6 割り込み	TM6INT	—	—	—
IRQ6[7]	IE6[7]	ILC6[15:14]	16ビットタイマ 7 割り込み	TM7INT	—	—	—
IRQ7[0]	IE7[0]	ILC7[1:0]	シリアル通信ユニット 50 割り込み	SIU50INT	—	—	—
IRQ7[1]	IE7[1]	ILC7[3:2]	シリアル通信ユニット 51 割り込み	SIU51INT	—	—	—
IRQ7[2]	IE7[2]	ILC7[5:4]	低速タイムベース カウンタ 0 割り込み	LTB0INT	●	●	●
IRQ7[3]	IE7[3]	ILC7[7:6]	—	—	—	—	—
IRQ7[4]	IE7[4]	ILC7[9:8]	低速タイムベース カウンタ 1 割り込み	LTB1INT	●	●	●
IRQ7[5]	IE7[5]	ILC7[11:10]	低速タイムベース カウンタ 2 割り込み	LTB2INT	●	●	●
IRQ7[6]	IE7[6]	ILC7[13:12]	簡易 RTC 割り込み	RTCINT	●	●	●
IRQ7[7]	IE7[7]	ILC7[15:14]	—	—	—	—	—

●: 搭載 —: 非搭載

5.2.2 割り込み許可レジスタ 01 (IE01)

本レジスタは、割り込み要求ごとに割り込みの禁止／許可を制御する特殊機能レジスタ(SFR)です。
商品により未実装の割り込みの制御ビットは書き込み無効です。読出し値は 0 です。
ビットの搭載有無については「表 5-1 割り込み機能の搭載有無」を参照してください。
割り込みが受け付けられると CPU のマスタ・インタラプト・イネーブル・フラグ(MIE)は“0”(割り込み禁止)になりますが、IE01 レジスタの当該ビットは“1”から変化しません。

アドレス: 0xF020 (IE0/IE01), 0xF021 (IE1)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	IE01															
バイト	IE1								IE0							
ビット	EPI7	EPI6	EPI5	EPI4	EPI3	EPI2	EPI1	EPI0	—	EVLS0	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15	EPI7	外部割り込み 7 (EXI7INT) の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
14	EPI6	外部割り込み 6 (EXI6INT) の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
13	EPI5	外部割り込み 5 (EXI5INT) の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
12	EPI4	外部割り込み 4 (EXI4INT) の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
11	EPI3	外部割り込み 3 (EXI3INT) の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
10	EPI2	外部割り込み 2 (EXI2INT) の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
9	EPI1	外部割り込み 1 (EXI1INT) の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
8	EPI0	外部割り込み 0 (EXI0INT) の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
7	—	予約ビット
6	EVLS0	VLS0 割り込み (VLS0INT) の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
5~0	—	予約ビット

5.2.3 割り込み許可レジスタ 23 (IE23)

本レジスタは、割り込み要求ごとに割り込みの禁止／許可を制御する特殊機能レジスタ(SFR)です。
商品により未実装の割り込みの制御ビットは書き込み無効です。読出し値は 0 です。
ビットの搭載有無については「表 5-1 割り込み機能の搭載有無」を参照してください。
割り込みが受け付けられると CPU のマスタ・インタラプト・イネーブル・フラグ(MIE)は“0” (割り込み禁止)になりますが、IE23 レジスタの当該ビットは“1”から変化しません。

アドレス: 0xF022 (IE2/IE23), 0xF023 (IE3)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	IE23															
バイト	IE3								IE2							
ビット	ETM1	ETM0	EFTM1	EFTM0	EI2CM1	EI2CM0	—	EEXTX	—	ESAD	—	ESIU01	ESIU00	EMCS	EDMA	ECBU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	ETM1	16 ビットタイマ 1 割り込み(TM1INT)の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
14	ETM0	16 ビットタイマ 0 割り込み(TM0INT)の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
13	EFTM1	ファンクショナルタイマ 1 割り込み(FTM1INT)の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
12	EFTM0	ファンクショナルタイマ 0 割り込み(FTM0INT)の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
11	EI2CM1	I ² C バスマスタ 1 割り込み(I2CM1INT)の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
10	EI2CM0	I ² C バスマスタ 0 割り込み(I2CM0INT)の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
9	—	予約ビット
8	EEXTX	拡張外部割り込み(EXTXINT)の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
7	—	予約ビット
6	ESAD	SA-ADC 割り込み(SADINT)の禁止／許可を制御するビットです。 0: 割り込み禁止 (初期値) 1: 割り込み許可
5	—	予約ビット

ビット 番号	ビットシンボル 名	説明
4	ESIU01	シリアル通信ユニット 01 割込み (SIU01INT) の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
3	ESIU00	シリアル通信ユニット 00 割込み (SIU00INT) の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
2	EMCS	マイコンステータス割込み (MCSINT) ^{*1} の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
1	EDMA	DMA 割込み (DMACINT) の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
0	ECBU	クロックバックアップ割込み (CBUINT) ^{*2} の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可

*1: 詳細は、「第 29 章 安全機能」を参照してください。

*2: 詳細は、「第 6 章 クロック発生回路」を参照してください。

5.2.4 割込み許可レジスタ 45 (IE45)

本レジスタは、割込み要求ごとに割込みの禁止／許可を制御する特殊機能レジスタ(SFR)です。
商品により未実装の割込みの制御ビットは書き込み無効です。読出し値は 0 です。
ビットの搭載有無については「表 5-1 割込み機能の搭載有無」を参照してください。
割込みが受け付けられると CPU のマスタ・インタラプト・イネーブル・フラグ(MIE)は“0” (割込み禁止)になりますが、IE45 レジスタの当該ビットは“1”から変化しません。

アドレス: 0xF024 (IE4/IE45), 0xF025 (IE5)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	IE45															
バイト	IE5								IE4							
ビット	ETM5	ETM4	EFTM5	EFTM4	ECMP1	ECMP0	ESIU21	ESIU20	ETM3	ETM2	EFTM3	EFTM2	—	ESIU11	ESIU10	EI2CU0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	ETM5	16 ビットタイマ 5 割込み(TM5INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
14	ETM4	16 ビットタイマ 4 割込み(TM4INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
13	EFTM5	ファンクショナルタイマ 5 割込み(FTM5INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
12	EFTM4	ファンクショナルタイマ 4 割込み(FTM4INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
11	ECMP1	アナログコンパレータ 1 割込み(CMP1INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
10	ECMP0	アナログコンパレータ 0 割込み(CMP0INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
9	ESIU21	シリアル通信ユニット 21 割込み(SIU21INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
8	ESIU20	シリアル通信ユニット 20 割込み(SIU20INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
7	ETM3	16 ビットタイマ 3 割込み(TM3INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
6	ETM2	16 ビットタイマ 2 割込み(TM2INT)の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可

ビット 番号	ビットシンボル 名	説明
5	EFTM3	ファンクショナルタイマ 3 割込み (FTM3INT) の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
4	EFTM2	ファンクショナルタイマ 2 割込み (FTM2INT) の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
3	—	予約ビット
2	ESIU11	シリアル通信ユニット 11 割込み (SIU11INT) の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
1	ESIU10	シリアル通信ユニット 10 割込み (SIU10INT) の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可
0	EI2CU0	I ² C バスユニット 0 割込み (I2CU0INT) の禁止／許可を制御するビットです。 0: 割込み禁止 (初期値) 1: 割込み許可

5.2.5 割込み許可レジスタ 67 (IE67)

本レジスタは、割込み要求ごとに割込みの禁止／許可を制御する特殊機能レジスタ(SFR)です。
商品により未実装の割込みの制御ビットは書き込み無効です。読出し値は 0 です。
ビットの搭載有無については「表 5-1 割込み機能の搭載有無」を参照してください。
割込みが受け付けられると CPU のマスタ・インタラプト・イネーブル・フラグ(MIE)は“0” (割込み禁止)になりますが、IE67 レジスタの当該ビットは“1”から変化しません。

アドレス: 0xF026 (IE6/IE67), 0xF027 (IE7)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	IE67															
バイト	IE7								IE6							
ビット	—	ERTC	ELTB C2	ELTB C1	—	ELTB C0	—	—	—	—	—	—	—	—	ESIU3 1	ESIU3 0
R/W	R	R/W	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15	—	予約ビット
14	ERTC	簡易 RTC 割込み(RTCINT)の禁止／許可を制御するビットです。 0: 割込み禁止(初期値) 1: 割込み許可
13	ELTBC2	低速タイムベースカウンタ 2 割込み(LTB2INT)の禁止／許可を制御するビットです。 0: 割込み禁止(初期値) 1: 割込み許可
12	ELTBC1	低速タイムベースカウンタ 1 割込み(LTB1INT)の禁止／許可を制御するビットです。 0: 割込み禁止(初期値) 1: 割込み許可
11	—	予約ビット
10	ELTBC0	低速タイムベースカウンタ 0 割込み(LTB0INT)の禁止／許可を制御するビットです。 0: 割込み禁止(初期値) 1: 割込み許可
9～2	—	予約ビット
1	ESIU31	シリアル通信ユニット 31 割込み(SIU31INT)の禁止／許可を制御するビットです。 0: 割込み禁止(初期値) 1: 割込み許可
0	ESIU30	シリアル通信ユニット 30 割込み(SIU30INT)の禁止／許可を制御するビットです。 0: 割込み禁止(初期値) 1: 割込み許可

5.2.6 割り込み要求レジスタ 01（IRQ01）

本レジスタは、各割り込みを要求する特殊機能レジスタ(SFR)です。
商品により未実装の割り込み要求ビットは書き込み無効です。読出し値は 0 です。
ビットの搭載有無については「表 5-1 割り込み機能の搭載有無」を参照してください。
IRQ01 レジスタの QWDT ビットは、ノンマスカブルのウォッチドッグタイマ(WDT)割り込み要求の発生により“1”になります。この時、CPU のマスタ・インタラプト・イネーブル・フラグ(MIE)の値に関係なく割り込み処理に移行します。
IRQ01 レジスタの QWDT ビットを除く各要求ビットは、割り込み許可レジスタ 01 (IE01) および CPU のマスタ・インタラプト・イネーブル・フラグ(MIE)の値に関係なく割り込み要求の発生により“1”になります。この時、IE01 レジスタの当該ビットが“1”の場合は CPU に割り込みを要求します。さらに MIE が“1”の場合は CPU が割り込みを受け付け、割り込み処理に移行します。
また、IRQ01 レジスタの各要求ビットに“1”を書き込むと割り込みを発生させることができます。この場合、次の 1 命令実行後に割り込み処理に移行します。
IRQ01 レジスタの当該ビットは、CPU に割り込み要求が受け付けられると自動的に“0”になります。

アドレス: 0xF028 (IRQ0/IRQ01), 0xF029 (IRQ1)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	IRQ01															
バイト	IRQ1								IRQ0							
ビット	QPI7	QPI6	QPI5	QPI4	QPI3	QPI2	QPI1	QPI0	—	QVLS 0	—	—	—	—	—	QWDT
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15	QPI7	外部割り込み 7 (EXI7INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
14	QPI6	外部割り込み 6 (EXI6INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
13	QPI5	外部割り込み 5 (EXI5INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
12	QPI4	外部割り込み 4 (EXI4INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
11	QPI3	外部割り込み 3 (EXI3INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
10	QPI2	外部割り込み 2 (EXI2INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
9	QPI1	外部割り込み 1 (EXI1INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり

ビット 番号	ビットシンボル 名	説明
8	QPIO	外部割込み 0 (EXI0INT) を要求するビットです。 0: 割込み要求なし (初期値) 1: 割込み要求あり
7	—	予約ビット
6	QVLS0	VLS0 割込み (VLS0INT) を要求するビットです。 0: 割込み要求なし (初期値) 1: 割込み要求あり
5~1	—	予約ビット
0	QWDT	WDT 割込み (WDTINT) を要求するビットです。 0: 割込み要求なし (初期値) 1: 割込み要求あり

【注意】

- 本レジスタの特定のビットを書き換える場合、同レジスタの他の要求ビットをクリアする恐れがあります。
特定のビットの書き換えは、ビットシンボルを使ってください。
詳細は、「5.3.8 IRQ01/IRQ23/IRQ45/IRQ67 の書き込み」を参照ください。
- 拡張外部割込みが有効な場合、本レジスタに書き込んだ後、EEINTC レジスタの EEIR ビットに“1”を書き込んで割込みを再要求してください。

5.2.7 割り込み要求レジスタ 23 (IRQ23)

本レジスタは、各割り込みを要求する特殊機能レジスタ(SFR)です。

商品により未実装の割り込み要求ビットは書き込み無効です。読出し値は 0 です。

ビットの搭載有無については「表 5-1 割り込み機能の搭載有無」を参照してください。

IRQ23 レジスタの各要求ビットは、割り込み許可レジスタ 23 (IE23) および CPU のマスタ・インタラプト・イネーブル・フラグ (MIE) の値に関係なく割り込み発生により“1”になります。この時、IE23 レジスタの当該ビットが“1”の場合は CPU に割り込みを要求します。さらに MIE が“1”の場合は CPU が割り込みを受け付け、割り込み処理に移行します。

また、IRQ23 レジスタの各要求ビットに“1”を書き込むと割り込みを発生させることができます。この場合、次の 1 命令実行後に割り込み処理に移行します。

IRQ23 レジスタの当該ビットは、CPU に割り込み要求が受け付けられると自動的に“0”になります。

アドレス: 0xF02A (IRQ2/IRQ23), 0xF02B (IRQ3)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	IRQ23															
バイト	IRQ3								IRQ2							
ビット	QTM1	QTM0	QFTM1	QFTM0	QI2CM1	QI2CM0	—	QEXTX	—	QSAD	—	QSIU01	QSIU00	QMCS	QDMA	QCBU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	QTM1	16 ビットタイマ 1 割り込み (TM1INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
14	QTM0	16 ビットタイマ 0 割り込み (TM0INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
13	QFTM1	ファンクショナルタイマ 1 割り込み (FTM1INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
12	QFTM0	ファンクショナルタイマ 0 割り込み (FTM0INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
11	QI2CM1	I ² C バスマスタ 1 割り込み (I2CM1INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
10	QI2CM0	I ² C バスマスタ 0 割り込み (I2CM0INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
9	—	予約ビット
8	QEXTX	拡張外部割り込み (EXTXINT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
7	—	予約ビット

ビット 番号	ビットシンボル 名	説明
6	QSAD	SA-ADC 割込み (SADINT) を要求するビットです。 0: 割込み要求なし (初期値) 1: 割込み要求あり
5	—	予約ビット
4	QSIU01	シリアル通信ユニット 01 割込み (SIU01INT) を要求するビットです。 0: 割込み要求なし (初期値) 1: 割込み要求あり
3	QSIU00	シリアル通信ユニット 00 割込み (SIU00INT) を要求するビットです。 0: 割込み要求なし (初期値) 1: 割込み要求あり
2	QMCS	マイコンステータス割込み (MCSINT) ^{*1} を要求するビットです。 0: 割込み要求なし (初期値) 1: 割込み要求あり
1	QDMA	DMA 割込み (DMACINT) を要求するビットです。 0: 割込み要求なし (初期値) 1: 割込み要求あり
0	QCBU	クロックバックアップ割込み (CBUINT) ^{*2} を要求するビットです。 0: 割込み要求なし (初期値) 1: 割込み要求あり

*1: 詳細は、「第 29 章 安全機能」を参照してください。

*2: 詳細は、「第 6 章 クロック発生回路」を参照してください。

【注意】

- 本レジスタの特定のビットを書き換える場合、同レジスタの他の要求ビットをクリアする恐れがあります。特定のビットの書き換えは、ビットシンボルを使ってください。
詳細は、「5.3.8 IRQ01/IRQ23/IRQ45/IRQ67 の書き込み」を参照ください。
- 拡張外部割込みが有効な場合、本レジスタに書き込んだ後、EEINTC レジスタの EEIR ビットに“1”を書き込んで割込みを再要求してください。

5.2.8 割り込み要求レジスタ 45 (IRQ45)

本レジスタは、各割り込みを要求する特殊機能レジスタ(SFR)です。

商品により未実装の割り込み要求ビットは書き込み無効です。読出し値は 0 です。

ビットの搭載有無については「表 5-1 割り込み機能の搭載有無」を参照してください。

IRQ45 レジスタの各要求ビットは、割り込み許可レジスタ 45 (IE45) および CPU のマスタ・インタラプト・イネーブル・フラグ (MIE) の値に関係なく割り込み発生により“1”になります。この時、IE45 レジスタの当該ビットが“1”の場合は CPU に割り込みを要求します。さらに MIE が“1”の場合は CPU が割り込みを受け付け、割り込み処理に移行します。

また、IRQ45 レジスタの各要求ビットに“1”を書き込むと割り込みを発生させることができます。この場合、次の 1 命令実行後に割り込み処理に移行します。

IRQ45 レジスタの当該ビットは、CPU に割り込み要求が受け付けられると自動的に“0”になります。

アドレス: 0xF02C (IRQ4/IRQ45), 0xF02D (IRQ5)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	IRQ45															
バイト	IRQ5								IRQ4							
ビット	QTM5	QTM4	QFTM5	QFTM4	QCMP1	QCMP0	QSIU21	QSIU20	QTM3	QTM2	QFTM3	QFTM2	—	QSIU11	QSIU10	QI2CU0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	QTM5	16 ビットタイマ 5 割り込み (TM5INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
14	QTM4	16 ビットタイマ 4 割り込み (TM4INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
13	QFTM5	ファンクショナルタイマ 5 割り込み (FTM5INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
12	QFTM4	ファンクショナルタイマ 4 割り込み (FTM4INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
11	QCMP1	アナログコンパレータ 1 割り込み (CMP1INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
10	QCMP0	アナログコンパレータ 0 割り込み (CMP0INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
9	QSIU21	シリアル通信ユニット 21 割り込み (SIU21INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
8	QSIU20	シリアル通信ユニット 20 割り込み (SIU20INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり

ビット 番号	ビットシンボル 名	説明
7	QTM3	16ビットタイマ 3 割込み(TM3INT)を要求するビットです。 0: 割込み要求なし(初期値) 1: 割込み要求あり
6	QTM2	16ビットタイマ 2 割込み(TM2INT)を要求するビットです。 0: 割込み要求なし(初期値) 1: 割込み要求あり
5	QFTM3	ファンクショナルタイマ 3 割込み(FTM3INT)を要求するビットです。 0: 割込み要求なし(初期値) 1: 割込み要求あり
4	QFTM2	ファンクショナルタイマ 2 割込み(FTM2INT)を要求するビットです。 0: 割込み要求なし(初期値) 1: 割込み要求あり
3	—	予約ビット
2	QSIU11	シリアル通信ユニット 11 割込み(SIU11INT)を要求するビットです。 0: 割込み要求なし(初期値) 1: 割込み要求あり
1	QSIU10	シリアル通信ユニット 10 割込み(SIU10INT)を要求するビットです。 0: 割込み要求なし(初期値) 1: 割込み要求あり
0	QI2CU0	I ² C バスユニット 0 割込み(I2CU0INT)を要求するビットです。 0: 割込み要求なし(初期値) 1: 割込み要求あり

【注意】

- 本レジスタの特定のビットを書き換える場合、同レジスタの他の要求ビットをクリアする恐れがあります。特定のビットの書き換えは、ビットシンボルを使ってください。詳細は、「5.3.8 IRQ01/IRQ23/IRQ45/IRQ67 の書き込み」を参照ください。
- 拡張外部割込みが有効な場合、本レジスタに書き込んだ後、EEINTC レジスタの EEIR ビットに“1”を書き込んで割込みを再要求してください。

5.2.9 割り込み要求レジスタ 67 (IRQ67)

本レジスタは、各割り込みを要求する特殊機能レジスタ(SFR)です。

商品により未実装の割り込み要求ビットは書き込み無効です。読出し値は 0 です。

ビットの搭載有無については「表 5-1 割り込み機能の搭載有無」を参照してください。

IRQ67 レジスタの各要求ビットは、割り込み許可レジスタ 67 (IE67) および CPU のマスタ・インタラプト・イネーブル・フラグ (MIE) の値に関係なく割り込み発生により“1”になります。この時、IE67 レジスタの当該ビットが“1”の場合は CPU に割り込みを要求します。さらに MIE が“1”の場合は CPU が割り込みを受け付け、割り込み処理に移行します。

また、IRQ67 レジスタの要求ビットに“1”を書き込むと割り込みを発生させることができます。この場合、次の 1 命令実行後に割り込み処理に移行します。

IRQ67 レジスタの当該ビットは、CPU に割り込み要求が受け付けられると自動的に“0”になります。

アドレス: 0xF02E (IRQ6/IRQ67), 0xF02F (IRQ7)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	IRQ67															
バイト	IRQ7								IRQ6							
ビット	—	QRTC	QLTB C2	QLTB C1	—	QLTB C0	—	—	—	—	—	—	—	—	QSIU3 1	QSIU3 0
R/W	R	R/W	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15	—	予約ビット
14	QRTC	簡易 RTC 割り込み (RTCINT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
13	QLTBC2	低速タイムベースカウンタ 2 割り込み (LTB2INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
12	QLTBC1	低速タイムベースカウンタ 1 割り込み (LTB1INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
11	—	予約ビット
10	QLTBC0	低速タイムベースカウンタ 0 割り込み (LTB0INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
9~2	—	予約ビット
1	QSIU31	シリアル通信ユニット 31 割り込み (SIU31INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり
0	QSIU30	シリアル通信ユニット 30 割り込み (SIU30INT) を要求するビットです。 0: 割り込み要求なし (初期値) 1: 割り込み要求あり

【注意】

- 本レジスタの特定のビットを書き換える場合、同レジスタの他の要求ビットをクリアする恐れがあります。特定のビットの書き換えは、ビットシンボルを使ってください。詳細は、「5.3.8 IRQ01/IRQ23/IRQ45/IRQ67 の書き込み」を参照ください。
- 拡張外部割り込みが有効な場合、本レジスタに書き込んだ後、EEINTC レジスタの EEIR ビットに“1”を書き込んで割り込みを再要求してください。

5.2.10 割込みレベル制御許可レジスタ (ILEN)

本レジスタは、割込みレベル制御機能を許可する特殊機能レジスタ(SFR)です。

アドレス: 0xF030 (ILEN)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								ILEN							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ILE
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～1	—	予約ビット
0	ILE	割込みレベル制御機能を許可するビットです。 0: 割込みレベル制御禁止 (初期値) 1: 割込みレベル制御許可

【注意】

- 割込みレベル制御機能を禁止する場合は、割込み禁止状態 (IE0～IE7 レジスタは“0x00”) で、割込みレベル制御レジスタ 0～7 (ILC0～ILC7) を“0x0000”にし、かつ CIL レジスタの値が“0x00”であることを確認してから ILE ビットを“0”にしてください。
- 割込みレベル制御機能を有効にする場合は、割込み許可レジスタ (IE0～IE7) の当該割込みの許可フラグが“0”，またはマスタ・インタラプト・イネーブル・フラグ (MIE) が“0”の時に、ILE ビットを“1”にしてください。IE0～IE7 の当該割込みの許可フラグが“1”，かつ MIE が“1”の時に書き込むと、意図しない割込みレベルで割込みが発生する場合があります。

5.2.11 現割り込みレベル管理レジスタ（CIL）

本レジスタは CPU が処理中の割り込みレベルを管理する特殊機能レジスタ(SFR)です。
割り込みレベル制御レジスタ(ILC0～ILC7)で割り込みレベルを設定したマスカブル割り込み、またはノンマスカブル割り込みがCPUに受け付けられると、CILレジスタの当該ビットが自動的に“1”になり、現在処理されている割り込みレベルを示します。
現在処理されている割り込みレベル以下の割り込みは、CPU への割り込み要求が禁止されます。
CIL レジスタの複数のビットが“1”の場合、CPU が多重割り込み処理中であることを示します。

CIL レジスタの各ビットは CPU の割り込み受け付け後、自動的に“1”になりますが、割り込み処理終了時はソフトウェアで当該ビットを“0”にクリアする必要があります。割り込み処理の最後で CIL レジスタに一度だけ任意のデータを書き込み、当該ビットを“0”にクリアしてください。CIL レジスタの書き込みにより、CIL レジスタの最上位の“1”のビットが“0”にリセットされます。
CIL レジスタの使用方法については、「5.3.6 割り込みレベル制御許可時の割り込み処理の記述方法」を参照してください。

アドレス: 0xF032 (CIL)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								CIL							
ビット	—	—	—	—	—	—	—	—	CILN	—	—	—	CILM3	CILM2	CILM1	CILM0
R/W	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7	CILN	ノンマスカブル割り込みが処理中であることを示すビットです。 0: ノンマスカブル割り込みは処理していない(初期値) 1: ノンマスカブル割り込みを処理中
6～4	—	予約ビット
3	CILM3	割り込みレベル 4 のマスカブル割り込みが処理中であることを示すビットです。 0: 割り込みレベル 4 は処理していない(初期値) 1: 割り込みレベル 4 を処理中
2	CILM2	割り込みレベル 3 のマスカブル割り込みが処理中であることを示すビットです。 0: 割り込みレベル 3 は処理していない(初期値) 1: 割り込みレベル 3 を処理中
1	CILM1	割り込みレベル 2 のマスカブル割り込みが処理中であることを示すビットです。 0: 割り込みレベル 2 は処理していない(初期値) 1: 割り込みレベル 2 を処理中
0	CILM0	割り込みレベル 1 のマスカブル割り込みが処理中であることを示すビットです。 0: 割り込みレベル 1 は処理していない(初期値) 1: 割り込みレベル 1 を処理中

5.2.12 割込みレベル制御レジスタ 0 (ILC0)

本レジスタは対応するマスカブル割込み要因の割込みレベルを設定する特殊機能レジスタ (SFR) です。
商品により未実装の割込みのレベル設定ビットは書き込み無効です。読出し値は 0 です。
割込みレベル制御許可レジスタ (ILEN) の ILE ビットを“1”にし、割込みレベル制御を許可した場合のみ書き込みます。

アドレス: 0xF034 (ILC00/ILC0), 0xF035 (ILC01)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	ILC0															
バイト	ILC01								ILC00							
ビット	—	—	ILVLS 0H	ILVLS 0L	—	—	—	—	—	—	—	—	—	—	—	—
R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15,14	—	予約ビット
13,12	ILVLS0H, ILVLS0L	VLS0 割込み (VLS0INT) レベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
11～0	—	予約ビット

- 【注意】
- 書き込みは、割込み禁止状態 (IE1～IE7 レジスタ=“00H”, またはマスタインタラプトイネーブルフラグ (MIE) が“0”の状態)で行ってください。割込み許可状態 (IE1～IE7 レジスタのいずれかのビットが“1”, かつ MIE が“1”の状態)で書き込むと、意図しない割込みレベルで割込みが発生する場合があります。

5.2.13 割込みレベル制御レジスタ 1 (ILC1)

本レジスタは対応するマスカブル割込み要因ごとの割込みレベルを設定する特殊機能レジスタ(SFR)です。

商品により未実装の割込みのレベル設定ビットは書き込み無効です。読出し値は 0 です。

ビットの搭載有無については「表 5-1 割込み機能の搭載有無」を参照してください。

割込みレベル制御許可レジスタ(ILEN)の ILE ビットを“1”にし、割込みレベル制御を許可した場合のみ書き込めます。

アドレス: 0xF036 (ILC10/ILC1), 0xF037 (ILC11)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	ILC1															
バイト	ILC11								ILC10							
ビット	ILPI7H	ILPI7L	ILPI6H	ILPI6L	ILPI5H	ILPI5L	ILPI4H	ILPI4L	ILPI3H	ILPI3L	ILPI2H	ILPI2L	ILPI1H	ILPI1L	ILPI0H	ILPI0L
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15,14	ILPI7H, ILPI7L	外部割込み 7 (EXI7INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
13,12	ILPI6H, ILPI6L	外部割込み 6 (EXI6INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
11,10	ILPI5H, ILPI5L	外部割込み 5 (EXI5INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
9,8	ILPI4H, ILPI4L	外部割込み 4 (EXI4INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
7,6	ILPI3H, ILPI3L	外部割込み 3 (EXI3INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
5,4	ILPI2H, ILPI2L	外部割込み 2 (EXI2INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)

ビット 番号	ビットシンボル 名	説明
3,2	ILPI1H, ILPI1L	外部割込み 1 (EXI1INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
1,0	ILPI0H, ILPI0L	外部割込み 0 (EXI0INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)

【注意】

- 書き込みは、割込み禁止状態 (IE1～IE7 レジスタ=“00H”，またはマスタインタラプトイネーブルフラグ (MIE) が“0”の状態)で行ってください。割込み許可状態 (IE1～IE7 レジスタのいずれかのビットが“1”，かつ MIE が“1”の状態)で書き込むと、意図しない割込みレベルで割込みが発生する場合があります。

5.2.14 割込みレベル制御レジスタ 2 (ILC2)

本レジスタは対応するマスカブル割込み要因ごとの割込みレベルを設定する特殊機能レジスタ(SFR)です。

商品により未実装の割込みのレベル設定ビットは書き込み無効です。読出し値は 0 です。

ビットの搭載有無については「表 5-1 割込み機能の搭載有無」を参照してください。

割込みレベル制御許可レジスタ(ILEN)の ILE ビットを“1”にし、割込みレベル制御を許可した場合のみ書き込めます。

アドレス: 0xF038 (ILC20/ILC2), 0xF039 (ILC21)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	ILC2															
バイト	ILC21								ILC20							
ビット	—	—	ILSADH	ILSADL	—	—	ILSIU01H	ILSIU01L	ILSIU00H	ILSIU00L	ILMCSH	ILMCSL	ILDMAH	ILDMAL	ILCBUH	ILCBUL
R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15,14	—	予約ビット
13,12	ILSADH, ILSADL	SA-ADC 割込み(SADINT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
11,10	—	予約ビット
9,8	ILSIU01H, ILSIU01L	シリアル通信ユニット 01 割込み(SIU01INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
7,6	ILSIU00H, ILSIU00L	シリアル通信ユニット 00 割込み(SIU00INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
5,4	ILMCSH, ILMCSL	マイコンステータス割込み(MCSINT) ^{*1} のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
3,2	ILDMAH, ILDMAL	DMA 割込み(DMACINT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)

ビット 番号	ビットシンボル 名	説明
1,0	ILCBUH, ILCBUL	クロックバックアップ割込み(CBUINT) ^{*2} のレベルを設定するビットです。 00: レベル 1(割込みレベル低)(初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)

*1: 詳細は、「第 29 章 安全機能」を参照してください。

*2: 詳細は、「第 6 章 クロック発生回路」を参照してください。

【注意】

- 書き込みは、割込み禁止状態(IE1～IE7 レジスタ=“00H”，またはマスタインタラプトイネーブルフラグ(MIE)が“0”の状態)で行ってください。割込み許可状態(IE1～IE7 レジスタのいずれかのビットが“1”，かつ MIE が“1”の状態)で書き込むと、意図しない割込みレベルで割込みが発生する場合があります。

5.2.15 割込みレベル制御レジスタ 3 (ILC3)

ILC3 レジスタは対応するマスカブル割込み要因ごとの割込みレベルを設定する特殊機能レジスタ(SFR)です。

商品により未実装の割込みのレベル設定ビットは書き込み無効です。読出し値は 0 です。

ビットの搭載有無については「表 5-1 割込み機能の搭載有無」を参照してください。

割込みレベル制御許可レジスタ (ILEN) の ILE ビットを“1”にし、割込みレベル制御を許可した場合のみ書き込みます。

アドレス: 0xF03A (ILC30/ILC3), 0xF03B (ILC31)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	ILC3															
バイト	ILC31								ILC30							
ビット	ILTM1 H	ILTM1 L	ILTM0 H	ILTM0 L	ILFTM 1H	ILFTM 1L	ILFTM 0H	ILFTM 0L	ILI2C M1H	ILI2C M1L	ILI2C M0H	ILI2C M0L	—	—	ILEXT XH	ILEXT XL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15,14	ILTM1H, ILTM1L	16 ビットタイマ 1 割込み (TM1INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
13,12	ILTM0H, ILTM0L	16 ビットタイマ 0 割込み (TM0INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
11,10	ILFTM1H, ILFTM1L	ファンクショナルタイマ 1 割込み (FTM1INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
9,8	ILFTM0H, ILFTM0L	ファンクショナルタイマ 0 割込み (FTM0INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
7,6	ILI2CM1H, ILI2CM1L	I ² C バスマスタ 1 割込み (I2CM1INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
5,4	ILI2CM0H, ILI2CM0L	I ² C バスマスタ 0 割込み (I2CM0INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)

ビット 番号	ビットシンボル 名	説明
3,2	—	予約ビット
1,0	ILEXTXH, ILEXTXL	拡張外部割込み (EXTXINT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)

【注意】

- 書き込みは、割込み禁止状態 (IE1～IE7 レジスタ=“00H”，またはマスタインタラプトイネーブルフラグ (MIE) が“0”の状態)で行ってください。割込み許可状態 (IE1～IE7 レジスタのいずれかのビットが“1”，かつ MIE が“1”の状態)で書き込むと、意図しない割込みレベルで割込みが発生する場合があります。

5.2.16 割込みレベル制御レジスタ 4 (ILC4)

本レジスタは対応するマスカブル割込み要因ごとの割込みレベルを設定する特殊機能レジスタ(SFR)です。

商品により未実装の割込みのレベル設定ビットは書き込み無効です。読出し値は 0 です。

ビットの搭載有無については「表 5-1 割込み機能の搭載有無」を参照してください。

割込みレベル制御許可レジスタ(ILEN)の ILE ビットを“1”にし、割込みレベル制御を許可した場合のみ書き込めます。

アドレス: 0xF03C (ILC40/ILC4), 0xF03D (ILC41)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	ILC4															
バイト	ILC41								ILC40							
ビット	ILTM3H	ILTM3L	ILTM2H	ILTM2L	ILFTM3H	ILFTM3L	ILFTM2H	ILFTM2L	—	—	ILSIU11H	ILSIU11L	ILSIU10H	ILSIU10L	ILI2CU0H	ILI2CU0L
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15,14	ILTM3H, ILTM3L	16 ビットタイマ 3 割込み(TM3INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
13,12	ILTM2H, ILTM2L	16 ビットタイマ 2 割込み(TM2INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
11,10	ILFTM3H, ILFTM3L	ファンクショナルタイマ 3 割込み(FTM3INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
9,8	ILFTM2H, ILFTM2L	ファンクショナルタイマ 2 割込み(FTM2INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
7,6	—	予約ビット
5,4	ILSIU11H, ILSIU11L	シリアル通信ユニット 11 割込み(SIU11INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)

ビット 番号	ビットシンボル 名	説明
3,2	ILSIU10H, ILSIU10L	シリアル通信ユニット 10 割込み (SIU10INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
1,0	ILI2CU0H, ILI2CU0L	I ² C バスユニット 0 割込み (I2CU0INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)

【注意】

- 書き込みは、割込み禁止状態 (IE1～IE7 レジスタ=“00H”，またはマスタインタラプトイネーブルフラグ (MIE) が“0”の状態)で行ってください。割込み許可状態 (IE1～IE7 レジスタのいずれかのビットが“1”，かつ MIE が“1”の状態)で書き込むと、意図しない割込みレベルで割込みが発生する場合があります。

5.2.17 割込みレベル制御レジスタ 5 (ILC5)

本レジスタは対応するマスカブル割込み要因ごとの割込みレベルを設定する特殊機能レジスタ (SFR) です。

商品により未実装の割込みのレベル設定ビットは書き込み無効です。読出し値は 0 です。

ビットの搭載有無については「表 5-1 割込み機能の搭載有無」を参照してください。

割込みレベル制御許可レジスタ (ILEN) の ILE ビットを“1”にし、割込みレベル制御を許可した場合のみ書き込みます。

アドレス: 0xF03E (ILC50/ILC5), 0xF03F (ILC51)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	ILC5															
バイト	ILC51								ILC50							
ビット	ILTM5H	ILTM5L	ILTM4H	ILTM4L	ILFTM5H	ILFTM5L	ILFTM4H	ILFTM4L	ILCMP1H	ILCMP1L	ILCMP0H	ILCMP0L	ILSIU21H	ILSIU21L	ILSIU20H	ILSIU20L
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15,14	ILTM5H, ILTM5L	16 ビットタイマ 5 割込み (TM5INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
13,12	ILTM4H, ILTM4L	16 ビットタイマ 4 割込み (TM4INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
11,10	ILFTM5H, ILFTM5L	ファンクショナルタイマ 5 割込み (FTM5INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
9,8	ILFTM4H, ILFTM4L	ファンクショナルタイマ 4 割込み (FTM4INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
7,6	ILCMP1H, ILCMP1L	アナログコンパレータ 1 割込み (CMP1INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
5,4	ILCMP0H, ILCMP0L	アナログコンパレータ 0 割込み (CMP0INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)

ビット 番号	ビットシンボル 名	説明
3,2	ILSIU21H, ILSIU21L	シリアル通信ユニット 21 割込み (SIU21INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)
1,0	ILSIU20H, ILSIU20L	シリアル通信ユニット 20 割込み (SIU20INT) のレベルを設定するビットです。 00: レベル 1 (割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4 (割込みレベル高)

【注意】

- 書き込みは、割込み禁止状態 (IE1～IE7 レジスタ=“00H”，またはマスタインタラプトイネーブルフラグ (MIE) が“0”の状態)で行ってください。割込み許可状態 (IE1～IE7 レジスタのいずれかのビットが“1”，かつ MIE が“1”の状態)で書き込むと、意図しない割込みレベルで割込みが発生する場合があります。

5.2.18 割込みレベル制御レジスタ 6（ILC6）

本レジスタは対応するマスカブル割込み要因ごとの割込みレベルを設定する特殊機能レジスタ(SFR)です。
商品により未実装の割込みのレベル設定ビットは書き込み無効です。読出し値は 0 です。
ビットの搭載有無については「表 5-1 割込み機能の搭載有無」を参照してください。
割込みレベル制御許可レジスタ(ILEN)の ILE ビットを“1”にし、割込みレベル制御を許可した場合のみ書き込めます。

アドレス: 0xF040 (ILC60/ILC6)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	ILC6															
バイト	—								ILC60							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	ILSIU31H	ILSIU31L	ILSIU30H	ILSIU30L
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～4	—	予約ビット
3,2	ILSIU31H, ILSIU31L	シリアル通信ユニット 31 割込み(SIU31INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
1,0	ILSIU30H, ILSIU30L	シリアル通信ユニット 30 割込み(SIU30INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)

- 【注意】
- 書き込みは、割込み禁止状態(IE1～IE7 レジスタ=“00H”，またはマスタインタラプトイネーブルフラグ(MIE)が“0”の状態)で行ってください。割込み許可状態(IE1～IE7レジスタのいずれかのビットが“1”，かつMIEが“1”の状態)で書き込むと、意図しない割込みレベルで割込みが発生する場合があります。

5.2.19 割込みレベル制御レジスタ 7 (ILC7)

ILC7 レジスタは対応するマスカブル割込み要因ごとの割込みレベルを設定する特殊機能レジスタ(SFR)です。

商品により未実装の割込みのレベル設定ビットは書き込み無効です。読出し値は 0 です。

ビットの搭載有無については「表 5-1 割込み機能の搭載有無」を参照してください。

割込みレベル制御許可レジスタ (ILEN) の ILE ビットを“1”にし、割込みレベル制御を許可した場合のみ書き込みます。

アドレス: 0xF042 (ILC70/ILC7), 0xF043 (ILC71)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	ILC7															
バイト	ILC71								ILC70							
ビット	—	—	ILRTCH	ILRTCL	ILLTBC2H	ILLTBC2L	ILLTBC1H	ILLTBC1L	—	—	ILLTBC0H	ILLTBC0L	—	—	—	—
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15,14	—	予約ビット
13,12	ILRTCH, ILRTCL	簡易 RTC 割込み(RTCINT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
11,10	ILLTBC2H, ILLTBC2L	低速タイムベースカウンタ 2 割込み(LTB2INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
9,8	ILLTBC1H, ILLTBC1L	低速タイムベースカウンタ 1 割込み(LTB1INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
7,6	—	予約ビット
5,4	ILLTBC0H, ILLTBC0L	低速タイムベースカウンタ 0 割込み(LTB0INT)のレベルを設定するビットです。 00: レベル 1(割込みレベル低) (初期値) 01: レベル 2 10: レベル 3 11: レベル 4(割込みレベル高)
3~0	—	予約ビット

【注意】

- 書き込みは、割込み禁止状態(IE1~IE7 レジスタ=“00H”, またはマスタインタラプトイネーブルフラグ(MIE)が“0”の状態)で行ってください。割込み許可状態(IE1~IE7 レジスタのいずれかのビットが“1”, かつ MIE が“1”の状態)で書き込むと、意図しない割込みレベルで割込みが発生する場合があります。

5.3 動作説明

マスカブル割込みの許可と禁止は、CPU のマスタ・インタラプト・イネーブル・フラグ (MIE) と各割込み許可レジスタ (IE1 ~7) で制御できます。

WDT 割込み (WDTINT) は、ノンマスカブル割込みのため、割込みの禁止はできません。

割込み条件が成立すると、CPU は各割込み要因ごとに決められた割込みベクタテーブルより分岐先アドレスを呼び出して、割込み移行サイクルを開始します。

割込みレベル制御機能無効時に複数の割込みが同時に発生した場合は、優先順位の高い割込み (割込み要因番号の小さい割込み) から実行され、優先順位の低い割込み (割込み要因番号の大きい割込み) は保留されます。

割込みレベル制御機能有効時に複数の割込みが同時に発生した場合は、割込みレベル値が最も高く、かつ、優先順位の高い割込みから実行され、優先順位の低い割込みは保留されます。

表 5-2 に割込み要因一覧を示します。

割込みベクタアドレスは、プログラム・メモリのベクタ・テーブル領域に定義されている割込みベクタテーブルのアドレスです。割込みベクタアドレスの詳細については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

表 5-2 割り込み要因一覧(1/2)

割り込み 要因番号 (優先順位)	レジスタ割り当て			割り込み ベクタ アドレス	マスク 可否	外部 内部 要因	割り込み要因	割り込み 要因略称
	IRQ (割り込み 要求)	IE (割り込み 許可)	ILC (割り込み レベル)					
1(高)	IRQ0[0]	—	—	0x0008	否	内部	WDT 割り込み	WDTINT
2	—	—	—	0x000A	否		—	—
3	IRQ0[6]	IE0[6]	ILC0[13:12]	0x000C	可		VLS0 割り込み	VLS0INT
4	—	—	—	0x000E	否		—	—
5	IRQ1[0]	IE1[0]	ILC1[1:0]	0x0010	可	外部	外部割り込み 0	EXI0INT
6	IRQ1[1]	IE1[1]	ILC1[3:2]	0x0012	可		外部割り込み 1	EXI1INT
7	IRQ1[2]	IE1[2]	ILC1[5:4]	0x0014	可		外部割り込み 2	EXI2INT
8	IRQ1[3]	IE1[3]	ILC1[7:6]	0x0016	可		外部割り込み 3	EXI3INT
9	IRQ1[4]	IE1[4]	ILC1[9:8]	0x0018	可		外部割り込み 4	EXI4INT
10	IRQ1[5]	IE1[5]	ILC1[11:10]	0x001A	可		外部割り込み 5	EXI5INT
11	IRQ1[6]	IE1[6]	ILC1[13:12]	0x001C	可		外部割り込み 6	EXI6INT
12	IRQ1[7]	IE1[7]	ILC1[15:14]	0x001E	可		外部割り込み 7	EXI7INT
13	IRQ2[0]	IE2[0]	ILC2[1:0]	0x0020	可	内部	クロックバックアップ割り込み	CBUIINT
14	IRQ2[1]	IE2[1]	ILC2[3:2]	0x0022	可		DMA 割り込み	DMACINT
15	IRQ2[2]	IE2[2]	ILC2[5:4]	0x0024	可		マイコンステータス割り込み ^{*1}	MCSINT
16	IRQ2[3]	IE2[3]	ILC2[7:6]	0x0026	可		シリアル通信ユニット 00 割り込み	SIU00INT
17	IRQ2[4]	IE2[4]	ILC2[9:8]	0x0028	可		シリアル通信ユニット 01 割り込み	SIU01INT
18	—	—	—	0x002A	否		—	—
19	IRQ2[6]	IE2[6]	ILC2[13:12]	0x002C	可		SA-ADC 割り込み	SADINT
20	—	—	—	0x002E	否		—	—
21	IRQ3[0]	IE3[0]	ILC3[1:0]	0x0030	可	外部	拡張外部割り込み	EXTXINT
22	—	—	—	0x0032	否	内部	—	—
23	IRQ3[2]	IE3[2]	ILC3[5:4]	0x0034	可		I ² C バスマスタ 0 割り込み	I2CM0INT
24	IRQ3[3]	IE3[3]	ILC3[7:6]	0x0036	可		I ² C バスマスタ 1 割り込み	I2CM1INT
25	IRQ3[4]	IE3[4]	ILC3[9:8]	0x0038	可		ファンクショナルタイマ 0 割り込み	FTM0INT
26	IRQ3[5]	IE3[5]	ILC3[11:10]	0x003A	可		ファンクショナルタイマ 1 割り込み	FTM1INT
27	IRQ3[6]	IE3[6]	ILC3[13:12]	0x003C	可		16 ビットタイマ 0 割り込み	TM0INT
28	IRQ3[7]	IE3[7]	ILC3[15:14]	0x003E	可		16 ビットタイマ 1 割り込み	TM1INT
29	IRQ4[0]	IE4[0]	ILC4[1:0]	0x0040	可	内部	I ² C バスユニット 0 割り込み	I2CU0INT
30	IRQ4[1]	IE4[1]	ILC4[3:2]	0x0042	可		シリアル通信ユニット 10 割り込み	SIU10INT
31	IRQ4[2]	IE4[2]	ILC4[5:4]	0x0044	可		シリアル通信ユニット 11 割り込み	SIU11INT
32	—	—	—	0x0046	否		—	—
33	IRQ4[4]	IE4[4]	ILC4[9:8]	0x0048	可		ファンクショナルタイマ 2 割り込み	FTM2INT
34	IRQ4[5]	IE4[5]	ILC4[11:10]	0x004A	可		ファンクショナルタイマ 3 割り込み	FTM3INT

*1 マイコンステータス割り込みは、以下のいずれかの割り込み要求が有効となったときに発生します。

- ・RAM のパリティ・エラー発生による割り込み要求
- ・自動 CRC 演算完了による割り込み要求
- ・データ・フラッシュの消去・書き込み完了による割り込み要求 それぞれの割り込み要求の許可／禁止は SFR で制御可能です。詳細は「第 29 章 安全機能」を参照してください。

表 5-2 割り込み要因一覧 (2/2)

割り込み 要因番号 (優先順位)	レジスタ割り当て			割り込み ベクタ アドレス	マスク 可否	外部 内部 要因	割り込み要因	割り込み 要因略称
	IRQ (割り込み 要求)	IE (割り込み 許可)	ILC (割り込み レベル)					
35	IRQ4[6]	IE4[6]	ILC4[13:12]	0x004C	可	内部	16 ビットタイマ 2 割り込み	TM2INT
36	IRQ4[7]	IE4[7]	ILC4[15:14]	0x004E	可		16 ビットタイマ 3 割り込み	TM3INT
37	IRQ5[0]	IE5[0]	ILC5[1:0]	0x0050	可		シリアル通信ユニット 20 割り込み	SIU20INT
38	IRQ5[1]	IE5[1]	ILC5[3:2]	0x0052	可		シリアル通信ユニット 21 割り込み	SIU21INT
39	IRQ5[2]	IE5[2]	ILC5[5:4]	0x0054	可		アナログコンパレータ 0 割り込み	CMP0INT
40	IRQ5[3]	IE5[3]	ILC5[7:6]	0x0056	可		アナログコンパレータ 1 割り込み	CMP1INT
41	IRQ5[4]	IE5[4]	ILC5[9:8]	0x0058	可		ファンクショナルタイマ 4 割り込み	FTM4INT
42	IRQ5[5]	IE5[5]	ILC5[11:10]	0x005A	可		ファンクショナルタイマ 5 割り込み	FTM5INT
43	IRQ5[6]	IE5[6]	ILC5[13:12]	0x005C	可		16 ビットタイマ 4 割り込み	TM4INT
44	IRQ5[7]	IE5[7]	ILC5[15:14]	0x005E	可		16 ビットタイマ 5 割り込み	TM5INT
45	IRQ6[0]	IE6[0]	ILC6[1:0]	0x0060	可	内部	シリアル通信ユニット 30 割り込み	SIU30INT
46	IRQ6[1]	IE6[1]	ILC6[3:2]	0x0062	可		シリアル通信ユニット 31 割り込み	SIU31INT
47	—	—	—	0x0064	否		—	—
48	—	—	—	0x0066	否		—	—
49	—	—	—	0x0068	否		—	—
50	—	—	—	0x006A	否		—	—
51	—	—	—	0x006C	否		—	—
52	—	—	—	0x006E	否		—	—
53	—	—	—	0x0070	否	内部	—	—
54	—	—	—	0x0072	否		—	—
55	IRQ7[2]	IE7[2]	ILC7[5:4]	0x0074	可		低速タイムベースカウンタ 0 割り込み	LTB0INT
56	—	—	—	0x0076	否		—	—
57	IRQ7[4]	IE7[4]	ILC7[9:8]	0x0078	可		低速タイムベースカウンタ 1 割り込み	LTB1INT
58	IRQ7[5]	IE7[5]	ILC7[11:10]	0x007A	可		低速タイムベースカウンタ 2 割り込み	LTB2INT
59	IRQ7[6]	IE7[6]	ILC7[13:12]	0x007C	可		簡易 RTC 割り込み	RTCINT
60(低)	—	—	—	0x007E	否		—	—

【注意】

- WDT 割り込み(WDTINT)は、ノンマスカブル割り込みです。割り込み処理中にノンマスカブル割り込みが発生した場合は、多重割り込みの許可／禁止に関係なく、割り込み処理を中断し、ノンマスカブル割り込みを優先して処理します。
- フェイルセーフのため、使用しない割り込みベクタも定義してください。使用しない割り込みが発生した場合は、CPU が暴走した可能性があります。無限ループを使って WDT オーバフローリセットを発生させ、LSI を初期化することを推奨します。

5.3.1 マスカブル割込み処理

MIE が“1”の状態では各割込みが発生すると、ハードウェアにて以下の処理が実施され、割込み処理に移行します。

1. プログラム・カウンタ(PC)を ELR1 に退避
2. CSR を ECSR1 に退避 (プログラム・メモリ空間 64K バイト以下の場合は処理されません)
3. PSW を EPSW1 に退避
4. PSW の ELEVEL に“1”を設定
5. MIE フラグを“0”にリセット
6. CSR に“0”を設定 (プログラム・メモリ空間 64K バイト以下の場合は処理されません)
7. 割込みベクタアドレスの値をプログラム・カウンタ(PC)に転送

5.3.2 ノンマスカブル割込み処理

割込みが発生すると、MIE の値に依存せず、ハードウェアにて以下の処理が実施され、割込み処理に移行します。

1. プログラム・カウンタ(PC)を ELR2 に退避
2. CSR を ECSR2 に退避 (プログラム・メモリ空間 64K バイト以下の場合は処理されません)
3. PSW を EPSW2 に退避
4. PSW の ELEVEL に“2”を設定
5. CSR に“0”を設定 (プログラム・メモリ空間 64K バイト以下の場合は処理されません)
6. 割込みベクタアドレスの値をプログラム・カウンタ(PC)に転送

5.3.3 ソフトウェア割込み処理

ソフトウェア割込みは、ソフトウェア内で任意に発生させる割込みです。

ソフトウェア内で SWI 命令を実行するとソフトウェア割込みが発生し、ハードウェアにて以下の処理が実施され、ソフトウェア割込み処理に移行します。ベクタテーブルは SWI 命令で指定します。

1. プログラム・カウンタ(PC)を ELR1 に退避
2. CSR を ECSR1 に退避 (プログラム・メモリ空間 64K バイト以下の場合は処理されません)
3. PSW を EPSW1 に退避
4. PSW の ELEVEL に“1”を設定
5. MIE フラグを“0”に設定
6. CSR に“0”を設定 (プログラム・メモリ空間 64K バイト以下の場合は処理されません)
7. 割込みベクタアドレスの値をプログラム・カウンタ(PC)に転送

MIE, プログラム・カウンタ(PC), ELR1, CSR, ECSR1, PSW, EPSW1, ELEVEL, ELR2, ECSR2, EPSW2, ベクタテーブルについては、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

5.3.4 割込みルーチンでの注意事項（割込みレベル制御禁止時）

割込みレベル制御許可レジスタ (ILEN) の ILE ビットに“0”を書き込むと割込みレベル制御が禁止になります。
割込みレベル制御を使用していない場合、以下のそれぞれの状態における注意事項について示します。

- ・ マスカブル割込み実行中 (状態 A) での割込みルーチン内でサブルーチンを呼び出す場合／呼び出さない場合
- ・ ノンマスカブル割込み実行中 (状態 B) での割込みルーチン内でサブルーチンを呼び出す場合／呼び出さない場合

状態 A: マスカブル割込み実行中

A-1: 割込みルーチン内でサブルーチンを呼び出さない場合

A-1-1: 多重割込みを禁止する場合

・アセンブリ言語で記述する場合

・割込みルーチン実行開始直後の処理

注意すべき事項は特にありません。

・割込みルーチン実行終了時の処理

RTI 命令を配置し、PC に ELR レジスタの内容を、PSW に EPSW レジスタの内容を復帰させます。

・C 言語で記述する場合

INTERRUPT プラグマを使って割込みルーチンを定義し、category フィールドに“1”を指定します。このように指定することにより、C コンパイラが適切なコードを生成します。

記述例: 状態 A-1-1

アセンブリ言語の場合:

```
Intrpt_A-1-1;           ;A-1-1 の状態
    DI                  ;割込み禁止
    :
    :
    :
    RTI                 ;PC を ELR より復帰
                        ;PSW を EPSW より復帰
                        ;割込みルーチン終了
```

C 言語の場合:

```
static void Intrpt_A_1_1(void);
#pragma interrupt Intrpt_A_1_1 0x10 1
static void Intrpt_A_1_1(void)
{
    __DI();              /* 割込み禁止 */
    :
}                        /* 割込みルーチン終了 */
```

A-1-2: 多重割り込みを許可する場合

• アセンブリ言語で記述する場合

• 割り込みルーチン実行開始直後の処理

“PUSH ELR, EPSW”を指定し、割り込みの戻り番地と PSW の状態をスタックに退避します。

• 割り込みルーチン実行終了時の処理

RTI 命令の代わりに“POP PC, PSW”を指定し、PC と PSW にスタックの内容を復帰させます。

• C 言語で記述する場合

INTERRUPT プラグマを使って割り込みルーチンを定義し、category フィールドに“2”を指定します。このように指定することにより、C コンパイラが適切なコードを生成します。

記述例: 状態 A-1-2

アセンブリ言語の場合:

```
Intrpt_A-1-2;           ;開始
    PUSH ELR, EPSW      ;先頭で ELR, EPSW を退避
    :
    :
    EI                  ;割り込み許可
    :
    POP PSW, PC          ;PC をスタックより復帰
                        ;PSW をスタックより復帰
                        ;割り込みルーチン終了
```

C 言語の場合:

```
static void Intrpt_A_1_2(void);
#pragma interrupt Intrpt_A_1_2 0x20 2
static void Intrpt_A_1_2(void)
{
    __EI();              /* 割り込み許可 */
    :
}                        /* 割り込みルーチン終了 */
```

A-2: 割込みルーチン内でサブルーチンを呼び出す場合

A-2-1: 多重割込みを禁止する場合

• アセンブリ言語で記述する場合

• 割込みルーチン実行開始直後の処理

“PUSH LR” 命令を指定し、サブルーチンの戻り番地をスタックに退避します。

• 割込みルーチン実行終了時の処理

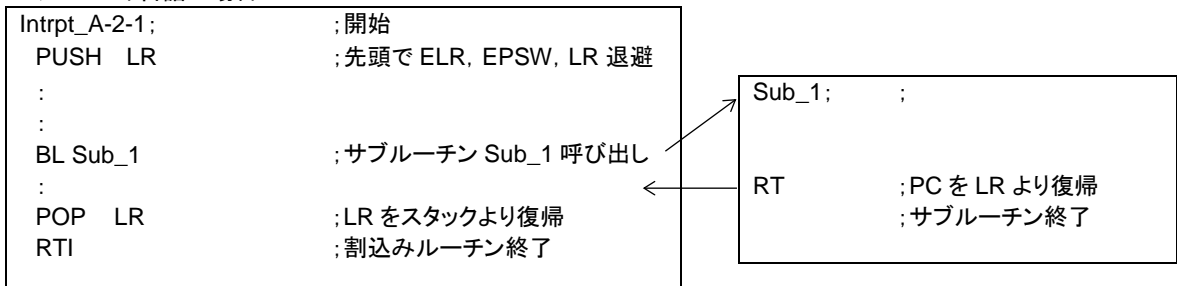
RTI 命令の直前に“POP LR”を指定し、サブルーチンの戻り番地を LR に復帰させた後、割込みから復帰します。

• C 言語で記述する場合

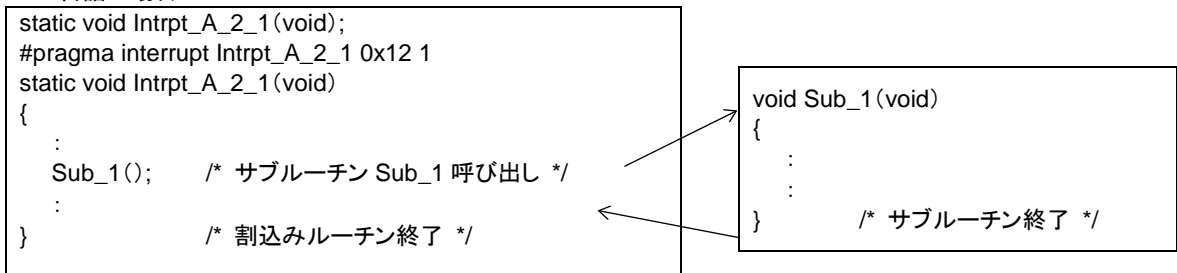
INTERRUPT プラグマを使って割込みルーチンを定義し、category フィールドに“1”を指定します。このように指定することにより、C コンパイラが適切なコードを生成します。

記述例: 状態 A-2-1

アセンブリ言語の場合:



C 言語の場合:



【注意】

- 多重割込みを禁止にした割込みルーチンから呼び出されるサブルーチン内では、割込みを許可しないでください。許可した場合、多重割込みが発生した際にプログラムが暴走する恐れがあります。

A-2-2: 多重割り込みを許可する場合

- アセンブリ言語で記述する場合
 - 割り込みルーチン実行開始直後の処理

“PUSH LR, ELR, EPSW, LR”を指定し、割り込みの戻り番地、サブルーチンの戻り番地および EPSW1 の状態をスタックに退避します。
 - 割り込みルーチン実行終了時の処理

RTI 命令の代わりに“POP PSW, PC, LR”を指定し、割り込みの戻り番地の退避データは PC へ、EPSW1 の退避データは PSW へ、LR の退避データは LR へ復帰させます。
- C 言語で記述する場合

INTERRUPT プラグマを使って割り込みルーチンを定義し、category フィールドに“2”を指定します。このように指定することにより、C コンパイラが適切なコードを生成します。

記述例: 状態 A-2-2

アセンブリ言語の場合:

```
Intrpt_A-2-2;           ;開始
PUSH ELR, EPSW, LR      ;先頭で ELR, EPSW, LR 退避
:
EI                       ;割り込み許可
:
:
BL Sub_1                ;サブルーチン Sub_1 呼び出し
:
POP PSW, PC, LR         ;PC をスタックより復帰
                        ;PSW をスタックより復帰
                        ;LR をスタックより復帰
                        ;割り込みルーチン終了
```

```
Sub_1;                  ;
DI                      ;割り込み禁止
:
EI                      ;割り込み許可
RT                      ;PC を LR より復帰
                        ;サブルーチン終了
```

C 言語の場合:

```
static void Intrpt_A_2_2(void);
#pragma interrupt Intrpt_A_2_2 0x22 2
static void Intrpt_A_2_2(void)
{
    :
    __EI();              /* 割り込み許可 */
    :
    Sub_1();             /* サブルーチン Sub_1 呼び出し */
    :
    /* 割り込みルーチン終了 */
}
```

```
void Sub_1(void)
{
    __DI();              /* 割り込み禁止 */
    :
    __EI();              /* 割り込み許可 */
    /* サブルーチン終了 */
}
```

状態 B: ノンマスカブル割り込み実行中

B-1: 割り込みルーチン内でサブルーチンを呼び出さない場合

- アセンブリ言語で記述する場合
 - 割り込みルーチン実行開始直後の処理
“PUSH ELR, EPSW”を指定し、割り込みの戻り番地と PSW の状態を、スタックに退避します。
 - 割り込みルーチン実行終了時の処理
“POP PSW, PC”を指定し、PC と PSW にスタックの内容を復帰させます。
- C 言語で記述する場合
INTERRUPT プラグマを使って割り込みルーチンを定義し、category フィールドに“2”を指定します。このように指定することにより、C コンパイラが適切なコードを生成します。

記述例: 状態 B-1

アセンブリ言語の場合:

Intrpt_B-1;	; B-1 の状態
PUSH ELR, EPSW	; 先頭で ELR, EPSW を退避
:	
:	
POP PSW, PC	; PC をスタックより復帰
	; PSW をスタックより復帰
	; LR をスタックより復帰
	; 割り込みルーチン終了

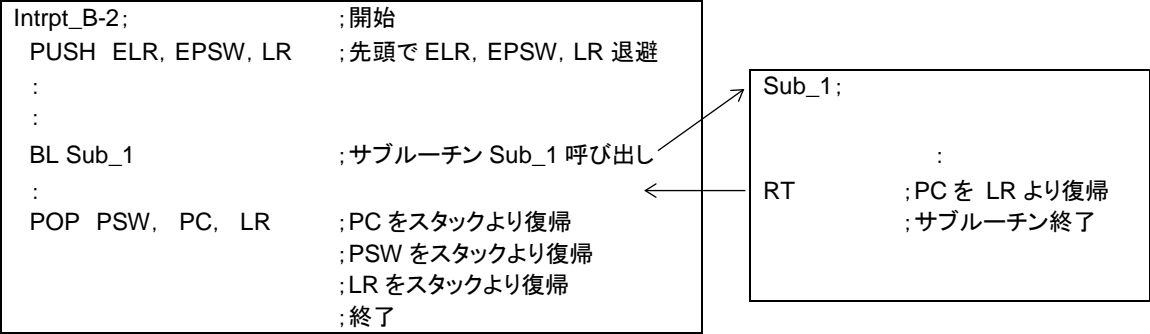
C 言語の場合:

static void Intrpt_B_1(void);	
#pragma interrupt Intrpt_B_1 0x08 2	
static void Intrpt_B_1(void)	
{	
:	
}	/* 割り込みルーチン終了 */

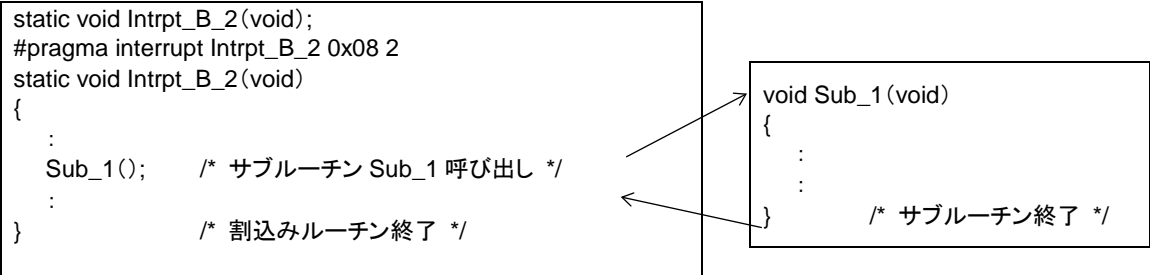
- B-2: 割込みルーチン内でサブルーチンを呼び出す場合
- アセンブリ言語で記述する場合
 - 割込みルーチン実行開始直後の処理
“PUSH ELR, EPSW, LR”を指定し、割込みの戻り番地、サブルーチンの戻り番地および EPSW の状態をスタックに退避します。
 - 割込みルーチン実行終了時の処理
“POP PSW, PC, LR”を指定し、割込みの戻り番地の退避データは PC へ、EPSW の退避データは PSW へ、LR の退避データは LR へ復帰させます。
 - C 言語で記述する場合
INTERRUPT プラグマを使って割込みルーチンを定義し、category フィールドに“2”を指定します。このように指定することにより、C コンパイラが適切なコードを生成します。

記述例: 状態 B-2

アセンブリ言語の場合:



C 言語の場合:



5.3.5 割込みレベル制御許可時のフローチャート

図 5-1 に、割込みレベル制御許可時における、多重割込み禁止の場合／許可の場合、それぞれのソフトウェア割込み処理(マスカブル割込み)のフローチャートを示します。

多重割込み許可時は、多重割込みによって ELR1, ECSR (プログラムメモリ空間 64K バイト以下の製品は処理されません)、および EPSW1 が上書きによって破壊されないようスタック(RAM)に退避します。また、EI 命令、DI 命令により、“目的の処理の実行”中に高いレベルのマスカブル割込み要求による多重割込みの実行が許可されます。

なお、マスカブル割込み処理中にノンマスカブル割込みが発生した場合は、多重割込みの許可／禁止、および EI 命令の実行に関わらずノンマスカブル割込みに移行します。

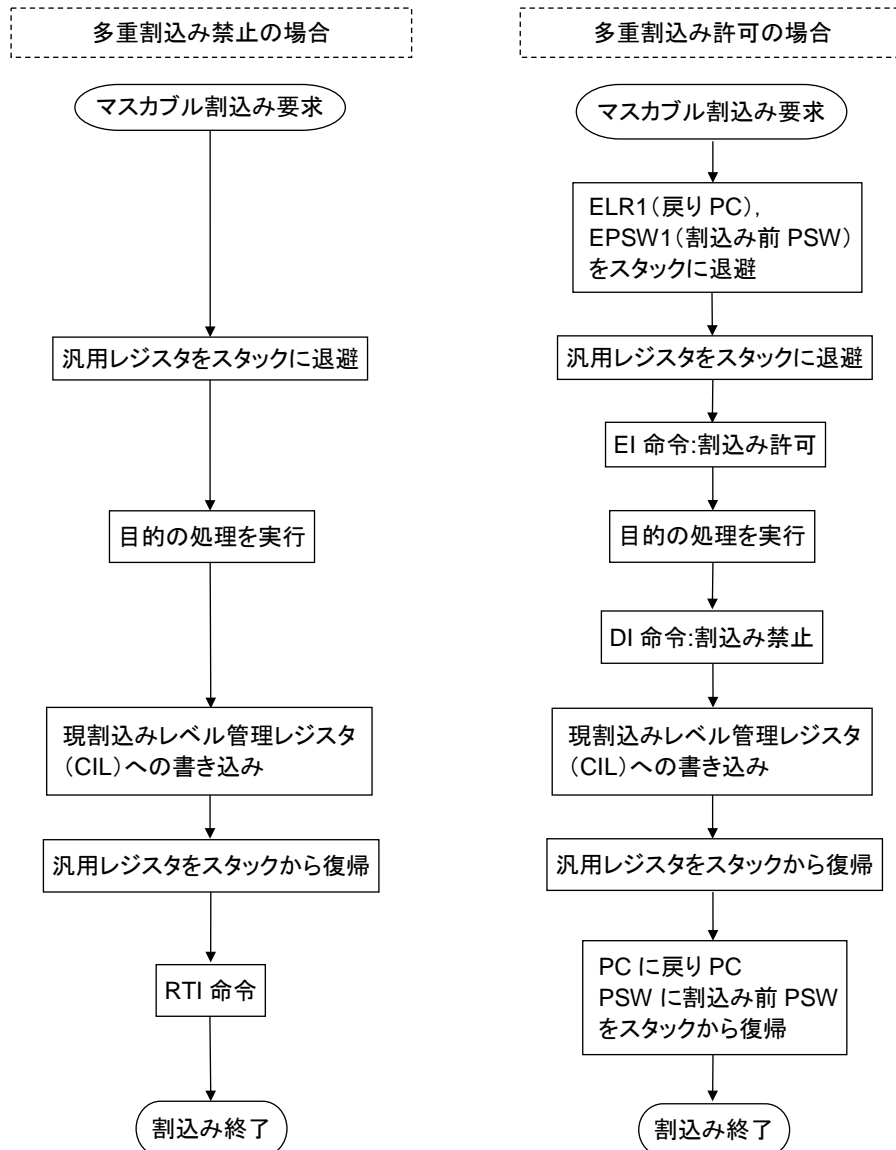


図 5-1 マスカブル割込み処理フロー

【注意】

- ノンマスカブル割込み処理は、多重割込み許可の場合のフローチャートを使用してください。スタックに退避するレジスタは ELR2, EPSW2 となります。
- C 言語で記述する場合、レジスタ類の退避／復帰処理コードは C コンパイラが生成するためプログラム記述は必要ありません。ただし、EI 命令、DI 命令による割込みの許可／禁止設定、および現割込みレベル管理レジスタ(CIL)の書き込み処理はプログラム記述が必要です。具体的な記述方法については、「5.3.6 割込みレベル制御許可時の割込み処理の記述方法」を参照してください。

5.3.6 割込みレベル制御許可時の割込み処理の記述方法

本項では、割込みレベル制御許可レジスタ (ILEN) の ILE を割込みレベル制御許可に設定した場合の割込み関数の記述例を記します。詳細な割込み処理の記述方法、注意事項については、C コンパイラのプログラミングガイドを参照してください。

5.3.6.1 多重割込み禁止の割込み関数の記述

多重割込み禁止の割込み関数を記述する場合、INTERRUPT プラグマおよび SWI プラグマの category フィールドで“1”を指定します。多重割込みを禁止する割込み関数内で組み込み関数 __EI を呼び出すと、C コンパイラはエラーを表示します。

目的の割込み処理が完了後、CIL レジスタに書き込みを行い、最上位の現割込み要求レベル (CILMn ビット) を“0”にクリアする必要があります。クリアしない場合は、現割込み要求レベル以下の割込みが受け付けられません。

記述例

```
static void intr_fn_0A(void);
#pragma interrupt intr_fn_0A 0x0A 1
volatile unsigned short TM1msec;
static void intr_fn_0A(void)
{
    TM1msec++;
    CIL=0;          /*最上位の現割込み要求レベルをクリア*/
}
```

例のように記述すると intr_fn_0A は多重割込みを禁止する割込み処理関数として扱われます。C コンパイラは次のようなアセンブリコードを出力します。

出力例

```
_intr_fn_0A:
push    er0
;;TM1msec++;
l        er0,    NEAR _TM1msec
add     er0,    #1
st      er0,    NEAR _TM1msec
;;}
;;CIL = 0;
mov     r0,    #00h
st      r0,    0f022h
;;}
pop     er0
rti
```

割込み関数では、割込み処理内で使用される可能性のあるレジスタ(ここでは ER0 のみ)をスタックに保存します。多重割込み禁止の割込み関数から復帰する場合には“RTI”が使用されます。割込み関数から他の関数を呼び出す場合の例を以下に示します。

記述例

```
static void intr_fn_10(void);  
#pragma interrupt intr_fn_10 0x10 1  
void func(void);  
static void intr_fn_10(void)  
{  
    func();  
    CIL=0;          /*最上位の現割込み要求レベルをクリア*/  
}
```

出力例

```
_intr_fn_10:  
    push    lr,      ea  
    push    xr0  
    l       r0,      DSR  
    push    r0  
  
    ;;func();  
    bl      _func  
  
    ;;}  
    ;;CIL = 0;  
    mov     r0,      #00h  
    st      r0,      0f022h  
    ;;}  
    pop     r0  
    st      r0,      DSR  
    pop     xr0  
    pop     ea,      lr  
    rti
```

割込み関数から他の関数を呼び出す場合の出力コードは、割込み関数から他の関数を呼び出さない場合と比較して冗長になり、割込みの処理時間も長くなります。これは、C コンパイラには関数 func がどのようなレジスタを使用するかが分からないため、func を呼び出すことによって変更される可能性のあるレジスタをすべてスタックに退避してしまうためです。

【注意】

- 多重割込みを禁止にした関数から呼び出される関数内では、割込みを許可しないでください。許可した場合、多重割込みが発生した際にプログラムが暴走する恐れがあります。

5.3.6.2 多重割り込み許可の割り込み関数の記述

多重割り込み許可の割り込み関数を記述する場合、INTERRUPT プラグマおよび SWI プラグマの **category** フィールドで“2”を指定します。**category** フィールドでの指定を省略しても多重割り込み許可となります。多重割り込みを許可する割り込み関数内では、組み込み関数 **__EI** を呼び出すことができます。

記述例

```
static void intr_fn_20(void);
volatile unsigned short TM2msec;
#pragma interrupt intr_fn_20 0x20 2
static void intr_fn_20(void)
{
    __EI();          /* 多重割り込み許可 */

    TM2msec++;
    __DI();          /* 多重割り込み禁止 */

    CIL = 0;         /* 最上位の現割り込み要求レベルをクリア */
}
```

例のように記述すると、**intr_fn_20()** は多重割り込みを許可する割り込み処理関数として扱われます。C コンパイラは次のようなアセンブリコードを出力します。

出力例

```
_intr_fn_20:
    push    elr,      epsw
    push    er0

    ;;__EI();          /* 多重割り込み許可 */
    ei

    ;;TM1msec++;
    l       er0,      NEAR _TM2msec
    add     er0,      #1
    st      er0,      NEAR _TM2msec
    ;;__DI();          /* 多重割り込み禁止 */
    di
    ;;}
    ;;CIL = 0;
    mov     r0,      #00h
    st      r0,      0f022h
    ;;}
    pop     er0
    pop     psw,      pc
```

多重割り込み許可の割り込み関数では、多重割り込みによって **ELR** と **EPSW** が破壊されないよう **ELR** と **EPSW** をスタックに退避します。この部分が多重割り込み禁止の割り込み関数と異なります。また割り込み関数から復帰する場合には“**RTI**”ではなく、“**POP PSW, PC**”を使用します。

5.3.7 割込み禁止状態

割込み禁止状態とは、割込み条件が成立していても割込みを一切受け付けない動作状態を指します。割込み禁止状態と、その状態における割込み動作について説明します。

状態 1. 割込み移行サイクルと、割込みルーチンの先頭にある命令の間
ここで割込み条件が成立した場合、すでに許可されている割込みと対応する割込みルーチンの先頭にある命令の実行直後に割込みが発生します。

状態 2. DSR プリフィックスコードと次の命令の間
ここで割込み条件が成立した場合、DSR プリフィックスコードと、次の命令実行直後に割込みが発生します。

DSR プリフィックスコードについては、『nX-U16/100 コア インストラクションマニュアル』を参照してください。

5.3.8 IRQ01/IRQ23/IRQ45/IRQ67 の書き込み

IRQ01/IRQ23/IRQ45/IRQ67 の書き込みは、ビットシンボルを使ってください。
ビットシンボル QLTBC0 に“0”を書き込むときの記述例を以下に示します。

記述例

```
#define clear_bit(n)      ((n) = 0)
```

```
clear_bit(QLTBC0)
```

※“n”にはユーザーズマニュアル記載のビットシンボルを入力します。

第 6 章 クロック発生回路

6. クロック発生回路

6.1 概要

クロック発生回路は、以下のクロックを生成し、CPU および周辺回路に供給します。

表 6-1 クロック発生回路により生成されるクロック

クロック名	略称	説明
低速クロック	LSCLK	周辺回路の低速動作クロック (32.768kHz)
簡易 RTC 用クロック	RTCCLK	簡易 RTC に供給される低速動作クロック (32.768kHz)
高速クロック	HSCLK	周辺回路の高速動作クロック (最大周波数 24MHz) コードオプションにより選択 24MHz (LSCLK の 732 通倍=23.9876176MHz) 16MHz (LSCLK の 488 通倍=15.990784MHz)
CPU クロック	CPUCLK	CPU の動作クロック (約 32.768kHz または最大周波数 24MHz) 最大周波数は、CPU 動作モードで異なります (表 6-2 参照)
システムクロック	SYSTEMCLK	システム制御のクロックです。周波数は CPU クロックと同じです。
低速出力クロック	OUTLSCLK	汎用入出力ポートから出力する低速クロック (32.768kHz)
高速出力クロック	OUTHCLK	汎用入出力ポートから出力する高速クロック (最大周波数 12MHz)
WDT クロック	WDTCLK	ウォッチドッグタイマ用クロック (約 1kHz)

6.1.1 特長

- 低速発振回路
 - － 低速 RC 発振回路
 - － 周波数補正機能により $\pm 1\%$ に補正可能 ($VDD \geq 1.8V$)
 - － 水晶振動子を接続可能
 - － 低速水晶発振回路停止時、低速 RC 発振回路に自動的に切り替え (クロックバックアップ機能)
 - － 低速外部クロックを XT1 端子より入力可能^{*1}
 - － 低速水晶発振クロック／低速外部クロックはリセット入力端子リセット時もクロックの供給を継続
- 簡易 RTC 用クロック
 - － 低速クロックで動作
- 高速発振回路
 - － PLL 発振モード (PLL 基本周波数は、コードオプションにより 16MHz／24MHz が選択可能)
 - － 高速クロック起動時間選択可能
- WDT クロック
 - － RC1K 発振回路
 - － WDT クロックは、コードオプションにより LSCLK から分周した 1.024kHz、または RC1K 発振が選択可能

表 6-2 に CPU 動作モードと PLL 基本周波数の関係を示します。

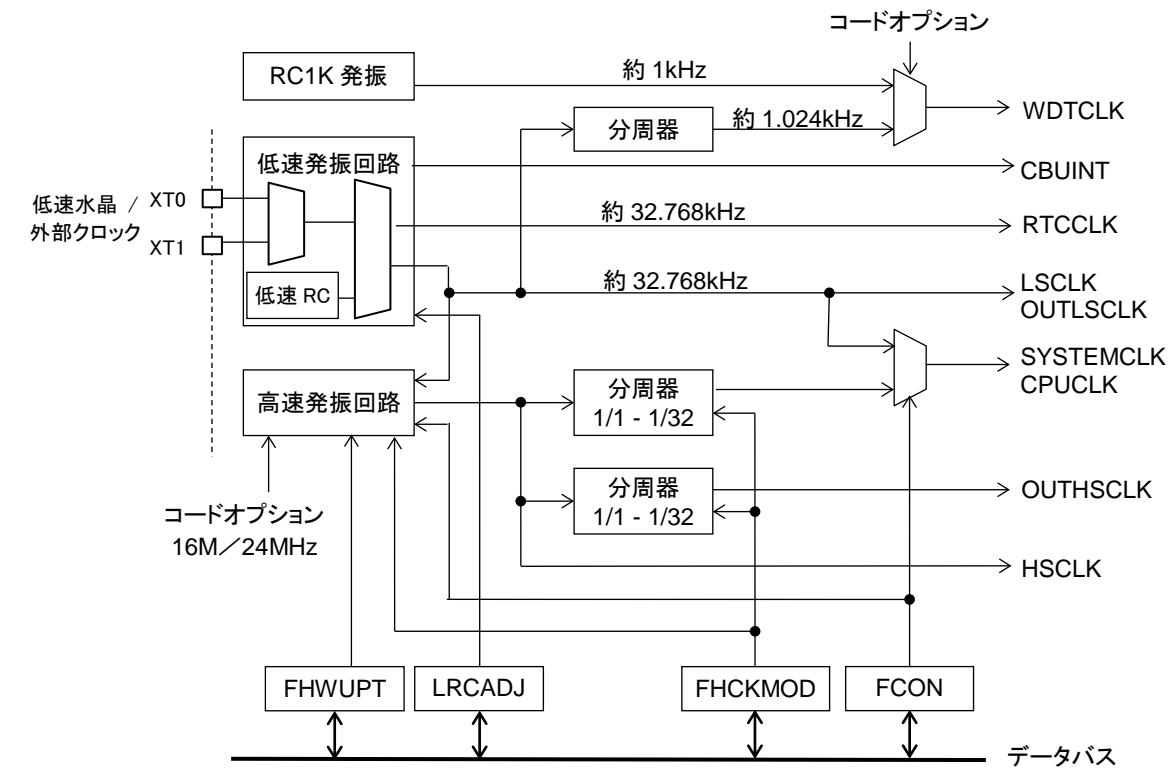
CPU 動作モードと PLL 基本周波数は、コードオプションで選択できます。詳細は、「第 26 章 コードオプション」を参照してください。

表 6-2 CPU 動作モードと PLL 基本周波数との関係

PLL 基本周波数			最大動作周波数		
コードオプション 選択	LSCLK 通倍数	周波数	SYSTEMCLK		HSCLK
			ウェイトモード	ノーウェイトモード	
24MHz	732 通倍	23.9876176MHz	24MHz	6MHz	24MHz
16MHz	488 通倍	15.990784MHz	16MHz	8MHz	16MHz

6.1.2構成

図 6-1 にクロック発生回路の構成を示します。
表 6-3 に各機能の動作クロック一覧を示します。



- FHCKMOD : 高速クロックモードレジスタ
FCON : 周波数コントロールレジスタ
FHWUPT : 高速クロック起動時間設定レジスタ
LRCADJ : 低速 RC 発振周波数補正レジスタ
CBUINT : クロックバックアップ割込み

図 6-1 クロック発生回路の構成

【注意】

- 電源起動後またはシステムリセット後の SYSTEMCLK は、LSCCLK(32.768kHz)で動作を開始します。

表 6-3 各機能の動作クロック一覧

機能	システムクロック または CPU クロック SYSTEMCLK/ CPUCLK	低速クロック LSCLK	簡易 RTC 用クロック RTCCLK	高速クロック HCLK	WDT クロック WDTCLK
CPU	●	—	—	—	—
RAM	●	—	—	—	—
ウォッチドッグタイマ	●	—	—	—	●
外部割込み制御 ^{*1}	●	● ^{*1}	—	● ^{*1}	—
低速タイムベースカウンタ	●	●	—	—	—
16 ビットタイマ	●	●	—	●	—
ファンクショナルタイマ	●	●	—	●	—
シリアル通信ユニット	●	●	—	●	—
I ² C バスユニット	●	●	—	●	—
I ² C バスマスタ	●	—	—	●	—
ブザー	●	●	—	—	—
逐次比較型 A/D コンバータ	●	●	—	●	—
D/A コンバータ	●	—	—	—	—
アナログコンパレータ	●	● ^{*1}	—	● ^{*1}	—
電圧レベル監視機能 (VLS)	●	● ^{*1}	—	● ^{*1}	—
簡易 RTC	●	—	●	—	—
LCD ドライバ ^{*2}	●	●	—	—	—
DMA コントローラ	●	—	—	—	—
CRC 演算器	●	—	—	—	—
フラッシュ・メモリ (BGO 動作)	●	—	—	●	—

●: クロックは供給している —: クロックは供給していない

^{*1}: 起動制御またはサンプリング用クロックとして供給されています。^{*2}: ML62Q1500C グループを除く

6.1.3 端子一覧

高速／低速クロックの出力端子は、汎用ポートの兼用機能に割り付けられています。
汎用ポートの兼用機能については、表 1-5、表 1-6 の端子一覧を参照してください。

端子名	I/O	機能
OUTLSCLK	O	低速クロック出力
OUTHCLK	O	高速クロック出力
XT0	I	低速水晶振動子接続端子
XT1	O/I	低速水晶振動子接続端子／低速外部クロック入力

6.2 レジスタ説明

6.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF002	高速クロックモードレジスタ	FHCKMODL	FHCKMOD	R/W	8/16	0x00
0xF003		FHCKMODH		R/W	8	0x44
0xF004	低速クロックモードレジスタ	FLMOD	—	R/W	8	0x00
0xF005	予約レジスタ	—	—	—	—	—
0xF006	周波数コントロールレジスタ	FCON	—	R/W	8	0x00
0xF007	予約レジスタ	—	—	—	—	—
0xF008	高速クロック起動時間設定レジスタ	FHWUPT	—	R/W	8	0x00
0xF009	予約レジスタ	—	—	—	—	—
0xF00A	バックアップコントロールレジスタ * ¹	FBUCON	—	R/W	8	0x00
0xF00B	予約レジスタ	—	—	—	—	—
0xF00C	バックアップクロックステータスレジスタ * ¹	FBUSTAT	—	R	8	0x01
0xF00D	予約レジスタ	—	—	—	—	—
0xF080	低速 RC 発振周波数補正レジスタ	LRCADJ	—	R/W	8	0x00
0xF0C4	クロックバックアップテストモードアクセプタ * ¹	FBTACP	—	R/W	8	0x00
0xF0C5	予約レジスタ	—	—	—	—	—
0xF0C6	クロックバックアップテストモードレジスタ * ¹	FBTCON	—	R/W	8	0x00
0xF0C7	予約レジスタ	—	—	—	—	—

6.2.2 高速クロックモードレジスタ (FHCKMOD)

本レジスタは、高速発振回路 (PLL 発振回路) の発振モードと高速クロックの周波数を選択する特殊機能レジスタ (SFR) です。

アドレス: 0xF002 (FHCKMODL/FHCKMOD), 0xF003 (FHCKMODH)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x4400

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FHCKMOD															
バイト	FHCKMODH								FHCKMODL							
ビット	—	OUTC2	OUTC1	OUTC0	—	SYSC2	SYSC1	SYSC0	—	—	—	—	—	—	—	HOSCM0
R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W
初期値	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	—	予約ビット
14～12	OUTC2～OUTC0	汎用ポートから出力される高速出力クロック (OUTHCLK) の分周値を設定するビットです。 000: 設定禁止 (HCLK) 001: 1/2 HCLK 010: 1/4 HCLK 011: 1/8 HCLK 100: 1/16 HCLK (初期値) 101: 1/32 HCLK 110: 設定禁止 (1/32 HCLK) 111: 設定禁止 (1/32 HCLK)
11	—	予約ビット
10～8	SYSC2～SYSC0	システムクロックに使用する HCLK の分周値を設定するビットです。 システムクロックは、CPU の動作モードと PLL の発振モードの設定により、「表 6-2 CPU 動作モードと PLL 基本周波数との関係」の CPU の最大周波数を超えないように分周値を適切に調整してください。 000: ウェイトモード時: HCLK ノーウェイトモード時: 1/2 HCLK * ¹ 001: ウェイトモード時: 1/2 HCLK ノーウェイトモード時: 1/2 HCLK * ¹ 010: 1/4 HCLK 011: 1/8 HCLK 100: 1/16 HCLK (初期値) 101: 1/32 HCLK 110: 設定禁止 (1/32 HCLK) 111: 設定禁止 (1/32 HCLK) * ¹ : PLL 基本周波数が 24MHz の場合、設定禁止です。
7～1	—	予約ビット
0	HOSCM0	高速発振回路 (PLL 発振回路) の発振モードを設定するビットです。 0: PLL 発振モード (初期値) 1: 設定禁止 (PLL 発振モード)

【注意】

- V_{DD} の電圧が $1.6V \leq V_{DD} < 1.8V$ の場合、システムクロックは 4MHz 以下にしてください。4MHz を超えた場合の動作は保証されません。
- 高速出力クロック (OUTHCLK) は、 V_{DD} の電圧により出力クロック周波数の制限があります。
 - $1.6V \leq V_{DD} < 1.8V$: 4MHz 以下にしてください
 - $1.8V \leq V_{DD} \leq 5.5V$: 12MHz 以下にしてください

6.2.3 低速クロックモードレジスタ (FLMOD)

本レジスタは、低速クロック (LSCLK) を制御する特殊機能レジスタ (SFR) です。

FLMOD レジスタは、パワーオンリセットのみで初期化されます。

アドレス: 0xF004 (FLMOD)

アクセス: R/W

アクセスサイズ: 8 ビット

初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FLMOD							
ビット	—	—	—	—	—	—	—	—	LMOD 1	LMOD 0	—	LFLTS EL	—	—	LOSC M1	LOSC M0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7,6	LMOD1, LMOD0	<p>低速水晶発振回路 (外部クロック除く) のモードを設定するビットです。 このビットは LOSCM0 ビットが“1”の時は変更できません。</p> <p>00: 標準モード (初期値) 01: 低消費電流モード 10: 設定禁止 11: タフモード</p> <p>低消費電流モードは、発振余裕度を標準モードよりも小さくすることで消費電流を抑えたモードです。 タフモードは、発振余裕度を大きくして端子間リークに強くしたモードです。ただし、消費電流が増えます。</p>
5	—	予約ビット
4	LFLTSEL	<p>低速水晶発振クロック/低速外部クロックに対して、内蔵ノイズ除去フィルタの有無を選択するビットです。このビットは LOSCM0 ビットが“1”の時は変更できません。</p> <p>0: 内蔵ノイズ除去フィルタを使用する (初期値) 1: 内蔵ノイズ除去フィルタを使用しない</p>
3,2	—	予約ビット
1,0	LOSCM1, LOSCM0	<p>低速クロック (LSCLK) のクロック源を設定するビットです。低速クロックには、低速 RC 発振回路 (約 32.768kHz)、低速水晶発振回路 (32.768kHz)、および低速外部クロック入力 (32.768kHz) のいずれかを設定できます。</p> <p>00: 低速クロック (LSCLK) は低速 RC 発振クロックを選択 (初期値) 01: 低速クロック (LSCLK) は低速水晶発振クロックを選択 10: 設定禁止 (低速クロック (LSCLK) は低速 RC 発振クロックを選択した状態) 11: 低速クロック (LSCLK) は低速外部クロック入力 (XT1) を選択</p> <p>低速水晶発振クロックと低速外部クロック入力は、直接切り替えることはできません。 切り替える場合は必ず一度低速 RC 発振クロックに切り替えてください。</p>

【注意】

- FCON レジスタの ENOSC ビットが“1”のとき LOSCM1 ビット、LOSCM0 ビットの変更は禁止です。変更した場合は、動作保証されません。

6.2.4周波数コントロールレジスタ（FCON）

本レジスタは、クロック発生回路の制御とシステムクロックを選択する特殊機能レジスタ(SFR)です。

アドレス：0xF006(FCON)
アクセス：R/W
アクセスサイズ：8ビット
初期値：0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FCON							
ビット	—	—	—	—	—	—	—	—	LPLL	—	—	—	—	—	ENOSC	SELSCLK
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7	LPLL	PLL 発振周波数が目標の周波数誤差以内であることを示すビットです。 LPLL ビットは、読み出し専用ビットです。 0: PLL 発振周波数が目標誤差以外、または PLL 発振停止中（初期値） 1: PLL 発振周波数が目標誤差以内
6～2	—	予約ビット
1	ENOSC	高速クロックの発振許可／停止を設定するビットです。 0: 高速クロック発振停止（初期値） 1: 高速クロック発振許可
0	SELSCLK	システムクロックを選択するビットです。 高速クロック発振を停止した場合（ENOSC ビット=“0”）、SELSCLK ビットは“0”固定となり、システムクロックには低速クロック(LSCLK)が供給されます。 0: LSCLK（初期値） 1: SYSC2 ビット～SYSC0 ビットで選択した高速クロック

【注意】

- ENOSC ビットおよび SELSCLK ビットは、HALT-H モード解除後、強制的に“1”になります。

6.2.5高速クロック起動時間設定レジスタ（FHWUPT）

本レジスタは、高速クロックの起動時間を選択する特殊機能レジスタ(SFR)です。
FHWUPT レジスタは、高速発振停止中にのみ書き込むことができます。
スタンバイモードからの復帰時間については、第 4 章「表 4-5 スタンバイモードからの起動時間」を参照してください。

アドレス: 0xF008 (FHWUPT)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FHWUPT							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	rsvd	rsvd	FHUT 0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～3	—	予約ビット
2,1	rsvd	予約ビットです。“0”を書き込んでください。
0	FHUT0	高速クロックの起動時間を選択するビットです。 高速クロックを発振許可してから、周波数が安定した後に供給を開始するか、周波数安定する前に供給を開始するかを選択できます。周波数が安定する前に供給開始を選択した場合、高速クロックを発振許可してから約 30μs 後に供給が開始され、徐々に周波数が上昇し約 2ms 経過までに目標の周波数に到達します。この期間の周波数は保証されませんが、システムクロックとして使用できます。 0: 周波数安定後に供給開始: 約 2.5ms（初期値） 1: 周波数安定前に供給開始: 約 30μs

6.2.6バックアップコントロールレジスタ（FBUCON）

本レジスタは、バックアップクロックの切り替えを制御する特殊機能レジスタ(SFR)です。
FBUCON レジスタは、低速クロックに低速水晶発振回路または低速外部クロック入力を選択した場合のみ使用します。
FBUCON レジスタは、パワーオンリセットのみで初期化されます。

アドレス：0xF00A (FBUCON)
アクセス：R/W
アクセスサイズ：8 ビット
初期値：0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FBUCON							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOSC B
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～1	—	予約ビット
0	LOSCB	バックアップクロックの切り替えを制御するビットです。低速クロックモードレジスタ (FLMOD) の LOSCM1-0=0x1 または 0x3 を選択した場合、自動的に“1”になります。低速クロックを低速水晶発振クロック/低速外部クロックに切り替えるには LOSCB ビットに“1”を書き込みます。この場合、バックアップクロックステータスレジスタ (FBUSTAT) の LOSCS ビットが“0”であることを確認してください。 0: 低速クロックは、FLMOD レジスタの LOSCM1-0 ビットで選択したクロック (初期値) 1: 低速クロックは、バックアップクロック (低速 RC 発振クロック)

【注意】

- LOSCB ビットに“0”を書き込む動作は無効です。
- LOSCB ビットに“1”を書き込んだ後に必ず NOP 命令を 2 個配置し、その後で LOSCB が“0”になっていることを確認してください。
- 低速水晶発振クロック／低速外部クロックへの切り替えは、「6.3.5 低速クロックの切り替え」の手順に従い、必ず割込みを使用してください。

6.2.7バックアップクロックステータスレジスタ（FBUSTAT）

本レジスタは、クロックの状態を示す特殊機能レジスタ(SFR)です。
FBUSTAT レジスタは、低速クロックに低速水晶発振回路または低速外部クロック入力を選択した場合のみ使用します。
FBUSTAT レジスタは、パワーオンリセットのみで初期化されます。

アドレス: 0xF00C (FBUSTAT)
アクセス: R
アクセスサイズ: 8 ビット
初期値: 0x01

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FBUSTAT							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOSC S
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット 番号	ビットシンボル 名	説明
7～1	—	予約ビット
0	LOSCS	<p>低速水晶発振クロック／低速外部クロックのステータスを示すビットです。</p> <p>低速クロックモードレジスタ (FLMOD) の LOSCM1-0=0x1 または 0x3 を選択した場合、低速水晶発振クロック/低速外部クロックで 8192 カウントすると自動的に、LOSCS ビットは使用可能状態を表す“0”に遷移し、割込み要求レジスタ 23 (IRQ23) のクロックバックアップ割込み (CBUINT) を発生します。</p> <p>LOSCS ビットは以下の条件が揃った場合、使用不可状態である“1”に遷移します。</p> <p>① STOP/STOP-D モードに移行した場合</p> <p>STOP/STOP-D モードを解除したとき、使用可能待ちカウント後、自動的に LOSCS ビットは“0”に遷移し、割込み要求レジスタ 23 (IRQ23) のクロックバックアップ割込み (CBUINT) を発生します。</p> <p>② 低速水晶発振回路が発振停止を検出した場合</p> <p>この場合、割込み要求レジスタ 23 (IRQ23) のクロックバックアップ割込み (CBUINT) を発生します。</p> <p>それから、低速水晶発振クロック／低速外部クロックが使用可能待ちカウント後に、LOSCS ビットは“0”に遷移し、割込み要求レジスタ 23 (IRQ23) のクロックバックアップ割込み (CBUINT) を発生します。</p> <p>0: 低速水晶発振クロック／低速外部クロックが使用可能状態 1: 低速水晶発振クロック／低速外部クロックが使用不可状態 (初期値)</p>

【注意】

- LOSCB に“1”を設定した後に LOSCS ビットが“1”であることが確認された場合、速やかに FLMOD レジスタの LOSCM1-0=“00”にして RC 発振に戻した後、アプリケーションに応じた適切な処理をしてください。
- LOSCS は「6.3.5 低速クロックの切り替え」の手順に従い確認を行なってください。

6.2.8クロックバックアップテストモードアクセプタ（FBTACP）

本レジスタは、クロックバックアップテストモード (LOSCL/LOSCT) への書き込みを許可するために使用する書き込み専用の特殊機能レジスタ (SFR) です。

アドレス: 0xF0C4 (FBTACP)
アクセス: W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FBTACP							
ビット	—	—	—	—	—	—	—	—	OSCB ACP7	OSCB ACP6	OSCB ACP5	OSCB ACP4	OSCB ACP3	OSCB ACP2	OSCB ACP1	OSCB ACP0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～0	OSCBACP7～ OSCBACP0	FBTCON レジスタへの誤書き込みを防止するため、書き換えの動作を制限するレジスタです。FBTACP レジスタに“0xFA”, “0xF5”の順序で書き込むと、FBTCON レジスタの書き換えが一度だけ許可状態となります。連続して書き換えを行う場合は、毎回、FBTACP レジスタに“0xFA”, “0xF5”を書き込む必要があります。 FBTACP レジスタへの“0xFA”書き込みと“0xF5”書き込みの間に他の命令が入っても、書き換え機能は許可状態になります。ただし、“0xFA”書き込み後に“0xF5”以外のデータを FBTACP レジスタに書き込むと“0xFA”書き込みが無効となるため、再度“0xFA”から書き込む必要があります。

6.2.9クロックバックアップテストモードレジスタ（FBTCON）

本レジスタは、クロックバックアップテストモードを制御する特殊機能レジスタ(SFR)です。
クロックバックアップテストモードは、擬似的に低速水晶発振クロックが停止した状態を作ることが可能です。

アドレス: 0xF0C6 (FBTCON)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FBTCON							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOSC L	LOSC T
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～2	—	予約ビット
1	LOSCL	クロックバックアップテストモード(LOSC T=1) のとき、低速水晶発振クロックを任意の状態 で固定するためのビットです。 0: 低速水晶発振クロックは L レベル固定 (初期値) 1: 低速水晶発振クロックは H レベル固定
0	LOSC T	クロックバックアップテストモードを制御するビットです。 0: 通常状態 (初期値) 1: クロックバックアップテストモード

【注意】

- クロックバックアップテストモードを使用する際は、必ず低速クロックは、低速水晶発振クロックに設定後使用してください。

6.2.10 低速 RC 発振周波数補正レジスタ（LRCADJ）

本レジスタは、低速 RC 発振クロックの周波数補正值を設定する特殊機能レジスタ(SFR)です。

アドレス：0xF080 (LRCADJ)
アクセス：R/W
アクセスサイズ：8 ビット
初期値：0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								LRCADJ							
ビット	—	—	—	—	—	—	—	—	—	—	LRCA DJ5	LRCA DJ4	LRCA DJ3	LRCA DJ2	LRCA DJ1	LRCA DJ0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

低速 RC 発振回路の周波数は温度に依存して変化するため、ソフトウェア補正*1により周波数を補正します。以下の 3 つのパラメータと、低温～常温、常温～高温の各領域で導出した一次近似式を用いて計算した補正トリミング値が本レジスタに設定されます。

- [パラメータ]
- 1. 現在の温度の温度センサ AD 変換値
 - 2. 常温 (25 °C) の温度センサ AD 変換値
 - 3. 係数: 温度に関する周波数の変化量に比例

*1 弊社より低速 RC 発振周波数の補正用のサンプル・ソフトウェアをリリースしています。

【注意】

- 弊社提供のサンプル・ソフトウェアを使用せずに LRCADJ レジスタに書き込んだ場合の動作は保証しません。

6.3 動作説明

6.3.1 低速クロック

低速クロック発生回路は、FLMOD レジスタの LOSCM1 ビットおよび LOSCM0 ビットにより、以下のいずれかのモードが選択できます。

- 低速 RC 発振モード
- 低速水晶発振モード
- 外部クロックモード

低速クロックはポートから OUTLSCLK として出力することができます。ポートの割り当てについては表 1-7, 表 1-8, 表 1-9 及び表 1-10 の端子一覧を参照してください。

図 6-2 に低速クロック発生回路の構成を示します。

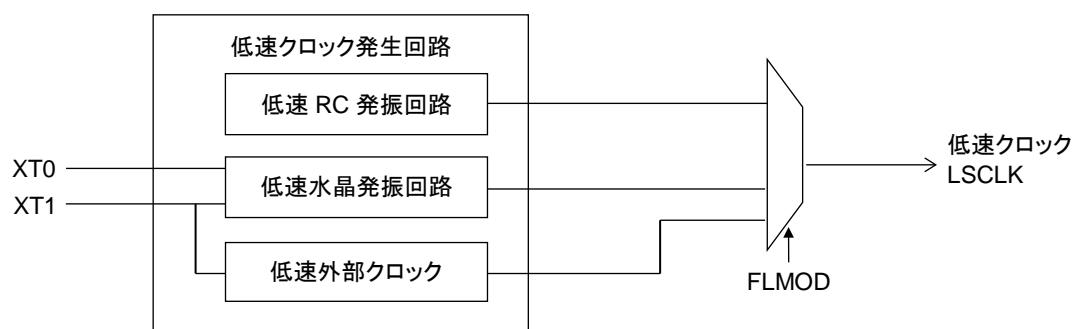


図 6-2 低速クロック発生回路構成図

6.3.1.1 低速 RC 発振回路の構成

電源起動時は、システムクロックに低速 RC 発振クロックが選択されています。

電源起動時は、低速 RC 発振クロックを 512 カウントすると、低速クロック (LSCLK) が出力され、CPU がプログラムを実行します。STOP/STOP-D モード解除時は、低速 RC 発振クロックを 10 カウントすると、低速クロック (LSCLK) が出力され、CPU がプログラムを実行します。

低速 RC 発振回路の周波数は、低速 RC 発振周波数補正レジスタ (LRCADJ) で調整できます。周波数補正は、弊社から提供するサンプル・ソフトウェア『ML62Q1000 シリーズ RC 発振補正サンプル・ソフトウェア』を使用してください。

図 6-3 に低速 RC 発振回路の回路構成を示します。

図 6-4 に低速 RC 発振回路の起動時、STOP/STOP-D モード時の動作波形を示します。

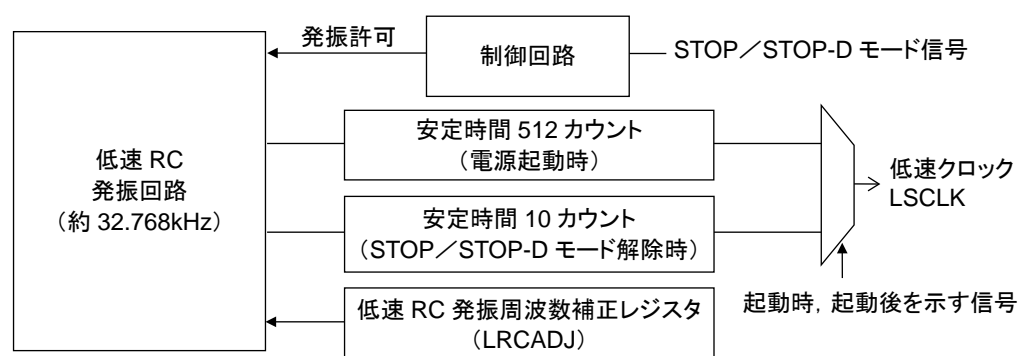


図 6-3 低速 RC 発振回路構成

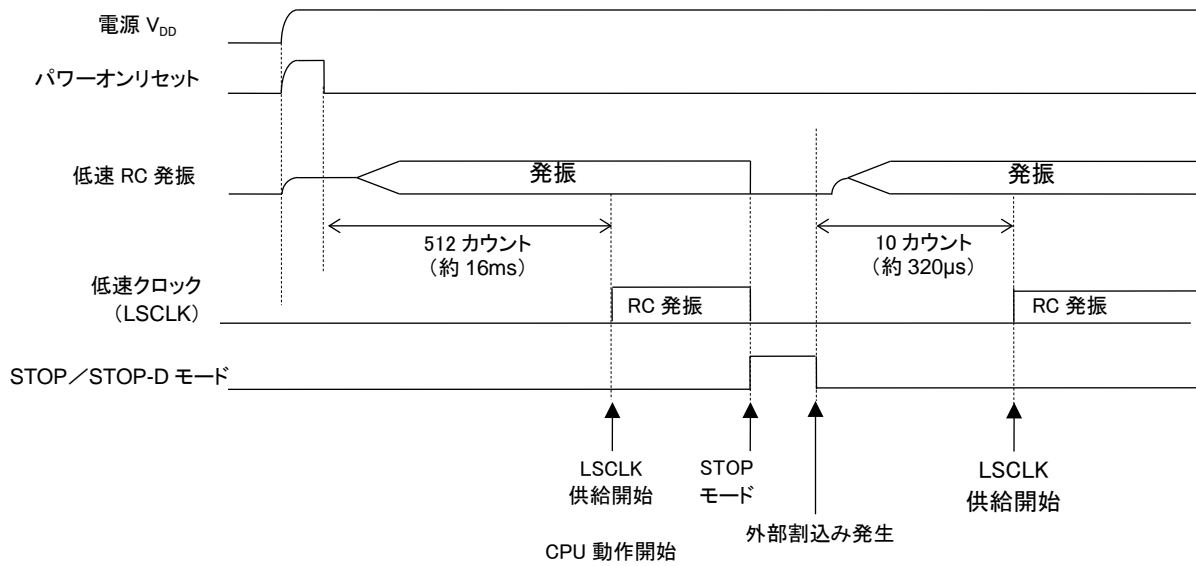


図 6-4 低速 RC 発振回路の起動時, STOP/STOP-D モード時の低速クロック動作波形

6.3.1.2 低速水晶発振回路の構成

図 6-5 に、低速水晶発振回路の回路構成を示します。

32.768kHz 水晶振動子の選択は、低速クロックモードレジスタ (FLMOD) で選択できます。

低速クロックに低速水晶発振クロックを選択した場合、PXTMOD01 レジスタの設定は無効です。低速クロックに低速水晶発振回路を選択した場合、バックアップ機能が動作します。

バックアップ機能とは、低速水晶発振を常に監視し発振停止を検知した場合に低速クロックを低速 RC 発振クロックに切り替える機能です。これは安全機能として低速クロックの供給が止まるのを防止します。

STOP/STOP-D モードに移行すると低速水晶発振回路は動作を停止します。

バックアップモードに移行する条件は以下の 3 つです。

- ・FLMOD レジスタで低速クロックに低速水晶発振回路を選択した直後
 - ・STOP/STOP-D モード解除後
 - ・低速クロックが低速水晶発振クロックの状態で、発振停止を検出したとき
- この停止検出は、水晶発振クロックが停止または周波数が異常に低下した場合に発生します。停止が継続した場合で約 8ms(typ.) かかります。停止検出した際は、アプリケーションに応じた適切な処理をしてください。
- 水晶発振クロックが停止/周波数低下すると停止検出するまでの期間も、高速クロックの周波数は低下します。

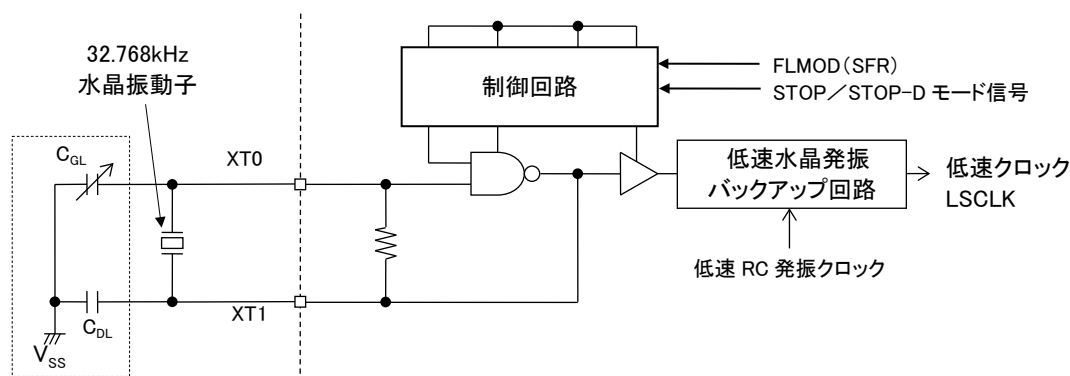


図 6-5 低速水晶発振モードの回路構成

【注意】

- ・水晶振動子はできる限り LSI の近くに実装し、水晶振動子およびその配線の近くにはノイズ源となる信号や電源配線を通さないでください。
- ・結露などにより発振が停止してしまう恐れがありますので注意してください。
- ・低速水晶発振クロックへの切り替えは、「6.3.5 低速クロックの切り替え」の手順に従い、必ず割込みを使用してください。
- ・低速クロックに低速水晶発振回路、システムクロックに高速クロックを選択している場合、STOP/STOP-D モードに移行する前にシステムクロックを低速クロックに切り替えてください。

図 6-6 に低速水晶クロック起動時と STOP/STOP-D モード時のバックアップモード波形を示します。

低速水晶発振回路は、電源投入後に低速 RC 発振回路が動作をはじめ、CPU が動き出した後に低速クロックモードレジスタ (FLMOD) で低速水晶発振回路を選択すると動作します。FLMOD レジスタは、POR (パワーオンリセット) のみ初期化されますので、低速水晶を選択した後に POR 以外のリセットが発生しても発振は継続されます。

FLMOD レジスタにより低速水晶発振回路を選択すると、バックアップモードに移行し、低速水晶発振回路が安定するまで低速 RC 発振回路からクロックが供給されます。

低速水晶発振開始時間 (TXTL) と低速水晶発振安定時間 (8192 カウント) を待った後に、低速水晶発振回路が正常に起動していれば、クロックバックアップ割込み (CBUINT) が発生しますので、バックアップモードを解除してください。解除後に低速クロック (LSCLK) に低速水晶発振クロックが供給されます。

また、低速水晶発振回路は、STOP/STOP-D モードに移行すると発振を停止します。外部割込みなどによる STOP/STOP-D モードを解除すると発振を再開しますが、バックアップモードに移行します。上記と同じ手順でバックアップモードを解除してください。

STOP/STOP-D モードについては、「第 4 章 パワーマネジメント」を参照してください。

低速発振開始時間 (TXTL) については、データシートを参照してください。

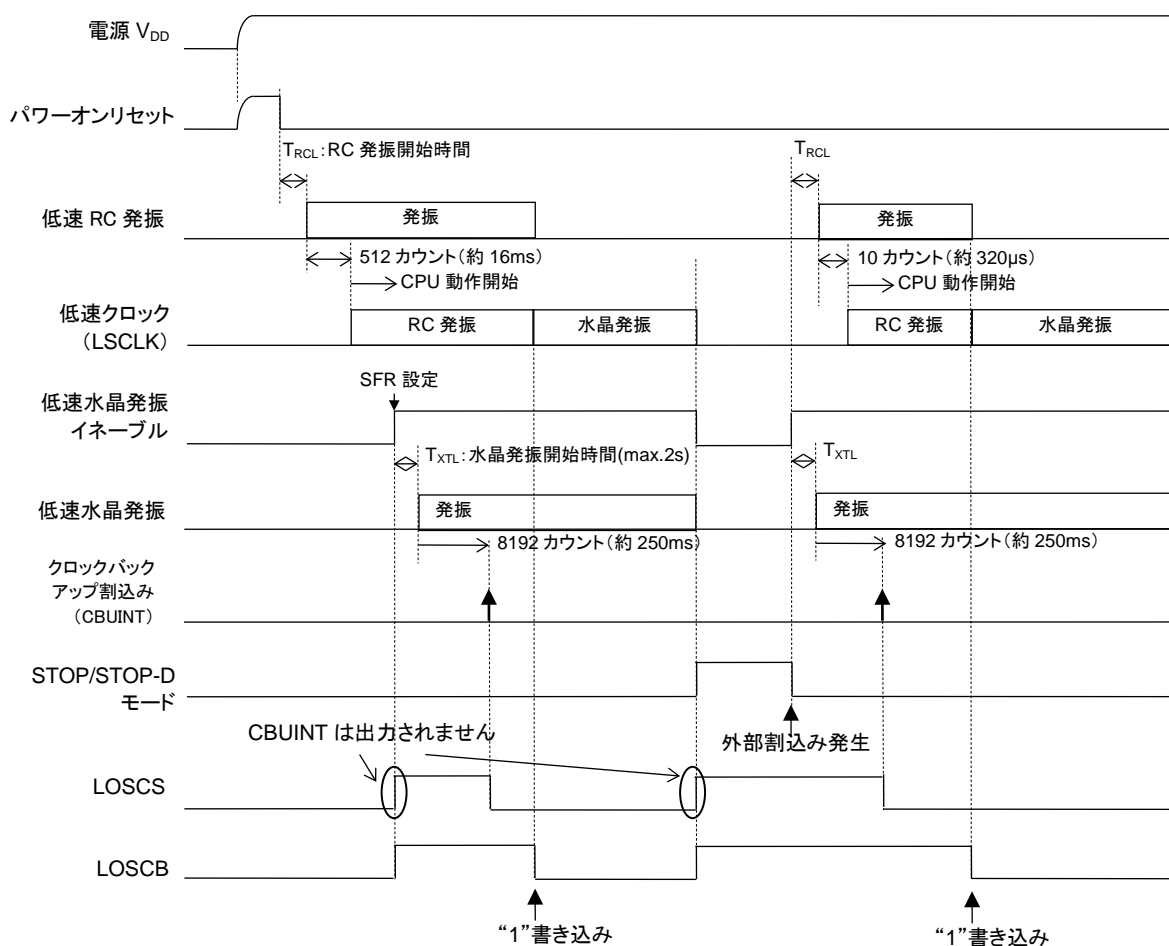


図 6-6 低速水晶発振回路の動作 (低速水晶起動時, STOP/STOP-D モード時)

図 6-7 に低速水晶発振回路起動後のバックアップモード動作波形を示します。

低速水晶起動後は、水晶発振クロックが停止すると約 8ms(typ.)後にバックアップモードに移行します。バックアップモードに移行したときと水晶発振が再開されたときにクロックバックアップ割込み(CBUINT)を出力します。

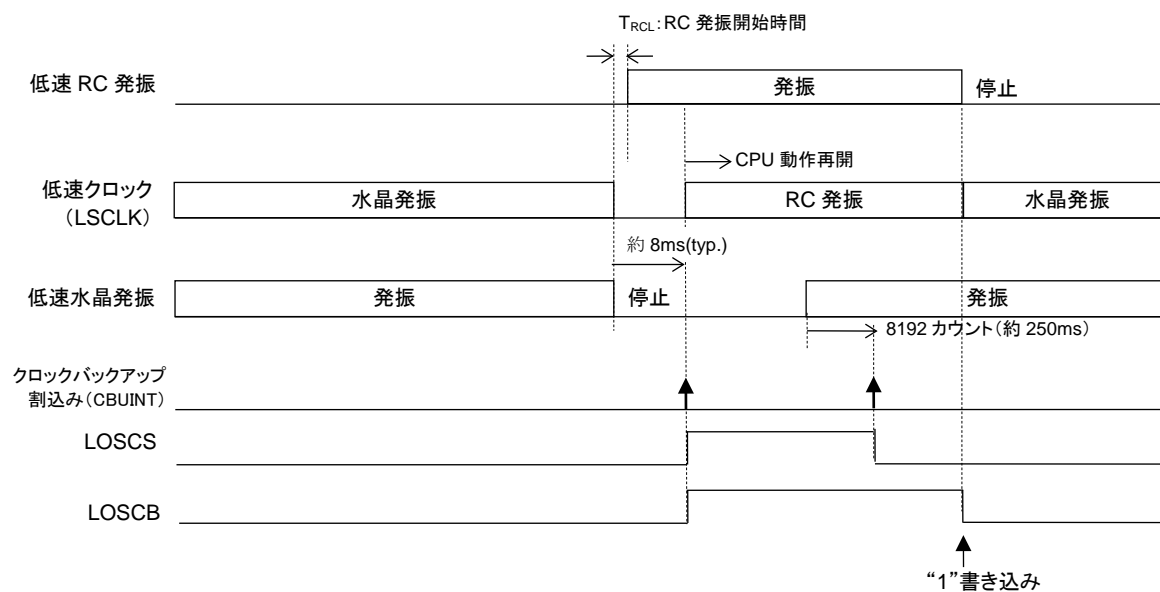


図 6-7 低速水晶発振回路の動作(バックアップモード)

図 6-8 に低速水晶クロック起動後のリセットが入力された場合の動作波形を示します。

低速水晶発振回路は、パワーオンリセット以外ではリセットさせません。

リセットについては、「第 3 章 リセット機能」を参照してください。

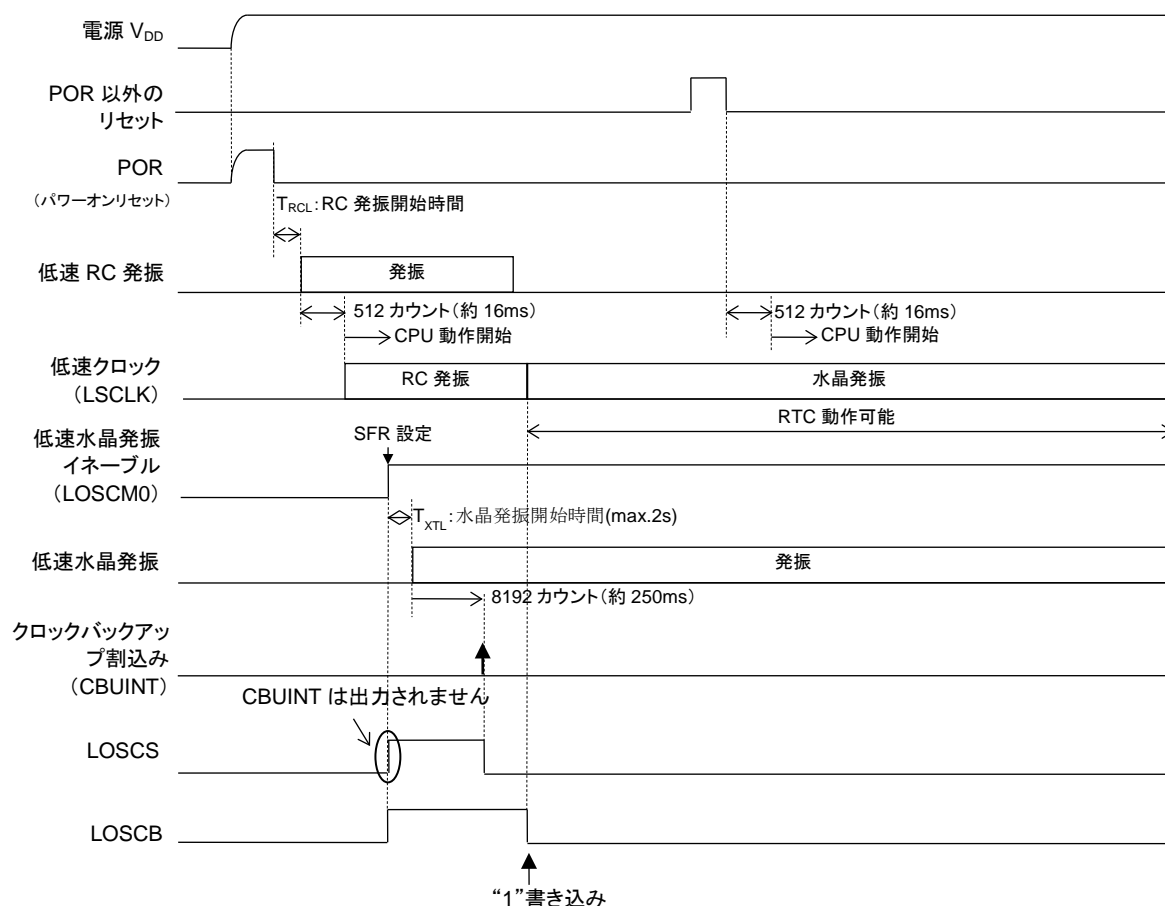


図 6-8 低速水晶クロック発生回路の動作 (低速水晶起動後のリセット動作)

6.3.1.3 低速外部クロック入力

低速水晶発振回路用の XT1 端子からクロックを入力することが可能です。

低速外部クロックの選択は、低速クロックモードレジスタ (FLMOD) で選択できます。

低速クロックに低速外部クロックを選択した場合、PXTMOD01 レジスタの PXT1IE ビットの設定は無効です。

低速外部クロック時の動作は、低速水晶発振回路を選択した場合と同様に動作します。

6.3.2 高速クロック

高速クロックは、低速クロック (LSCLK) を高速発振回路 (PLL 発振回路) で通倍し、発生します。
PLL の発振周波数は、コードオプションで 24MHz または 16MHz から選択できます。
また、汎用ポートから分周した高速クロック (OUTHSCCLK) を出力できます。

6.3.2.1 PLL 発振回路の構成

PLL 発振回路は、LSCLK を通倍して PLL 発振クロックを生成します。
PLL の基本周波数が 16MHz の場合 488 通倍、24MHz の場合 732 通倍です。
高速クロック発振許可 (FCON レジスタの ENOSC に“1”をセット) 後、PLL 発振クロックが安定するまでカウントすると、HSCLK (高速クロック) が出力されます。
また、PLL 発振回路は、ソフトウェアにより HALT-H/STOP/STOP-D モードに移行すると発振を停止します。

PLL の発振安定時間は、FHWUPT レジスタにより、高速クロックの発振を許可してから周波数が安定した後に供給を開始するか、周波数が安定する前に供給を開始するかを選択できます。周波数が安定する前に供給開始を選択した場合、高速クロックの発振を許可してから約 30 μ s 後に供給が開始され、徐々に周波数が上昇し、約 2ms 経過までに目標の周波数に到達します。この期間の周波数は保証されませんが、システムクロックとして使用できます。

STOP/STOP-D モード解除からの復帰時間については、表 4-5 を参照してください。

STOP/STOP-D モードの詳細については、「第 4 章 パワーマネジメント」を参照してください。

図 6-9 に PLL 発振回路の構成を示します。

図 6-10 に PLL 発振回路の起動時、STOP/STOP-D モード時の動作波形を示します。

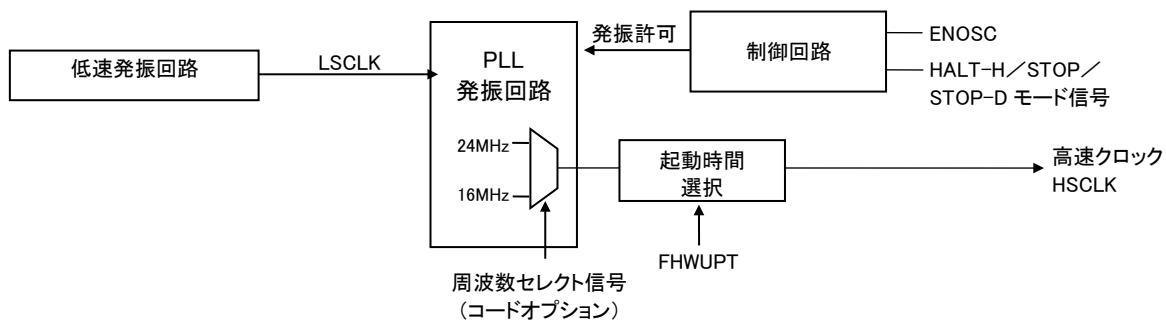


図 6-9 PLL 発振回路構成

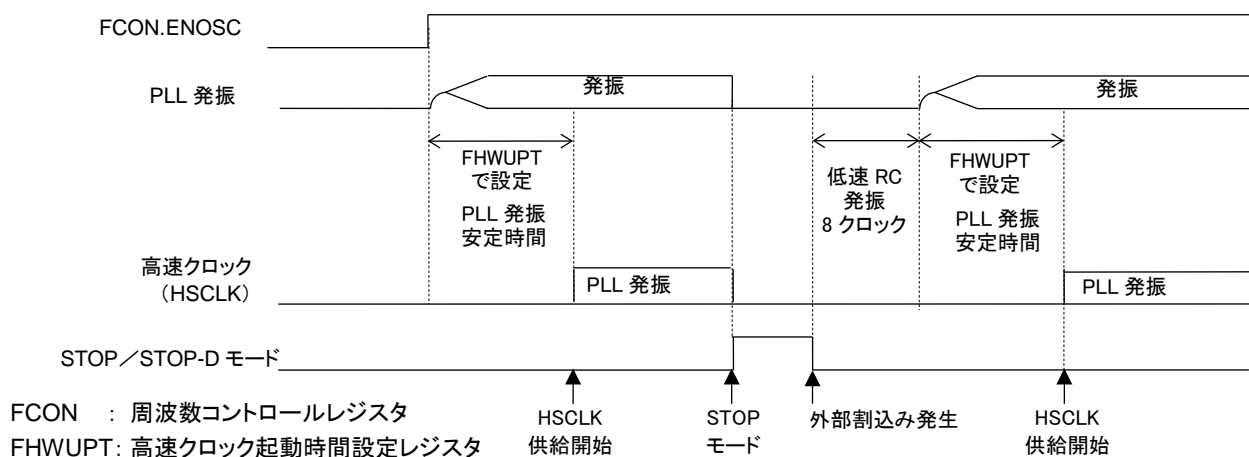


図 6-10 PLL 発振回路の起動時、STOP/STOP-D モード時の高速クロック動作波形

【注意】

- 低速水晶発振モードにて生成した低速クロック (LSCLK) を PLL 発振回路に入力し、高速クロック (HSCLK) を生成する場合、ノイズ等の外部要因により HSCLK が意図しない周波数になり、マイコンが意図しない挙動をする場合があります。低速水晶発振モードにて生成した LSCLK を PLL 発振回路に入力し、HSCLK を生成する際は、十分な評価の上ご使用ください。

6.3.3WDT クロック

WDT クロック (WDTCLK) には、分周した低速クロック (1.024kHz)、または WDT 専用 RC1K 発振回路クロック (約 1kHz) のいずれかをコードオプションで選択できます。ウォッチドッグタイマの精度が求められる場合は、分周した低速クロックを選択してください。

WDT の動作クロックは、STOP/STOP-D モード中は発振を停止します。

STOP/STOP-D モード解除後は、安定時間 (WDT 専用 RC1K 発振回路クロックの 1 カウント) 後に WDT クロックの供給が開始されます。

コードオプションの設定方法については、「第 26 章 コードオプション」を参照してください。

図 6-11 に WDT 専用 RC 発振回路の回路構成を示します。

図 6-12 に WDT 専用 RC 発振回路の起動時、STOP モード/STOP-D モード時の WDT クロック動作波形を示します。

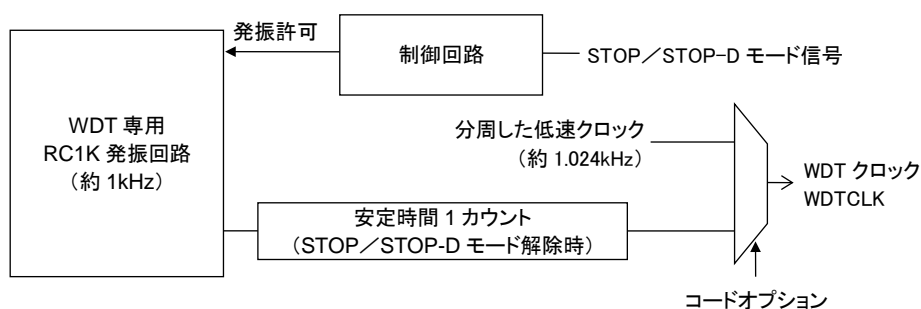


図 6-11 WDT 専用 RC 発振回路構成

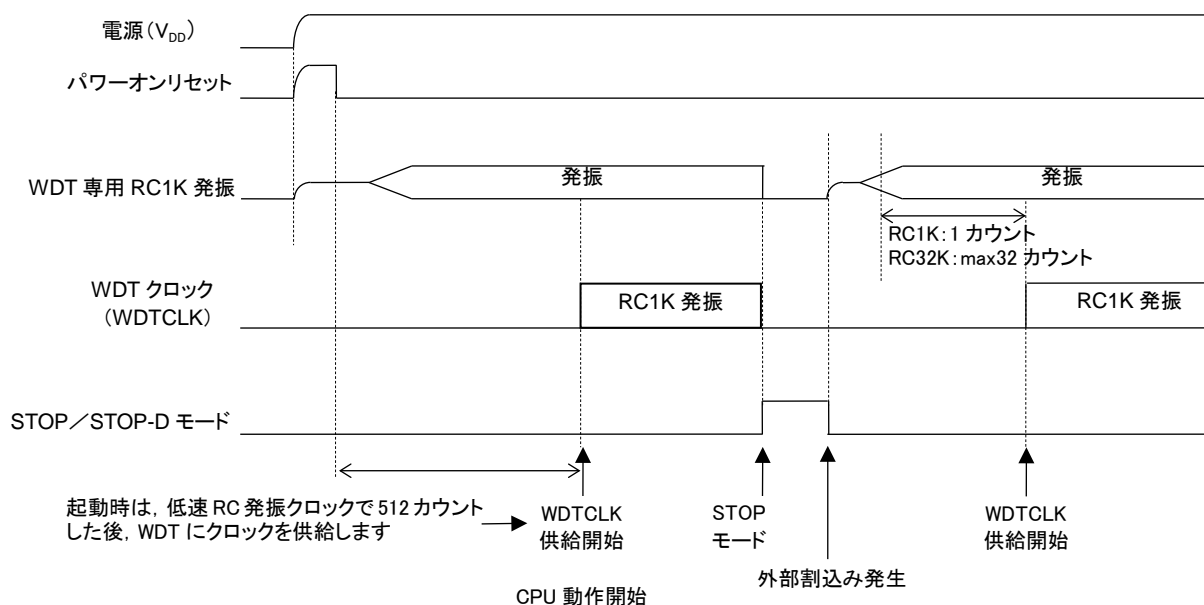


図 6-12 WDT 専用 RC 発振回路の起動時、STOP/STOP-D モード時の動作波形

6.3.4 システムクロックの切り替え

図 6-13 にシステムクロック切り替え処理のフローチャート(LSCLK→HSCLK)を示します。

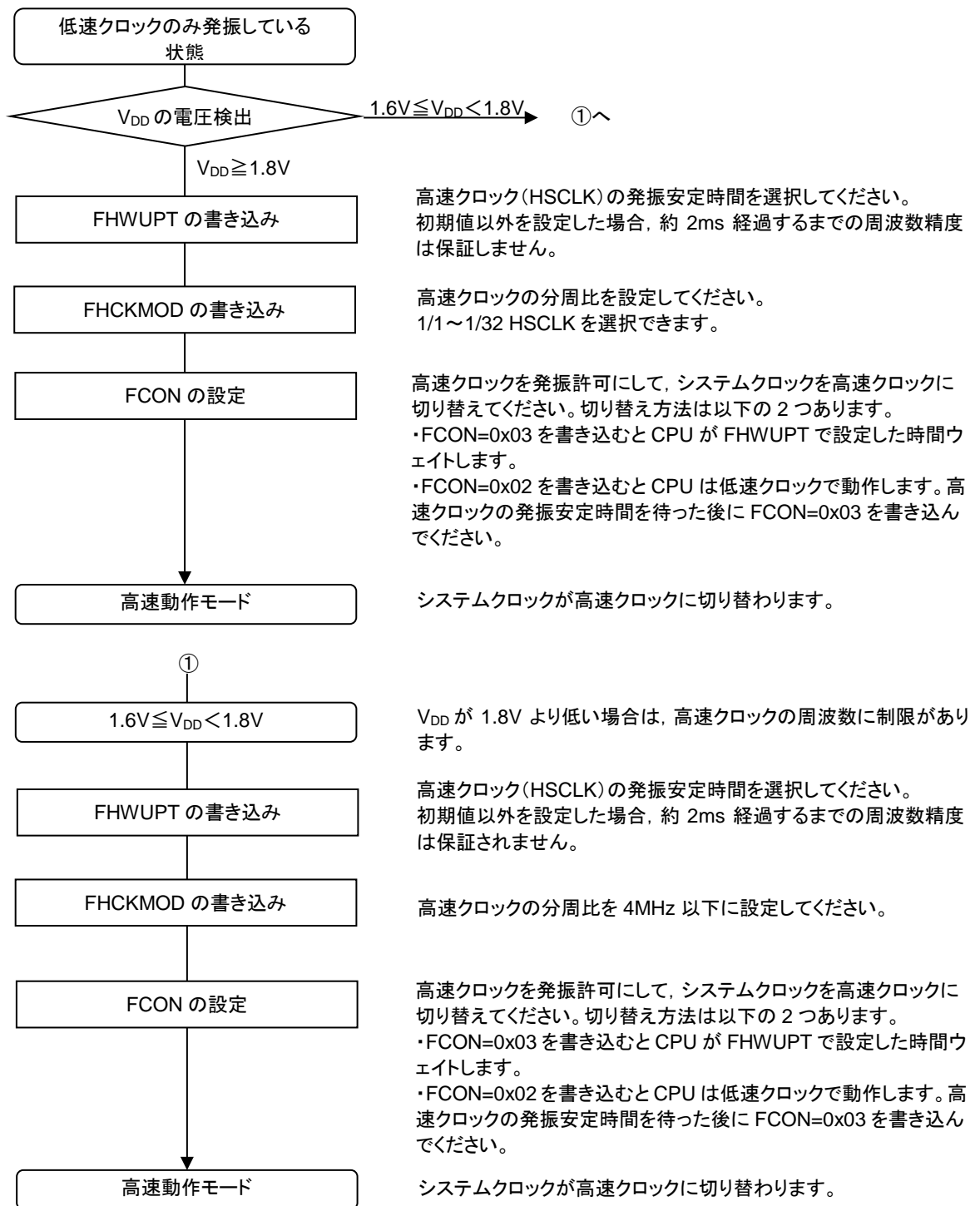


図 6-13 システムクロック切り替え処理のフローチャート(LSCLK→HSCLK)

【注意】

- V_{DD} の電圧が $1.6V \leq V_{DD} < 1.8V$ のときに、システムクロック(SYSTEMCLK)は 4MHz 以下にしてください。4MHz を超えた場合、動作は保証されません。

図 6-14 にシステムクロック切り替え処理のフローチャート(HSCLK→LSCLK)を示します。

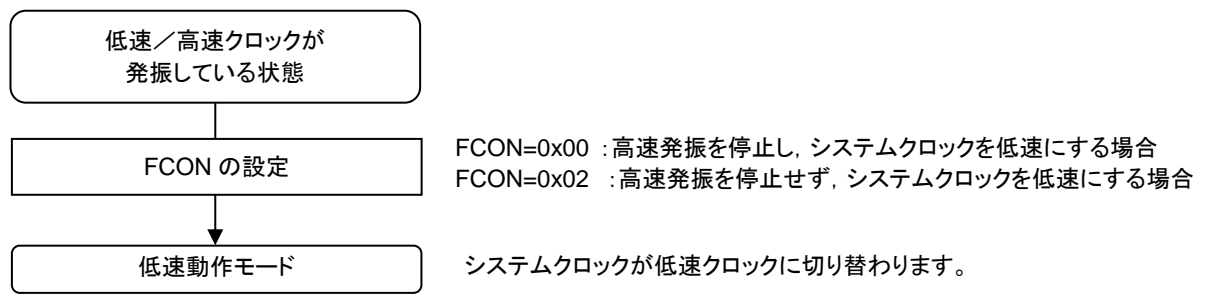


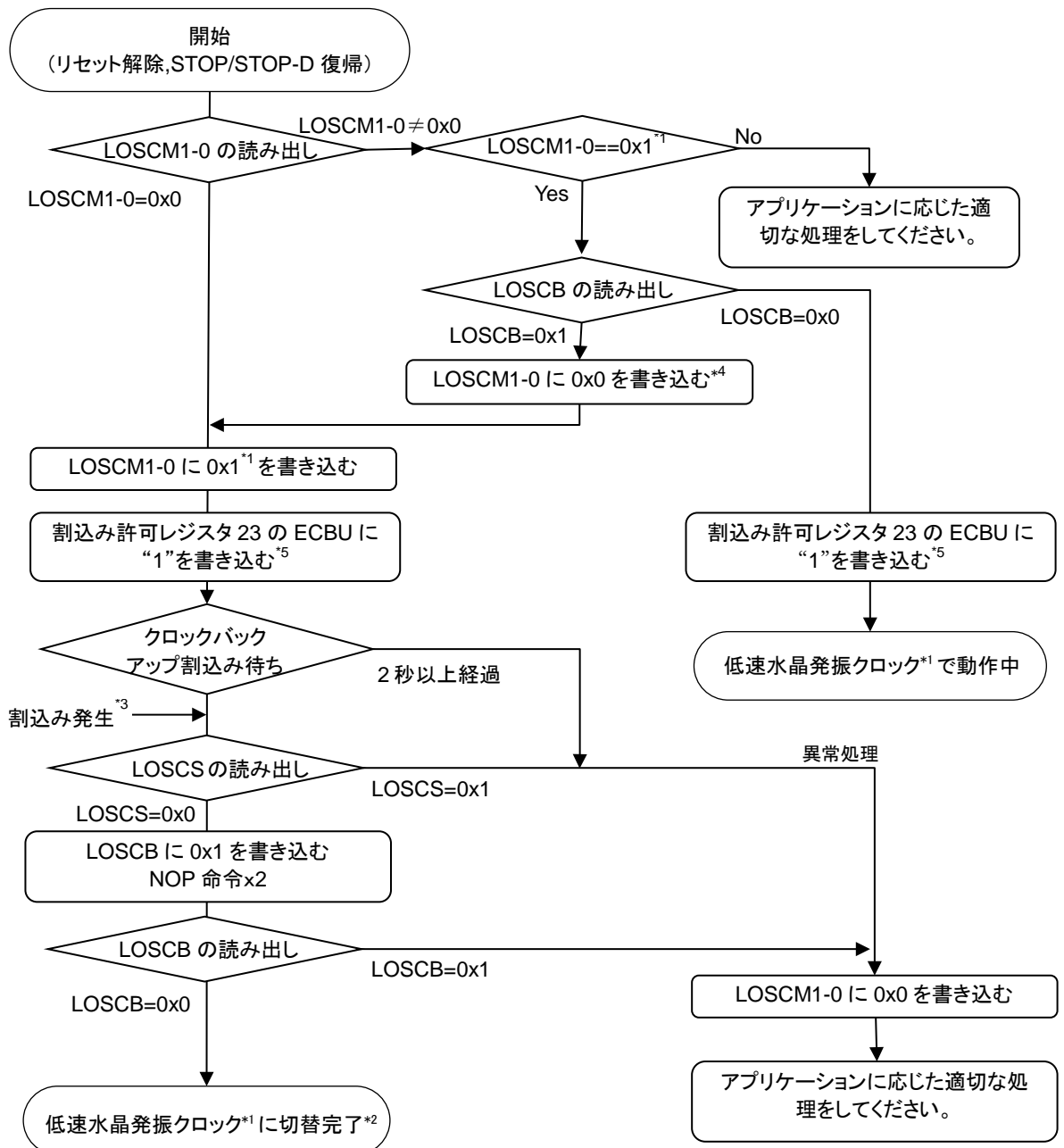
図 6-14 システムクロック切り替え処理のフローチャート(HSCLK→LSCLK)

【注意】

- システムクロックが低速クロックで動作している状態で、周辺回路を高速クロックで動作させ、割込みを高い頻度で発生させると、CPU の処理が間に合わず正常に動作できなくなる恐れがあります。周辺回路の割込み周期が短い場合など割込みが頻発する場合には CPU の処理が間に合うよう、CPU の動作周波数を考慮してください。

6.3.5 低速クロックの切り替え

図 6-15 に低速クロック切り替え処理のフローチャート(低速 RC 発振クロック→低速水晶発振クロック/低速外部クロック)を示します。STOP/STOP-D モード解除後も、このフローチャートにて低速クロックの状態を確認してください。システムクロックを高速に切り替える場合は、先に低速クロックを低速水晶発振クロック/低速外部クロックに切り替えてください。



*1: 低速外部クロックに切り替える場合は“0x1”を“0x3”に、“低速水晶発振クロック”を“低速外部クロック”に読み替えてください。

*2: 低速水晶切替完了前にパワーマネジメント制御(SBYCON レジスタへのライト)、クロック制御(FLMOD レジスタの LOSCM1-0, FCON レジスタの SELSCLK へのライト)は行わないでください。

*3: 割込み発生要因は以下の 4 つになります。水晶に切り替えた後も、この割込み発生後のフローに従って処理してください。

- 1) LOSCM1-0=0x1*1 を設定後、安定待ちカウントが完了した場合
- 2) STOP/STOP-D モードを解除後、安定待ちカウントが完了した場合
- 3) 低速水晶クロック*1 に異常が発生し停止を検出した場合
- 4) 低速水晶クロック*1 に異常が発生した後、正常動作に復帰し低速水晶クロック*1 が安定発振状態になった場合

*4: バックアップ状態が水晶設定前の状態かを判断できないため、設定を一度クリアしてください。

*5: バックアップ状態が水晶設定前の状態かを判断できないため、リセット解除後の処理が終わってから割込みを許可してください。

図 6-15 低速クロック切り替え処理のフローチャート
(低速 RC 発振クロック→低速水晶発振クロック/低速外部クロック)

第 7 章 低速タイムベースカウンタ

7. 低速タイムベースカウンタ

7.1 概要

低速タイムベースカウンタを使用して、以下の機能を実現することが可能です。

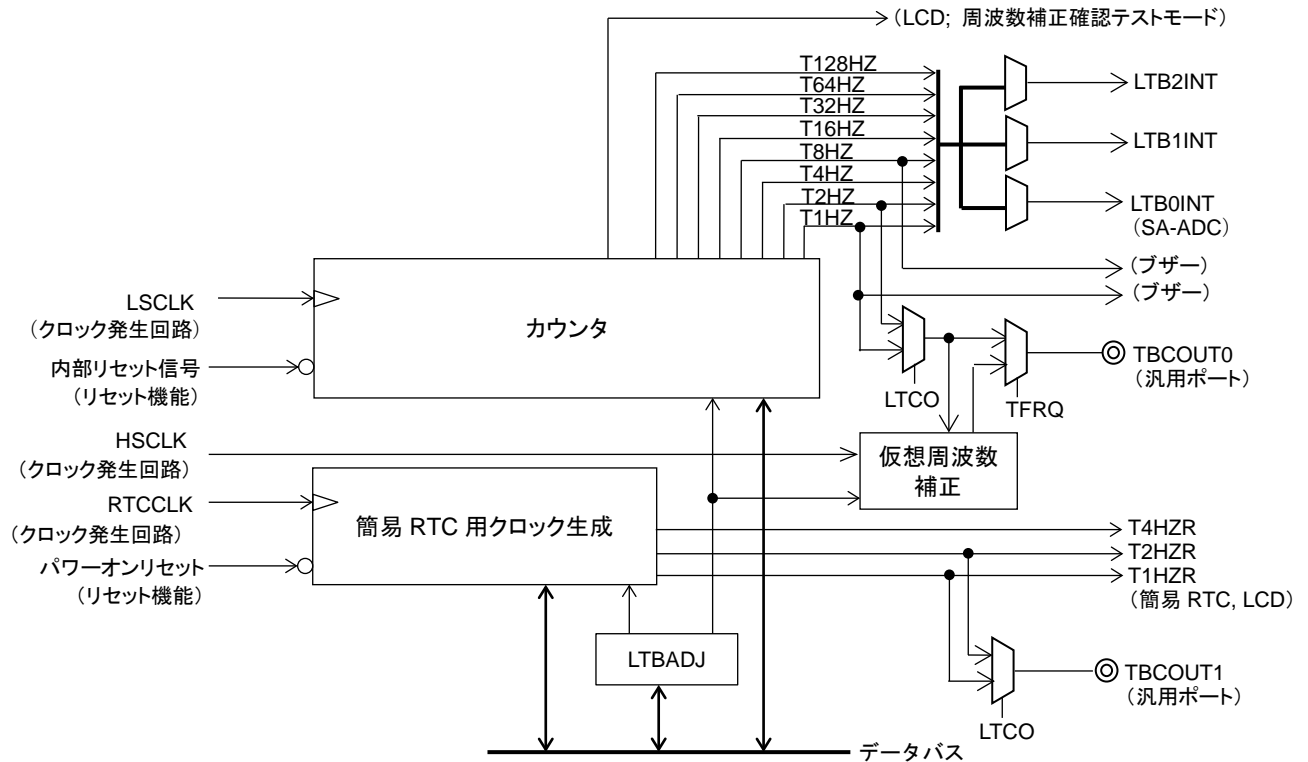
- 定期的な割込み要求を発生させる
- 周期的なパルス信号を汎用ポートに出力する
- 簡易 RTC 用クロック周波数を補正する。

7.1.1 特長

- 低速クロック(LSCLK)を分周して 8 種類のパルス信号(128Hz, 64Hz, 32Hz, 16Hz, 8Hz, 4Hz, 2Hz, 1Hz)を生成
- 8 種類の定期割込み要求信号から 3 つの割込み要求を選択可能
- 1Hz または 2Hz の信号を汎用ポートから出力可能
- 割込み要求(LTB0INT)を逐次比較型 A/D コンバータのトリガイイベントソースとして使用可能
- 周波数補正機能を搭載
 - ー 補正範囲:約-488ppm～+488ppm, 補正分解能:約 0.119ppm
 - ー 低速クロックまたは高速クロックを用いた 2 つの確認方法
- 1Hz および 2Hz 信号を簡易 RTC 用クロックとして使用

7.1.2 構成

図 7-1 に ML62Q1500C/ML62Q1700C グループに搭載された低速タイムベースカウンタの構成を示します。



- LTBADJ: 低速タイムベースカウンタ周波数補正レジスタ
T1HZ~T128HZ: タイムベースカウンタ出力信号
LTB2INT: 低速タイムベースカウンタ 2 割込み要求
LTB1INT: 低速タイムベースカウンタ 1 割込み要求
LTB0INT: 低速タイムベースカウンタ 0 割込み要求
T1HZR~T4HZR: 簡易 RTC 用タイムベースカウンタ出力信号

図 7-1 低速タイムベースカウンタの構成

7.1.3 端子一覧

低速タイムベースカウンタの出力端子は、汎用ポートの兼用機能に割り付けられています。

信号名	入出力	機能
TBCOUT0	O	仮想周波数補正用出力, または低速タイムベースカウンタ出力
TBCOUT1	O	簡易 RTC 用 1Hz/2Hz クロック出力

低速タイムベースカウンタで使用する汎用ポートおよび、レジスタ設定を表 7-1 に示します。

表 7-1 低速タイムベースカウンタ機能兼用ポートおよびレジスタ設定

端子名	兼用ポート		設定レジスタ	設定値	ML62Q1500C ML62Q1700C グループ		
					52ピン製品	64ピン製品	80ピン製品
TBCOUT0	P01	6 次機能	P0MOD1	0101_XXXX ^{*1}	●	●	●
	P17	6 次機能	P1MOD7	0101_XXXX ^{*1}	●	●	●
	P26	6 次機能	P2MOD6	0101_XXXX ^{*1}	●	●	●
	P31	6 次機能	P3MOD1	0101_XXXX ^{*1}	●	●	●
	P43	6 次機能	P4MOD3	0101_XXXX ^{*1}	●	●	●
TBCOUT1	P01	7 次機能	P0MOD1	0110_XXXX ^{*1}	●	●	●
	P20	6 次機能	P2MOD0	0101_XXXX ^{*1}	●	●	●
	P27	6 次機能	P2MOD7	0101_XXXX ^{*1}	●	●	●
	P31	7 次機能	P3MOD1	0110_XXXX ^{*1}	●	●	●
	P43	7 次機能	P4MOD3	0110_XXXX ^{*1}	●	●	●

●: 搭載

*1: XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力 (プルアップなし)
1111	Nch オープンドレイン出力 (プルアップあり)

7.2 レジスタ説明

7.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF060	低速タイムベースカウンタレジスタ	LTBR	—	R/W	8	0x00
0xF061	予約レジスタ	—	—	—	—	—
0xF062	低速タイムベースカウンタ制御レジスタ	LTBCCON	—	R/W	8	0x01
0xF063	予約レジスタ	—	—	—	—	—
0xF064	簡易 RTC 用タイムベースカウンタレジスタ	LTBRR	—	R	8	0x00
0xF065	予約レジスタ	—	—	—	—	—
0xF066	低速タイムベースカウンタ周波数補正レジスタ	LTBADJL	LTBADJ	R/W	8/16	0x00
0xF067		LTBADJH		R/W	8	0x00
0xF068	低速タイムベースカウンタ割込み選択レジスタ	LTBINTL	LTBINT	R/W	8/16	0x30
0xF069		LTBINTH		R/W	8	0x06

7.2.2 低速タイムベースカウンタレジスタ（LTBR）

本レジスタは、低速タイムベースカウンタの値を読み出す特殊機能レジスタ(SFR)です。
本レジスタに任意のデータを書き込むと、T128HZ ビット～T1HZ ビットはすべて“0”に初期化されます。

アドレス：0xF060 (LTBR)
アクセス：R/W
アクセスサイズ：8 ビット
初期値：0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								LTBR							
ビット	—	—	—	—	—	—	—	—	T1HZ	T2HZ	T4HZ	T8HZ	T16HZ	T32HZ	T64HZ	T128H Z
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【注意】

- LTBR レジスタの書き込みタイミングによっては低速タイムベースカウンタ割込みが発生する可能性があります。
「7.3.1 低速タイムベースカウンタの動作」の LTBR レジスタを初期化する場合のプログラム例を参照してください。
- T128HZ～T1HZ 信号は、各信号周期の前半の半周期が“0”，後半の半周期が“1”となるパルス信号です。
例えば T1HZ 信号は、LTBR レジスタに書き込むことで“0”にリセットされ、約 0.5 秒後に“1”に、一周期の約 1 秒後に“0”に変化します。低速タイムベースカウンタ割込みは、信号の立ち下がリエッジ(“1”→“0”)で割込みが発生します。
T128HZ～T1HZ 波形の詳細については、「図 7-5 低速タイムベースカウンタ割込みタイミングと LTBR レジスタの書き込みによるリセットタイミング」を参照してください。

7.2.3 低速タイムベースカウンタ制御レジスタ (LTBCCON)

本レジスタは、低速タイムベースカウンタを制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF062 (LTBCCON)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x01

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								LTBCCON							
ビット	—	—	—	—	—	—	—	—	TFRQ	LTCO	—	—	—	—	—	TBRUN
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット 番号	ビットシンボル 名	説明
7	TFRQ	周波数補正モードを選択するビットです。 0: 通常周波数補正モード (初期値) 1: 仮想周波数補正モード
6	LTCO	TBCOUT0 端子および、TBCOUT1 端子に出力する信号を選択するビットです。 0: T1HZ/T1HZR (初期値) 1: T2HZ/T2HZR
5~1	—	予約ビット
0	TBRUN	低速タイムベースカウンタの開始、停止を制御するビットです。 0: 停止 1: 開始／動作中 (初期値)

【注意】

- 仮想周波数補正モードを使用する場合は、高速クロック(HSCLK)を動作許可に設定してください。
- TBRUN に書き込んだタイミングから開始動作もしくは停止動作が実行されるまで低速クロック(LSCLK)の最大 2 クロックかかります。
- オンチップデバッグ機能を使用する際、“ブレーク中に動作継続させる周辺回路”の“Low-speed Time Base Counter”にチェックを入れた場合でも、TBCOUT1 出力はブレーク中に動作を停止します。

7.2.4 簡易 RTC 用タイムベースカウンタレジスタ（LTBRR）

本レジスタは、簡易 RTC 用タイムベースカウンタの値を読み出す特殊機能レジスタ(SFR)です。
簡易 RTC 分・秒カウンタ(SRTCMA S)への書き込み、もしくはパワーオンリセットによって T128HZ R ビット～T1HZ R ビットはすべて“0”に初期化されます。

アドレス: 0xF064 (LTBRR)
アクセス: R
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								LTBRR							
ビット	—	—	—	—	—	—	—	—	T1HZ R	T2HZ R	T4HZ R	T8HZ R	T16HZ R	T32HZ R	T64HZ R	T128H ZR
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 【注意】
- LTBRR レジスタは読み出し専用です。書き込みはしないでください。
 - カウントアップ中の不確定データの読み出しを防止するため、LTBRR レジスタは二回読み出してデータが同一であることを確認してください。

7.2.5 低速タイムベースカウンタ周波数補正レジスタ (LTBADJ)

本レジスタは、タイムベースカウンタ出力信号の周波数補正値を設定する特殊機能レジスタ (SFR) です。

アドレス: 0xF066 (LTBADJL/LTBADJ), 0xF067 (LTBADJH)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	LTBADJ															
バイト	LTBADJH								LTBADJL							
ビット	—	—	—	LADJS	LADJ1 1	LADJ1 0	LADJ9	LADJ8	LADJ7	LADJ6	LADJ5	LADJ4	LADJ3	LADJ2	LADJ1	LADJ0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 13	—	予約ビット
12	LADJS	周波数の補正値の符号を設定するビットです。 0: LADJ11～0 が正の数であることを示します 1: LADJ11～0 が負の数であることを示します
11～0	LADJ11～ LADJ0	周波数の補正値を設定するビットです。 LTBADJ レジスタ設定値と補正率の対応については、「7.3.2 低速タイムベースカウンタ周波数補正機能」を参照してください。

7.2.6 低速タイムベースカウンタ割込み選択レジスタ (LTBINT)

本レジスタは、割込み要求信号として使用する低速タイムベースカウンタ出力を選択する特殊機能レジスタ(SFR)です。

アドレス: 0xF068 (LTBINTL/LTBINT), 0xF069 (LTBINTH)
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0630

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	LTBINT															
ビット	LTBINTH								LTBINTL							
R/W	—	—	—	—	—	LTi2S2	LTi2S1	LTi2S0	—	LTi1S2	LTi1S1	LTi1S0	—	LTi0S2	LTi0S1	LTi0S0
初期値	0	0	0	0	0	1	1	0	0	0	1	1	0	0	0	0

ビット番号	ビットシンボル名	説明
15～11	—	予約ビット
10～8	LTi2S2～LTi2S0	低速タイムベースカウンタ 2 割込み (LTB2INT) に割り当てる信号を選択するビットです。 000: T128HZ 001: T64HZ 010: T32HZ 011: T16HZ 100: T8HZ 101: T4HZ 110: T2HZ (初期値) 111: T1HZ
7	—	予約ビット
6～4	LTi1S2～LTi1S0	低速タイムベースカウンタ 1 割込み (LTB1INT) に割り当てる信号を選択するビットです。 000: T128HZ 001: T64HZ 010: T32HZ 011: T16HZ (初期値) 100: T8HZ 101: T4HZ 110: T2HZ 111: T1HZ
3	—	予約ビット
2～0	LTi0S2～LTi0S0	低速タイムベースカウンタ 0 割込み (LTB0INT) に割り当てる信号を選択するビットです。 000: T128HZ (初期値) 001: T64HZ 010: T32HZ 011: T16HZ 100: T8HZ 101: T4HZ 110: T2HZ 111: T1HZ

【注意】

- LTBINT レジスタの書き込みタイミングによっては低速タイムベースカウンタ割込みが発生する可能性があります。
対策方法については、「7.3.1 低速タイムベースカウンタの動作」の低速タイムベースカウンタ割込み信号の割り当てを
変更する場合のプログラム例」を参照してください。

7.3 動作説明

7.3.1 低速タイムベースカウンタの動作

低速タイムベースカウンタは、システムリセット解除後、低速クロックの立ち下がりエッジで 0x0000 からカウントアップを開始し、T128HZ～T1HZ 信号を生成します。T128HZ～T1HZ 信号の中から 3 要因を選択し、定期的な低速タイムベースカウンタ割込み要求を発生させることができます。

T128HZ～T1HZ 信号の値は、LTBR レジスタから読み出すことができます。

低速タイムベースカウンタ割込み要求は、LTBINT レジスタで選択した信号の立ち下がりエッジで発生します。

LTBINT レジスタで割込み信号の割り当てを変更する際、レジスタに書き込むタイミングによっては、低速タイムベースカウンタ割込み要求 (LTBCnINT) が発生する場合があります。このため、割込み信号の割り当てを変更する前に IE67 レジスタで割込みを禁止した状態で LTBINT レジスタの値を変更し、発生した低速タイムベースカウンタ割込み要求ビット (QLTBCn) を“0”にクリアしてください。(n=0～2)

図 7-3 に、低速タイムベースカウンタ割込み信号の割り当てを変更する場合のプログラム例を示します。

```
ELTBC0 = 0;      // LTBC0 割込み禁止
ELTBC1 = 0;      // LTBC1 割込み禁止
ELTBC2 = 0;      // LTBC2 割込み禁止
LTBINT = 0x0741; // 割込み信号の割り当て変更
__asm("NOP");    // 待ち時間
QLTBC0 = 0;      // QLTBC0 をクリア
QLTBC1 = 0;      // QLTBC1 をクリア
QLTBC2 = 0;      // QLTBC2 をクリア
ELTBC0 = 1;      // LTBC0 割込み許可
ELTBC1 = 1;      // LTBC1 割込み許可
ELTBC2 = 1;      // LTBC2 割込み許可
```

図 7-3 低速タイムベースカウンタ割込み信号の割り当てを変更する場合のプログラム例

LTBINT レジスタを変更してから低速タイムベースカウンタ割込み要求ビット (IRQ67 レジスタの QLTBCn ビット, n=0～2) が“1”になるまでシステムクロック 1 クロック分の時間を要します。このため、LTBINT レジスタを変更した後に NOP 命令を 1 つ配置してください。

LTBR レジスタに任意のデータを書き込むと LTBR レジスタの T128HZ～T1HZ 信号はすべて“0”に初期化されます。LTBR レジスタに書き込んだタイミングによっては、LTBINT レジスタで割り当てた信号が“1”から“0”に変化し、低速タイムベースカウンタ割込み要求が発生する場合があります。このため、IE67 レジスタで低速タイムベースカウンタ割込みを禁止した状態で、LTBR レジスタに書き込んだ後、発生した低速タイムベースカウンタ割込み要求ビット (IRQ67 レジスタの QLTBCn ビット) を“0”にクリアしてください。(n=0～2)

図 7-4 に、LTBR レジスタを初期化する場合のプログラム例を示します。

```
__DI();          // 割込み禁止 (MIE=0)
LTBR = 0x00;     // LTBR をリセット
__asm("NOP");    // 待ち時間
QLTBC0 = 0;      // QLTBC0 をクリア
QLTBC1 = 0;      // QLTBC1 をクリア
QLTBC2 = 0;      // QLTBC2 をクリア
__EI();          // 割込み許可 (MIE=1)
```

図 7-4 LTBR レジスタを初期化する場合のプログラム例

LTBR レジスタに書き込んでから QLTBCn が“1”になるまでシステムクロック 1 クロック分の時間を要します。このため、LTBR レジスタに書き込んだ後に NOP 命令を 1 つ配置してください。

図 7-5 に、LTBINTレジスタで T128HZ, T16HZ, T2HZ に割り当てた場合の低速タイムベースカウンタ割込み要求発生タイミングと LTBR の書き込みによるリセットタイミングを示します。

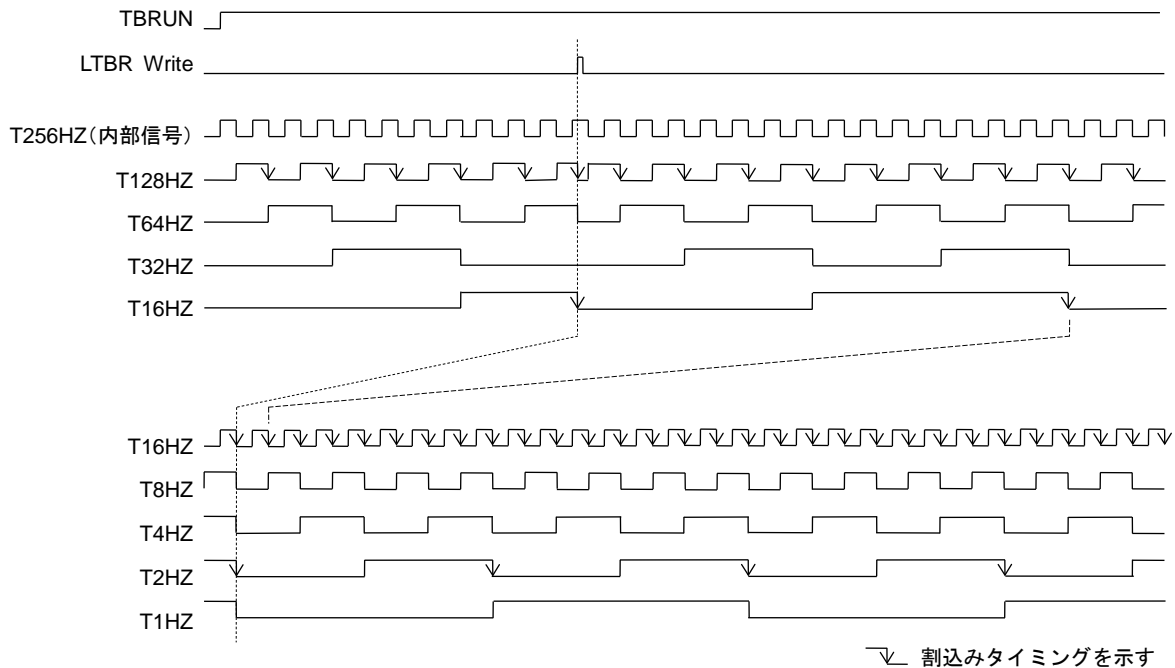


図 7-5 低速タイムベースカウンタ割込みタイミングと LTBR レジスタの書き込みによるリセットタイミング

【注意】

- LTBR レジスタの書き込み後、1 回目の低速タイムベースカウンタ割込み要求が発生するまでの時間は保証されません。低速タイムベースカウンタ割込みを使用して時間を測定する場合は、割込みの発生間隔を基準にして測定を行ってください。
- LTBR レジスタに書き込んだタイミングからリセットが反映されるまで低速クロック (LSCLK) の最大 1 クロックかかります。

7.3.2 低速タイムベースカウンタ周波数補正機能

低速タイムベースカウンタの T128HZ～T1HZ および T128HZR～T1HZR は、低速タイムベースカウンタ周波数補正レジスタ(LTBADJ)を使用して周波数補正が可能です。

TBCOUT0 端子から出力される信号を測定し、LTBADJ レジスタを使用してターゲットの周波数に補正することが可能です。補正範囲および分解能は以下です。

- 補正範囲 : 約-488pm～+488ppm
- 補正分解能 : 約 0.119ppm

補正後の周波数は以下の 2 つのモードで確認することができます。

周波数補正モード	説明
通常周波数補正モード	通常の動作状態で 256 秒周期で補正後の周波数を確認します。 周波数補正後の T2HZR/T1HZR を TBCOUT1 に出力し、T1HZR の 256 サイクルが 256 秒、または T2HZR の 512 サイクルが 256 秒であることを確認します。
仮想周波数補正モード	高速クロックを用いて 0.5 秒周期で補正後の周波数を確認します。 周波数補正後の T2HZ/T1HZ を TBCOUT0 に出力し、T2HZ の 1 サイクルが 0.5 秒であること、または T1HZ の 1 サイクルが 1 秒であることを確認します。 通常周波数補正モードと比較して数 ppm の周波数誤差が発生します。

表 7-2 に周波数補正值 (LTBADJ) と補正率の対応を示します。

表 7-2 周波数補正值 (LTBADJ) と補正率の対応

LADS	LADJ11~0												16 進数	周波数補正率 (ppm)
0	1	1	1	1	1	1	1	1	1	1	1	1	0FFFH	+488.162
0	1	1	1	1	1	1	1	1	1	1	1	0	0FFE H	+488.043
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	0	0	0	0	0	0	0	0	0	1	1	0003H	+0.358
0	0	0	0	0	0	0	0	0	0	0	1	0	0002H	+0.238
0	0	0	0	0	0	0	0	0	0	0	0	1	0001H	+0.119
0	0	0	0	0	0	0	0	0	0	0	0	0	0000H	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1000H	0
1	0	0	0	0	0	0	0	0	0	0	0	1	1001H	-0.119
1	0	0	0	0	0	0	0	0	0	0	1	0	1002H	-0.238
:	:	:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	1	1	1	1	0	1FFE H	-488.043
1	1	1	1	1	1	1	1	1	1	1	1	1	1FFFH	-488.162

LTBADJ レジスタに設定する補正值 (LADJS, LADJ11~LADJ0) は、以下の式で求められます。

$$\begin{aligned}\text{補正值} &= \text{周波数補正率} \times 8388608 \text{ (10 進数)} \\ &= \text{周波数補正率} \times 800000H \text{ (16 進数)}\end{aligned}$$

例 1: +15.0ppm 補正する場合 (時計が遅れる場合)

$$\begin{aligned}\text{補正值} &= +15.0\text{ppm} \times 8388608 \text{ (10 進数)} \\ &= +15.0 \times 10^{-6} \times 8388608 \\ &= +125.82912 \text{ (10 進数)} \\ &\simeq 7EH \text{ (16 進数)} \\ \text{LTBADJ} &= 7EH \text{ (16 進数)}\end{aligned}$$

例 2: -25.5ppm 補正する場合 (時計が早まる場合)

$$\begin{aligned}\text{補正值} &= 25.5\text{ppm} \times 8388608 \text{ (10 進数)} \\ &= 25.5 \times 10^{-6} \times 8388608 \\ &= 213.909504 \text{ (10 進数)} \\ &\simeq D6H \text{ (16 進数)} \\ \text{LTBADJ を設定する時は、符号ビットを追加します。} \\ \text{LTBADJ} &= 10D6H \text{ (16 進数)}\end{aligned}$$

【注意】

- 周波数補正の精度は、温度変動による低速発振 (32.768kHz) の周波数変動を含めた精度を保証するものではありません。

7.3.3 LCD ドライバを利用した周波数確認方法

LCD の表示を利用して補正周波数を確認することが可能です。(ML62Q1700C グループに搭載)
LCD ドライバの表示モードレジスタ (DSPMOD) のフレーム周波数選択ビット (FRM2~FRM0) を“110”もしくは“111”に設定し、表示コントロールレジスタ (DSPCON) で LCD を全点灯状態に設定することで、低速タイムベースカウンタ周波数補正レジスタ (LTBADJ) で補正された周波数が出力されます。

周波数を確認するときの表示モードレジスタ (DSPMOD) のフレーム周波数選択ビット (FRM2~FRM0) の設定を以下にします。

FRM2	FRM1	FRM0	説明
1	1	0	周波数補正後の周波数から基準周波数 32Hz を生成
1	1	1	周波数補正後の周波数から基準周波数 64Hz を生成

第 8 章 16 ビットタイマ

8. 16 ビットタイマ

8.1 概要

16 ビットタイマを使用して以下の機能を実現することができます。

- 任意の間隔で定期的に割込みを発生させる
- 任意の間隔でワンショットの割込みを発生させる
- ポートから任意の周波数のパルスを出力する
- ポートからワンショットのパルスを出力する
- 外部入力の立ち上がりをカウントする

16 ビットタイマは製品により搭載チャンネルが異なります。
表 8-1 に各製品の搭載チャンネルを示します。

表 8-1 16 ビットタイマの搭載チャンネル

チャンネル 番号 (n)	ML62Q1500C ML62Q1700C グループ		
	52 ピン 製品	64 ピン 製品	80 ピン 製品
0	●	●	●
1	●	●	●
2	●	●	●
3	●	●	●
4	●	●	●
5	●	●	●

●: 搭載

8.1.1 特長

- 2 つのタイマモードと 2 つの動作モードを選択可能

タイマモード	動作モード	説明
16 ビットタイマモード	連続モード	最大 0xffff までカウント可能。 ソフトウェアで停止するまで設定した動作を繰り返します
	ワンショットモード	最大 0xffff までカウント可能。 設定した動作を 1 回実行して停止します
8 ビットタイマモード	連続モード	最大 0xff までカウント可能。 ソフトウェアで停止するまで設定した動作を繰り返します
	ワンショットモード	最大 0xff までカウント可能。 設定した動作を 1 回実行して停止します

- 8 ビットタイマモード使用時, 16 ビットタイマ 1 チャンネルを 8 ビットタイマ 2 チャンネルとして使用可能
- タイマクロックに LSCLK または HSCLK を選択可能
- カウントクロックにはタイマクロックおよび, タイマクロックの分周クロック, または外部入力を選択可能
- タイマカウント値と 16 ビットタイマ n データレジスタの値が一致した時, タイマ割込み要求を発生
- タイマカウント値と 16 ビットタイマ n データレジスタの値が一致した時, ポートの出力を反転させることが可能
- ポート出力の初期値をレジスタで選択可能

8.1.2 構成

図 8-1 および図 8-2 に 16 ビットタイマの構成図を示します。

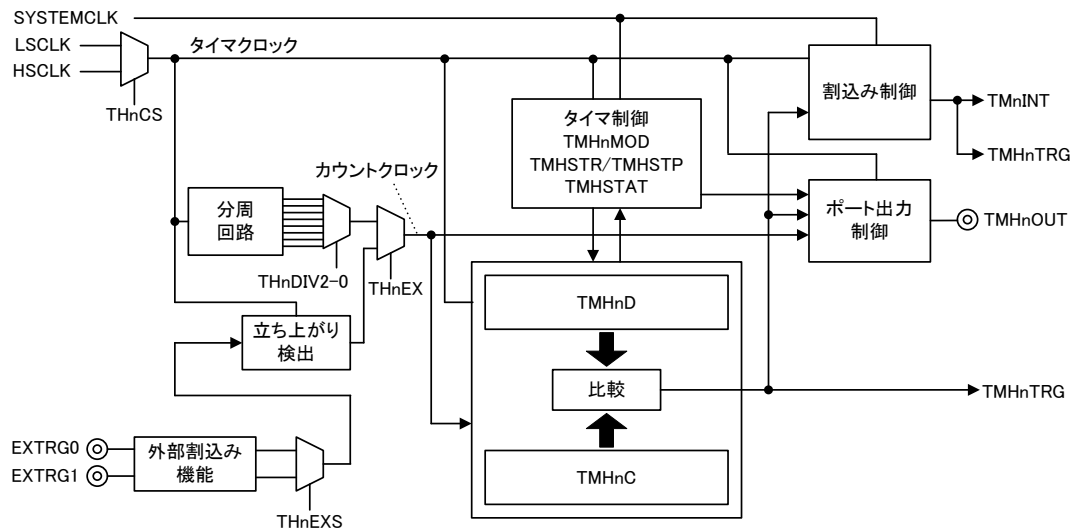


図 8-1 16 ビットタイマモード使用時の構成

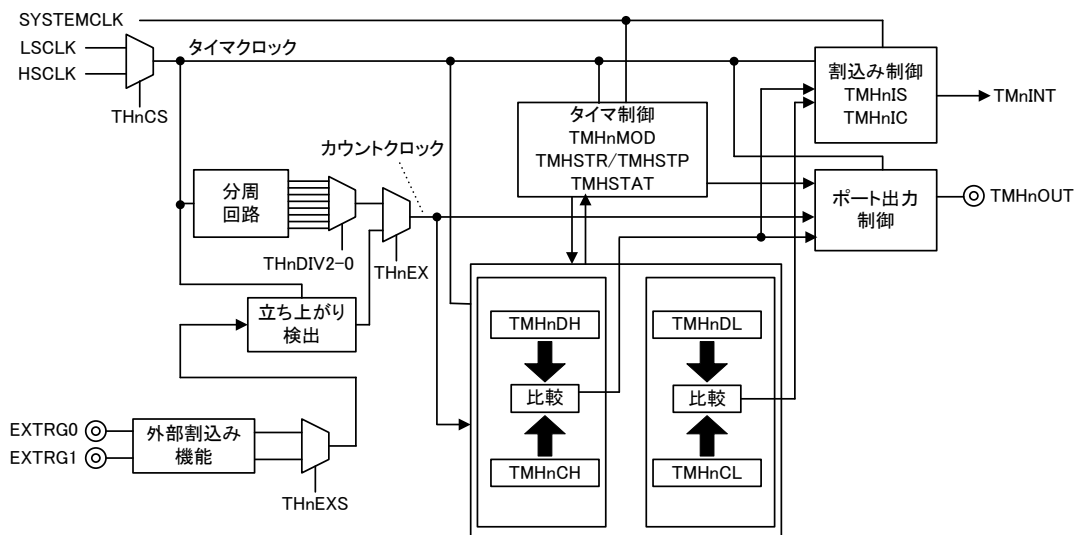


図 8-2 8 ビットタイマモード使用時の構成

TMnINT	: 16 ビットタイマ n 割込み要求
TMHnTRG	: 16 ビットタイマ n トリガ
EXTRG0	: 外部割込み機能のノイズフィルタ通過後の EXI0 端子入力
EXTRG1	: 外部割込み機能のノイズフィルタ通過後の EXI1 端子入力
TMHnD	: 16 ビットタイマ n データレジスタ
TMHnDH	: 16 ビットタイマ n データレジスタの上位 8 ビット
TMHnDL	: 16 ビットタイマ n データレジスタの下位 8 ビット
TMHnC	: 16 ビットタイマ n カウンタレジスタ
TMHnCH	: 16 ビットタイマ n カウンタレジスタの上位 8 ビット
TMHnCL	: 16 ビットタイマ n カウンタレジスタの下位 8 ビット

【注意】

- 16 ビットタイマを 8 ビットタイマモードで使用する場合、2 つの 8 ビットタイマのクロックの設定や割込みは共通です。
- 8 ビットタイマモードのタイマ出力 (TMHnOUT) は、上位側 (TMHnDH と TMHnCH) の比較結果が出力されます。
- 16 ビットタイマ DMA 要求および、SA-ADC トリガを使用する時は、16 ビットタイマモードに設定してください。

8.1.3 端子一覧

16 ビットタイマの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	説明
EXTRG0	I	外部トリガ 0 入力
EXTRG1	I	外部トリガ 1 入力
TMHnOUT	O	16 ビットタイマ n 出力 8 ビットタイマで使用する場合は、上位のタイマからのみ出力可能

16 ビットタイマで使用する汎用ポートおよび、レジスタ設定を表 8-2 に示します。

表 8-2 16 ビットタイマ機能使用ポートおよびレジスタ設定

端子名	兼用ポート		設定レジスタ	設定値	ML62Q1500C ML62Q1700C グループ		
					52 ビットタイマ	64 ビットタイマ	80 ビットタイマ
EXTRG0	P02	1 次機能	P0MOD2	0000_0X01 ^{*1}	●	●	●
EXTRG1	P03	1 次機能	P0MOD3	0000_0X01 ^{*1}	●	●	●
TMH0OUT	P04	5 次機能	P0MOD4	0100_XXXX ^{*2}	●	●	●
TMH1OUT	P13	5 次機能	P1MOD3	0100_XXXX ^{*2}	●	●	●
TMH2OUT	P23	5 次機能	P2MOD3	0100_XXXX ^{*2}	●	●	●
TMH3OUT	P13	7 次機能	P1MOD3	0110_XXXX ^{*2}	●	●	●
	P33	5 次機能	P3MOD3	0100_XXXX ^{*2}	●	●	●
TMH4OUT	P12	5 次機能	P1MOD2	0100_XXXX ^{*2}	●	●	●
TMH5OUT	P16	5 次機能	P1MOD6	0100_XXXX ^{*2}	●	●	●

●: 搭載

*1: X の設定値は以下

X	ポート入力状態
0	入力(プルアップなし)
1	入力(プルアップあり)

*2: XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力(プルアップなし)
1111	Nch オープンドレイン出力(プルアップあり)

8.2 レジスタ説明

8.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF300	16 ビットタイマ 0 データレジスタ	TMH0DL	TMH0D	R/W	8/16	0xFF
0xF301		TMH0DH		R/W	8	0xFF
0xF302	16 ビットタイマ 1 データレジスタ	TMH1DL	TMH1D	R/W	8/16	0xFF
0xF303		TMH1DH		R/W	8	0xFF
0xF304	16 ビットタイマ 2 データレジスタ	TMH2DL	TMH2D	R/W	8/16	0xFF
0xF305		TMH2DH		R/W	8	0xFF
0xF306	16 ビットタイマ 3 データレジスタ	TMH3DL	TMH3D	R/W	8/16	0xFF
0xF307		TMH3DH		R/W	8	0xFF
0xF308	16 ビットタイマ 4 データレジスタ	TMH4DL	TMH4D	R/W	8/16	0xFF
0xF309		TMH4DH		R/W	8	0xFF
0xF30A	16 ビットタイマ 5 データレジスタ	TMH5DL	TMH5D	R/W	8/16	0xFF
0xF30B		TMH5DH		R/W	8	0xFF
0xF30C ～ 0xF30F	予約レジスタ	—	—	—	—	—
0xF310	16 ビットタイマ 0 カウンタレジスタ	TMH0CL	TMH0C	R/W	8/16	0x00
0xF311		TMH0CH		R/W	8	0x00
0xF312	16 ビットタイマ 1 カウンタレジスタ	TMH1CL	TMH1C	R/W	8/16	0x00
0xF313		TMH1CH		R/W	8	0x00
0xF314	16 ビットタイマ 2 カウンタレジスタ	TMH2CL	TMH2C	R/W	8/16	0x00
0xF315		TMH2CH		R/W	8	0x00
0xF316	16 ビットタイマ 3 カウンタレジスタ	TMH3CL	TMH3C	R/W	8/16	0x00
0xF317		TMH3CH		R/W	8	0x00
0xF318	16 ビットタイマ 4 カウンタレジスタ	TMH4CL	TMH4C	R/W	8/16	0x00
0xF319		TMH4CH		R/W	8	0x00
0xF31A	16 ビットタイマ 5 カウンタレジスタ	TMH5CL	TMH5C	R/W	8/16	0x00
0xF31B		TMH5CH		R/W	8	0x00
0xF31C ～ 0xF31F	予約レジスタ	—	—	—	—	—
0xF320	16 ビットタイマ 0 モードレジスタ	TMH0MODL	TMH0MOD	R/W	8/16	0x00
0xF321		TMH0MODH		R/W	8	0x00
0xF322	16 ビットタイマ 1 モードレジスタ	TMH1MODL	TMH1MOD	R/W	8/16	0x00
0xF323		TMH1MODH		R/W	8	0x00
0xF324	16 ビットタイマ 2 モードレジスタ	TMH2MODL	TMH2MOD	R/W	8/16	0x00
0xF325		TMH2MODH		R/W	8	0x00
0xF326	16 ビットタイマ 3 モードレジスタ	TMH3MODL	TMH3MOD	R/W	8/16	0x00
0xF327		TMH3MODH		R/W	8	0x00
0xF328	16 ビットタイマ 4 モードレジスタ	TMH4MODL	TMH4MOD	R/W	8/16	0x00
0xF329		TMH4MODH		R/W	8	0x00
0xF32A	16 ビットタイマ 5 モードレジスタ	TMH5MODL	TMH5MOD	R/W	8/16	0x00
0xF32B		TMH5MODH		R/W	8	0x00
0xF32C ～ 0xF32F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF330	16 ビットタイマ 0 割込みステータスレジスタ	TMH0ISL	TMH0IS	R	8/16	0x00
0xF331		TMH0ISH		R	8	0x00
0xF332	16 ビットタイマ 1 割込みステータスレジスタ	TMH1ISL	TMH1IS	R	8/16	0x00
0xF333		TMH1ISH		R	8	0x00
0xF334	16 ビットタイマ 2 割込みステータスレジスタ	TMH2ISL	TMH2IS	R	8/16	0x00
0xF335		TMH2ISH		R	8	0x00
0xF336	16 ビットタイマ 3 割込みステータスレジスタ	TMH3ISL	TMH3IS	R	8/16	0x00
0xF337		TMH3ISH		R	8	0x00
0xF338	16 ビットタイマ 4 割込みステータスレジスタ	TMH4ISL	TMH4IS	R	8/16	0x00
0xF339		TMH4ISH		R	8	0x00
0xF33A	16 ビットタイマ 5 割込みステータスレジスタ	TMH5ISL	TMH5IS	R	8/16	0x00
0xF33B		TMH5ISH		R	8	0x00
0xF33C ～ 0xF33F	予約レジスタ	—	—	—	—	—
0xF340	16 ビットタイマ 0 割込みクリアレジスタ	TMH0ICL	TMH0IC	W	8/16	0x00
0xF341		TMH0ICH		W	8	0x00
0xF342	16 ビットタイマ 1 割込みクリアレジスタ	TMH1ICL	TMH1IC	W	8/16	0x00
0xF343		TMH1ICH		W	8	0x00
0xF344	16 ビットタイマ 2 割込みクリアレジスタ	TMH2ICL	TMH2IC	W	8/16	0x00
0xF345		TMH2ICH		W	8	0x00
0xF346	16 ビットタイマ 3 割込みクリアレジスタ	TMH3ICL	TMH3IC	W	8/16	0x00
0xF347		TMH3ICH		W	8	0x00
0xF348	16 ビットタイマ 4 割込みクリアレジスタ	TMH4ICL	TMH4IC	W	8/16	0x00
0xF349		TMH4ICH		W	8	0x00
0xF34A	16 ビットタイマ 5 割込みクリアレジスタ	TMH5ICL	TMH5IC	W	8/16	0x00
0xF34B		TMH5ICH		W	8	0x00
0xF34C ～ 0xF34F	予約レジスタ	—	—	—	—	—
0xF350	16 ビットタイマスタートレジスタ	TMHSTRL	TMHSTR	W	8/16	0x00
0xF351		TMHSTRH		W	8	0x00
0xF352	16 ビットタイマストップレジスタ	TMHSTPL	TMHSTP	W	8/16	0x00
0xF353		TMHSTPH		W	8	0x00
0xF354	16 ビットタイマステータスレジスタ	TMHSTATL	TMHSTAT	R	8/16	0x00
0xF355		TMHSTATH		R	8	0x00

8.2.2 16 ビットタイマ n データレジスタ (TMHnD : n=0~5)

本レジスタはタイマカウンタ(TMHnC レジスタ)との比較値を設定する特殊機能レジスタ(SFR)です。
8 ビットタイマモードで使用する場合, TMHnDL レジスタ値と TMHnCL レジスタ値, および TMHnDH レジスタ値と TMHnCH レジスタ値を比較します。

アドレス: 0xF300(TMh0DL/TMH0D), 0xF301(TMh0DH),
0xF302(TMh1DL/TMH1D), 0xF303(TMh1DH),
0xF304(TMh2DL/TMH2D), 0xF305(TMh2DH),
0xF306(TMh3DL/TMH3D), 0xF307(TMh3DH),
0xF308(TMh4DL/TMH4D), 0xF309(TMh4DH),
0xF30A(TMh5DL/TMH5D), 0xF30B(TMh5DH)

アクセス: R/W

アクセスサイズ: 8 ビット／16 ビット

初期値: 0xFFFF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	TMHnD															
バイト	TMHnDH								TMHnDL							
ビット	THnD 15	THnD 14	THnD 13	THnD 12	THnD 11	THnD 10	THnD9	THnD8	THnD7	THnD6	THnD5	THnD4	THnD3	THnD2	THnD1	THnD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

- 【注意】
- TMHnD レジスタは, 16 ビットタイマ n が停止している状態(TMhSTAT レジスタの THnSTAT/THnHSTAT が“0”の状態)で設定してください。動作中に変更した場合, 動作は保証されません。
 - 16 ビットタイマモード時, TMHnD レジスタに 0x0000 を書き込むと, TMHnD レジスタには 0x0001 が設定されます。
 - 8 ビットタイマモード時, TMHnDL レジスタに 0x00 を書き込むと, TMHnDL レジスタには 0x01 が設定されます。
TMHnDH レジスタに 0x00 を書き込むと, TMHnDH レジスタには 0x01 が設定されます。

8.2.3 16 ビットタイマ n カウンタレジスタ (TMHnC : n=0~5)

本レジスタは 16 ビットのバイナリカウンタとして機能する特殊機能レジスタ(SFR)です。
 レジスタの値は、タイマカウントクロックの立ち上がり同期してカウントアップを行います。
 リセット機能以外に、以下のイベントの発生時に 0x0000 に初期化されます。

- 任意のデータの書き込み
- TMHnD レジスタの値と TMHnC レジスタの値が一致した時

8 ビットタイマモードで使用する場合、TMHnCH レジスタと TMHnCL レジスタにそれぞれ任意のデータを書き込むと、それぞれのレジスタの値が 0x00 に初期化されます。TMHnCH レジスタと TMHnDH レジスタの値が一致した場合、および TMHnCL レジスタと TMHnDL レジスタの値が一致した場合にそれぞれのレジスタの値が 0x00 に初期化されます。

アドレス:

0xF310(TMh0C/TMh0CL), 0xF311(TMh0CH),
 0xF312(TMh1C/TMh1CL), 0xF313(TMh1CH),
 0xF314(TMh2C/TMh2CL), 0xF315(TMh2CH),
 0xF316(TMh3C/TMh3CL), 0xF317(TMh3CH),
 0xF318(TMh4C/TMh4CL), 0xF319(TMh4CH),
 0xF31A(TMh5C/TMh5CL), 0xF31B(TMh5CH)

アクセス:

R/W

アクセスサイズ:

8 ビット／16 ビット

初期値:

0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	TMHnC															
バイト	TMHnCH								TMHnCL							
ビット	THnC 15	THnC 14	THnC 13	THnC 12	THnC 11	THnC 10	THnC 9	THnC 8	THnC 7	THnC 6	THnC 5	THnC 4	THnC 3	THnC 2	THnC 1	THnC 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

8.2.4 16 ビットタイマ n モードレジスタ (TMHnMOD : n=0~5)

本レジスタは、16 ビットタイマの動作モードを制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF320 (TMH0MODL/TMH0MOD), 0xF321 (TMH0MODH),
0xF322 (TMH1MODL/TMH1MOD), 0xF323 (TMH1MODH),
0xF324 (TMH2MODL/TMH2MOD), 0xF325 (TMH2MODH),
0xF326 (TMH3MODL/TMH3MOD), 0xF327 (TMH3MODH),
0xF328 (TMH4MODL/TMH4MOD), 0xF329 (TMH4MODH),
0xF32A (TMH5MODL/TMH5MOD), 0xF32B (TMH5MODH)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	TMHnMOD															
バイト	TMHnMODH								TMHnMODL							
ビット	rsvd	rsvd	rsvd	rsvd	rsvd	THn NEG	THn OST	THn 8BM	rsvd	THn DIV2	THn DIV1	THn DIV0	THn EXS	THn EX	rsvd	THn CS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15~ 11	rsvd	予約ビットです。“0”を書き込んでください。
10	THnNEG	タイマ出力 (TMHnOUT) 端子の出力極性を選択するビットです。 0: 正論理 (タイマ出力初期値は“L”レベル) (初期値) 1: 負論理 (タイマ出力初期値は“H”レベル)
9	THnOST	16 ビットタイマ n の動作モードを選択するビットです。 0: 連続モード (初期値) 1: ワンショットモード
8	THn8BM	16 ビットタイマ n を 8 ビットタイマ (2 チャネル) として動作させるかを選択するビットです。 0: 16 ビットタイマモード (初期値) 1: 8 ビットタイマモード
7	rsvd	予約ビットです。“0”を書き込んでください。
6~4	THnDIV2~ THnDIV0	16 ビットタイマ n のカウントクロック分周比を選択するビットです。 000: 分周なし (初期値) 001: 2 分周 010: 4 分周 011: 8 分周 100: 16 分周 101: 32 分周 110: 64 分周 111: 128 分周
3	THnEXS	16 ビットタイマ n のカウントクロックとなる外部トリガを選択します。 0: EXTRG0 (初期値) 1: EXTRG1
2	THnEX	16 ビットタイマ n のカウントクロック (THnCK) を選択します。 0: THnCS ビットで選択したタイマクロックを THnDIV2~THnDIV0 ビットで選択した分周比で カウントします。(初期値) 1: THnEXS ビットで選択した外部トリガを THnCS ビットで選択したタイマクロックで立ち上が りエッジを検出し、カウントします。
1	rsvd	予約ビットです。“0”を書き込んでください。

ビット 番号	ビットシンボル 名	説明
0	THnCS	16 ビットタイマ n のタイマクロックを選択するビットです。 0: LSCLK(初期値) 1: HSCLK

【注意】

- 外部入力端子から入力する信号はタイマクロックの 2 クロック以上の幅を入力してください。
- TMHnMOD レジスタは 16 ビットタイマ n が停止している状態 (THnSTAT ビットまたは THnHSTAT ビットが “0” の状態) で設定してください。動作中に変更した場合、動作は保証されません。
- 8 ビットタイマモードで使用する場合、THnOST ビット、THnDIV2 ビット～THnDIV0 ビット、THnCS、THnEXS、THnEX ビットの設定は上位側、下位側のタイマで共通です。
- 外部トリガの設定は、タイマクロックを分周なし、システムクロックが HSCLK の場合は THnCS=1、LSCLK の場合は THnCS=0 の状態で行ってください。(8.3.3.2 項 図 8-13 の外部入力カウント設定フローを参照してください。)

8.2.5 16 ビットタイマ n 割込みステータスレジスタ（TMHnIS：n=0～5）

本レジスタは、8 ビットタイマモードで使用する際の割込み要求の状態を示す特殊機能レジスタ(SFR)です。
8 ビットタイマモード時、上位側、下位側のどちらの割込み要求が出力されたかを確認できます。
16 ビットタイマモード時は“0x00”固定です。
本レジスタのビット 0 およびビット 1 は、リセット機能の他に TMHnIC レジスタの同一ビットへの“1”書き込みによって“0”に初期化されます。

アドレス：0xF330(TMh0ISL/TMh0IS), 0xF331(TMh0ISH),
0xF332(TMh1ISL/TMh1IS), 0xF333(TMh1ISH),
0xF334(TMh2ISL/TMh2IS), 0xF335(TMh2ISH),
0xF336(TMh3ISL/TMh3IS), 0xF337(TMh3ISH),
0xF338(TMh4ISL/TMh4IS), 0xF339(TMh4ISH),
0xF33A(TMh5ISL/TMh5IS), 0xF33B(TMh5ISH)

アクセス：R

アクセスサイズ：8 ビット／16 ビット

初期値：0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	TMHnIS															
バイト	TMHnISH								TMHnISL							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	THn HIS	THn LIS
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～2	—	予約ビット
1	THnHIS	16 ビットタイマ n の上位側割込み要求 0: 割込み要求なし(初期値) 1: 割込み要求あり
0	THnLIS	16 ビットタイマ n の下位側割込み要求 0: 割込み要求なし(初期値) 1: 割込み要求あり

- 【注意】
- THnHIS ビットまたは THnLIS ビットが“1”の状態では、同一チャネルの 8 ビットタイマの割込み要求は出力されません。割込みを要求を出力させるためには TMHnIC レジスタの同一ビットに“1”を書き込んで THnHIS ビットおよび THnLIS ビットを“0”にクリアしてください。

8.2.6 16 ビットタイマ n 割込みクリアレジスタ（TMHnIC：n=0～5）

本レジスタは、8 ビットタイマモードで使用する際の割込み要求の状態をクリアするための特殊機能レジスタ(SFR)です。16 ビットタイマモード時は使用しません。

TMHnIC レジスタの THnHIC ビットおよび、THnLIC ビットに“1”を書き込むと、TMHnIS レジスタの同一ビットの割込み要求がクリアされます。また、THnIR ビットに“1”を書き込むと TMHnIS レジスタに未処理の割込み要求がある場合、その割込み要求を発生させることができます。

TMHnIC レジスタは書き込み専用のレジスタです。読み出すと常に“0x0000”が読み出されます。

アドレス：0xF340(TMh0ICL/TMh0ICH), 0xF341(TMh0ICH),
0xF342(TMh1ICL/TMh1ICH), 0xF343(TMh1ICH),
0xF344(TMh2ICL/TMh2ICH), 0xF345(TMh2ICH),
0xF346(TMh3ICL/TMh3ICH), 0xF347(TMh3ICH),
0xF348(TMh4ICL/TMh4ICH), 0xF349(TMh4ICH),
0xF34A(TMh5ICL/TMh5ICH), 0xF34B(TMh5ICH)

アクセス：W

アクセスサイズ：8 ビット／16 ビット

初期値：0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	TMHnIC															
バイト	TMHnICH								TMHnICL							
ビット	—	—	—	—	—	—	—	—	THnIR	—	—	—	—	—	THnHIC	THnLIC
R/W	R	R	R	R	R	R	R	R	W	R	R	R	R	R	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～8	—	予約ビット
7	THnIR	16ビットタイマ n の上位側 8 ビットタイマまたは、下位側 8 ビットタイマの未処理(クリア対象外の割込み要求が TMHnIS レジスタに残っていた場合)の割込み要求を発生させるビットです。 “0”書き込み: 無効 “1”書き込み: 未処理の割込み要求を発生させる
6～2	—	予約ビット
1	THnHIC	16ビットタイマ n の上位側 8 ビットタイマの割込み要求をクリアするビットです。 “0”書き込み: 無効 “1”書き込み: 割込み要求状態を“0”にクリア
0	THnLIC	16ビットタイマ n の下位側 8 ビットタイマの割込み要求をクリアするビットです。 “0”書き込み: 無効 “1”書き込み: 割込み要求状態を“0”にクリア

8.2.7 16 ビットタイマスタートレジスタ (TMHSTR)

本レジスタは、16 ビットタイマ n のカウント開始を制御する特殊機能レジスタ (SFR) です。

16 ビットタイマモード時、カウント開始の制御には TMHSTR_L レジスタを使用します。

8 ビットタイマモード時、上位側の 8 ビットタイマのカウント開始の制御には TMHSTR_H レジスタ、下位側の 8 ビットタイマのカウント開始の制御には TMHSTR_L レジスタを使用します。

TMHSTR レジスタは書き込み専用のレジスタです。読み出すと常に“0x0000”が読み出されます。

アドレス: 0xF350
アクセス: W
アクセスサイズ: 8 ビット / 16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	TMHSTR															
バイト	TMHSTR _H								TMHSTR _L							
ビット	—	—	TH5H RUN	TH4H RUN	TH3H RUN	TH2H RUN	TH1H RUN	TH0H RUN	—	—	TH5 RUN	TH4 RUN	TH3 RUN	TH2 RUN	TH1 RUN	TH0 RUN
R/W	R	R	W	W	W	W	W	W	R	R	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15, 14	—	予約ビット
13	TH5HRUN	8 ビットタイマモード時: 16 ビットタイマ 5 の上位側タイマスタート制御 “0”書き込み: 無効 “1”書き込み: カウント開始
12	TH4HRUN	8 ビットタイマモード時: 16 ビットタイマ 4 の上位側タイマスタート制御 “0”書き込み: 無効 “1”書き込み: カウント開始
11	TH3HRUN	8 ビットタイマモード時: 16 ビットタイマ 3 の上位側タイマスタート制御 “0”書き込み: 無効 “1”書き込み: カウント開始
10	TH2HRUN	8 ビットタイマモード時: 16 ビットタイマ 2 の上位側タイマスタート制御 “0”書き込み: 無効 “1”書き込み: カウント開始
9	TH1HRUN	8 ビットタイマモード時: 16 ビットタイマ 1 の上位側タイマスタート制御 “0”書き込み: 無効 “1”書き込み: カウント開始
8	TH0HRUN	8 ビットタイマモード時: 16 ビットタイマ 0 の上位側タイマスタート制御 “0”書き込み: 無効 “1”書き込み: カウント開始
7, 6	—	予約ビット
5	TH5RUN	16 ビットタイマモード時: 16 ビットタイマ 5 のタイマスタート制御 8 ビットタイマモード時: 16 ビットタイマ 5 の下位側タイマスタート側制御 “0”書き込み: 無効 “1”書き込み: カウント開始
4	TH4RUN	16 ビットタイマモード時: 16 ビットタイマ 4 のタイマスタート制御 8 ビットタイマモード時: 16 ビットタイマ 4 の下位側タイマスタート側制御 “0”書き込み: 無効 “1”書き込み: カウント開始

ビット 番号	ビットシンボル 名	説明
3	TH3RUN	16 ビットタイマモード時: 16 ビットタイマ 3 のタイマスタート制御 8 ビットタイマモード時: 16 ビットタイマ 3 の下位側タイマスタート側制御 “0”書き込み: 無効 “1”書き込み: カウント開始
2	TH2RUN	16 ビットタイマモード時: 16 ビットタイマ 2 のタイマスタート制御 8 ビットタイマモード時: 16 ビットタイマ 2 の下位側タイマスタート側制御 “0”書き込み: 無効 “1”書き込み: カウント開始
1	TH1RUN	16 ビットタイマモード時: 16 ビットタイマ 1 のタイマスタート制御 8 ビットタイマモード時: 16 ビットタイマ 1 の下位側タイマスタート側制御 “0”書き込み: 無効 “1”書き込み: カウント開始
0	TH0RUN	16 ビットタイマモード時: 16 ビットタイマ 0 のタイマスタート制御 8 ビットタイマモード時: 16 ビットタイマ 0 の下位側タイマスタート側制御 “0”書き込み: 無効 “1”書き込み: カウント開始

【注意】

- 16 ビットタイマモードでは, ビット 15～8 は使用しません。“1”を書き込んだ場合, 無効です。
- THnRUN/THnHRUN は, タイマ n が停止している状態 (TMHSTAT レジスタの THnSTAT/THnHSTAT が“0”の状態) で設定してください。

8.2.8 16 ビットタイマストップレジスタ (TMHSTP)

本レジスタは、16 ビットタイマ n のカウント停止を制御する特殊機能レジスタ (SFR) です。

16 ビットタイマモード時、カウント停止の制御には TMHSTPL レジスタを使用します。

8 ビットタイマモード時、上位側の 8 ビットタイマのカウント停止の制御には TMHSTPH レジスタ、下位側の 8 ビットタイマのカウント停止の制御には TMHSTPL レジスタを使用します。

TMHSTP レジスタは書き込み専用のレジスタです。読み出すと常に“0x0000”が読み出されます。

アドレス: 0xF352
アクセス: W
アクセスサイズ: 8 ビット / 16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	TMHSTP															
バイト	TMHSTPH								TMHSTPL							
ビット	—	—	TH5H STP	TH4H STP	TH3H STP	TH2H STP	TH1H STP	TH0H STP	—	—	TH5 STP	TH4 STP	TH3 STP	TH2 STP	TH1 STP	TH0 STP
R/W	R	R	W	W	W	W	W	W	R	R	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15, 14	—	予約ビット
13	TH5HSTP	8 ビットタイマモード時: 16 ビットタイマ 5 の上位側タイマストップ制御 “0”書き込み: 無効 “1”書き込み: カウント停止
12	TH4HSTP	8 ビットタイマモード時: 16 ビットタイマ 4 の上位側タイマストップ制御 “0”書き込み: 無効 “1”書き込み: カウント停止
11	TH3HSTP	8 ビットタイマモード時: 16 ビットタイマ 3 の上位側タイマストップ制御 “0”書き込み: 無効 “1”書き込み: カウント停止
10	TH2HSTP	8 ビットタイマモード時: 16 ビットタイマ 2 の上位側タイマストップ制御 “0”書き込み: 無効 “1”書き込み: カウント停止
9	TH1HSTP	8 ビットタイマモード時: 16 ビットタイマ 1 の上位側タイマストップ制御 “0”書き込み: 無効 “1”書き込み: カウント停止
8	TH0HSTP	8 ビットタイマモード時: 16 ビットタイマ 0 の上位側タイマストップ制御 “0”書き込み: 無効 “1”書き込み: カウント停止
7, 6	—	予約ビット
5	TH5STP	16 ビットタイマモード時: 16 ビットタイマ 5 のタイマストップ制御 8 ビットタイマモード時: 16 ビットタイマ 5 の下位側タイマストップ側制御 “0”書き込み: 無効 “1”書き込み: カウント停止
4	TH4STP	16 ビットタイマモード時: 16 ビットタイマ 4 のタイマストップ制御 8 ビットタイマモード時: 16 ビットタイマ 4 の下位側タイマストップ側制御 “0”書き込み: 無効 “1”書き込み: カウント停止

ビット 番号	ビットシンボル 名	説明
3	TH3STP	16 ビットタイマモード時: 16 ビットタイマ 3 のタイマストップ制御 8 ビットタイマモード時: 16 ビットタイマ 3 の下位側タイマストップ側制御 “0”書き込み: 無効 “1”書き込み: カウント停止
2	TH2STP	16 ビットタイマモード時: 16 ビットタイマ 2 のタイマストップ制御 8 ビットタイマモード時: 16 ビットタイマ 2 の下位側タイマストップ側制御 “0”書き込み: 無効 “1”書き込み: カウント停止
1	TH1STP	16 ビットタイマモード時: 16 ビットタイマ 1 のタイマストップ制御 8 ビットタイマモード時: 16 ビットタイマ 1 の下位側タイマストップ側制御 “0”書き込み: 無効 “1”書き込み: カウント停止
0	TH0STP	16 ビットタイマモード時: 16 ビットタイマ 0 のタイマストップ制御 8 ビットタイマモード時: 16 ビットタイマ 0 の下位側タイマストップ側制御 “0”書き込み: 無効 “1”書き込み: カウント停止

【注意】

- 16 ビットタイマモードでは、ビット 15～8 は使用しません。“1”を書き込んだ場合、無効です。
- THnSTP/THnHSTP は、タイマ n が動作している状態 (TMHSTAT レジスタの THnSTAT/THnHSTAT が“1”の状態) で設定してください。

8.2.9 16 ビットタイマステータスレジスタ (TMHSTAT)

本レジスタは、16 ビットタイマ n の動作状態を示す特殊機能レジスタ (SFR) です。

16 ビットタイマモード時、動作状態の確認には TMHSTATL レジスタを使用します。TMHSTATH レジスタは“0x00”固定になります。

8 ビットタイマモード時、上位側の 8 ビットタイマの動作状態の確認には TMHSTATH レジスタを使用し、下位側の 8 ビットタイマの動作状態の確認には TMHSTATL レジスタを使用します。

アドレス: 0xF354
アクセス: R
アクセスサイズ: 8 ビット / 16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	TMHSTAT															
バイト	TMHSTATH								TMHSTATL							
ビット	—	—	TH5H STAT	TH4H STAT	TH3H STAT	TH2H STAT	TH1H STAT	TH0H STAT	—	—	TH5 STAT	TH4 STAT	TH3 STAT	TH2 STAT	TH1 STAT	TH0 STAT
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15, 14	—	予約ビット
13	TH5HSTAT	8 ビットタイマモード時: 16 ビットタイマ 5 の上位側タイマステータス 0: カウント停止中 (初期値) 1: カウント中
12	TH4HSTAT	8 ビットタイマモード時: 16 ビットタイマ 4 の上位側タイマステータス 0: カウント停止中 (初期値) 1: カウント中
11	TH3HSTAT	8 ビットタイマモード時: 16 ビットタイマ 3 の上位側タイマステータス 0: カウント停止中 (初期値) 1: カウント中
10	TH2HSTAT	8 ビットタイマモード時: 16 ビットタイマ 2 の上位側タイマステータス 0: カウント停止中 (初期値) 1: カウント中
9	TH1HSTAT	8 ビットタイマモード時: 16 ビットタイマ 1 の上位側タイマステータス 0: カウント停止中 (初期値) 1: カウント中
8	TH0HSTAT	8 ビットタイマモード時: 16 ビットタイマ 0 の上位側タイマステータス 0: カウント停止中 (初期値) 1: カウント中
7, 6	—	予約ビット
5	TH5STAT	16 ビットタイマモード時: 16 ビットタイマ 5 のタイマステータス 8 ビットタイマモード時: 16 ビットタイマ 5 の下位側タイマステータス 0: カウント停止中 (初期値) 1: カウント中
4	TH4STAT	16 ビットタイマモード時: 16 ビットタイマ 4 のタイマステータス 8 ビットタイマモード時: 16 ビットタイマ 4 の下位側タイマステータス 0: カウント停止中 (初期値) 1: カウント中

ビット 番号	ビットシンボル 名	説明
3	TH3STAT	16 ビットタイマモード時: 16 ビットタイマ 3 のタイマステータス 8 ビットタイマモード時: 16 ビットタイマ 3 の下位側タイマステータス 0: カウント停止中(初期値) 1: カウント中
2	TH2STAT	16 ビットタイマモード時: 16 ビットタイマ 2 のタイマステータス 8 ビットタイマモード時: 16 ビットタイマ 2 の下位側タイマステータス 0: カウント停止中(初期値) 1: カウント中
1	TH1STAT	16 ビットタイマモード時: 16 ビットタイマ 1 のタイマステータス 8 ビットタイマモード時: 16 ビットタイマ 1 の下位側タイマステータス 0: カウント停止中(初期値) 1: カウント中
0	TH0STAT	16 ビットタイマモード時: 16 ビットタイマ 0 のタイマステータス 8 ビットタイマモード時: 16 ビットタイマ 0 の下位側タイマステータス 0: カウント停止中(初期値) 1: カウント中

8.3 動作説明

16 ビットタイマは、2 つのタイマモードを使用可能です。

- 16 ビットタイマモード
- 8 ビットタイマモード

8.3.1 16 ビットタイマモード

TMHnMOD レジスタの THn8BM ビットに“0”に設定すると 16 ビットタイマモードで動作します。

16 ビットタイマモードでは、THnRUN ビットに“1”を書き込むとタイマクロックの立ち上がり同期して 16 ビットカウンタがカウントアップを開始します。

汎用ポートの兼用機能設定でタイマ出力(TMHNOUT)を選択してポートを出力許可に設定した場合、タイマカウント値と TMHnD レジスタの値が一致するとポートの出力が反転します。また、タイマカウント中に THnSTP ビットに“1”を書き込むとタイマクロックに同期してカウントを停止し、ポートの出力が初期値に戻ります。ポート出力の初期値は TMHnMOD レジスタの THnNEG ビットを使用して“H”レベルと“L”レベルを選択することができます。

16 ビットタイマモードでは、以下の 2 つの動作モードを使用可能です。

- 連続モード
- ワンショットモード

8.3.1.1 連続モード

図 8-3 に 16 ビットタイマモードでの連続モード動作を示します。

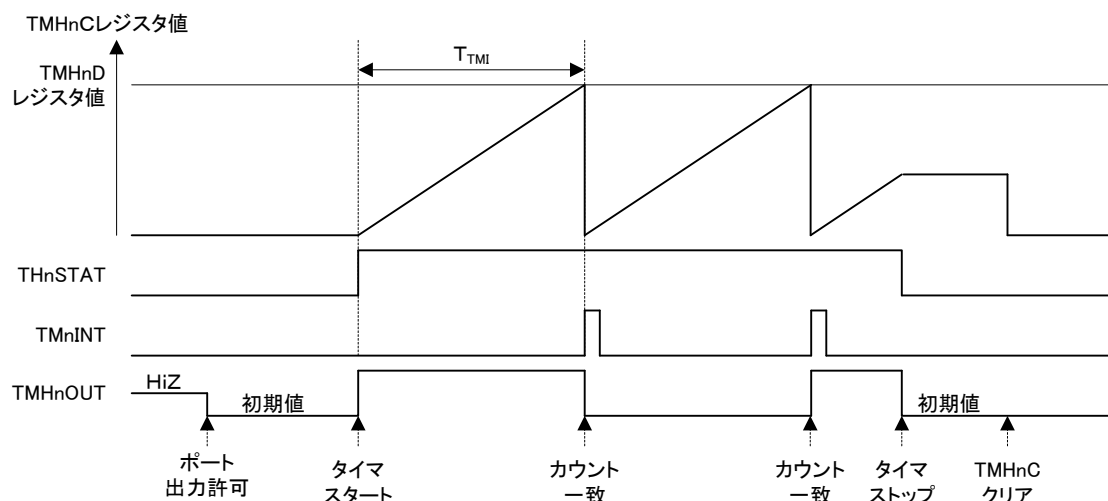


図 8-3 16 ビットタイマモード・連続モード動作タイミング

連続モードでは、タイマカウント値と TMHnD レジスタの値が一致すると、16 ビットタイマ n 割込み要求(TMnINT)が発生し、ポートの出力が反転します。その後、自動でタイマカウント値が 0x0000 に戻り、カウントアップを続けます。

TMnINT の発生周期および、ポート出力の反転周期は以下の式で表されます。

$$T_{TMI} = \frac{TMHnD + 1}{f_{THnCK} \text{ (Hz)}} \quad (n=0 \sim 5)$$

TMHnD : TMHnD レジスタ設定値(0x0001~0xFFFF)

fTHnCK : TMHnMOD レジスタの THnCK ビットにより選択されたカウントクロックの周波数

タイマスタート/ストップおよび、カウントアップのタイミングについては「8.3.3.1 スタート/ストップタイミング」を参照してください。外部入力を使用する場合のカウントアップタイミングについては「8.3.3.2 外部入力カウントタイミング」を参照してください。

8.3.1.2 ワンショットモード

図 8-4 に 16 ビットタイマモード・ワンショットモード動作を示します。

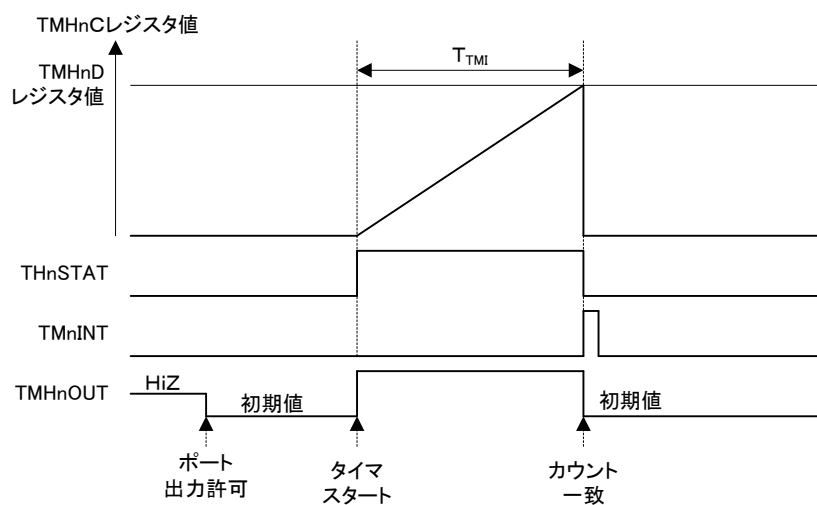


図 8-4 16 ビットタイマモード・ワンショットモードの動作タイミング

ワンショットモードではタイマカウント値と TMHnD レジスタの値が一致すると、16 ビットタイマ n 割込み (TMnINT) が発生し、ポートの出力が反転します。その後、タイマカウント値が 0x0000 に戻り、カウントを停止します。

TMnINT の発生周期および、ポート出力の反転周期は連続モードと同様です。また、タイマスタート/ストップおよび、カウントアップのタイミングについても連続モードと同様です。

8.3.1.3 設定例

図 8-5 に 16 ビットタイマモードを使用する場合の設定例を示します。

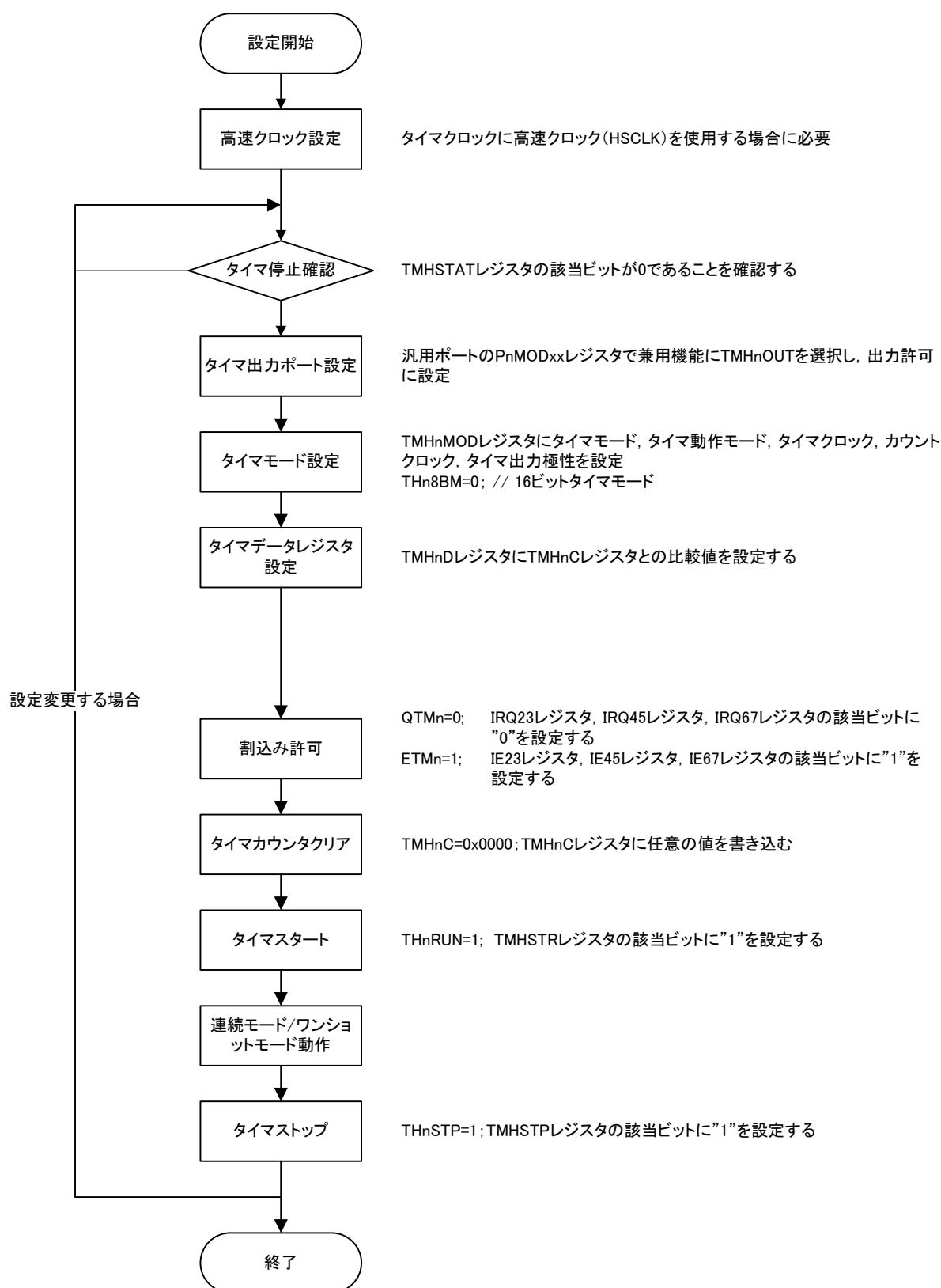


図 8-5 16 ビットタイマモードの設定例

8.3.2 8 ビットタイマモード

TMHnMOD レジスタの THn8BM ビットに“1”に設定すると 8 ビットタイマモードで動作します。

8 ビットタイマモードでは、THnHRUN ビットに“1”を書き込むとタイマクロックの立ち上がりに同期して 16 ビットカウンタの上位 8 ビット(上位側 8 ビットタイマ)がカウントアップを開始します。THnRUN ビットに“1”を書き込むとタイマクロックの立ち上がりに同期して 16 ビットカウンタの下位 8 ビット(下位側 8 ビットタイマ)がカウントアップを開始します。

上位側 8 ビットタイマと下位側 8 ビットタイマの動作モードおよびカウントクロックは同一です。カウントスタートおよびカウントストップは上位側 8 ビットタイマ、下位側 8 ビットタイマそれぞれ個別に制御することが可能です。

8 ビットタイマモードでは以下の 2 つの動作モードを使用可能です。

- 連続モード
- ワンショットモード

8.3.2.1 連続モード

図 8-6 に 8 ビットタイマモードの連続モード動作を示します。

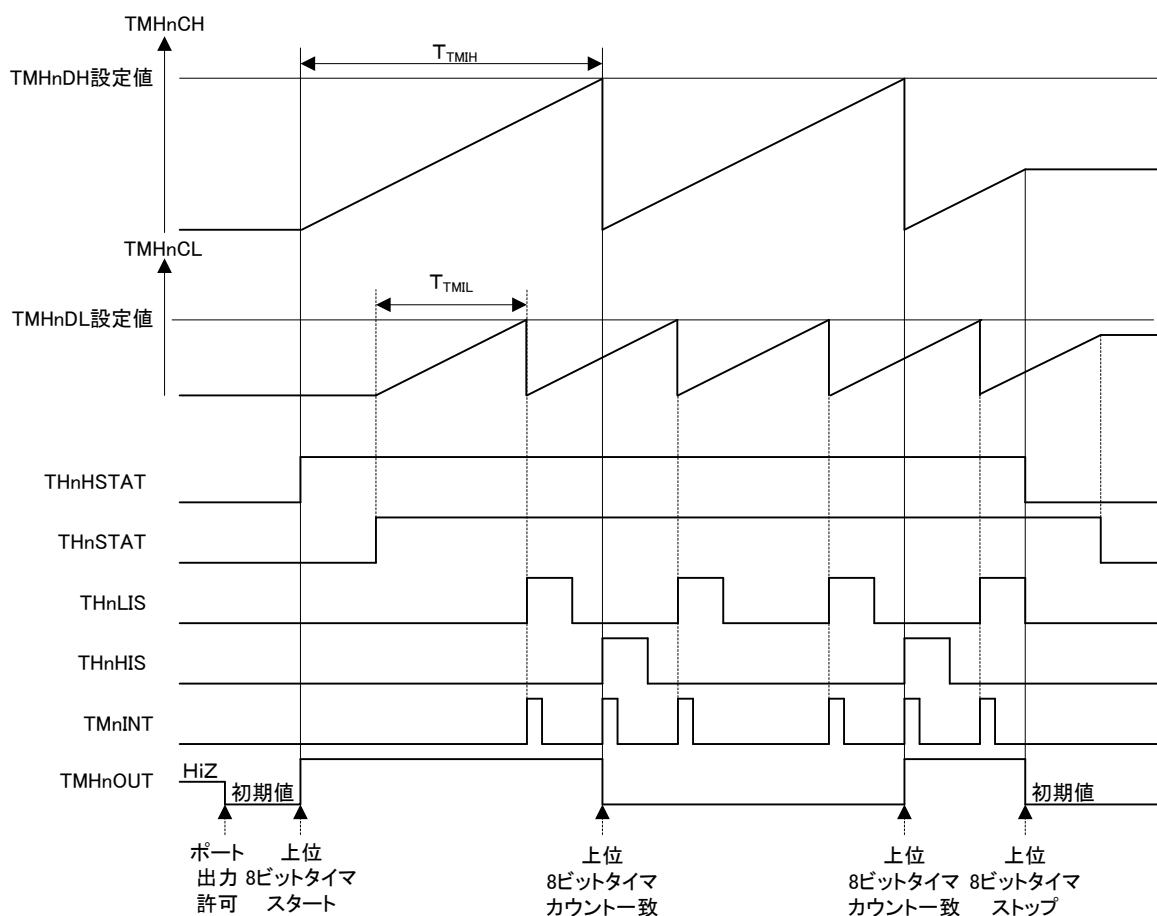


図 8-6 8 ビットタイマモード・連続モードの動作タイミング

連続モードでは、上位側 8 ビットタイマカウント値と TMHnDH レジスタの値が一致すると、16 ビットタイマ n 割込み (TMnINT) が発生し、ポートの出力が反転します。その後、タイマカウント値が 0x00 に戻り、自動でカウントアップを再開します。下位側 8 ビットタイマカウント値と TMHnDL レジスタの値が一致すると、16 ビットタイマ n 割込み (TMnINT) が発生します。その後、自動でタイマカウント値が 0x00 に戻り、カウントアップを継続します。

割込み要求 $TMnINT$ の発生周期および、ポート出力(上位側のみ)の変化周期は下記の式で表されます。ただし、上位側と下位側の割込みは共通です。詳細は「8.3.2.4 8 ビットタイマモード時の割込み要求について」を参照してください。

$$T_{TMnIH} = \frac{TMHnDH + 1}{f_{THnCK} \text{ (Hz)}} \quad (n=0 \sim 5)$$

$$T_{TMnIL} = \frac{TMHnDL + 1}{f_{THnCK} \text{ (Hz)}} \quad (n=0 \sim 5)$$

$TMHnDH$: $TMHnDH$ レジスタ設定値 (0x01 ~ 0xFF)

$TMHnDL$: $TMHnDL$ レジスタ設定値 (0x01 ~ 0xFF)

f_{THnCK} : $TMHnMOD$ レジスタの $THnCK$ ビットにより選択されたカウントクロックの周波数

タイマスタート/ストップおよび、カウントアップのタイミングについては「8.3.3.1 スタート/ストップタイミング」を参照してください。外部入力を使用する場合のカウントアップタイミングについては「8.3.3.2 外部入力カウントタイミング」を参照してください。

8.3.2.2 ワンショットモード

図 8-7 にワンショットモードの動作波形を示します。

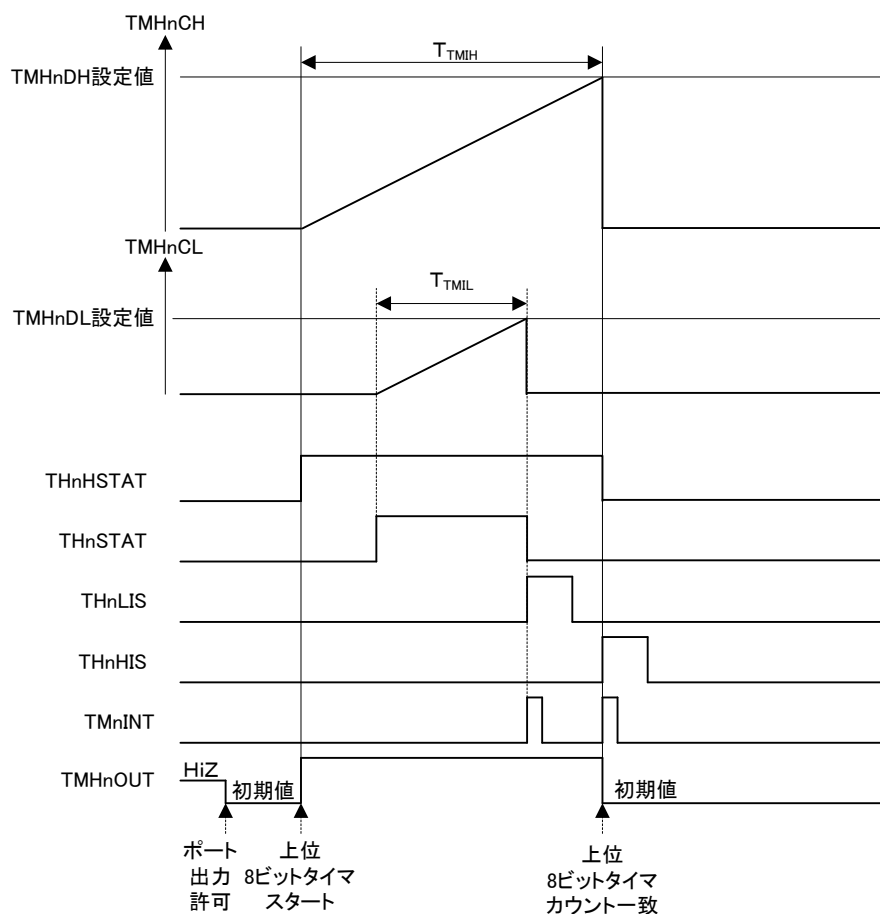


図 8-7 8 ビットタイマモード・ワンショットモードの動作タイミング

ワンショットモードでは、上位側 8 ビットタイマカウンタ値と TMHnDH レジスタの値が一致すると、タイマカウンタ値が 0x00 に戻り、その後、カウンタアップが停止します。下位側 8 ビットタイマカウンタ値と TMHnDL レジスタの値が一致すると、タイマカウンタ値が 0x00 に戻り、その後、カウンタアップが停止します。

その他の動作は連続モードと同様です。

【注意】

- 8 ビットタイマモード時、タイマ出力は上位側 8 ビットタイマからのみ可能です。

8.3.2.3 設定例

図 8-8 に 8 ビットタイマモードを使用する場合の設定例を示します。

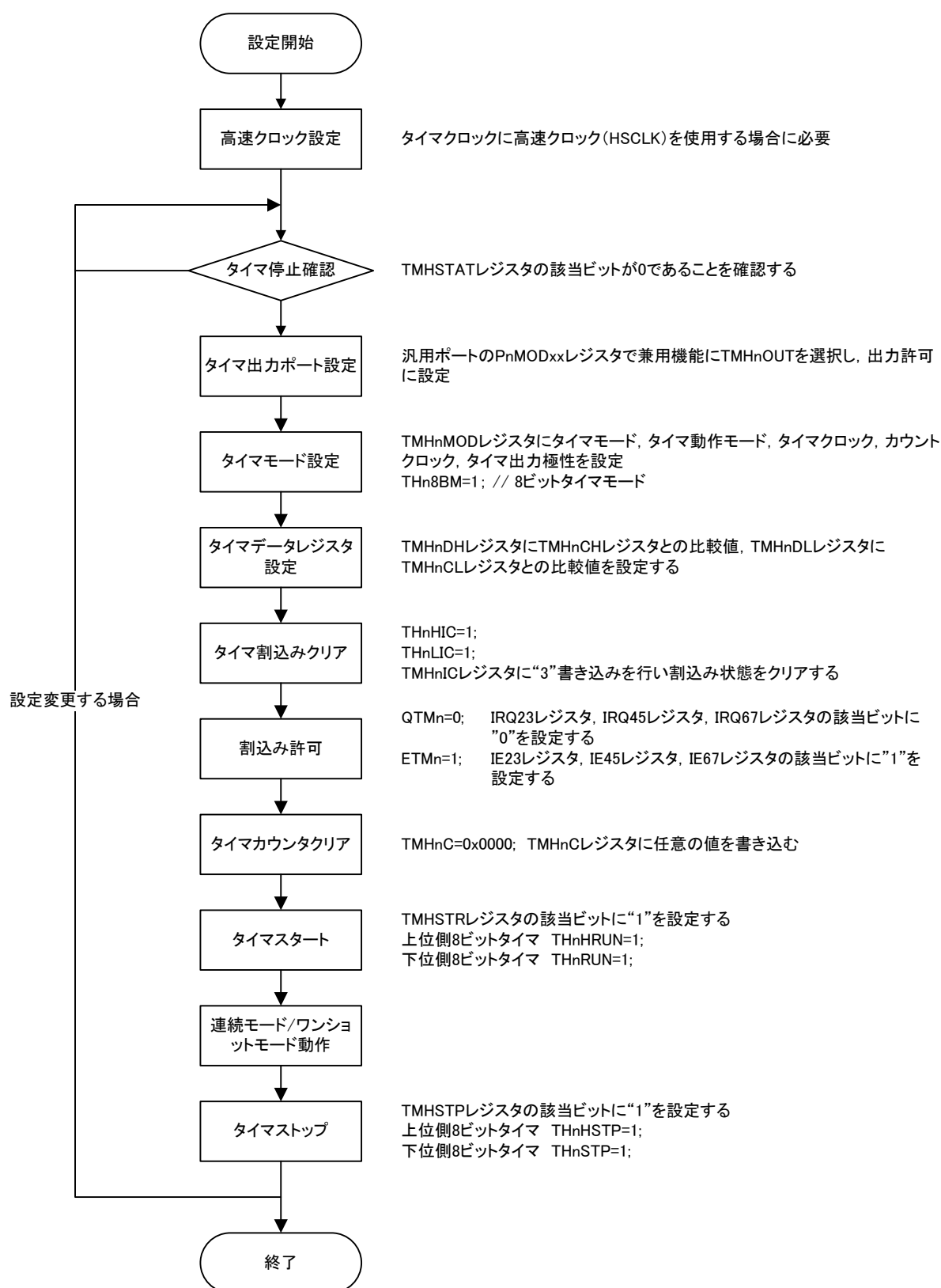


図 8-8 8 ビットタイマモードの設定例

8.3.2.4 8 ビットタイマモード時の割込み要求について

8ビットタイマモード時、割込み要求は上位側 8 ビットタイマと下位側 8 ビットタイマで同じ割込み要求 (TMnINT) を使用します。

上位側 8 ビットタイマカウント値と TMHnDH レジスタ値が一致した時、または下位側 8 ビットタイマカウント値と TMHnDL レジスタ値が一致した時に、上位側 8 ビットタイマ、下位側 8 ビットタイマのどちらの割込み要求も発生していなければ、割込み要求が発生します。表 8-3 に 8 ビットタイマモード時の割込み要求発生条件を示します。

表 8-3 8 ビットタイマモード時の割込み要求発生条件

条件			割込み要求 (TMnINT)
タイマカウント状態	TMHnIS レジスタ状態		
	THnHIS	THnLIS	
上位側 8 ビットタイマカウント値と TMHnDH レジスタ値が一致	0	0	発生する
	0	1	発生しない
	1	0	
	1	1	
下位側 8 ビットタイマカウント値と TMHnDL レジスタの値が一致	0	0	発生する
	0	1	発生しない
	1	0	
	1	1	

割込み処理中に他方の 8 ビットタイマ割込みが発生した場合、割込み処理終了後、メイン処理に戻る前に TMHnICL レジスタの THnIR ビットに“1”を書き込むことで、メイン処理復帰後、再び未処理の割込み要求を発生させることができます。8 ビットタイマモードでの割込み処理例を図 8-9 に示します。

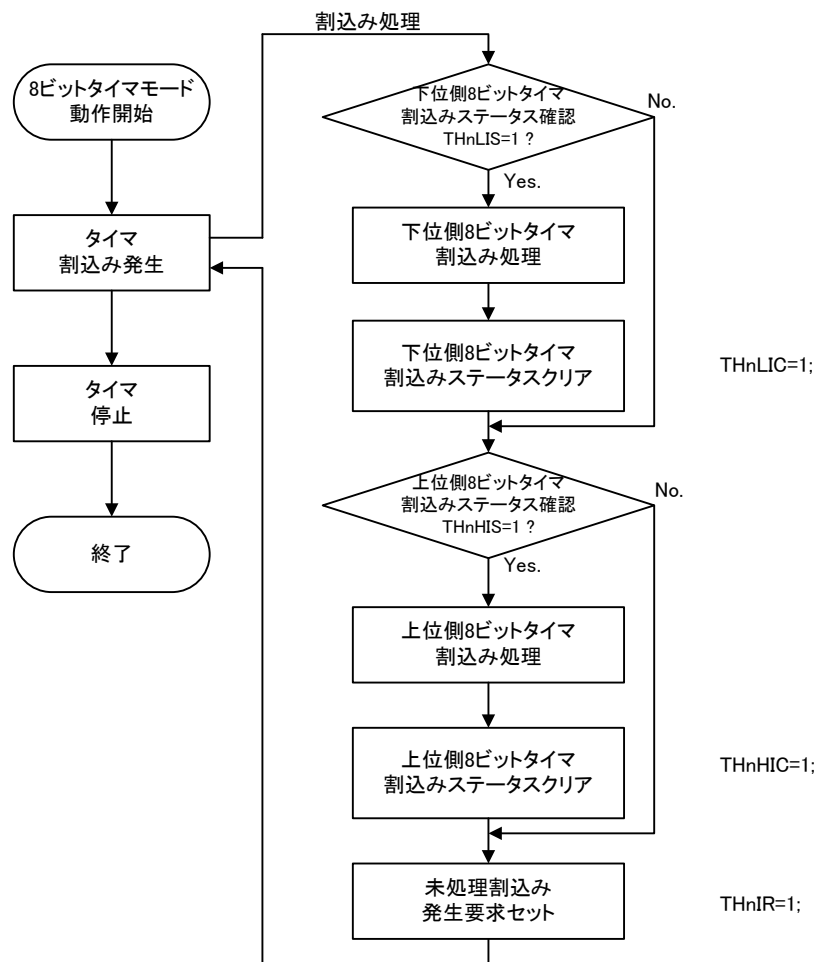


図 8-9 8 ビットタイマモードでの割込み処理例

8.3.3 共通動作

8.3.3.1 スタート／ストップタイミング

TMHSTR レジスタの THnRUN ビットに“1”を書き込むと、次のタイマクロックの立ち上がりでカウントを開始します。

図 8-10 にタイマクロックに LSCLK, カウントクロックにタイマクロックの 2 分周を選択した場合のタイマスタートタイミングを示します。

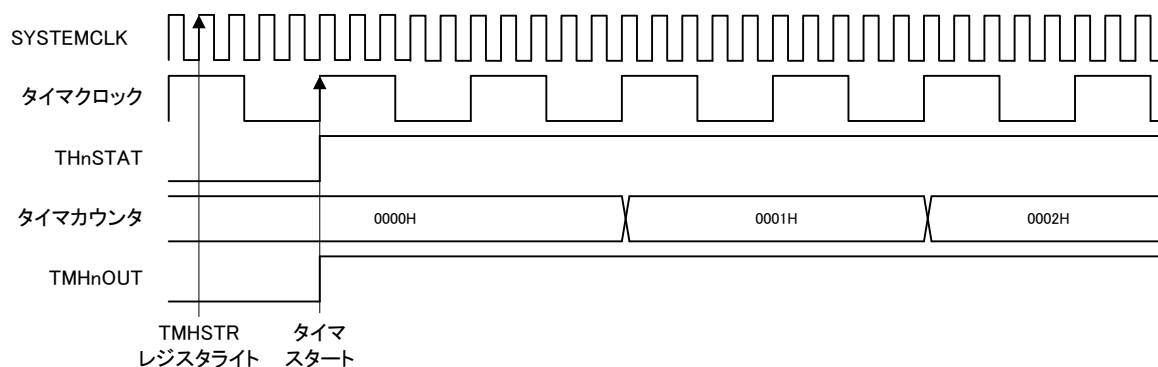


図 8-10 スタートタイミング

TMHSTP レジスタの THnSTP ビットに“1”を書き込むと次のタイマクロックの立ち上がりでカウントを停止します。

図 8-11 にタイマクロックに LSCLK, カウントクロックにタイマクロックの 2 分周を選択した場合のタイマストップタイミングを示します。

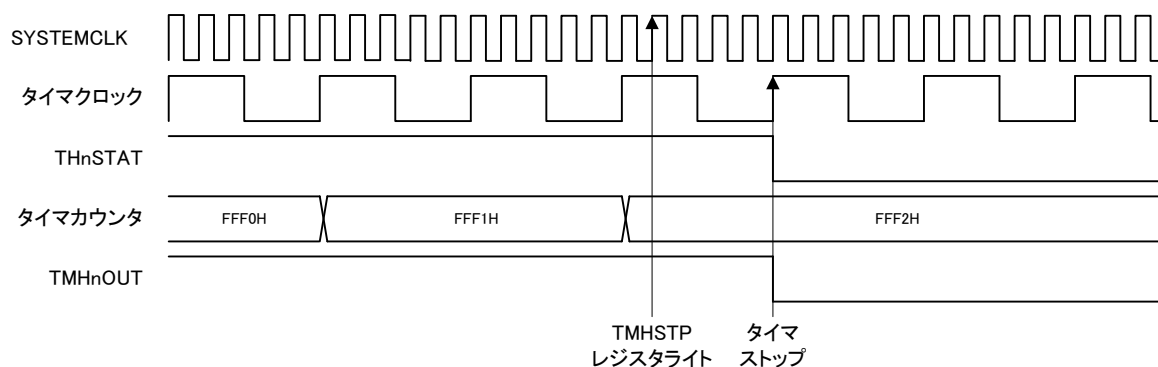


図 8-11 ストップタイミング

- **【注意】**
- THnSTAT ビットが“1”の期間はカウントが停止していませんので、この期間に THnRUN ビットに“1”を書き込んでもカウント再開は無視されます。カウントを再開する場合は、必ず THnSTAT ビットが“0”になっていることを確認して THnRUN ビットに“1”を書き込んでください。
- THnRUN ビットを“1”にした場合、タイマクロックで同期をとってカウントを開始するので、最初のタイマ割込みは最大タイマクロック 1 クロック分の誤差が発生します。2 回目以降のタイマ割込み周期は一定です。
- THnSTP ビットを“1”にした場合もタイマクロックで同期をとってカウントを停止するので、停止タイミングによっては 16 ビットタイマ n 割込み(TMnINT)が発生する可能性があります。

8.3.3.2 外部入力カウントタイミング

カウントクロックに外部入力を選択した場合、外部入力をタイマクロックでサンプリングし、立ち上がりを検出してカウントアップを行います。

図 8-12 に外部入力を使用した場合のカウントタイミングを示します。

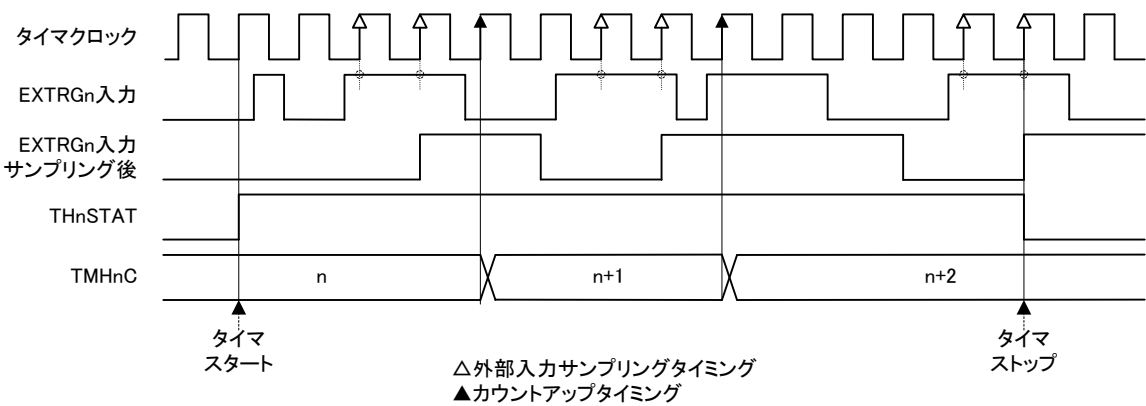


図 8-12 外部入力カウントタイミング

図 8-13 に外部入力を使用する場合の設定フローを示します。

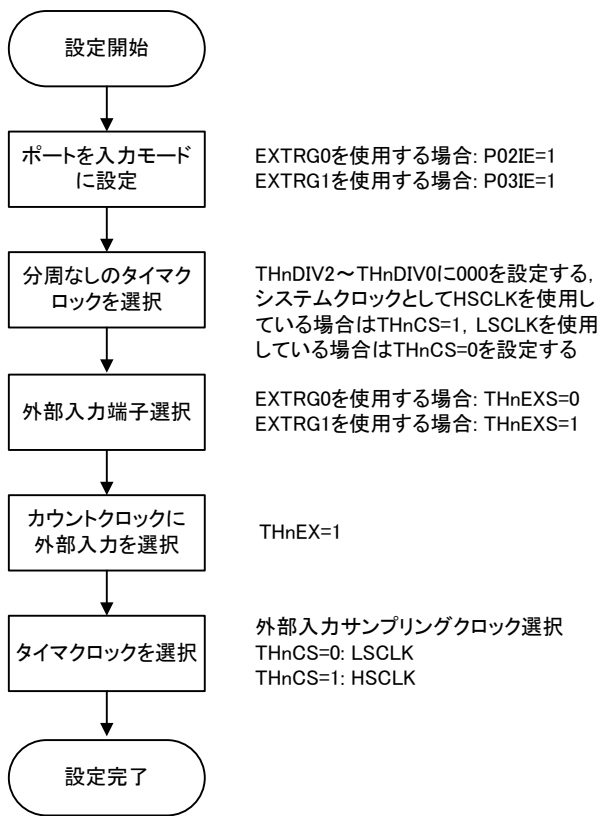


図 8-13 外部入力カウント設定フロー

- 【注意】
- タイマクロック 2 クロックより小さい幅のパルスは無視される場合があります。外部入力信号は必ずタイマクロック 2 クロック以上の幅を入力してください。
 - 16 ビットタイマに入力される外部入力信号 (EXTRGn) は、外部割込み機能のサンプリングコントローラ通過後の信号です。外部割込み機能のサンプリングは使用する／しないを選択可能です。詳細は「第 18 章 外部割込み機能」を参照してください。

第 9 章 ファンクショナルタイマ

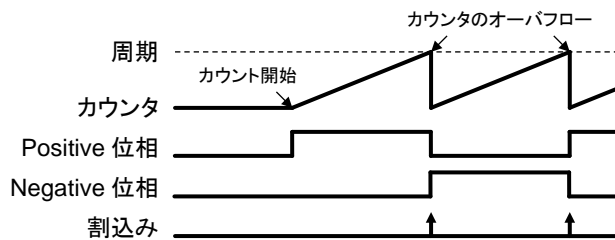
9. ファンクショナルタイマ

9.1 概要

ファンクショナルタイマ (FTM: Functional Timer) は 4 種類の動作モード (TIMER/CAPTURE/PWM1/PWM2) により、以下の機能を実現することができます。

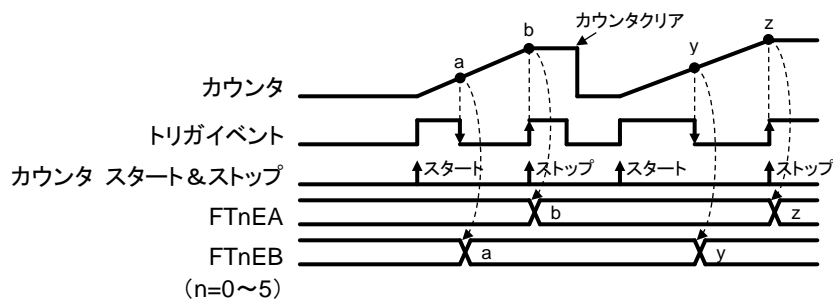
TIMER モード:

カウンタのカウンタ開始とオーバーフローに同期してタイマ出力端子のレベルを反転するパルス信号を生成できます。また、カウンタがオーバーフローする際に割り込みを発生させることができます。



CAPTURE モード:

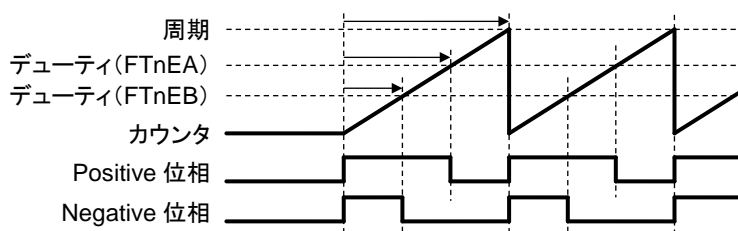
カウンタのカウンタ値を、選択したトリガイイベントの立ち上がりエッジで FTnEA レジスタに、立ち下がりエッジで FTnEB レジスタにそれぞれ格納します。



PWM1 モード:

周期と開始タイミングが等しい 2 種類の PWM 波形を生成できます。

FTnEA レジスタの設定値を Positive 位相出力のデューティ値, FTnEB レジスタの設定値を Negative 位相出力のデューティ値とします。

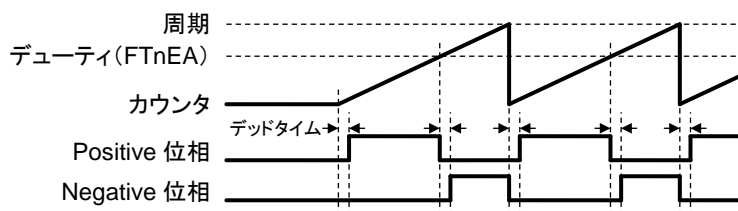


PWM2 モード:

Positive 位相出力と Negative 位相出力が排他的に動作する相補 PWM 波形を生成することができます。

FTnEA レジスタの設定値を Positive 位相出力のデューティ値とします。

また、FTnDT レジスタによりデッドタイムを設定することが可能です。



ファンクショナルタイマは製品により搭載チャンネルが異なります。
表 9-1 に各製品の搭載チャンネルを示します。

表 9-1 ファンクショナルタイマの搭載チャンネル

チャンネル 番号(n)	ML62Q1500C ML62Q1700C グループ		
	52 ピン 製品	64 ピン 製品	80 ピン 製品
0	●	●	●
1	●	●	●
2	●	●	●
3	●	●	●
4	●	●	●
5	●	●	●

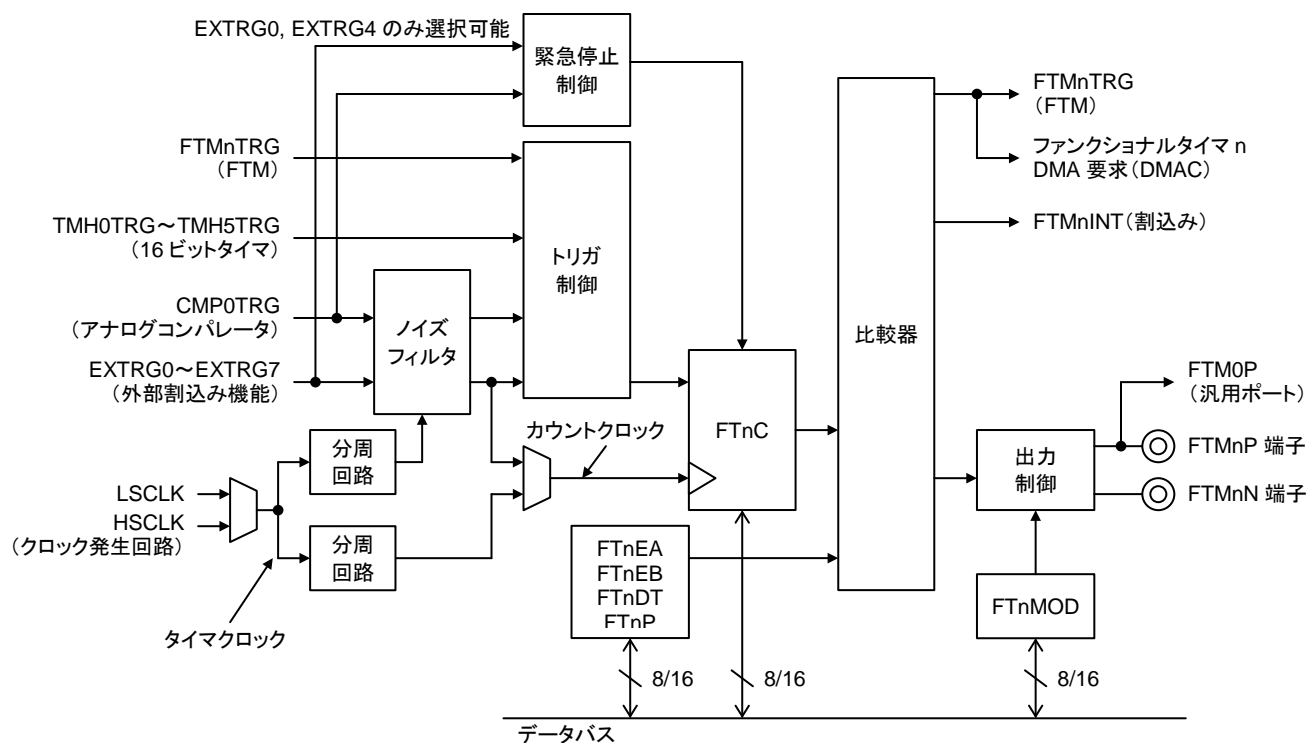
●: 搭載

9.1.1 特長

- 16 ビットカウンタによるタイマ／キャプチャ／PWM 機能を搭載
- カウントクロックは LSCLK／HSCLK クロックの 1～128 分周または外部クロック入力から選択可能
- タイマ出力の論理切り替えが可能(正論理／負論理)
- 周期割込みのほか、デューティ割込みや設定値との一致割込みなどを発生
- ワンショットモードを搭載
- 外部トリガ入力やタイマ割込み要求(イベントトリガ)によりカウンタの動作開始／停止／カウンタクリアが可能
- 外部トリガ入力による緊急停止, および緊急停止割込みを発生
- デューティの異なる 2 種類の同一周期 PWM 出力やデッドタイム付きの相補 PWM 出力が可能
- キャプチャ機能により入力信号のデューティ, 周期が測定可能
- 通知する割込み要因を設定可能
- DMA 要求信号を出力可能

9.1.2 構成

図 9-1 に FTM 回路の構成を示します。



FTnEA	:FTMn イベント A レジスタ
FTnEB	:FTMn イベント B レジスタ
FTnDT	:FTMn デッドタイムレジスタ
FTnP	:FTMn 周期レジスタ
FTnC	:FTMn カウンタレジスタ
FTnMOD	:FTMn モードレジスタ

FTMnTRG	:ファンクショナルタイマトリガ
EXTRG0~EXTRG7	:外部トリガ／外部クロック
CMP0TRG	:アナログコンパレータ0トリガ
TMH0TRG~TMH7TRG	:16ビットタイマトリガ
(n=0~5)	

図 9-1 ファンクショナルタイムの構成

9.1.3 端子一覧

ファンクショナルタイマの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
EXTRG0 ~ EXTRG7	I	外部トリガ／外部クロック
FTMnP	O	ファンクショナルタイマ n P 出力
FTMnN	O	ファンクショナルタイマ n N 出力

(n=0~5)

ファンクショナルタイマで使用する汎用ポートおよび、レジスタ設定を表 9-2 に示します。

表 9-2 ファンクショナルタイマ機能使用ポートおよびレジスタ設定

チャンネル 番号	端子名	兼用ポート		設定 レジスタ	設定値	ML62Q1500C ML62Q1700C グループ		
						52ピン製品	64ピン製品	80ピン製品
0～5	EXTRG0	P02	1 次機能	P0MOD2	0000_0X01 ^{*1}	●	●	●
	EXTRG1	P03	1 次機能	P0MOD3	0000_0X01 ^{*1}	●	●	●
	EXTRG2	P04	1 次機能	P0MOD4	0000_0X01 ^{*1}	●	●	●
	EXTRG3	P17	1 次機能	P1MOD7	0000_0X01 ^{*1}	●	●	●
	EXTRG4	P21	1 次機能	P2MOD1	0000_0X01 ^{*1}	●	●	●
	EXTRG5	P23	1 次機能	P2MOD3	0000_0X01 ^{*1}	●	●	●
	EXTRG6	P26	1 次機能	P2MOD6	0000_0X01 ^{*1}	●	●	●
	EXTRG7	P27	1 次機能	P2MOD7	0000_0X01 ^{*1}	●	●	●
0	FTM0P	P02	5 次機能	P0MOD2	0100_XXXX ^{*2}	●	●	●
	FTM0N	P03	5 次機能	P0MOD3	0100_XXXX ^{*2}	●	●	●
1	FTM1P	P17	5 次機能	P1MOD7	0100_XXXX ^{*2}	●	●	●
		P47	5 次機能	P4MOD7	0100_XXXX ^{*2}	●	●	●
	FTM1N	P20	5 次機能	P2MOD0	0100_XXXX ^{*2}	●	●	●
		P46	5 次機能	P4MOD6	0100_XXXX ^{*2}	—	●	●
2	FTM2P	P21	5 次機能	P2MOD1	0100_XXXX ^{*2}	●	●	●
	FTM2N	P22	5 次機能	P2MOD2	0100_XXXX ^{*2}	●	●	●
3	FTM3P	P01	5 次機能	P0MOD1	0100_XXXX ^{*2}	●	●	●
		P26	5 次機能	P2MOD6	0100_XXXX ^{*2}	●	●	●
	FTM3N	P27	5 次機能	P2MOD7	0100_XXXX ^{*2}	●	●	●
		P44	5 次機能	P4MOD4	0100_XXXX ^{*2}	—	●	●
4	FTM4P	P63	5 次機能	P6MOD3	0100_XXXX ^{*2}	●	●	●
	FTM4N	P62	5 次機能	P6MOD2	0100_XXXX ^{*2}	●	●	●
5	FTM5P	P64	5 次機能	P6MOD4	0100_XXXX ^{*2}	●	●	●
	FTM5N	P65	5 次機能	P6MOD5	0100_XXXX ^{*2}	●	●	●

●:搭載 —:非搭載

*1: 0X01 の X の設定値は以下

X	ポート入力状態
0	入力(プルアップなし)
1	入力(プルアップあり)

*2: XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力(プルアップなし)
1111	Nch オープンドレイン出力(プルアップあり)

9.2 レジスタ説明

9.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF400	FTM0 周期レジスタ	FT0PL	FT0P	R/W	8/16	0xFF
0xF401		FT0PH		R/W	8	0xFF
0xF402	FTM1 周期レジスタ	FT1PL	FT1P	R/W	8/16	0xFF
0xF403		FT1PH		R/W	8	0xFF
0xF404	FTM2 周期レジスタ	FT2PL	FT2P	R/W	8/16	0xFF
0xF405		FT2PH		R/W	8	0xFF
0xF406	FTM3 周期レジスタ	FT3PL	FT3P	R/W	8/16	0xFF
0xF407		FT3PH		R/W	8	0xFF
0xF408	FTM4 周期レジスタ	FT4PL	FT4P	R/W	8/16	0xFF
0xF409		FT4PH		R/W	8	0xFF
0xF40A	FTM5 周期レジスタ	FT5PL	FT5P	R/W	8/16	0xFF
0xF40B		FT5PH		R/W	8	0xFF
0xF40C ～ 0xF40F	予約レジスタ	—	—	—	—	—
0xF410	FTM0 イベント A レジスタ	FT0EAL	FT0EA	R/W	8/16	0x00
0xF411		FT0EAH		R/W	8	0x00
0xF412	FTM1 イベント A レジスタ	FT1EAL	FT1EA	R/W	8/16	0x00
0xF413		FT1EAH		R/W	8	0x00
0xF414	FTM2 イベント A レジスタ	FT2EAL	FT2EA	R/W	8/16	0x00
0xF415		FT2EAH		R/W	8	0x00
0xF416	FTM3 イベント A レジスタ	FT3EAL	FT3EA	R/W	8/16	0x00
0xF417		FT3EAH		R/W	8	0x00
0xF418	FTM4 イベント A レジスタ	FT4EAL	FT4EA	R/W	8/16	0x00
0xF419		FT4EAH		R/W	8	0x00
0xF41A	FTM5 イベント A レジスタ	FT5EAL	FT5EA	R/W	8/16	0x00
0xF41B		FT5EAH		R/W	8	0x00
0xF41C ～ 0xF41F	予約レジスタ	—	—	—	—	—
0xF420	FTM0 イベント B レジスタ	FT0EBL	FT0EB	R/W	8/16	0x00
0xF421		FT0EBH		R/W	8	0x00
0xF422	FTM1 イベント B レジスタ	FT1EBL	FT1EB	R/W	8/16	0x00
0xF423		FT1EBH		R/W	8	0x00
0xF424	FTM2 イベント B レジスタ	FT2EBL	FT2EB	R/W	8/16	0x00
0xF425		FT2EBH		R/W	8	0x00
0xF426	FTM3 イベント B レジスタ	FT3EBL	FT3EB	R/W	8/16	0x00
0xF427		FT3EBH		R/W	8	0x00
0xF428	FTM4 イベント B レジスタ	FT4EBL	FT4EB	R/W	8/16	0x00
0xF429		FT4EBH		R/W	8	0x00
0xF42A	FTM5 イベント B レジスタ	FT5EBL	FT5EB	R/W	8/16	0x00
0xF42B		FT5EBH		R/W	8	0x00
0xF42C ～ 0xF42F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF430	FTM0 デッドタイムレジスタ	FT0DTL	FT0DT	R/W	8/16	0x00
0xF431		FT0DTH		R/W	8	0x00
0xF432	FTM1 デッドタイムレジスタ	FT1DTL	FT1DT	R/W	8/16	0x00
0xF433		FT1DTH		R/W	8	0x00
0xF434	FTM2 デッドタイムレジスタ	FT2DTL	FT2DT	R/W	8/16	0x00
0xF435		FT2DTH		R/W	8	0x00
0xF436	FTM3 デッドタイムレジスタ	FT3DTL	FT3DT	R/W	8/16	0x00
0xF437		FT3DTH		R/W	8	0x00
0xF438	FTM4 デッドタイムレジスタ	FT4DTL	FT4DT	R/W	8/16	0x00
0xF439		FT4DTH		R/W	8	0x00
0xF43A	FTM5 デッドタイムレジスタ	FT5DTL	FT5DT	R/W	8/16	0x00
0xF43B		FT5DTH		R/W	8	0x00
0xF43C ～ 0xF43F	予約レジスタ	—	—	—	—	—
0xF440	FTM0 カウンタレジスタ	FT0CL	FT0C	R/W	8/16	0x00
0xF441		FT0CH		R/W	8	0x00
0xF442	FTM1 カウンタレジスタ	FT1CL	FT1C	R/W	8/16	0x00
0xF443		FT1CH		R/W	8	0x00
0xF444	FTM2 カウンタレジスタ	FT2CL	FT2C	R/W	8/16	0x00
0xF445		FT2CH		R/W	8	0x00
0xF446	FTM3 カウンタレジスタ	FT3CL	FT3C	R/W	8/16	0x00
0xF447		FT3CH		R/W	8	0x00
0xF448	FTM4 カウンタレジスタ	FT4CL	FT4C	R/W	8/16	0x00
0xF449		FT4CH		R/W	8	0x00
0xF44A	FTM5 カウンタレジスタ	FT5CL	FT5C	R/W	8/16	0x00
0xF44B		FT5CH		R/W	8	0x00
0xF44C ～ 0xF44F	予約レジスタ	—	—	—	—	—
0xF450	FTM0 ステータスレジスタ	FT0STAT	—	R/W	8	0x30
0xF451	予約レジスタ	—	—	R	8	0x00
0xF452	FTM1 ステータスレジスタ	FT1STAT	—	R/W	8	0x30
0xF453	予約レジスタ	—	—	R	8	0x00
0xF454	FTM2 ステータスレジスタ	FT2STAT	—	R/W	8	0x30
0xF455	予約レジスタ	—	—	R	8	0x00
0xF456	FTM3 ステータスレジスタ	FT3STAT	—	R/W	8	0x30
0xF457	予約レジスタ	—	—	R	8	0x00
0xF458	FTM4 ステータスレジスタ	FT4STAT	—	R/W	8	0x30
0xF459	予約レジスタ	—	—	R	8	0x00
0xF45A	FTM5 ステータスレジスタ	FT5STAT	—	R/W	8	0x30
0xF45B	予約レジスタ	—	—	R	8	0x00
0xF45C ～ 0xF45F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF460	FTM0 モードレジスタ	FT0MODL	FT0MOD	R/W	8/16	0x00
0xF461		FT0MODH		R/W	8	0x40
0xF462	FTM1 モードレジスタ	FT1MODL	FT1MOD	R/W	8/16	0x00
0xF463		FT1MODH		R/W	8	0x40
0xF464	FTM2 モードレジスタ	FT2MODL	FT2MOD	R/W	8/16	0x00
0xF465		FT2MODH		R/W	8	0x40
0xF466	FTM3 モードレジスタ	FT3MODL	FT3MOD	R/W	8/16	0x00
0xF467		FT3MODH		R/W	8	0x40
0xF468	FTM4 モードレジスタ	FT4MODL	FT4MOD	R/W	8/16	0x00
0xF469		FT4MODH		R/W	8	0x40
0xF46A	FTM5 モードレジスタ	FT5MODL	FT5MOD	R/W	8/16	0x00
0xF46B		FT5MODH		R/W	8	0x40
0xF46C ～ 0xF46F	予約レジスタ	—	—	—	—	—
0xF470	FTM0 クロックレジスタ	FT0CLKL	FT0CLK	R/W	8/16	0x00
0xF471		FT0CLKH		R/W	8	0x00
0xF472	FTM1 クロックレジスタ	FT1CLKL	FT1CLK	R/W	8/16	0x00
0xF473		FT1CLKH		R/W	8	0x00
0xF474	FTM2 クロックレジスタ	FT2CLKL	FT2CLK	R/W	8/16	0x00
0xF475		FT2CLKH		R/W	8	0x00
0xF476	FTM3 クロックレジスタ	FT3CLKL	FT3CLK	R/W	8/16	0x00
0xF477		FT3CLKH		R/W	8	0x00
0xF478	FTM4 クロックレジスタ	FT4CLKL	FT4CLK	R/W	8/16	0x00
0xF479		FT4CLKH		R/W	8	0x00
0xF47A	FTM5 クロックレジスタ	FT5CLKL	FT5CLK	R/W	8/16	0x00
0xF47B		FT5CLKH		R/W	8	0x00
0xF47C ～ 0xF47F	予約レジスタ	—	—	—	—	—
0xF480	FTM0 トリガレジスタ 0	FT0TRG0L	FT0TRG0	R/W	8/16	0x00
0xF481		FT0TRG0H		R/W	8	0x00
0xF482	FTM1 トリガレジスタ 0	FT1TRG0L	FT1TRG0	R/W	8/16	0x00
0xF483		FT1TRG0H		R/W	8	0x00
0xF484	FTM2 トリガレジスタ 0	FT2TRG0L	FT2TRG0	R/W	8/16	0x00
0xF485		FT2TRG0H		R/W	8	0x00
0xF486	FTM3 トリガレジスタ 0	FT3TRG0L	FT3TRG0	R/W	8/16	0x00
0xF487		FT3TRG0H		R/W	8	0x00
0xF488	FTM4 トリガレジスタ 0	FT4TRG0L	FT4TRG0	R/W	8/16	0x00
0xF489		FT4TRG0H		R/W	8	0x00
0xF48A	FTM5 トリガレジスタ 0	FT5TRG0L	FT5TRG0	R/W	8/16	0x00
0xF48B		FT5TRG0H		R/W	8	0x00
0xF48C ～ 0xF48F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF490	FTM0 トリガレジスタ 1	FT0TRG1L	FT0TRG1	R/W	8/16	0x00
0xF491		FT0TRG1H		R/W	8	0x00
0xF492	FTM1 トリガレジスタ 1	FT1TRG1L	FT1TRG1	R/W	8/16	0x00
0xF493		FT1TRG1H		R/W	8	0x00
0xF494	FTM2 トリガレジスタ 1	FT2TRG1L	FT2TRG1	R/W	8/16	0x00
0xF495		FT2TRG1H		R/W	8	0x00
0xF496	FTM3 トリガレジスタ 1	FT3TRG1L	FT3TRG1	R/W	8/16	0x00
0xF497		FT3TRG1H		R/W	8	0x00
0xF498	FTM4 トリガレジスタ 1	FT4TRG1L	FT4TRG1	R/W	8/16	0x00
0xF499		FT4TRG1H		R/W	8	0x00
0xF49A	FTM5 トリガレジスタ 1	FT5TRG1L	FT5TRG1	R/W	8/16	0x00
0xF49B		FT5TRG1H		R/W	8	0x00
0xF49C ～ 0xF49F	予約レジスタ	—	—	—	—	—
0xF4A0	FTM0 割込み許可レジスタ	FT0INTEL	FT0INTE	R/W	8/16	0x00
0xF4A1		FT0INTEH		R/W	8	0x00
0xF4A2	FTM1 割込み許可レジスタ	FT1INTEL	FT1INTE	R/W	8/16	0x00
0xF4A3		FT1INTEH		R/W	8	0x00
0xF4A4	FTM2 割込み許可レジスタ	FT2INTEL	FT2INTE	R/W	8/16	0x00
0xF4A5		FT2INTEH		R/W	8	0x00
0xF4A6	FTM3 割込み許可レジスタ	FT3INTEL	FT3INTE	R/W	8/16	0x00
0xF4A7		FT3INTEH		R/W	8	0x00
0xF4A8	FTM4 割込み許可レジスタ	FT4INTEL	FT4INTE	R/W	8/16	0x00
0xF4A9		FT4INTEH		R/W	8	0x00
0xF4AA	FTM5 割込み許可レジスタ	FT5INTEL	FT5INTE	R/W	8/16	0x00
0xF4AB		FT5INTEH		R/W	8	0x00
0xF4AC ～ 0xF4AF	予約レジスタ	—	—	—	—	—
0xF4B0	FTM0 割込みステータスレジスタ	FT0INTSL	FT0INTS	R	8/16	0x00
0xF4B1		FT0INTSH		R	8	0x00
0xF4B2	FTM1 割込みステータスレジスタ	FT1INTSL	FT1INTS	R	8/16	0x00
0xF4B3		FT1INTSH		R	8	0x00
0xF4B4	FTM2 割込みステータスレジスタ	FT2INTSL	FT2INTS	R	8/16	0x00
0xF4B5		FT2INTSH		R	8	0x00
0xF4B6	FTM3 割込みステータスレジスタ	FT3INTSL	FT3INTS	R	8/16	0x00
0xF4B7		FT3INTSH		R	8	0x00
0xF4B8	FTM4 割込みステータスレジスタ	FT4INTSL	FT4INTS	R	8/16	0x00
0xF4B9		FT4INTSH		R	8	0x00
0xF4BA	FTM5 割込みステータスレジスタ	FT5INTSL	FT5INTS	R	8/16	0x00
0xF4BB		FT5INTSH		R	8	0x00
0xF4BC ～ 0xF4BF	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF4C0	FTM0 割込みクリアレジスタ	FT0INTCL	FT0INTC	W	8/16	0x00
0xF4C1		FT0INTCH		W	8	0x00
0xF4C2	FTM1 割込みクリアレジスタ	FT1INTCL	FT1INTC	W	8/16	0x00
0xF4C3		FT1INTCH		W	8	0x00
0xF4C4	FTM2 割込みクリアレジスタ	FT2INTCL	FT2INTC	W	8/16	0x00
0xF4C5		FT2INTCH		W	8	0x00
0xF4C6	FTM3 割込みクリアレジスタ	FT3INTCL	FT3INTC	W	8/16	0x00
0xF4C7		FT3INTCH		W	8	0x00
0xF4C8	FTM4 割込みクリアレジスタ	FT4INTCL	FT4INTC	W	8/16	0x00
0xF4C9		FT4INTCH		W	8	0x00
0xF4CA	FTM5 割込みクリアレジスタ	FT5INTCL	FT5INTC	W	8/16	0x00
0xF4CB		FT5INTCH		W	8	0x00
0xF4CC ～ 0xF4CF	予約レジスタ	—	—	—	—	—
0xF4F0	FTM 共通更新レジスタ	FTCUD	—	W	8	0x00
0xF4F1	予約レジスタ	—	—	—	—	—
0xF4F2	FTM 共通コントロールレジスタ	FTCCONL	FTCCON	R/W	8/16	0x00
0xF4F3		FTCCONH		R/W	8	0x00
0xF4F4	FTM 共通スタートレジスタ	FTCSTRL	FTCSTR	W	8/16	0x00
0xF4F5		FTCSTRH		W	8	0x00
0xF4F6	FTM 共通ストップレジスタ	FTCSTPL	FTCSTP	W	8/16	0x00
0xF4F7		FTCSTPH		W	8	0x00
0xF4F8	FTM 共通ステータスレジスタ	FTCSTATL	FTCSTAT	R	8/16	0x00
0xF4F9		FTCSTATH		R	8	0x00

【注意】

- 非搭載のチャンネルのレジスタへの書き込みは無効です。読み出し時には常に 0x0000 が読み出されます。

9.2.2 FTMn 周期レジスタ (FTnP : n=0~5)

本レジスタは、FTMn の周期(クロック数)を設定する特殊機能レジスタ(SFR)です。
設定可能範囲は、0x0001~0xFFFF(クロック数:2~65536)です。
FTnMOD レジスタの FTnMD1~0 ビットで動作モードを設定した後に設定してください。

アドレス: 0xF400(FT0PL/FT0P), 0xF401(FT0PH), 0xF402(FT1PL/FT1P), 0xF403(FT1PH),
0xF404(FT2PL/FT2P), 0xF405(FT2PH), 0xF406(FT3PL/FT3P), 0xF407(FT3PH),
0xF408(FT4PL/FT4P), 0xF409(FT4PH), 0xF40A(FT5PL/FT5P), 0xF40B(FT5PH)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0xFFFF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnP															
バイト	FTnPH								FTnPL							
ビット	FTnP 15	FTnP 14	FTnP 13	FTnP 12	FTnP 11	FTnP 10	FTnP 9	FTnP 8	FTnP 7	FTnP 6	FTnP 5	FTnP 4	FTnP 3	FTnP 2	FTnP 1	FTnP 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット 番号	ビットシンボル 名	説明
15~0	FTnP15~ FTnP0	0x0001~0xFFFF: 1 周期を FTnP レジスタでの設定値+1 クロックに設定します。

【注意】

- FTnP レジスタに 0x0000 を書込むと、0x0001 が設定されます。読み出される値も 0x0001 となります。

9.2.3 FTMn イベント A レジスタ (FTnEA : n=0~5)

本レジスタは、FTMn のイベントタイミングを設定またはキャプチャデータを表示する特殊機能レジスタ(SFR)です。
FTnMOD レジスタの FTnMD1~0 ビットで動作モードを設定した後に設定してください。
CAPTURE モードの時は読み出し専用レジスタとなり、書込みは無効です。

アドレス: 0xF410(FT0EAL/FT0EA), 0xF411(FT0EAH), 0xF412(FT1EAL/FT1EA), 0xF413(FT1EAH),
0xF414(FT2EAL/FT2EA), 0xF415(FT2EAH), 0xF416(FT3EAL/FT3EA), 0xF417(FT3EAH),
0xF418(FT4EAL/FT4EA), 0xF419(FT4EAH), 0xF41A(FT5EAL/FT5EA), 0xF41B(FT5EAH)
アクセス: R/W
アクセスサイズ: 8 ビット/16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnEA															
バイト	FTnEAH								FTnEAL							
ビット	FTnEA 15	FTnEA 14	FTnEA 13	FTnEA 12	FTnEA 11	FTnEA 10	FTnEA 9	FTnEA 8	FTnEA 7	FTnEA 6	FTnEA 5	FTnEA 4	FTnEA 3	FTnEA 2	FTnEA 1	FTnEA 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15~0	FTnEA15~ FTnEA0	<p>・TIMER モード 0x0000~0xFFFF: 割込みを発生させるカウント値を設定します。 割込みは FTnEA レジスタ設定値 + 1 のタイミングで発生します。</p> <p>・CAPTURE モード 0x0000~0xFFFF: キャプチャしたカウント値が格納されます。 読み出すとタイマクロック 1 クロック後に自動的に FTnSTAT レジスタ の FTnFLGA ビットと FTnINTS レジスタの FTnISA ビットがクリアされ ます。FTnEA レジスタへの書込みは無効です。</p> <p>・PWM1 モード 0x0000~0xFFFF: Positive 位相出力信号のデューティを設定します。 デューティは FTnEA レジスタ値 + 1 の値となります。 デューティ 100%の設定が可能です。</p> <p>・PWM2 モード 0x0000~0xFFFE: Positive 位相および Negative 位相出力信号のデューティを 設定します。デューティは FTnEA レジスタ値 + 1 の値となります。</p>

【注意】

- ・ TIMER モードまたは PWM2 モード時、FTnEA レジスタは必ず FTnP レジスタより小さい値を設定してください。

9.2.4 FTMn イベント B レジスタ (FTnEB : n=0~5)

本レジスタは、FTMn のイベントタイミングを設定またはキャプチャデータを表示する特殊機能レジスタ(SFR)です。
FTnMOD レジスタの FTnMD1~0 ビットで動作モードを設定した後に設定してください。
CAPTURE モードの時は読み出し専用レジスタとなり、書込みは無効です。

アドレス: 0xF420(FT0EBL/FT0EB), 0xF421(FT0EBH), 0xF422(FT1EBL/FT1EB), 0xF423(FT1EBH),
0xF424(FT2EBL/FT2EB), 0xF425(FT2EBH), 0xF426(FT3EBL/FT3EB), 0xF427(FT3EBH),
0xF428(FT4EBL/FT4EB), 0xF429(FT4EBH), 0xF42A(FT5EBL/FT5EB), 0xF42B(FT5EBH)
アクセス: R/W
アクセスサイズ: 8 ビット/16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnEB															
バイト	FTnEBH								FTnEBL							
ビット	FTnEB 15	FTnEB 14	FTnEB 13	FTnEB 12	FTnEB 11	FTnEB 10	FTnEB 9	FTnEB 8	FTnEB 7	FTnEB 6	FTnEB 5	FTnEB 4	FTnEB 3	FTnEB 2	FTnEB 1	FTnEB 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15~0	FTnEB15~ FTnEB0	<p>・TIMER モード 0x0000~0xFFFF: 割込みを発生させるカウント値を設定します。 割込みは FTnEB レジスタ設定値+1 のタイミングで発生します。</p> <p>・CAPTURE モード 0x0000~0xFFFF: キャプチャしたカウント値が格納されます。 読み出すとタイマクロック 1 クロック後に自動的に FTnSTAT レジスタ の FTnFLGB ビットと FTnINTS レジスタの FTnISB ビットがクリアされ ます。FTnEB レジスタへの書込みは無効です。</p> <p>・PWM1 モード 0x0000~0xFFFF: Negative 位相出力のデューティを設定します。 デューティは FTnEB レジスタ値 + 1 の値となります。 デューティ 100%の設定が可能です。</p> <p>・PWM2 モード 本モードの時、FTnEB レジスタには“0x0000”を設定してください。</p>

【注意】

- ・ TIMER モード時、FTnEB レジスタは必ず FTnP レジスタより小さい値を設定してください。

9.2.5 FTMn デッドタイムレジスタ (FTnDT : n=0~5)

本レジスタは、タイマ出力のデッドタイムを設定する特殊機能レジスタ(SFR)です。
FTnMOD レジスタの FTnMD1~0 ビットで動作モードを設定した後に設定してください。

アドレス: 0xF430(FT0DTL/FT0DT), 0xF431(FT0DTH), 0xF432(FT1DTL/FT1DT), 0xF433(FT1DTH),
0xF434(FT2DTL/FT2DT), 0xF435(FT2DTH), 0xF436(FT3DTL/FT3DT), 0xF437(FT3DTH),
0xF438(FT4DTL/FT4DT), 0xF439(FT4DTH), 0xF43A(FT5DTL/FT5DT), 0xF43B(FT5DTH)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnDT															
バイト	FTnDTH								FTnDTL							
ビット	FTnDT 15	FTnDT 14	FTnDT 13	FTnDT 12	FTnDT 11	FTnDT 10	FTnDT 9	FTnDT 8	FTnDT 7	FTnDT 6	FTnDT 5	FTnDT 4	FTnDT 3	FTnDT 2	FTnDT 1	FTnDT 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15~0	FTnDT15~ FTnDT0	<div>・TIMER, PWM1/2 モード 0x0000~0xFFFF: Positive 位相出力/Negative 位相出力のデッドタイムを設定します (FTnDT レジスタ設定値+1 のタイミング) FTnMOD レジスタの FTnDTENP ビットや FTnDTENN ビットが“1”の とき、有効になります。</div> <div>・CAPTURE モード FTnDT レジスタは無効です。</div>

【注意】

- PWM2 モード時, FTnDT レジスタは必ず FTnEA レジスタより小さい値を設定してください。
- PWM2 モード時, FTnDT レジスタと FTnEA レジスタの和は FTnP レジスタの値より小さくしてください。

9.2.6 FTMn カウンタレジスタ（FTnC：n=0～5）

本レジスタは、FTMn のカウント値を表示する特殊機能レジスタ(SFR)です。
任意のデータを書込むと、タイマクロック 1 クロック後に FTnC は“0x0000”にクリアされます。

アドレス: 0xF440 (FT0CL/FT0C), 0xF441 (FT0CH), 0xF442 (FT1CL/FT1C), 0xF443 (FT1CH),
0xF444 (FT2CL/FT2C), 0xF445 (FT2CH), 0xF446 (FT3CL/FT3C), 0xF447 (FT3CH),
0xF448 (FT4CL/FT4C), 0xF449 (FT4CH), 0xF44A (FT5CL/FT5C), 0xF44B (FT5CH)

アクセス: R/W

アクセスサイズ: 8 ビット／16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnC															
バイト	FTnCH								FTnCL							
ビット	FTnC 15	FTnC 14	FTnC 13	FTnC 12	FTnC 11	FTnC 10	FTnC 9	FTnC 8	FTnC 7	FTnC 6	FTnC 5	FTnC 4	FTnC 3	FTnC 2	FTnC 1	FTnC 0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

9.2.7 FTMn ステータスレジスタ (FTnSTAT : n=0~5)

本レジスタは、FTMn の状態を示す特殊機能レジスタ(SFR)です。

アドレス: 0xF450(FT0STAT), 0xF452(FT1STAT),
0xF454(FT2STAT), 0xF456(FT3STAT),
0xF458(FT4STAT), 0xF45A(FT5STAT)

アクセス: R

アクセスサイズ: 8ビット

初期値: 0x30

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FTnSTAT							
ビット	—	—	—	—	—	—	—	—	FTn STA	FTn FLGC	FTn FLGB	FTn FLGA	—	—	—	FTn UD
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7	FTnSTA	FTMn の動作状態を示します。 0: カウンタ停止中(初期値) 1: カウンタ動作中
6	FTnFLGC	FTnTRG0 レジスタの FTnCST ビットによって設定されるカウンタ停止中に次のイベントスタートが有効か無効かを示すビットです。 FTnC レジスタを読み出すとタイマクロック 1 クロック後に自動的にクリアされます。 0: イベントトリガによるスタート可能状態(初期値) 1: イベントトリガによるスタート不可状態
5	FTnFLGB	FTMn のイベントタイミング B の状態を示します。 ・TIMER, PWM1/2 モード 0: カウント値 < FTMn イベント B レジスタの値 1: カウント値 ≥ FTMn イベント B レジスタの値(初期値) ・CAPTURE モード 0: キャプチャデータなし 1: キャプチャデータあり(FTnEB レジスタを読み出すとクリアされます)
4	FTnFLGA	FTMn のイベントタイミング A の状態を示します。 ・TIMER, PWM1/2 モード 0: カウント値 < FTMn イベント A レジスタ の値 1: カウント値 ≥ FTMn イベント A レジスタの値(初期値) ・CAPTURE モード 0: キャプチャデータなし 1: キャプチャデータあり(FTnEA レジスタを読み出すとクリアされます)
3~1	—	予約ビット
0	FTnUD	FTCUD レジスタの FTCUDn ビットに“1”を書込んで FTnP/FTnEA/FTnEB/FTnDT レジスタなどの更新要求を発生させた後の完了状態を示すビットです。 転送が完了すると自動的にクリアされます。 0: 更新完了(初期値) 1: 更新要求中

9.2.8 FTMn モードレジスタ (FTnMOD : n=0~5)

本レジスタは、FTMn の FTMnP, FTMnN 端子出力機能および動作モードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF460 (FT0MODL/FT0MOD), 0xF461 (FT0MODH),
0xF462 (FT1MODL/FT1MOD), 0xF463 (FT1MODH),
0xF464 (FT2MODL/FT2MOD), 0xF465 (FT2MODH),
0xF466 (FT3MODL/FT3MOD), 0xF467 (FT3MODH),
0xF468 (FT4MODL/FT4MOD), 0xF469 (FT4MODH),
0xF46A (FT5MODL/FT5MOD), 0xF46B (FT5MODH)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x4000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnMOD															
バイト	FTnMODH								FTnMODL							
ビット	FTnO SL1	FTnO SL0	FTnO SNN	FTnO SNP	rsvd	rsvd	rsvd	FTnST PO	FTnO ST	rsvd	FTnDT ENN	FTnDT ENP	rsvd	rsvd	FTnM D1	FTnM D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15, 14	FTnOSL1, FTnOSL0	FTMnN 端子と FTMnP 端子から出力する位相を選択するビットです。 FTMnN 端子出力 FTMnP 端子出力 00: Negative 位相を出力 Negative 位相を出力 01: Negative 位相を出力 (初期値) Positive 位相を出力 (初期値) 10: Positive 位相を出力 Negative 位相を出力 11: Positive 位相を出力 Positive 位相を出力
13	FTnOSNN	FTMnN 端子出力を反転するビットです。 FTnOSL1 (ビット 15) で選択された信号を反転します。 0: 出力を反転しません (初期値)。 1: 出力を反転します。
12	FTnOSNP	FTMnP 端子出力を反転するビットです。 FTnOSL0 (ビット 14) で選択された信号を反転します。 0: 出力を反転しません (初期値)。 1: 出力を反転します。
11~9	rsvd	予約ビットです。“0”を書込んでください。
8	FTnSTPO	FTMn が停止した際の Positive 位相/Negative 位相の出力状態を設定します。 ・TIMER, PWM1/2 モード 0: 停止時に出力を“L”にします。(初期値) カウンタをクリアせずに再開した時, 次の周期まで“L”になります。 1: 停止時に出力はその時の状態を保持します。 カウンタをクリアせずに再開した時, カウント値に応じた出力をします。 カウンタをクリアした場合は出力が“L”になります。 ・CAPTURE モード 本ビットは無効です。

ビット 番号	ビットシンボル 名	説明
7	FTnOST	FTMn の連続モード／ワンショットモードを設定します。 ・TIMER, PWM1/2 モード 0: 連続モード(初期値) 1: ワンショットモード ・CAPTURE モード 0: オートモード FTnEA, FTnEB レジスタに一度キャプチャしても、次のキャプチャをするとFTnEA, FTnEB レジスタに格納したデータは上書き(更新)されます。カウンタは1周すると0から再スタートします。 1: シングルモード FTnEA, FTnEB レジスタに一度キャプチャすると、読み出すまで次のキャプチャは行いません。カウンタは1周すると停止します。
6	rsvd	予約ビットです。“0”を書込んでください。
5	FTnDTENN	Negative 位相出力のデッドタイムを有効にします。 ・TIMER, PWM1/2 モード 0: デッドタイム無効(初期値) 1: デッドタイム有効 ・CAPTURE モード 本ビットは無効です。
4	FTnDTENP	Positive 位相出力のデッドタイムを有効にします。 ・TIMER, PWM1/2 モード 0: デッドタイム無効(初期値) 1: デッドタイム有効 ・CAPTURE モード 本ビットは無効です。
3, 2	rsvd	予約ビットです。“0”を書込んでください。
1, 0	FTnMD1, FTnMD0	FTMn のモードを設定します。 00: TIMER モード(初期値) 01: CAPTURE モード 10: PWM1 モード 11: PWM2 モード

9.2.9 FTMn クロックレジスタ (FTnCLK : n=0~5)

本レジスタは、FTMn のタイマクロックおよびカウントクロックを設定する特殊機能レジスタ(SFR)です。
タイマクロックは外部トリガ n 入力のサンプリングや外部クロック n 入力のエッジ検出に使用します。
カウントクロックはカウント動作や波形出力制御に使用します。

アドレス: 0xF470(FT0CLKL/FT0CLK), 0xF471(FT0CLKH), 0xF472(FT1CLKL/FT1CLK), 0xF473(FT1CLKH),
0xF474(FT2CLKL/FT2CLK), 0xF475(FT2CLKH), 0xF476(FT3CLKL/FT3CLK), 0xF477(FT3CLKH),
0xF478(FT4CLKL/FT4CLK), 0xF479(FT4CLKH), 0xF47A(FT5CLKL/FT5CLK), 0xF47B(FT5CLKH)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnCLK															
バイト	FTnCLKH								FTnCLKL							
ビット	rsvd	rsvd	rsvd	rsvd	rsvd	FTnXCK2	FTnXCK1	FTnXCK0	rsvd	FTnCKD2	FTnCKD1	FTnCKD0	FTnEX	rsvd	rsvd	FTnCK0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15~11	rsvd	予約ビットです。“0”を書込んでください。
10~8	FTnXCK2~ FTnXCK0	FTnEX ビット=1 選択時に使用する外部クロック入力を選択します。 000: 外部クロック 0 入力 (EXTRG0) (初期値) 001: 外部クロック 1 入力 (EXTRG1) 010: 外部クロック 2 入力 (EXTRG2) 011: 外部クロック 3 入力 (EXTRG3) 100: 外部クロック 4 入力 (EXTRG4) 101: 外部クロック 5 入力 (EXTRG5) 110: 外部クロック 6 入力 (EXTRG6) 111: 外部クロック 7 入力 (EXTRG7)
7	rsvd	予約ビットです。“0”を書込んでください。
6~4	FTnCKD2~ FTnCKD0	FTMn のカウントクロックを選択します。 FTnEX ビット=1 選択時は、本ビットの設定は無効となります。 000: タイマクロック (初期値) 001: 1/2 タイマクロック 010: 1/4 タイマクロック 011: 1/8 タイマクロック 100: 1/16 タイマクロック 101: 1/32 タイマクロック 110: 1/64 タイマクロック 111: 1/128 タイマクロック
3	FTnEX	外部トリガを FTMn のカウントクロックに使用するかを選択します。 0: FTnCKD2~FTnCKD 0 ビットで選択したカウントクロック。(初期値) 1: FTnXCK2~0 ビットで選択した EXTRG0~EXTRG7 の立ち上がりエッジ
2, 1	rsvd	予約ビットです。“0”を書込んでください。

ビット 番号	ビットシンボル 名	説明
0	FTnCK0	FTMn のタイマクロックを選択します。 0: LSCLK (初期値) 1: HSCLK

【注意】

- 外部クロック／トリガの設定をする場合、タイマクロックを分周なし、システムクロックが HSCLK の場合は FTnCK0=1、LSCLK の場合は FTnCK0=0 の状態で設定してください。(9.3.7.1/9.3.7.2 項を参照してください。)

9.2.10 FTMn トリガレジスタ 0 (FTnTRG0 : n=0~5)

本レジスタは、FTMn のトリガ機能を設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF480 (FT0TRG0L/FT0TRG0), 0xF481 (FT0TRG0H),
0xF482 (FT1TRG0L/FT1TRG0), 0xF483 (FT1TRG0H),
0xF484 (FT2TRG0L/FT2TRG0), 0xF485 (FT2TRG0H),
0xF486 (FT3TRG0L/FT3TRG0), 0xF487 (FT3TRG0H),
0xF488 (FT4TRG0L/FT4TRG0), 0xF489 (FT4TRG0H),
0xF48A (FT5TRG0L/FT5TRG0), 0xF48B (FT5TRG0H)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnTRG0															
バイト	FTnTRG0H								FTnTRG0L							
ビット	rsvd	FTnEST1	FTnEST0	FTnSTSS	FTnSTS3	FTnSTS2	FTnSTS1	FTnSTS0	rsvd	FTnDCLH	FTnCST	rsvd	FTnSPC	FTnSP	FTnSTC	FTnST
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	rsvd	予約ビットです。“0”を書込んでください。
14, 13	FTnEST1, FTnEST0	FTMn の緊急停止トリガ要因を選択します。FTCCON レジスタの FTnEMGEN ビットが 1 の時のみ有効です。 00: 外部トリガ 0 入力 (EXTRG0) (初期値) 01: 外部トリガ 4 入力 (EXTRG4) 10: アナログコンパレータ 0 トリガ (CMP0TRG) 11: 予約

ビット 番号	ビットシンボル 名	説明
12～8	FTnSTSS, FTnSTS3～ FTnSTS0	<p>FTMn のトリガイベントのソースを選択します。トリガイベントのソース選択の際は、割込みの対象以外 (FTM0 の設定では FTM0 以外) を選択してください。</p> <p>・TIMER, CAPTURE, PWM1/2 モード</p> <p>00000: 外部トリガ 0 入力 (EXTRG0) (初期値)</p> <p>00001: 外部トリガ 1 入力 (EXTRG1)</p> <p>00010: 外部トリガ 2 入力 (EXTRG2)</p> <p>00011: 外部トリガ 3 入力 (EXTRG3)</p> <p>00100: 外部トリガ 4 入力 (EXTRG4)</p> <p>00101: 外部トリガ 5 入力 (EXTRG5)</p> <p>00110: 外部トリガ 6 入力 (EXTRG6)</p> <p>00111: 外部トリガ 7 入力 (EXTRG7)</p> <p>01000: アナログコンパレータ 0 トリガ (CMP0TRG)</p> <p>010X1: 予約</p> <p>01100: クロック相互監視機能用 (「29.3.3 クロック相互監視機能」を参照)</p> <p>011X1: 予約</p> <p>X: 0/1 どちらでもよい</p> <p>・TIMER, PWM1/2 モード</p> <p>10000: 16 ビットタイマ 0 トリガ (TMH0TRG)</p> <p>10001: 16 ビットタイマ 1 トリガ (TMH1TRG)</p> <p>10010: 16 ビットタイマ 2 トリガ (TMH2TRG)</p> <p>10011: 16 ビットタイマ 3 トリガ (TMH3TRG)</p> <p>10100: 16 ビットタイマ 4 トリガ (TMH4TRG)</p> <p>10101: 16 ビットタイマ 5 トリガ (TMH5TRG)</p> <p>10110: 予約</p> <p>10111: 予約</p> <p>11000: ファンクショナルタイマ 0 トリガ (FTM0TRG)</p> <p>11001: ファンクショナルタイマ 1 トリガ (FTM1TRG)</p> <p>11010: ファンクショナルタイマ 2 トリガ (FTM2TRG)</p> <p>11011: ファンクショナルタイマ 3 トリガ (FTM3TRG)</p> <p>11100: ファンクショナルタイマ 4 トリガ (FTM4TRG)</p> <p>11101: ファンクショナルタイマ 5 トリガ (FTM5TRG)</p> <p>11110: 予約</p> <p>11111: 予約</p>
7	rsvd	予約ビットです。“0”を書込んでください。
6	FTnDCLH	<p>FTnOSL0 で選択した位相出力が“H”レベルの時トリガイベントによるカウンタクリアを無効にします。</p> <p>・TIMER, PWM1/2 モード</p> <p>0: Positive 位相出力レベルに関係なくクリア有効 (初期値)</p> <p>1: Positive 位相出力レベルが“H”の時はクリア無効</p> <p>・CAPTURE モード</p> <p>本ビットは無効です。</p>
5	FTnCST	<p>トリガイベントによるカウンタスタートの動作モードを選択します。</p> <p>0: カウンタ停止中 (緊急停止除く) は、常にトリガイベントによるカウンタスタートする (初期値)</p> <p>1: カウンタ停止中 (緊急停止除く) は、FTnC レジスタを読み出すまでトリガイベントによるカウンタスタートしない</p>
4	rsvd	予約ビットです。“0”を書込んでください。

ビット 番号	ビットシンボル 名	説明
3	FTnSPC	カウンタストップのトリガイベント発生時(FTnTRG1 レジスタの FTnTRM2-0 ビットによるエッジ 選択時のみ)にカウンタをクリアするかを選択します。 FTnSP ビットの設定に関係なく本ビットの設定は有効になります。 また、トリガイベント発生時に FTCUD レジスタの FTCUDn ビットによる FTnP, FTnEA, FTnEB, FTnDT レジスタの更新要求が発生していた場合は、カウンタクリアと同時に FTnP, FTnEA, FTnEB, FTnDT レジスタの更新も行います。 ただし、緊急停止時は本ビットの設定に関係なくクリアしません。 0: カウンタクリア無効(初期値) 1: カウンタクリア有効
2	FTnSP	トリガイベントによるカウンタストップの有効／無効を選択します。 0: カウンタストップ無効(初期値) 1: カウンタストップ有効
1	FTnSTC	カウンタスタートのトリガイベント発生時(FTnTRG1 レジスタの FTnTRM2-0 ビットによるエッジ 選択時のみ)にカウンタをクリアするかを選択します。 FTnST ビットの設定に関係なく本ビットの設定は有効になります。 また、トリガイベント発生時に FTCUD レジスタの FTCUDn ビットによる FTnP, FTnEA, FTnEB, FTnDT レジスタの更新要求が発生していた場合は、カウンタクリアと同時に FTnP, FTnEA, FTnEB, FTnDT レジスタの更新も行います。 ただし、緊急停止時は本ビットの設定に関係なくクリアしません。 0: カウンタクリア無効(初期値) 1: カウンタクリア有効
0	FTnST	トリガイベントによるカウンタスタートの有効／無効を選択します。 0: カウンタスタート無効(初期値) 1: カウンタスタート有効

9.2.11 FTMn トリガレジスタ 1 (FTnTRG1 : n=0~5)

本レジスタは、FTMn のトリガ機能を設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF490(FT0TRG1L/FT0TRG1), 0xF491(FT0TRG1H),
0xF492(FT1TRG1L/FT1TRG1), 0xF493(FT1TRG1H),
0xF494(FT2TRG1L/FT2TRG1), 0xF495(FT2TRG1H),
0xF496(FT3TRG1L/FT3TRG1), 0xF497(FT3TRG1H),
0xF498(FT4TRG1L/FT4TRG1), 0xF499(FT4TRG1H),
0xF49A(FT5TRG1L/FT5TRG1), 0xF49B(FT5TRG1H)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnTRG1															
バイト	FTnTRG1H								FTnTRG1L							
ビット	rsvd	rsvd	rsvd	rsvd	rsvd	FTnTRF2	FTnTRF1	FTnTRF0	rsvd	rsvd	rsvd	FTnEMGES	rsvd	FTnTRM2	FTnTRM1	FTnTRM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明		
15～ 11	rsvd	予約ビットです。“0”を書込んでください。		
10～8	FTnTRF2～ FTnTRF0	イベントトリガ要因の EXTRG0～EXTRG7, CMP0TRG または外部クロック EXTRG0～EXTRG7 に対するノイズフィルタ機能の設定をします。本機能は緊急停止トリガおよび他のイベントトリガ要因に対しては無効です。 EXTRG0～EXTRG7,CMP0TRG から入力される信号は全てタイマクロックでサンプリングされます。確実に受け付ける／除去されるパルス幅は次の通りです。これを満たさない幅のパルスは受け付けるか除去されるかはわかりません。		
		フィルタ機能:フィルタクロック	確実に受け付ける パルス幅	確実に除去される パルス幅
		000: 無効(初期値)	> 1 サイクル	なし
		001: 有効: 1/2 タイマクロック	> 4 サイクル	< 2 サイクル
		010: 有効: 1/4 タイマクロック	> 8 サイクル	< 4 サイクル
		011: 有効: 1/8 タイマクロック	> 16 サイクル	< 8 サイクル
		100: 有効: 1/16 タイマクロック	> 32 サイクル	< 16 サイクル
		101: 有効: 1/32 タイマクロック	> 64 サイクル	< 32 サイクル
		110: 有効: 1/64 タイマクロック	> 128 サイクル	< 64 サイクル
		111: 有効: 1/128 タイマクロック	> 256 サイクル	< 128 サイクル
		また, EXTRG0～EXTRG7 は本機能に加えて, 外部割込みモードレジスタ 0 のサンプリングを有効にすることもノイズ除去が可能です。 外部割込み機能については,「第 18 章 外部割込み機能」を参照してください。		
7～5	rsvd	予約ビットです。“0”を書込んでください。		
4	FTnEMGES	FTMn の緊急停止トリガのエッジを選択します。 0: 立ち上がりエッジ(初期値) 1: 立ち下がりエッジ		
3	rsvd	予約ビットです。“0”を書込んでください。		

ビット 番号	ビットシンボル 名	説明
2～0	FTnTRM2～ FTnTRM0	FTMn のトリガイイベントのエッジまたはレベルを選択します。 イベントトリガ要因として、EXTRG0～EXTRG7 または CMP0TRG を選択した時のみ有効で す。それ以外では、立ち上がりエッジ固定になります。 <div> <div>カウンタスタート</div> <div>カウンタストップ</div> <div>000: 立ち上がりエッジ</div> <div>立ち上がりエッジ(初期値)</div> <div>001: 立ち下がりエッジ</div> <div>立ち上がりエッジ</div> <div>010: 立ち上がりエッジ</div> <div>立ち下がりエッジ</div> <div>011: 立ち下がりエッジ</div> <div>立ち下がりエッジ</div> <div>1X0: “H”レベル</div> <div>“L”レベル</div> <div>1X1: “L”レベル</div> <div>“H”レベル</div> </div> <div>X: 0/1 どちらでもよい</div>

【注意】

- 緊急停止トリガを使用する場合、各モジュールのフィルタ機能を使用してください。
- カウンタスタート条件をレベル設定にして、スタート条件と EXTRG0～EXTRG7 のレベルが一致した場合、ワンショットモード時のストップ条件が成立しても、カウント動作を継続(0 からカウントアップを再開)します。
- EXTRG0～EXTRG7を使用する場合は、FTnTRG1レジスタでノイズフィルタを設定した後にトリガイイベントを有効にしてください。トリガイイベント有効時に FTnTRG1 レジスタを設定すると、設定した瞬間にトリガイイベントが発生する可能性があります。

9.2.12 FTMn 割込み許可レジスタ (FTnINTE : n=0~5)

本レジスタは FTMn の割込みおよびトリガ出力を制御する特殊機能レジスタ(SFR)です。
 FTnINTEL レジスタの各ビットに“1”を書込むと割込みが有効になり、割込みコントローラに通知します。
 FTnINTEH レジスタの各ビットに“1”を書込むとトリガ出力が有効になり、FTMn の他のチャンネルに通知します。
 トリガ出力は DMA 要求信号としても使用可能です。

アドレス: 0xF4A0 (FT0INTEL/FT0INTE), 0xF4A1 (FT0INTEH),
 0xF4A2 (FT1INTEL/FT1INTE), 0xF4A3 (FT1INTEH),
 0xF4A4 (FT2INTEL/FT2INTE), 0xF4A5 (FT2INTEH),
 0xF4A6 (FT3INTEL/FT3INTE), 0xF4A7 (FT3INTEH),
 0xF4A8 (FT4INTEL/FT4INTE), 0xF4A9 (FT4INTEH),
 0xF4AA (FT5INTEL/FT5INTE), 0xF4AB (FT5INTEH)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnINTE															
バイト	FTnINTEH								FTnINTEL							
ビット	rsvd	rsvd	rsvd	rsvd	rsvd	FTn IOB	FTn IOA	FTn IOP	rsvd	rsvd	rsvd	FTn IETR	FTn IETS	FTn IEB	FTn IEA	FTn IEP
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15~11	rsvd	予約ビットです。“0”を書込んでください。
10	FTnIOB	FTMn のイベントタイミング B に関する FTMnTRG の有効／無効を設定します。 有効に設定すると FTnC レジスタが FTnEB レジスタと一致もしくは、FTnEB レジスタにキャプチャしたときに FTMnTRG が出力されます。 0: イベントタイミング B での FTMnTRG 出力無効 (初期値) 1: イベントタイミング B での FTMnTRG 出力有効
9	FTnIOA	FTMn のイベントタイミング A に関する FTMnTRG の有効／無効を設定します。 有効に設定すると FTnC レジスタが FTnEA レジスタと一致もしくは、FTnEA レジスタにキャプチャしたときに FTMnTRG が出力されます。 0: イベントタイミング A での FTMnTRG 出力無効 (初期値) 1: イベントタイミング A での FTMnTRG 出力有効
8	FTnIOP	FTMn の FTnP レジスタに関する FTMnTRG の有効／無効を設定します。 有効に設定すると FTnC レジスタが FTnP レジスタと一致したときに FTMnTRG が出力されます。 0: FTMn 周期レジスタ一致での FTMnTRG 出力無効 (初期値) 1: FTMn 周期レジスタ一致での FTMnTRG 出力有効
7~5	rsvd	予約ビットです。“0”を書込んでください。
4	FTnIETR	FTMn のトリガカウンタスタート割込みの許可を設定します。 0: トリガカウンタスタート割込み無効 (初期値) 1: トリガカウンタスタート割込み有効
3	FTnIETS	FTMn のトリガカウンタストップ割込みの許可を設定します。 0: トリガカウンタストップ割込み無効 (初期値) 1: トリガカウンタストップ割込み有効

ビット 番号	ビットシンボル 名	説明
2	FTnIEB	FTMn のイベントタイミング B 割込み (TIMER, PWM1 モード時), キャプチャ B 割込み (CAPTURE モード時) の有効／無効を選択します。 ・TIMER, PWM1 モード 0: イベントタイミング B 割込み無効 (初期値) 1: イベントタイミング B 割込み有効 ・PWM2 モード 0: 常に“0”を書込んでください 1: 設定禁止 ・CAPTURE モード 0: キャプチャ B 割込み無効 1: キャプチャ B 割込み有効
1	FTnIEA	FTMn のイベントタイミング A 割込み (TIMER, PWM1/2 モード時), キャプチャ A 割込み (CAPTURE モード時) の有効／無効を選択します。 ・TIMER, PWM1/2 モード 0: イベントタイミング A 割込み無効 (初期値) 1: イベントタイミング A 割込み有効 ・CAPTURE モード 0: キャプチャ A 割込み無効 1: キャプチャ A 割込み有効
0	FTnIEP	FTMn の周期割込みの有効／無効を選択します。 0: 周期割込み無効 (初期値) 1: 周期割込み有効

9.2.13 FTMn 割込みステータスレジスタ (FTnINTS : n=0~5)

本レジスタは FTMn の割込みステータスを示す特殊機能レジスタ(SFR)です。
読み出し専用レジスタです。
ビット5~ビット0 は、リセット機能の他に FTnINTC レジスタの同一ビットへの“1”書込みによって“0”に初期化されます。

アドレス: 0xF4B0 (FT0INTSL/FT0INTS), 0xF4B1 (FT0INTSH),
0xF4B2 (FT1INTSL/FT1INTS), 0xF4B3 (FT1INTSH),
0xF4B4 (FT2INTSL/FT2INTS), 0xF4B5 (FT2INTSH),
0xF4B6 (FT3INTSL/FT3INTS), 0xF4B7 (FT3INTSH),
0xF4B8 (FT4INTSL/FT4INTS), 0xF4B9 (FT4INTSH),
0xF4BA (FT5INTSL/FT5INTS), 0xF4BB (FT5INTSH)
アクセス: R
アクセスサイズ: 8 ビット/16 ビット
初期値: 0x0000

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	FTnINTS															
ビット	FTnINTSH								FTnINTSL							
	—	—	—	—	—	—	—	—	—	—	FTnISES	FTnISTR	FTnISTS	FTnISB	FTnISA	FTnISP
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15~6	—	予約ビット
5	FTnISES	FTMn の緊急停止割込みの状態を示します。 0: 緊急停止割込み発生なし(初期値) 1: 緊急停止割込み発生 FTnINTC レジスタの FTnICES に“1”を書込むとクリアされます。
4	FTnISTR	FTMn のトリガカウンタスタート割込みの状態を示します。 0: トリガカウンタスタート割込み発生なし(初期値) 1: トリガカウンタスタート割込み発生 FTnINTC レジスタの FTnICTR に“1”を書込むとクリアされます。
3	FTnISTS	FTMn のトリガカウンタストップ割込みの状態を示します。 0: トリガカウンタストップ割込み発生なし(初期値) 1: トリガカウンタストップ割込み発生 FTnINTC レジスタの FTnICTS に“1”を書込むとクリアされます。
2	FTnISB	FTMn のイベントタイミング B 割込みの状態を示します。 CAPTURE モード時は、FTnEB レジスタへのキャプチャデータ格納状態を示します。 ・TIMER, PWM1/2 モード 0: イベントタイミング B 割込み発生なし(初期値) 1: イベントタイミング B 割込み発生 FTnINTC レジスタの FTnICB ビットに“1”を書込むとクリアされます。 ・CAPTURE モード 0: キャプチャ B 割込み発生なし 1: キャプチャ B 割込み発生 FTnEB レジスタにキャプチャデータが格納されたことを示します。 FTnINTC レジスタの FTnICB ビットに“1”を書込む、または FTnEB レジスタを読み出すとクリアされます。

ビット 番号	ビットシンボル 名	説明
1	FTnISA	FTMn のイベントタイミング A 割込みの状態を示します。 CAPTURE モード時は、FTnEA レジスタへのキャプチャデータ格納状態を示します。 ・TIMER, PWM1/2 モード 0: イベントタイミング A 割込み発生なし(初期値) 1: イベントタイミング A 割込み発生 FTnINTC レジスタの FTnICA ビットに“1”を書込むとクリアされます。 ・CAPTURE モード 0: キャプチャ A 割込み発生なし 1: キャプチャ A 割込み発生 FTnICA に“1”を書込むまたは FTnEA レジスタを読み出すとクリアされます。
0	FTnISP	FTMn の周期割込みの状態を示します。 0: 周期割込み発生なし(初期値) 1: 周期割込み発生 FTnINTC レジスタの FTnICP ビットに“1”を書込むとクリアされます。

9.2.14 FTMn 割込みクリアレジスタ (FTnINTC : n=0~5)

本レジスタは FTMn の割込みステータスをクリアする特殊機能レジスタ(SFR)です。
ビット 5～ビット 0 に“1”を書込むと、FTnINTS レジスタの同一ビットの割込みステータスがクリアされます。
読み出すと常に“0x0000”を読み出します。

アドレス: 0xF4C0(FT0INTCL/FT0INTC), 0xF4C1(FT0INTCH),
0xF4C2(FT1INTCL/FT1INTC), 0xF4C3(FT1INTCH),
0xF4C4(FT2INTCL/FT2INTC), 0xF4C5(FT2INTCH),
0xF4C6(FT3INTCL/FT3INTC), 0xF4C7(FT3INTCH),
0xF4C8(FT4INTCL/FT4INTC), 0xF4C9(FT4INTCH),
0xF4CA(FT5INTCL/FT5INTC), 0xF4CB(FT5INTCH)

アクセス: W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTnINTC															
バイト	FTnINTCH								FTnINTCL							
ビット	—	—	—	—	—	—	—	—	FTn IR	—	FTn ICES	FTn ICTR	FTn ICTS	FTn ICB	FTn ICA	FTn ICP
R/W	R	R	R	R	R	R	R	R	W	R	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～8	—	予約ビット
7	FTnIR	FTMn の割込み要求ビットです。 割込みルーチンが完了する前に“1”を書込んでください。 “0”書込み 無効 “1”書込み 未処理の割込み要因がある場合、再度割込み要求を出力
6	—	予約ビット
5	FTnICES	FTMn の緊急停止割込みステータスをクリアします。 “0”書込み 無効 “1”書込み FTMn の緊急停止割込みステータスをクリア
4	FTnICTR	FTMn のトリガカウンタスタート割込みステータスをクリアします。 “0”書込み 無効 “1”書込み FTMn のトリガカウンタスタート割込みステータスをクリア
3	FTnICTS	FTMn のトリガカウンタストップ割込みステータスをクリアします。 “0”書込み 無効 “1”書込み FTMn のトリガカウンタストップ割込みステータスをクリア
2	FTnICB	FTMn のイベントタイミング B 割込みステータスをクリアします。 “0”書込み 無効 “1”書込み FTMn のイベントタイミング B 割込みステータスをクリア
1	FTnICA	FTMn のイベントタイミング A 割込みステータスをクリアします。 “0”書込み 無効 “1”書込み FTMn のイベントタイミング A 割込みステータスをクリア
0	FTnICP	FTMn の周期割込みステータスをクリアします。 “0”書込み 無効 “1”書込み FTMn の周期割込みステータスをクリア

【注意】

- 割込み要求ビット(FTnIR)は、ワードアクセスで書込んでください。本ビットへのバイトアクセスもしくはビットアクセスでの書込みは無効になります。
- 割込み要求ビット(FTnIR)は、デバッグツール(SFR ウィンドウやウォッチウィンドウ)から書込むことはできません。
- 未処理の割込みが残っている状態でFTMを停止した場合も割込みステータスはクリアしません。停止前に未処理の割込みが無いことを確認してください。

9.2.15 FTM 共通更新レジスタ (FTCUD)

本レジスタは、FTM_n の FTnP, FTnEA, FTnEB, FTnDT レジスタを動作中に更新するための特殊機能レジスタ(SFR)です。
各チャンネル共通の SFR です。ビット *n* がチャンネル *n* に対応しています。
非搭載のチャンネルのビットへの書込みは無効です。

アドレス: 0xF4F0(FTCUD)
アクセス: W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FTCUD							
ビット	—	—	—	—	—	—	—	—	—	—	FTCU D5	FTCU D4	FTCU D3	FTCU D2	FTCU D1	FTCU D0
R/W	R	R	R	R	R	R	R	R	R	R	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7, 6	—	予約ビット
5~0	FTCUD7~ FTCUD0	FTM _n の FTnP, FTnEA, FTnEB, FTnDT レジスタを動作中に更新するための書込み専用ビット です。FTnP, FTnEA, FTnEB, FTnDT レジスタを設定した後に本ビットに“1”を書込むことによ り、それらのレジスタの設定値が周期の終わりのタイミングで転送されます。 “0”書込み 無効 “1”書込み 更新要求発生

9.2.16 FTM 共通コントロールレジスタ (FTCCON)

本レジスタは、FTM_n の機能を設定する特殊機能レジスタ(SFR)です。
各チャンネル共通の SFR です。ビット **n** がチャンネル **n** に対応しています。
非搭載のチャンネルのビットへの書込みは無効です。

アドレス: 0xF4F2(FTCCONL/FTCCON), 0xF4F3(FTCCONH)
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTCCON															
バイト	FTCCONH								FTCCONL							
ビット	—	—	FT5SD N	FT4SD N	FT3SD N	FT2SD N	FT1SD N	FT0SD N	—	—	FT5EM GEN	FT4EM GEN	FT3EM GEN	FT2EM GEN	FT1EM GEN	FT0EM GEN
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15, 14	—	予約ビット
13～8	FT7SDN～ FT0SDN	Positive 位相／Negative 位相出力の許可／禁止を設定します。 ・TIMER, PWM1/2 モード 0: 出力許可(初期値) 1: 出力禁止(Positive 位相／Negative 位相出力を“L”レベルに固定) ・CAPTURE モード 本ビットは無効です。
7, 6	—	予約ビット
5～0	FT7EMGEN～ FT0EMGEN	FTM _n の緊急停止の有効／無効を設定します。 ・TIMER, PWM1/2 モード 0: 緊急停止無効(初期値) 1: 緊急停止有効 ・CAPTURE モード 本ビットは無効です。

9.2.17 FTM 共通スタートレジスタ (FTCSTR)

本レジスタは、FTM_n の機能を設定する特殊機能レジスタ(SFR)です。
各チャンネル共通の SFR です。ビット n がチャンネル n に対応しています。
非搭載のチャンネルのビットへの書込みは無効です。

アドレス: 0xF4F4(FTCSTR_L/FTCSTR), 0xF4F5(FTCSTR_H)
アクセス: W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTCSTR															
バイト	FTCSTR _H								FTCSTR _L							
ビット	—	—	FT5ET G	FT4ET G	FT3ET G	FT2ET G	FT1ET G	FT0ET G	—	—	FT5ST R	FT4ST R	FT3ST R	FT2ST R	FT1ST R	FT0ST R
R/W	R	R	W	W	W	W	W	W	R	R	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15, 14	—	予約ビット
13~8	FT7ETG~ FT0ETG	トリガイベントによるカウント停止／開始を有効にするビットです。 無効にする場合は FTCSTP レジスタで設定してください。 トリガイベントによるクリアに関しては、FTnTRG0 レジスタの FTnSTC, FTnSPC ビットで制御します。 電源投入後の初期状態ではトリガ動作は無効となっています。 “0”書込み 無効 “1”書込み トリガ動作(カウント停止／開始)有効
7, 6	—	予約ビット
5~0	FT7STR~ FT0STR	ソフトウェアにより FTM _n のカウントを開始するビットです。 “1”を書込むとカウントを開始します。 電源投入後の初期状態ではカウント停止しています。 “0”書込み 無効 “1”書込み ソフトウェアによるカウントを開始

【注意】

- FTnSTR は、FTM_n が停止している状態(FTnSTAT レジスタの FTnSTA が“0”の状態)で設定してください。

9.2.18 FTM 共通ストップレジスタ (FTCSTP)

本レジスタは、FTMn の機能を設定する特殊機能レジスタ(SFR)です。各チャンネル共通の SFR です。
非搭載のチャンネルのビットへの書込みは無効です。

アドレス: 0xF4F6(FTCSTPL/FTCSTP), 0xF4F7(FTCSTPH)
アクセス: W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTCSTP															
バイト	FTCSTPH								FTCSTPL							
ビット	—	—	FT5DT G	FT4DT G	FT3DT G	FT2DT G	FT1DT G	FT0DT G	—	—	FT5ST P	FT4ST P	FT3ST P	FT2ST P	FT1ST P	FT0ST P
R/W	R	R	W	W	W	W	W	W	R	R	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15, 14	—	予約ビット
13～8	FT7DTG～ FT0DTG	トリガイイベントによるカウント停止／開始を無効にするビットです。 有効にする場合は、FTCSTR レジスタで設定してください。 電源投入後の初期状態ではトリガ動作は無効となっています。 “0”書込み 無効 “1”書込み トリガ動作(カウント停止／開始)無効。トリガイイベントにより カウンタが動作している場合はカウントも停止します
7, 6	—	予約ビット
5～0	FT7STP～ FT0STP	ソフトウェアにより FTMn のカウントを停止するビットです。 “1”を書込むとカウントを停止します。 電源投入後の初期状態ではカウント停止しています。 “0”書込み 無効 “1”書込み ソフトウェアによるカウントを停止

【注意】

- FTnSTP は、FTMn が動作している状態(FTnSTAT レジスタの FTnSTA が“1”の状態)で設定してください。

9.2.19 FTM 共通ステータスレジスタ (FTCSTAT)

本レジスタは、FTMn の状態を示す特殊機能レジスタ(SFR)です。各チャンネル共通の SFR です。

アドレス: 0xF4F8(FTCSTATL/FTCSTAT), 0xF4F9(FTCSTATH)
アクセス: R
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FTCSTAT															
バイト	FTCSTATH								FTCSTATL							
ビット	—	—	FT5TG EN	FT4TG EN	FT3TG EN	FT2TG EN	FT1TG EN	FT0TG EN	—	—	FT5R UN	FT4R UN	FT3R UN	FT2R UN	FT1R UN	FT0R UN
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15, 14	—	予約ビット
13～8	FT7TGEN～ FT0TGEN	FTMn の設定状態を確認するビットです。 電源投入後の初期状態ではトリガ動作は無効となっています。 0: トリガ動作(カウント停止／開始)無効(初期値) 1: トリガ動作(カウント停止／開始)有効
7, 6	—	予約ビット
5～0	FT7RUN～ FT0RUN	FTMn のカウント状態を示すビットです。FTnSTA と同じ情報です。 電源投入後の初期状態ではカウント停止しています。 0: カウント停止中(初期値) 1: カウント動作中

9.3 動作説明

ファンクショナルタイマは4種類の動作モードが使用可能です。

- TIMER モード
- CAPTURE モード
- PWM1 モード
- PWM2 モード

9.3.1 共通シーケンス（全モード共通の初期設定）

FTMn は、下記のように 1～6 の設定を行なったあと、FTCSTR レジスタで動作を開始します。
動作中は、割込みステータスなどのハードウェア状態の確認や周期／イベント設定の更新などが可能です。

- 1: モード設定 (FTnMOD レジスタ)
FTnMOD レジスタで TIMER/CAPTURE/PWM1/PWM2 モードを選択します。
その他、連続モード／ワンショットモードを設定します。
- 2: クロック設定 (FTnCLK レジスタ)
タイマクロックとカウントクロックを選択します。
カウントクロックに内部クロックを選択した場合、分周比も設定可能です。
- 3: トリガ設定 (FTnTRG0 レジスタ, FTnTRG1 レジスタ)
イベントトリガでカウンタをスタート／ストップする場合に設定します。
FTnTRG0 レジスタではイベントトリガソースとアクションを, FTnTRG1 レジスタではイベントトリガ／緊急停止のエッジを選択します。
- 4: 割込み設定 (FTnINTE レジスタ)
割込み要因を設定します。
周期／イベント(カウンター一致, デューティ, キャプチャ), トリガスタート／ストップ割込みから選択します。
- 5: 周期／イベント設定 (FTnP レジスタ, FTnEA レジスタ, FTnEB レジスタ, FTnDT レジスタ)
周期, カウンター一致用データ, デューティ, デッドタイムなどを設定します。

	TIMER モード	CAPTURE モード	PWM1 モード	PWM2 モード
FTnP レジスタ	連続モード時の周期またはワンショットモード時のタイムアウト時間			
FTnEA レジスタ	一致割込み設定値	(キャプチャデータ)	Positive 位相出力 デューティ	デューティ
FTnEB レジスタ	一致割込み設定値		Negative 位相出力 デューティ	(未使用)
FTnDT レジスタ	出力用デッドタイム	(未使用)	出力用デッドタイム	出力用デッドタイム

周期の計算は以下の通りです。

$$T_{\text{period}} = \frac{\text{FTnP} + 1}{\text{カウントクロック周波数 [Hz]}} \quad (\text{FTnP : 0x0001} \sim \text{0xFFFF})$$

6: 外部出力信号の選択

FTnMOD レジスタの FTnOSL1, FTnOSL0 ビットにより FTMnP/FTMnN 端子から、それぞれ Positive 位相/Negative 位相出力のどちらを出力するかを選択します。

また, FTnOSNP ビットにより FTMnP 端子から出力する Positive 位相/Negative 位相出力の反転あり/なしを選択し, FTnOSNN ビットにより FTMnN 端子から出力する Positive 位相/Negative 位相出力の反転あり/なしを選択します。

図 9-2 に外部出力信号選択の構成図を示します。

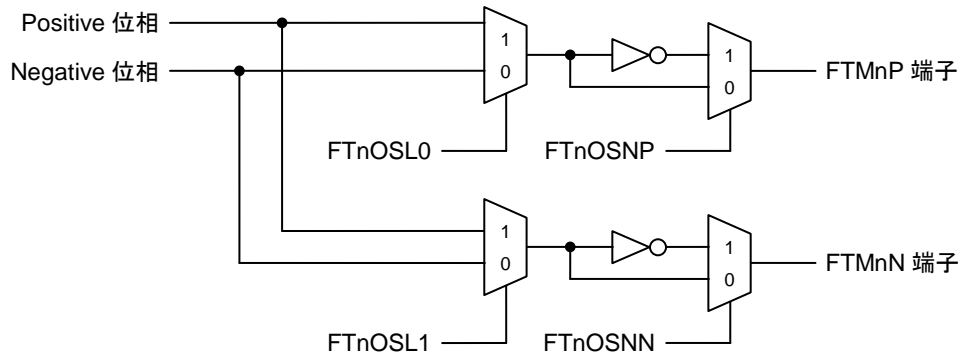


図 9-2 外部出力信号選択の構成図

7: 制御開始/停止

ソフトウェアスタートまたは、イベントトリガの受付け、緊急停止設定を許可します。

カウンタはカウントクロックの立ち上がりエッジで動作します。

ソフトウェアスタート/ストップはカウントクロックで同期化されるため、スタートでカウントクロック 1 サイクル後に FTnSTA ビットが“1”になり、2 サイクル後にカウンタの動作を開始します。

停止の場合は、カウントクロックの 1 サイクルでカウント停止し FTnSTA ビットが“0”になります。この時カウント値は維持されます。

再度スタートすると、1 サイクル後に再開します。

カウンタをクリアする場合は、FTnC レジスタに任意の値を書込んでください。

8: 動作中の処理 (FTnSTAT レジスタ, FTCSTAT レジスタ, FTnINTS レジスタ, FTCUD レジスタ, FTCCON レジスタ)

動作中の状態は FTnSTAT レジスタ, FTCSTAT レジスタ, FTnINTS レジスタで確認できます。

PWM などの波形を変更する場合は周期/イベント設定後, FTCUD レジスタの該当ビットをセットすると次の周期で更新されます。

また, FTCCON レジスタの FTnSDN ビットをセットすると強制的に出力を“L”レベルに固定します。

9.3.2 カウンタ動作（全モード共通）

FTMn の内部のカウンタは、各モード共通の動作をします。

FTnP レジスタの設定値までカウントアップを行います。

連続モード(FTnMOD レジスタの FTnOST ビットが“0”)の場合は、オーバフロー時に、カウンタをクリアし、再びカウント動作を継続します。

ワンショットモード(FTnMOD レジスタの FTnOST ビットが“1”)の場合は、オーバフロー時に、カウンタをクリアし、カウント動作を停止します。

ソフトウェアトリガイベントにより、カウント動作の開始／停止ができます。

9.3.2.1 ソフトウェアによるカウント開始／停止

FTCSTR レジスタの FTnSTR ビットに“1”を書込むと、カウント状態を示す FTnSTAT レジスタの FTnSTA ビットが“1”になりカウント動作を開始します。

ワンショットモード(FTnMOD レジスタの FTnOST ビットが“1”)の場合は、オーバフローによりカウント動作を停止し、カウント状態を示す FTnSTAT レジスタの FTnSTA ビットは、自動で“0”になります。

カウンタが動作中(カウント状態を示す FTnSTAT レジスタの FTnSTA ビットが“1”)に FTCSTP レジスタの FTnSTP ビットに“1”を書込むと、カウンタは動作を停止します。

カウンタの停止は、ソフトウェアで FTnSTAT レジスタの FTnSTA ビットが“0”になることで確認してください。カウンタ停止時、カウンタの値は維持されます。

カウンタ停止後、再び FTCSTR レジスタの FTnSTR ビットに“1”を書込むと、カウンタは停止した時の値から継続してカウント動作します。

カウンタをクリアする場合は、停止中に FTnC レジスタに書き込み動作を行います。

その後、カウンタを再スタートする場合は、FTnC レジスタが“0x0000”であることを確認した後、FTCSTR レジスタの FTnSTR ビットに“1”を書込んでください。

該当レジスタの設定が反映されるタイミングは次の通りです。

タイマ停止中でかつカウンタが“0”の状態で行なった場合は、スタートした時点で反映されます。

タイマ動作中に書き込みを行なった場合は、FTCUD レジスタの FTCUDn ビットで更新要求した次の周期で反映されます。

タイマ動作後など、カウンタが“0”でない状態の場合は、タイマ停止中に書き込みを行なっても更新を要求するまで反映されません。以下のいずれかの方法で設定値を反映させてください。

- ・FTnCL レジスタに書き込んでカウンタをクリアしてから該当レジスタを書き換える。
- ・該当レジスタを書き換えた後に、FTCUD レジスタの FTCUDn ビットで更新要求する。

9.3.2.2 トリガイベントによるカウント開始／停止

FTCSTR レジスタの FTnETG ビットに“1”を書込むと、トリガによりカウンタ動作の制御が可能になります。

FTnTRG0, FTnTRG1 レジスタの設定により、トリガの選択等を行います。

トリガイベントのソースは、EXTRG0～EXTRG7, CMP0TRG, TMH0TRG～TMH7TRG, FTM0TRG～FTM7TRG から選択できます。

選択したトリガイベントにより、動作(カウンタ開始、カウンタ停止、カウンタ開始／停止およびカウンタクリア)を選択できます。

9.3.3 TIMER モードの動作

TIMER モードは、カウンタのオーバフローにより割込み発生と出力信号の制御を行います。

9.3.3.1 TIMER モードの出力波形

出力信号は Positive 位相と Negative 位相の 2 種類があります。

カウンタが“0x0000”の状態 FTCSTR レジスタの FTnSTR ビットに“1”を書込むと、Positive 位相出力は“H”レベルから、Negative 位相出力は“L”レベルで動作を開始します。

また、FTnMOD レジスタの FTnDTENP, FTnDTENN ビットに“1”を書込むと、デッドタイムありとなり、カウント開始後 FTnDT レジスタで設定したカウントを経過するまで出力信号は“L”レベルになります。

連続モードでは、カウンタのカウント開始とオーバフローに同期して出力信号がトグルします。

ワンショットモードでは、Positive 位相出力から 1 周期分の“H”レベルを出力して停止します。Negative 位相出力は“L”固定です。

図 9-3(a)に TIMER モード(連続モード)における Positive 位相/Negative 位相, 図 9-3(b)に TIMER モード(ワンショットモード)における Positive 位相/Negative 位相の動作波形を示します。

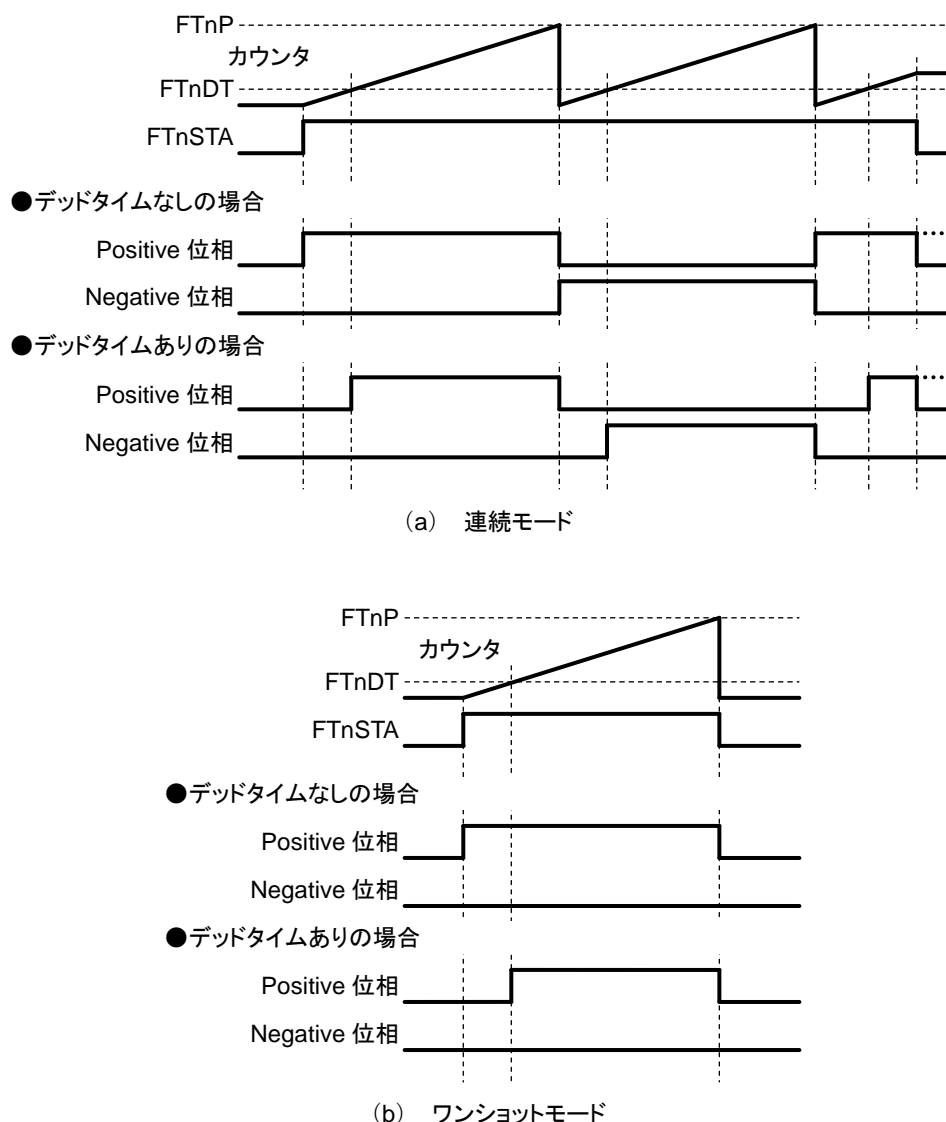
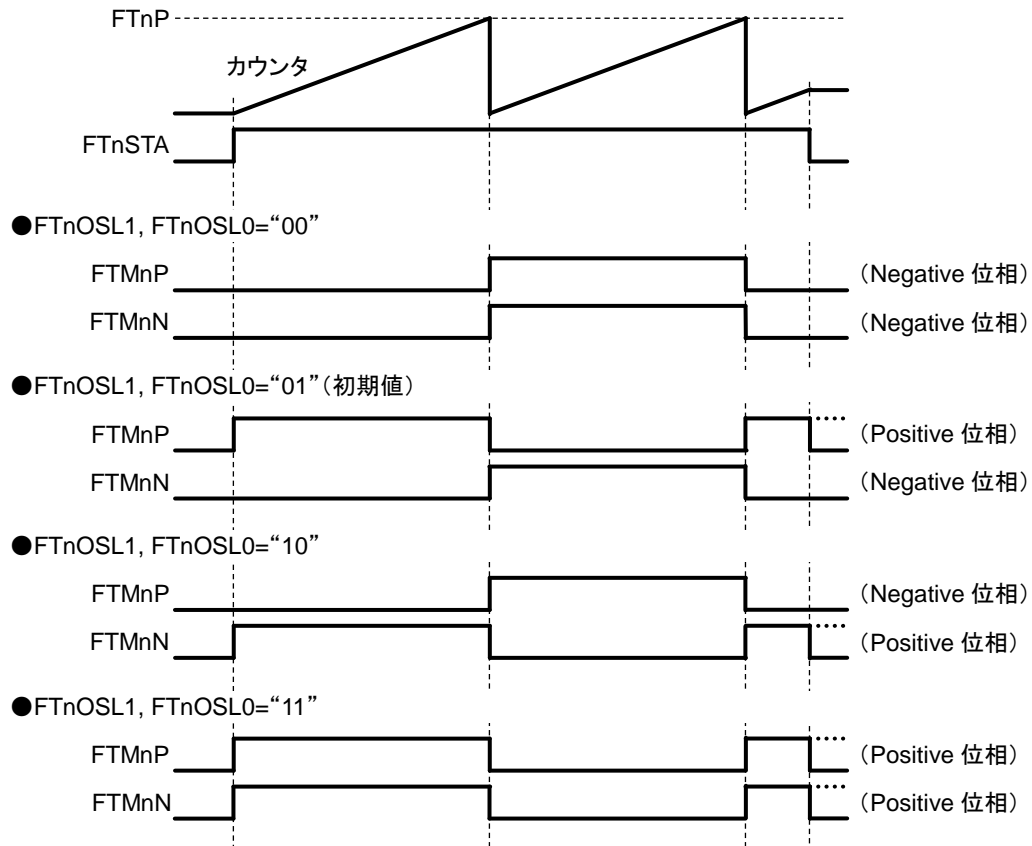


図 9-3 TIMER モードにおける Positive 位相/Negative 位相の動作波形

FTnMOD レジスタの FTnOSL1, FTnOSL0 ビットにより FTMnP/FTMnN 端子から出力する位相, FTnOSNP ビットにより FTMnP 端子出力の反転あり/なし, FTnOSNN ビットにより FTMnN 端子出力の反転あり/なしが選択できます。

図 9-4 (a) に FTnMOD レジスタの FTnOSL1, FTnOSL0 ビットにより FTMnP/FTMnN 端子から出力する位相を設定した場合, 図 9-4 (b) に FTnOSNP ビットにより FTMnP 端子出力の反転あり/なし, FTnOSNN ビットにより FTMnN 端子出力の反転あり/なしを設定した場合の TIMER モードの出力波形を示します。



(a) FTnOSL1, FTnOSL0 ビットによる出力位相選択

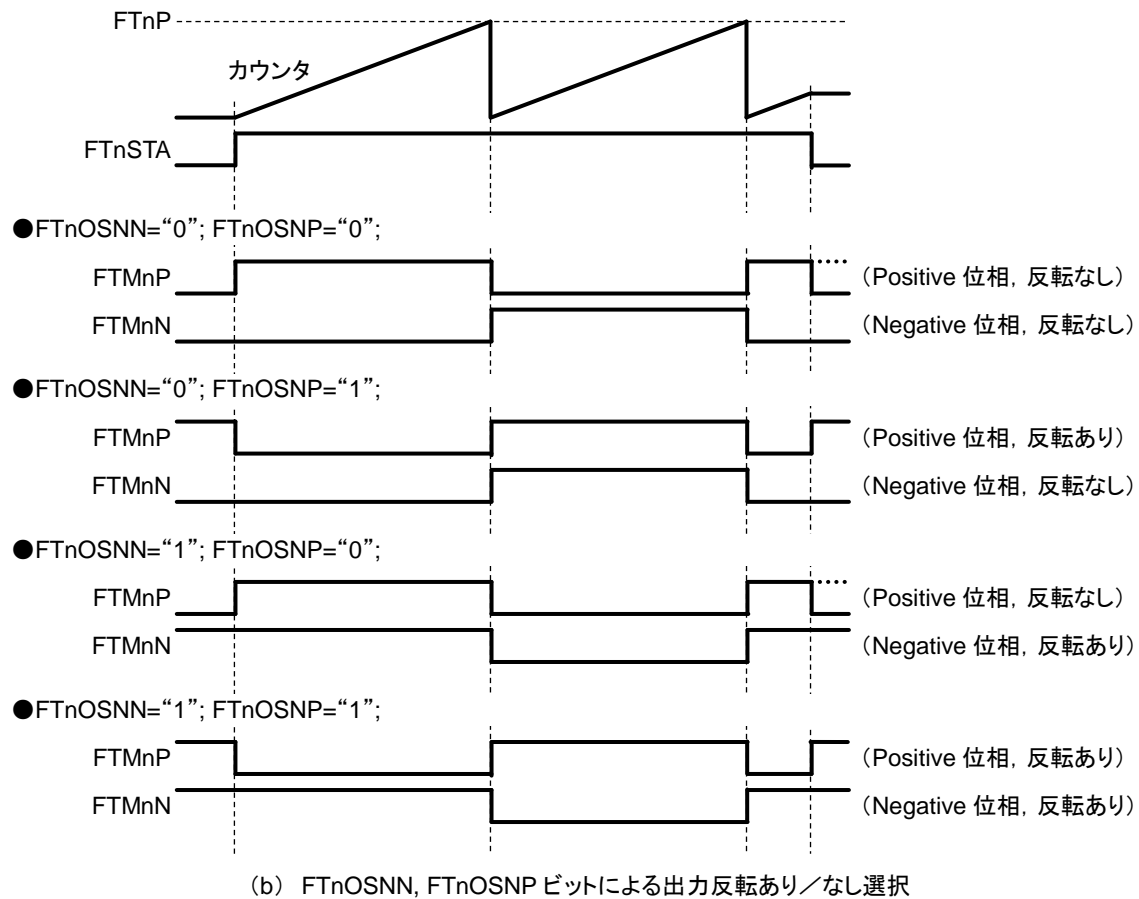


図 9-4 TIMER モード出力波形

FTnMOD レジスタの FTnSTPO ビットにより、カウンタが停止した時の出力状態を選択できます。

図 9-5 (a) に FTnMOD レジスタの FTnSTPO ビットを“0”に設定した場合のカウンタ停止時、図 9-5 (b) に FTnMOD レジスタの FTnSTPO ビットを“1”に設定した場合のカウンタ停止時の TIMER モードの出力波形を示します。

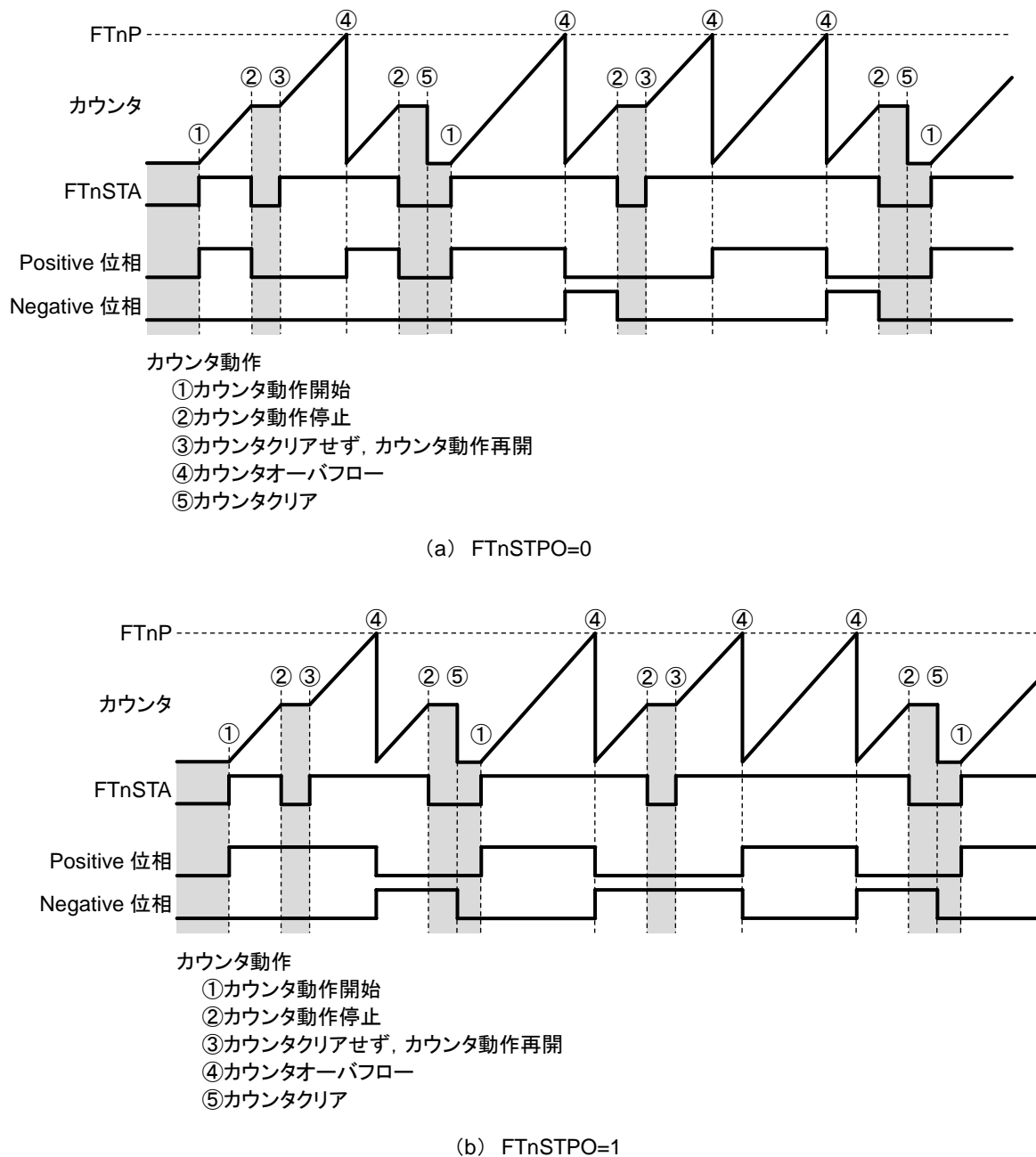


図 9-5 TIMER モード出力波形(カウンタ停止時)

9.3.4 CAPTURE モードの動作

CAPTURE モードは、イベントトリガ要因が発生した際のカウンタ値を FTnEA レジスタもしくは FTnEB レジスタに格納します。
キャプチャ対象のイベントトリガ要因は、カウンタスタート／ストップに使用するものと共通です。

FTnEA レジスタの格納データ	イベントトリガの立ち上がりエッジ発生時のカウンタ値
FTnEB レジスタの格納データ	イベントトリガの立ち下がりエッジ発生時のカウンタ値

9.3.4.1 CAPTURE モードの動作例

P02/EXTRG0 端子から入力された PWM 信号の 1 周期のみの周期とデューティをトリガイイベントによるカウンタの開始／停止を利用して測定する動作例を示します。
測定前に以下の手順で各レジスタを設定してください。

- 手順 1: FTnMOD レジスタの FTnMD1, FTnMD0 ビットに“01”を書込み、CAPTURE モードを選択
- 手順 2: 割込みを使用する場合は、FTnINTE レジスタの FTnIETS ビットに“1”を書込み、トリガカウンタストップ割込みを有効に設定
- 手順 3: FTnTRG0 レジスタの FTnSTSS ビットに“0”, FTnSTS3～FTnSTS0 ビットに“0000”を書込んで、トリガイイベントのソースを EXTRG0 に設定
FTnST ビットに“1”を書込んでカウンタのスタート機能を有効に設定
FTnSP ビットに“1”を書込んでカウンタのストップ機能を有効に設定
- 手順 4: FTnTRG1 レジスタの FTnTRM2～FTnTRM0 ビットに“000”を書込んで、カウンタスタートおよびカウンタストップともに立ち上がりエッジによるトリガを選択
- 手順 5: FTCSTR レジスタの FTnETG ビットに“1”を書込んで、キャプチャのトリガ動作を有効に設定

図 9-6 の測定の場合の動作例は次のとおりです。

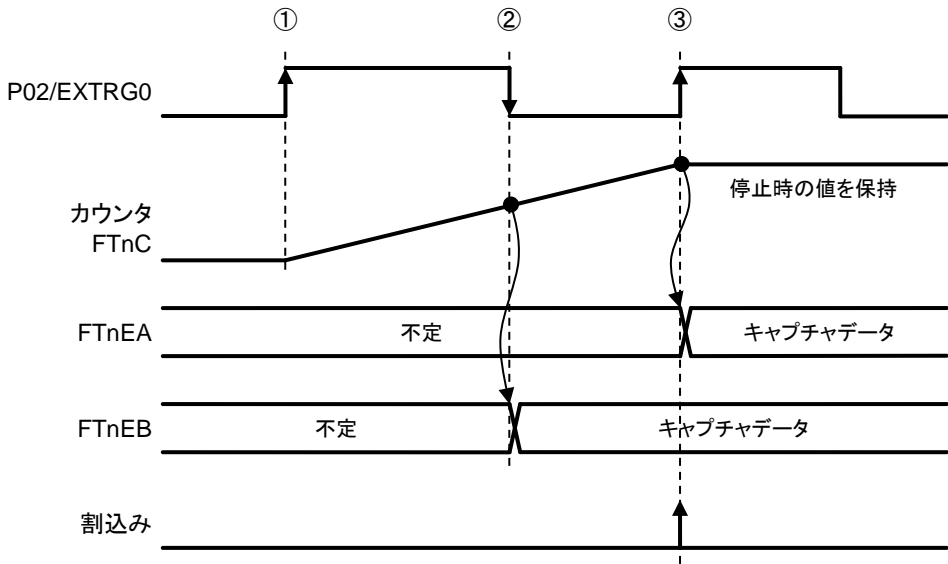


図 9-6 PWM 信号(1 周期のみ)の周期／デューティ測定の動作例

- ① P02/EXTRG0 の立ち上がりでカウンタ動作開始
- ② P02/EXTRG0 の立ち下がりの時に、FTMn カウンタレジスタ FTnC の値を FTnEB レジスタに格納
- ③ P02/EXTRG0 の立ち上がりの時に、FTMn カウンタレジスタ FTnC の値を FTnEA レジスタに格納
カウンタは動作を停止し、割込み発生

P02/EXTRG0 端子から入力された PWM 信号の周期が FTnEA レジスタの値、デューティが FTnEB レジスタの値となります。

P02/EXTRG0 端子から入力された PWM 信号 (連続) の周期とデューティをトリガイイベントによるカウンタの開始 / 停止を利用して測定する例を示します。
測定前に以下の手順で各レジスタを設定してください。

- 手順 1: FTnMOD レジスタの FTnMD1, FTnMD0 ビットに“01”を書込み, CAPTURE モードを選択
- 手順 2: 割込みを使用する場合は, FTnINTE レジスタの FTnIEA ビットに“1”を書込み, イベントタイミング A 割込みを有効に設定
- 手順 3: FTnTRG0 レジスタの FTnSTSS ビットに“0”, FTnSTS3~FTnSTS0 ビットに“0000”を書込んで, トリガイイベントのソースを EXTRG0 に設定
FTnST ビットに“1”を書込んでカウンタのスタート機能を有効に設定
FTnSTC ビットに“1”を書込んでカウンタスタートのトリガイイベント発生時にカウンタクリアを有効に設定
- 手順 4: FTnTRG1 レジスタの FTnTRM2~FTnTRM0 ビットに“000”を書込んで, カウンタスタートおよびカウンタストップともに立ち上がりエッジによるトリガを選択
- 手順 5: FTCSTR レジスタの FTnETG ビットに“1”を書込んで, キャプチャのトリガ動作を有効に設定

図 9-7 の測定の場合の例は次のとおりです。

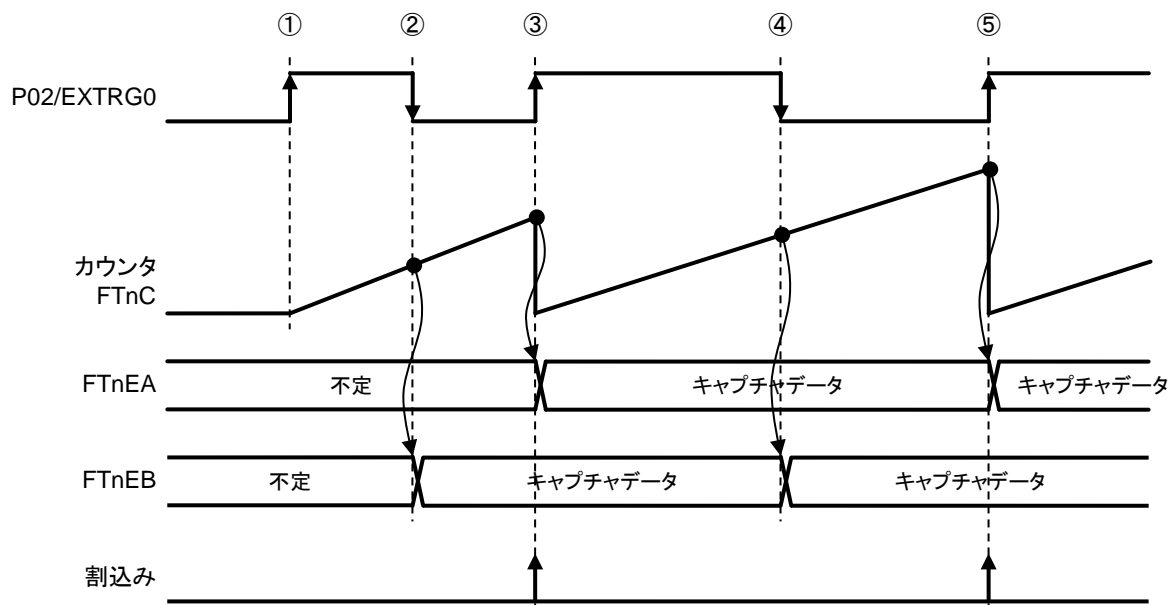


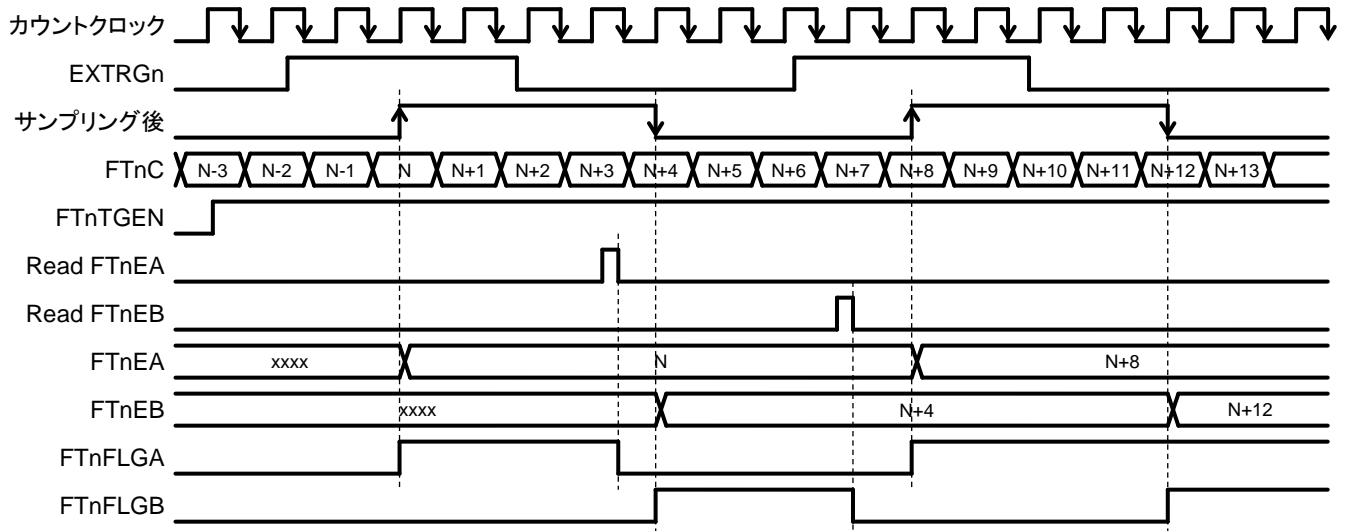
図 9-7 PWM 信号 (連続) の周期 / デューティ測定 の動作例

- ① P02/EXTRG0 の立ち上がりでカウンタ動作開始
- ② P02/EXTRG0 の立ち下がり時に, FTMn カウンタレジスタ FTnC の値を FTnEB レジスタに格納
- ③ P02/EXTRG0 の立ち上がり時に, FTMn カウンタレジスタ FTnC の値を FTnEA レジスタに格納
カウンタクリアし, イベントタイミング A 割込み発生
カウンタ動作は継続
- ④ P02/EXTRG0 の立ち下がり時に, FTMn カウンタレジスタ FTnC の値を FTnEB レジスタに格納
- ⑤ P02/EXTRG0 の立ち上がり時に, FTMn カウンタレジスタ FTnC の値を FTnEA レジスタに格納
カウンタクリアし, イベントタイミング A 割込み発生
カウンタ動作は継続

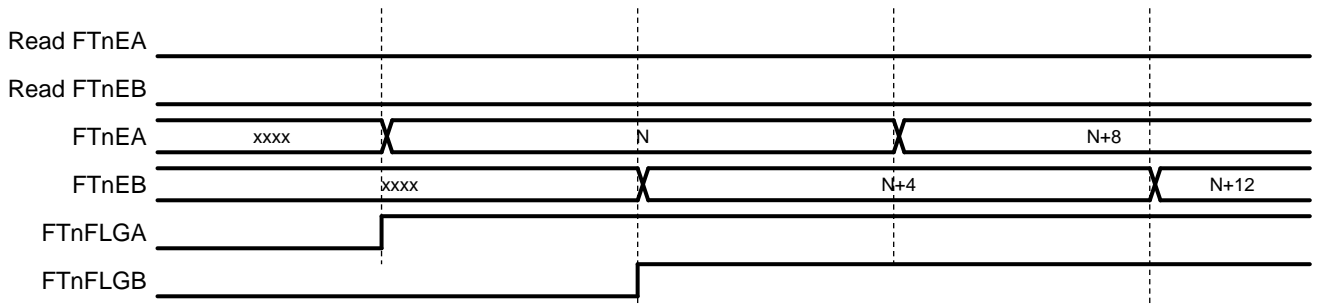
P02/EXTRG0 端子から入力された PWM 信号の周期が FTnEA レジスタの値, デューティが FTnEB レジスタの値となります。

また、キャプチャ後の動作は FTnMOD レジスタの FTnOST ビットの設定値によって異なります。

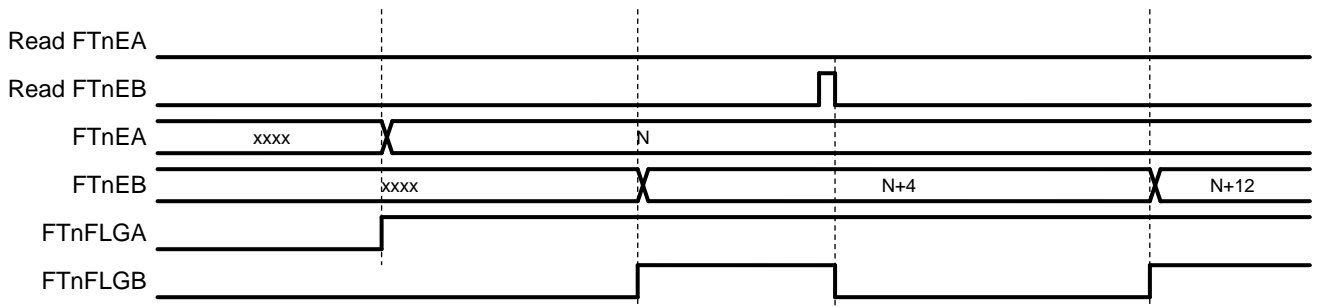
- ・オートモード時 (FTnOST=0)
再び信号が立ち上がってカウンタが再スタートした際に FTnEA レジスタの値が更新されます。
- ・シングルモード時 (FTnOST=1)
再び信号が立ち上がってカウンタが再スタートした際に FTnEA レジスタの値を更新しません。



(a) 次のトリガが来る前にレジスタを読みだした場合 (FTnOST=0,1 共通)



(b) レジスタを読みださずに次のトリガが来た場合 (FTnOST=0)



(c) レジスタを読みださずに次のトリガが来た場合 (FTnOST=1)

図 9-8 CAPTURE モード 動作タイミング

9.3.5 PWM1 モードの動作

PWM1 モードは、FTnP レジスタで設定した周期のパルスを生成します。

また FTnEA レジスタで Positive 位相出力のデューティを、FTnEB レジスタで Negative 位相出力のデューティを設定します。

9.3.5.1 PWM1 モードの出力波形

連続モード時は、Positive 位相/Negative 位相出力のいずれも初期値は“L”レベルで、スタート時に“H”レベルになります。

それぞれデューティ値で“L”レベルになります。次の周期になるとまた“H”レベルとなって停止するまで繰り返します。

ワンショットモード時は、1 周期後に自動で停止して“L”レベルになります。

また、デッドタイムを有効にした場合は、カウント開始からデッドタイムの期間は“L”レベル出力です。

図 9-9(a) に PWM1 モード(連続モード)における Positive 位相/Negative 位相、図 9-9(b) に PWM1 モード(ワンショットモード)における Positive 位相/Negative 位相の動作波形を示します。

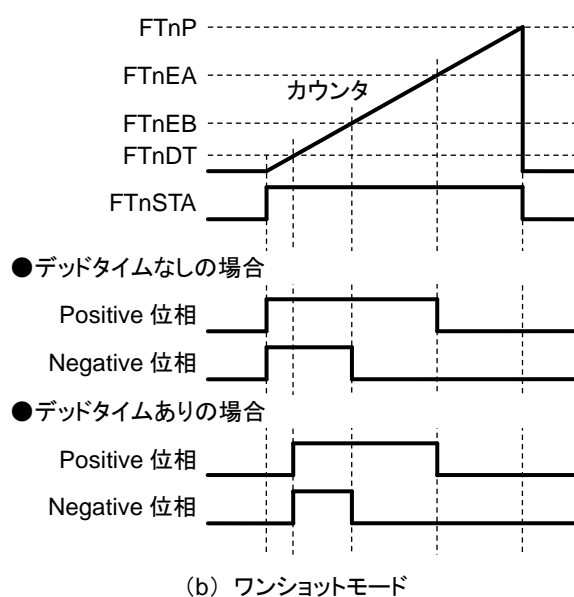
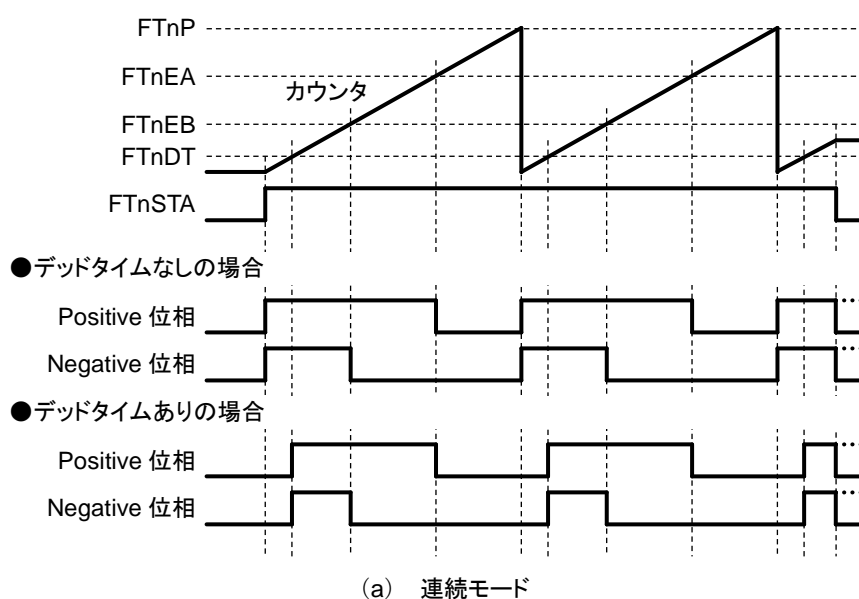
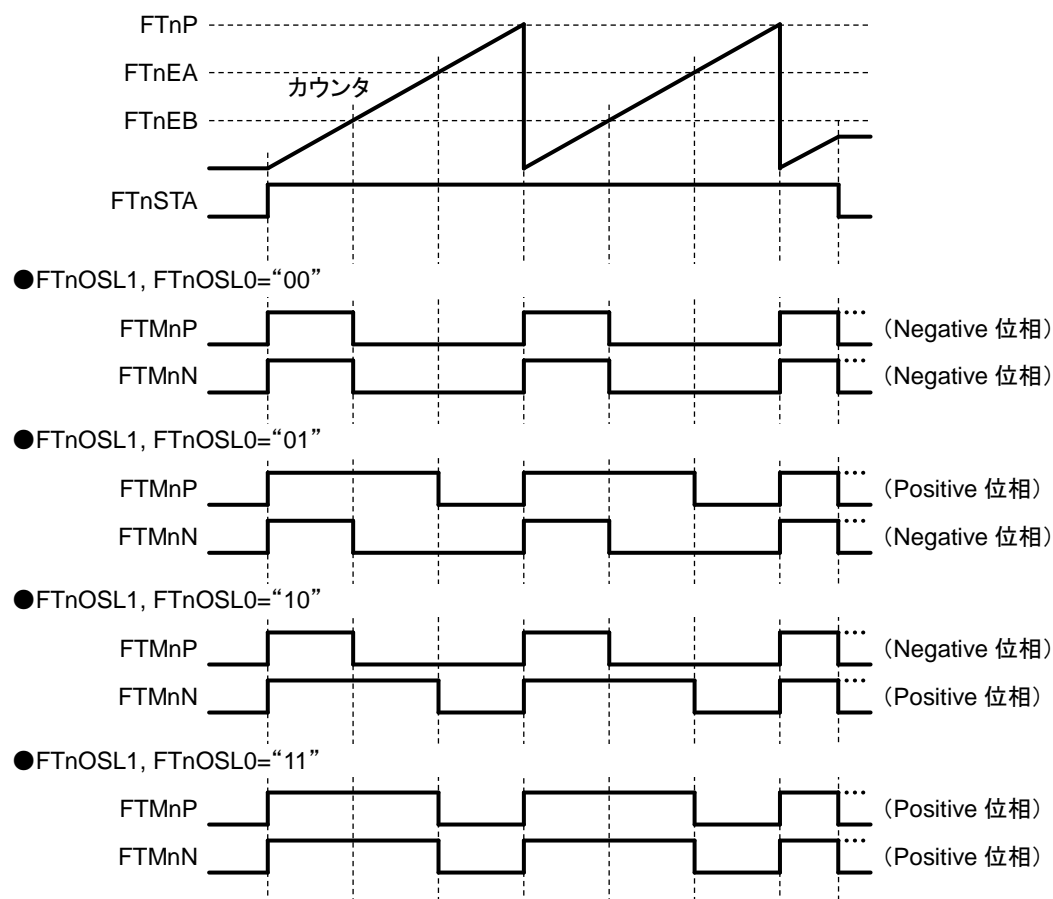


図 9-9 PWM1 モードにおける Positive 位相/Negative 位相の動作波形

FTnMOD レジスタの FTnOSL1, FTnOSL0 ビットにより FTMnP/FTMnN 端子から出力する位相, FTnOSNP ビットにより FTMnP 端子出力の反転あり/なし, FTnOSNN ビットにより FTMnN 端子出力の反転あり/なしが選択できます。

図 9-10(a)に FTnMOD レジスタの FTnOSL1, FTnOSL0 ビットにより FTMnP/FTMnN 端子から出力する位相設定した場合, 図 9-10(b)に FTnOSNP ビットにより FTMnP 端子出力の反転あり/なし, FTnOSNN ビットにより FTMnN 端子出力の反転あり/なしを設定した場合の PWM1 モードの出力波形を示します。



(a) FTnOSL1, FTnOSL0 ビットによる出力位相選択

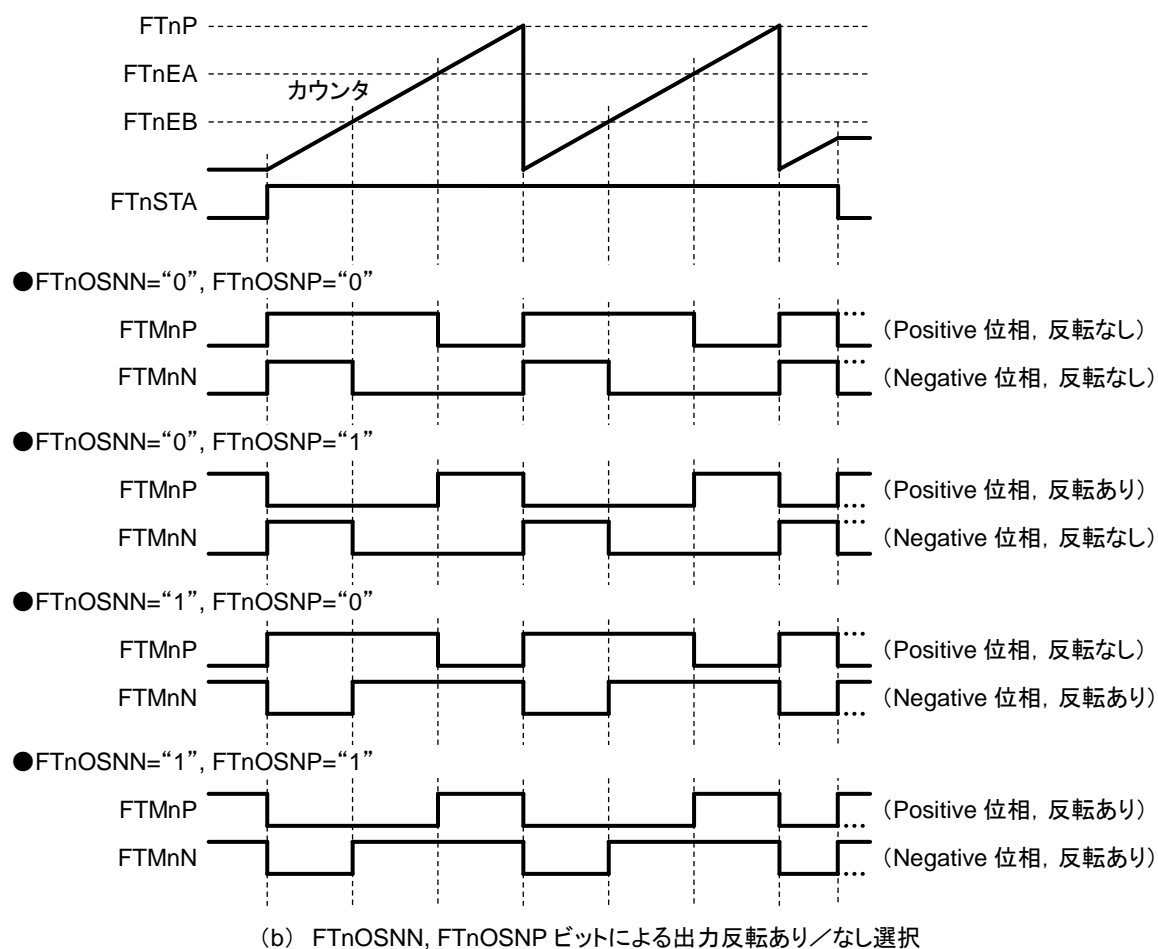


図 9-10 PWM1 モード出力波形

FTnMODレジスタのFTnSTPOビットにより、カウンタが停止した時の出力状態が選択できます。

図9-11(a)にFTnMODレジスタのFTnSTPOビットを“0”に設定した場合のカウンタ停止時、図9-11(b)にFTnMODレジスタのFTnSTPOビットを“1”に設定した場合のカウンタ停止時のPWM1モードの出力波形を示します。

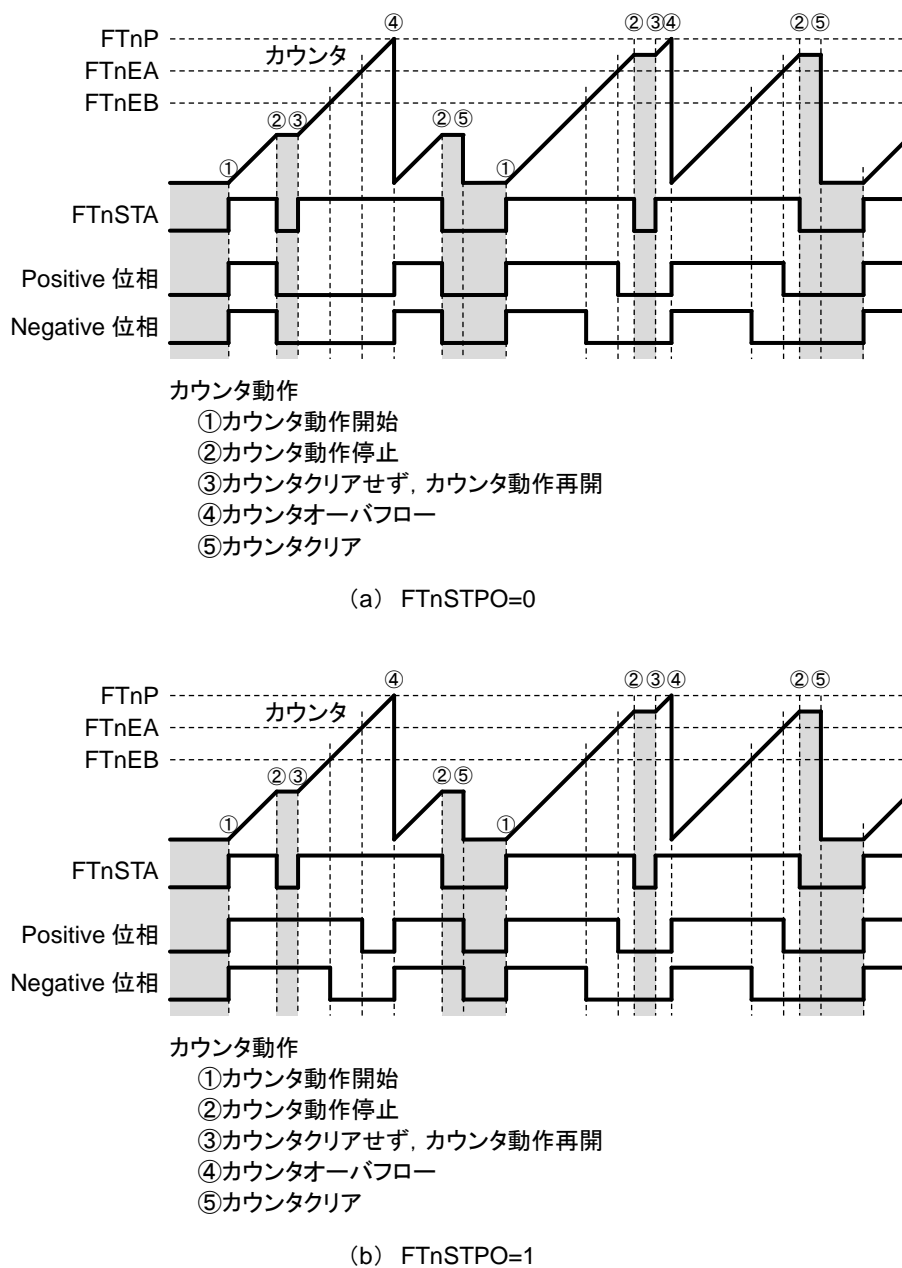


図 9-11 PWM1 モード出力波形(カウンタ停止時)

9.3.6 PWM2 モードの動作

PWM2 モードは、FTnP レジスタで設定した周期で相補出力のパルスを生成します。
また FTnEA レジスタで Positive 位相/Negative 位相出力のデューティを設定します。
FTnEB レジスタは使用しません。

9.3.6.1 PWM2 モードの出力波形

連続モードの時、Positive 位相/Negative 位相出力のいずれも初期値は“L”レベルで、スタート時に Positive 位相出力が“H”レベルになります。デューティ値で Positive 位相出力が“L”レベルに、Negative 位相出力が“H”レベルになります。次の周期になるとまた Positive 位相出力が“H”レベル、Negative 位相出力が“L”レベルとなって停止するまで繰り返します。

ワンショットモードの時は、1 周期後に自動で停止して“L”レベルになります。また、デッドタイムを有効にした場合は、Positive 位相出力はカウント開始から、Negative 位相出力はデューティ一致からデッドタイムの期間は“L”レベル出力です。

図 9-12(a) に PWM2 モード(連続モード)における Positive 位相/Negative 位相、図 9-12(b) に PWM2 モード(ワンショットモード)における Positive 位相/Negative 位相の動作波形を示します。

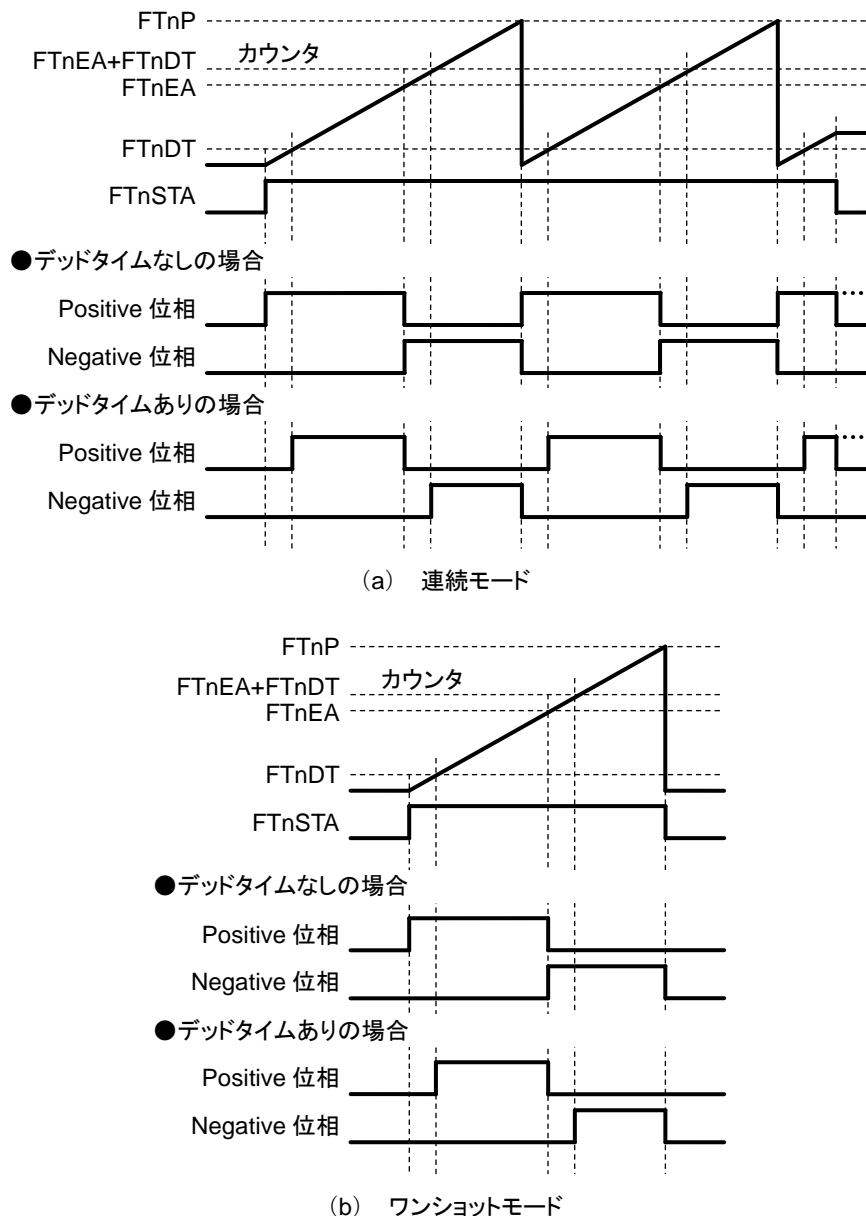
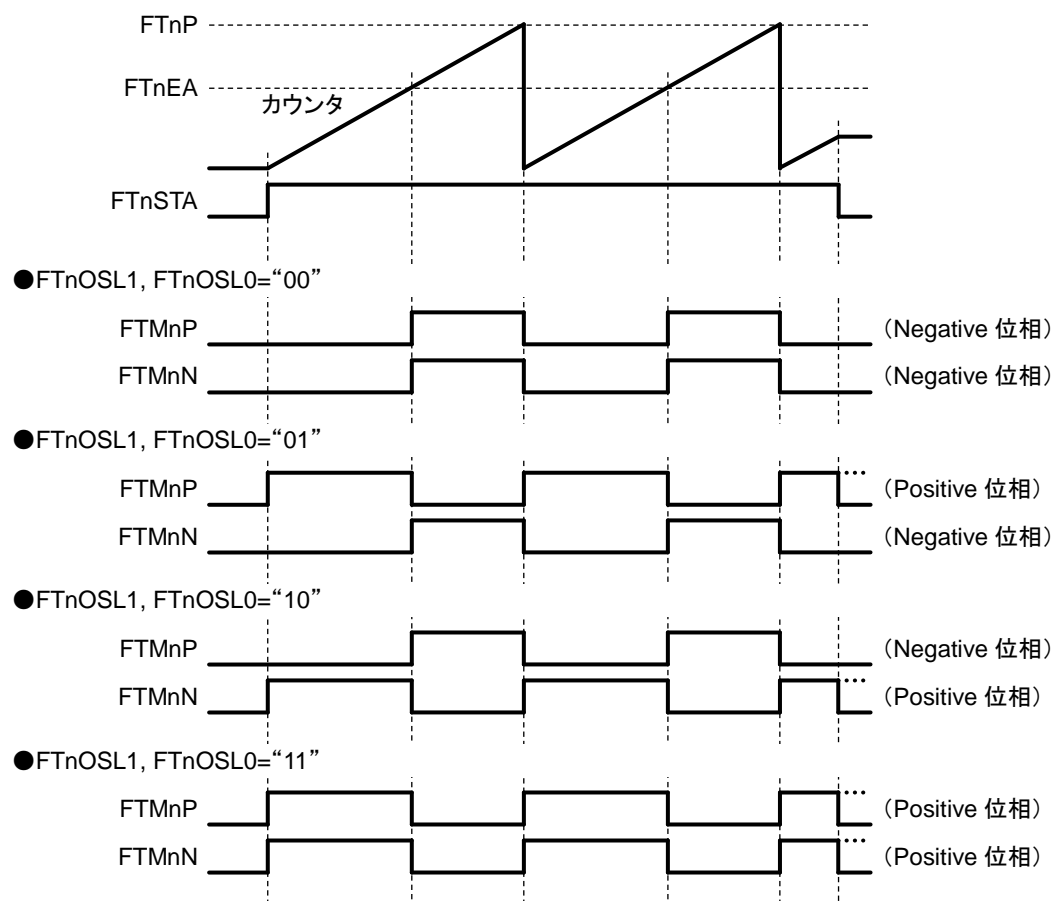


図 9-12 PWM2 モードにおける Positive 位相/Negative 位相の動作波形

FTnMOD レジスタの FTnOSL1, FTnOSL0 ビットにより FTMnP/FTMnN 端子から出力する位相, FTnOSNP ビットにより FTMnP 端子出力の反転あり/なし, FTnOSNN ビットにより FTMnN 端子出力の反転あり/なしが選択できます。

図 9-13(a)に FTnMOD レジスタの FTnOSL1, FTnOSL0 ビットにより FTMnP/FTMnN 端子から出力する位相設定した場合, 図 9-13(b)に FTnOSNP ビットにより FTMnP 端子出力の反転あり/なし, FTnOSNN ビットにより FTMnN 端子出力の反転あり/なしを設定した場合の PWM2 モードの出力波形を示します。



(a) FTnOSL1, FTnOSL0 ビットによる出力位相選択

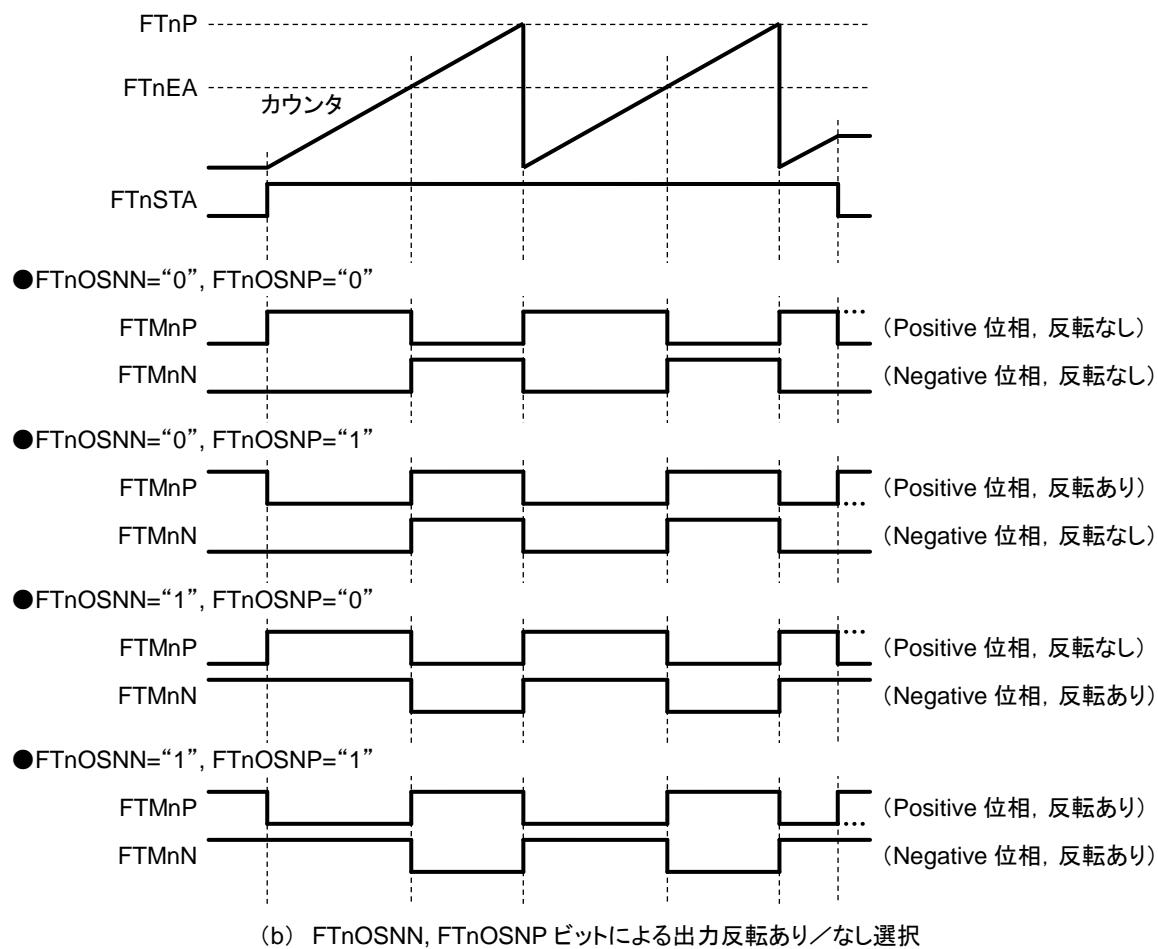


図 9-13 PWM2 モード出力波形

FTnMODレジスタのFTnSTPOビットにより、カウンタが停止した時の出力状態が選択できます。

図9-14(a)にFTnMODレジスタのFTnSTPOビットを“0”に設定した場合のカウンタ停止時、図9-14(b)にFTnMODレジスタのFTnSTPOビットを“1”に設定した場合のカウンタ停止時のPWM2モードの出力波形を示します。

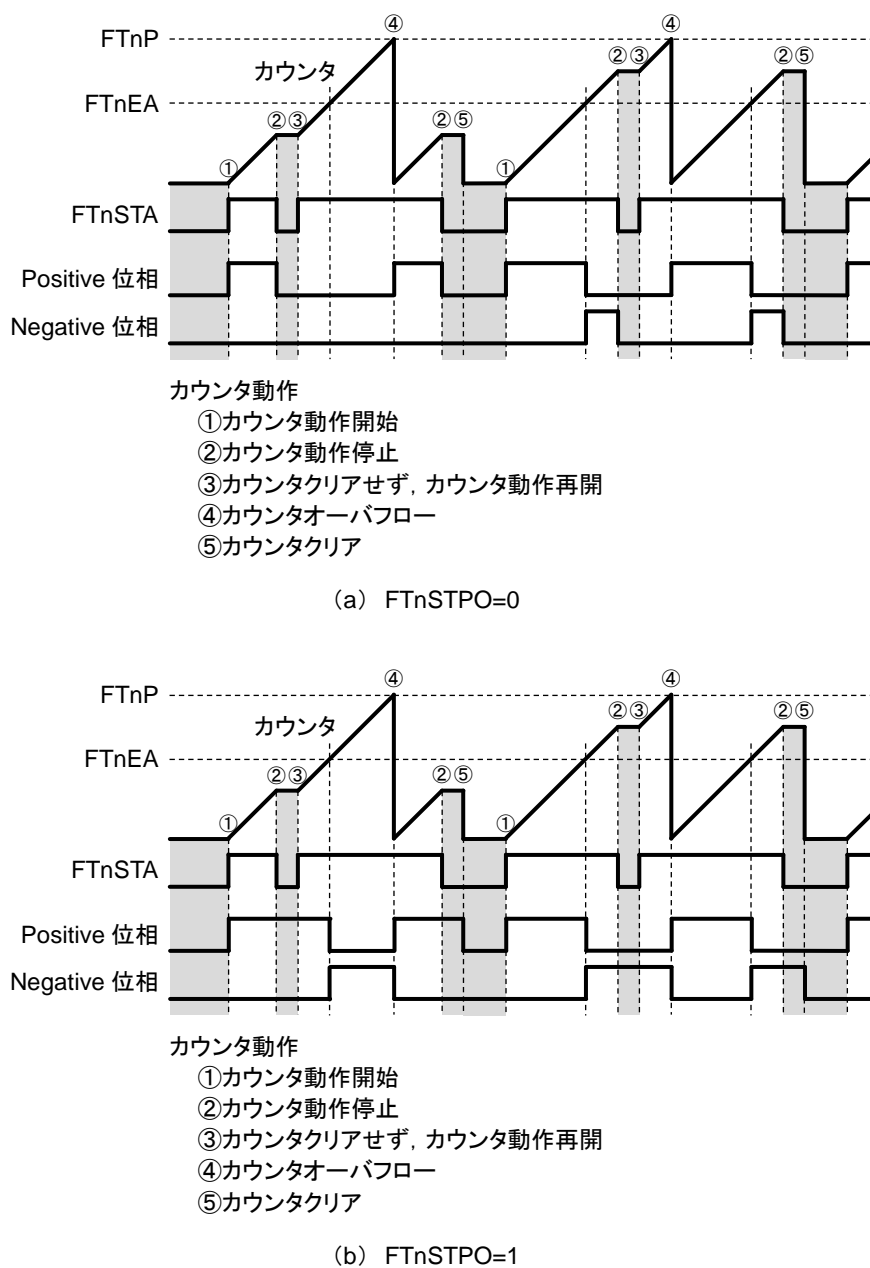


図9-14 PWM2モード出力波形(カウンタ停止時)

9.3.7 外部クロック入力／イベントトリガ／緊急停止トリガ制御

ファンクショナルタイマは、外部クロック入力と、イベントトリガと緊急停止トリガの2種類のトリガ信号を受け付けることができます。

外部クロック入力は、EXTRG0～EXTRG7 から選択してカウントクロックとして使用します。

イベントトリガは、カウンタのスタート／ストップや、キャプチャのトリガとして使用します。トリガソースとして、EXTRG0～EXTRG7, CMP0TRG, TMH0TRG～TMH7TRG, FTM0TRG～FTM7TRG から選択することができます。クロック相互監視用クロックについては「29.3.3 クロック相互監視機能」を参照してください。

緊急停止トリガは、タイマ動作を停止するためのトリガで、カウンタを停止し、Positive 位相／Negative 位相出力を“L”レベルにします。トリガソースとして、EXTRG0, EXTRG4, CMP0TRG から選択することができます。

EXTRG0～EXTRG7, CMP0TRG のイベントトリガ, EXTRG0～EXTRG7 の外部クロックは、それぞれ外部割込み機能またはアナログコンパレータのサンプリング・コントローラの出力が接続されます。

ファンクショナルタイマではノイズフィルタの有効／無効に関わらずタイマクロックで同期した信号になります。ノイズフィルタ無効時はタイマクロック 3 クロック遅延します。ノイズフィルタ有効時はタイマクロック 3 クロックおよびフィルタクロック 2 クロック遅延します。詳細は「9.3.7.2 ノイズフィルタ機能」を参照してください。

緊急停止用のトリガに対してノイズフィルタ機能はありません。外部割込み機能, アナログコンパレータのサンプリング・コントローラを使用してください。

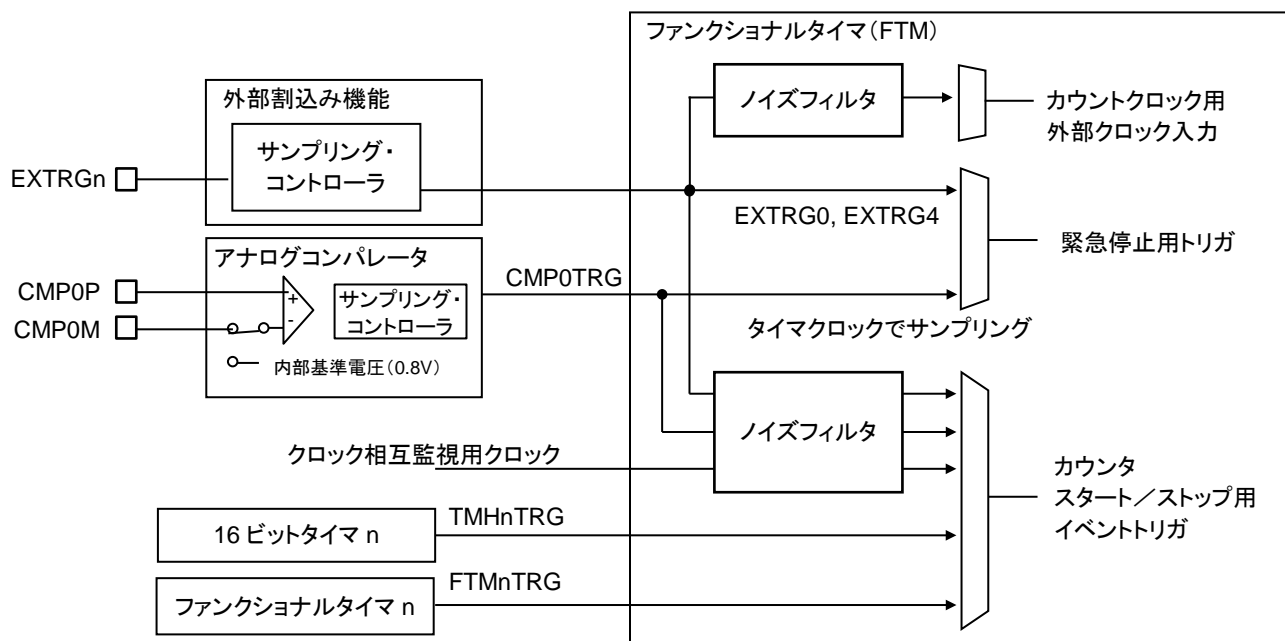


図 9-15 トリガ信号の入力経路

9.3.7.1 外部クロック入力

外部クロック入力を使用するときの FTnCLK レジスタの設定を次に示します。

タイマクロック設定として FTnCKD2～FTnCKD0=“000” (分周なし)、システムクロックが高速クロックの場合は FTnCK0=“1”、LSCLK を使用している場合は FTnCK0=“0”を選択して FTnXCK2～FTnXCK0 (外部クロック入力ソース) と FTnEX=“1” (外部クロック選択) を FTnCLK レジスタに書込んでください。それから、使用するタイマクロックの設定として FTnCK0, FTnCKD2～FTnCKD0 を更新してください。

9.3.7.2 ノイズフィルタ機能

EXTRG0～EXTRG7, CMP0TRG のイベントトリガ, EXTRG0～EXTRG7 の外部クロックにはノイズフィルタ機能があります。FTnTRF1 レジスタの FTnTRF2-0 ビットでノイズフィルタの有効／無効と有効時のフィルタ幅を設定します。有効／無効に関わらず、イベントトリガ／外部クロックは、タイマクロックに同期して2クロック遅延した信号(サンプリング信号)を生成します。

ノイズフィルタ機能を無効(FTnTRF2-0=“000”)にした場合は、カウンタ制御(トリガ制御または FTnC)回路がイベントトリガ／外部クロックをタイマクロック 1 クロック後に受け付けます。

ノイズフィルタ有効時(FTnTRF2-0=“001”～“111”)は、サンプリング信号がフィルタクロック 2 クロックの間、同じレベルかを判定した信号(フィルタリング信号)をカウンタ制御回路がタイマクロック 1 クロック後に受け付けます。

図 9-16 に FTnTRF2-0 を“001”に設定したタイミングチャート例を示します。この場合、フィルタクロックはタイマクロック 2 クロックで生成され、確実に受け付けるパルス幅はタイマクロック 4 クロック、確実に除去するパルスは 2 クロックです。図中のフィルタリング信号のタイミング①⑤⑥では、それぞれフィルタクロック 2 クロック分、イベントトリガ／外部クロックの同じレベルが続いたため、そのイベントトリガ／外部クロックを有効なパルスとして認識し、レベルが更新されています。

③のタイミングでは、フィルタクロックのタイミングで同じレベルが 2 クロック続いているますが、その間でレベルが変化しているためノイズとして除去されています。

また、タイマクロックでサンプリングしているため、イベントトリガ／外部クロックが微小パルスでもタイミングによって、②のようにサンプリング信号として伝搬する場合と、④のように伝搬しない場合があります。

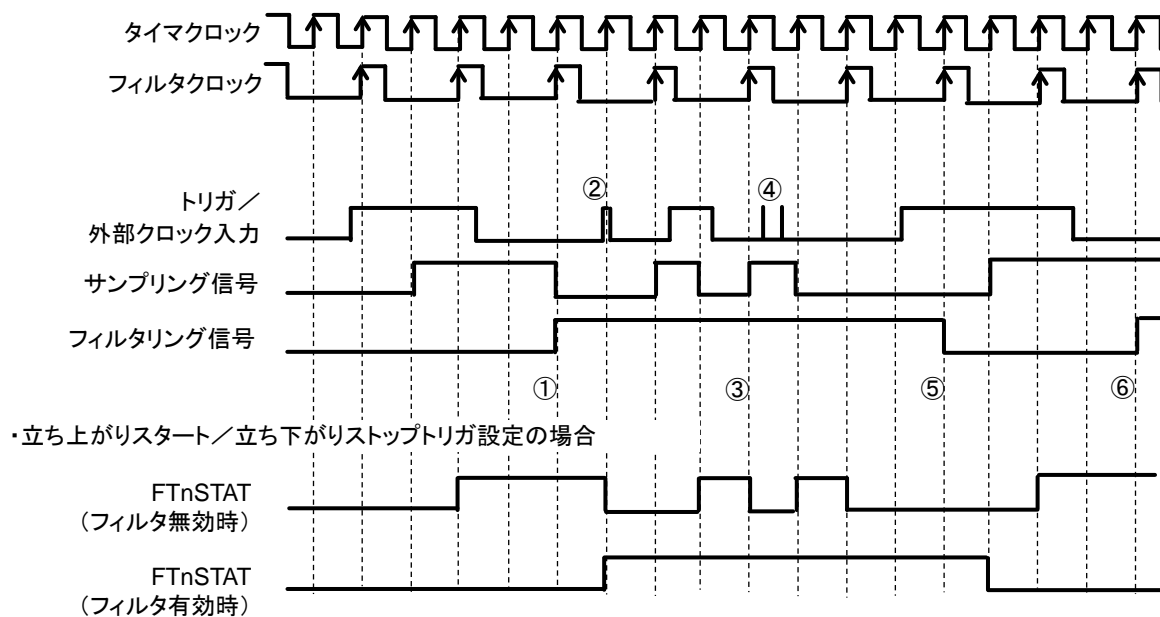


図 9-16 ノイズフィルタ機能

9.3.7.3 イベントトリガによるスタート、ストップ動作

イベントトリガによりカウンタ制御する場合の設定を次に示します。

まず、カウンタ制御する前に FTnTRG0, FTnTRG1 レジスタで次の項目を設定してください。

タイマクロックとして、分周なしを選択

システムクロックとして HSCLK を使用している場合は、FTnCLK レジスタの FTnCK0 ビットに“1”, FTnCKD2～FTnCKD0 ビットに“000”を書込んでください。

FTnTRG0 レジスタの設定

- ・イベントトリガでカウンタスタート/ストップの有効/無効
- ・イベントトリガによるスタート/ストップ時にカウンタをクリアする/クリアしない
- ・イベントトリガによるストップ後、次のカウンタスタートを受け付ける/受け付けない
- ・イベントトリガによるカウンタクリア時に Positive 位相出力が“H”レベルの場合、カウンタクリアを受け付ける/受け付けない
- ・イベントトリガ要因 (EXTRG0～EXTRG7, TMH0TRG～TMH7TRG, FTM0TRG～FTM7TRG, CMP0TRG)

FTnTRG1 レジスタの設定

カウンタスタートとなるイベントトリガのエッジ/レベル
カウンタストップとなるイベントトリガのエッジ/レベル

使用するタイマクロックの設定

FTnCLK レジスタでタイマクロックを選択してください。
(設定を変更しない場合でも、再度タイマクロックの選択をしてください。)

上記の設定後、FTCSTR レジスタでカウンタ制御してください。手順は次のとおりです。

1) イベントトリガの待ち受け状態にする

FTnETG ビットに“1”を書込むと、イベントトリガの待ち受け状態になります(トリガスタートをレベル設定にしていた場合は、該当するレベルになると、FTCSTAT レジスタの FTnTGEN ビットが“1”になると同時にカウンタ動作が開始されます)。

2) ソフトウェアによるタイマのカウンタ開始

FTnETG ビットに“1”を書込み、トリガ動作を有効にした状態で FTnSTR ビットに“1”を書込むと、ソフトウェアによるタイマのカウンタが開始されます。

また、カウンタ動作中に FTCSTP レジスタの FTnSTP ビットに“0”を書込むと、ソフトウェアによりタイマのカウンタが停止します。

9.3.7.4 緊急停止動作

FTCCON レジスタの FTnEMGEN ビットに“1”を書込むと緊急停止機能が有効になります。FTnEMGEN ビットは、FTnTRG0 レジスタの FTnEST ビットでトリガ要因を選択した後に設定してください。

次の条件でファンクショナルタイマの緊急停止が誤発生します。タイマの動作状態は関係しません。

- ・トリガ入力状態=“H”，トリガエッジ=“立ち上がり”設定の条件で，FTnEMGEN を 0→1 に変更したとき
- ・トリガ入力状態=“H”，トリガエッジ=“立ち下がり”設定の条件で，FTnEMGEN に 1→0 に変更したとき

FTCCON レジスタの FTnEMGEN ビットの変更から，システムクロックの 3 クロック+タイマクロックの 3 クロック後に，緊急停止割込みステータス(FTnISES ビット)および割込み要求ビット(QFTMn)が“1”になります。

緊急停止トリガ入力(立ち上がりエッジ)があると，カウンタは停止し，Positive 位相/Negative 位相出力を“L”レベルにして，緊急停止割込みを発生します。

カウンタ動作を再開する場合は，FTnINTC レジスタの FTnICES ビットに“1”を書込んで緊急停止割込みステータスをクリアしてください。

図 9-17 に，緊急停止時の動作タイミングを示します。

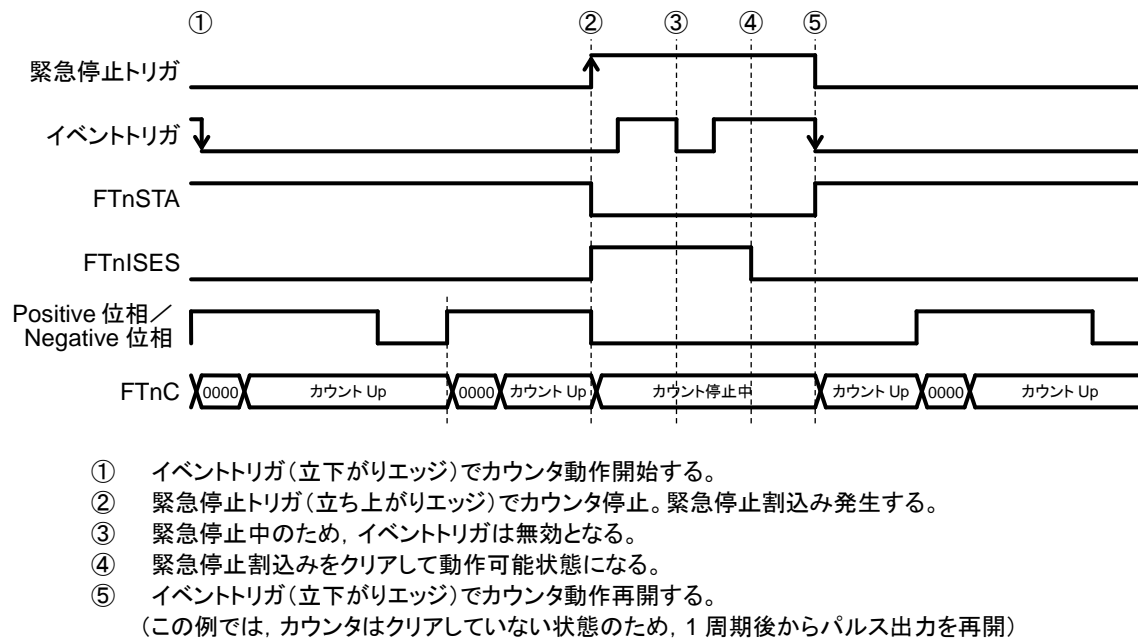


図 9-17 緊急停止時の動作タイミング

緊急停止発生後，タイマクロック 1 クロック後にカウンタを停止し，FTnINTS レジスタの FTnISES ビットが“1”になります(図 9-17 の②)。

FTnISES ビットが“1”の時は，カウンタスタートのイベントトリガが発生しても受け付けません。FTnISES ビットをクリアしたあと(図 9-17 の④)，カウンタスタートのイベントトリガ発生するとカウントアップを再開します(図 9-17 の⑤)。

ソフトウェアでカウンタ動作を再開する場合は，FTnISES ビットが“0”になるのを確認してください。

【注意】

- ・緊急停止機能を有効/無効にする場合，緊急停止の誤発生しない条件で FTnEMGEN を変更する，もしくは誤発生後にタイマを動作させる場合は緊急停止を解除する必要があります。

9.3.8 カウンタストップ時の出力

ソフトウェアまたはイベントトリガ入力によりカウンタが停止した時の **Positive** 位相／**Negative** 位相出力の状態は、**FTnMOD** レジスタの **FTnSTPO** ビットの設定で決まります。

1) **FTnSTPO** ビットが“0”のとき

Positive 位相／**Negative** 位相出力は停止と同時に“L”レベルになります。そのままカウンタを再開した場合はその周期の間は **Positive** 位相／**Negative** 位相出力は“L”レベル出力のままとなり、次の周期からカウンタ値に応じて変化します。

2) **FTnSTPO** ビットが“1”のとき

Positive 位相／**Negative** 位相出力は、停止時の状態を保持し、カウンタを再開するとカウンタ値に応じて状態が変化します。

FTnTRG0 レジスタの **FTnSTC** ビットに“1”を書込むかまたは、カウンタ動作を停止後にソフトウェアによりカウンタをクリアした場合は、カウンタ値は“0x0000”からカウンタアップされ、出力はカウンタ値に応じて変化します。

9.3.9 周期、イベント A/B、デッドタイムの動作中の変更

FTnP/FTnEA/FTnEB/FTnDT レジスタの設定値により、周期やイベント A/B、デッドタイムを変更することが可能です。FTnP/FTnEA/FTnEB/FTnDT レジスタの設定値を書込む時のカウンタ動作状態とカウンタ値により、変更されるタイミングが異なります。

レジスタ設定時の カウンタ動作状態	レジスタ設定時の カウンタ値	設定値の変更タイミング
停止中	0x0000	カウンタ動作開始時
停止中	0x0000 以外	カウンタ再動作中で FTCUDn ビットが“1”に設定されている時の周期の始まり
動作中	任意	カウンタ動作中で FTCUDn ビットが“1”に設定されている時の周期の始まり

図 9-18 にカウンタ停止中(カウンタ値 0x0000)およびカウンタ動作中にレジスタ設定値を変更した場合の動作波形、図 9-19 にカウンタ停止中(カウンタ値 0x0000 以外)にレジスタ設定値を変更した場合の動作波形を示します。

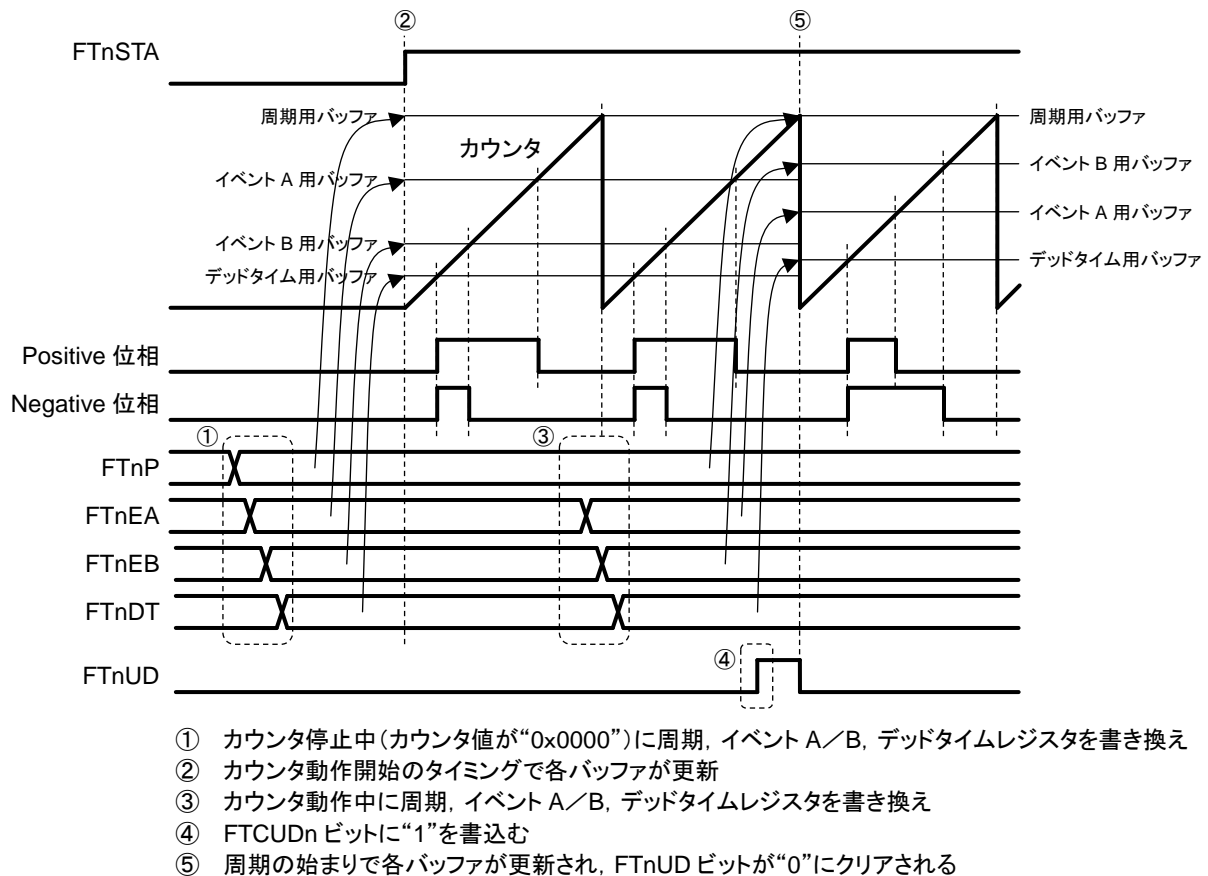


図 9-18 停止中(カウンタ値 0x0000 時)および動作中にレジスタ設定値を変更した場合

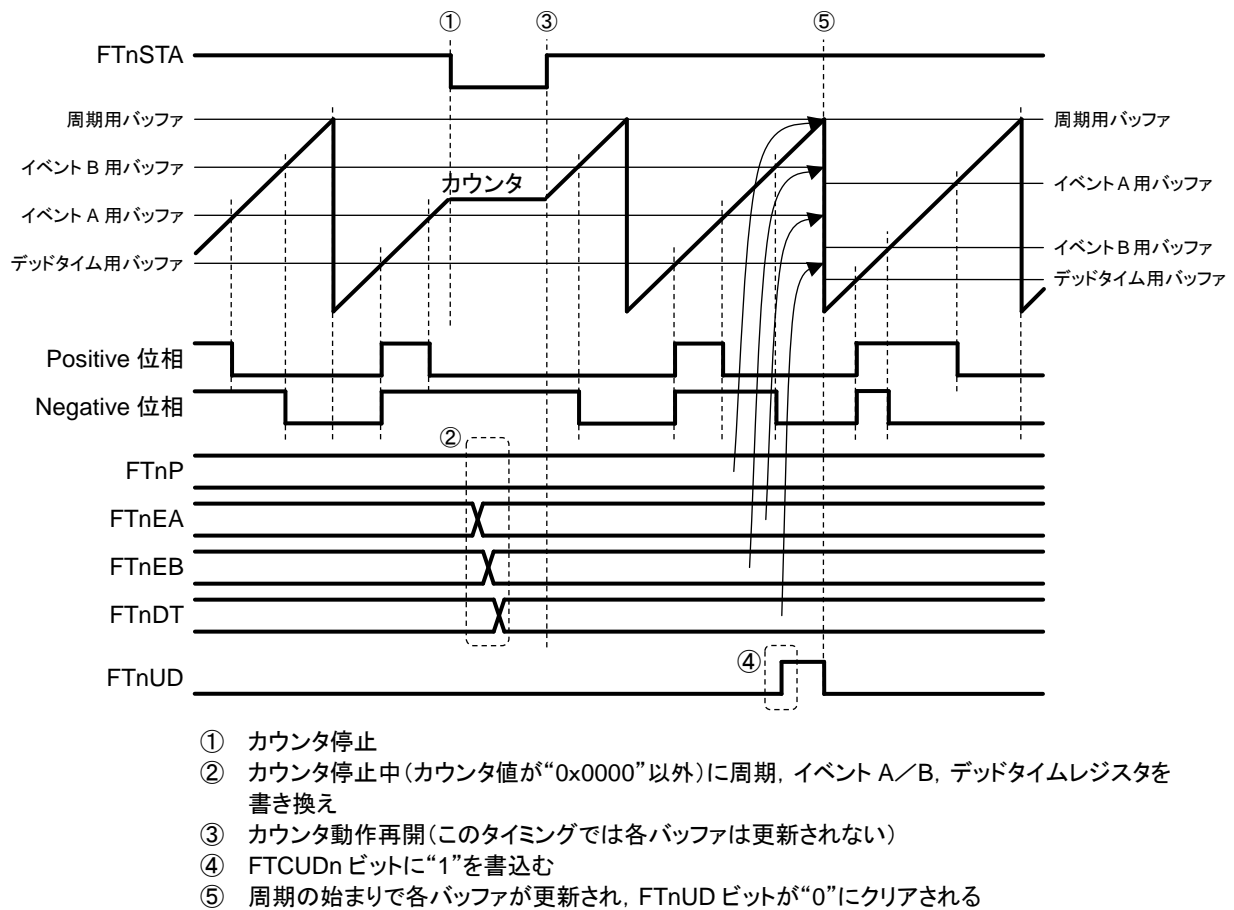


図 9-19 停止中(カウンタ値 0x0000 以外)にレジスタ設定値を変更した場合

9.3.10 割込み要因

割込み要因とそのクリア方法を示します。

FTnINTE レジスタの対象のビット(FTnIE*)に“1”を書込むと、各割込み要求が有効になります。

ただし、緊急停止割込みの許可はありません。緊急停止を有効にすると割込み要求も有効になります。

割込みステータスが“1”になった要因については、各割込みステータスクリアビット(FTnIC*)に“1”を書込み、各割込みステータスビット(FTnIS*)をクリアしてください。

割込みを使用している場合は、割込み処理の最後(割込みルーチンから抜ける際)に各割込みステータスビット(FTnIS*)をクリアしてください。

名称	モード	ステータス	クリア方法
周期一致割込み	全モード	FTnISP ビット	FTnICP ビットに“1”を書込む
イベント A 一致割込み	TIMER/PWM1/PWM2	FTnISA ビット	FTnICA ビットに“1”を書込む
キャプチャ A 割込み	CAPTURE	FTnISA ビット	FTnICA ビットに“1”を書込む、 または FTnEA レジスタを読み出す
イベント B 一致割込み	TIMER/PWM1	FTnISB ビット	FTnICB ビットに“1”を書込む
キャプチャ B 割込み	CAPTURE	FTnISB ビット	FTnICB ビットに“1”を書込む、 または FTnEB レジスタを読み出す
トリガストップ割込み	全モード	FTnISTS ビット	FTnICTS ビットに“1”を書込む
トリガスタート割込み	全モード	FTnISTR ビット	FTnICTR ビットに“1”を書込む
緊急停止割込み	全モード	FTnISES ビット	FTnICES ビットに“1”を書込む

割込みのトリガ出力は、周期一致割込み／イベント A 一致割込み／イベント B 一致割込みの中から選択することが可能です。

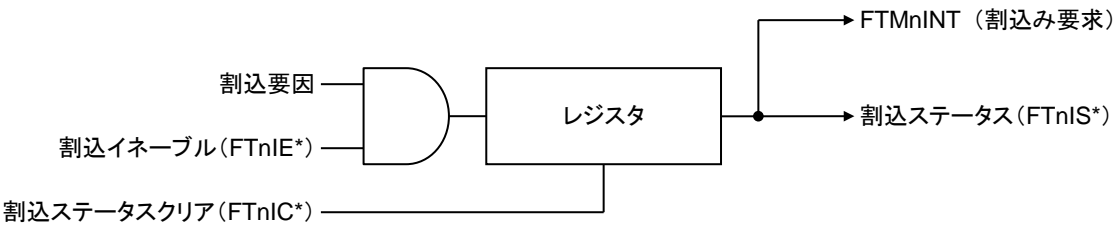


図 9-20 割込み制御信号

第 10 章 ウォッチドッグタイマ

10. ウォッチドッグタイマ

10.1 概要

ウォッチドッグタイマ(WDT)は以下の機能を持ち、異常時に割込みやリセットを発生させることで、プログラムの暴走状態や CPU の不定状態を検出することができます。

カウンタがプログラム動作で一定時間以上クリアされずオーバーフローすると、オーバーフロー 1 回目は WDT 割込み、2 回目は WDT リセットを発生(ウィンドウ機能無効時)

カウンタがプログラム動作で一定時間以上クリアされずオーバーフローすると、オーバーフロー 1 回目で WDT リセットを発生(ウィンドウ機能有効時)

意図しない期間内にカウンタがクリアされると、WDT 不正クリアリセットを発生(ウィンドウ機能有効時)

ウィンドウ機能とは、「WDT カウンタのクリアが許可された期間」=「ウィンドウ(窓)が開かれた期間」，「WDT カウンタのクリアが禁止された期間」=「ウィンドウ(窓)が閉じられた期間」を設定できる機能を意味します。

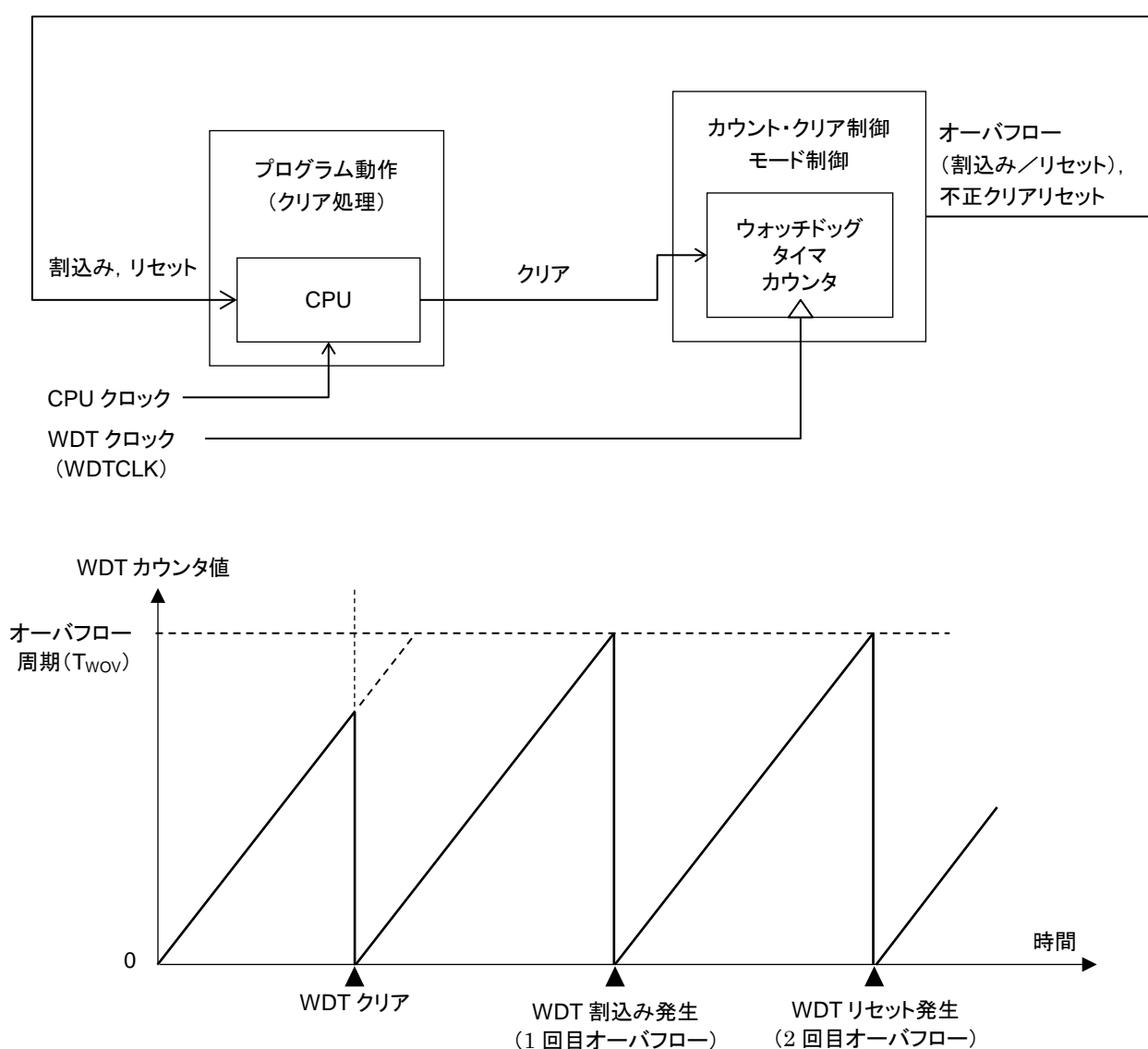


図 10-1 ウォッチドッグタイマ 概要図(ウィンドウ機能無効時)

10.1.1 特長

- 8 種類のオーバフロー周期を選択可能 (7.8ms, 15.6ms, 31.3ms, 62.5ms, 125ms, 500ms, 2s, 8s)
- 2 タイプの使い方
 - ・ ウィンドウ機能無効モード
常時 WDT カウンタをクリアすることができます。カウンタが 1 回目オーバフローした時に WDT 割込みを発生し、2 回目オーバフローした時に WDT リセットを発生します。
 - ・ ウィンドウ機能有効モード
WDT カウンタのクリアを許可する期間と禁止する期間を設定できます。カウンタが 1 回目オーバフローした時に WDT リセットを発生し、また、WDT カウンタのクリアを禁止する期間でクリアすると、WDT 不正クリアリセットを発生します。

表 10-1 ウォッチドッグタイマ動作モード

モード	オーバフロー		WDT 不正クリア
	1 回目	2 回目	
ウィンドウ機能無効モード	割込み	リセット	—
ウィンドウ機能有効モード	リセット	—	リセット

コードオプションにより以下の選択が可能です。コードオプションについては、「第 26 章 コードオプション」を参照してください。

WDT タイマ動作の許可・禁止

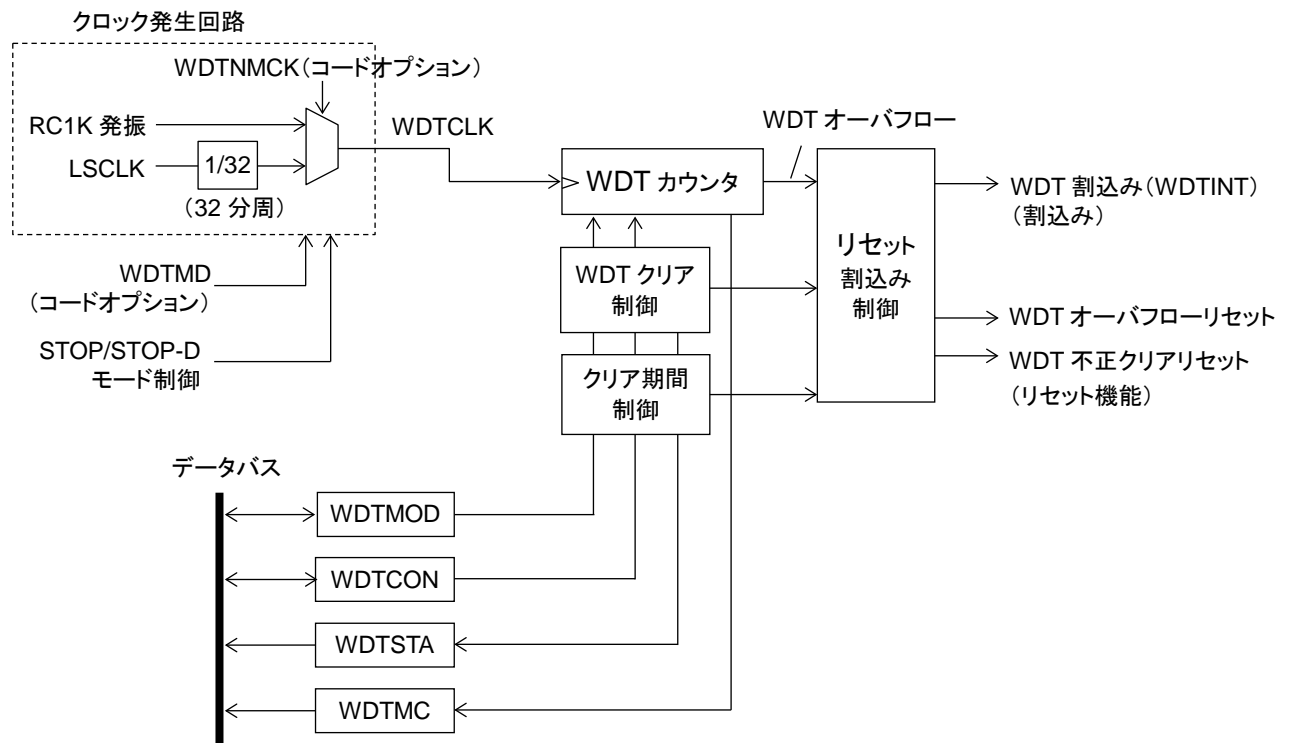
WDT カウンタの動作クロック (低速クロック LSCLK の 32 分周, ウォッチドッグタイマ専用クロック RC1K 発振)

【注意】

- ・ WDT は、CPU の暴走を監視するための機能です。通常のタイマとしての機能を保証するものではありません。
- ・ ウォッチドッグタイマは全ての異常を検出できるわけではありません。CPU が暴走した場合でも WDT カウンタがクリアされるような動作状態になった場合には検出できません。フェイルセーフとしてプログラムのメインループの一カ所で WDT カウンタをクリアすることを推奨します。
- ・ WDTCLK に RC1K 発振を使用することでシステムクロックとは独立したクロックで WDT を動作させることができ、より安全性を高めることができます。ただし、RC1K 発振は、LSCLK より精度が劣りますので、高い精度を必要とする場合は、LSCLK を選択することを推奨します。

10.1.2 構成

以下にウォッチドッグタイマの構成を示します。



WDTCON : ウォッチドッグタイマコントロールレジスタ
 WDTMOD : ウォッチドッグタイマモードレジスタ
 WDTMC : ウォッチドッグタイマカウンタレジスタ
 WDTSTA : ウォッチドッグタイマステータスレジスタ

図 10-2 ウォッチドッグタイマの構成

10.2 レジスタ説明

10.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF010	ウォッチドッグタイマコントロールレジスタ	WDTCN	—	R/W	8	0x00
0xF011	予約レジスタ	—	—	—	—	—
0xF012	ウォッチドッグタイマモードレジスタ	WDTMOD	—	R/W	8	0x06
0xF013	予約レジスタ	—	—	—	—	—
0xF014	ウォッチドッグタイマカウンタレジスタ	WDTMCL	WDTMC	R	8/16	0x00
0xF015		WDTMCH		R	8	0x00
0xF016	ウォッチドッグタイマステータスレジスタ	WDTSTA	—	R	8	0x01
0xF017	予約レジスタ	—	—	—	—	—

10.2.2 ウォッチドッグタイマコントロールレジスタ (WDTCON)

本レジスタは、WDT カウンタをクリアするための特殊機能レジスタ (SFR) です。

アドレス: 0xF010
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								WDTCON							
ビット	—	—	—	—	—	—	—	—	d7	d6	d5	d4	d3	d2	d1	WDP/d0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビット名	説明
7～0	d7～d0	WDP ビットが“0”の状態では“0x5A”を書き込み、次に WDP ビットが“1”の状態では“0xA5”を書き込むことで WDT カウンタをクリアできます。 ウィンドウモードでは、WDT クリア禁止期間中に WDT カウンタをクリアすると、WDT 不正クリアリセットが発生します。
0	WDP	WDP ビット内部ポインタの値を読み出すビットです。WDP ビットはシステムリセット時および WDT カウンタのオーバフロー時に“0”にリセットされ、WDTCON レジスタにデータを書き込むと、書き込みデータに関わらず反転します。

【注意】

- WDT 割込みルーチン内 (CPU のプログラム・ステータス・ワード (PSW) の割込みレベル (ELEVEL) が“2”の時) は、WDT カウンタのクリアはできません。

10.2.3 ウォッチドッグタイマモードレジスタ (WDTMOD)

本レジスタは、WDT カウンタのオーバフロー周期、およびクリア許可期間を設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF012
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x06

ワード	—															
バイト	—								WDTMOD							
ビット	—	—	—	—	—	—	—	—	—	—	WOVF1	WOVF0	—	WDT2	WDT1	WDT0
R/W	R	R	R	R	R	R	R	R	W	W	R/W	R/W	W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0

ビット番号	ビット名	説明
7, 6, 3	予約ビット	—
5, 4	WOVF1, WOVF0	WDT のモードを設定するビットです。 00: ウィンドウ機能無効(初期値) 01: ウィンドウ機能有効モード 1(クリア許可期間はオーバフロー周期の約 75%) 10: ウィンドウ機能有効モード 2(クリア許可期間はオーバフロー周期の約 50%) 11: 設定禁止(ウィンドウ機能有効モード 2 の設定) WDT2~0 ビットで WDT カウンタのオーバフロー周期を 62.5ms 以下に設定した場合は、WOVF1, 0 ビットの設定値に関わらず、ウィンドウ機能は無効です。
2~0	WDT2~WDT0	WDT カウンタのオーバフロー周期(Twov)を設定するビットです。 000: 約 7.8ms 001: 約 15.6ms 010: 約 31.3ms 011: 約 62.5ms 100: 約 125ms 101: 約 500ms 110: 約 2s (初期値) 111: 約 8s

【注意】

- 上記のオーバフロー周期は、WDTCLK が 1.024KHz のときの時間です。WDTCLK に RC1K 発振を選択した場合は、誤差が大きくなります。
- ウィンドウ機能有効モード 1 もしくはウィンドウ機能有効モード 2 を選択した場合、WDT 割込みは発生しません。1 回目のオーバフローでリセットが発生します。

10.2.4 ウォッチドッグタイマカウンタレジスタ (WDTMC)

本レジスタは、WDT カウンタの値を読み出す読み出し専用の特殊機能レジスタ (SFR) です。

アドレス: 0xF014
アクセス: R
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	WDTMC															
バイト	WDTMCH								WDTMCL							
ビット	WDTC 15	WDTC 14	WDTC 13	WDTC 12	WDTC 11	WDTC 10	WDTC 9	WDTC 8	WDTC 7	WDTC 6	WDTC 5	WDTC 4	WDTC 3	WDTC 2	WDTC 1	WDTC 0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビット名	説明
15～0	WDTC15～ WDTC0	WDT カウンタの値を読み出すビットです。 定期的に WDT カウンタの値を読み出した時に値が異なることで、WDT カウンタが正常にカウン トしていることを確認できます。 WDT カウンタのクロック (WDTCLK) は約 1kHz のため、低速タイムベースカウンタ割込みなど 1kHz よりも遅い周期で値を読み出してください。

【注意】

- WDT カウンタのハードウェア構成上、不連続なカウント値が読み出されます。

10.2.5 ウォッチドッグタイマステータスレジスタ (WDTSTA)

本レジスタは、WDT カウンタのクリア処理状態を示す読み出し専用の特殊機能レジスタ (SFR) です。

アドレス: 0xF016
アクセス: R
アクセスサイズ: 8 ビット
初期値: 0x01

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								WDTSTA							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTCLR2	WDTCLR1	WDTWIN
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット番号	ビット名	説明
7～3	予約ビット	—
2	WDTCLR2	WDT カウンタのクリア処理の状態を読み出すビットです。 WDT カウンタのクリア処理が開始されると“1”にセットされ、クリア処理が終了すると“0”にクリアされます。WDTCLR2 ビットの動作波形については、図 10-3 を参照してください。 0: WDT カウンタのクリア処理なし (初期値) 1: WDT カウンタのクリア処理中
1	WDTCLR1	WDT カウンタのクリア処理の受付状態を読み出すビットです。 WDTCONレジスタの書き込みでWDT クリア要求が受け付けられると“1”にセットされ、WDT カウンタのクリア処理が開始されると“0”にクリアされます。 WDTCLR1 ビットが“1”の間中は WDTCON レジスタに対する書き込みは無効です。 WDTCON レジスタに対する書き込みは、WDTCLR1 ビットが“0”であることを確認してから行ってください。 WDTCLR1 ビットの動作波形については、図 10-3 を参照してください。 0: WDT カウンタのクリア処理保留なし (初期値) 1: WDT カウンタのクリア処理保留あり
0	WDTWIN	WDT カウンタのクリア許可状態を示すビットです。ウィンドウ機能無効時は常に“1”を示します。 0: クリア禁止状態 1: クリア許可状態 (初期値)

10.3 動作説明

WDT カウンタは、コードオプションで動作許可を選択した状態でシステムリセットが解除されると、同じくコードオプションで選択した WDT カウンタの動作クロック(WDTCCLK)の立ち上がりエッジでカウントアップを開始します。

WDTCON レジスタに対して、WDP ビットが“0”の状態では“0x5A”を書き込み、次に WDT カウンタのクリア許可期間中に WDP ビットが“1”の状態では“0xA5”を書き込むことで WDT カウンタをクリアできます。
WDP ビットは、システムリセット時および WDT カウンタのオーバフロー時に“0”にリセットされ、WDTCON レジスタに書き込む毎に反転します。

- ウィンドウ機能無効モードとウィンドウ機能有効モードの 2 タイプの使い方ができます。
- ウィンドウ機能無効モード
常時 WDT カウンタをクリアすることができます。カウンタが 1 回目オーバフローした時に WDT 割込みを発生し、2 回目オーバフローした時に WDT リセットを発生します。
 - ウィンドウ機能有効モード
WDT カウンタのクリアを許可する期間と禁止する期間を設定できます。カウンタが 1 回目オーバフローした時に WDT リセットを発生し、また、WDT カウンタのクリアを禁止する期間でクリアすると、WDT 不正クリアリセットを発生します。

表 10-2 ウォッチドッグタイマ動作モード

モード	オーバフロー		WDT 不正クリア
	1 回目	2 回目	
ウィンドウ機能無効モード	割込み	リセット	—
ウィンドウ機能有効モード	リセット	—	リセット

WDT カウンタのオーバフロー周期(T_{WOV})、および WDT カウンタのクリア許可期間(T_{WCL})は、WDTMOD レジスタにより選択できます。

コードオプションにより以下の選択が可能です。コードオプションの設定方法については、「第 26 章 コードオプション」を参照してください。

- WDT タイマ動作の許可・禁止
- WDT カウンタの動作クロック(低速クロック、ウォッチドッグタイマ専用クロック)

10.3.1 WDT カウンタをクリアする方法

WDTCON レジスタに対して、WDP ビットが“0”の状態では“0x5A”を書き込み、次に WDT カウンタのクリア許可期間中に WDP ビットが“1”の状態では“0xA5”を書き込むことで WDT カウンタをクリアできます。

WDP ビットは、システムリセット時および WDT カウンタのオーバフロー時に“0”にリセットされ、WDTCON レジスタに書き込む毎に反転します。

WDTWIN ビットが“0”の時に WDTCLR2 が“1”になると WDT 不正クリアリセットが発生します。

WDT カウンタのクリア処理のタイミングチャートを以下に示します。

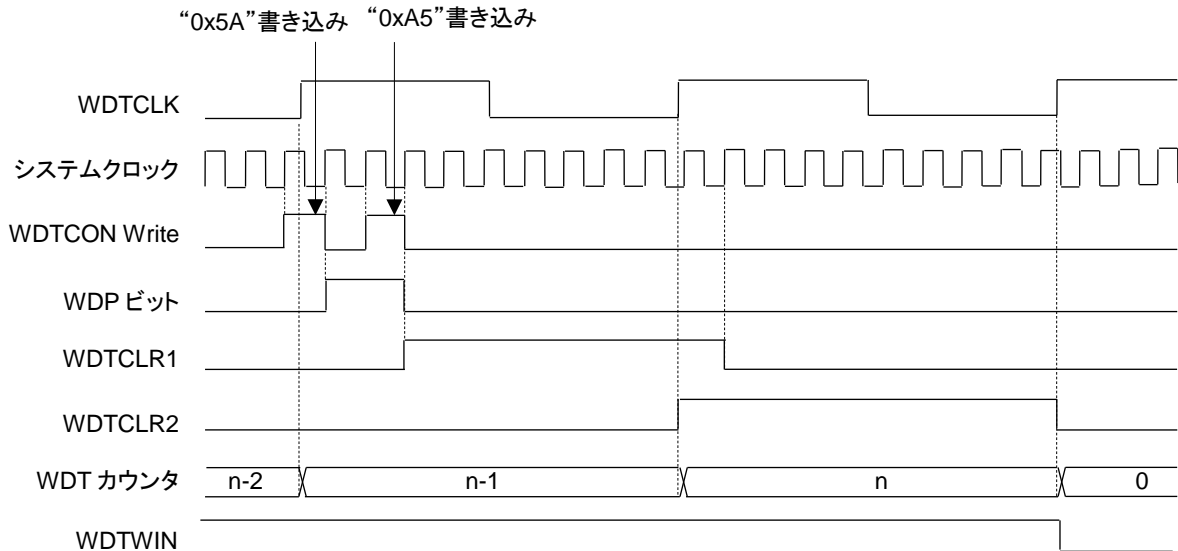


図 10-3 WDT カウンタのクリア処理タイミングチャート

ウォッチドッグタイマのプログラム記述例を以下に示します。

```
void wdt_clear( void )
{
    unsigned char pswval;

    if(WDTCLR1 == 1) {                                // 保留されているクリア処理の有無をチェック
        return;
    };
    if(WDTCLR2 == 1) {                                // クリア処理中の状態かクリア処理が終了しているかを確認
        return;
    };

    pswval = s_drvcommon_getPSW(); // PSW の退避
    __DI();                        // 割り込み禁止(MIE ビットをクリア)
    do {
        WDTCON = 0x5A;             // WDT カウンタのクリア処理
    } while (WDP != 1 );
    WDTCON = 0xA5;

    if ((pswval & 0x08) != 0) {      // MIE ビットの確認
        __EI();                     // 割り込み許可(MIE ビットをセット)
    }

    static unsigned char s_drvcommon_getPSW( void ){
        #pragma asm
        mov r0,psw
        rt
        #pragma endasm
    }
}
```

図 10-4 ウォッチドッグタイマのプログラム記述例

【注意】

- WDTCON レジスタに“0x5A”, “0xA5”を書き込んでから, WDT カウンタがクリアされるまで最大で WDTCLK の 2 クロックが必要です。WDT クリア処理後に STOP モードまたは STOP-D モードに移行する場合は, WDTCLR1 ビットが“0”になったことを確認してから STOP モードまたは STOP-D モードに移行してください。
また, WDTMOD レジスタの設定を変更する場合は, WDT カウンタのクリア処理直後に WDTCLR1 ビットおよび WDTCLR2 ビットが共に“0”になったのを確認してから WDTMOD レジスタに書き込んでください。
- STOP/STOP-D モード中, WDT タイマは停止します。

10.3.2 ウィンドウ機能無効モード

ウィンドウ機能無効モードでは、WDT カウンタのオーバフロー周期 (T_{Wov}) 内に WDT カウンタをクリアできず、カウンタが 1 回目オーバフローすると WDT 割込みが発生します。WDT 割込み後のソフトウェア処理によっても WDT カウンタがクリアされずに再度オーバフローすると WDT リセットが発生します。

WDT リセットが発生すると RSTAT レジスタの WDTR ビットに“1”が設定され、システムリセットモードに移行します。RSTAT レジスタについては、「第 3 章 リセット機能」を参照してください。

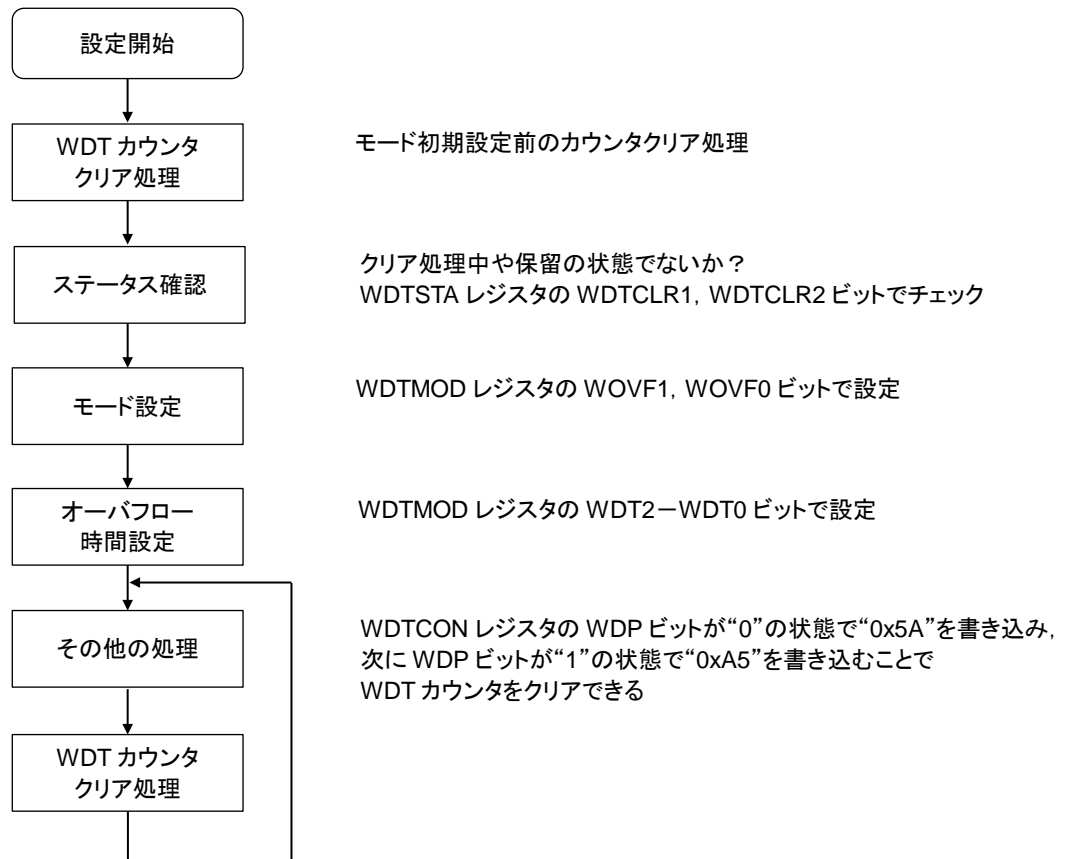


図 10-5 WDT 使用手順(ウィンドウ機能無効モード)

ウィンドウ機能無効モードの動作タイミング概要を以下に示します。

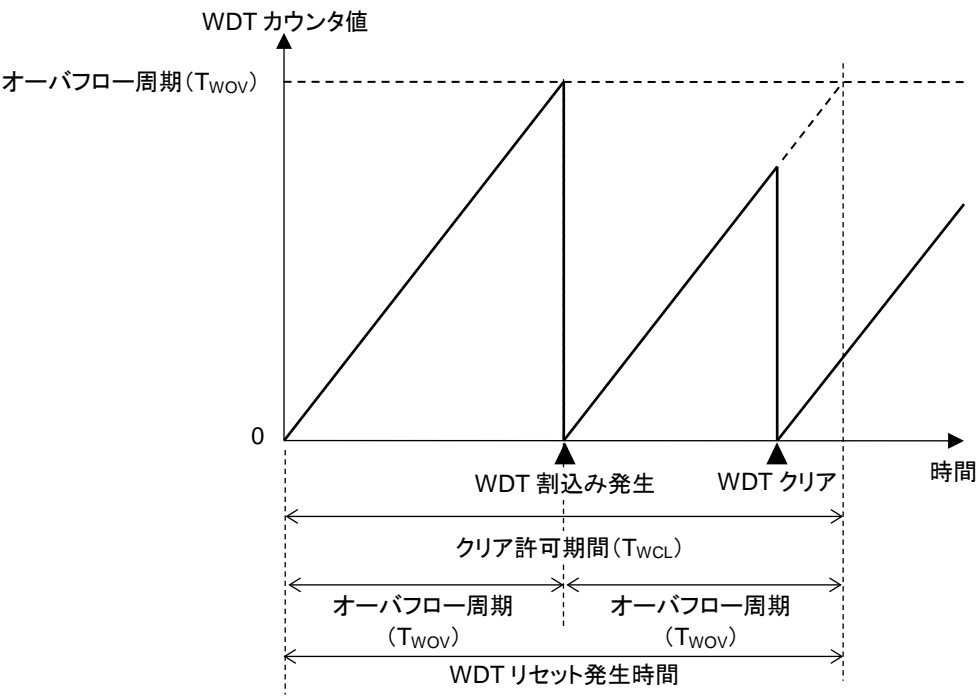


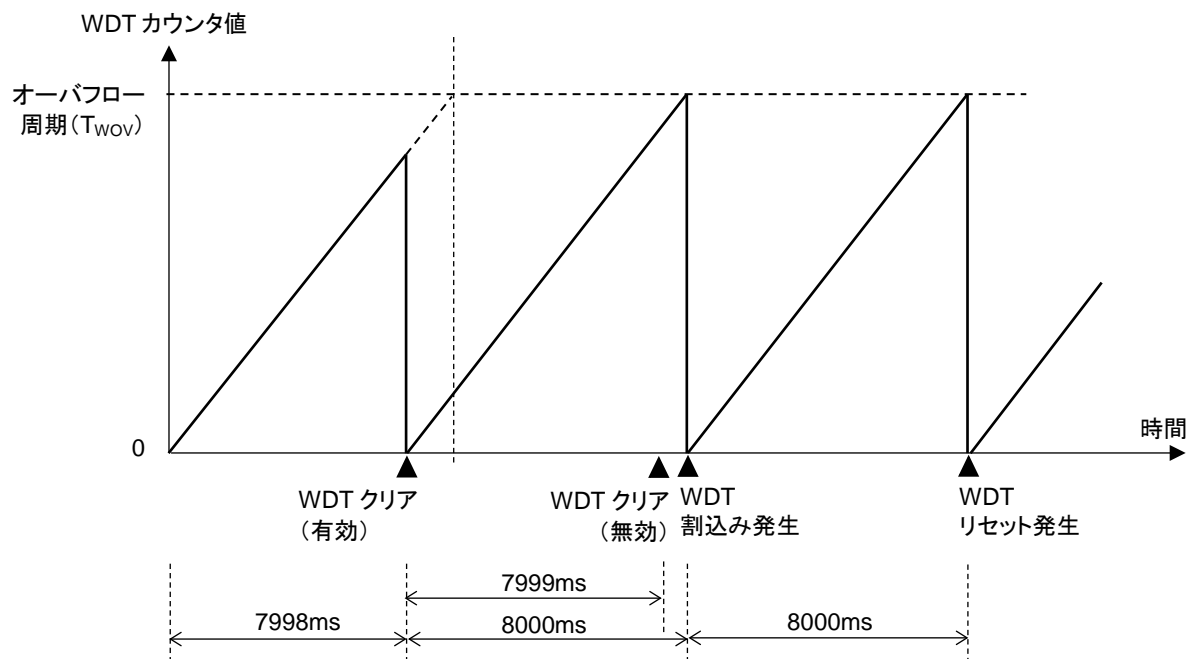
図 10-6 ウィンドウ機能無効モードの動作タイミング概要

ウィンドウ機能無効モード時の WDT カウンタクリア許可期間を以下に示します。

表 10-3 ウィンドウ機能無効モード時の WDT カウンタクリア許可期間

WDT2	WDT1	WDT0	オーバーフロー周期 (Tov)*1	WDT リセット発生時間*1	WDT カウンタクリア許可期間 (Twcl)*1*2
0	0	0	7.8ms	15.6ms	≒オーバーフロー周期
0	0	1	15.6ms	31.3ms	≒オーバーフロー周期
0	1	0	31.3ms	62.5ms	≒オーバーフロー周期
0	1	1	62.5ms	125ms	≒オーバーフロー周期
1	0	0	125ms	250ms	≒オーバーフロー周期
1	0	1	500ms	1000ms	≒オーバーフロー周期
1	1	0	2000ms	4000ms	≒オーバーフロー周期
1	1	1	8000ms	16000ms	≒オーバーフロー周期

*1: WDTCLK が 1.024kHz の場合の時間です。WDTCLK に RC1K 発振を選択した場合、大きな誤差が出ます。
*2: WDT がオーバーフローする WDTCLK の 2 クロック (WDTCLK が 1.024kHz の場合 2ms) 前までのクリア処理が有効です。



WDT がオーバーフローする WDTCLK の 2 クロック (WDTCLK が 1.024kHz の場合 2ms) 前までのクリア処理が有効です。
時間に余裕を持たせて WDT クリアタイミングを設計してください。

図 10-7 ウィンドウ機能無効モード時の動作タイミング例 (オーバーフロー周期 = 8000ms の場合)

ウィンドウ機能無効モード時の動作タイミング詳細を以下に示します。

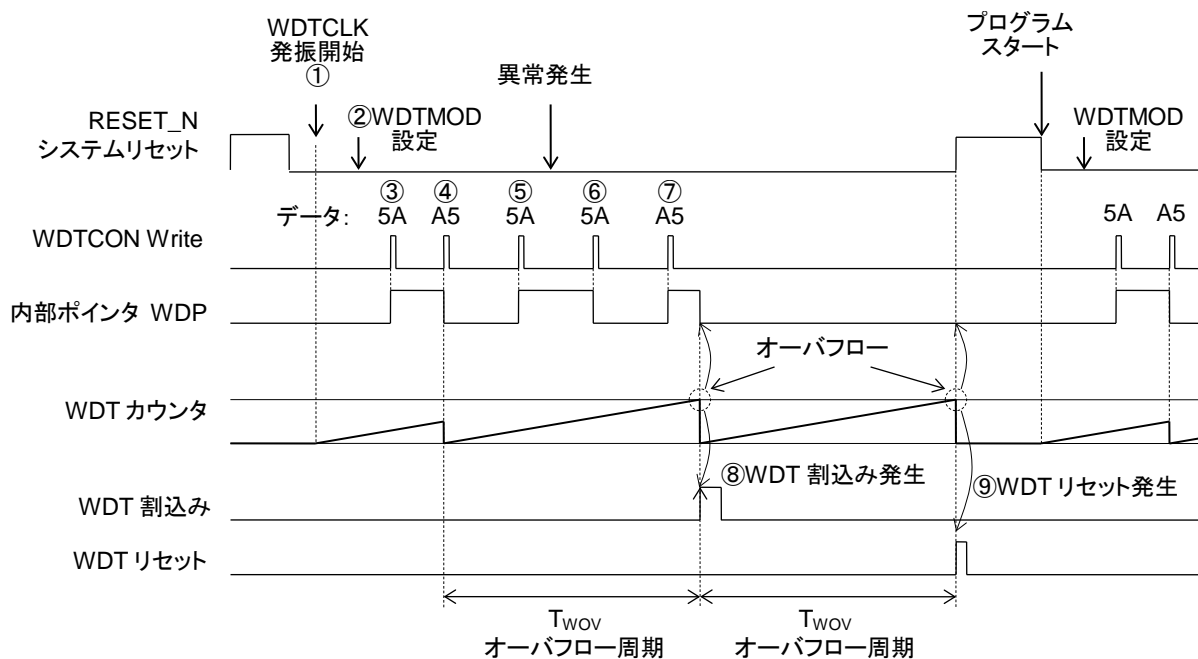


図 10-8 ウィンドウ機能無効モード時の動作タイミング詳細

- ① システムリセット解除後、WDT カウンタがカウントアップを開始します。
- ② WDTMOD レジスタに WDT カウンタのオーバーフロー周期 (T_{WOV})を設定します。
- ③ WDTCON レジスタに“0x5A”を書き込みます。(内部ポインタ WDP:0→1)
- ④ WDTCON レジスタに“0xA5”を書き込み WDT カウンタをクリアします。(内部ポインタ WDP:1→0)
- ⑤ WDTCON レジスタに“0x5A”を書き込みます。(内部ポインタ WDP:0→1)
- ⑥ 異常発生後、WDTCON レジスタに“0x5A”を書き込んだ場合、内部ポインタ WDP が“1”であるため受け付けられません。(内部ポインタ WDP:1→0)
- ⑦ WDTCON レジスタに“0xA5”を書き込みますが、内部ポインタ WDP が“0”であり、⑥において“0x5A”の書き込みが受け付けられていなかったため、WDT カウンタはクリアされません。(内部ポインタ WDP:0→1)
- ⑧ WDT カウンタがオーバーフローし、WDT 割込み要求が発生します。(内部ポインタ WDP:1→0)
オーバーフローしてクリアされた後、WDT カウンタはカウントアップを継続します。
- ⑨ WDT 割込み後のソフトウェア処理によっても WDT カウンタがクリアされずに再度 WDT カウンタがオーバーフローすると WDT リセットが発生し、システムリセットモードに移行します。

10.3.3 ウィンドウ機能有効モード

ウィンドウ機能有効モードでは、WDT クリア許可期間内に WDT カウンタをクリアできず、カウンタが 1 回目オーバーフローすると WDT オーバフローリセットが発生します。

また、WDT カウンタのクリアが許可されない期間でクリアすると、WDT 不正クリアリセットが発生します。

WDT オーバフローリセットが発生すると、RSTATレジスタの WDTR ビットに“1”が設定され、システムリセットモードに移行します。

WDT 不正クリアリセットが発生すると、RSTAT レジスタの WDTWR ビットに“1”が設定され、システムリセットモードに移行します。RSTAT レジスタについては、「第 3 章 リセット機能」を参照してください。

ウィンドウ機能有効モードでは、2 タイプのモードを WDTMOD レジスタで選択できます。

- ウィンドウ機能有効モード 1 (クリア許可期間はオーバーフロー周期の約 75%)
- ウィンドウ機能有効モード 2 (クリア許可期間はオーバーフロー周期の約 50%)

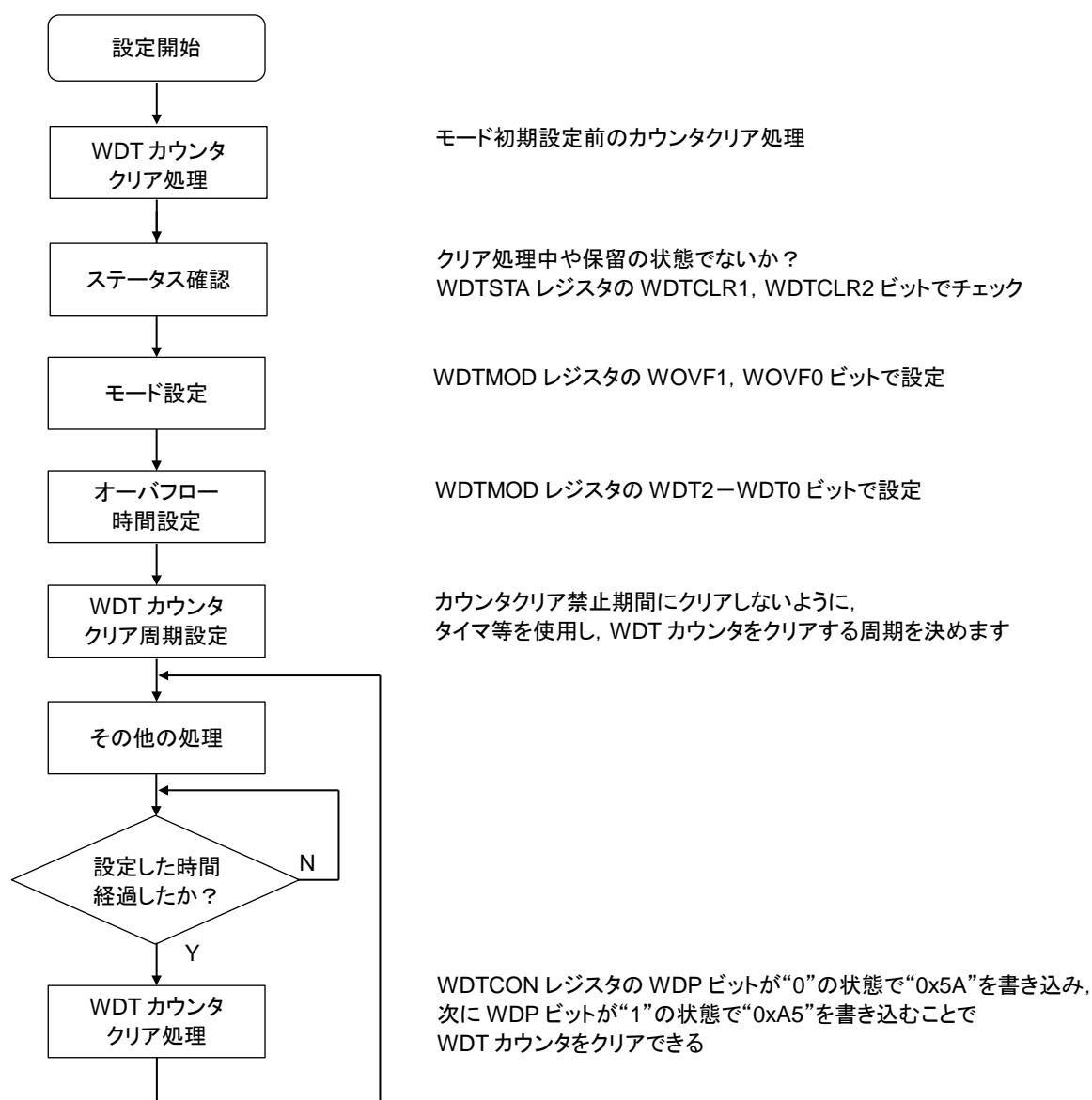


図 10-9 WDT 使用手順(ウィンドウ機能有効モード)

動作概要を以下に示します。

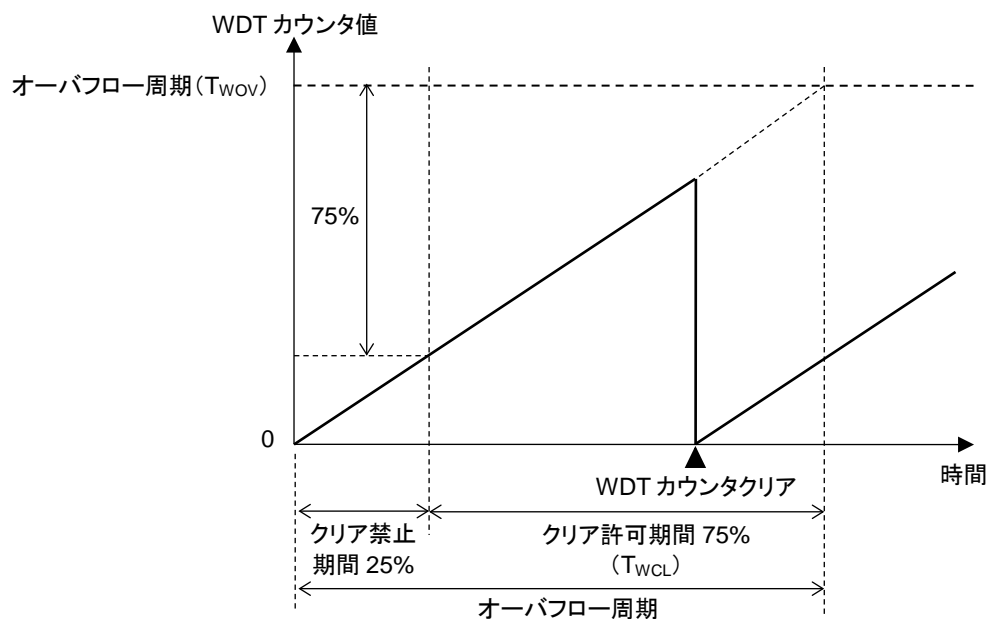


図 10-10 ウィンドウ機能有効モード 1 の動作概要

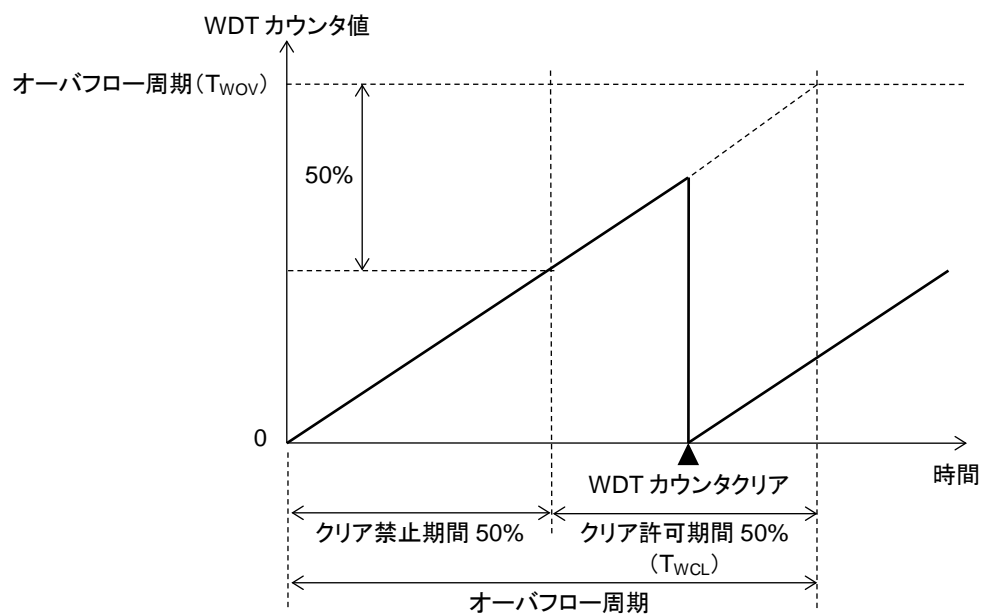


図 10-11 ウィンドウ機能有効モード 2 の動作概要

WDT カウンタクリア許可期間を以下に示します。

WDT2～0 ビットで WDT カウンタのオーバフロー周期を 62.5ms 以下に設定した場合は、WOVF1, 0 ビットの設定値に関わらず、ウィンドウ機能は無効です。

表 10-4 ウィンドウ機能有効モード 1 選択時の WDT クリア許可期間

WDT2	WDT1	WDT0	オーバフロー 周期(T_{WOF}) ^{*1}	WDT リセット 発生時間 ^{*1}	WDT クリア許可期間(T_{WCL}) ^{*1*2}
0	0	0	約 7.8ms	約 7.8ms	≒オーバフロー周期
0	0	1	約 15.6ms	約 15.6ms	≒オーバフロー周期
0	1	0	約 31.3ms	約 31.3ms	≒オーバフロー周期
0	1	1	約 62.5ms	約 62.5ms	≒オーバフロー周期
1	0	0	約 125ms	約 125ms	≒オーバフロー周期の 75%
1	0	1	約 500ms	約 500ms	≒オーバフロー周期の 75%
1	1	0	約 2000ms	約 2000ms	≒オーバフロー周期の 75%
1	1	1	約 8000ms	約 8000ms	≒オーバフロー周期の 75%

*1: WDTCLK が 1.024kHz の場合の時間です。WDTCLK は LSCLK をコードオプションで選択してください。

*2: WDT がオーバフローする WDTCLK の 2 クロック(WDTCLK が 1.024kHz の場合 2ms) 前までのクリア処理が有効です。

表 10-5 ウィンドウ機能有効モード 2 選択時の WDT カウンタのクリア許可期間

WDT2	WDT1	WDT0	オーバフロー 周期(T_{WOF}) ^{*1}	WDT リセット 発生時間 ^{*1}	WDT クリア許可期間(T_{WCL}) ^{*1*2}
0	0	0	約 7.8ms	約 7.8ms	≒オーバフロー周期
0	0	1	約 15.6ms	約 15.6ms	≒オーバフロー周期
0	1	0	約 31.3ms	約 31.3ms	≒オーバフロー周期
0	1	1	約 62.5ms	約 62.5ms	≒オーバフロー周期
1	0	0	約 125ms	約 125ms	≒オーバフロー周期の 50%
1	0	1	約 500ms	約 500ms	≒オーバフロー周期の 50%
1	1	0	約 2000ms	約 2000ms	≒オーバフロー周期の 50%
1	1	1	約 8000ms	約 8000ms	≒オーバフロー周期の 50%

*1: WDTCLK が 1.024kHz の場合の時間です。WDTCLK は LSCLK をコードオプションで選択してください。

*2: WDT がオーバフローする WDTCLK の 2 クロック(WDTCLK が 1.024kHz の場合 2ms) 前までのクリア処理が有効です。

【注意】

- ウィンドウ機能有効モードを使用する場合、WDT 割込みは発生しませんが、必ず WDT 割込み関数を定義してください。フェイルセーフとして、WDT 割込み関数内で強制的に WDT クリアすることで WDT 不正クリアリセットを発生させることを推奨します。
- ウィンドウ機能有効モードを使用する場合、WDTCLK には「低速発振クロック(32.768kHz)を分周したクロック」をコードオプションで選択してください。「ウォッチドッグタイマ専用 RC1K 発振クロック」を選択した場合は、誤差が大きいため本機能を使用できません。

ウィンドウ機能有効モード時の動作タイミング詳細を以下に示します。

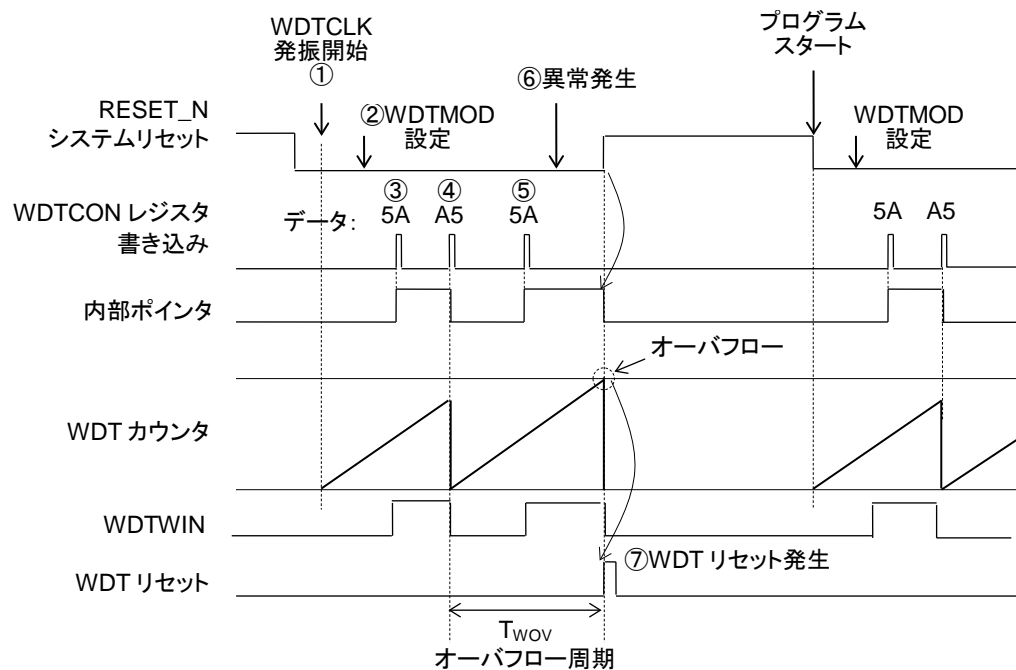


図 10-12 ウィンドウ機能有効モード時の動作(WDT オーバフローリセット)

- ① システムリセット解除後、WDT カウンタがカウントアップを開始します。
- ② WDTMOD レジスタに WDT カウンタのオーバフロー周期 (T_{WOV})、および WDT クリア許可期間を設定します。
- ③ WDT クリア許可期間中に WDTCON に“0x5A”を書き込みます。(内部ポインタ WDP:0→1)
- ④ WDTCON レジスタに“0xA5”を書き込み WDT カウンタをクリアします。(内部ポインタ WDP:1→0)
- ⑤ WDT クリア許可期間中に WDTCON に“0x5A”を書き込みます。(内部ポインタ WDP:0→1)
- ⑥ 異常発生
- ⑦ WDT カウンタがオーバフローし、WDT リセットが発生します。(内部ポインタ WDP:1→0)

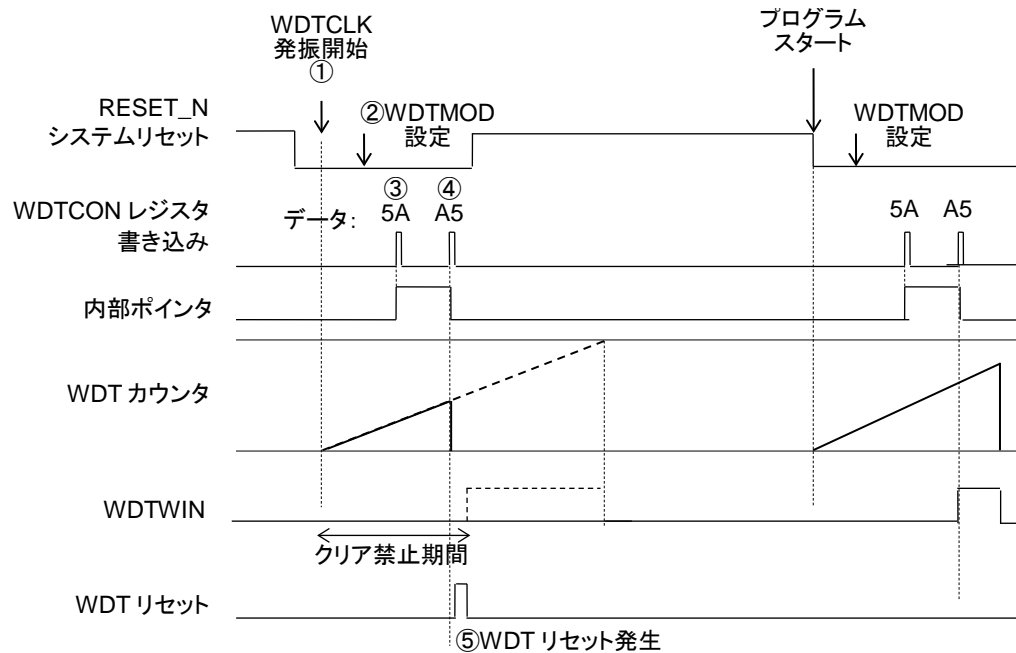


図 10-13 WDT 不正クリアリセット

- ① システムリセット解除後、WDT カウンタがカウントアップを開始します。
- ② WDTMOD に WDT カウンタのオーバフロー周期 (T_{Wov})、および WDT クリア許可期間を設定します。
- ③ WDTCON に“0x5A”を書き込みます。(内部ポインタ WDP:0→1)
- ④ WDTCON に“0xA5”を書き込み WDT カウンタをクリアします。(内部ポインタ WDP:1→0)
- ⑤ WDT クリア禁止期間 (WDTWIN=0) 中にクリア処理が実行されて WDT 不正クリアリセットが発生します。

【注意】

- ウォッチドッグタイマ(WDT)割込み関数内では、CPU のプログラム・ステータス・ワード(PSW)の割込みレベル (ELEVEL) が“2”となり、WDT カウンタはクリアできません。ELEVEL が“0”もしくは“1”の状態で WDT をクリアしてください。フェイルセーフとしてプログラムのメインループの一か所で WDT カウンタをクリアすることを推奨します。

第 11 章 シリアル通信ユニット

11. シリアル通信ユニット

11.1 概要

ML62Q1500C/1700C グループは、8 ビット／16 ビットの同期式シリアルポート(SSIO)と、全二重通信の調歩同期式シリアル・インタフェース UART (Universal Asynchronous Receiver Transmitter) の 2 つの通信機能を内蔵しています。

シリアル通信ユニットは商品毎に搭載チャンネル数が異なります。表 11-1 に商品毎の搭載チャンネルを示します。

チャンネル 番号(n)	ML62Q1500C／ML62Q1700C グループ		
	52 ピン 製品	64 ピン 製品	80 ピン 製品
0	●	●	●
1	●	●	●
2	－	●	●
3	●	●	●

●：搭載 －：非搭載

11.1.1 特長

2 つのシリアル通信モードを選択可能です。表 11-2 にシリアル通信の特長を示します。

表 11-2 シリアル通信モードの特長

シリアル通信モード	動作モード	特長
同期式シリアルポート(SSIO)モード	<ul style="list-style-type: none"> ・8 ビットモード ・16 ビットモード 	<ul style="list-style-type: none"> ・最大 4 チャンネル(SSIO と UART を同一チャンネルで同時に使用することはできません。) ・マスタモード/スレーブモード選択可能 ・MSB ファースト/LSB ファースト選択可能 ・8 ビット/16 ビットのデータ長選択可能 ・マスタモードとスレーブモードを利用した自己テスト機能あり。「第 29 章 安全機能」を参照してください
UART モード	<ul style="list-style-type: none"> ・半二重通信モード ・全二重通信モード 	<ul style="list-style-type: none"> ・5 ビット/6 ビット/7 ビット/8 ビットのデータ長を選択可能 ・奇数パリティ, 偶数パリティ, 0 パリティ, 1 パリティ, パリティなしを選択可能 ・1 ストップビット, 2 ストップビットを選択可能 ・正論理, 負論理の通信論理を選択可能 ・MSB ファースト/LSB ファーストを選択可能 ・幅広い通信速度(低速クロックで最大 4,800bps)を設定可能 <ul style="list-style-type: none"> ークロック周波数 32.768kHz 時: 1bps~4,800bps ークロック周波数 24MHz 時: 600bps~3Mbps ークロック周波数 16MHz 時: 300bps~2Mbps ・各チャンネルごとにボーレートジェネレータを内蔵 ・パリティエラーフラグ, オーバランエラーフラグ, フレーミングエラーフラグ, 送信バッファ状態フラグ, 受信バッファ状態フラグを搭載 ・送信と受信を利用した自己テスト機能あり。「第 29 章 安全機能」を参照してください。

11.1.2 構成

図 11-1 にシリアル通信ユニットの構成を示します。

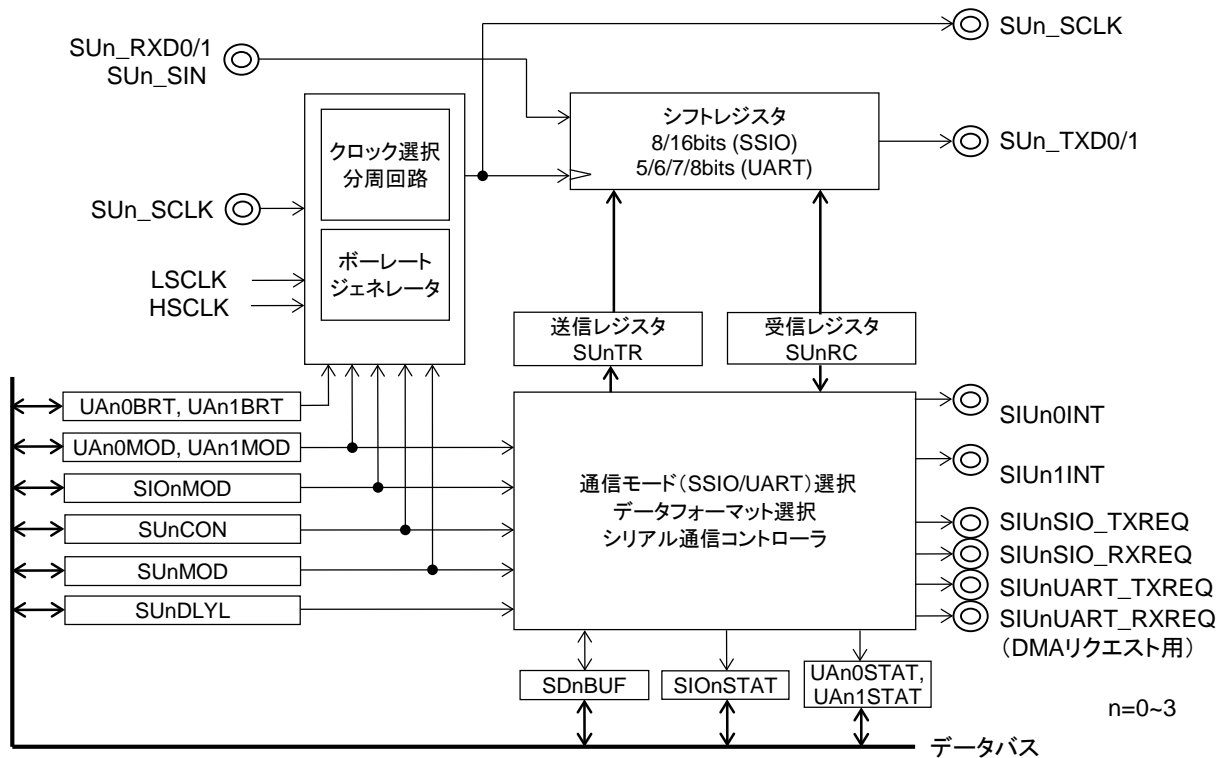


図 11-1 シリアル通信ユニットの構成

SDnBUF	: シリアル通信ユニット n 送受信バッファ
SUnMOD	: シリアル通信ユニット n モードレジスタ
SUnCON	: シリアル通信ユニット n コントロールレジスタ
SUnDLYL	: シリアル通信ユニット n 送信間隔設定レジスタ
SIO_nMOD	: 同期式シリアルポート n モードレジスタ
SIO_nSTAT	: 同期式シリアルポート n ステータスレジスタ
UAn0MOD, UAn1MOD	: UARTn0 モードレジスタ, UARTn1 モードレジスタ
UAn0BRT, UAn1BRT	: UARTn0 ボーレートレジスタ, UARTn1 ボーレートレジスタ
UAn0STAT, UAn1STAT	: UARTn0 ステータスレジスタ, UARTn1 ステータスレジスタ
SIUn0INT	: シリアル通信ユニット n0 割り込み
SIUn1INT	: シリアル通信ユニット n1 割り込み
SIUnSIO_TXREQ	: シリアル通信ユニット n SSIO 送信 DMA 要求 (n=0,1 のみ)
SIUnSIO_RXREQ	: シリアル通信ユニット n SSIO 受信 DMA 要求 (n=0,1 のみ)
SIUnUART_TXREQ	: シリアル通信ユニット n UART 送信 DMA 要求 (n=0,1 のみ)
SIUnUART_RXREQ	: シリアル通信ユニット n UART 受信 DMA 要求 (n=0,1 のみ)

11.1.3 端子一覧

シリアル通信ユニットの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
SUn_RXD0	I	シリアル通信ユニット n の全二重モード用データ入力／UART0 データ入力
SUn_RXD1	I	シリアル通信ユニット n の UART1 データ入力
SUn_TXD0	O	シリアル通信ユニット n の UART0 データ出力
SUn_TXD1	O	シリアル通信ユニット n の全二重モード用データ出力／UART1 データ出力
SUn_SCLK	I/O	シリアル通信ユニット n の SSIO 同期クロック入出力
SUn_SOUT	O	シリアル通信ユニット n の SSIO 送信データ出力
SUn_SIN	I	シリアル通信ユニット n の SSIO 受信データ入力

(n=0～3)

シリアル通信ユニットで使用する汎用ポートおよび、レジスタ設定を表 11-3 (1) 及び (2) に示します。

表 11-3 (1) シリアル通信ユニット機能使用ポートおよびレジスタ設定 (UART)

チャンネル 番号	端子名	兼用ポート		設定 レジスタ	設定値	ML62Q1500C ML62Q1700C グループ		
						5V _{DD} 電源	5V _{DD} 電源	5V _{DD} 電源
0	SU0_TXD0	P03	2 次機能	P0MOD3	0001_XXXX ^{*2}	●	●	●
		P13	2 次機能	P1MOD3	0001_XXXX ^{*2}	●	●	●
	SU0_RXD0	P02	2 次機能	P0MOD2	0001_XXXX ^{*1}	●	●	●
		P07	3 次機能	P0MOD7	0010_XXXX ^{*1}	●	●	●
		P12	2 次機能	P1MOD2	0001_XXXX ^{*1}	●	●	●
	SU0_TXD1	P17	3 次機能	P1MOD7	0010_XXXX ^{*1}	●	●	●
		P03	3 次機能	P0MOD3	0010_XXXX ^{*2}	●	●	●
		P10	2 次機能	P1MOD0	0001_XXXX ^{*2}	●	●	●
		P13	3 次機能	P1MOD3	0010_XXXX ^{*2}	●	●	●
	SU0_RXD1	P20	2 次機能	P2MOD0	0001_XXXX ^{*2}	●	●	●
1	SU1_TXD0	P07	2 次機能	P0MOD7	0001_XXXX ^{*1}	●	●	●
		P17	2 次機能	P1MOD7	0001_XXXX ^{*1}	●	●	●
	SU1_RXD0	P22	2 次機能	P2MOD2	0001_XXXX ^{*2}	●	●	●
		P25	2 次機能	P2MOD5	0001_XXXX ^{*2}	●	●	●
		P21	2 次機能	P2MOD1	0001_XXXX ^{*1}	●	●	●
		P24	2 次機能	P2MOD4	0001_XXXX ^{*1}	●	●	●
	SU1_TXD1	P26	3 次機能	P2MOD6	0010_XXXX ^{*1}	●	●	●
		P32	3 次機能	P3MOD2	0010_XXXX ^{*1}	●	●	●
		P22	3 次機能	P2MOD2	0010_XXXX ^{*2}	●	●	●
		P25	3 次機能	P2MOD5	0010_XXXX ^{*2}	●	●	●
2	SU2_TXD0	P27	2 次機能	P2MOD7	0001_XXXX ^{*2}	●	●	●
		P33	2 次機能	P3MOD3	0001_XXXX ^{*2}	●	●	●
	SU2_RXD0	P26	2 次機能	P2MOD6	0001_XXXX ^{*1}	●	●	●
		P32	2 次機能	P3MOD2	0001_XXXX ^{*1}	●	●	●
	SU2_TXD1	P57	3 次機能	P5MOD7	0010_XXXX ^{*2}	—	●	●
3	SU3_TXD0	P57	3 次機能	P5MOD7	0010_XXXX ^{*2}	—	●	●
		P54	2 次機能	P5MOD4	0001_XXXX ^{*1}	—	●	●
	SU3_RXD0	P54	2 次機能	P5MOD4	0001_XXXX ^{*1}	—	●	●
		P56	2 次機能	P5MOD6	0001_XXXX ^{*1}	—	●	●
	SU3_TXD1	P55	2 次機能	P5MOD5	0001_XXXX ^{*2}	—	●	●

●: 搭載 —: 非搭載

*1: XXXX の設定値は以下

XXXX	ポート入力状態
0001	入力(プルアップなし)
0101	入力(プルアップあり)

*2: XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力(プルアップなし)
1111	Nch オープンドレイン出力(プルアップあり)

表 11-3(2) シリアル通信ユニット機能使用ポートおよびレジスタ設定 (SSIO)

チャンネル 番号	端子名	兼用ポート		設定 レジスタ	設定値	ML62Q1500C ML62Q1700C グループ		
						52ピン製品	64ピン製品	80ピン製品
0	SU0_SIN	P02	2 次機能	P0MOD2	0001_XXXX ^{*1}	●	●	●
		P12	2 次機能	P1MOD2	0001_XXXX ^{*1}	●	●	●
	SU0_SCLK	P04	2 次機能	P0MOD4	0001_XXXX ^{*3}	●	●	●
		P11	2 次機能	P1MOD1	0001_XXXX ^{*3}	●	●	●
		P47	2 次機能	P4MOD7	0001_XXXX ^{*3}	●	●	●
	SU0_SOUT	P03	2 次機能	P0MOD3	0001_XXXX ^{*2}	●	●	●
P13		2 次機能	P1MOD3	0001_XXXX ^{*2}	●	●	●	
1	SU1_SIN	P21	2 次機能	P2MOD1	0001_XXXX ^{*1}	●	●	●
		P24	2 次機能	P2MOD4	0001_XXXX ^{*1}	●	●	●
	SU1_SCLK	P16	2 次機能	P1MOD6	0001_XXXX ^{*3}	●	●	●
		P23	2 次機能	P2MOD3	0001_XXXX ^{*3}	●	●	●
	SU1_SOUT	P22	2 次機能	P2MOD2	0001_XXXX ^{*2}	●	●	●
		P25	2 次機能	P2MOD5	0001_XXXX ^{*2}	●	●	●
2	SU2_SIN	P56	2 次機能	P5MOD6	0001_XXXX ^{*1}	—	●	●
	SU2_SCLK	PA3	2 次機能	PAMOD3	0001_XXXX ^{*3}	—	—	●
		P27	3 次機能	P2MOD7	0010_XXXX ^{*3}	—	●	—
	SU2_SOUT	P57	2 次機能	P5MOD7	0001_XXXX ^{*2}	—	●	●
3	SU3_SIN	P64	2 次機能	P6MOD4	0001_XXXX ^{*1}	●	●	●
	SU3_SCLK	P66	2 次機能	P6MOD6	0001_XXXX ^{*3}	●	●	●
	SU3_SOUT	P65	2 次機能	P6MOD5	0001_XXXX ^{*2}	●	●	●

●: 搭載 —: 非搭載

*1: XXXX の設定値は以下

XXXX	ポート入力状態
0001	入力(プルアップなし)
0101	入力(プルアップあり)

*2: XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力(プルアップなし)
1111	Nch オープンドレイン出力(プルアップあり)

*3: XXXX の設定値は以下

XXXX	ポート入出力状態
0010	CMOS 出力 (SSIO マスタモード)
0001	入力 (SSIO スレーブモード)

11.1.4 同期式シリアルポート端子の組み合わせ

SUn_SIN, SUn_SOUT, SUn_SCLK は、複数の汎用ポートの兼用機能に割り付けられています。
SUn_SIN, SUn_SOUT, SUn_SCLK は、必ず以下の組み合わせで使用してください。

組み合わせ	チャンネル番号	入出力端子			ML62Q1500C ML62Q1700C グループ		
		SUn_SIN*	SUn_SOUT*	SUn_SCLK*	52ピン製品	64ピン製品	80ピン製品
1	0	P02	P03	P04	●	●	●
2		P02	P03	P47	●	●	●
3		P12	P13	P11	●	●	●
4	1	P21	P22	P16	●	●	●
5		P24	P25	P23	●	●	●
6		P21	P22	P23	●	●	●
7	2	P56	P57	PA3	—	—	●
				P27	—	●	—
8	3	P64	P65	P66	●	●	●

*:n=チャンネル番号

●:使用可能 —:使用不可

11.1.5 UART 通信端子の組み合わせ

通信モードにより使用端子は異なります。11.2.1 項の表 11-4 を参照してください。

11.2 レジスタ説明

11.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF600	シリアル通信ユニット 0 送受信バッファ	SD0BUFL	SD0BUF	R/W	8/16	0x00
0xF601		SD0BUFH		R/W	8	0x00
0xF602	シリアル通信ユニット 0 モードレジスタ	SU0MOD	—	R/W	8	0x00
0xF603	予約レジスタ	—	—	—	—	—
0xF604	シリアル通信ユニット 0 送信間隔設定レジスタ	SU0DLYL	—	R/W	8	0x00
0xF605	予約レジスタ	—	—	—	—	—
0xF606	シリアル通信ユニット 0 コントロールレジスタ	SU0CONL	SU0CON	R/W	8/16	0x00
0xF607		SU0CONH		R/W	8	0x00
0xF608	同期式シリアルポート 0 モードレジスタ	SIO0MODL	SIO0MOD	R/W	8/16	0x00
0xF609		SIO0MODH		R/W	8	0x00
0xF60A	同期式シリアルポート 0 ステータスレジスタ	SIO0STAT	—	R/W	8	0x00
0xF60B	予約レジスタ	—	—	—	—	—
0xF60C	UART00 モードレジスタ	UA00MODL	UA00MOD	R/W	8/16	0x00
0xF60D		UA00MODH		R/W	8	0x00
0xF60E	UART00 ボーレートレジスタ	UA00BRTL	UA00BRT	R/W	8/16	0xFF
0xF60F		UA00BRTH		R/W	8	0xFF
0xF610	UART00 ボーレート補正レジスタ	UA00BRC	—	R/W	8	0x00
0xF611	予約レジスタ	—	—	—	—	—
0xF612	UART00 ステータスレジスタ	UA00STAT	—	R/W	8	0x00
0xF613	予約レジスタ	—	—	—	—	—
0xF614	UART01 モードレジスタ	UA01MODL	UA01MOD	R/W	8/16	0x00
0xF615		UA01MODH		R/W	8	0x00
0xF616	UART01 ボーレートレジスタ	UA01BRTL	UA01BRT	R/W	8/16	0xFF
0xF617		UA01BRTH		R/W	8	0xFF
0xF618	UART01 ボーレート補正レジスタ	UA01BRC	—	R/W	8	0x00
0xF619	予約レジスタ	—	—	—	—	—
0xF61A	UART01 ステータスレジスタ	UA01STAT	—	R/W	8/16	0x00
0xF61B	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF620	シリアル通信ユニット 1 送受信バッファ	SD1BUFL	SD1BUF	R/W	8/16	0x00
0xF621		SD1BUFH		R/W	8	0x00
0xF622	シリアル通信ユニット 1 モードレジスタ	SU1MOD	—	R/W	8	0x00
0xF623	予約レジスタ	—	—	—	—	—
0xF624	シリアル通信ユニット 1 送信間隔設定レジスタ	SU1DLYL	—	R/W	8	0x00
0xF625	予約レジスタ	—	—	—	—	—
0xF626	シリアル通信ユニット 1 コントロールレジスタ	SU1CONL	SU1CON	R/W	8/16	0x00
0xF627		SU1CONH		R/W	8	0x00
0xF628	同期式シリアルポート 1 モードレジスタ	SIO1MODL	SIO1MOD	R/W	8/16	0x00
0xF629		SIO1MODH		R/W	8	0x00
0xF62A	同期式シリアルポート 1 ステータスレジスタ	SIO1STAT	—	R/W	8	0x00
0xF62B	予約レジスタ	—	—	—	—	—
0xF62C	UART10 モードレジスタ	UA10MODL	UA10MOD	R/W	8/16	0x00
0xF62D		UA10MODH		R/W	8	0x00
0xF62E	UART10 ボーレートレジスタ	UA10BRTL	UA10BRT	R/W	8/16	0xFF
0xF62F		UA10BRTH		R/W	8	0xFF
0xF630	UART10 ボーレート補正レジスタ	UA10BRC	—	R/W	8	0x00
0xF631	予約レジスタ	—	—	—	—	—
0xF632	UART10 ステータスレジスタ	UA10STAT	—	R/W	8	0x00
0xF633	予約レジスタ	—	—	—	—	—
0xF634	UART11 モードレジスタ	UA11MODL	UA11MOD	R/W	8/16	0x00
0xF635		UA11MODH		R/W	8	0x00
0xF636	UART11 ボーレートレジスタ	UA11BRTL	UA11BRT	R/W	8/16	0xFF
0xF637		UA11BRTH		R/W	8	0xFF
0xF638	UART11 ボーレート補正レジスタ	UA11BRC	—	R/W	8	0x00
0xF639	予約レジスタ	—	—	—	—	—
0xF63A	UART11 ステータスレジスタ	UA11STAT	—	R/W	8	0x00
0xF63B	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF640	シリアル通信ユニット 2 送受信バッファ	SD2BUFL	SD2BUF	R/W	8/16	0x00
0xF641		SD2BUFH		R/W	8	0x00
0xF642	シリアル通信ユニット 2 モードレジスタ	SU2MOD	—	R/W	8	0x00
0xF643	予約レジスタ	—	—	—	—	—
0xF644	シリアル通信ユニット 2 送信間隔設定レジスタ	SU2DLYL	—	R/W	8	0x00
0xF645	予約レジスタ	—	—	—	—	—
0xF646	シリアル通信ユニット 2 コントロールレジスタ	SU2CONL	SU2CON	R/W	8/16	0x00
0xF647		SU2CONH		R/W	8	0x00
0xF648	同期式シリアルポート 2 モードレジスタ	SIO2MODL	SIO2MOD	R/W	8/16	0x00
0xF649		SIO2MODH		R/W	8	0x00
0xF64A	同期式シリアルポート 2 ステータスレジスタ	SIO2STAT	—	R/W	8	0x00
0xF64B	予約レジスタ	—	—	—	—	—
0xF64C	UART20 モードレジスタ	UA20MODL	UA20MOD	R/W	8/16	0x00
0xF64D		UA20MODH		R/W	8	0x00
0xF64E	UART20 ボーレートレジスタ	UA20BRTL	UA20BRT	R/W	8/16	0xFF
0xF64F		UA20BRTH		R/W	8	0xFF
0xF650	UART20 ボーレート補正レジスタ	UA20BRC	—	R/W	8	0x00
0xF651	予約レジスタ	—	—	—	—	—
0xF652	UART20 ステータスレジスタ	UA20STAT	—	R/W	8	0x00
0xF653	予約レジスタ	—	—	—	—	—
0xF654	UART21 モードレジスタ	UA21MODL	UA21MOD	R/W	8/16	0x00
0xF655		UA21MODH		R/W	8	0x00
0xF656	UART21 ボーレートレジスタ	UA21BRTL	UA21BRT	R/W	8/16	0xFF
0xF657		UA21BRTH		R/W	8	0xFF
0xF658	UART21 ボーレート補正レジスタ	UA21BRC	—	R/W	8	0x00
0xF659	予約レジスタ	—	—	—	—	—
0xF65A	UART21 ステータスレジスタ	UA21STAT	—	R/W	8	0x00
0xF65B	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF660	シリアル通信ユニット 3 送受信バッファ	SD3BUFL	SD3BUF	R/W	8/16	0x00
0xF661		SD3BUFH		R/W	8	0x00
0xF662	シリアル通信ユニット 3 モードレジスタ	SU3MOD	—	R/W	8	0x00
0xF663	予約レジスタ	—	—	—	—	—
0xF664	シリアル通信ユニット 3 送信間隔設定レジスタ	SU3DLYL	—	R/W	8	0x00
0xF665	予約レジスタ	—	—	—	—	—
0xF666	シリアル通信ユニット 3 コントロールレジスタ	SU3CONL	SU3CON	R/W	8/16	0x00
0xF667		SU3CONH		R/W	8	0x00
0xF668	同期式シリアルポート 3 モードレジスタ	SIO3MODL	SIO3MOD	R/W	8/16	0x00
0xF669		SIO3MODH		R/W	8	0x00
0xF66A	同期式シリアルポート 3 ステータスレジスタ	SIO3STAT	—	R/W	8	0x00
0xF66B	予約レジスタ	—	—	—	—	—
0xF66C	UART30 モードレジスタ	UA30MODL	UA30MOD	R/W	8/16	0x00
0xF66D		UA30MODH		R/W	8	0x00
0xF66E	UART30 ボーレートレジスタ	UA30BRTL	UA30BRT	R/W	8/16	0xFF
0xF66F		UA30BRTH		R/W	8	0xFF
0xF670	UART30 ボーレート補正レジスタ	UA30BRC	—	R/W	8	0x00
0xF671	予約レジスタ	—	—	—	—	—
0xF672	UART30 ステータスレジスタ	UA30STAT	—	R/W	8	0x00
0xF673	予約レジスタ	—	—	—	—	—
0xF674	UART31 モードレジスタ	UA31MODL	UA31MOD	R/W	8/16	0x00
0xF675		UA31MODH		R/W	8	0x00
0xF676	UART31 ボーレートレジスタ	UA31BRTL	UA31BRT	R/W	8/16	0xFF
0xF677		UA31BRTH		R/W	8	0xFF
0xF678	UART31 ボーレート補正レジスタ	UA31BRC	—	R/W	8	0x00
0xF679	予約レジスタ	—	—	—	—	—
0xF67A	UART31 ステータスレジスタ	UA31STAT	—	R/W	8	0x00
0xF67B	予約レジスタ	—	—	—	—	—
0xF680 ～ 0xF6BB	予約レジスタ	—	—	—	—	—

表 11-4 に、各通信モードで使用する特殊機能レジスタ(SFR)、通信端子および割込み一覧を示します。
通信モードは、SUnMOD レジスタの SUnMD1, SUnMD0 ビットで選択します。

表 11-4 各通信モードで使用する SFR、通信端子および割込み一覧

項目	名称	シンボル名 (バイト)	同期式 シリアル ポート	UART 全二重 通信モード	UART 半二重通信モード	
					UARTn1	UARTn0
SFR	シリアル通信ユニット n 送受信バッファ	SDnBUFL	●	● 受信バッファ として使用	—	●
		SDnBUFH	● 16 ビットモード 時に使用	● 送信バッファ として使用	●	—
	シリアル通信ユニット n モードレジスタ	SUnMOD	●	●	●	●
	シリアル通信ユニット n 送信間隔設定レジスタ	SUnDLYL	●	● 送信のみ	●	●
	シリアル通信ユニット n コントロールレジスタ	SUnCONL	● SnEN のみ使用	● Un0EN のみ使用	—	● Un0EN のみ使用
		SUnCONH	—	—	● Un1EN のみ使用	—
	同期式シリアルポート n モードレジスタ	SIO nMODL	●	—	—	—
		SIO nMODH				
	同期式シリアルポート n ステータスレジスタ	SIO nSTAT	●	—	—	—
	UARTn0 モード レジスタ	UAn0MODL	—	●	—	●
		UAn0MODH				
	UARTn0 ボーレート レジスタ	UAn0BRTL	—	●	—	●
		UAn0BRTH				
	UARTn0 ボーレート 補正レジスタ	UAn0BRC	—	●	—	●
	UARTn0 ステータス レジスタ	UAn0STAT	—	●	—	●
	UARTn1 モード レジスタ	UAn1MODL	—	—	●	—
		UAn1MODH				
	UARTn1 ボーレート レジスタ	UAn1BRTL	—	—	●	—
		UAn1BRTH				
	UARTn1 ボーレート 補正レジスタ	UAn1BRC	—	—	●	—
	UARTn1 ステータス レジスタ	UAn1STAT	—	—	●	—
SSIO 通信端子	データ入力端子	—	SUn_SIN	—	—	—
	データ出力端子	—	SUn_SOUT	—	—	—
	クロック入出力端子	—	SUn_SCLK	—	—	—
UART 通信端子	RXD 端子	—	—	SUn_RXD0	SUn_RXD1	SUn_RXD0
	TXD 端子	—	—	SUn_TXD1	SUn_TXD1	SUn_TXD0
割込み	受信割込み	—	SIUn0INT	SIUn0INT	SIUn1INT	SIUn0INT
	送信割込み	—		SIUn1INT		

●: 使用, —: 未使用

11.2.2 シリアル通信ユニット n 送受信バッファ (SDnBUF)

本レジスタは、シリアル通信ユニットの送受信データを格納する特殊機能レジスタ(SFR)です。

アドレス: 0xF600 (SD0BUFL/SD0BUF), 0xF601 (SD0BUFH),
0xF620 (SD1BUFL/SD1BUF), 0xF621 (SD1BUFH),
0xF640 (SD2BUFL/SD2BUF), 0xF641 (SD2BUFH),
0xF660 (SD3BUFL/SD3BUF), 0xF661 (SD3BUFH)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SDnBUF															
バイト	SDnBUFH								SDnBUFL							
ビット	SnB15	SnB14	SnB13	SnB12	SnB11	SnB10	SnB9	SnB8	SnB7	SnB6	SnB5	SnB4	SnB3	SnB2	SnB1	SnB0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明	
15～8	SnB15～SnB8	SSIO モード	
		8ビットモード:	未使用
		16ビットモード:	上位 8 ビットの送受信バッファです。書き込むと送信用レジスタ (SUnTR) にデータが書き込まれます。読み出すと受信用レジスタ (SUnRC) の内容が読み出されます。
		UART モード	
		全二重通信モード:	UARTn の送信バッファです。送信データを設定します。
7～0	SnB7～SnB0	半二重通信モード:	UARTn1 の送受信バッファです。送信モードでは、送信データを設定します。受信モードでは、受信データが格納されます。
		SSIO モード	
		8ビットモード:	送受信バッファです。書き込むと送信用レジスタ (SUnTR) にデータが書き込まれます。読み出すと受信用レジスタ (SUnRC) の内容が読み出されます。
		16ビットモード:	下位 8 ビットの送受信バッファです。書き込むと送信用レジスタ (SUnTR) にデータが書き込まれます。読み出すと受信用レジスタ (SUnRC) の内容が読み出されます。
		UART モード	
		全二重通信モード:	UARTn の受信バッファです。受信データが格納されます。
		半二重通信モード:	UARTn0 の送受信バッファです。送信モードでは、送信データを設定します。受信モードでは、受信データが格納されます。

- 同期式シリアルポート(SSIO)モードの場合
SDnBUF レジスタに書き込むと送信用レジスタ(SUnTR)にデータが書き込まれます。SDnBUF レジスタを読み出すと受信用レジスタ(SUnRC)の内容が読み出されます。
8ビットモードの場合、SDnBUFH は使用しません。SDnBUFL の書き込みで送信／受信／送受信を開始します。
16ビットモードの場合、SDnBUFH の書き込みで送信／受信／送受信を開始します。
- UART の全二重通信モードの場合
SDnBUFL は、受信バッファとして、SDnBUFH は送信バッファとして機能します。
UART 受信では、受信終了時に受信したデータが SDnBUFL に上書きされます。受信終了時のシリアル通信ユニット n0 割込みを用いて SDnBUFL を読み出してください。全二重通信モード時の SDnBUFL への書き込みは無効です。5～7ビット長のデータ長を選択した場合、未使用ビットからは“0”が読み出されます。

UART 送信では、送信するデータを SDnBUFH に書き込みます。連続して送信する場合は、UARTn1 ステータスレジスタ(UAn1STAT)の Un1FUL ビットが“0”になっていることを確認してから、次の送信データを SDnBUFH レジスタに書き込みます。SDnBUFH に書き込んだ値を読み出すことも可能です。5～7ビット長のデータ長を選択した場合、未使用ビットに書き込まれたデータは無効です。
- UART の半二重通信モードの場合
SDnBUFL, SDnBUFH がそれぞれ送受信バッファとして機能します。
半二重通信の受信モードでは、受信終了時に受信したデータが SDnBUFL, SDnBUFH に上書きされます。シリアル通信ユニット n0 割込みまたはシリアル通信ユニット n1 割込みを用いて SDnBUFL, SDnBUFH を読み出してください。半二重通信の受信モード時の SDnBUFL, SDnBUFH への書き込みが無効になります。5～7ビット長のデータ長を選択した場合、未使用ビットからは“0”が読み出されます。

半二重通信の送信モード時は、送信するデータを SDnBUFL, SDnBUFH に書き込みます。連続して送信する場合は、UARTn0(UARTn1)ステータスレジスタ(UAn0STAT, UAn1STAT)の Un0FUL(Un1FUL)ビットが“0”になっていることを確認してから次の送信データを SDnBUF レジスタに書き込みます。また、SDnBUF レジスタに書き込んだ値を読み出すことも可能です。5～7ビット長のデータ長を選択した場合、未使用ビットに書き込まれたデータは無効です。

【注意】

- UART の半二重通信モードを使用する場合は、UARTn モードレジスタ(UAn0MOD, UAn1MOD)の Un0IO, Un1IO ビットを“0”に設定し、送信モードを選択してから SDnBUFL, SDnBUFH に送信データを設定してください。
- SSIO のスレーブモード受信時、SDnBUF への書き込みは禁止です。

11.2.3 シリアル通信ユニット n モードレジスタ (SUnMOD)

本レジスタは、シリアル通信ユニットの通信モードを選択する特殊機能レジスタ(SFR)です。

アドレス: 0xF602(SU0MOD),
0xF622(SU1MOD),
0xF642(SU2MOD),
0xF662(SU3MOD)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								SUnMOD							
ビット	—	—	—	—	—	—	—	—	SUnINTS	SUnTIMD	SUnRIMD	—	—	—	SUnMD1	SUnMD0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7	SUnINTS	送受信割込みの動作モードを選択するビットです。 SUnINTS ビットの詳細は SUnRIMD, SUnTIMD ビットの説明を参照してください。
6	SUnTIMD	送信時の割込み発生タイミングを選択するビットです。 SUnINTS が“0”の場合, 0: 送信終了時に割込みを発生(初期値) 1: 送信開始時および終了時に割込みを発生 SUnINTS が“1”の場合, 0: 送信終了時に割込みを発生 1: 送信開始時に割込みを発生
5	SUnRIMD	受信時の割込み発生タイミングを選択するビットです。 SUnINTS が“0”の場合, 0: 受信終了時に割込みを発生(初期値) 1: 受信開始時および終了時に割込みを発生 SUnINTS が“1”の場合, 0: 受信終了時に割込みを発生 1: 受信開始時に割込みを発生
4～2	—	予約ビット
1,0	SUnMD1～ SUnMD0	シリアル通信ユニットの通信モードを選択するビットです。 00: SSIO モード(初期値) 01: SSIO モード 10: UART 全二重通信モード 11: UART 半二重通信モード×2 チャンネル

- 【注意】
- SUnMODレジスタは必ず通信停止中(SUnCONレジスタ=0x00)に設定し、通信中には書き換えないでください。通信中に書き換えると、正常なデータが送受信されない可能性があります。

11.2.4 シリアル通信ユニット n 送信間隔設定レジスタ (SUnDLYL)

本レジスタは、シリアル通信の送信フレームの間隔を設定する特殊機能レジスタ(SFR)です。
連続通信時にシリアルデータを送信する場合に、スレーブデバイスがデータを受信し処理する時間を待たせるために使用します。

アドレス: 0xF604 (SU0DLYL),
0xF624 (SU1DLYL),
0xF644 (SU2DLYL),
0xF664 (SU3DLYL)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								SUnDLYL							
ビット	—	—	—	—	—	—	—	—	SUnDLY7	SUnDLY6	SUnDLY5	SUnDLY4	SUnDLY3	SUnDLY2	SUnDLY1	SUnDLY0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～0	SUnDLY7～SUnDLY0	SSIO モードおよび UART モードの送信フレーム間隔を設定するビットです。

送信フレーム間隔を以下に示します。
SUnDLYL=0x00 の場合、送信フレーム間隔は“0”です。
SUnDLYL≠0x00 の場合、以下の計算式で求められます。

SSIO モード選択時
送信フレーム間隔＝
転送クロック*1 周期 × ROUNDUP*2((SUnDLYL 設定値+2) / 転送クロック の分周比)

UART モード選択時
送信フレーム間隔＝
ベースクロック*3 周期 × (UAn0BRT+1) × ROUNDUP*2((SUnDLYL 設定値+2) / (UAn0BRT+1))

*1:転送クロックについては、「11.2.6 同期式シリアルポート n モードレジスタ」を参照してください。
*2:ROUNDUP は小数点以下を切り上げ
*3:ベースクロックについては、「11.2.8 UARTn0 モードレジスタ」または「11.2.9 UARTn1 モードレジスタ」を参照してください。

- 【注意】
- SSIO のスレーブモード設定時は、本レジスタに“0”を設定してください。
 - SSIO のマスタモードの受信モード設定時は、本レジスタの設定は無効です。

11.2.5 シリアル通信ユニット n コントロールレジスタ (SUnCON)

本レジスタは、シリアル通信ユニットを制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF606 (SU0CONL/SU0CON), 0xF607 (SU0CONH),
0xF626 (SU1CONL/SU1CON), 0xF627 (SU1CONH),
0xF646 (SU2CONL/SU2CON), 0xF647 (SU2CONH),
0xF666 (SU3CONL/SU3CON), 0xF667 (SU3CONH)

アクセス: R/W

アクセスサイズ: 8 ビット / 16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SUnCON															
バイト	SUnCONH								SUnCONL							
ビット	—	—	—	—	—	—	Un 1EN	—	—	—	—	—	—	—	Un 0EN	Sn EN
R/W	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 10	—	予約ビット
9	Un1EN	UARTn の半二重モード選択時に UARTn1 の通信を許可するビットです。 ・UART の半二重モード 0: UARTn1 の通信停止 (初期値) 1: UARTn1 の通信開始 ・UART の全二重通信モードまたは SSIO モード (Un1EN への書き込みは無効です。)
8～2	—	予約ビット
1	Un0EN	UART モード選択時に UARTn の通信を許可するビットです。 ・UART の全二重通信モード 0: UARTn の通信停止 (初期値) 1: UARTn の通信開始 ・UART の半二重モード 0: UARTn0 の通信停止 (初期値) 1: UARTn0 の通信開始 ・SSIO モード (Un0EN への書き込みは無効です。)
0	SnEN	SSIO モード選択時に同期式シリアル通信を許可するビットです。 ・SSIO モード 0: 通信停止 (初期値) 1: 通信開始 ・UART モード (SnEN への書き込みは無効です。)

11.2.6 同期式シリアルポート n モードレジスタ (SIOOnMOD)

本レジスタは、同期式シリアルポートの通信モードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF608 (SIO0MODL/SIO0MOD), 0xF609 (SIO0MODH),
0xF628 (SIO1MODL/SIO1MOD), 0xF629 (SIO1MODH),
0xF648 (SIO2MODL/SIO2MOD), 0xF649 (SIO2MODH),
0xF668 (SIO3MODL/SIO3MOD), 0xF669 (SIO3MODH)

アクセス: R/W

アクセスサイズ: 8 ビット/16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SIOOnMOD															
バイト	SIOOnMODH								SIOOnMODL							
ビット	—	SnNEG	SnCKT	SnCK4	SnCK3	SnCK2	SnCK1	SnCK0	—	—	—	—	SnLG	SnMD1	SnMD0	SnDIR
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	—	予約ビット
14	SnNEG	SSIO モード選択時の転送クロックの論理を選択するビットです。 0: 正論理(初期値) 1: 負論理
13	SnCKT	SSIO モード選択時の転送クロックの位相を選択するビットです。SnNEG ビットと組み合わせて 4 タイプの通信を選択できます。 0: クロックタイプ 0: 初期値="H"レベル(初期値) 1: クロックタイプ 1: 初期値="L"レベル
12~8	SnCK4~ SnCK0	SSIO の転送クロックを選択するビットです。SSIO は転送クロックに内部クロックを選択するとマスタモードになり、外部クロックを選択するとスレーブモードになります。スレーブモード時の外部クロックは、システムクロックの 1/8 以下の周波数を入力してください。 00000: LSCLK(初期値) 00001: 1/2 LSCLK 10000: 1/1 HSCLK 10001: 1/2 HSCLK 10010: 1/4 HSCLK 10011: 1/8 HSCLK 10100: 1/16 HSCLK 10101: 1/32 HSCLK 10110: 1/64 HSCLK 10111: 1/128 HSCLK 11000: 外部クロック(スレーブモード) 上記以外: 設定禁止(LSCLK)

ビット 番号	ビットシンボル 名	説明
7～4	—	予約ビット
3	SnLG	SSIO モード選択時の送受信のビット長を選択するビットです。 0: 8 ビット長 (初期値) 1: 16 ビット長
2～1	SnMD1～ SnMD0	SSIO モード選択時の送受信モードを選択するビットです。 00: 送受信停止 (初期値) 01: 受信モード 10: 送信モード 11: 送受信モード
0	SnDIR	SSIO モード選択時の通信方向を選択するビットです。 0: LSB ファースト (初期値) 1: MSB ファースト

【注意】

- SIO_nMODレジスタは必ず通信停止 (SnEN=0) 中に設定し、通信中には書き換えないでください。通信中に書き換えると、正常にデータが送受信されない可能性があります。
- SnCK4～SnCK0 ビットは 4MHz 以下に設定してください。
- スレーブモードを選択する場合、あらかじめ高速クロックを発振許可にしてください。高速クロックの発振許可は「第 6 章 クロック発生回路」を参照してください。
- スレーブモードを選択する場合、通信クロックの最大値は 1MHz です。

11.2.7 同期式シリアルポート n ステータスレジスタ (SIO nSTAT)

本レジスタは、同期式シリアルポートの送受信動作状態を示す特殊機能レジスタ(SFR)です。

アドレス: 0xF60A(SIO0STAT),
0xF62A(SIO1STAT),
0xF64A(SIO2STAT),
0xF66A(SIO3STAT)

アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								SIO nSTAT							
ビット	—	—	—	—	—	—	—	—	—	SnRFUL	SnRXF	SnTXF	SnFUL	SnTOER	SnROER	SnTUER
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～7	—	予約ビット
6	SnRFUL	本ビットは使用しないでください。
5	SnRXF	SSIO モード選択時に SSIO のデータ受信中表示するビットです。 0: データ受信停止中(初期値) 1: データ受信
4	SnTXF	SSIO モード選択時に SSIO のデータ送信中表示するビットです。 0: データ送信停止中(初期値) 1: データ送信
3	SnFUL	SSIO モードの送信モード選択時の送信バッファ(SDnBUF)のデータの有無を示すビットです。SDnBUF レジスタにデータを書き込むと“1”になり、書き込んだデータが転送を開始すると“0”になります。SnFUL ビットが“1”の状態では SUnCON レジスタの SnEN ビットを“1”にセットすると送信を開始します。SnFUL ビットが“0”の状態では SnEN ビットを“1”にセットすると、SDnBUF レジスタにデータが書き込まれるまでデータ送信を開始しません。また、SnFUL ビットが“1”の時に SDnBUF レジスタにデータを書き込むと、SDnBUF レジスタの値は上書きされます。 0: 送信バッファにデータなし(初期値) 1: 送信バッファにデータあり
2	SnTOER	SSIO モード選択時に送信オーバーランエラーを示すビットです。SnFUL ビットが“1”の時に SDnBUF にデータを書き込むと、SnTOER ビットが“1”になります。SnTOER ビットに“1”を書き込むと“0”にリセットされます。 0: 送信オーバーランエラーなし(初期値) 1: 送信オーバーランエラーあり
1	SnROER	SSIO モード選択時に受信オーバーランエラーを示すビットです。シリアル通信ユニット n 送受信バッファ(SDnBUFL)の受信データを読み出す前に次の受信データを受信すると“1”になります。SnROER ビットに“1”を書き込むと“0”にリセットされます。SnROER ビットは送信モード時に“0”固定されます。 0: 受信オーバーランエラーなし(初期値) 1: 受信オーバーランエラーあり

ビット 番号	ビットシンボル 名	説明
0	SnTUER	SSIO モード選択時に送信アンダランエラーを示すビットです。SnFUL ビットが“0”の時にデータが送信されると、SnTUER ビットが“1”になります。 ただしスレーブモードのクロックタイプ 1 では、SnEN に“1”を設定したとき、前のデータの送信完了時に SnFUL ビットが“0”の場合に SnTUER ビットが“1”になります。詳細は「11.3.1.6 クロックタイプ 1 のスレーブモード時のタイミング」を参照してください。 SnTUER ビットに“1”を書き込むと“0”にリセットされます。SnTUER ビットは受信モード時に“0”固定されます。 0: 送信アンダランエラーなし(初期値) 1: 送信アンダランエラーあり

【注意】

- SnTUER ビット, SnROER ビット, SnTOER ビットへの書き込みはバイトアクセスしてください。
- 送受信中(SnTXF=1 または SnRXF=1)の SnTUER ビット, SnROER ビット, SnTOER ビットへの書き込みは禁止です。

11.2.8 UARTn0 モードレジスタ (UAn0MOD)

本レジスタは、全二重通信モードおよび半二重通信モードにおける UARTn0 の通信モードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF60C (UA00MODL/UA00MOD), 0xF60D (UA00MODH),
0xF62C (UA10MODL/UA10MOD), 0xF62D (UA10MODH),
0xF64C (UA20MODL/UA20MOD), 0xF64D (UA20MODH),
0xF66C (UA30MODL/UA30MOD), 0xF66D (UA30MODH)

アクセス: R/W

アクセスサイズ: 8 ビット/16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	UAn0MOD															
バイト	UAn0MODH								UAn0MODL							
ビット	Un0DIR	Un0NEG	Un0STP	Un0PT2	Un0PT1	Un0PT0	Un0LG1	Un0LG0	Un0RSS	—	—	—	—	Un0CK1	Un0CK0	Un0IO
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	Un0DIR	全二重通信モードおよび半二重通信モードにおける UARTn0 の通信方向を選択するビットです。 0: LSB ファースト(初期値) 1: MSB ファースト
14	Un0NEG	全二重通信モードおよび半二重通信モードにおける UARTn0 のデータ入出力の論理を選択するビットです。 0: 正論理(初期値) 1: 負論理
13	Un0STP	全二重通信モードおよび半二重通信モードにおける UARTn0 のストップビット長を選択するビットです。 0: 1 ストップビット(初期値) 1: 2 ストップビット
12~10	Un0PT2~ Un0PT0	全二重通信モードおよび半二重通信モードにおける UARTn0 のパリティビットを選択するビットです。 000: パリティビットなし(初期値) 001: 奇数パリティ 010: パリティビットなし 011: 偶数パリティ 100: パリティビットなし 101: パリティビット“1”固定 110: パリティビットなし 111: パリティビット“0”固定
9,8	Un0LG1~ Un0LG0	全二重通信モードおよび半二重通信モードにおける UARTn0 の通信データ長を指定するビットです。 00: 8 ビット長(初期値) 01: 7 ビット長 10: 6 ビット長 11: 5 ビット長

ビット 番号	ビットシンボル 名	説明
7	Un0RSS	全二重通信モードおよび半二重通信モードにおける UARTn0 の受信データのサンプリングタイミングを選択するビットです。 0: (UAn0BRTH, UAn0BRTL レジスタに設定した値) ÷ 2 (初期値) 1: {(UAn0BRTH, UAn0BRTL レジスタに設定した値) ÷ 2 } - 1
6~3	—	予約ビット
2,1	Un0CK1~ Un0CK0	全二重通信モード、および半二重通信モードの UARTn0 のポーレートジェネレータのベースクロックを選択するビットです。 00: LSCLK(初期値) 01: 設定禁止(LSCLK) 10: HSCLK 11: 設定禁止(HSCLK)
0	Un0IO	全二重通信モードおよび半二重通信モードにおける UARTn0 の送信モード・受信モードを選択するビットです。全二重通信モードを選択した場合、本ビットは“1”に固定され、書き込みは無効です。 0: 送信モード (初期値) 1: 受信モード

【注意】

- UAn0MOD レジスタは必ず通信停止(Un0EN=0)中に設定し、通信中には書き換えないでください。通信中に書き換えると、正常なデータが送受信されない可能性があります。

11.2.9 UARTn1 モードレジスタ (UAn1MOD)

本レジスタは、半二重通信モードにおける UARTn1 の転送モードを設定する特殊機能レジスタ(SFR)です。
全二重通信を選択した場合は、UAn1MOD レジスタの設定は不要です。

アドレス: 0xF614(UA01MODL/UA01MOD), 0xF615(UA01MODH),
0xF634(UA11MODL/UA11MOD), 0xF635(UA11MODH),
0xF654(UA21MODL/UA21MOD), 0xF655(UA21MODH),
0xF674(UA31MODL/UA31MOD), 0xF675(UA31MODH)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	UAn1MOD															
バイト	UAn1MODH								UAn1MODL							
ビット	Un1DIR	Un1NEG	Un1STP	Un1PT2	Un1PT1	Un1PT0	Un1LG1	Un1LG0	Un1RSS	—	—	—	—	Un1CK1	Un1CK0	Un1IO
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	Un1DIR	半二重通信モードにおける UARTn1 の通信方向を選択するビットです。 0: LSB ファースト(初期値) 1: MSB ファースト
14	Un1NEG	半二重通信モードにおける UARTn1 のデータ入出力の論理を選択するビットです。 0: 正論理(初期値) 1: 負論理
13	Un1STP	半二重通信モードにおける UARTn1 のストップビット長を選択するビットです。 0: 1 ストップビット(初期値) 1: 2 ストップビット
12~10	Un1PT2~ Un1PT0	半二重通信モードにおける UARTn1 のパリティビットを選択するビットです。 000: パリティビットなし(初期値) 001: 奇数パリティ 010: パリティビットなし 011: 偶数パリティ 100: パリティビットなし 101: パリティビット“1”固定 110: パリティビットなし 111: パリティビット“0”固定
9,8	Un1LG1~ Un1LG0	半二重通信モードにおける UARTn1 の通信データ長を指定するビットです。 00: 8 ビット長(初期値) 01: 7 ビット長 10: 6 ビット長 11: 5 ビット長

ビット 番号	ビットシンボル 名	説明
7	Un1RSS	半二重通信モードにおける UARTn1 の受信データのサンプリングタイミングを選択するビットです。 0: (UAn1BRTH, UAn1BRTL レジスタに設定した値) ÷ 2 (初期値) 1: [(UAn1BRTH, UAn1BRTL レジスタに設定した値) ÷ 2] - 1
6~3	—	予約ビット
2,1	Un1CK1~ Un1CK0	半二重通信モードの UARTn1 のポーレートジェネレータのベースクロックを選択するビットです。 00: LSCLK (初期値) 01: 設定禁止 (LSCLK) 10: HSCLK 11: 設定禁止 (HSCLK)
0	Un1IO	半二重通信モードにおける UARTn1 の送信モード／受信モードを選択するビットです。全二重通信モードを選択した場合、本ビットは“0”に固定され、書き込みは無効です。 0: 送信モード (初期値) 1: 受信モード

【注意】

- UAn1MOD レジスタは必ず通信停止 (Un1EN=0) 中に設定し、通信中には書き換えないでください。通信中に書き換えると、正常なデータが送受信されない可能性があります。

11.2.10 UARTn0 ボーレートレジスタ (UAn0BRT)

本レジスタは、全二重通信モードおよび半二重通信モードにおける UARTn0 のボーレートジェネレータのカウント値を設定する特殊機能レジスタ(SFR)です。

UAn0BRT レジスタの値とボーレートの関係については、「11.3.2.2 ボーレート」を参照してください。

アドレス: 0xF60E(UA00BRTL/UA00BRT), 0xF60F(UA00BRTH),
0xF62E(UA10BRTL/UA10BRT), 0xF62F(UA10BRTH),
0xF64E(UA20BRTL/UA20BRT), 0xF64F(UA20BRTH),
0xF66E(UA30BRTL/UA30BRT), 0xF66F(UA30BRTH)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0xFFFF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	UAn0BRT															
バイト	UAn0BRTH								UAn0BRTL							
ビット	Un0B R15	Un0B R14	Un0B R13	Un0B R12	Un0B R11	Un0B R10	Un0B R9	Un0B R8	Un0B R7	Un0B R6	Un0B R5	Un0B R4	Un0B R3	Un0B R2	Un0B R1	Un0B R0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

11.2.11 UARTn1 ボーレートレジスタ (UAn1BRT)

本レジスタは、半二重通信モードにおける UARTn1 のボーレートジェネレータのカウント値を設定する特殊機能レジスタ(SFR)です。

全二重通信モードを選択した場合は、UAn1BRT の設定は不要です。

UAn1BRT レジスタの値とボーレートの関係については、「11.3.2.2 ボーレート」を参照してください。

アドレス: 0xF616(UA01BRTL/UA01BRT), 0xF617(UA01BRTH),
0xF636(UA11BRTL/UA11BRT), 0xF637(UA11BRTH),
0xF656(UA21BRTL/UA21BRT), 0xF657(UA21BRTH),
0xF676(UA31BRTL/UA31BRT), 0xF677(UA31BRTH)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0xFFFF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	UAn1BRT															
バイト	UAn1BRTH								UAn1BRTL							
ビット	Un1B R15	Un1B R14	Un1B R13	Un1B R12	Un1B R11	Un1B R10	Un1B R9	Un1B R8	Un1B R7	Un1B R6	Un1B R5	Un1B R4	Un1B R3	Un1B R2	Un1B R1	Un1B R0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

【注意】

- UAn0BRT, UAn1BRT レジスタは必ず通信停止(Un0EN=0, Un1EN=0)中に設定し、通信中には書き換えないでください。

11.2.12 UARTn0 ボーレート補正レジスタ (UAn0BRC)

本レジスタは、全二重通信モードおよび半二重通信モードにおける UARTn0 のボーレートジェネレータの補正値を設定する特殊機能レジスタ(SFR)です。

UAn0BRC レジスタの補正値とボーレートの関係については、「11.3.2.2 ボーレート」を参照してください。

アドレス: 0xF610(UA00BRC),
0xF630(UA10BRC),
0xF650(UA20BRC),
0xF670(UA30BRC)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								UAn0BRC							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	Un0B RC2	Un0B RC1	Un0B RC0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

11.2.13 UARTn1 ボーレート補正レジスタ (UAn1BRC)

本レジスタは、半二重通信モードにおける UARTn1 のボーレートジェネレータの補正値を設定する特殊機能レジスタ(SFR)です。

全二重通信モードを選択した場合、UAn1BRC の設定は不要です。

UAn1BRC レジスタの補正値とボーレートの関係については、「11.3.2.2 ボーレート」を参照してください。

アドレス: 0xF618(UA01BRC), 0xF638(UA11BRC), 0xF658(UA21BRC), 0xF678(UA31BRC),
0xF698(UA41BRC), 0xF6B8(UA51BRC)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								UAn1BRC							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	Un1B RC2	Un1B RC1	Un1B RC0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【注意】

- UAn0BRC, UAn1BRC レジスタは必ず通信停止(Un0EN=0, Un1EN=0)中に設定し、通信中には書き換えないでください。

11.2.14 UARTn0 ステータスレジスタ (UAn0STAT)

本レジスタは、全二重通信モードおよび半二重通信モードにおける UARTn0 の送受信動作状態を示す特殊機能レジスタ(SFR)です。

アドレス: 0xF612(UA00STAT),
0xF632(UA10STAT),
0xF652(UA20STAT),
0xF672(UA30STAT)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								UAn0STAT							
ビット	—	—	—	—	—	—	—	—	—	Un0RXF	Un0TXF	Un0FUL	Un0PER	Un0OER	Un0FER	
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7, 6	—	予約ビット
5	Un0RXF	全二重通信モードおよび半二重通信モードにおける UARTn0 のデータ受信を示すビットです。 0: データ受信停止中(初期値) 1: データ受信
4	Un0TXF	全二重通信モードおよび半二重通信モードにおける UARTn0 のデータ送信を示すビットです。 0: データ送信停止中(初期値) 1: データ送信
3	Un0FUL	全二重通信モードおよび半二重通信モードにおける UARTn0 の送受信バッファの状態を示すビットです。 全二重通信モードを選択時は、送信データを SDnBUFH に書き込むと“1”になり、その送信データがシフトレジスタに転送されると“0”になります。連続して送信する場合は、Un0FUL ビットが“0”になるのを確認してから次の送信データを SDnBUFH に書き込んでください。 半二重通信モードを選択時は、送信モード時に送信データを SDnBUFL に書き込むと“1”になり、その送信データがシフトレジスタに転送されると“0”になります。連続して送信する場合は、Un0FUL ビットが“0”になるのを確認してから次の送信データを SDnBUFL に書き込んでください。 Un0FUL ビットに“1”を書き込むと、強制的に“0”にリセットされます。 Un0FUL ビットは受信モード時に“0”に固定されます。 ・全二重通信モード時 0: SDnBUFH にデータなし(初期値) 1: SDnBUFH にデータあり ・半二重モード時 0: SDnBUFL にデータなし(初期値) 1: SDnBUFL にデータあり
2	Un0PER	全二重通信モードおよび半二重通信モードにおける UARTn0 のパリティエラーを示すビットです。 受信したデータのパリティとデータに付加されてきたパリティビットを比較し、一致していない場合は“1”になります。 Un0PER ビットに“1”を書き込むと、強制的に“0”にリセットされます。 Un0PER ビットは送信モード時に“0”に固定されます。 0: パリティエラーなし(初期値) 1: パリティエラーあり

ビット 番号	ビットシンボル 名	説明
1	Un0OER	全二重通信モードおよび半二重通信モードにおける UARTn0 のオーバランエラーを示すビットです。シリアル通信ユニット n 送受信バッファ (SDnBUFL) の受信データを読み出す前に次の受信データを受信すると“1”になります。 Un0OER ビットに“1”を書き込むと、強制的に“0”にリセットされます。正しくオーバーランエラー判定するために、Un0OER ビットが“1”のとき、あるいは受信バッファを読み出した後に“1”を書き込んでください。 Un0OER ビットは送信モード時に“0”に固定されます。 0: オーバランエラーなし (初期値) 1: オーバランエラーあり
0	Un0FER	全二重通信モードおよび半二重通信モードにおける UARTn0 のフレーミングエラーを示すビットです。ストップビットでエラーが発生した場合は“1”になります。 Un0FER ビットに“1”を書き込むと、強制的に“0”にリセットされます。 Un0FER ビットは送信モード時に“0”に固定されます。 0: フレーミングエラーなし (初期値) 1: フレーミングエラーあり

【注意】

- Un0OER ビットは、Un0EN ビットにより受信を停止し再開した場合でも、前回の受信データが読み出されていなければ“1”になりますので、SDnBUFL を読み出してから Un0EN ビットを“1”にするか、もしくは受信が完了した際はそのデータが不要の場合でも必ず SDnBUFL を読み出してください。
- スタートビットでエラーが発生すると、受信待ち状態に戻ります。
- Un0FER ビット、Un0OER ビット、Un0PER ビット、Un0FUL ビットはバイトアクセスで書き込みしてください。

11.2.15 UARTn1 ステータスレジスタ (UAn1STAT)

本レジスタは、半二重通信モードにおける UARTn1 の送受信動作状態を示す特殊機能レジスタ(SFR)です。
全二重通信モードを選択時は、UAn1STAT の内容は無効となります。

アドレス: 0xF61A(UA01STAT),
0xF63A(UA11STAT),
0xF65A(UA21STAT),
0xF67A(UA31STAT)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								UAn1STAT							
ビット	—	—	—	—	—	—	—	—	—	—	Un1RXF	Un1TXF	Un1FUL	Un1PER	Un1OER	Un1FER
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7, 6	—	予約ビット
5	Un1RXF	半二重通信モードにおける UARTn1 のデータ受信中表示ビットです。 0: データ受信停止中(初期値) 1: データ受信
4	Un1TXF	半二重通信モードにおける UARTn1 のデータ送信中表示ビットです。 0: データ送信停止中(初期値) 1: データ送信
3	Un1FUL	半二重通信モードにおける UARTn1 の送受信バッファの状態を示すビットです。 半二重通信モードを選択時、送信モード時に送信データを SDnBUFH に書き込むと“1”になり、その送信データがシフトレジスタに転送されると“0”になります。連続して送信する場合は、Un1FUL ビットが“0”になるのを確認してから次の送信データを SDnBUFH に書き込んでください。 Un1FUL ビットに“1”を書き込むと、強制的に“0”にリセットされます。 Un1FUL ビットは、受信モード時に“0”に固定されます。 0: 送受信バッファにデータなし(初期値) 1: 送受信バッファにデータあり
2	Un1PER	半二重通信モードの UARTn1 のパリティエラーを示すビットです。 受信したデータのパリティとデータに付加されてきたパリティビットを比較し、一致していない場合は“1”になります。Un1PER ビットに“1”を書き込むと、強制的に“0”にリセットされます。 Un1PER ビットは、送信モード時に“0”に固定されます。 0: パリティエラーなし(初期値) 1: パリティエラーあり

ビット 番号	ビットシンボル 名	説明
1	Un1OER	<p>半二重通信モードの UARTn1 のオーバランエラーを示すビットです。</p> <p>シリアル通信 n 送受信バッファ H(SDnBUFH)の受信データを読み出す前に次の受信データを受信すると“1”になります。</p> <p>Un1OER ビットに“1”を書き込むと、強制的に“0”にリセットされます。正しくオーバーランエラー判定するために、Un1OER ビットが“1”のとき、あるいは受信バッファを読み出した後に“1”を書き込んでください。</p> <p>Un1OER ビットは、全二重通信モード時、および半二重通信の送信モード時に“0”に固定されます。</p> <p>0: オーバランエラーなし(初期値) 1: オーバランエラーあり</p>
0	Un1FER	<p>半二重通信モードの UARTn1 のフレーミングエラーを示すビットです。</p> <p>ストップビットでエラーが発生した場合は“1”になります。</p> <p>Un1FER ビットに“1”を書き込むと、強制的に“0”にリセットされます。</p> <p>Un1FER ビットは、全二重通信モード時、および半二重通信の送信モード時に“0”に固定されます。</p> <p>0: フレーミングエラーなし(初期値) 1: フレーミングエラーあり</p>

【注意】

- Un1OER ビットは、Un1EN ビットにより受信を停止し再開した場合でも、前回の受信データが読み出されていないならば“1”になりますので、SDnBUFHを読み出してからUn1ENビットを“1”にするか、もしくは受信が完了した際はそのデータが不要の場合でも必ずSDnBUFHを読み出してください。
- スタートビットでエラーが発生すると、受信待ち状態に戻ります。
- Un1FER ビット、Un1OER ビット、Un1PER、Un1FUL ビットはバイトアクセスで書き込みしてください。

11.3 動作説明

11.3.1 同期式シリアルポート (SSIO)

11.3.1.1 送信動作タイミング

図 11-2 にクロックタイプ 0(正論理), 図 11-3 にクロックタイプ 0(負論理), 図 11-4 にクロックタイプ 1(正論理), 図 11-5 にクロックタイプ 1(負論理)の同期式シリアルポートの送信動作波形(8ビット長, LSB ファースト時)を示します。

ただし, スレーブモードのクロックタイプ 1 時の SnTXF が“1”になるタイミングについては「11.3.1.6 クロックタイプ 1 のスレーブモード時のタイミング」を参照してください。

通信停止 (SnEN=“0”)は, 送信完了 (SnTXF=“0”)を確認した後に行ってください。

送信完了後の SUn_SOUT の値は, 16ビット長の場合は, “1”になります。8ビット長の場合, LSB ファースト時は, SDnBUF レジスタのビット 8 の値になります。MSB ファースト時は, “0”になります。

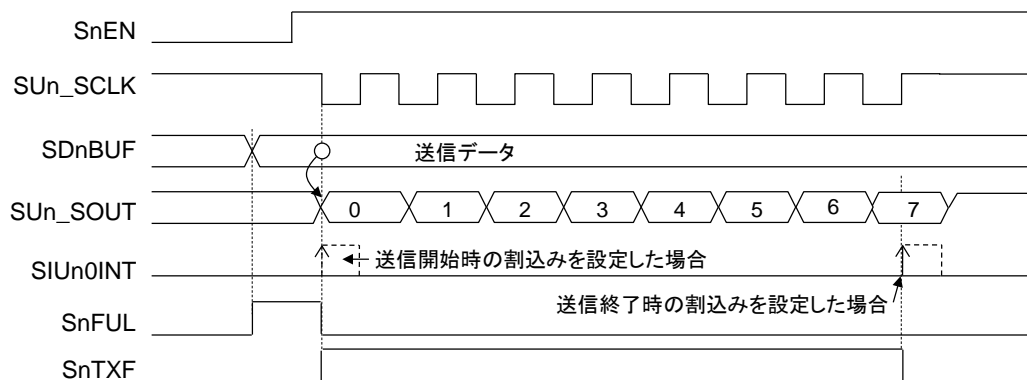


図 11-2 クロックタイプ 0(正論理)の同期式シリアルポートの送信動作波形
(8ビット長, LSB ファースト時)

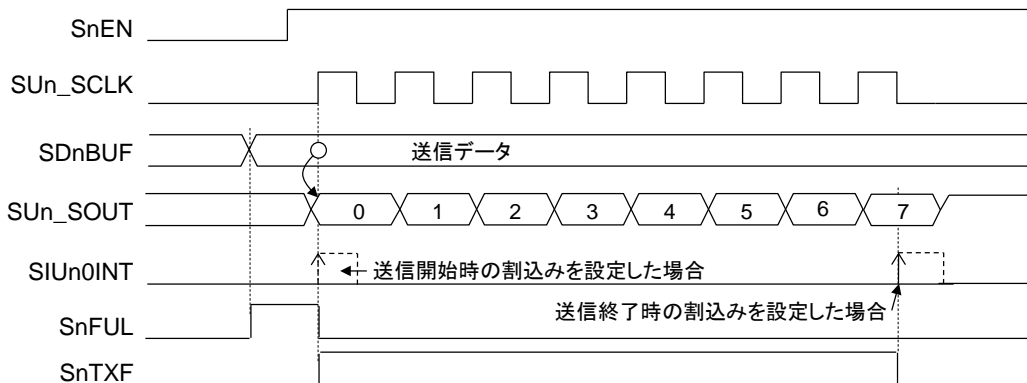


図 11-3 クロックタイプ 0(負論理)の同期式シリアルポートの送信動作波形
(8ビット長, LSB ファースト時)

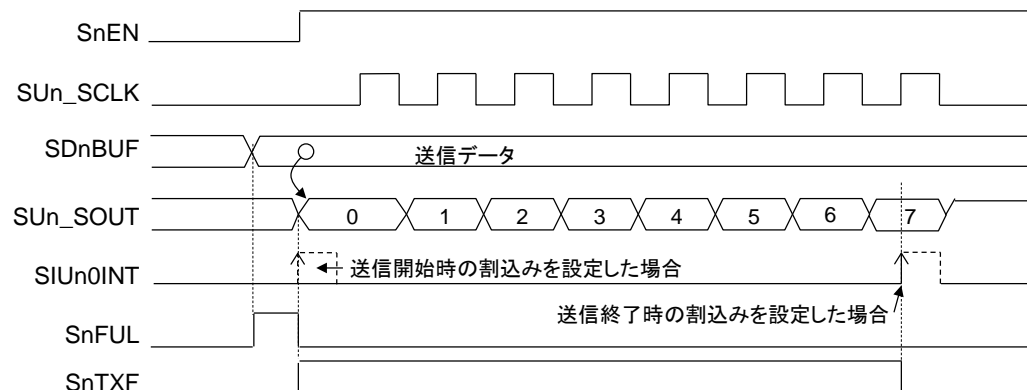
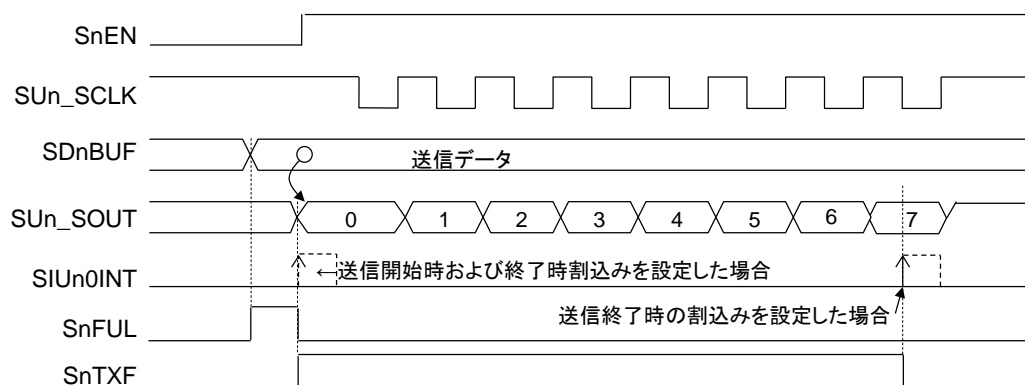


図 11-4 クロックタイプ 1 (正論理) の同期式シリアルポートの送信動作波形
(8 ビット長, LSB ファースト時)図 11-5 クロックタイプ 1 (負論理) の同期式シリアルポートの送信動作波形
(8 ビット長, LSB ファースト時)

11.3.1.2 受信動作タイミング

図 11-6 にクロックタイプ 0(正論理), 図 11-7 にクロックタイプ 0(負論理), 図 11-8 にクロックタイプ 1(正論理), 図 11-9 にクロックタイプ 1(負論理)の同期式シリアルポートの受信動作波形(8 ビット長, MSB ファースト時)を示します。ただし, スレーブモードのクロックタイプ 1 時の SnRXF が“1”になるタイミングについては「11.3.1.6 クロックタイプ 1 のスレーブモード時のタイミング」を参照してください。

SUn_SCLK はSDnBUF にダミーの送信データを書き込みすることで出力されます。よって, 受信するためにはダミーの書き込みが必要です。

受信時にフレーム間隔を設定したい場合, 送受信モードをお使いください。

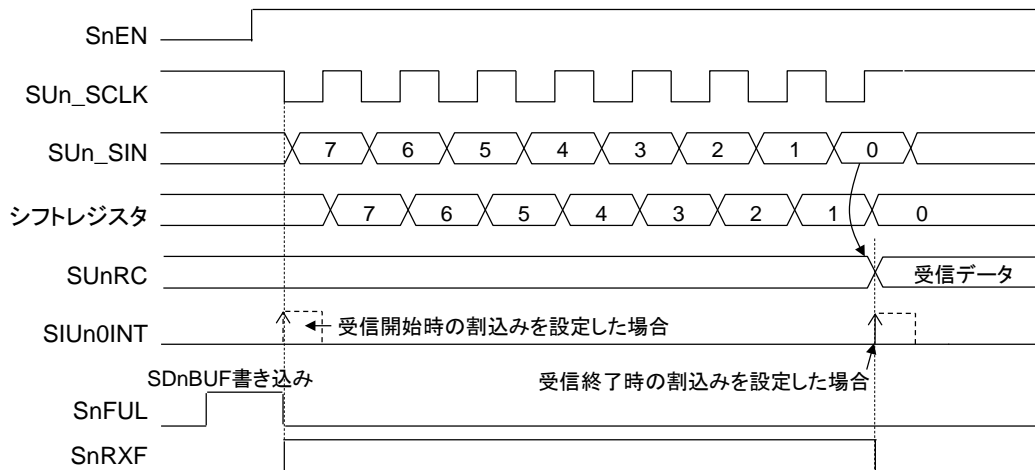


図 11-6 クロックタイプ 0(正論理)の同期式シリアルポートの受信動作波形
(8 ビット長, MSB ファースト時)

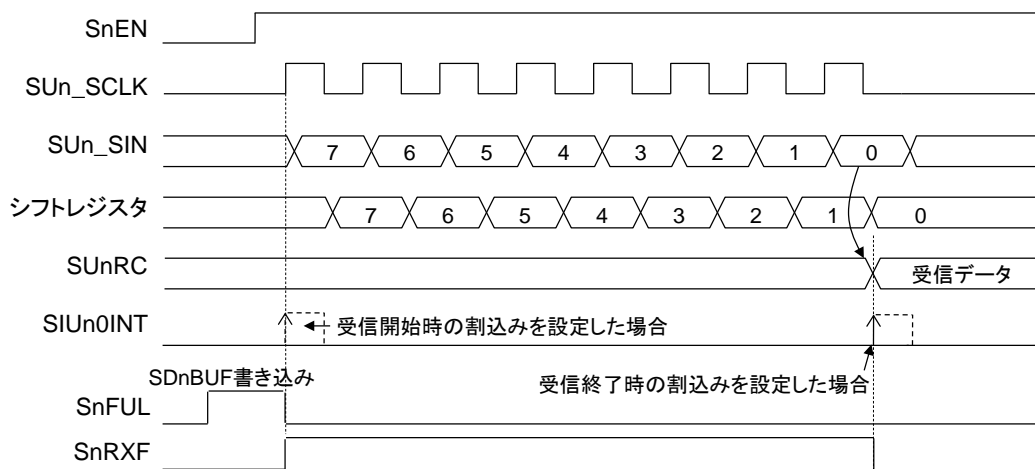


図 11-7 クロックタイプ 0(負論理)の同期式シリアルポートの受信動作波形
(8 ビット長, MSB ファースト時)

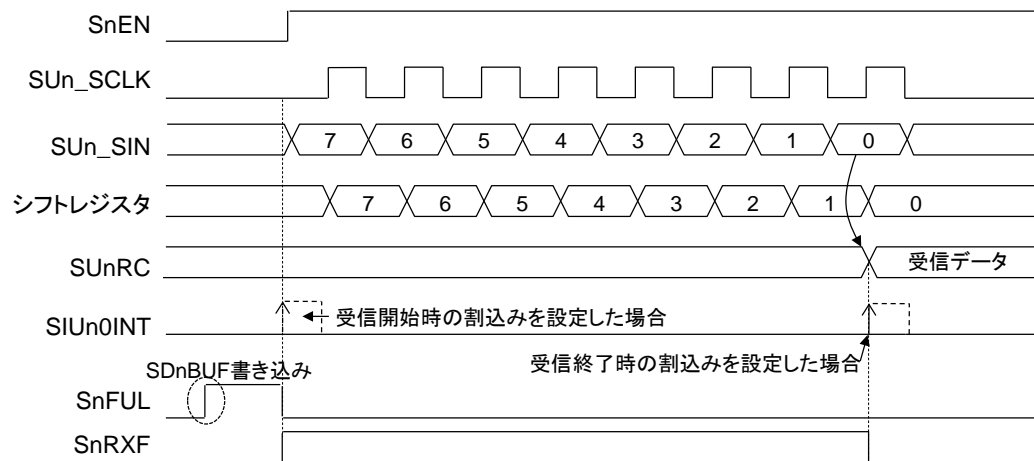


図 11-8 クロックタイプ 1 (正論理) の同期式シリアルポートの受信動作波形
(8 ビット長, MSB ファースト時)

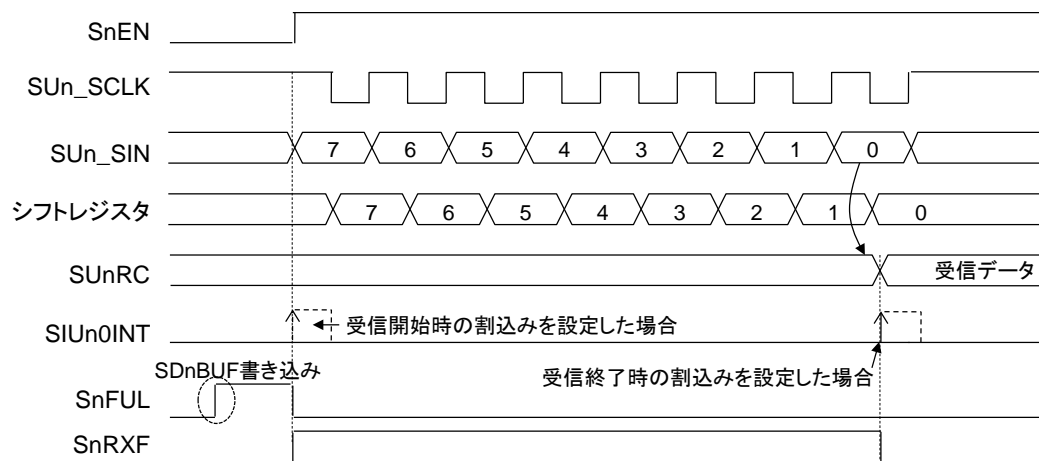


図 11-9 クロックタイプ 1 (負論理) の同期式シリアルポートの受信動作波形
(8 ビット長, MSB ファースト時)

11.3.1.3 送受信動作タイミング

図 11-10 に同期式シリアルポートの送受信動作波形(16 ビット長, MSB ファースト時, クロックタイプ 0)を示します。送受信完了後の SUn_SOUT の値は, 16 ビット長の場合は, “1”になります。8 ビット長の場合, LSB ファースト時は, SDnBUF レジスタのビット 8 の値になります。MSB ファースト時は, “0”になります。

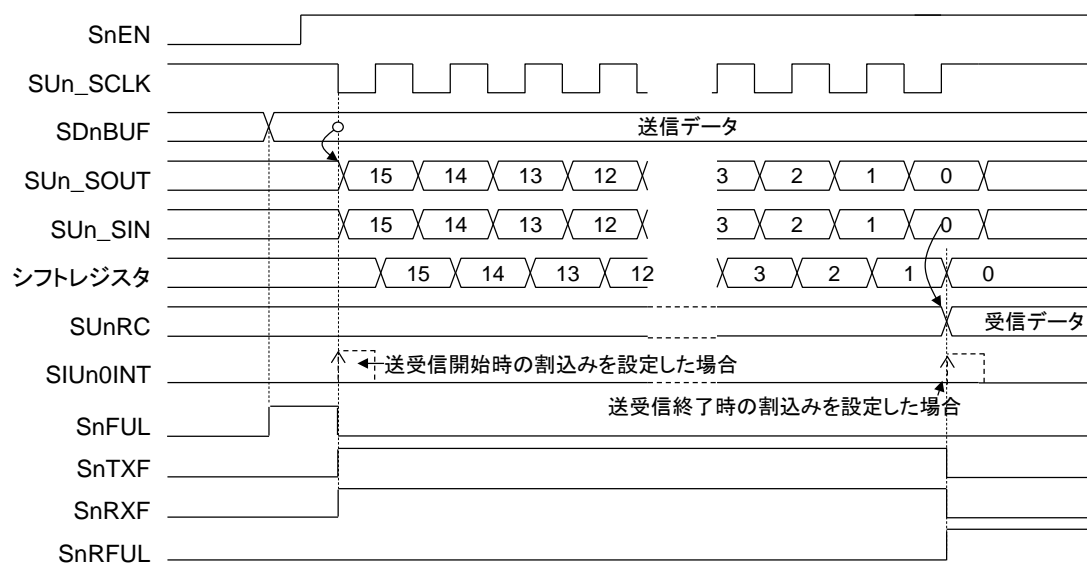


図 11-10 クロックタイプ 0(正論理)の同期式シリアルポートの受信動作波形
(16 ビット長, MSB ファースト時)

11.3.1.4 割込みタイミグ

表 11-5 に同期式シリアルポートモード時の割込み発生タイミングを示します。

表 11-5 同期式シリアルポートモード時の割込み発生タイミング (1/2)

■ マスタモード時

動作モード	割込み設定	送信間隔設定	SnFUL	割込み発生タイミング (図中の “ ” 箇所)
送信	送信開始時	あり	データあり	
		なし	データあり	
		あり/なし	データなし	
受信	受信開始時	-	データあり	
			データなし	
	受信終了時	-	データあり	
			データなし	
送受信	送信開始/受信開始時	あり	データあり	
		なし	データあり	
		あり/なし	データなし	
	送信開始/受信終了時	あり	データあり	
		なし	データあり	
		あり/なし	データなし	

表 11-5 同期式シリアルポートモード時の割込み発生タイミング (2/2)

■スレーブモード時

動作モード	割込み設定	送信間隔設定	データ間隔	割込み発生タイミング (図中の “ ” 箇所)
送信	送信開始時	-	あり	
		-	なし	
受信	受信開始時	-	なし	
			あり	
	受信終了時	-	なし	
			あり	
送受信	送信開始/受信開始時	-	あり	
		-	なし	
	送信開始/受信終了時	-	あり	
		-	なし	

11.3.1.5 DMA 要求タイミング

表 11-6 に同期式シリアルポートモード時の DMA 要求タイミングを示します。

表 11-6 同期式シリアルポートモード時の DMA 要求タイミング

■ マスタモード時

動作モード	DMA要求設定	送信間隔設定	SnFUL	DMA要求発生タイミング(図中の“ ”箇所)
送信	送信開始時	あり	データあり	
		なし	データあり	
		あり/なし	データなし	
受信	受信終了時	-	データあり	
		-	データなし	

■ スレーブモード時

動作モード	DMA要求設定	送信間隔設定	データ間隔	DMA要求発生タイミング(図中の“ ”箇所)
送信	送信開始時	-	あり	
		-	なし	
受信	受信終了時	-	なし	
		-	あり	

11.3.1.6 クロックタイプ 1 のスレーブモード時のタイミング

基本的にはマスタモードとスレーブモードは同じタイミングで動作しますが、スレーブモードのクロックタイプ 1 の場合は、マスタからクロックがいつ供給されても動作できるように前データ転送が終わった直後から次の転送の準備を開始します。よって、送信アンダランエラーは SnEN を”1”にしたとき、または各データの送信完了時に判定されます。

図 11-11 に同期式シリアルポートの送受信動作波形(8 ビット長、クロックタイプ 1)を示します。

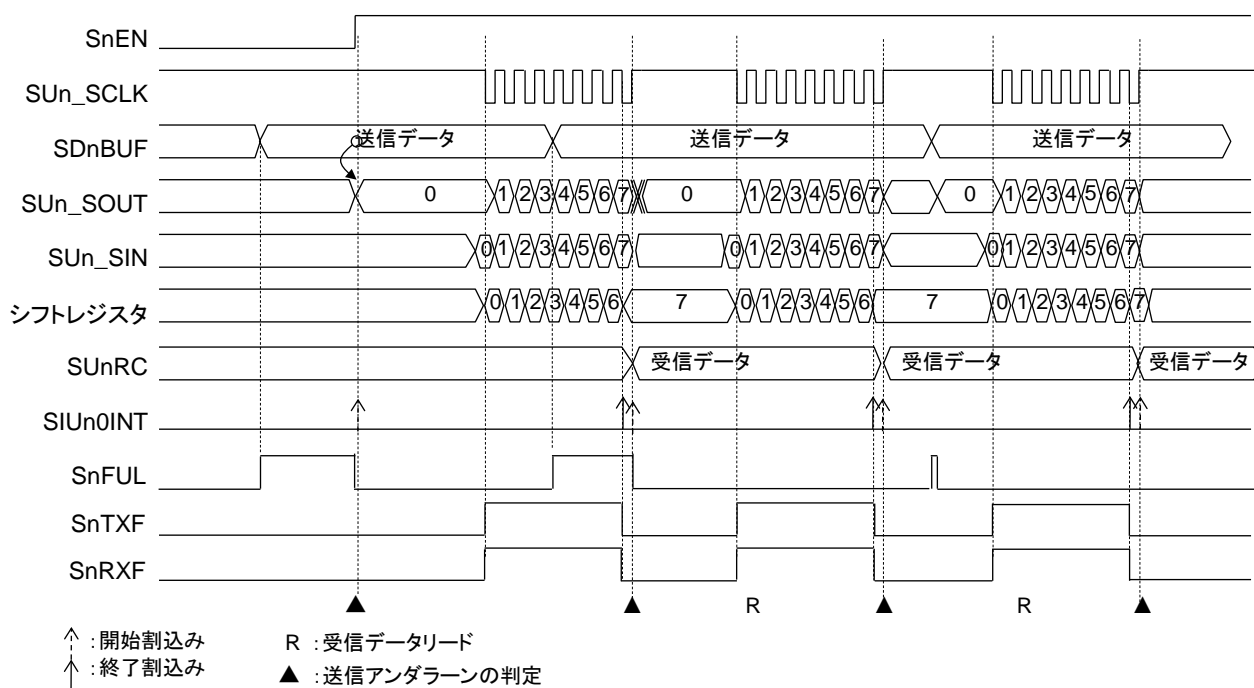


図 11-11 クロックタイプ 1 (正論理) のスレーブモード時の同期式シリアルポートの送受信動作波形

【注意】

- 「送信終了時に割込みを発生」(SUnTIMD=0)を選択した場合、実際に転送が開始されるまで(外部クロックが供給されるまで)は転送バッファへデータを書き込むことが可能です。その場合は転送開始直前に書込まれたデータが転送されます。データを確実に送信するためには、SnEN が“0”の時、もしくは前のデータの転送中(SnTXF=1)に送信データを書き込むことを推奨します。

11.3.2 調歩同期式シリアル・インタフェース（UART）

11.3.2.1 転送データフォーマット

スタートビット、データビット、パリティビット、ストップビットまでを 1 フレームとしたフォーマットとなります。このフォーマットにおいて、データビットは 5～8 ビットが選択可能、パリティビットは、パリティビットの有無、偶数／奇数パリティ、パリティ“1”固定、“0”固定の選択が可能、ストップビットは 1 ストップビット、2 ストップビット、転送方向は LSB ファースト、MSB ファーストが選択可能、また、シリアル入出力の論理は、正論理、負論理が選択可能です。

これらは、すべて UARTn0 モードレジスタ(UAn0MOD), UARTn1 モードレジスタ(UAn1MOD) で設定します。

図 11-12 に正論理入出力のフォーマットを、図 11-13 に負論理入出力のフォーマットを示します。

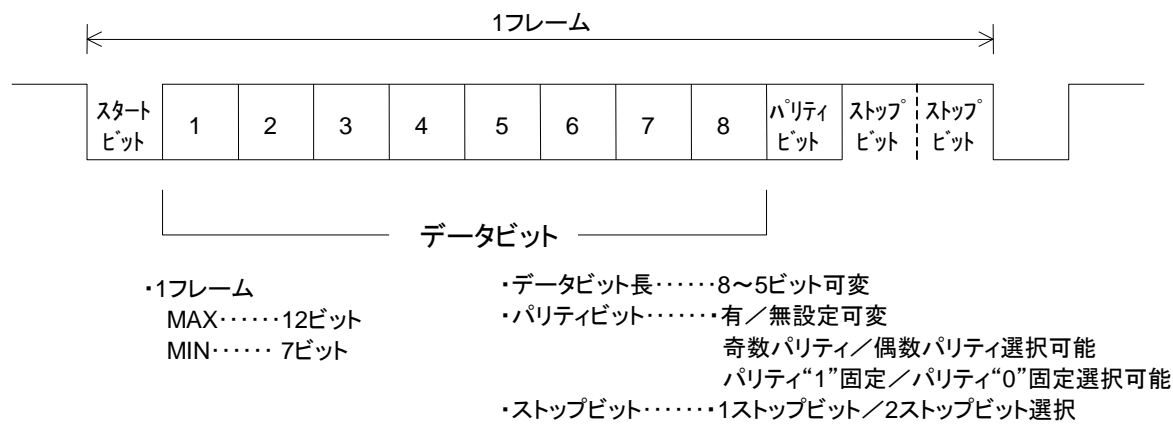


図 11-12 正論理入出力のフォーマット(LSB ファースト)

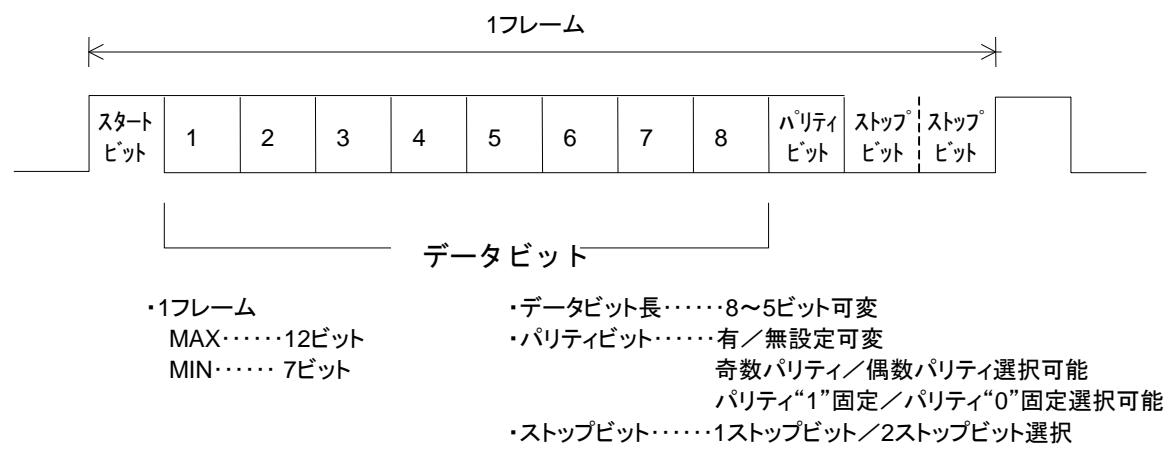


図 11-13 負論理入出力のフォーマット(LSB ファースト)

11.3.2.2 ボーレート

ボーレートジェネレータは、UARTn0 モードレジスタ(UAn0MOD), UARTn1 モードレジスタ(UAn1MOD)で選択されたベースクロックを元にボーレートを発生させます。UARTn0 ボーレートレジスタ(UAn0BRT), UARTn1 ボーレートレジスタ(UAn1BRT), および UARTn0 ボーレート補正レジスタ(UAn0BRC), UARTn1 ボーレート補正レジスタ(UAn1BRC)の設定値は、次式で表されます。

$$\begin{aligned} \text{UAn0BRT, UAn1BRT} &= \text{ROUNDDOWN}(\text{ベースクロック周波数[Hz]} \div \text{ボーレート[bps]}) - 1 \\ \text{UAn0BRC, UAn1BRC} &= \text{ROUND}((\text{ベースクロック周波数[Hz]} \% \text{ボーレート[bps]}) \times 8 \div \text{ボーレート[bps]}) \end{aligned}$$

ここで、ROUNDDOWN は小数点以下切り捨て、ROUND は小数点以下四捨五入、%は剰余を示します。

UAn0BRC,UAn1BRC の設定範囲は 0~7 です。UAn0BRC,UAn1BRC の計算値が 8 になる場合は、UAn0BRT,UAn1BRT を+1 して、UAn0BRC,UAn1BRC の設定値は 0 にしてください。

ML62Q1500C/ML62Q1700C グループでは CPU の動作クロック設定を 24MHz とした場合、通常は UART のボーレートを計算する際のベースクロック周波数は 23.986176MHz として設定値を計算しています(16MHz 時は、15.990784MHz)。この値は「内蔵発振+PLL 発振の設定中央値」となります。LSI 個体ごとに周波数を測定して、中央値に補正すると LSI 個体ごとの誤差を小さくできます。

例: ベースクロック周波数: 約 24MHz (23.986176MHz), ボーレート: 115,200bps の場合

$$\begin{aligned} \text{UAn0BRT, UAn1BRT} &= 23.986176\text{MHz} \div 115,200\text{bps} - 1 \\ &= 208.21333\cdots - 1 = 207 \text{ (小数点以下切り捨て)} \\ &= 0x00CF \end{aligned}$$

$$\begin{aligned} \text{UAn0BRC, UAn1BRC} &= (23.986176\text{MHz} \% 115,200\text{bps}) \times 8 \div \text{ボーレート(bps)} \\ &= (24576 \times 8) \div 115,200 \\ &= 196608 \div 115,200 \\ &= 1.70666\cdots = 2 \text{ (四捨五入の結果)} \\ &= 0x02 \end{aligned}$$

ボーレートの設定値から求められる実際のボーレートは次式で表されます。

$$\begin{aligned} \text{実際のボーレート(bps)} &= [\text{ベースクロック周波数}] \div \{(\text{UAn0BRT} + 1) + (\text{UAn0BRC} \div 8)\} \\ \text{実際のボーレート(bps)} &= [\text{ベースクロック周波数}] \div \{(\text{UAn1BRT} + 1) + (\text{UAn1BRC} \div 8)\} \end{aligned}$$

例: ベースクロック周波数: 約 24MHz (23.986176MHz), ボーレート理想値: 1200bps の場合

$$\begin{aligned} \text{実際のボーレート(bps)} &= 23.986176\text{MHz} \div \{(0x4E13 + 1) + (0x04 \div 8)\} \\ &\approx 1199.99 \end{aligned}$$

表 11-7 に代表的なボーレートのカウント値を示します。

表 11-7 代表的なボーレートのカウント値(1/2)

ベースクロック	ボーレート	UAn0BRT UAn1BRT	UAn0BRC UAn1BRC	実際の ボーレート
約 24MHz (約 23.986176MHz)	1,200bps	0x4E13	0x04	1199.99bps
	2,400bps	0x2709	0x02	2399.99bps
	4,800bps	0x1384	0x01	4799.99bps
	9,600bps	0x09C1	0x04	9600.23bps
	19,200bps	0x04E0	0x02	19200.46bps
	38,400bps	0x026F	0x05	38400.92bps
	57,600bps	0x019F	0x03	57607.14bps
	115,200bps	0x00CF	0x02	115179.71bps

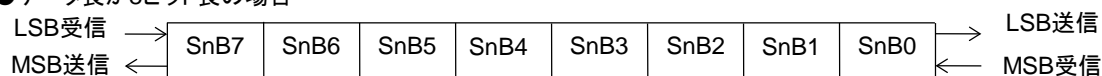
表 11-7 代表的なボーレートのカウント値 (2/2)

ベースクロック	ボーレート	UAn0BRT UAn1BRT	UAn0BRC UAn1BRC	実際の ボーレート
約 16MHz (約 15.990784MHz)	300bps	0xD035	0x05	299.99bps
	1,200bps	0x340C	0x05	1200.00bps
	2,400bps	0x1A05	0x07	2399.98bps
	4,800bps	0x0D02	0x03	4800.05bps
	9,600bps	0x0680	0x06	9599.75bps
	19,200bps	0x033F	0x07	19199.50bps
	38,400bps	0x019F	0x03	38404.76bps
	57,600bps	0x0114	0x05	57598.50bps
	115,200bps	0x0089	0x06	115248.89bps
約 32.768kHz	200bps	0x00A2	0x07	199.95bps
	300bps	0x006C	0x02	299.93bps
	1,200bps	0x001A	0x02	1202.49bps
	2,400bps	0x000C	0x05	2404.99bps
	4,800bps	0x0005	0x07	4766.25bps

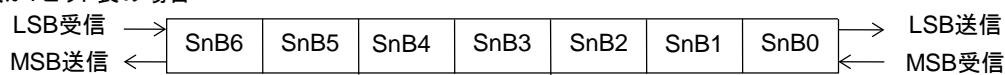
11.3.2.3 送受信データ方向

図 11-14 に、送受信バッファと送受信データの関係を示します。

●データ長が8ビット長の場合

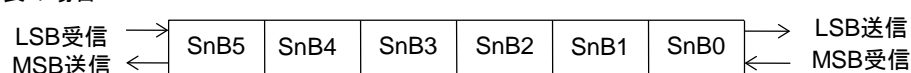


●データ長が7ビット長の場合



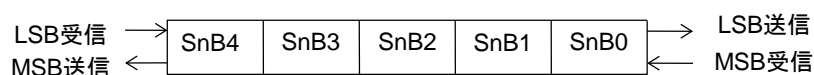
受信完了時SnB7は“0”

●データ長が6ビット長の場合



受信完了時SnB7, SnB6は“0”

●データ長が5ビット長の場合



受信完了時SnB7, SnB6, SnB5は“0”

図 11-14 送受信バッファと送受信データの関係

【注意】

- 受信モード時に SUn_TXDn 端子を兼用機能に設定した場合、SUn_TXDn 端子からは“H”レベルが出力されます。

11.3.2.4 送信動作

UART 全二重通信モードの送信手順を以下に示します。図 11-15 に送信時の動作タイミングを示します。

- 通信の準備(全二重通信の送信・受信共通設定)
 - － シリアル通信ユニット n モードレジスタ(SUnMOD)で全二重通信モードを選択します。
 - － 送信間隔機能を使用する場合、シリアル通信ユニット n 送信間隔設定レジスタ(SUnDLYL)を設定します。
 - － UART n 0 モードレジスタ(UAn0MOD)で通信モードを選択します。
 - － UART n 0 ボーレートレジスタ(UAn0BRT)および UART n 0 ボーレート補正レジスタ(UAn0BRC)でボーレートを設定します。
 - － UART 通信に使用する汎用ポートの兼用機能に設定し、端子モードを選択します。
 - － シリアル通信ユニット n 0, 1 割込みの要求ビットをクリアします。(QSIUn0=0, QSIUn1=0)
 - － シリアル通信ユニット n 0, 1 割込みの割込みを許可します。(ESIUn0=1, ESIUn1=1)
 - － オーバランエラーの誤検出を防止するため、SDnBUFH を読み出します。読み出したデータは不要です。
 - － UART n 0 ステータスレジスタ(UAn0STAT)に“0xFF”を書き込み、各種フラグをクリアします。
- 送信の開始
 - － シリアル通信ユニット n コントロールレジスタ(SUnCON)の Un0EN を“1”にし(①), 送受信を許可します。
 - － SDnBUFH に送信データを書き込むと(②), UAn0STAT の Un0FUL ビットが“1”にセットされ、ボーレートジェネレータが内部転送クロックを生成し、送信を開始します。
 - － 送信が開始されると、内部転送クロックの立ち下がりエッジで、SUn_TXD1 端子にスタートビットが出力され、同時に Un0FUL ビットが“0”になります(③)。
 - － この時、シリアル通信ユニット n モードレジスタ(SUnMOD)で、データ送信開始時および終了時に割込みの発生を選択した場合、シリアル通信ユニット n 1 割込み(SIUn1INT)が発生します。
- 連続送信
 - － 前のデータ送信終了後に Un0FUL ビットが“0”になり、シリアル通信ユニット n 1 割込み(SIUn1INT)発生を確認して、次に送信するデータを SDnBUFH に書き込みます(④)。書き込みにより Un0FUL ビットが“1”にセットされます。次に送信するデータを送受信バッファ書き込み有効期間内(⑤)内に書き込むと、連続送信が可能です。
 - － 最初の送信データのストップビット送信が終了すると(⑥), Un0FUL ビットが“1”にセットされている場合は送信を継続し、同時にシリアル通信ユニット n 1 割込み(SIUn1INT)が発生します。
- 送信終了
 - － 次に送信するデータを書き込まずに、送信が完了すると(⑦), 送信が停止し、同時にシリアル通信ユニット n 1 割込み(SIUn1INT)が発生します。
 - － 送信を継続したい場合は、SDnBUFH に送信データを書き込んでください。UART 送受信をすべて停止する場合は、シリアル通信ユニット n コントロールレジスタ(SUnCON)の Un0EN ビットを“0”に設定してください。

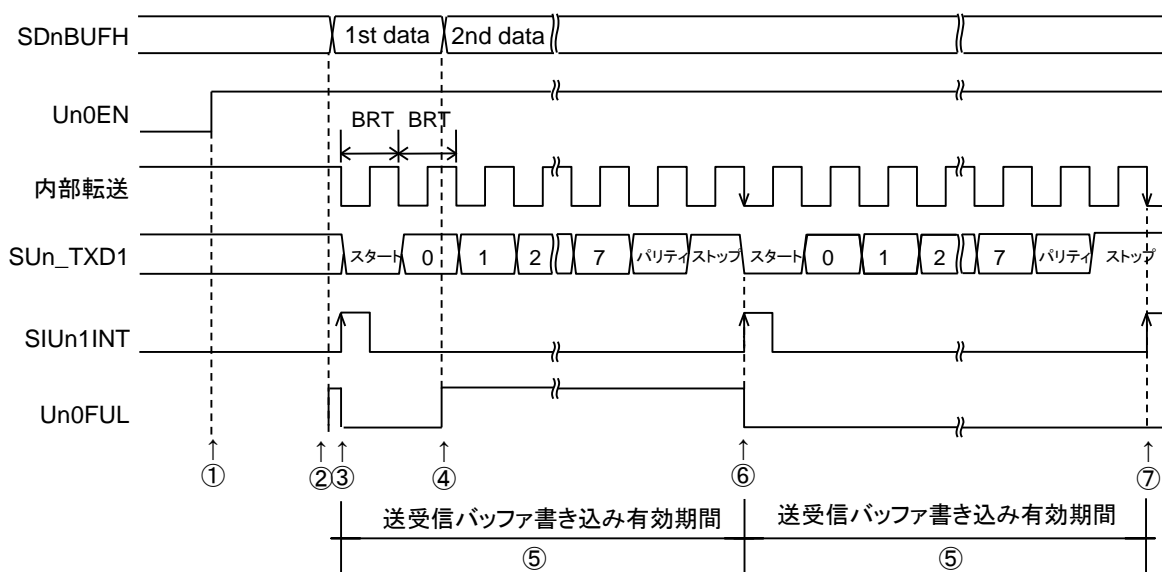


図 11-15 送信時の動作タイミング

11.3.2.5 受信動作

UART 全二重通信モードの受信手順を以下に示します。図 11-16 に受信時の動作タイミングを示します。

- 通信の準備(全二重通信の送信・受信共通設定)
 - シリアル通信ユニット n モードレジスタ(SUnMOD)で全二重通信モードを選択します。
 - 送信間隔機能を使用する場合、シリアル通信ユニット n 送信間隔設定レジスタ(SUnDLYL)を設定します。
 - UART n 0 モードレジスタ(UAn0MOD)で通信モードを選択します。
 - UART n 0 ボーレートレジスタ(UAn0BRT)および UART n 0 ボーレート補正レジスタ(UAn0BRC)でボーレートを設定します。
 - UART 通信に使用する汎用ポートの兼用機能に設定し、端子モードを選択します。
 - シリアル通信ユニット n 0, 1 割込みの要求ビットをクリアします。(QSIUn0=0, QSIUn1=0)
 - シリアル通信ユニット n 0, 1 割込みの割込みを許可します。(ESIUn0=1, ESIUn1=1)
 - オーバランエラーの誤検出を防止するため、SDnBUFL を読み出します。読み出したデータは不要です。
 - UART n 0 ステータスレジスタ(UAn0STAT)に“0xFF”を書き込み、各種フラグをクリアします。
- 受信の開始
 - シリアル通信ユニット n コントロールレジスタ(SUnCON)の Un0EN を“1”にし(①), 送受信を許可します。
 - SUn_RXD0 端子に入力されるスタートビットの検出を開始します。
 - SUn_RXD0 端子の“L”レベルを検出すると(②), ボーレートジェネレータが転送クロックの生成を開始します。
スタートビットの中央で“H”レベルを受信すると、誤作動と判断しスタートビットの検出に戻ります。
スタートビットの中央で“L”レベルを受信すると受信動作を開始し、内部転送クロックの立ち上がりエッジで SUn_RXD0 端子に入力されるデータをシフトレジスタに取り込んでいきます。
 - 受信データおよびパリティビットの取り込みが終了すると、SDnBUFL に転送されます。(③)
 - ストップビットの中央で(④), シリアル通信ユニット n 0 割込み(SIUn0INT)が発生し、フレーミングエラー(ストップビットエラー)とパリティビットエラーを判断し、エラーがあった場合は UART n 0 ステータスレジスタ(UAn0STAT)の当該ビット(Un0FER, Un0PER)を“1”にセットします。また、同時に次のスタートビットの検出に移行します。
 - 連続して受信する場合に、受信データ(SDnBUFL)を CPU が読み出す前に、次に受信したデータが SDnBUFL に上書きされてしまうと、UAn0STAT レジスタのオーバランエラー(Un0OER)ビットが“1”になります。
- 受信終了
 - UART 受信を終了する場合は、SUnCON レジスタの Un0EN ビットを“0”に設定してください。受信途中で Un0EN ビットを“0”にリセットした場合には、受信データは破壊される場合があります。

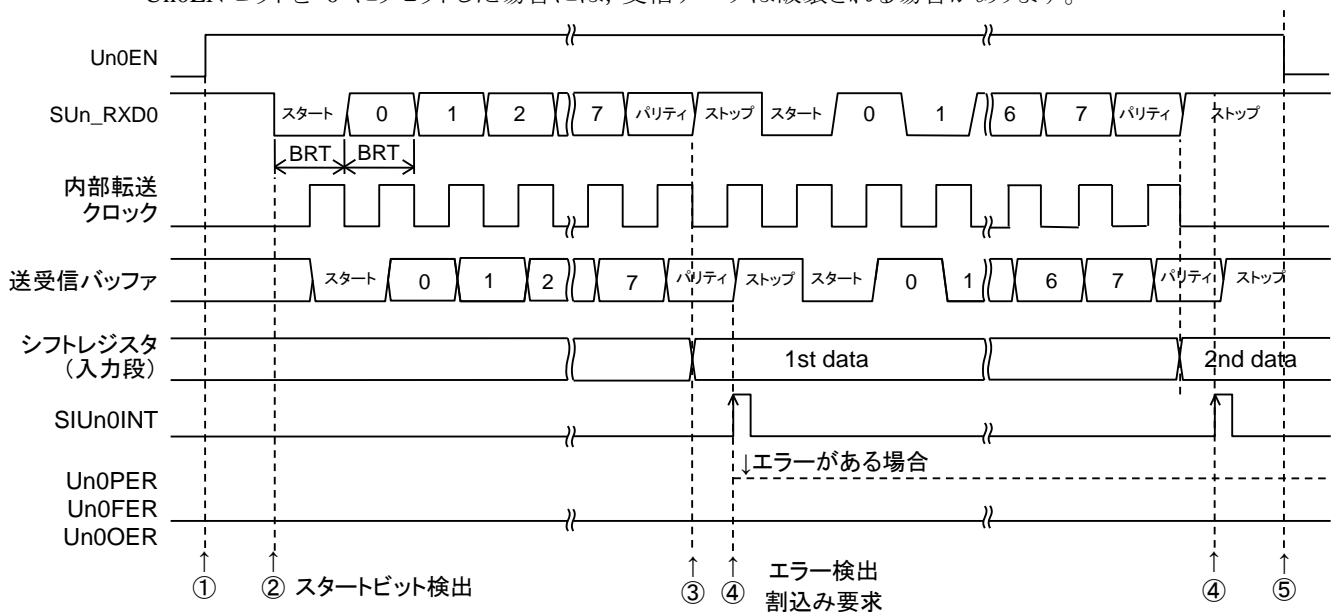


図 11-16 受信時の動作タイミング

11.3.2.6 割込み発生タイミング

表 11-8 に UART モード時の割込み発生タイミングを示します。

表 11-8 UART モード時の割込み発生タイミング

動作モード	割込み設定	送信間隔設定	SnFUL	割込み発生タイミング(図中の“ ”箇所)
送信	送信開始時	あり	データあり	
		なし	データあり	
		あり/なし	データなし	
動作モード	割込み設定	送信間隔設定	データ間隔	割込み発生タイミング(図中の“ ”箇所)
受信	受信終了時	-	なし	
		-	あり	

11.3.2.7 DMA 要求タイミング

表 11-9 に UART モード時の割込み発生タイミングを示します。

表 11-9 UART モード時の DMA 要求タイミング

動作モード	DMA要求設定	送信間隔設定	SnFUL	DMA要求発生タイミング(図中の“ ”箇所)
送信	送信開始時	あり	データあり	
		なし	データあり	
		あり/なし	データあり	
動作モード	割込み設定	送信間隔設定	データ間隔	DMA要求発生タイミング(図中の“ ”箇所)
受信	受信終了時	-	なし	
		-	あり	

11.3.2.8 スタートビットの検出

スタートビットは、ボーレートジェネレータのベースクロックでサンプリングされます。したがって、スタートビットの検出は、ボーレートジェネレータクロックの最大 1 周期分遅れる可能性があります。

図 11-17 に、スタートビット検出タイミングを示します。

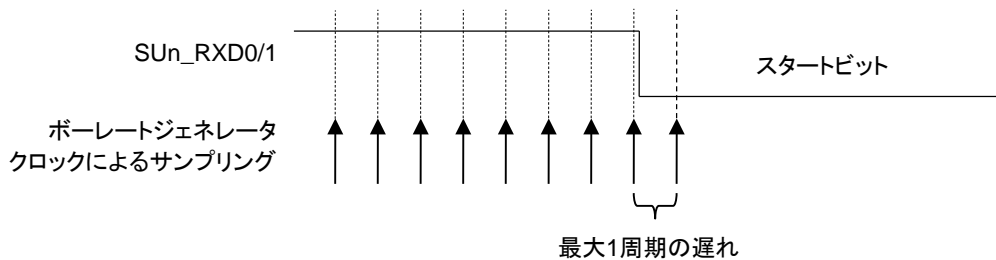


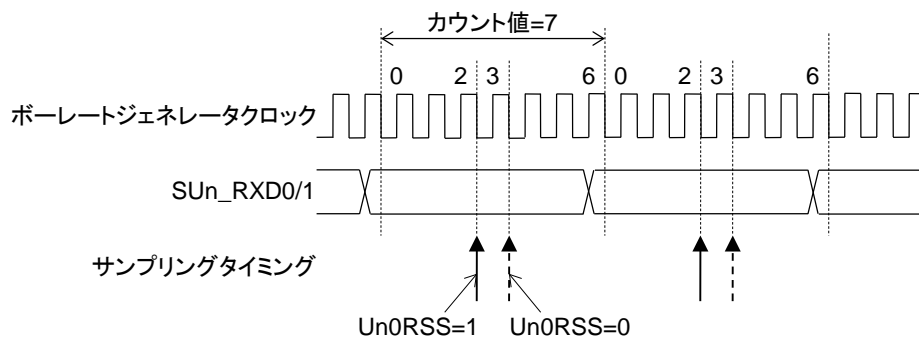
図 11-17 スタートビット検出タイミング (正論理の場合)

11.3.2.9 サンプリングタイミング

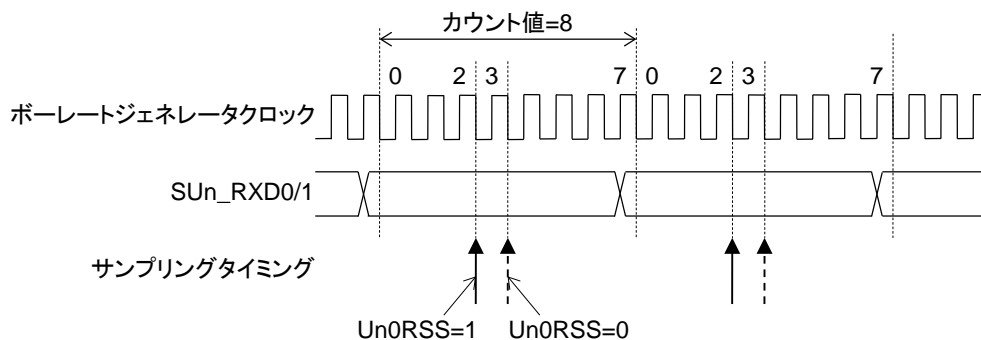
スタートビットが検出されると、SUn_RXD0/1 に入力された受信データは、ボーレートのほぼ中央でサンプリングされ、シフトレジスタに取り込まれます。

このシフトレジスタの取り込むサンプリングタイミングは、UARTn0 モードレジスタ(UAn0MOD)の Un0RSS ビット、UARTn1 モードレジスタ(UAn1MOD)の Un1RSS ビットにより、ボーレートジェネレータクロックで 1 クロック分調整できます。

図 11-18 に、UARTn0 の Un0RSS ビットとサンプリングタイミングの関係を示します。



(1) ボーレートジェネレータカウンタ値が「7」(奇数)の場合



(2) ボーレートジェネレータカウンタ値が「8」(偶数)の場合

図 11-18 Un0RSS ビットとサンプリングタイミングの関係

11.3.2.10 受信マージン

送信元のボーレートとボーレートジェネレータで生成されるボーレートに誤差がある場合は、1 フレーム最後のストップビットの取り込みまで誤差が蓄積され、受信マージンが低下します。
図 11-19 に、ボーレート誤差と受信マージンの波形を示します。

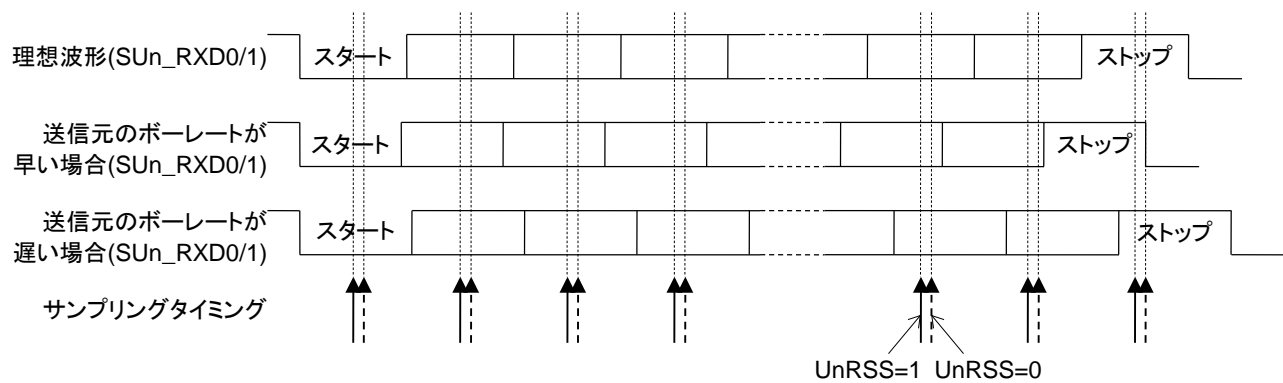


図 11-19 ボーレート誤差と受信マージン

【注意】

- システム設計の際は、送信側と受信側のボーレート差やスタートビット検出の遅れも考慮し、UAn0BRT, UAn1BRT, UAn0BRC, UAn1BRC レジスタでボーレートを合わせ込んでください。

11.3.2.11 半二重 UART 使用時の注意点について

半二重 UART 使用時に送信モードから受信モードに切り替える場合は、ブロックリセットコントロールレジスタ 2 (BRECON2) で SIU の該当チャネルをリセットしてから受信モードへ設定してください。
ブロックリセットコントロールレジスタ 2 によるリセットは SIU ユニートをリセットしますので、同じ SIU ユニートのもう一方の半二重 UART を使用している場合、そちらのチャネルもリセットがかかりますので注意してください。

図 11-20 に、送信モードから受信モードへの切り替えフローを示します。

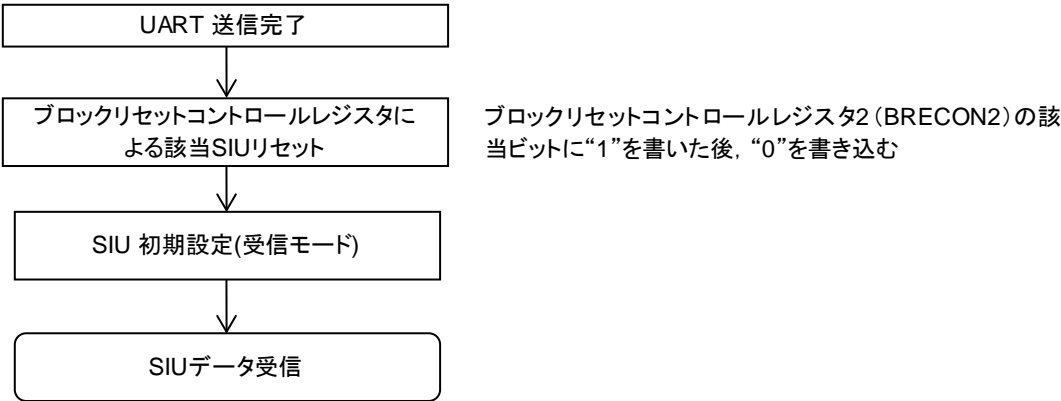


図 11-20 送信モードから受信モードへの切り替えフロー

この処理は受信モードから送信モードに切り替える場合は不要です。

第 12 章 I²C バスユニット

12. I²C バスユニット

12.1 概要

ML62Q1500C/1700C グループは、I²C 仕様に準拠し、マスタ機能およびスレーブ機能の両方に対応した I²C バスユニットを 1 チャンネル内蔵しています。

I²C バスユニットは、マスタ機能またはスレーブ機能のいずれかを選択して使用します。マスタ機能とスレーブ機能を同時に使用することはできません。

表 12-1 に商品毎の搭載チャンネルを示します。

表 12-1 商品毎の搭載チャンネル

チャンネル番号(n)	ML62Q1500C／ML62Q1700C グループ		
	52 ピン製品	64 ピン製品	80 ピン製品
0	●	●	●

12.1.1 特長

マスタ機能、スレーブ機能を選択可能です。表 12-2 に I²C バスユニットの特長を示します。

表 12-2 I²C バスユニットの特徴

機能	動作モード	特長
I ² C バスユニット	マスタ機能	・通信速度は標準モード(100kbps)、ファストモード(400kbps)、独自規格の 1Mbps モード(1Mbps)に対応 ・スレーブのクロックストレッチ機能に対応 ・7ビットアドレスフォーマット(マスタ機能のみ 10ビットアドレスフォーマットに対応可能) ・I ² C バスに送信したデータをリードすることによる自己テスト機能(安全機能)
	スレーブ機能	・通信速度は標準モード(100kbps)、ファストモード(400kbps)、独自規格の 1Mbps モード(1Mbps)に対応 ・クロックストレッチ機能搭載 ・7ビットアドレスフォーマット ・スレーブアドレス一致により STOP モードから復帰可能

12.1.2 構成

図 12-1 に I²C バスユニット回路の構成を示します。

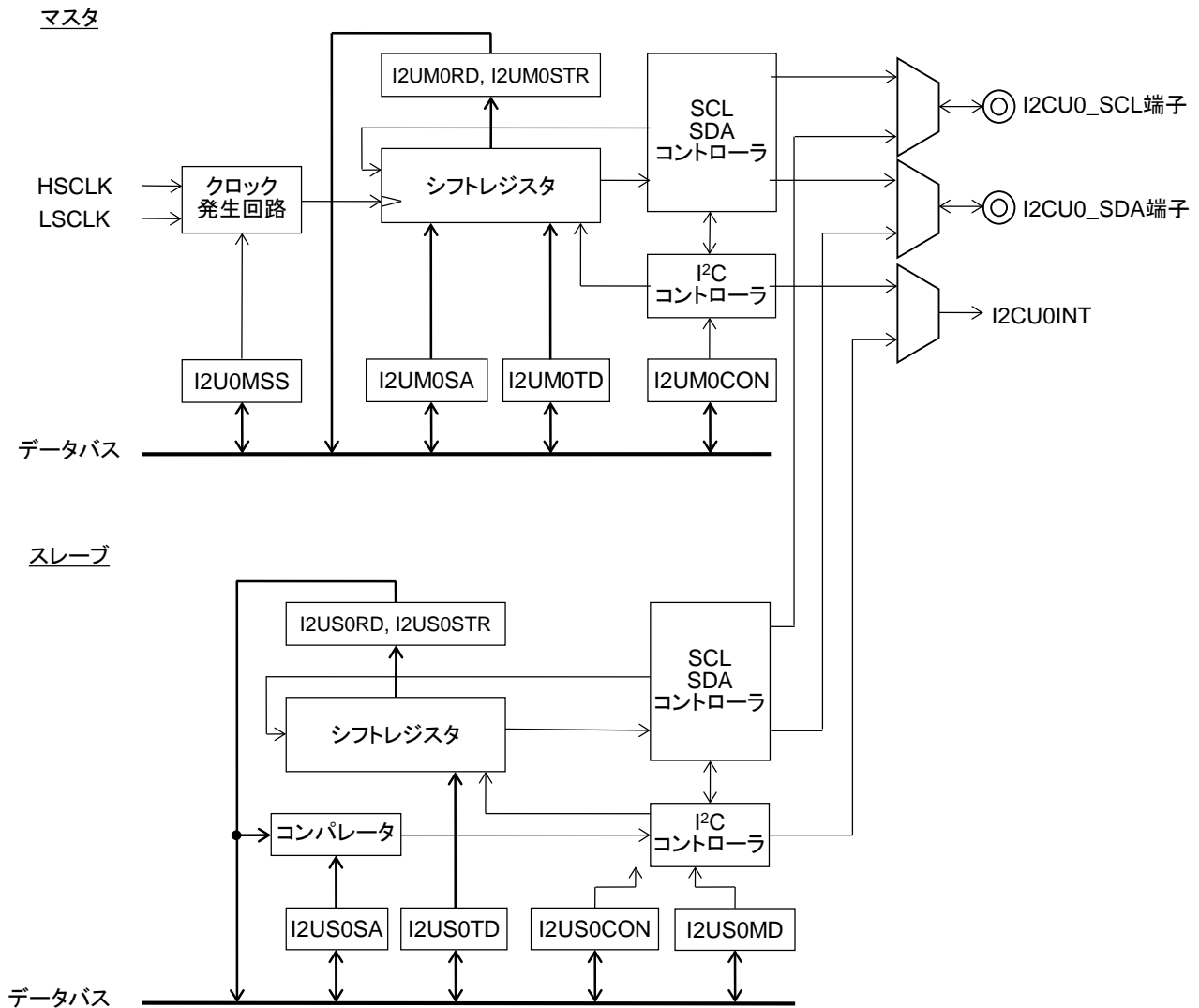


図 12-1 I²C バスユニットの構成

I2CU0_SCL:	シリアルクロック
I2CU0_SDA:	シリアルデータ
I2UM0MSS:	I ² C バスユニット 0 モードレジスタ
I2UM0RD:	I ² C バス 0 受信レジスタ(マスター側)
I2UM0SA:	I ² C バス 0 スレーブアドレスレジスタ(マスター側)
I2UM0TD:	I ² C バス 0 送信データレジスタ(マスター側)
I2UM0CON:	I ² C バス 0 コントロールレジスタ(マスター側)
I2UM0STR:	I ² C バス 0 ステータスレジスタ(マスター側)
I2US0RD:	I ² C バス 0 受信レジスタ(スレーブ側)
I2US0SA:	I ² C バス 0 スレーブアドレスレジスタ(スレーブ側)
I2US0TD:	I ² C バス 0 送信データレジスタ(スレーブ側)
I2US0CON:	I ² C バス 0 コントロールレジスタ(スレーブ側)
I2US0MD:	I ² C バス 0 モードレジスタ(スレーブ側)
I2US0STR:	I ² C バス 0 ステータスレジスタ(スレーブ側)

12.1.3 端子一覧

I²C バスユニットの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
I2CU0_SDA	I/O	I ² C バスユニット 0 データ入出力
I2CU0_SCL	I/O	I ² C バスユニット 0 クロック入出力

12.1.4 端子設定

I2CU0_SDA 端子, I2CU0_SCL 端子は、複数の汎用ポートの兼用機能に割り付けられています。

I2CU0_SDA 端子, I2CU0_SCL 端子は必ず以下の組み合わせで使用してください。

端子	組み合わせ 1	組み合わせ 2	組み合わせ 3	組み合わせ 4	組み合わせ 5
I2CU0_SDA	P03	P15	P26	P03	P46
I2CU0_SCL	P04	P16	P27	P02	P47

I2CU0_SDA 端子, I2CU0_SCL 端子に使用する汎用ポートは、兼用機能のモード設定に加え、ポート n モードレジスタ m (PnMODm) に下記の設定値を書き込み、「入力許可, 出力許可, Nch オープンドレイン出力, プルアップしない」に選択してください。

表 12-3 I²C バスユニット 汎用ポート組み合わせ

ポート名	PnMODm	組み合わせ	設定値	ML62Q1500C グループ			ML62Q1700C グループ		
				52 ピン製品	64 ピン製品	80 ピン製品	52 ピン製品	64 ピン製品	80 ピン製品
P03	P0MOD3	1	0x3B	●	●	●	●	●	●
P04	P0MOD4	1	0x3B	●	●	●	●	●	●
P15	P1MOD5	2	0x3B	●	●	●	●	●	●
P16	P1MOD6	2	0x3B	●	●	●	●	●	●
P26	P2MOD6	3	0x3B	●	●	●	●	●	●
P27	P2MOD7	3	0x3B	●	●	●	●	●	●
P03	P0MOD3	4	0x3B	●	●	●	●	●	●
P02	P0MOD2	4	0x3B	●	●	●	●	●	●
P46	P4MOD6	5	0x3B	—	●	●	—	●	●
P47	P4MOD7	5	0x3B	—	●	●	—	●	●

n: 汎用ポート番号 (0~3) m: ビット番号 (0~7) ●: 搭載

【注意】

- I2CU0_SDA 端子, I2CU0_SCL 端子に外部接続するプルアップ抵抗値は、I²C バス規格に従って設定してください。汎用ポートに内蔵しているプルアップ抵抗値は、I²C バス規格を満たすことができません。プルアップ抵抗値については、各商品のデータシートを参照してください。
- スリープモードを使用中に、本 LSI の電源を遮断した場合、I²C バスで接続されている他のデバイスの通信ができなくなります。スリープモード使用時には、本 LSI の電源は遮断しないでください。
- マスタ機能を使用する場合、バス上に複数のマスタ・デバイスを接続しないでください。

12.2 レジスタ説明

12.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF6C0	I ² C バスユニット 0 モードレジスタ	I2U0MSS	—	R/W	8	0x00
0xF6C1	予約レジスタ	—	—	—	—	—
0xF6C2	I ² C バス 0 受信レジスタ(マスタ側)	I2UM0RD	—	R	8	0x00
0xF6C3	予約レジスタ	—	—	—	—	—
0xF6C4	I ² C バス 0 スレーブアドレスレジスタ(マスタ側)	I2UM0SA	—	R/W	8	0x00
0xF6C5	予約レジスタ	—	—	—	—	—
0xF6C6	I ² C バス 0 送信データレジスタ(マスタ側)	I2UM0TD	—	R/W	8	0x00
0xF6C7	予約レジスタ	—	—	—	—	—
0xF6C8	I ² C バス 0 コントロールレジスタ(マスタ側)	I2UM0CON	—	R/W	8	0x00
0xF6C9	予約レジスタ	—	—	—	—	—
0xF6CA	I ² C バス 0 モードレジスタ(マスタ側)	I2UM0MDL	I2UM0MOD	R/W	8/16	0x00
0xF6CB		I2UM0MDH		R/W	8	0x02
0xF6CC	I ² C バス 0 ステータスレジスタ(マスタ側)	I2UM0STA	I2UM0STR	R/W	8/16	0x00
0xF6CD		I2UM0ISR		R/W	8	0x00
0xF6CE	I ² C バス 0 受信レジスタ(スレーブ側)	I2US0RD	—	R	8	0x00
0xF6CF	予約レジスタ	—	—	—	—	—
0xF6D0	I ² C バス 0 スレーブアドレスレジスタ (スレーブ側)	I2US0SA	—	R/W	8	0x00
0xF6D1	予約レジスタ	—	—	—	—	—
0xF6D2	I ² C バス 0 送信データレジスタ(スレーブ側)	I2US0TD	—	R/W	8	0x00
0xF6D3	予約レジスタ	—	—	—	—	—
0xF6D4	I ² C バス 0 コントロールレジスタ(スレーブ側)	I2US0CON	—	R/W	8	0x00
0xF6D5	予約レジスタ	—	—	—	—	—
0xF6D6	I ² C バス 0 モードレジスタ(スレーブ側)	I2US0MD	—	R/W	8	0x00
0xF6D7	予約レジスタ	—	—	—	—	—
0xF6D8	I ² C バス 0 ステータスレジスタ(スレーブ側)	I2US0STA	I2US0STR	R/W	8/16	0x00
0xF6D9		I2US0ISR		R/W	8	0x00

12.2.2 I²C バスユニット 0 モードレジスタ (I2U0MSS)

本レジスタは I²C バスユニット 0 のマスタモードとスレーブモードを選択するための特殊機能レジスタ (SFR) です。

アドレス: 0xF6C0 (I2U0MSS)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								I2U0MSS							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	I2U0MD
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～1	—	予約ビット
0	I2U0MD	I ² C バスユニット 0 のマスタモードとスレーブモードを選択するビットです。 0: マスタモード (初期値) 1: スレーブモード

【注意】

- マスタモードを選択した場合は、スレーブ用の SFR への書き込みは禁止です。また、スレーブモードを選択した場合は、マスタ用の SFR への書き込みは禁止です。
- マスタ機能を使用する場合、バス上に複数のマスタ・デバイスを接続しないでください。
- スレーブモードを使用中に、本 LSI の電源を遮断した場合、I²C バスで接続されている他のデバイスの通信ができなくなります。スレーブモード使用時には、本 LSI の電源は遮断しないでください。
- スレーブ機能を使用する場合、通信待ち状態を解除する場合は、システムクロックを高速クロックに切り替えてから行ってください。
- スレーブ機能を使用する場合で、本 LSI を含む複数のスレーブを I²C バスに接続する場合は、自分が通信していない間も含めて、I²C を有効にしている期間 (I2U0MD=1 かつ I2US0EN=1) は、以下の注意を守ってください。
SYSTEMCLK は I²C の通信速度の 4 倍以上に設定してください。
(100kbps: SYSTEMCLK=500kHz 以上、 400kbps: SYSTEMCLK=2MHz 以上、
1Mbps: SYSTEMCLK=4MHz 以上)
 - SYSTEMCLK に LSCLK を選択することは禁止です。
 - I²C を有効にした状態で HALT-H への移行は禁止です。

12.2.3 I²C バス 0 受信レジスタ（マスタ側）（I2UM0RD）

本レジスタはマスタモード選択時の受信データを格納する読み出し専用の特殊機能レジスタ(SFR)です。
本レジスタは受信終了ごとに更新されます。
本レジスタは、リセット機能の他に I2UM0MOD レジスタの I2UM0EN ビットを“0”にすることで初期化されます。

アドレス: 0xF6C2 (I2UM0RD)
アクセス: R
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2UM0RD							
ビット	—	—	—	—	—	—	—	—	I2UM0 R7	I2UM0 R6	I2UM0 R5	I2UM0 R4	I2UM0 R3	I2UM0 R2	I2UM0 R1	I2UM0 R0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～0	I2UM0R7～ I2UM0R0	マスタモード選択時の受信データが格納されるビットです。 スレーブアドレスの送信時およびデータ送受信時に、I2CU0_SCL 端子の信号立ち上がりエッジに同期して I2CU0_SDA 端子の信号を受信します。 I2UM0R7～I2UM0R0 ビットを読み出すことで、次の確認が可能です。 ・データの受信時の読み出し：受信データの確認 ・スレーブアドレスまたはデータの送信時の読み出し：送信データが確実に送信されたことの確認

12.2.4 I²C バス 0 スレーブアドレスレジスタ（マスタ側）（I2UM0SA）

本レジスタはマスタモード選択時にスレーブデバイスのアドレスとデータ方向を設定する特殊機能レジスタ(SFR)です。
本レジスタは、リセット機能の他に I2UM0MOD レジスタの I2UM0EN ビットを“0”にすることで初期化されます。

アドレス: 0xF6C4(I2UM0SA)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2UM0SA							
ビット	—	—	—	—	—	—	—	—	I2UM0A6	I2UM0A5	I2UM0A4	I2UM0A3	I2UM0A2	I2UM0A1	I2UM0A0	I2UM0RW
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～1	I2UM0A6～I2UM0A0	マスタモード選択時に通信相手のアドレスを設定するビットです。
0	I2UM0RW	マスタモード選択時のデータ方向を設定するビットです。 0: データ送信モード(初期値) 1: データ受信モード

12.2.5 I²C バス 0 送信データレジスタ（マスタ側）（I2UM0TD）

本レジスタはマスタモード選択時の送信データを設定する特殊機能レジスタ(SFR)です。
本レジスタは、リセット機能の他に I2UM0MOD レジスタの I2UM0EN ビットを“0”にすることで初期化されます。

アドレス: 0xF6C6(I2UM0TD)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2UM0TD							
ビット	—	—	—	—	—	—	—	—	I2UM0T7	I2UM0T6	I2UM0T5	I2UM0T4	I2UM0T3	I2UM0T2	I2UM0T1	I2UM0T0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～0	I2UM0T7～ I2UM0T0	マスタモード選択時の送信データを設定するビットです。

12.2.6 I²C バス 0 コントロールレジスタ（マスタ側）（I2UM0CON）

本レジスタはマスタモード選択時の送受信動作を制御する特殊機能レジスタ(SFR)です。
本レジスタは、リセット機能の他に I2UM0MOD レジスタの I2UM0EN ビットを“0”にすることで初期化されます。

アドレス: 0xF6C8 (I2UM0CON)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								I2UM0CON							
ビット	—	—	—	—	—	—	—	I2UM0 ACT	—	—	—	—	I2UM0 RS	I2UM0 SP	I2UM0 ST	
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	W	W	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7	I2UM0ACT	マスタモード選択時の受信終了時に出力するアクノリッジデータを設定するビットです。 0: アクノリッジデータ“0”（初期値） 1: アクノリッジデータ“1”
6～3	—	予約ビット
2	I2UM0RS	マスタモード時に再スタートを要求する書き込み専用のビットです。 データ通信中に I2UM0RS ビットに“1”を書き込むと再スタートコンディションに移行し、スレーブ アドレスから通信を再開します。 I2UM0RS ビットは通信動作中 (I2UM0ST ビット=“1”の時) のみ“1”を書き込めます。 I2UM0RS ビットは読み出すと常に“0”が読み出されます。 0: 再スタート要求なし (初期値) 1: 再スタート要求
1	I2UM0SP	マスタモード時にストップコンディションを要求する書き込み専用のビットです。 I2UM0SP ビットに“1”を書き込むとストップコンディションに移行し通信を停止します。 I2UM0SP ビットからは常に“0”が読み出されます。 0: ストップコンディション要求なし (初期値) 1: ストップコンディション要求
0	I2UM0ST	I ² C バスユニットのマスタモード時の通信動作を制御するビットです。 I2UM0ST ビットが“0”のときに“1”を書き込むとスタートコンディションとスレーブアドレスを送信 します。アクノリッジ送受信後に、次のデータ送受信を待機している状態で I2UM0ST ビットに “1”を上書きするとデータ送受信を再開します。また、I2UM0ST ビットに“0”を書き込むと強制的 に通信を停止します。I2UM0SP ビットに“1”を書き込むと I2UM0ST ビットは“0”にリセット されます。 0: 通信停止 (初期値) 1: 通信開始

【注意】

- I2UM0ACT ビットは、コントロールレジスタ設定待ち状態のときにバイトアクセスで書き込んでください。
- I2UM0ST ビットが 1 の時に、I2UM0CON の I2UM0ST ビット以外のビットに書き込む場合は、コントロールレジスタ設定待ち状態のときにおこなってください。

12.2.7 I²C バス 0 モードレジスタ（マスタ側）（I2UM0MOD）

本レジスタはマスタモード選択時の動作モードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF6CA (I2UM0MDL/I2UM0MOD), 0xF6CB (I2UM0MDH)
 アクセス: R/W
 アクセスサイズ: 8ビット/16ビット
 初期値: 0x0200

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	I2UM0MOD															
ビット	I2UM0MDH								I2UM0MDL							
	—	—	—	—	—	I2UM0 CD2	I2UM0 CD1	I2UM0 CD0	—	—	I2UM0 SYN	I2UM0 DW1	I2UM0 DW0	I2UM0 MD1	I2UM0 MD0	I2UM0 EN
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 11	—	予約ビット
10～8	I2UM0CD2～ I2UM0CD0	<p>マスタモード選択時の I²C 動作クロックを選択するビットです。</p> <p>0 0 0: HSCLK 0 0 1: 1/2HSCLK 0 1 0: 1/4HSCLK (初期値) 0 1 1: (使用禁止) 1 0 0: LSCLK (*) 1 0 1: 1/2LSCLK (*) 1 1 0: 1/4LSCLK (*) 1 1 1: 1/8LSCLK (*)</p> <p>*: I2UM0CD2～I2UM0CD0 ビットで LSCLK から 1/8LSCLK を選択した場合は, I2UM0DW1, I2UM0DW0 ビットの値に関係なく, 通信速度低下なしが選択されます。 通信速度とクロック数(本ビットの設定値により変動)の関係は「12.3.5 動作波形」を参照してください。</p>
7, 6	—	予約ビット
5	I2UM0SYN	<p>マスタモード選択時にクロックストレッチ機能(ハンドシェイク機能)の使用/未使用を選択するビットです。クロックストレッチ機能を使用する場合は“1”に設定してください。I2UM0SYN ビットを“1”に設定すると, I²C バスの監視をおこないます。そのため, I²C バスの負荷の大きさが通信速度が低下します。</p> <p>0: クロックストレッチ非使用 (初期値) 1: クロックストレッチ使用</p>
4, 3	I2UM0DW1, I2UM0DW0	<p>マスタモード時に I²C バスユニットの通信速度低下率を設定するビットです。</p> <p>通信速度が I2UM0MD1, I2UM0MD0 ビットで設定した 100kbps/400kbps/1Mbps を超えないようにこのビットで調整してください。</p> <p>I2UM0CD2～I2UM0CD0 ビットで LSCLK から 1/8LSCLK を選択した場合は, I2UM0DW1, I2UM0DW0 ビットの値に関係なく, 通信速度低下なしが選択されます。</p> <p>0 0: 通信速度低下なし (初期値) 0 1: 通信速度 約 9.1%低下 1 0: 通信速度 約 16.7%低下 1 1: 通信速度 約 23.1%低下</p>
2, 1	I2UM0MD1, I2UM0MD0	<p>マスタモード時に I²C バスユニットの通信速度を設定するビットです。</p> <p>0 0: 標準モード (初期値) (100kbps*) 0 1: ファストモード (400kbps*) 1 0: 1Mbps モード (1Mbps*) 1 1: 1Mbps モード (1Mbps*)</p> <p>*: I2UM0CD2～I2UM0CD0 ビットが“000”, かつ I2UM0SYN ビットが“0”の場合</p>

ビット 番号	ビットシンボル 名	説明
0	I2UM0EN	I ² C マスタ動作を許可するビットです。 I2UM0EN ビットに“1”を書き込むと I ² C バス(シリアルデータ(I2CU0_SDA)とシリアルクロック(I2CU0_SCL))の使用状態を示す I2UM0STA レジスタの I2UM0BB ビットが動作を開始し、I2UM0CON レジスタの I2UM0ST ビットの設定が可能となります。 I2UM0EN ビットに“0”を書き込むと I ² C マスタ動作を停止し、I2UM0RD, I2UM0SA, I2UM0TD, I2UM0CON, I2UM0STR レジスタが初期化されます。通信中に I2UM0EN ビットに“0”を書き込み停止した場合は、I ² C バスユニットを初期化し、再設定してください。 0: I ² C マスタ動作停止(初期値) 1: I ² C マスタ動作許可

【注意】

- I²C 動作クロックとして高速クロックを選択する場合、PLL の基本周波数に応じて以下の設定にしてください。

HSCLK=24MHz

標準モード : I²C 動作クロック HSCLK ~ 1/4 HSCLKファストモード : I²C 動作クロック HSCLK, 1/2 HSCLK1Mbps モード : I²C 動作クロック HSCLK, 1/2 HSCLK

HSCLK=16MHz

標準モード : I²C 動作クロック HSCLK, 1/2 HSCLKファストモード : I²C 動作クロック HSCLK1Mbps モード : I²C 動作クロック HSCLK

12.2.8 I²C バス 0 ステータスレジスタ（マスタ側）（I2UM0STR）

本レジスタはマスタモード時の I²C バスユニットの状態を示す特殊機能レジスタ(SFR)です。
本レジスタは、リセット機能の他に I2UM0MOD レジスタの I2UM0EN ビットを“0”にすることで初期化されます。

アドレス: 0xF6CC (I2UM0STA/I2UM0STR), 0xF6CD (I2UM0ISR)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	I2UM0STR															
バイト	I2UM0ISR								I2UM0STA							
ビット	—	—	—	—	—	I2UM0 SPS	I2UM0 DS	I2UM0 AS	I2UM0 BO	—	—	—	—	I2UM0 ER	I2UM0 ACR	I2UM0 BB
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 11	—	予約ビット
10	I2UM0SPS	I ² C バス使用状態を示すビットです。I ² C バス上でストップコンディションを送信すると“1”にセットされます。I2UM0SPS ビットに“1”を書き込むと“0”にリセットされます。 0: ストップコンディション送信完了状態ではない(初期値) 1: ストップコンディション送信完了状態
9	I2UM0DS	I ² C バス使用状態を示すビットです。I ² C バス上でデータの送受信後“1”にセットされます。I2UM0DS ビットに“1”を書き込むと“0”にリセットされます。 0: データ送受信完了状態ではない(初期値) 1: データ送受信完了状態
8	I2UM0AS	I ² C バス使用状態を示すビットです。I ² C バス上でスタートコンディションと 7 ビットのスレーブアドレスを送信後“1”にセットされます。I2UM0AS ビットに“1”を書き込むと“0”にリセットされます。 0: スタートコンディションとスレーブアドレス送信完了状態ではない(初期値) 1: スタートコンディションとスレーブアドレス送信完了状態
7	I2UM0BO	I ² C バス使用状態を示すビットです。I ² C バス上でスタートコンディションを出力すると“1”になり、ストップコンディションを出力して t _{BUF} 時間が経過するか、もしくは I2CU0_SDA 端子のデータ通信エラーが発生すると“0”にリセットされます。I2UM0BO ビットに“1”を書き込むと“0”にリセットされます。 0: I ² C バス権取得状態ではない(初期値) 1: I ² C バス権取得状態
6～3	—	予約ビット
2	I2UM0ER	マスタモード時の送信エラーを示すビットです。送信したビットと I2CU0_SDA 端子の値が一致しなかった場合に“1”にセットされます。I2UM0ER ビットに“1”を書き込むと“0”にリセットされます。 ・クロックストレッチ機能を使用している場合 (I2UM0SYN=“1”)は、I2UM0ER ビットに“1”をセットすると、これ以降のバイトデータ通信終了まで I2CU0_SDA 端子出力を禁止します。 ・クロックストレッチ機能を使用していない場合 (I2UM0SYN=“0”)は、I2UM0ER ビットに“1”がセットされても、これ以降のバイトデータ通信終了まで I2CU0_SDA 端子出力を継続します。 0: 送信エラーなし(初期値) 1: 送信エラーあり

ビット 番号	ビットシンボル 名	説明
1	I2UM0ACR	マスタモード選択時に受信したアクノリッジが格納されるビットです。スレーブアドレスの送信とデータ送受信終了ごとにアクノリッジ信号を受信します。 I2UM0ACR ビットに“1”を書き込むと“0”にリセットされます。 0: アクノリッジ“0”を受信(初期値) 1: アクノリッジ“1”を受信
0	I2UM0BB	マスタモード時の I ² C バス使用状態を示すビットです。I ² C バス上でスタートコンディションが発生すると“1”にセットされ、ストップコンディションが発生し t _{BUF} 時間が経過すると“0”にリセットされます。I2UM0BB ビットに“1”を書き込むと“0”にリセットされます。 0: I ² C バスフリー状態(初期値) 1: I ² C バスビジー状態

【注意】

- I2UM0BB ビット, I2US0ACR ビット, I2UM0ER ビット, I2UM0BO ビット, I2UM0AS ビット, I2UM0DS ビット, I2UM0SPS ビットはバイトアクセスで書き込んでください。
- I2UM0BB ビット, I2UM0BO ビットは, “1”を書き込み後, I²C 動作クロック後に“0”にリセットされます。

12.2.9 I²C バス 0 受信レジスタ（スレーブ側）(I2US0RD)

本レジスタはスレーブモード時の受信データを格納する読み出し専用の特殊機能レジスタ(SFR)です。
スレーブモード時の受信終了ごとに更新されます。

アドレス: 0xF6CE (I2US0RD)
アクセス: R
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2US0RD							
ビット	—	—	—	—	—	—	—	—	I2US0R7	I2US0R6	I2US0R5	I2US0R4	I2US0R3	I2US0R2	I2US0R1	I2US0R0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～0	I2US0R7～ I2US0R0	スレーブモード時の受信データが格納されるビットです。スレーブアドレスの受信時、およびデータ送受信時に I2CU0_SCL 端子の信号立ち上がりエッジに同期して I2CU0_SDA 端子の信号を受信します。 このビットを読み出すことで、次の確認が可能です。 ・データの受信時の読み出し: 受信データの確認 ・データの送信時の読み出し: 送信データが確実に送信されたことの確認

12.2.10I²C バス 0 スレーブアドレスレジスタ（スレーブ側）（I2US0SA）

本レジスタはスレーブモード時にスレーブアドレスを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF6D0(I2US0SA)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2US0SA							
ビット	—	—	—	—	—	—	—	—	I2US0A6	I2US0A5	I2US0A4	I2US0A3	I2US0A2	I2US0A1	I2US0A0	—
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～1	I2US0A6～I2US0A0	スレーブモード時のスレーブアドレスを設定するビットです。
0	—	予約ビット

12.2.11 I²C バス 0 送信データレジスタ（スレーブ側）(I2US0TD)

本レジスタはスレーブモード時の送信データを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF6D2(I2US0TD)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2US0TD							
ビット	—	—	—	—	—	—	—	—	I2US0 T7	I2US0 T6	I2US0 T5	I2US0 T4	I2US0 T3	I2US0 T2	I2US0 T1	I2US0 T0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～0	I2US0T7～ I2US0T0	スレーブモード時の送信データを設定するビットです。

12.2.12I²C バス 0 コントロールレジスタ（スレーブ側）（I2US0CON）

本レジスタはスレーブモード時の送受信動作を制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF6D4 (I2US0CON)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2US0CON							
ビット	—	—	—	—	—	—	—	—	I2US0 ACT	—	I2US0 WT	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R/W	R	W	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7	I2US0ACT	スレーブモード時の受信終了時に出力するアクノリッジ信号を設定するビットです。 0: アクノリッジデータ“0”（初期値） 1: アクノリッジデータ“1”
6	—	予約ビット
5	I2US0WT	スレーブモード時の通信待ち状態 (I2CU0_SCL 端子に“L”レベル出力) を解除するビットです。 通信待ち状態中に“1”を書き込むと通信待ち状態を解除 (I2CU0_SCL 端子の“L”レベル出力 解除) します。I2US0WT ビットは書き込み専用のビットで常に“0”が読み出されます。 0: 通信待ち状態を解除しない (初期値) 1: 通信待ち状態を解除する
4～0	—	予約ビット

【注意】

- 通信待ち状態の解除は、システムクロックを高速クロックに切り替えてから行ってください。

12.2.13 I²C バス 0 モードレジスタ（スレーブ側）（I2US0MD）

本レジスタはスレーブモード時の動作モードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF6D6 (I2US0MD)
 アクセス: R/W
 アクセスサイズ: 8 ビット
 初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2US0MD							
ビット	—	—	—	—	—	—	—	—	—	I2US0 SIE	I2US0 PIE	I2US0 RIE	I2US0 NAL	I2US0 SPE	—	I2US0 EN
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7	—	予約ビット
6	I2US0SIE	スレーブモード時にスタートコンディション割込みの禁止／許可を選択するビットです。 0: スタートコンディション割込み禁止 (初期値) 1: スタートコンディション割込み許可
5	I2US0PIE	スレーブモード時にストップコンディション割込みの禁止／許可を選択するビットです。 0: ストップコンディション割込み禁止 (初期値) 1: ストップコンディション割込み許可
4	I2US0RIE	スレーブモード時にマスタと通信している際、再スタートコンディションを受けて、他のスレーブが選択されたときの割込みの禁止／許可を選択するビットです。本機能は I2US0SAA ビットの状態で判定しています。I2US0RIE ビットに“1”をセットするときは、通信中に I2US0SAA ビットをソフトウェアでクリアしないでください。 0: 再スタートコンディション後にスレーブアドレス不一致割込み禁止 (初期値) 1: 再スタートコンディション後にスレーブアドレス不一致割込み許可
3	I2US0NAL	スレーブからマスタへ送信する際、マスタからアクノリッジデータ“1”を受信したときの I2C バスユニットの通信待ち (I2CU0_SCL 端子に“L”レベル出力) 機能の有効／無効を設定するビットです。本機能を使用する場合は本ビットを“1”に設定してください。通信待ち状態 (I2CU0_SCL 端子に“L”レベル出力) を解除するときは、I2US0WT ビットに“1”を書き込んでください。 0: マスタからアクノリッジデータ“1”受信による通信待ち機能を無効 (初期値) 1: マスタからアクノリッジデータ“1”受信による通信待ち機能を有効
2	I2US0SPE	スレーブモード時、マスタが他のスレーブと通信中に出力するストップコンディションで検出するストップコンディション割込みの有効／無効を設定するビットです。I ² C バスユニットと通信中にマスタが出力するストップコンディション割込みは、I2US0PIE でストップコンディション割込みを許可すると常に有効になります。本機能は、I2US0SAA ビットの状態で判定しています。I2US0SPE ビットに“1”をセットするときは、通信中に I2US0SAA ビットをソフトウェアでクリアしないでください。 0: マスタと他のスレーブと通信中のストップコンディション割込み許可 (初期値) 1: マスタと他のスレーブと通信中のストップコンディション割込み禁止
1	—	予約ビット
0	I2US0EN	I ² C バスユニットのスレーブ動作を許可するビットです。I2US0EN ビットに“1”を書き込むと I ² C バス 0 の動作が許可されます。I2US0EN ビットに“0”を書き込むと I ² C バス 0 ステータスレジスタ (スレーブ側) (I2US0STR) のすべてのビットが“0”に初期化され、I ² C バス 0 は動作を停止します。 0: I ² C スレーブ動作停止 (初期値) 1: I ² C スレーブ動作許可

【注意】

- STOP-D モードに移行する前に、I2US0EN に 0 を設定して動作を停止してください。スレーブアドレス一致による STOP モードからの復帰を禁止する場合も STOP モードに移行する前に同様の処理をしてください。

12.2.14 I²C バス 0 ステータスレジスタ（スレーブ側）（I2US0STR）

本レジスタはスレーブモード時の I²C バスユニットの状態を示す特殊機能レジスタ(SFR)です。
本レジスタは、リセット機能の他に I2US0MD レジスタの I2US0EN ビットを“0”にすることで初期化されます。

アドレス: 0xF6D8 (I2US0STA/I2US0STR), 0xF6D9 (I2US0ISR)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	I2US0STR															
バイト	I2US0ISR								I2US0STA							
ビット	—	—	—	I2US0RAS	I2US0STS	I2US0SPS	I2US0DS	I2US0AS	—	—	—	I2US0TR	I2US0SAA	I2US0ER	I2US0ACR	I2US0BB
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～13	—	予約ビット
12	I2US0RAS	スレーブモード選択時に、スタートコンディションの割込みを許可したとき (I2US0RIE ビット=1) の割込み状態を示すビットです。再スタートコンディションを受けて、他のスレーブが選択されたときに“1”にセットされます。 I2US0RAS ビットに“1”を書き込むと“0”にリセットされます。 0: 再スタートコンディション後にスレーブアドレス不一致検出状態ではない (初期値) 1: 再スタートコンディション後にスレーブアドレス不一致検出状態
11	I2US0STS	スレーブモード選択時の送受信の状態を示すビットです。スタートコンディションを受信すると“1”にセットされます。 I2US0STS ビットに“1”を書き込むと“0”にリセットされます。 0: スタートコンディション受信完了状態ではない (初期値) 1: スタートコンディション受信完了状態
10	I2US0SPS	スレーブモード選択時の送受信の状態を示すビットです。ストップコンディションを受信すると“1”にセットされます。 I2US0SPS ビットに“1”を書き込むと“0”にリセットされます。 0: ストップコンディション受信完了状態ではない (初期値) 1: ストップコンディション受信完了状態
9	I2US0DS	スレーブモード選択時の送受信の状態を示すビットです。スレーブアドレスが一致している状態でデータを送受信すると“1”にセットされます。 I2US0DS ビットに“1”を書き込むと“0”にリセットされます。 0: データ送受信完了状態ではない (初期値) 1: データ送受信完了状態
8	I2US0AS	スレーブモード選択時の送受信の状態を示すビットです。スレーブアドレスを受信し、それが一致した場合に“1”にセットされます。 I2US0AS ビットに“1”を書き込むと“0”にリセットされます。 0: スレーブアドレス (一致) 受信完了状態ではない (初期値) 1: スレーブアドレス (一致) 受信完了状態
7～5	—	予約ビット

ビット 番号	ビットシンボル 名	説明
4	I2US0TR	スレーブモード時の送受信の状態を示すビットです。I2UM0SA レジスタの I2UM0RW ビットで“1”(データ受信モード)を検出した時に“1”にセットされます。ストップコンディション検出時、および I2UM0RW ビットで“0”(データ送信モード)を検出した時に“0”にリセットされます。 または I2US0TR ビットに“1”を書き込むと“0”にリセットされます。 0: 受信状態(初期値) 1: 送信状態
3	I2US0SAA	スレーブモード時に本 LSI がスレーブアドレスとして指定されたことを示すビットです。マスタデバイスが出力したスレーブアドレスと I2US0SA レジスタの内容が一致すると“1”にセットされ、ストップコンディションを受信すると“0”にリセットされます。 または I2US0SAA ビットに“1”を書き込むと“0”にリセットされます。I2US0RIE ビットまたは I2US0SPE ビットが“1”の場合、ソフトウェアでクリアしないでください。 0: スレーブアドレスと不一致(初期値) 1: スレーブアドレスと一致
2	I2US0ER	スレーブモード時の送信エラーを示すビットです。送信したビットと I2CU0_SDA 端子の値が一致しなかった場合に“1”にセットされます。本ビットが“1”にセットされると以降のバイトデータ通信終了まで I2CU0_SDA 端子出力が禁止されます。 I2US0ER ビットに“1”を書き込むと“0”にリセットされます。 0: 送信エラーなし(初期値) 1: 送信エラーあり
1	I2US0ACR	スレーブモード時に受信したアクノリッジが格納されるビットです。スレーブアドレスの送信、およびデータ送受信終了ごとにアクノリッジ信号を受信します。 I2US0ACR ビットに“1”を書き込むと“0”にリセットされます。 0: アクノリッジ“0”を受信(初期値) 1: アクノリッジ“1”を受信
0	I2US0BB	スレーブモード時の I ² C バス使用状態を示すビットです。I ² C バス上でスタートコンディションが発生すると“1”にセットされ、ストップコンディションが発生すると“0”にリセットされます。 または I2US0BB ビットに“1”を書き込むと“0”にリセットされます。 0: I ² C バスフリー状態(初期値) 1: I ² C バスビジー状態

【注意】

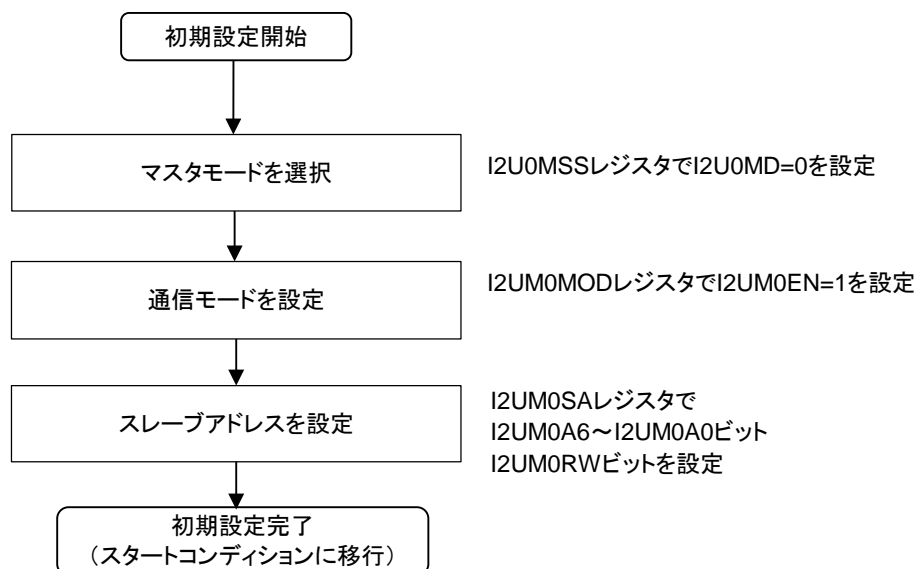
- I2US0BB ビット, I2US0ACR ビット, I2US0ER ビット, I2US0SAA ビット, I2US0TR ビット, I2US0AS ビット, I2US0DS ビット, I2US0SPS ビット, I2US0STS ビット, I2US0RAS ビットはワードアクセスもしくは、バイトアクセスで書き込んでください。

12.3 動作説明

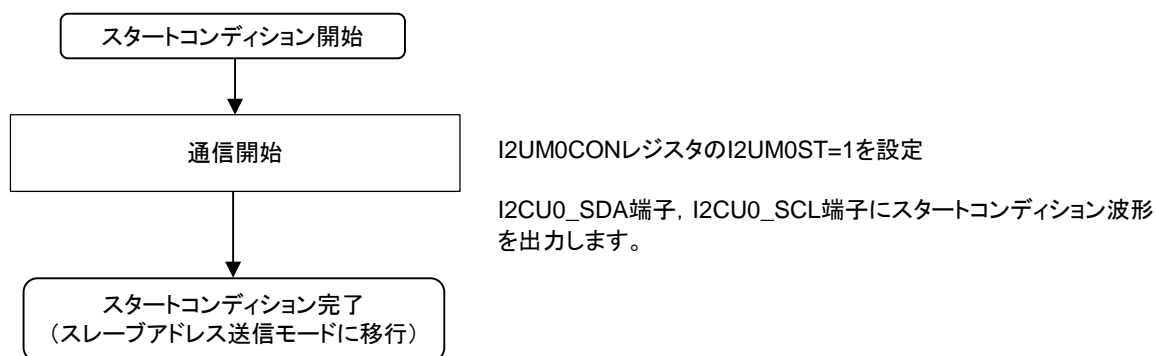
12.3.1 マスタ動作

マスタモード時の各動作の手順を下記フローに示します。

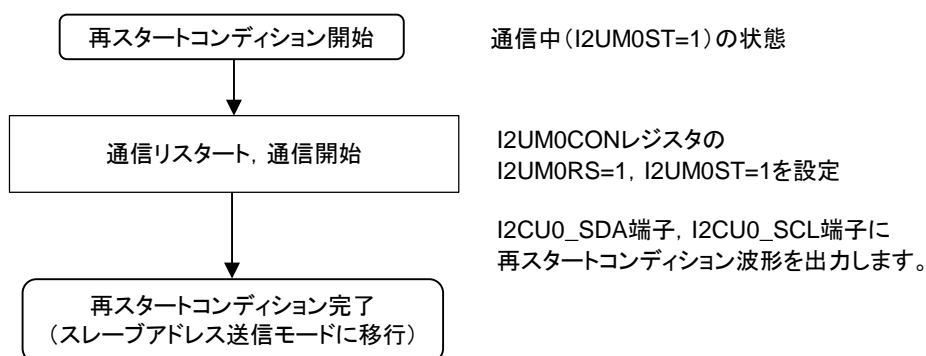
12.3.1.1 通信動作の初期設定



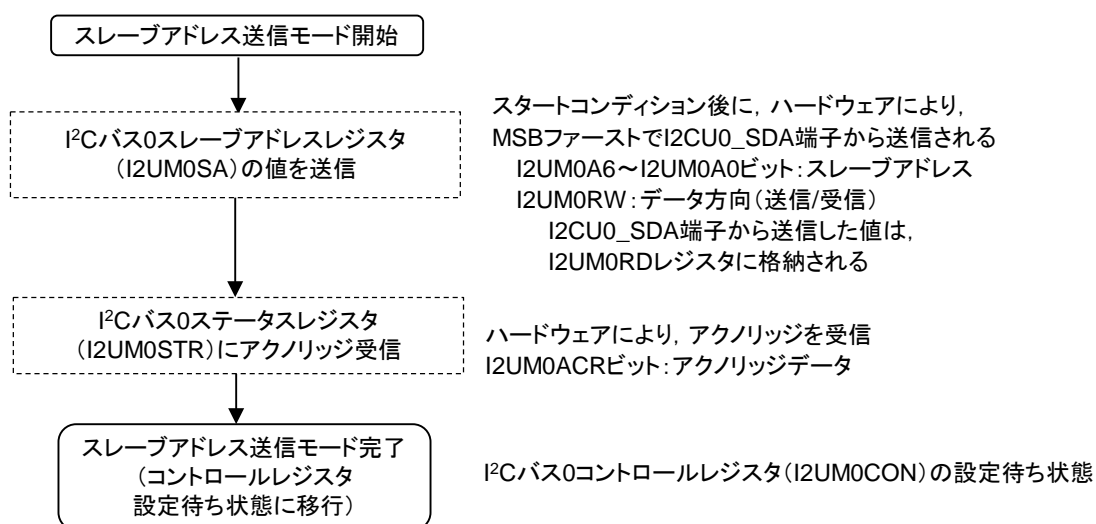
12.3.1.2 スタートコンディション



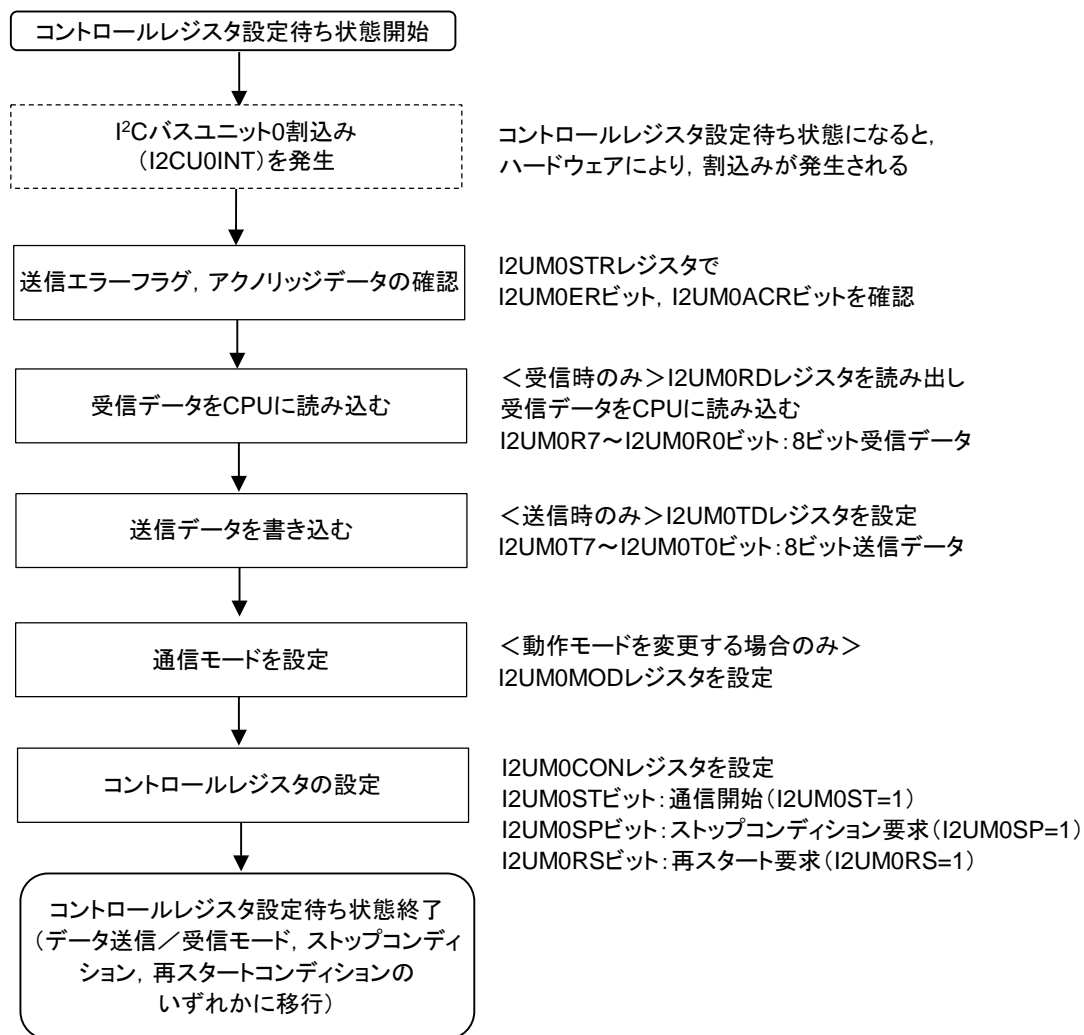
12.3.1.3 再スタートコンディション



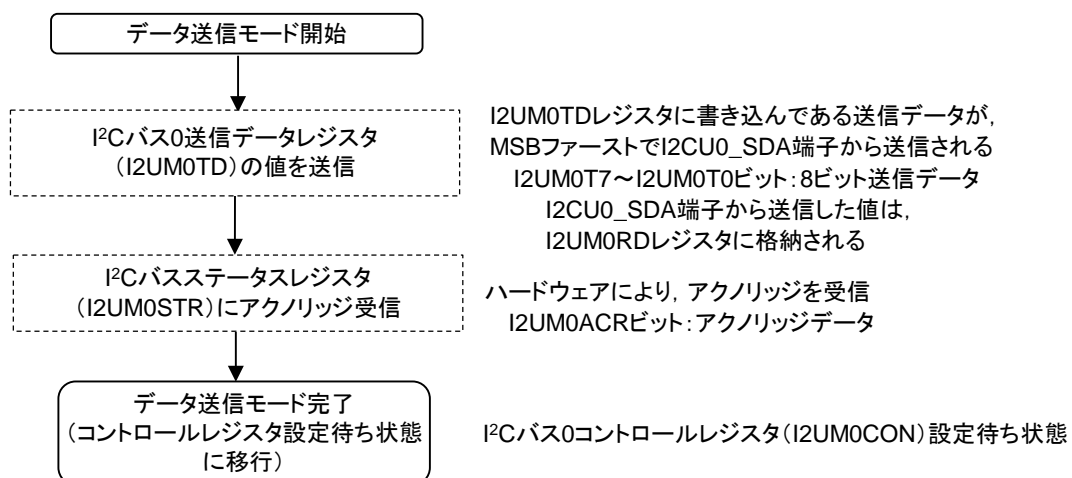
12.3.1.4 スレーブアドレス送信モード



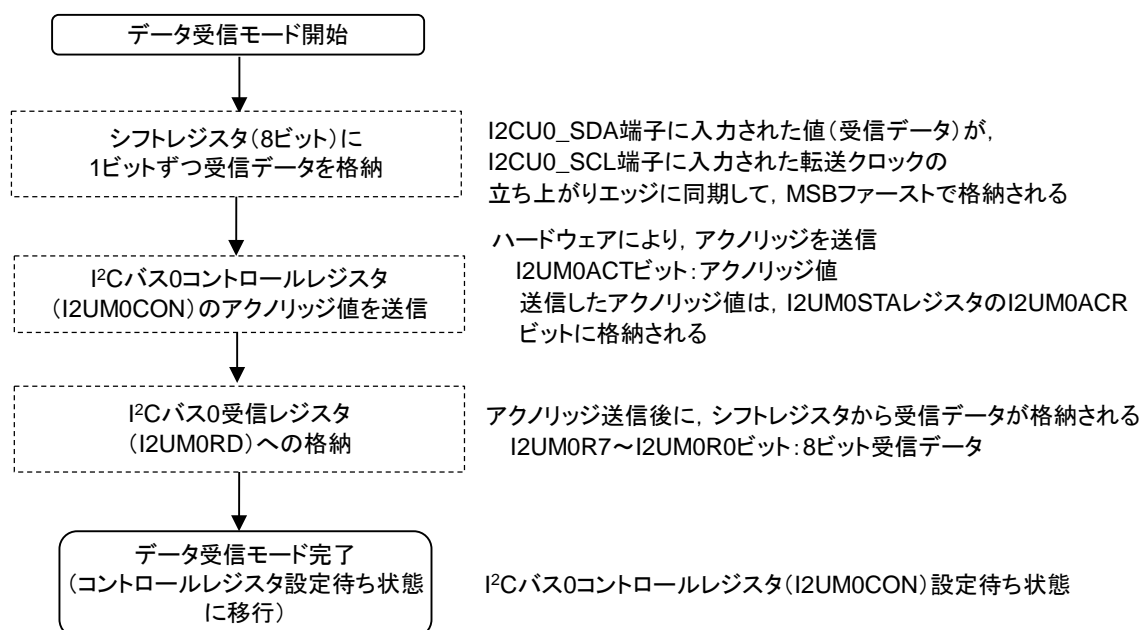
12.3.1.5 コントロールレジスタ設定待ち状態



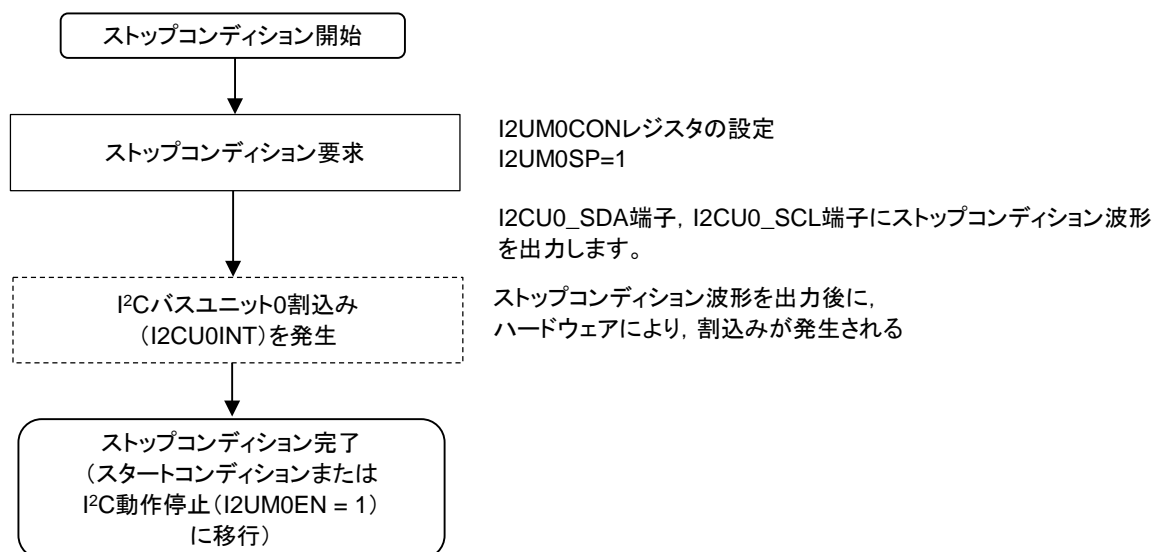
12.3.1.6 データ送信モード



12.3.1.7 データ受信モード



12.3.1.8 ストップコンディション



12.3.2 マスタモード通信動作タイミング

図 12-2～4 に、マスタ動作時の各通信モードの動作タイミング、および制御方法を示します。

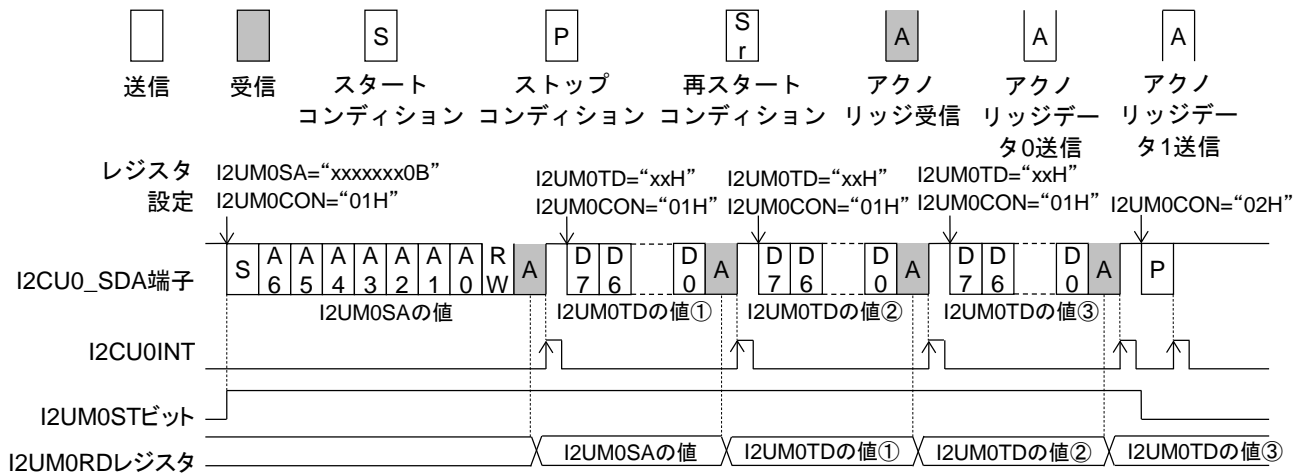


図 12-2 マスタモード選択時のデータ送信モード時の動作タイミング

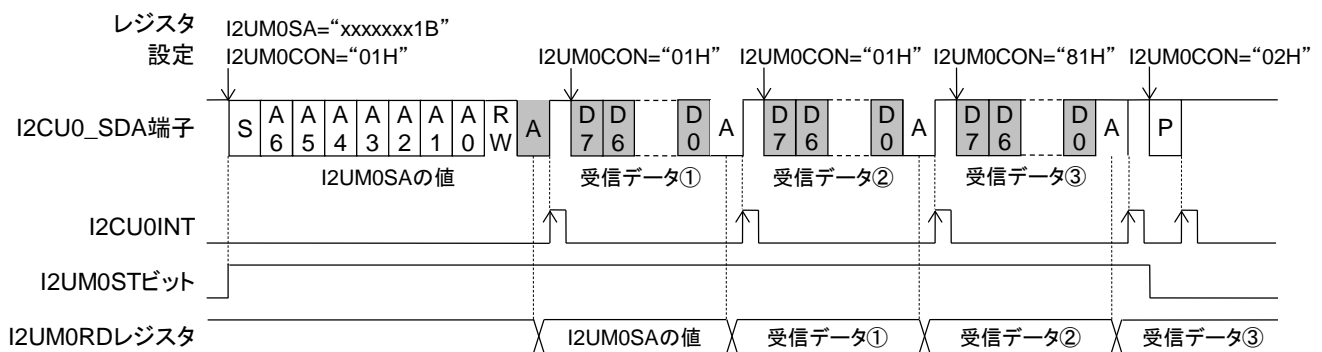


図 12-3 マスタモード選択時のデータ受信モード時の動作タイミング

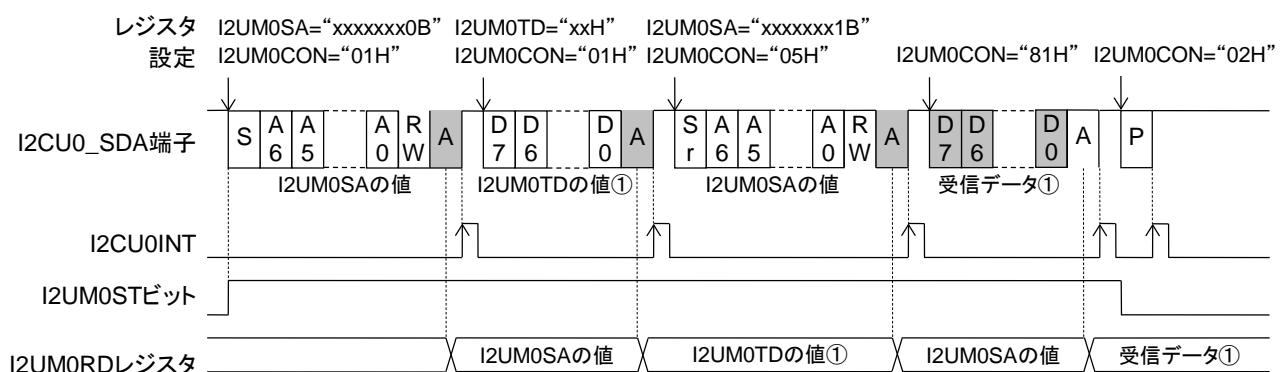


図 12-4 マスタモード選択時のデータ送受信モード切り替え時の動作タイミング

図 12-5 にアクノリッジエラー発生時の動作タイミング，および制御方法を示します。

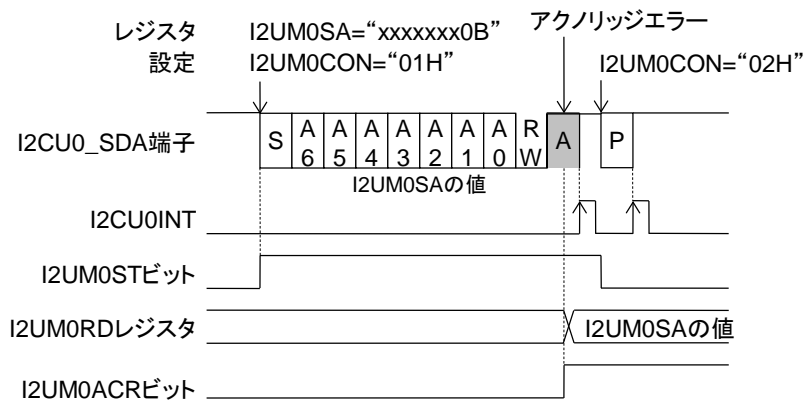


図 12-5 マスタモード選択時のアクノリッジエラー発生時の途中停止動作タイミング

送信したビットとI2CU0_SDA 端子の値が一致しなかった場合は、I²C バス 0 ステータスレジスタ(マスタ側) (I2UM0STA) の I2UM0ER ビットが“1”になり、以降のバイトデータ通信終了まで I2CU0_SDA 端子出力が禁止されます。
図 12-6 に送信失敗時の動作タイミング，および制御方法を示します。

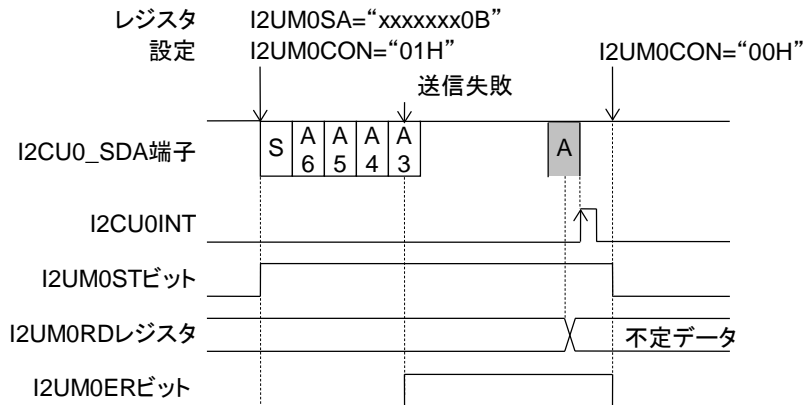
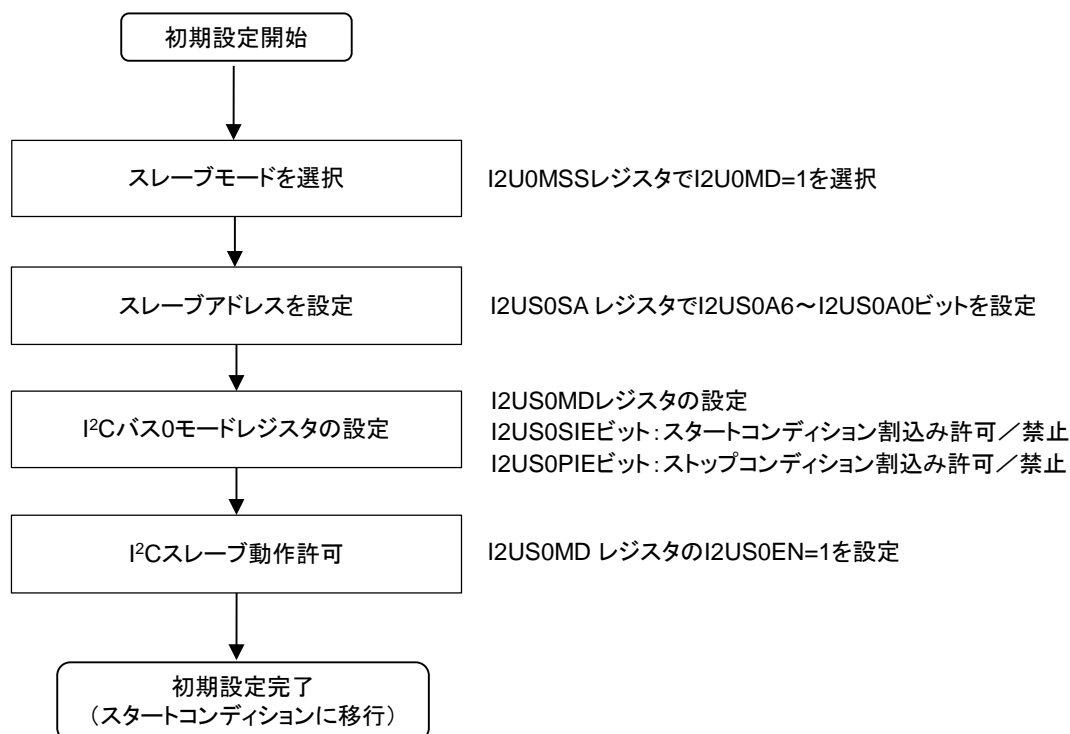


図 12-6 マスタモード選択時の送信失敗時の動作タイミング

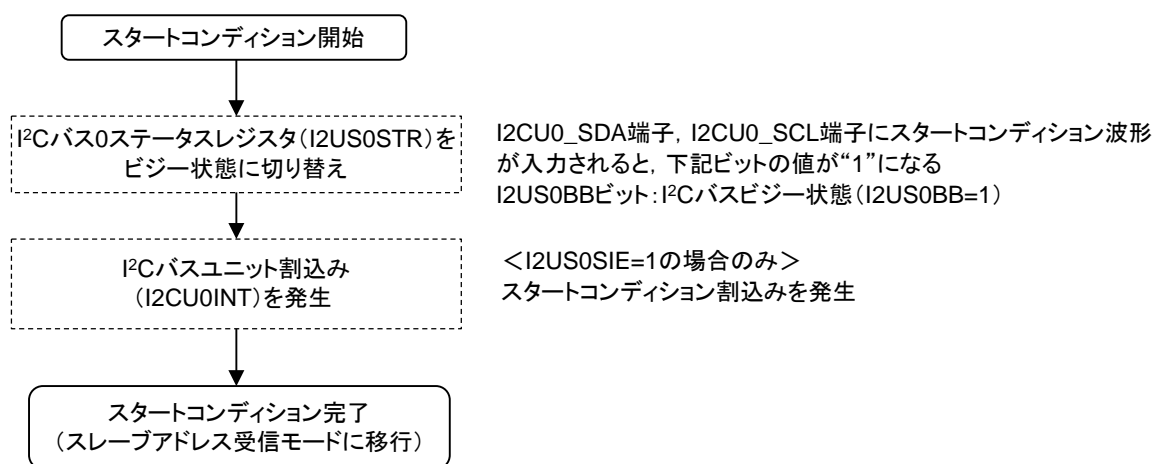
12.3.3 スレーブ動作

スレーブモード時の各動作の手順を下記フローに示します。

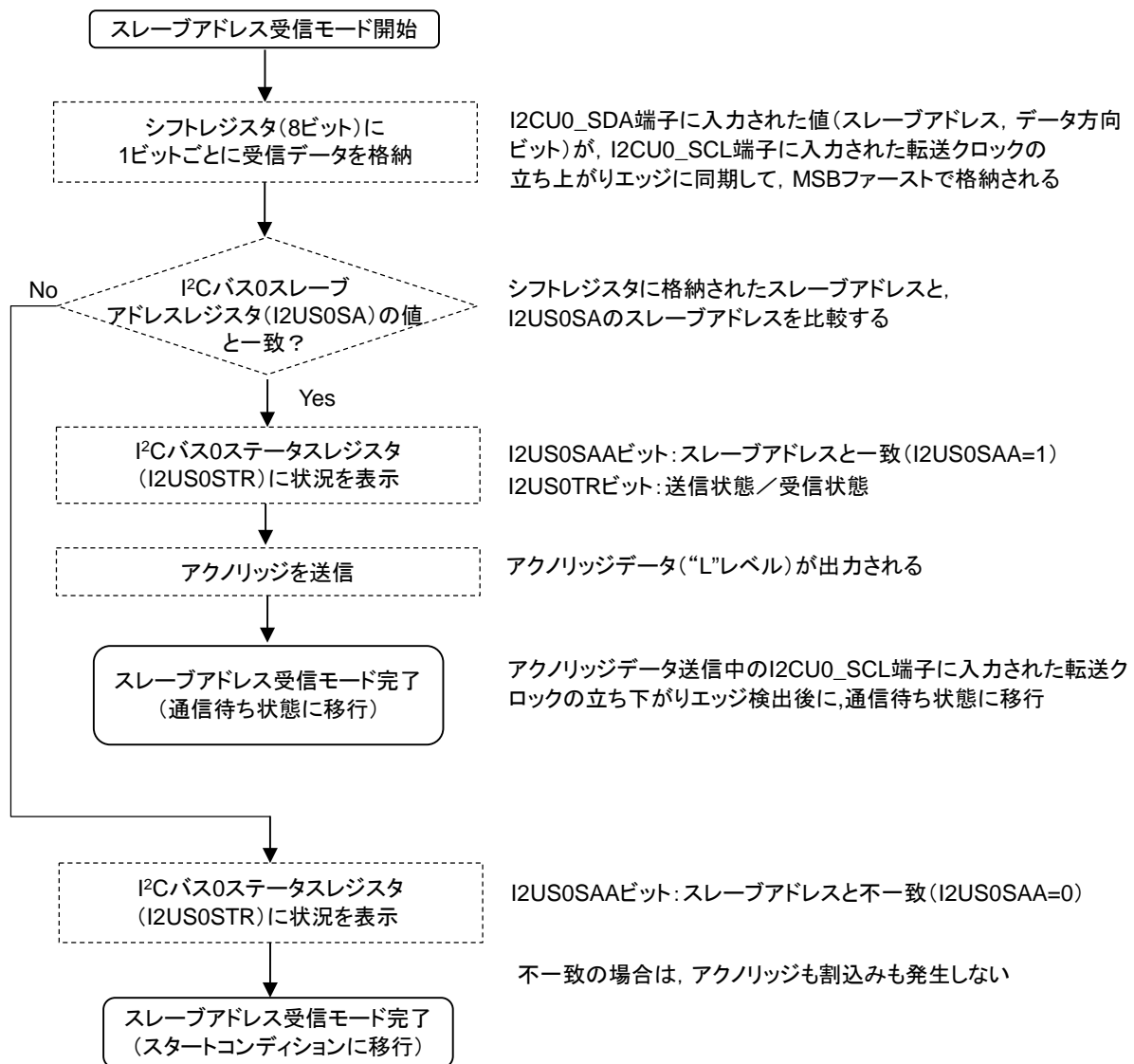
12.3.3.1 通信動作の初期設定



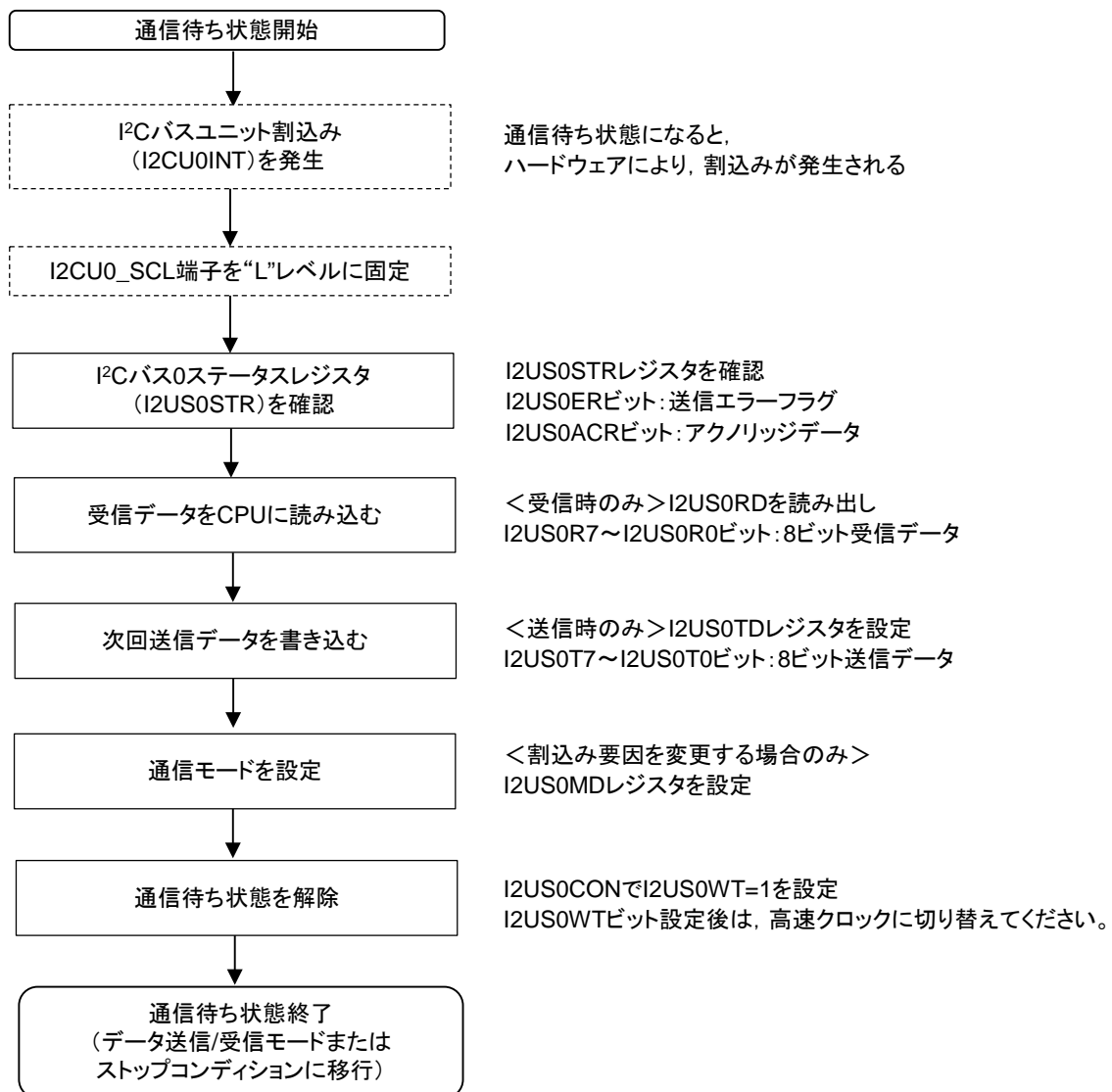
12.3.3.2 スタートコンディション



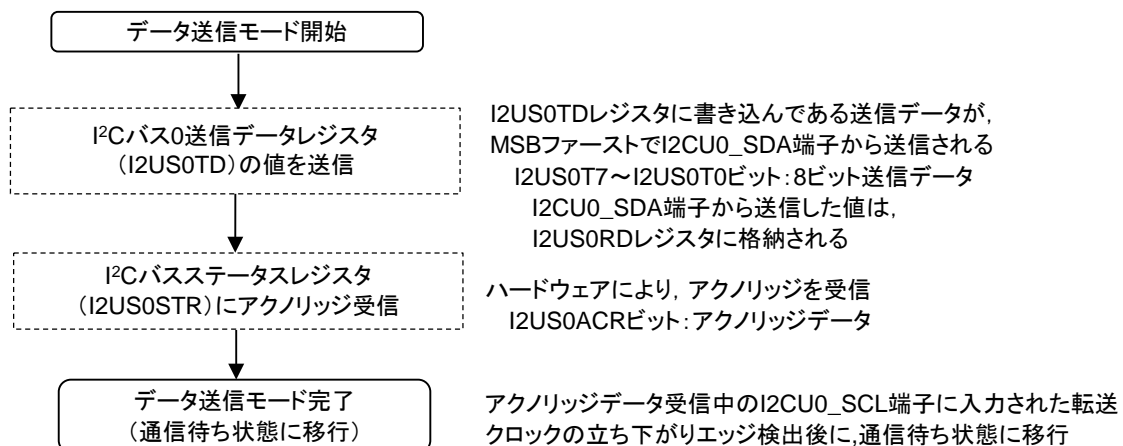
12.3.3.3 スレーブアドレス受信モード



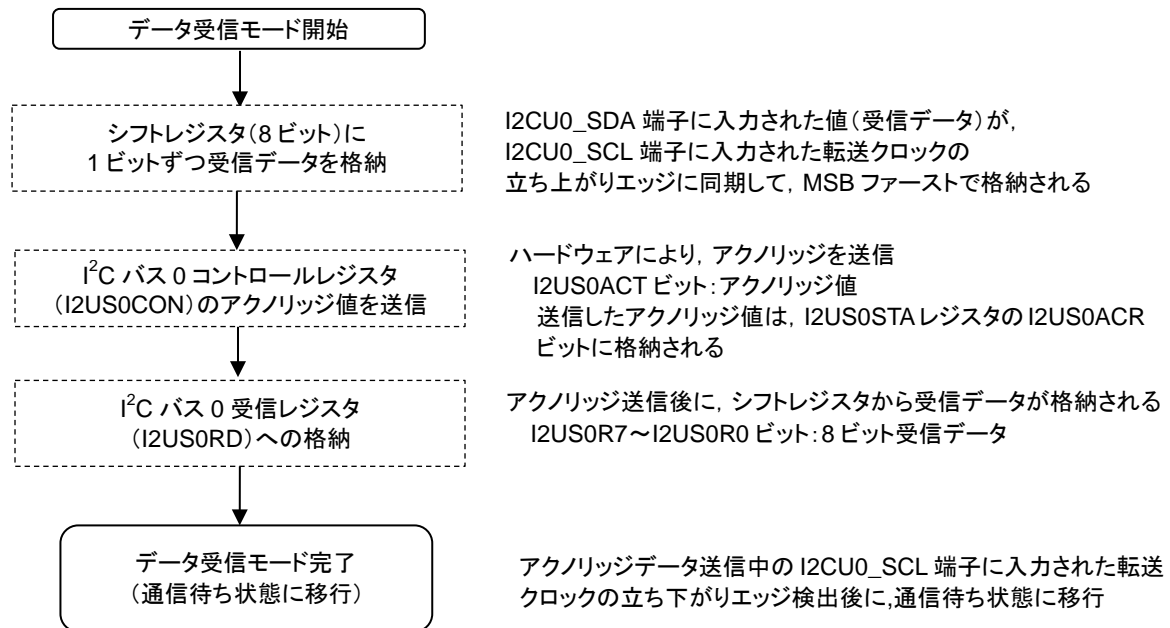
12.3.3.4 通信待ち状態



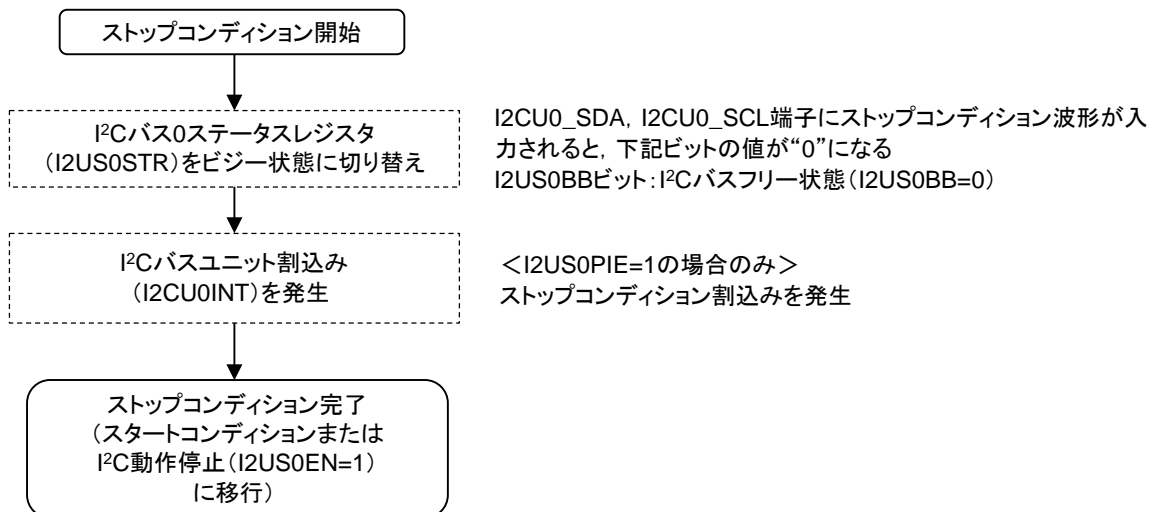
12.3.3.5 データ送信モード



12.3.3.6 データ受信モード



12.3.3.7 ストップコンディション



12.3.4 スレーブモード通信動作タイミング

図 12-7～9 に、各通信モードの動作タイミングおよび制御方法を示します。

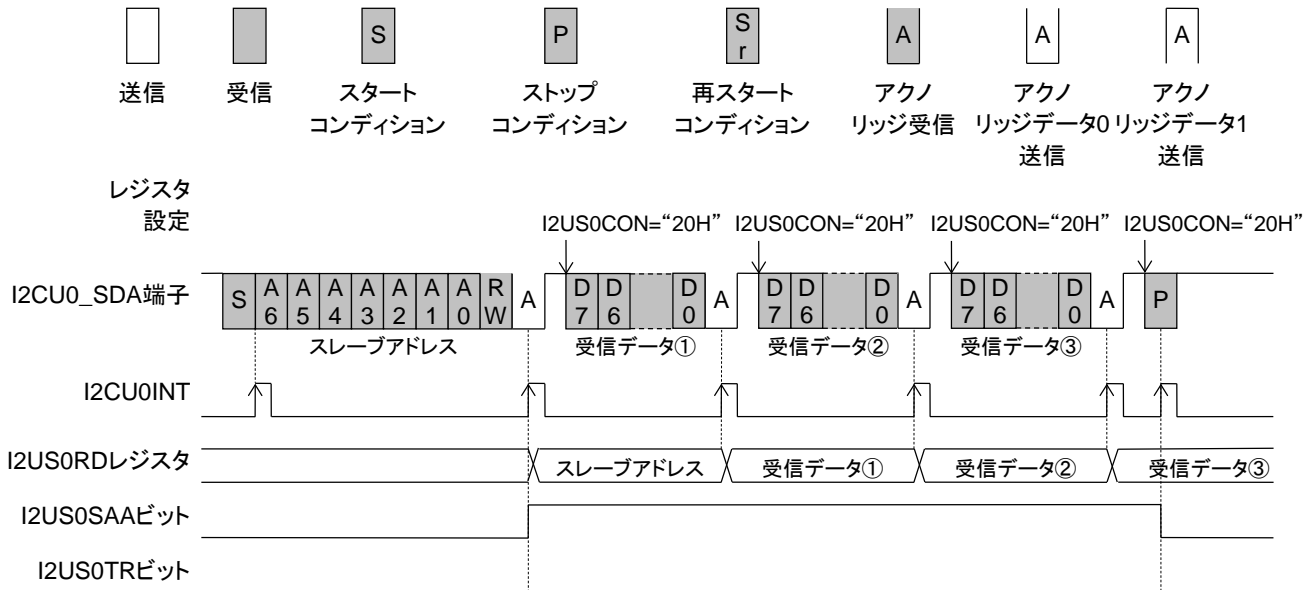


図 12-7 スレーブモード選択時のデータ受信モード時の動作タイミング



図 12-8 スレーブモード選択時のデータ送信モード時の動作タイミング

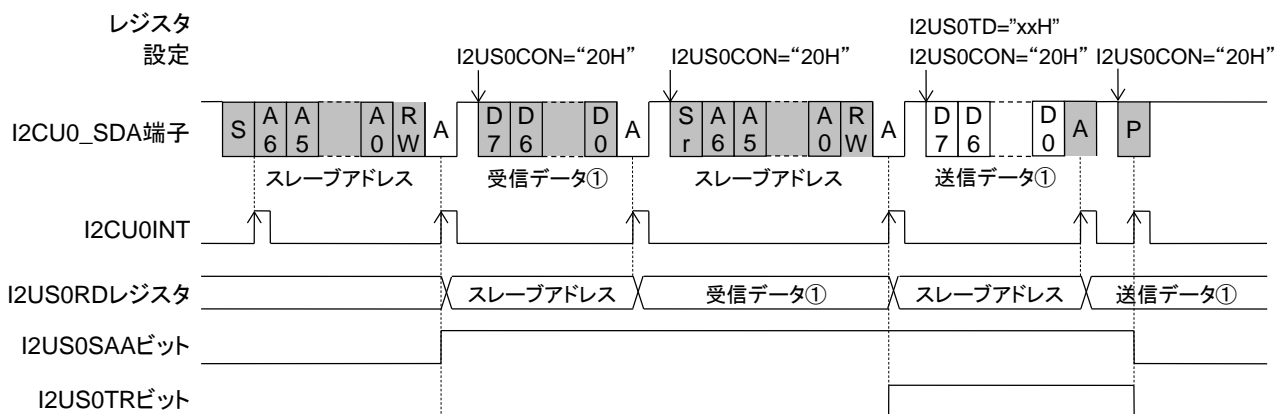


図 12-9 スレーブモード選択時のデータ送受信モード切り替え時の動作タイミング

送信したビットと I2CU0_SDA 端子の値が一致しなかった場合は、I²C バス 0 ステータスレジスタ(スレーブ側) (I2US0STR) の I2US0ER ビットが“1”になり、以降のバイトデータ通信終了まで I2CU0_SDA 端子出力が禁止されます。

図 12-10 に送信失敗時の動作タイミングおよび制御方法を示します。

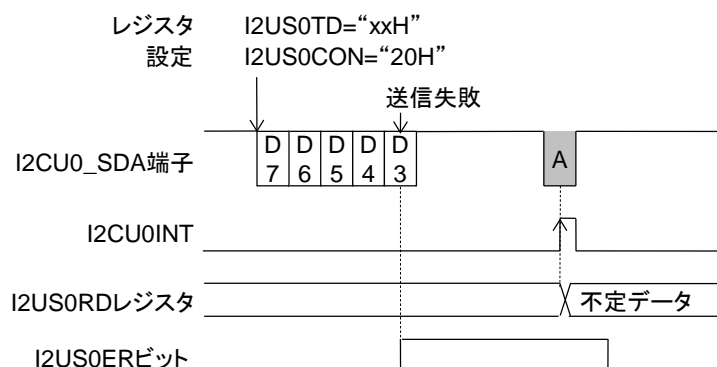


図 12-10 スレーブモード選択時の送信失敗時の動作タイミング

【注意】

- スレーブモード有効状態で STOP/STOP-D モードに移行する場合は、通信中(アドレス一致からストップコンディション受信まで)でないことを確認してから移行してください。

12.3.5 動作波形

図 12-11 に、I2CU0_SDA 端子、I2CU0_SCL 端子、および I2UM0STR レジスタの I2UM0BB フラグの動作波形を示します。また、表 12-4、表 12-5 に通信速度と HSCLK クロック数の関係を、表 12-6 に通信速度と LSCLK クロック数の関係を示します。

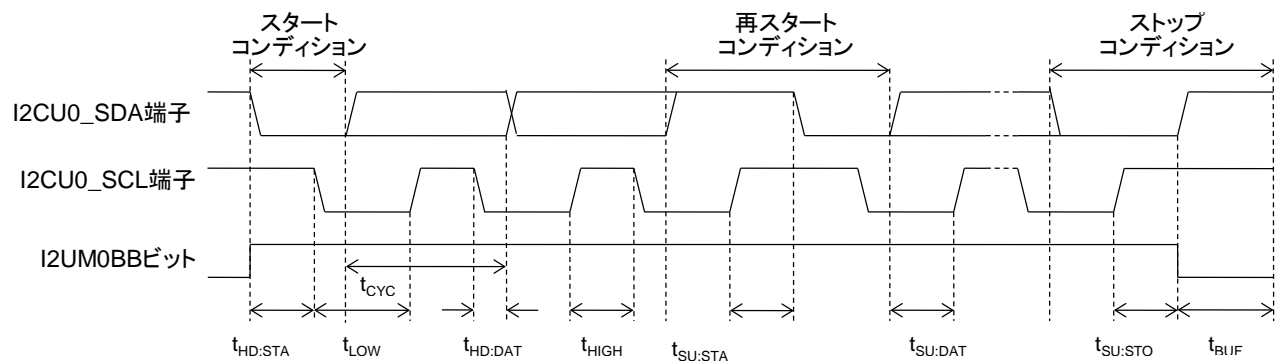


図 12-11 I2CU0_SDA 端子、I2CU0_SCL 端子、および I2UM0BB フラグの動作波形

表 12-4 通信速度と HSCLK クロック数の関係(HSCLK=24MHz 時)

I2UM0MOD レジスタ		t _{CYC}	t _{HD:STA}	t _{LOW}	t _{HD:DAT}	t _{HIGH}	t _{SU:STA}	t _{SU:DAT}	t _{SU:STO}	t _{BUF}
通信速度 (I2UM0MD1, 0 ビット)	速度低下 (I2UM0DW1, 0 ビット)									
00 (標準モード :100kbps)	00(低下なし)	240φ	108φ	132φ	24φ	108φ	132φ	108φ	108φ	132φ
	01(10%低下)	264φ	120φ	144φ	24φ	120φ	144φ	120φ	120φ	144φ
	10(20%低下)	288φ	132φ	156φ	24φ	132φ	156φ	132φ	132φ	156φ
	11(30%低下)	312φ	144φ	168φ	24φ	144φ	168φ	144φ	144φ	168φ
01 (ファスト モード :400kbps)	00(低下なし)	60φ	24φ	36φ	12φ	24φ	36φ	24φ	24φ	36φ
	01(10%低下)	66φ	27φ	39φ	12φ	27φ	39φ	27φ	27φ	39φ
	10(20%低下)	72φ	30φ	42φ	12φ	30φ	42φ	30φ	30φ	42φ
	11(30%低下)	78φ	33φ	45φ	12φ	33φ	45φ	33φ	33φ	45φ
10 または 11 (1Mbps モード :1Mbps)	00(低下なし)	24φ	10φ	14φ	4φ	10φ	14φ	10φ	10φ	14φ
	01(10%低下)	26φ	11φ	15φ	4φ	11φ	15φ	11φ	11φ	15φ
	10(20%低下)	29φ	13φ	16φ	4φ	13φ	16φ	12φ	13φ	16φ
	11(30%低下)	31φ	14φ	17φ	4φ	14φ	17φ	13φ	14φ	17φ

上記クロック数は、動作周波数に HSCLK を選択した場合 (I2UM0MOD レジスタの I2UM0CD2~0 ビット=“000”) の値です。1/2, 1/4HSCLK を選択した場合は、分周比に比例して増加します。

I²C 動作クロックとして高速クロックを選択する場合、PLL の基本周波数に応じて 以下の設定にしてください。

- 標準モード : I²C 動作クロック HSCLK~1/4HSCLK
- ファストモード : I²C 動作クロック HSCLK, 1/2HSCLK
- 1Mbps モード : I²C 動作クロック HSCLK, 1/2HSCLK

φ: 1/mHSCLK のクロック周期

1/mHSCLK: I2UM0MOD レジスタの I2UM0CD2~0 ビットで設定します。

(m=1, 2, 4)
(例)

I²C 動作クロック周波数 = 24MHz : φ≐41.67ns
= 12MHz : φ≐83.33ns
= 6MHz : φ≐166.67ns

表 12-5 通信速度と HSCLK クロック数の関係 (HSCLK=16MHz 時)

I2UM0MOD レジスタ		t _{CYC}	t _{HD:STA}	t _{LOW}	t _{HD:DAT}	t _{HIGH}	t _{SU:STA}	t _{SU:DAT}	t _{SU:STO}	t _{BUF}
通信速度 (I2UM0MD1, 0 ビット)	速度低下 (I2UM0DW1, 0 ビット)									
00 (標準モード :100kbps)	00(低下なし)	160φ	72φ	88φ	16φ	72φ	88φ	72φ	72φ	88φ
	01(10%低下)	176φ	80φ	96φ	16φ	80φ	96φ	80φ	80φ	96φ
	10(20%低下)	192φ	88φ	104φ	16φ	88φ	104φ	88φ	88φ	104φ
	11(30%低下)	208φ	96φ	112φ	16φ	96φ	112φ	96φ	96φ	112φ
01 (ファスト モード :400kbps)	00(低下なし)	40φ	14φ	26φ	12φ	14φ	26φ	14φ	14φ	26φ
	01(10%低下)	44φ	16φ	28φ	12φ	16φ	28φ	16φ	16φ	28φ
	10(20%低下)	48φ	18φ	30φ	12φ	18φ	30φ	18φ	18φ	30φ
	11(30%低下)	52φ	20φ	32φ	12φ	20φ	32φ	20φ	20φ	32φ
10 または 11 (1Mbps モード :1Mbps)	00(低下なし)	16φ	6φ	10φ	4φ	6φ	10φ	6φ	6φ	10φ
	01(10%低下)	18φ	7φ	11φ	4φ	7φ	11φ	7φ	7φ	11φ
	10(20%低下)	19φ	8φ	11φ	4φ	8φ	11φ	7φ	8φ	11φ
	11(30%低下)	21φ	9φ	12φ	4φ	9φ	12φ	8φ	9φ	12φ

上記クロック数は、動作周波数に HSCLK を選択した場合 (I2UM0MOD レジスタの I2UM0CD2~0 ビット="000") の値です。1/2HSCLK を選択した場合は、分周比に比例して増加します。

I²C 動作クロックとして高速クロックを選択する場合、PLL の基本周波数に応じて 以下の設定にしてください。

標準モード : I²C 動作クロック HSCLK, 1/2HSCLK

ファストモード : I²C 動作クロック HSCLK

1Mbps モード : I²C 動作クロック HSCLK

φ: 1/mHSCLK のクロック周期

1/mHSCLK: I2UM0MOD レジスタの I2UM0CD2~0 ビットで設定します。

(m=1, 2)

(例)

I²C 動作クロック周波数 = 16MHz : φ≒62.50ns

= 8MHz : φ≒125.00ns

表 12-6 通信速度と LSCLK クロック数の関係

I2UM0MD1	I2UM0MD0	通信速度	t _{CYC}	t _{HD:STA}	t _{LOW}	t _{HD:DAT}	t _{HIGH}	t _{SU:STA}	t _{SU:DAT}	t _{SU:STO}	t _{BUF}
0	0	2.048kbps	16φ	8φ	8φ	1φ	8φ	8φ	7φ	8φ	8φ
0	1	4.096kbps	8φ	4φ	4φ	1φ	4φ	4φ	3φ	4φ	4φ
1	*	8.192kbps	4φ	2φ	2φ	1φ	2φ	2φ	1φ	2φ	2φ

上記クロック数は、動作周波数に LSCLK を選択した場合 (I2UM0MOD レジスタの I2UM0CD2~0 ビット="100") の値です。

1/2~1/8LSCLK を選択した場合は、分周比に比例して増加します。

φ: 1/mLSCLK のクロック周期

1/mLSCLK: I2UM0MOD レジスタの I2UM0CD2~0 ビットで設定します。

LSCLK をクロックとする場合は、I2UM0MOD レジスタの I2UM0DW1, 0 ビットの設定値が無効になります。

*: 1 または 0

【注意】

- スレーブ・デバイスが I2CU0_SCL 端子を“L”レベルにホールドするクロックストレッチ機能を使用した場合は、t_{CYC}、t_{LOW} 期間が延長されます。

第 13 章 I²C バスマスタ

13.I²C バスマスタ

13.1 概要

ML62Q1500C/1700C グループは、I²C 仕様に準拠し、マスタ機能に対応した I²C バスマスタを 2 チャンネル内蔵しています。
I²C バスマスタは、第 12 章で説明した I²C バスユニットから、スレーブ機能と低速クロック (LSCLK) 動作を削減したマスタ専用の機能です。

表 13-1 に商品毎の搭載チャンネルを示します。

チャンネル番号 (n)	ML62Q1500C／ML62Q1700C グループ		
	52 ピン製品	64 ピン製品	80 ピン製品
0	●	●	●
1	●	●	●

●: 搭載

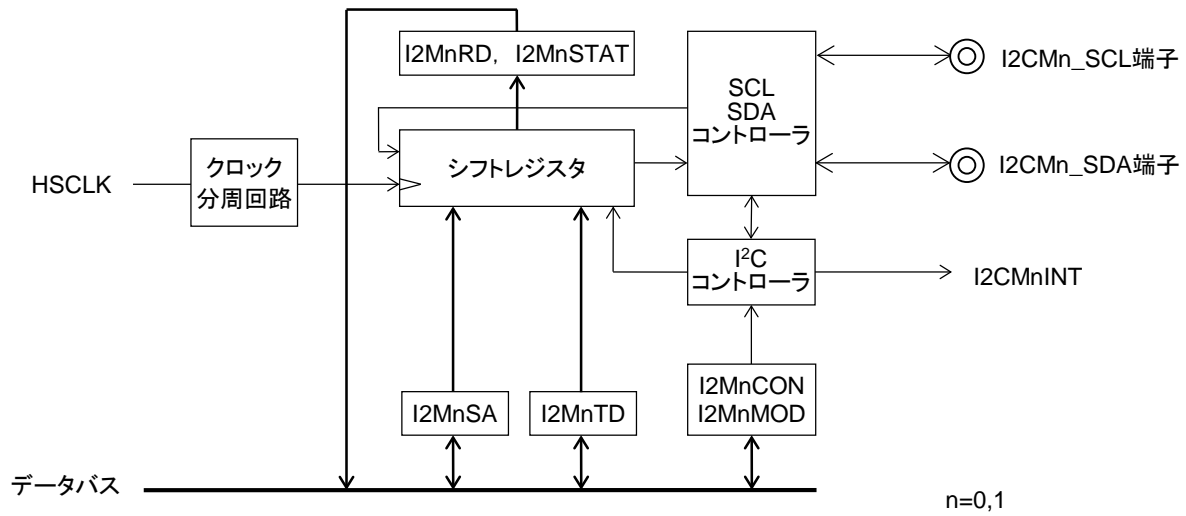
13.1.1 特長

マスタ機能に対応しています。表 13-2 に I²C バスマスタの特長を示します。

表 13-2 I ² C バスマスタの特徴		
機能	動作モード	特長
I ² C バスマスタ	マスタ機能	<ul style="list-style-type: none">・通信速度: 標準モード (100kbps), ファストモード (400kbps), 独自規格の 1Mbps モード (1Mbps) に対応・スレーブのクロックストレッチ機能 (ハンドシェイク) に対応・7 ビットアドレスフォーマット (10 ビットアドレスフォーマットに対応可能)・I²C バスに送信したデータをリードすることによる自己テスト機能 (安全機能)

13.1.2 構成

図 13-1 に I²C バスマスタ回路の構成を示します。



I2CMn_SCL	: シリアルクロック
I2CMn_SDA	: シリアルデータ
I2MnRD	: I ² C マスタ n 受信レジスタ
I2MnSA	: I ² C マスタ n スレーブアドレスレジスタ
I2MnTD	: I ² C マスタ n 送信データレジスタ
I2MnCON	: I ² C マスタ n コントロールレジスタ
I2MnMOD	: I ² C マスタ n モードレジスタ
I2MnSTAT	: I ² C マスタ n ステータスレジスタ

13.1.3 端子一覧

I²C バスマスタの入出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
I2CMn_SDA	I/O	I ² C バスマスタ n データ入出力
I2CMn_SCL	I/O	I ² C バスマスタ n クロック入出力

13.1.4 端子設定について

I2CMn_SDA 端子, I2CMn_SCL 端子は、複数の汎用ポートの兼用機能に割り付けられています。

I2CMn_SDA 端子, I2CMn_SCL 端子は必ず以下の組み合わせで使用してください。

入出力端子	組み合わせ 1	組み合わせ 2
I2CM0_SDA	P06	P22
I2CM0_SCL	P07	P23
入出力端子	組み合わせ 3	
I2CM1_SDA	P61	
I2CM1_SCL	P60	

I2CMn_SDA 端子, I2CMn_SCL 端子に使用する汎用ポートは、兼用機能のモード設定に加えて、ポート n モードレジスタ m (PnMODm) に下記の設定を書き込み、「入力許可, 出力許可, Nch オープンドレイン出力, プルアップしない」を選択してください。

表 13-3 I²C バスマスタ 汎用ポート組み合わせ

ポート名	PnMODm	組み合わせ	設定値	ML62Q1500C ML62Q1700C グループ		
				52ピン製品	64ピン製品	80ピン製品
P06	P0MOD6	1	0x3B	●	●	●
P07	P0MOD7	1	0x3B	●	●	●
P22	P2MOD2	2	0x3B	●	●	●
P23	P2MOD3	2	0x3B	●	●	●
P60	P6MOD0	3	0x3B	●	●	●
P61	P6MOD1	3	0x3B	●	●	●

n: 汎用ポート番号 (0~3) m: ビット番号 (0~7)

●: 搭載

【注意】

- I2CMn_SDA 端子, I2CMn_SCL 端子に外部接続するプルアップ抵抗値は、I²C バス規格に従って設定してください。汎用ポートに内蔵しているプルアップ抵抗値は、I²C バス規格を満たすことができません。プルアップ抵抗値については、各商品のデータシートを参照してください。
- バス上に複数のマスタ・デバイスを接続しないでください。

13.2 レジスタ説明

13.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF6E0	予約レジスタ	—	—	—	—	—
0xF6E1	予約レジスタ	—	—	—	—	—
0xF6E2	I ² C マスタ 0 受信レジスタ	I2M0RD	—	R	8	0x00
0xF6E3	予約レジスタ	—	—	—	—	—
0xF6E4	I ² C マスタ 0 スレーブアドレスレジスタ	I2M0SA	—	R/W	8	0x00
0xF6E5	予約レジスタ	—	—	—	—	—
0xF6E6	I ² C マスタ 0 送信データレジスタ	I2M0TD	—	R/W	8	0x00
0xF6E7	予約レジスタ	—	—	—	—	—
0xF6E8	I ² C マスタ 0 コントロールレジスタ	I2M0CON	—	R/W	8	0x00
0xF6E9	予約レジスタ	—	—	—	—	—
0xF6EA	I ² C マスタ 0 モードレジスタ	I2M0MODL	I2M0MOD	R/W	8/16	0x00
0xF6EB		I2M0MODH		R/W	8	0x02
0xF6EC	I ² C マスタ 0 ステータスレジスタ	I2M0STAT	I2M0STR	R/W	8/16	0x00
0xF6ED		I2M0ISR		R/W	8	0x00
0xF6F0	予約レジスタ	—	—	—	—	—
0xF6F1	予約レジスタ	—	—	—	—	—
0xF6F2	I ² C マスタ 1 受信レジスタ	I2M1RD	—	R	8	0x00
0xF6F3	予約レジスタ	—	—	—	—	—
0xF6F4	I ² C マスタ 1 スレーブアドレスレジスタ	I2M1SA	—	R/W	8	0x00
0xF6F5	予約レジスタ	—	—	—	—	—
0xF6F6	I ² C マスタ 1 送信データレジスタ	I2M1TD	—	R/W	8	0x00
0xF6F7	予約レジスタ	—	—	—	—	—
0xF6F8	I ² C マスタ 1 コントロールレジスタ	I2M1CON	—	R/W	8	0x00
0xF6F9	予約レジスタ	—	—	—	—	—
0xF6FA	I ² C マスタ 1 モードレジスタ	I2M1MODL	I2M1MOD	R/W	8/16	0x00
0xF6FB		I2M1MODH		R/W	8	0x02
0xF6FC	I ² C マスタ 1 ステータスレジスタ	I2M1STAT	I2M1STR	R/W	8/16	0x00
0xF6FD		I2M1ISR		R/W	8	0x00

13.2.2 I²C マスタ n 受信レジスタ (I2MnRD : n=0,1)

本レジスタは受信データを格納する読み出し専用の特殊機能レジスタ(SFR)です。
受信終了ごとに更新されます。
本レジスタは、リセット機能の他に I2MnMOD レジスタの I2MnEN ビットを“0”にすることで初期化されます。

アドレス: 0xF6E2(I2M0RD), 0xF6F2(I2M1RD)
アクセス: R
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2MnRD							
ビット	—	—	—	—	—	—	—	—	I2MnR 7	I2MnR 6	I2MnR 5	I2MnR 4	I2MnR 3	I2MnR 2	I2MnR 1	I2MnR 0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～0	I2MnR7～ I2MnR0	受信データが格納されるビットです。スレーブアドレスの送信時、およびデータ送受信時に I2CMn_SCL 端子の信号立ち上がりエッジに同期して I2CMn_SDA 端子の信号を受信します。 本ビットを読み出すことで、次の確認が可能です。 ・データの受信時の読み出し: 受信データの確認 ・スレーブアドレスまたはデータの送信時の読み出し: 送信データが確実に送信されたことの確認

13.2.3 I²C マスタ n スレーブアドレスレジスタ (I2MnSA : n=0,1)

本レジスタはスレーブデバイスのアドレスとデータ方向を設定する特殊機能レジスタ(SFR)です。
本レジスタは、リセット機能の他に I2MnMOD レジスタの I2MnEN ビットを“0”にすることで初期化されます。

アドレス: 0xF6E4(I2M0SA), 0xF6F4(I2M1SA)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2MnSA							
ビット	—	—	—	—	—	—	—	—	I2MnA6	I2MnA5	I2MnA4	I2MnA3	I2MnA2	I2MnA1	I2MnA0	I2MnRW
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～1	I2MnA6～I2MnA0	通信相手のアドレスを設定するビットです。
0	I2MnRW	データ方向を設定するビットです。 0: データ送信モード(初期値) 1: データ受信モード

13.2.4 I²C マスタ n 送信データレジスタ (I2MnTD : n=0,1)

本レジスタは送信データを設定する特殊機能レジスタ (SFR) です。
本レジスタは, リセット機能の他に I2MnMOD レジスタの I2MnEN ビットを“0”にすることで初期化されます。

アドレス: 0xF6E6 (I2M0TD), 0xF6F6 (I2M1TD)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								I2MnTD							
ビット	—	—	—	—	—	—	—	—	I2MnT7	I2MnT6	I2MnT5	I2MnT4	I2MnT3	I2MnT2	I2MnT1	I2MnT0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7~0	I2MnT7~ I2MnT0	送信データを設定するビットです。

13.2.5 I²C マスタ n コントロールレジスタ (I2MnCON : n=0,1)

本レジスタは、送受信動作を制御する特殊機能レジスタ(SFR)です。
本レジスタは、リセット機能の他に I2MnMOD レジスタの I2MnEN ビットを“0”にすることで初期化されます。

アドレス: 0xF6E8 (I2M0CON), 0xF6F8 (I2M1CON)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								I2MnCON							
ビット	—	—	—	—	—	—	—	I2MnACT	—	—	—	—	I2MnRS	I2MnSP	I2MnST	
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	W	W	R/W	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7	I2MnACT	受信終了時に出力するアクノリッジデータを設定するビットです。 0: アクノリッジデータ“0” (初期値) 1: アクノリッジデータ“1”
6～3	—	予約ビット
2	I2MnRS	再スタートを要求する書き込み専用のビットです。 データ通信中に I2MnRS ビットに“1”を書き込むと再スタートコンディションに移行し、スレーブアドレスから通信を再開します。 I2MnRS ビットは通信動作中 (I2MnST ビット=“1”の時) のみ“1”を書き込むことが可能です。 I2MnRS ビットは読み出すと常に“0”が読み出されます。 0: 再スタート要求なし (初期値) 1: 再スタート要求
1	I2MnSP	ストップコンディションを要求する書き込み専用のビットです。 I2MnSP ビットに“1”を書き込むとストップコンディションに移行し通信を停止します。 I2MnSP ビットからは常に“0”が読み出されます。 0: ストップコンディション要求なし (初期値) 1: ストップコンディション要求
0	I2MnST	I ² C バスマスタの通信動作を制御するビットです。 I2MnST ビットが“0”のときに“1”を書き込むとスタートコンディションとスレーブアドレスを送信します。アクノリッジ送受信後に、次のデータ送受信を待機している状態で I2MnST ビットに“1”を上書きするとデータ送受信を再開します。また、I2MnST ビットに“0”を書き込むと強制的に通信を停止します。I2MnSP ビットに“1”を書き込むと I2MnST ビットは“0”にリセットされます。 0: 通信停止 (初期値) 1: 通信開始

- 【注意】
- I2MnACT ビットは、コントロールレジスタ設定待ち状態のときにバイトアクセスで書き込んでください。
 - I2MnST ビットが“1”の時に、I2MnCON の I2MnST ビット以外のビットを書込む場合は、コントロールレジスタ設定待ち状態のときにおこなってください。

13.2.6 I²C マスタ n モードレジスタ (I2MnMOD : n=0,1)

本レジスタは動作モードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF6EA (I2M0MODL/I2M0MOD), 0xF6EB (I2M0MODH),
0xF6FA (I2M1MODL/I2M1MOD), 0xF6FB (I2M1MODH)
アクセス: R/W
アクセスサイズ: 8 ビット/16 ビット
初期値: 0x0200

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	I2MnMOD															
バイト	I2MnMODH								I2MnMODL							
ビット	—	—	—	—	—	—	I2MnC D1	I2MnC D0	—	—	I2MnS YN	I2MnD W1	I2MnD W0	I2MnM D1	I2MnM D0	I2MnE N
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 10	—	予約ビット
9, 8	I2MnCD1, I2MnCD0	I ² C 動作クロックを選択するビットです。 0 0: HSCLK 0 1: 1/2HSCLK 1 0: 1/4HSCLK (初期値) 1 1: 1/8HSCLK (使用禁止)
7, 6	—	予約ビット
5	I2MnSYN	クロックストレッチ機能の使用/未使用を選択するビットです。クロックストレッチ機能を使用する場合は“1”に設定してください。I2MnSYN ビットを“1”に設定すると、I ² C バスの監視をおこないます。そのため、I ² C バスの負荷の大きさと通信速度が低下します。 0: クロックストレッチ未使用 (初期値) 1: クロックストレッチ使用
4, 3	I2MnDW1, I2MnDW0	I ² C バスマスタの通信速度低下率を設定するビットです。通信速度が I2MnMD1, I2MnCD0 ビットで設定した 100kbps/400kbps/1Mbps を超えないようにこのビットで調整してください。 0 0: 通信速度低下なし (初期値) 0 1: 通信速度 約 9.1%低下 1 0: 通信速度 約 16.7%低下 1 1: 通信速度 約 23.1%低下
2, 1	I2MnMD1, I2MnMD0	I ² C バスマスタの通信速度を設定するビットです。 標準モード/ファストモード/1Mbps モードから選択可能です。 0 0: 標準モード (初期値) (100kbps*) 0 1: ファストモード (400kbps*) 1 0: 1Mbps モード (1Mbps*) 1 1: 1Mbps モード (1Mbps*) *: I2MnCD1, I2MnCD0 ビットが“00”, かつ I2MnSYN ビットが“0”の場合
0	I2MnEN	I ² C バスマスタのマスタ動作を許可するビットです。 本ビットに“1”を書き込むと I ² C バス (シリアルデータ (I2CMn_SDA) とシリアルクロック (I2CMn_SCL)) の使用状態を示す I2MnSTR レジスタの I2MnBB ビットが動作を開始し、I2MnCON レジスタの I2MnST ビットの設定が可能となります。 I2MnEN ビットに“0”を書き込むと I ² C マスタ動作を停止し、I2MnRD, I2MnSA, I2MnTD, I2MnCON, I2MnSTR レジスタが初期化されます。 0: I ² C マスタ動作停止 (初期値) 1: I ² C マスタ動作許可

【注意】

- I²C 動作クロックとして高速クロックを選択する場合, PLL の基本周波数に応じて 以下の設定にしてください。

HSCLK=24MHz

標準モード : I²C 動作クロック HSCLK \sim 1/4HSCLKファストモード : I²C 動作クロック HSCLK, 1/2HSCLK1Mbps モード : I²C 動作クロック HSCLK, 1/2HSCLK

HSCLK=16MHz

標準モード : I²C 動作クロック HSCLK, 1/2HSCLKファストモード : I²C 動作クロック HSCLK1Mbps モード : I²C 動作クロック HSCLK

13.2.7 I²C マスタ n ステータスレジスタ (I2MnSTR : n=0,1)

本レジスタは、I²C マスタの状態を示す特殊機能レジスタ (SFR) です。

本レジスタは、リセット機能の他に I2MnMOD レジスタの I2MnEN ビットを“0”にすることで初期化されます。

アドレス: 0xF6EC (I2M0STAT/I2M0STR), 0xF6ED (I2M0ISR)
0xF6FC (I2M1STAT/I2M1STR), 0xF6FD (I2M1ISR)
アクセス: R/W
アクセスサイズ: 8 ビット / 16 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	I2MnSTR															
バイト	I2MnISR								I2MnSTAT							
ビット	—	—	—	—	—	I2MnSPS	I2MnDS	I2MnAS	I2MnBO	—	—	—	—	I2MnER	I2MnACR	I2MnB
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～11	—	予約ビット
10	I2MnSPS	I ² C バス使用状態を示すビットです。I ² C バス上でストップコンディションを送信すると“1”にセットされます。I2MnSPS ビットに“1”を書き込むと“0”にリセットされます。 0: ストップコンディション送信完了状態ではない(初期値) 1: ストップコンディション送信完了状態
9	I2MnDS	I ² C バス使用状態を示すビットです。I ² C バス上でデータの送受信後と“1”にセットされます。I2MnDS ビットに“1”を書き込むと“0”にリセットされます。 0: データ送受信完了状態ではない(初期値) 1: データ送受信完了状態
8	I2MnAS	I ² C バス使用状態を示すビットです。I ² C バス上でスタートコンディションと 7 ビットのスレーブアドレスを送信後“1”にセットされます。I2MnAS ビットに“1”を書き込むと“0”にリセットされます。 0: スタートコンディションとスレーブアドレス送信完了状態ではない(初期値) 1: スタートコンディションとスレーブアドレス送信完了状態
7	I2MnBO	I ² C バス使用状態を示すビットです。I ² C バス上でスタートコンディションを出力すると“1”にセットされ、ストップコンディションを出力して t _{BUF} 時間が経過する、もしくは I2CMn_SDA 端子のデータ通信エラーが発生すると“0”にリセットされます。I2MnBO ビットに“1”を書き込むと“0”にリセットされます。 I2MnBO ビットが“1”の場合、I ² C バスのオーナーであることを示します。 0: I ² C バス権取得状態でない(初期値) 1: I ² C バス権取得状態
6～3	—	予約ビット
2	I2MnER	送信エラーを示すビットです。送信したビットと I2CMn_SDA 端子の値が一致しなかった場合に“1”にセットされます。 I2MnER ビットに“1”を書き込むと“0”にリセットされます。 ・クロックストレッチ機能を使用している場合 (I2MnSYN=“1”)は、I2MnER ビットに“1”をセットすると、これ以降のバイトデータ通信終了まで I2CMn_SDA 端子出力を禁止します。 ・クロックストレッチ機能を使用していない場合 (I2MnSYN=“0”)は、I2MnER ビットに“1”がセットされても、これ以降のバイトデータ通信終了まで I2CMn_SDA 端子出力を継続します。 0: 送信エラーなし(初期値) 1: 送信エラーあり
1	I2MnACR	受信したアクノリッジが格納されるビットです。スレーブアドレスの送信とデータ送受信終了ごとにアクノリッジ信号を受信します。I2MnACR ビットに“1”を書き込むと“0”にリセットされます。 0: アクノリッジ“0”を受信(初期値) 1: アクノリッジ“1”を受信

ビット 番号	ビットシンボル 名	説明
0	I2MnBB	I ² C バス使用状態を示すビットです。I ² C バス上でスタートコンディションが発生すると“1”にセットされ、ストップコンディションが発生すると“0”にリセットされます。I2MnBB ビットに“1”を書き込むと“0”にリセットされます。 0: I ² C バスフリー状態（初期値） 1: I ² C バスビジー状態

【注意】

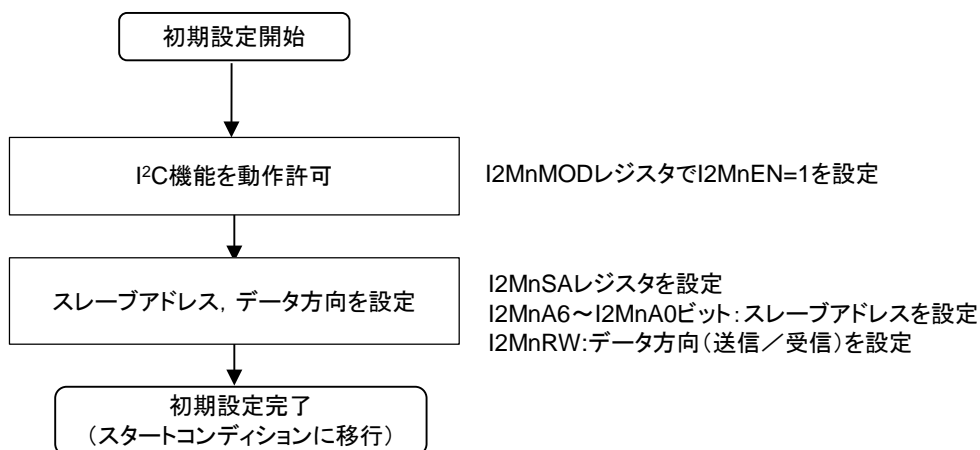
- I2MnBB ビット, I2MnACR ビット, I2MnER ビット, I2MnBO ビット, I2MnAS ビット, I2MnDS ビット, I2MnSPS ビットはワードアクセスもしくは、バイトアクセスで書き込んでください。
- I2MnBB ビット, I2MnBO ビットは, “1”を書き込み後, I²C 動作クロック後に“0”にリセットされます。

13.3 動作説明

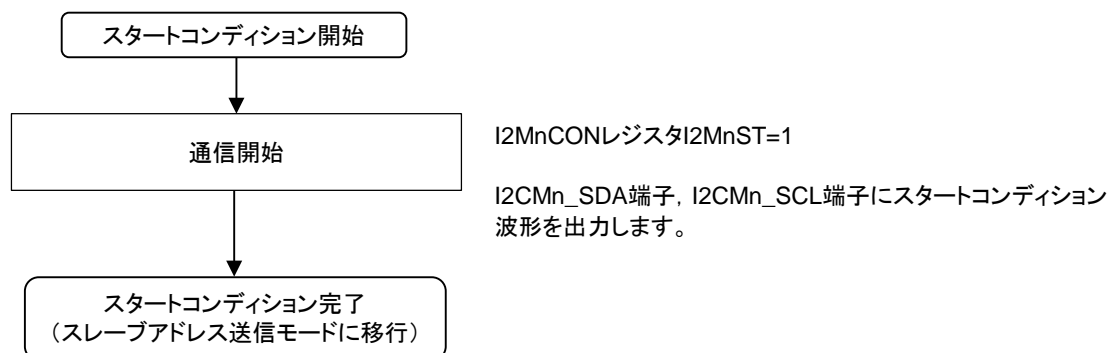
13.3.1 マスタ動作

マスタの各動作手順を下記フローに示します。

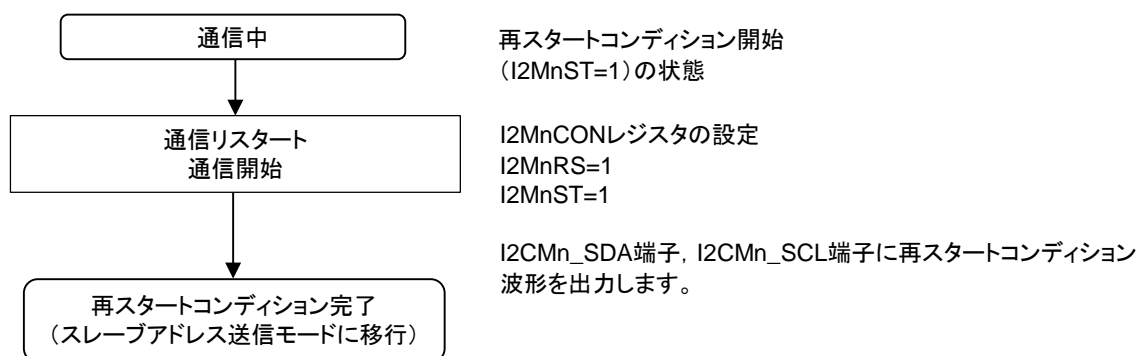
13.3.1.1 通信動作の初期設定



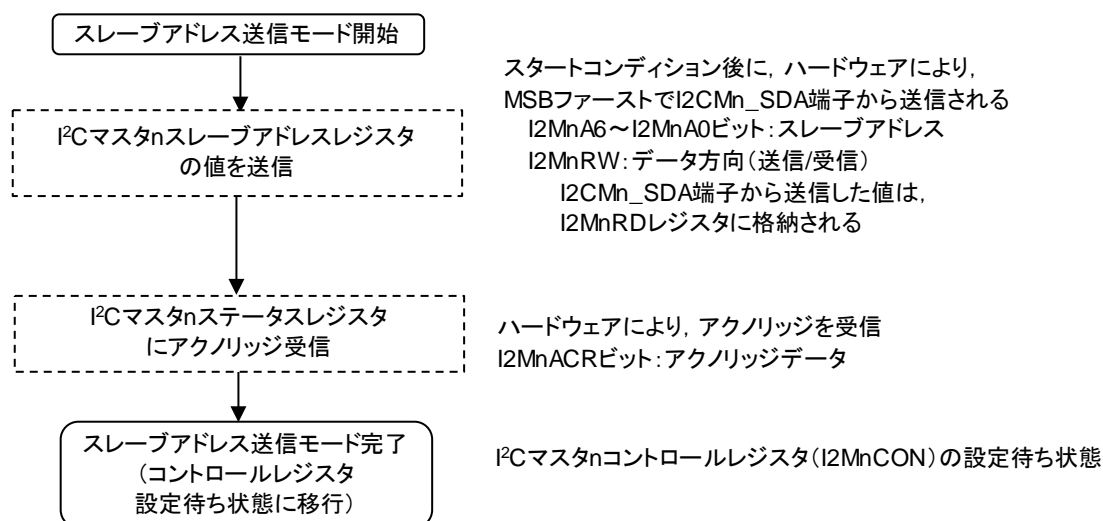
13.3.1.2 スタートコンディション



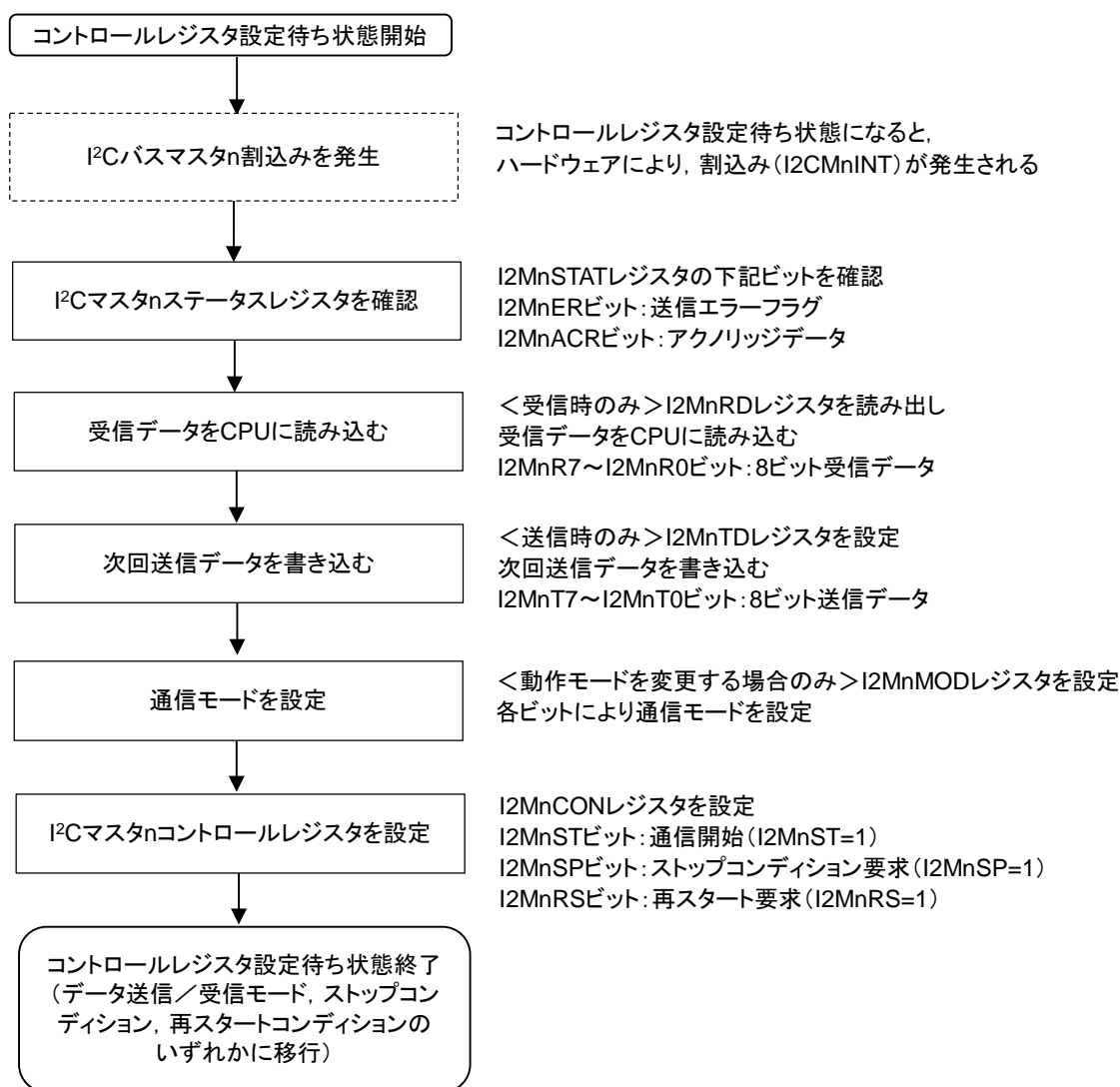
13.3.1.3 再スタートコンディション



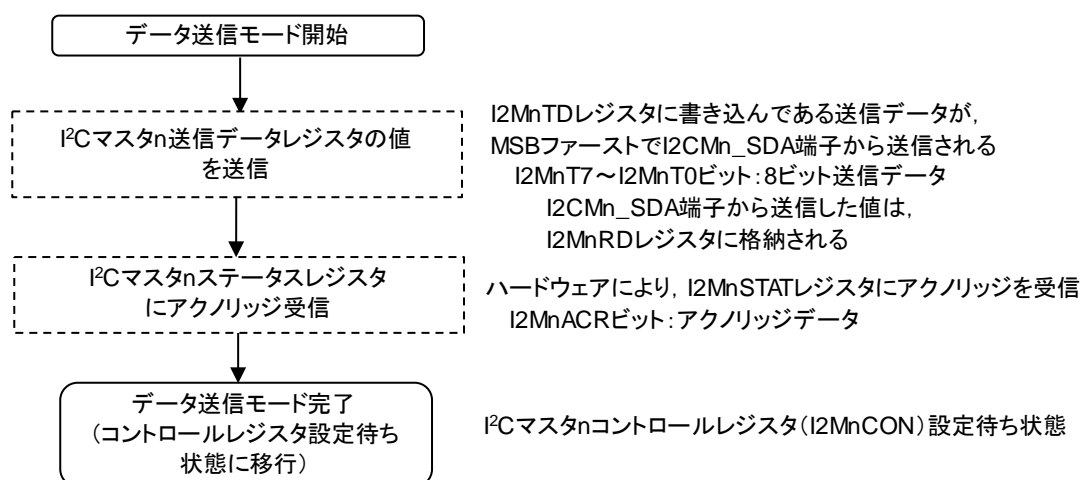
13.3.1.4 スレーブアドレス送信モード



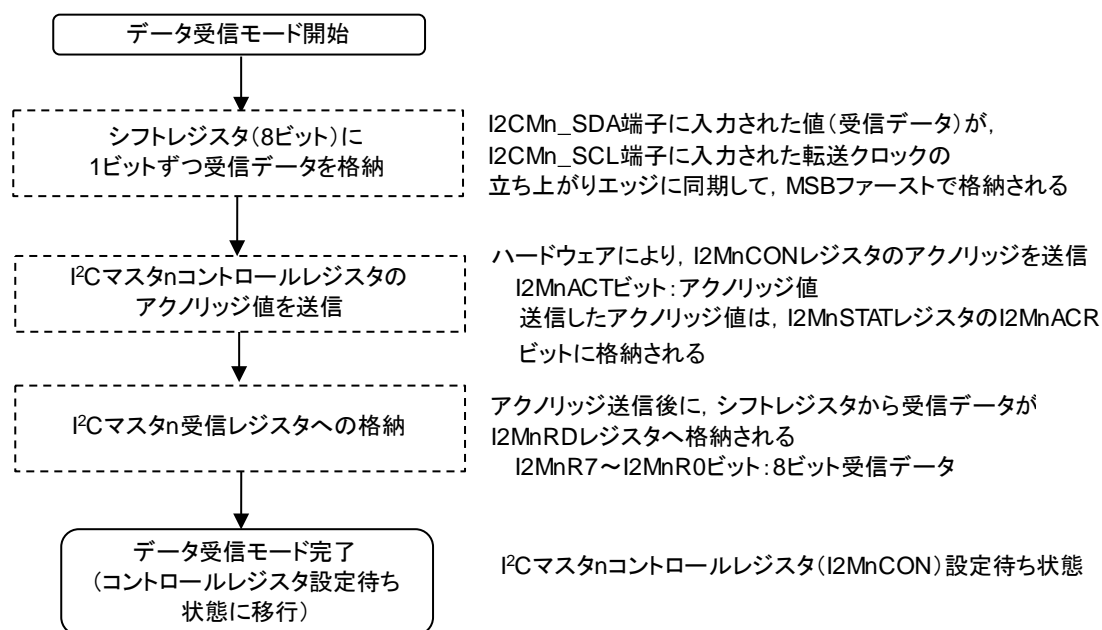
13.3.1.5 コントロールレジスタ設定待ち状態



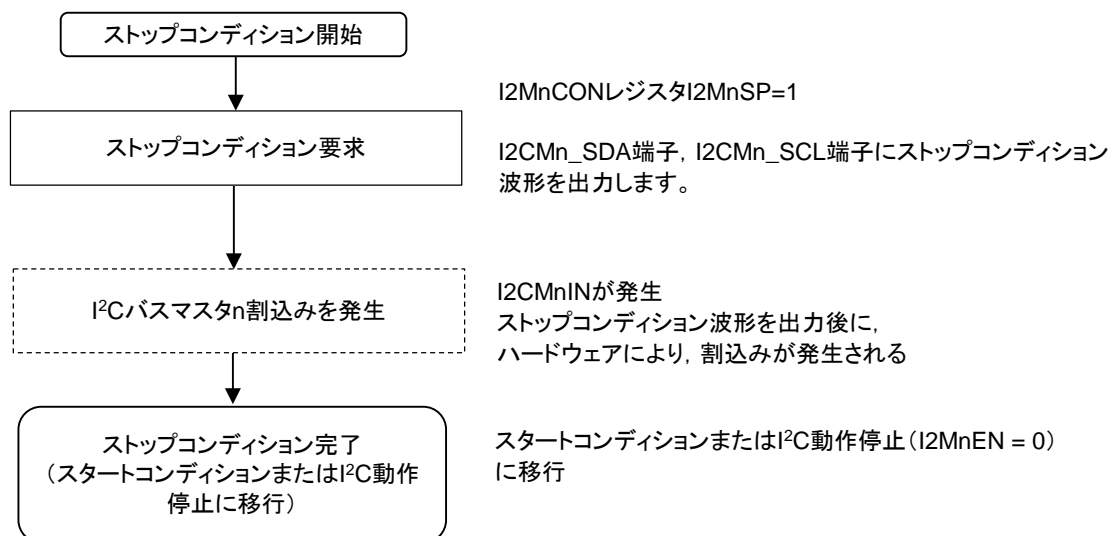
13.3.1.6 データ送信モード



13.3.1.7 データ受信モード



13.3.1.8 ストップコンディション



13.3.2 通信動作タイミング

図 13-2～4 に、各通信モードの動作タイミング、および制御方法を示します。

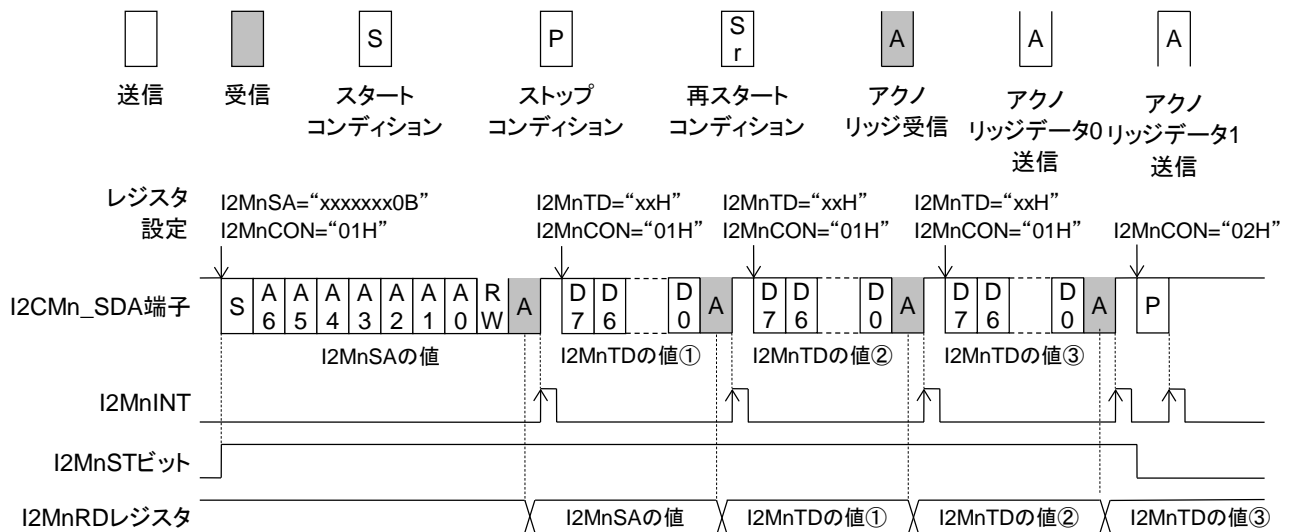


図 13-2 データ送信モード時の動作タイミング

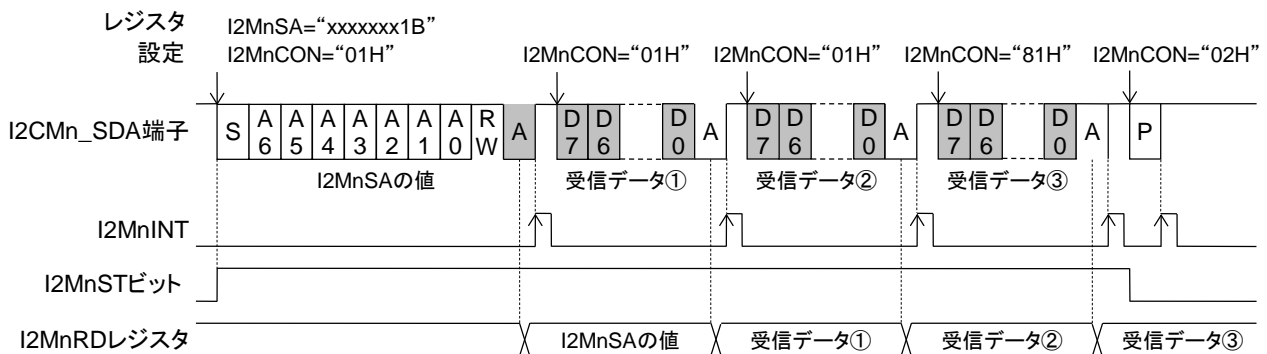


図 13-3 データ受信モード時の動作タイミング

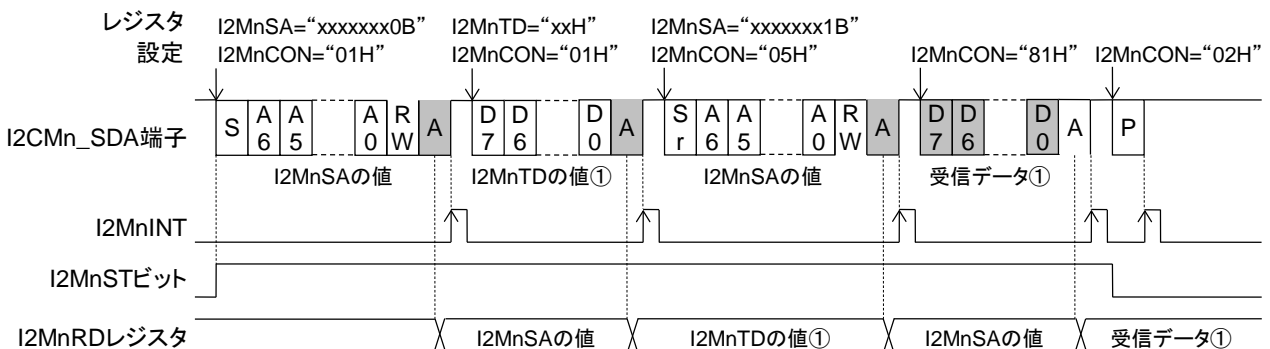


図 13-4 データ送受信モード切り替え時の動作タイミング

図 13-5 にアクリッジエラー発生時の動作タイミング，および制御方法を示します。

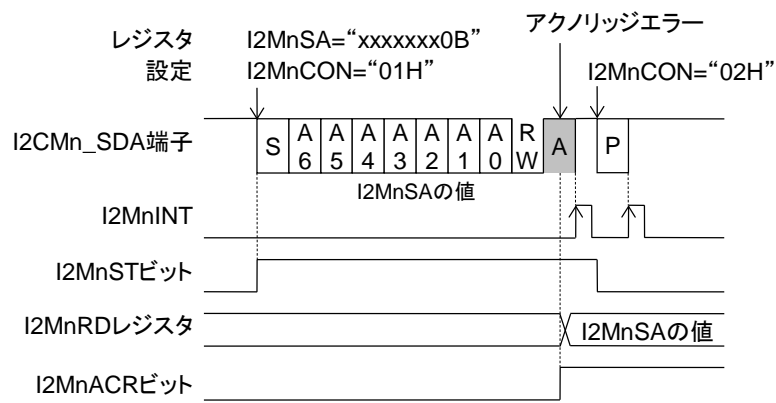


図 13-5 アクリッジエラー発生時の途中停止動作タイミング

送信したビットと I2CMn_SDA 端子の値が一致しなかった場合は，I²C マスタ n ステータスレジスタ (I2MnSTR) の I2MnER ビットが“1”になり，以降のバイトデータ通信終了まで I2CMn_SDA 端子出力が禁止されます。図 13-6 に送信失敗時の動作タイミング，および制御方法を示します。

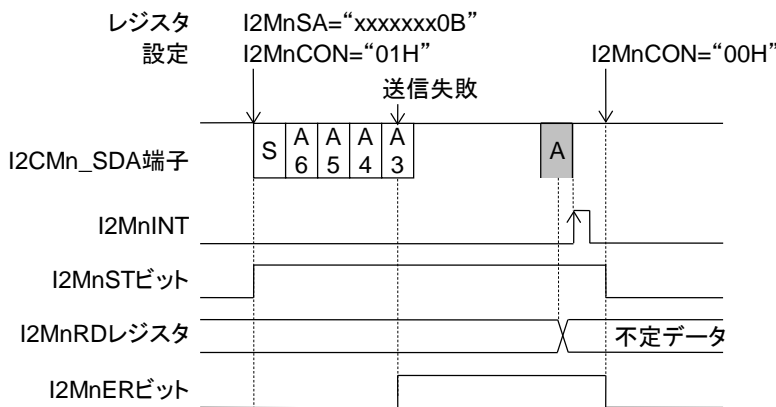


図 13-6 送信失敗時の動作タイミング

13.3.3 動作波形

図 13-7 に、I2CMn_SDA 端子、I2CMn_SCL 端子、および I2MnBB フラグの動作波形を示します。また、表 13-4、表 13-5 に通信速度と HSCLK クロック数の関係を示します。

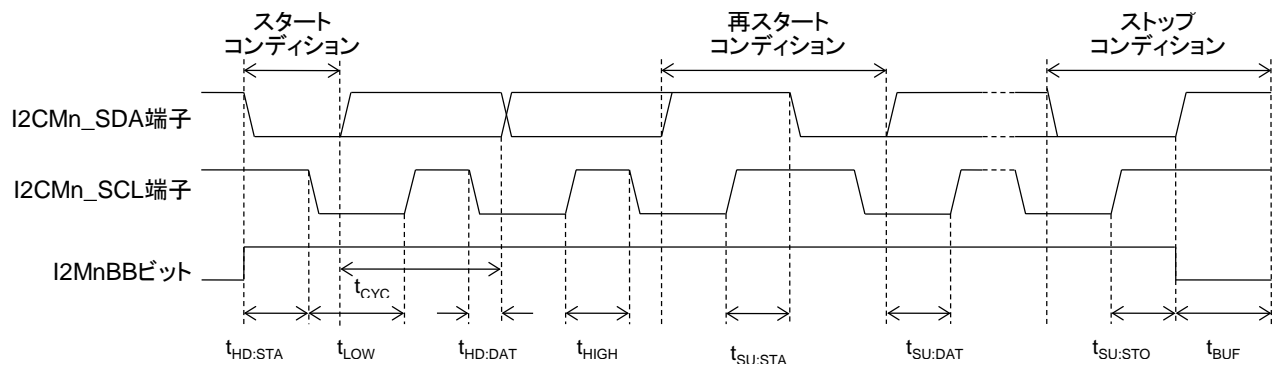


図 13-7 I2CMn_SDA 端子、I2CMn_SCL 端子、および I2MnBB フラグの動作波形

表 13-4 通信速度と HSCLK クロック数の関係 (HSCLK=24MHz 時)

I2MnMOD レジスタ		t _{CYC}	t _{HD:STA}	t _{LOW}	t _{HD:DAT}	t _{HIGH}	t _{SU:STA}	t _{SU:DAT}	t _{SU:STO}	t _{BUF}
通信速度 (I2MnMD1, 0 ビット)	速度低下 (I2MnDW1, 0 ビット)									
00 (標準モード :100kbps)	00(低下なし)	240φ	108φ	132φ	24φ	108φ	132φ	108φ	108φ	132φ
	01(10%低下)	264φ	120φ	144φ	24φ	120φ	144φ	120φ	120φ	144φ
	10(20%低下)	288φ	132φ	156φ	24φ	132φ	156φ	132φ	132φ	156φ
	11(30%低下)	312φ	144φ	168φ	24φ	144φ	168φ	144φ	144φ	168φ
01 (ファスト モード :400kbps)	00(低下なし)	60φ	24φ	36φ	12φ	24φ	36φ	24φ	24φ	36φ
	01(10%低下)	66φ	27φ	39φ	12φ	27φ	39φ	27φ	27φ	39φ
	10(20%低下)	72φ	30φ	42φ	12φ	30φ	42φ	30φ	30φ	42φ
	11(30%低下)	78φ	33φ	45φ	12φ	33φ	45φ	33φ	33φ	45φ
10 または 11 (1Mbps モード :1Mbps)	00(低下なし)	24φ	10φ	14φ	4φ	10φ	14φ	10φ	10φ	14φ
	01(10%低下)	26φ	11φ	15φ	4φ	11φ	15φ	11φ	11φ	15φ
	10(20%低下)	29φ	13φ	16φ	4φ	13φ	16φ	12φ	13φ	16φ
	11(30%低下)	31φ	14φ	17φ	4φ	14φ	17φ	13φ	14φ	17φ

上記クロック数は、動作周波数に HSCLK を選択した場合 (I2MnMOD レジスタの I2MnCD1, 0 ビット=“00”) の値です。
1/2~1/4HSCLK を選択した場合は、分周比に比例して増加します。

I²C 動作クロックとして高速クロックを選択する場合、以下の設定にしてください。

- 標準モード : I²C 動作クロック HSCLK~1/4HSCLK
- ファストモード : I²C 動作クロック HSCLK, 1/2HSCLK
- 1Mbps モード : I²C 動作クロック HSCLK, 1/2HSCLK

φ: 1/mHSCLK のクロック周期

1/mHSCLK: I2MnMOD レジスタの I2MnCD1, 0 ビットの設定によります。

(m=1, 2, 4)

(例)

I²C 動作クロック周波数 = 24MHz : φ≒41.67ns
= 12MHz : φ≒83.33ns
= 6MHz : φ≒166.67ns

表 13-5 通信速度と HSCLK クロック数の関係 (HSCLK=16MHz 時)

I2MnMOD レジスタ		t _{CYC}	t _{HD:STA}	t _{LOW}	t _{HD:DAT}	t _{HIGH}	t _{SU:STA}	t _{SU:DAT}	t _{SU:STO}	t _{BUF}
通信速度 (I2MnMD1, 0 ビット)	速度低下 (I2MnDW1, 0 ビット)									
00 (標準モード : 100kbps)	00 (低下なし)	160φ	72φ	88φ	16φ	72φ	88φ	72φ	72φ	88φ
	01 (10%低下)	176φ	80φ	96φ	16φ	80φ	96φ	80φ	80φ	96φ
	10 (20%低下)	192φ	88φ	104φ	16φ	88φ	104φ	88φ	88φ	104φ
	11 (30%低下)	208φ	96φ	112φ	16φ	96φ	112φ	96φ	96φ	112φ
01 (ファスト モード : 400kbps)	00 (低下なし)	40φ	14φ	26φ	12φ	14φ	26φ	14φ	14φ	26φ
	01 (10%低下)	44φ	16φ	28φ	12φ	16φ	28φ	16φ	16φ	28φ
	10 (20%低下)	48φ	18φ	30φ	12φ	18φ	30φ	18φ	18φ	30φ
	11 (30%低下)	52φ	20φ	32φ	12φ	20φ	32φ	20φ	20φ	32φ
10 または 11 (1Mbps モード : 1Mbps)	00 (低下なし)	16φ	6φ	10φ	4φ	6φ	10φ	6φ	6φ	10φ
	01 (10%低下)	18φ	7φ	11φ	4φ	7φ	11φ	7φ	7φ	11φ
	10 (20%低下)	19φ	8φ	11φ	4φ	8φ	11φ	7φ	8φ	11φ
	11 (30%低下)	21φ	9φ	12φ	4φ	9φ	12φ	8φ	9φ	12φ

上記クロック数は、動作周波数に HSCLK を選択した場合 (I2MnMOD レジスタの I2MnCD1, 0 ビット="00") の値です。
1/2HSCLK を選択した場合は、分周比に比例して増加します。

I²C 動作クロックとして高速クロックを選択する場合、以下の設定にしてください。

標準モード : I²C 動作クロック HSCLK, 1/2HSCLK

ファストモード : I²C 動作クロック HSCLK

1Mbps モード : I²C 動作クロック HSCLK

φ: 1/mHSCLK のクロック周期

1/mHSCLK: I2MnMOD レジスタの I2MnCD1, 0 ビットの設定によります。

(m=1, 2)

(例)

I²C 動作クロック周波数 = 16MHz : φ≒62.50ns
= 8MHz : φ≒125.00ns

【注意】

- スレーブ・デバイスが I2CMn_SCL 端子を“L”レベルにホールドするクロックストレッチ機能を使用した場合は、t_{CYC}、t_{LOW} 期間が延長されます。

第 14 章 DMA コントローラ

14. DMA コントローラ

14.1 概要

ML62Q1500C/1700C グループは, DMA コントローラ(DMAC)を 2 チャンネル内蔵しています。
DMAC を使用すると, CPU を介さずに周辺回路の SFR(特殊機能レジスタ)とデータ・メモリ(RAM)間のデータ転送ができます。
DMA の転送元／転送先に設定可能な機能ブロックは,「14.3.6 DMA 転送対象ブロック」の表 14-1 を参照してください。

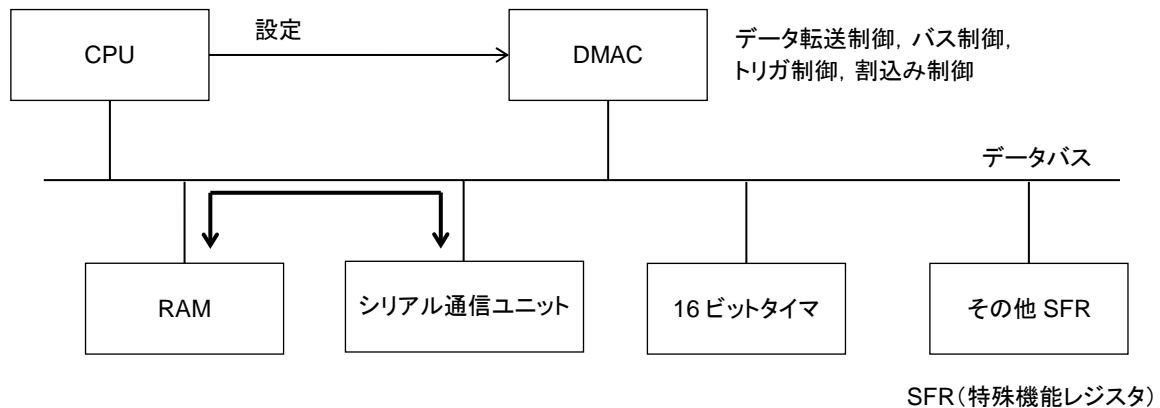


図 14-1 DMA コントローラ 概要図

【注意】

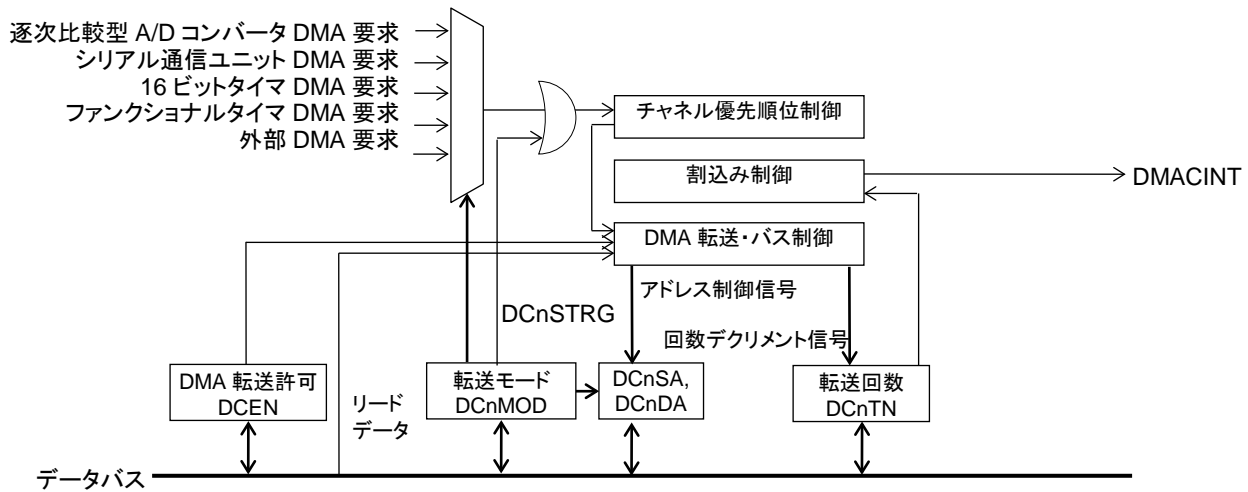
・DMA とコプロセッサを同時に使用しないでください。

14.1.1 特長

- 転送単位 : 8 ビット／16 ビット
- 転送回数 : 1～1024 回
- 転送サイクル : 2 サイクル(CPU と DMA コントローラのデータ処理が競合した場合は CPU が優先)
- 転送アドレス : 固定アドレッシング／インクリメントアドレッシング／デクリメントアドレッシングが選択可能
- 転送対象 : SFR/RAM → SFR/RAM (フラッシュ・メモリの転送はできません)
- 転送要求 : シリアル通信ユニットDMA 要求, 逐次比較型 A/D コンバータDMA 要求, 16ビットタイマDMA 要求, ファンクショナルタイマDMA 要求, 外部DMA 要求, ソフトウェアDMA 要求が選択可能
- 転送優先順位 : チャンネル 0 > チャンネル 1 (チャンネル 0 が優先)
- 割込み機能 : 転送回数分の転送が完了すると DMA コントローラ割込み要求を発生

14.1.2 構成

以下に DMA コントローラ回路の構成を示します。



DCnMOD :DMA チャンネル n 転送モードレジスタ
 DCnTN :DMA チャンネル n 転送回数レジスタ
 DCnSA :DMA チャンネル n 転送元アドレスレジスタ
 DCnDA :DMA チャンネル n 転送先アドレスレジスタ
 DCEN :DMA 転送許可レジスタ
 DCnSTRG :DMA チャンネル n ソフトウェア要求
 (n = 0,1)

図 14-2 DMA コントローラ回路の構成

14.2 レジスタ説明

14.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF700	DMA チャンネル 0 転送モードレジスタ	DC0MODL	DC0MOD	R/W	8/16	0x00
0xF701		DC0MODH		R/W	8	0x00
0xF702	DMA チャンネル 0 転送回数レジスタ	DC0TNL	DC0TN	R/W	8/16	0x00
0xF703		DC0TNH		R/W	8	0x00
0xF704	DMA チャンネル 0 転送元アドレスレジスタ	DC0SAL	DC0SA	R/W	8/16	0x00
0xF705		DC0SAH		R/W	8	0x00
0xF706	DMA チャンネル 0 転送先アドレスレジスタ	DC0DAL	DC0DA	R/W	8/16	0x00
0xF707		DC0DAH		R/W	8	0x00
0xF708	DMA チャンネル 1 転送モードレジスタ	DC1MODL	DC1MOD	R/W	8/16	0x00
0xF709		DC1MODH		R/W	8	0x00
0xF70A	DMA チャンネル 1 転送回数レジスタ	DC1TNL	DC1TN	R/W	8/16	0x00
0xF70B		DC1TNH		R/W	8	0x00
0xF70C	DMA チャンネル 1 転送元アドレスレジスタ	DC1SAL	DC1SA	R/W	8/16	0x00
0xF70D		DC1SAH		R/W	8	0x00
0xF70E	DMA チャンネル 1 転送先アドレスレジスタ	DC1DAL	DC1DA	R/W	8/16	0x00
0xF70F		DC1DAH		R/W	8	0x00
0xF720	DMA 転送許可レジスタ	DCEN	—	R/W	8	0x00
0xF721	予約レジスタ	—	—	—	—	—
0xF722	DMA ステータスレジスタ	DSTATL	DSTAT	R	8/16	0x00
0xF723		DSTATH		R	8	0x00
0xF724	DMA 割込みステータスクリアレジスタ	DICLR	—	W	8	0x00
0xF725	予約レジスタ	—	—	—	—	—

14.2.2 DMA チャンネル n 転送モードレジスタ (DCnMOD : n=0,1)

本レジスタは、転送要求、転送単位、転送元／転送先のアドレッシングモードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF700(DC0MODL／DC0MOD), 0xF701(DC0MODH),
0xF708(DC1MODL／DC1MOD), 0xF709(DC1MODH)
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	DCnMOD															
バイト	DCnMODH								DCnMODL							
ビット	DCnSTRG	—	—	DCnTRG4	DCnTRG3	DCnTRG2	DCnTRG1	DCnTRG0	—	—	—	DCnDS	DCnDAMD1	DCnDAMD0	DCnSAMD1	DCnSAMD0
R/W	W	—	—	R/W	R/W	R/W	R/W	R/W	—	—	—	RW	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビット名	説明
15	DCnSTRG	チャンネル n のソフトウェア要求を発生する書き込み専用のビットです。 DCnSTRG ビットに“1”を書き込むと、一回転送します。読み出すと常に“0”が読み出されます。 0: — (初期値) 1: ソフトウェア要求発生
14, 13	—	予約ビット
12～8	DCnTRG4～ DCnTRG0	チャンネル n の DMA 転送トリガを選択するビットです。 00000: DMA 要求なし (初期値) 00001: 逐次比較型 A/D コンバータ DMA 要求 00010: シリアル通信ユニット 0 UART 受信 DMA 要求 00011: シリアル通信ユニット 0 UART 送信 DMA 要求 00100: シリアル通信ユニット 1 UART 受信 DMA 要求 00101: シリアル通信ユニット 1 UART 送信 DMA 要求 00110: シリアル通信ユニット 0 SSIO 受信 DMA 要求 00111: シリアル通信ユニット 0 SSIO 送信 DMA 要求 01000: シリアル通信ユニット 1 SSIO 受信 DMA 要求 01001: シリアル通信ユニット 1 SSIO 送信 DMA 要求 01010-01111: 設定禁止 10000: 16ビットタイマ 0 DMA 要求 10001: 16ビットタイマ 1 DMA 要求 10010: 16ビットタイマ 2 DMA 要求 10011: 16ビットタイマ 3 DMA 要求 10100: ファンクショナルタイマ 0 DMA 要求 10101: ファンクショナルタイマ 1 DMA 要求 10110: ファンクショナルタイマ 2 DMA 要求 10111: ファンクショナルタイマ 3 DMA 要求 11000: 外部 0 DMA 要求 11001: 外部 1 DMA 要求 11010: 外部 2 DMA 要求 11011: 外部 3 DMA 要求 11100: 外部 4 DMA 要求 11101: 外部 5 DMA 要求 11110: 外部 6 DMA 要求 11111: 外部 7 DMA 要求
7～5	—	予約ビット

ビット番号	ビット名	説明
4	DCnDS	チャンネル n の転送単位を設定するビットです。 0: 8 ビット (初期値) 1: 16 ビット
3, 2	DCnDAMD1, DCnDAMD0	チャンネル n の転送先のアドレッシングモードを設定するビットです。 00: 固定アドレッシングモード (初期値) 転送元または転送先のアドレスは固定されます。 01: インクリメントアドレッシングモード 8 ビット転送モード (DCnDS ビット="0") の時は DCnDA が +1, 16 ビット転送モード (DCnDS ビット="1") の時は +2 されます 10: デクリメントアドレッシングモード 8 ビット転送モード (DCnDS ビット="0") の時は DCnDA が -1, 16 ビット転送モード (DCnDS ビット="1") の時は -2 されます 11: 設定禁止 (デクリメントアドレッシングモード)
1, 0	DCnSAMD1, DCnSAMD0	チャンネル n の転送元のアドレッシングモードを設定するビットです。 00: 固定アドレッシングモード (初期値) 転送元または転送先のアドレスは固定されます。 01: インクリメントアドレッシングモード 8 ビット転送モード (DCnDS ビット="0") の時は DCnSA が +1, 16 ビット転送モード (DCnDS ビット="1") の時は +2 されます 10: デクリメントアドレッシングモード 8 ビット転送モード (DCnDS ビット="0") の時は DCnSA が -1, 16 ビット転送モード (DCnDS ビット="1") の時は -2 されます 11: 設定禁止 (デクリメントアドレッシングモード)

【注意】

- DCnSTRG ビットを除く DCnMOD レジスタの各ビットは、転送停止状態 (DCEN レジスタの DCnEN ビット="0") で設定してください。
- DCnSTRG ビットに "1" を設定してソフトウェア要求をする命令の次の命令がデータ・メモリアクセスの命令の場合、転送が待たされます。DCnSTRG に "1" を設定した命令の後に NOP 命令を 2 つ配置するとすぐに転送することができます。
- 16 ビットタイマ DMA 要求を選択する場合は、16 ビットタイマ n モードレジスタ (TMHnMOD) の THn8BM に "0" を設定し、16 ビットタイマモードにしてください。

14.2.3 DMA チャンネル n 転送回数レジスタ (DCnTN : n=0,1)

本レジスタは、チャンネル n の転送回数を設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF702(DC0TNL/DC0TN), 0xF703(DC0TNH),
0xF70A(DC1TNL/DC1TN), 0xF70B(DC1TNH)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	DCnTN															
バイト	DCnTNH								DCnTNL							
ビット	—	—	—	—	—	—	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0
R/W	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビット名	説明
15～10	—	予約ビット
9～0	d9～d0	DCnTN はチャンネル n の転送回数を設定するビットです。転送回数は 1～1024 回まで設定できます。DMA 転送ごとにー1 されるため、DCnTN を読み出すことで残り転送回数を確認することができます。DCnTN の残り転送回数が“0x0001”から“0x0000”になると DMA 転送が終了し、DMA 割込み要求(DMACINT)が発生します。 DMA 転送終了時、DCnTN は“0x0000”になります。 0000000000: 1024 回(初期値) 0000000001: 1 回 0000000010: 2 回 0000000011: 3 回 1111111101: 1021 回 1111111110: 1022 回 1111111111: 1023 回

- 【注意】
- DCnTN レジスタは転送停止状態(DCnEN=0)で設定してください。転送許可状態(DCnEN=1)では書き込み無効です。
 - 設定された回数分の転送が終了する前に転送を停止(DCnEN=0)した場合、DMA チャンネル n 転送回数レジスタ(DCnTN)の値は保証されません。転送を再開する場合は再度設定してください。

14.2.4 DMA チャンネル n 転送元アドレスレジスタ (DCnSA : n=0,1)

本レジスタは、チャンネル n の転送元アドレスを設定する特殊機能レジスタ(SFR)です。

転送元アドレスは、存在する SFR のアドレスまたは RAM のアドレスを設定してください。存在しないアドレスを設定した場合、動作は保証しません。

また、インクリメントアドレッシングモードおよびデクリメントアドレッシングモードでは、DMA 転送ごとにアドレスが加算または減算されます。8 ビット転送の場合は±1, 16 ビット転送の場合は±2 されます。16 ビット転送の場合、DCnSA の最下位ビットは無視され(d0=0), 偶数番地からのデータが転送の対象となります。

アドレス: 0xF704 (DC0SAL/DC0SA), 0xF705 (DC0SAH),

0xF70C (DC1SAL/DC1SA), 0xF70D (DC1SAH)

アクセス: R/W

アクセスサイズ: 8 ビット/16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	DCnSA															
バイト	DCnSAH								DCnSAL							
ビット	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【注意】

- DCnSA レジスタは転送停止状態(DCnEN ビット=0)で設定してください。転送許可状態(DCnEN ビット=1)では書き込み無効です。DMA 転送が終了する前に転送禁止(DCnEN ビット=0)にした場合の DCnSA の値は保証されません。転送を再開する場合は再度設定してください。

14.2.5 DMA チャンネル n 転送先アドレスレジスタ (DCnDA : n=0,1)

本レジスタは、チャンネル n の転送先アドレスを設定する特殊機能レジスタ(SFR)です。

転送先アドレスは、存在する SFR のアドレスまたは RAM のアドレスを設定してください。存在しないアドレスを設定した場合、動作は保証しません。

また、インクリメントアドレッシングモードおよびデクリメントアドレッシングモードでは、DMA 転送ごとにアドレスが加算または減算されます。8ビット転送の場合は±1、16ビット転送の場合は±2されます。16ビット転送の場合、DCnDA の最下位ビットは無視され(d0=0)、偶数番地からのデータが転送の対象となります。

アドレス: 0xF706 (DC0DAL/DC0DA), 0xF707 (DC0DAH),
0xF70E (DC1DAL/DC1DA), 0xF70F (DC1DAH)

アクセス: R/W

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	DCnDA															
バイト	DCnDAH								DCnDAL							
ビット	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【注意】

- DCnDA レジスタは転送停止状態(DCnEN=0)で設定してください。転送許可状態(DCnEN=1)では書き込み無効です。DMA 転送が終了する前に転送禁止(DCnEN=0)にした場合の DCnDA の値は保証されません。転送を再開する場合は再度設定してください。

14.2.6 DMA 転送許可レジスタ (DCEN)

本レジスタは、チャンネル n の DMA 転送動作の許可／停止および各チャンネルの動作が競合した場合の動作を設定する特殊機能レジスタ (SFR) です。

アドレス: 0xF720
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								DCEN							
ビット	—	—	—	—	—	—	—	—	DCF	—	—	—	—	—	DC1EN	DC0EN
R/W	—	—	—	—	—	—	—	—	R/W	—	—	—	—	—	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7	DCF	DMA チャンネル n 転送回数レジスタ (DCnTN) で設定した転送回数の DMA 転送が終了するまでチャンネルを固定するかしないかを選択します。 DCF ビットを“1”にすると、DMA 転送中のチャンネルの転送が終了するまで、他のチャンネルの転送要求は無視されます。 DCF ビットを“0”にして DC0EN ビットと DC1EN ビットを共に“1”に設定して転送許可すると、転送要求が先に発生したチャンネルが転送開始します。転送要求が同時に発生した場合はチャンネル 0 が転送開始します。ただし、DMA 処理中に発生した転送要求については「14.3.3 DMA 転送要求」を参照してください。 0: DMA 転送チャンネルフリー (初期値) 1: DMA 転送チャンネル固定
6～2	—	予約ビット
1, 0	DC1EN, DC0EN	本ビットに“1”を設定すると、チャンネル n の DMA 転送を許可します。 許可された状態で転送要求が発生すると DMA 転送を開始します。 DMA チャンネル n 転送回数レジスタ (DCnTN) に設定した転送回数の DMA 転送が終了すると、DCnEN ビットは“0”にリセットされます。 DMA 転送を停止させる場合は、DCnEN に“0”を設定してください。 0: DMA チャンネル n の転送停止 (初期値) 1: DMA チャンネル n の転送許可

【注意】

- DCF ビットはチャンネル転送停止状態 (DCnEN=0) で設定してください。チャンネル転送許可状態 (DCnEN=1) では書き込み無効です。
- DMA チャンネル n 転送回数の転送が終了すると、DMA ステータスレジスタ (DSTAT) の DCnISTA ビットに“1”が設定されます。次に DMA 転送を許可する前に必ず DMA 割込みステータスクリアレジスタ (DICLR) を使ってステータスビット (DCnISTA) をクリアしてください。ステータスが“1”の状態では、DMA 転送は許可できません。DMA 割込みを使用しない場合でもステータスビット (DCnISTA) をクリアしてください。

14.2.7 DMA ステータスレジスタ (DSTAT)

本レジスタは、DMA 転送チャンネルの状態を示す特殊機能レジスタ(SFR)です。

アドレス: 0xF722(DSTATL/DSTAT), 0xF723(DSTATH)
アクセス: R
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	DSTAT															
バイト	DSTATH								DSTATL							
ビット	—	—	—	—	—	—	DC1S TA	DC0S TA	—	—	—	—	—	—	DC1IS TA	DC0IS TA
R/W	—	—	—	—	—	—	R	R	—	—	—	—	—	—	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビット名	説明
15～ 10	—	予約ビット
9, 8	DC1STA, DC0STA	転送チャンネル固定(DCENレジスタのDCFビット=“1”)の場合にチャンネルnが転送中であることを示すビットです。 転送チャンネルフリー(DCF=“0”)では本ビットは常に“0”に固定されます。 0: DMA チャンネル n が停止中(初期値) 1: DMA チャンネル n が転送中
7～2	—	予約ビット
1, 0	DC1ISTA, DC0ISTA	チャンネルnのDMA転送が終了したことを示すビットです。割込み発生時にDCnISTAを読み出して転送が終了したチャンネルを確認してください。 DMA 割込みステータスクリアレジスタ(DICLR)の対応ビットに“1”を書き込むことでクリアされます。 0: DMA チャンネル n が動作中, または停止中(初期値) 1: DMA チャンネル n が動作終了

14.2.8 DMA 割込みステータスクリアレジスタ (DICLR)

本レジスタは, DMA 転送チャネルの割込みステータスをクリアする特殊機能レジスタ(SFR)です。

アドレス: 0xF724
アクセス: W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								DICLR							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	DICLR 1	DICLR 0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビット名	説明
7～2	—	予約ビット
1	DICLR1	本ビットに“1”を書き込むと, DSTAT レジスタの DC1I1STA ビットが“0”にクリアされます。 本ビットを読み出すと常に“0”が読み出されます。 “0”書き込み: 無効 “1”書き込み: DMA チャネル 1 割込みステータスがクリアされます
0	DICLR0	本ビットに“1”を書き込むと, DSTAT レジスタの DC0I1STA ビットが“0”にクリアされます。 本ビットを読み出すと常に“0”が読み出されます。 “0”書き込み: 無効 “1”書き込み: DMA チャネル 0 割込みステータスがクリアされます

14.3 動作説明

DMA コントローラを使用して、CPU を介さずに周辺回路の特殊機能レジスタ(SFR)とデータ・メモリ(RAM)間のデータ転送ができます。

転送単位、転送回数、転送アドレッシング、転送トリガを選択し、DMA 転送を許可した後、転送回数分の転送が完了すると DMA コントローラ割込み要求を発生します。

14.3.1 DMA コントローラ使用手順

以下に DMA コントローラの設定手順／終了手順を示します。

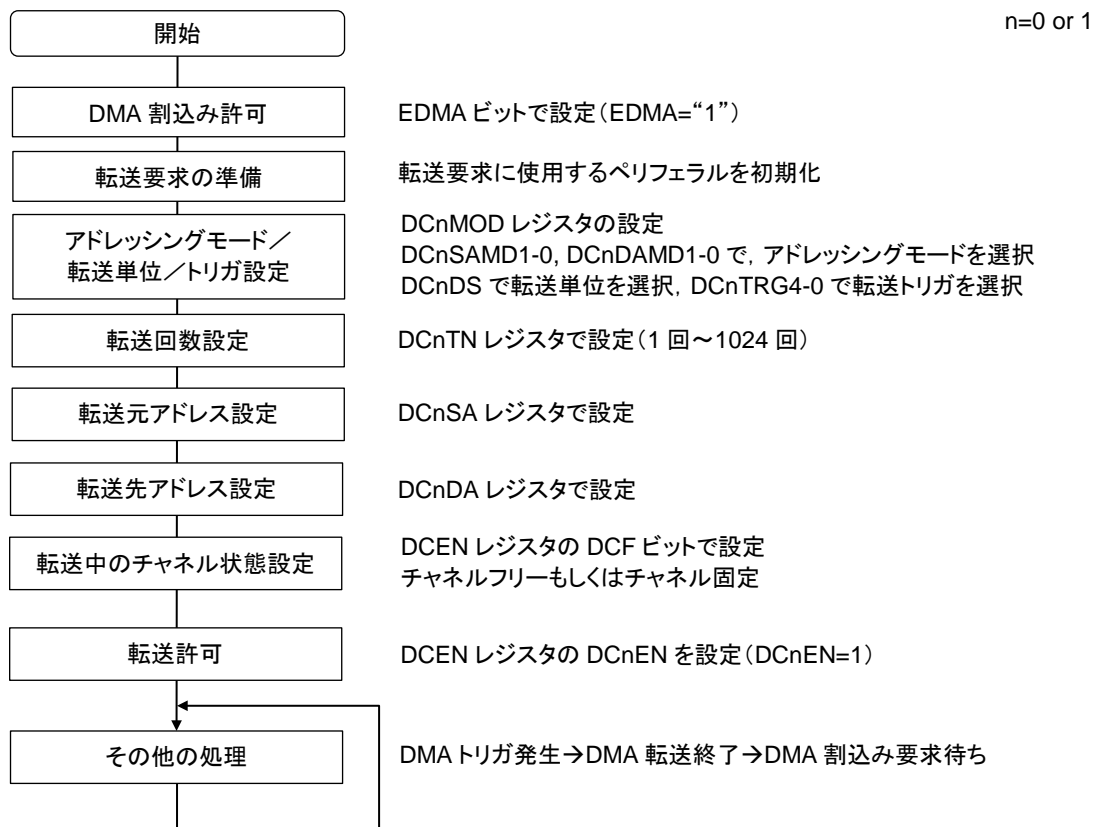


図 14-3 DMA 設定手順

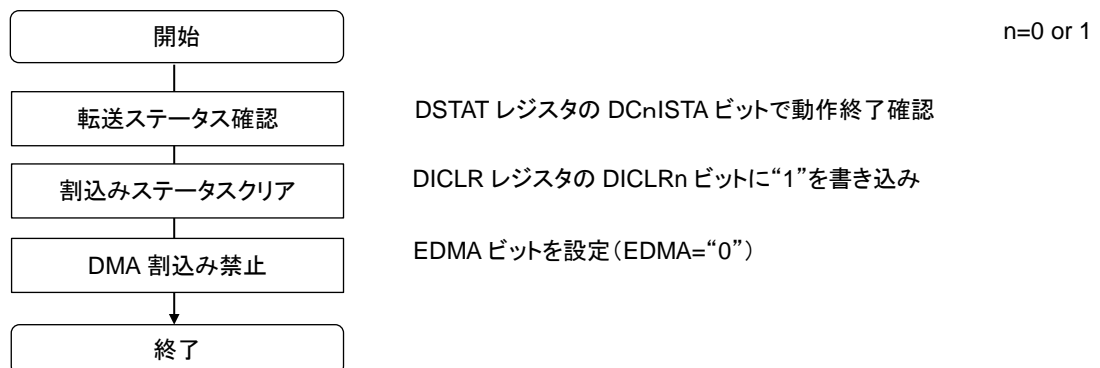


図 14-4 DMA 終了手順

【注意】

- 存在しないアドレスを設定した場合、動作は保証しません。

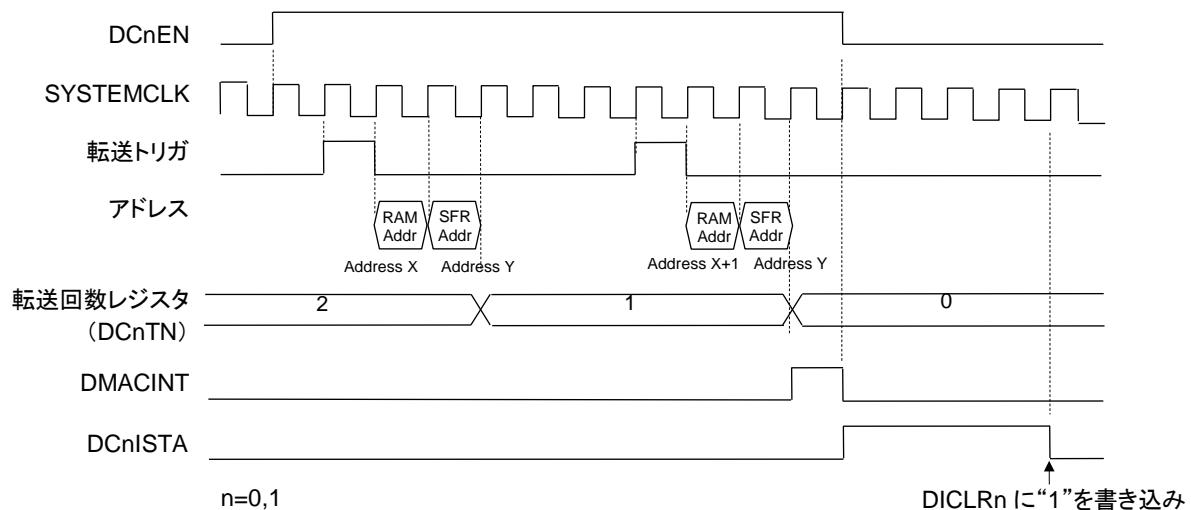
14.3.2 DMA 転送の動作タイミングチャート

ML62Q1500C/ML62Q1700C グループは、DMA コントローラを 2ch 搭載しています。

DMA 転送は、DCnEN を 1 に設定したとき、DCnMOD レジスタで選択された周辺回路からの要求またはソフトウェアの要求があると、DCnSA レジスタに設定されたアドレスのデータを読み出して、それを DCnDA レジスタに設定されたアドレスに書き込みます。転送が 1 回終了すると、DCnTN レジスタの値を-1 して DCnSA/DCnDA レジスタの転送元/転送先設定アドレスを更新します。DCnTN レジスタの値が 0 になると DCnEN は 0 になります。

以下に転送元に RAM/インクリメントアドレッシング、転送先に SFR/固定アドレッシング、転送単位を 8 ビット、転送回数を 2 回に設定した場合の動作タイミングチャートを示します。

1. DMA 転送許可レジスタ(DCEN)の DCnEN に“1”を設定し、転送を許可します。転送要求の発生により自動的に転送が開始されます。
2. DMA チャンネル n 転送回数レジスタ(DCnTN)に設定された転送回数の DMA 転送が終了すると DMA 割込み(DMACINT)要求が発生します。
3. DMA ステータスレジスタ(DSTAT)の DCnISTA ビットを読み出して転送が終了したチャンネルを確認し、DICLRn ビットに“1”を書き込み DCnISTA ビットをクリアします。



14.3.3 DMA 転送要求

DMA 転送は 1 つのデータバスを共用するため、優先順位 (CPU > DMA チャンネル 0 > DMA チャンネル 1 の順) があります。CPU がデータバスを使用している間は、DMA 転送することができません。DMA 転送要求は保留され、データバスが空いた後に処理されます。

DMA 処理は、アイドル→転送元リード→転送先ライト→アイドルと遷移します。DMA 処理中は、転送元リード処理前に発生した DMA 要求 (ソフトウェアを含む) は無効です。DMA コントローラを 2 チャンネル使用する場合、一方のチャンネルの DMA 処理が完了して停止するまで他方のチャンネルの DMA 処理の開始が保留されます。CPU がデータバスを使っていない条件での転送要求の最短間隔はシステムクロック 2 クロック、アイドルに戻るまでの最短間隔は 3 クロックです。

また、周期的に転送するための間隔は次の通りです。

DMAC を 1ch だけ (チャンネル 0 or チャンネル 1) 使用している場合	: システムクロック 3 クロック
DMAC を 2ch 使用している場合のチャンネル 0	: システムクロック 3 クロック
DMAC を 2ch 使用している場合のチャンネル 1	: システムクロック 6 クロック以上

DMA コントローラを 1 チャンネル使用した場合の例を図 14-6 に示します。

要求 (1) に対して、次のサイクルから転送元リード、転送先ライトの処理が行われます。要求 (2) (3) に対する DMA 転送は、前の要求の処理が終わった後にアイドル状態に戻ってから行われます。要求 (4) は、前の要求の転送元リード処理前のため無効です。

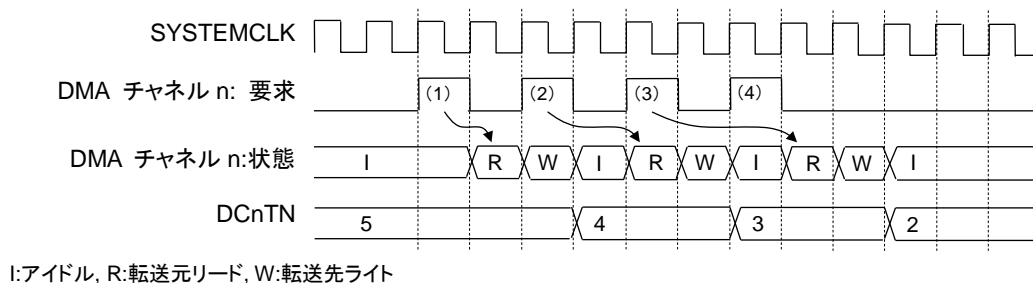


図 14-6 1 チャンネル使用時の転送要求

DMA コントローラを 2 チャンネル使用した場合の例を図 14-7 に示します。

チャンネル 0 の DMA 処理について説明します。要求 (1) は前述と同じです。要求 (2) はチャンネル 1 の要求 (4) が先ですが、処理中ではないため要求 (2) が優先されます。要求 (3) に対する DMA 転送はチャンネル 1 の DMA 処理完了後に行われます。

チャンネル 1 の DMA 処理について説明します。要求 (4) は要求 (1) より低優先のため開始されず、次の要求 (2) に対しても低優先となります。同様に要求 (5) の処理も要求 (3) の後です。

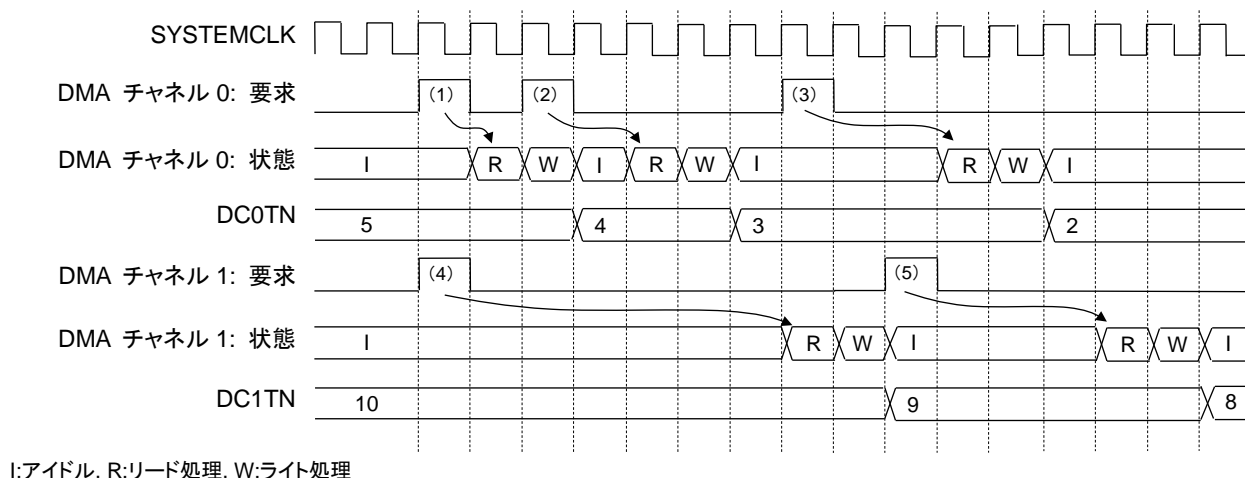


図 14-7 2 チャンネル使用時の転送要求

【注意】

- DMA 転送の優先度 (CPU > DMA チャンネル 0 > DMA チャンネル 1) や転送要求の間隔に注意してください。

14.3.4 DMA 転送を用いた UART 連続送信

以下に DMA 転送を用いて UART 連続送信する例のフローチャートを示します。
UART の詳細については、「第 11 章 シリアル通信ユニット」を参照してください。

[動作仕様]

- DMA のチャンネル 1 を使用し、15 バイト連続して UART 送信
- シリアル通信ユニット 0 UART 送信 DMA 要求を転送要求に使用
- RAM のアドレス 0xEFED~0xEFFB のデータをシリアル通信ユニット 0 の SD0BUFH に転送
- 転送フォーマット: 全二重通信モード, 115200bps, 8 ビット長, パリティ無, 1 ストップビット

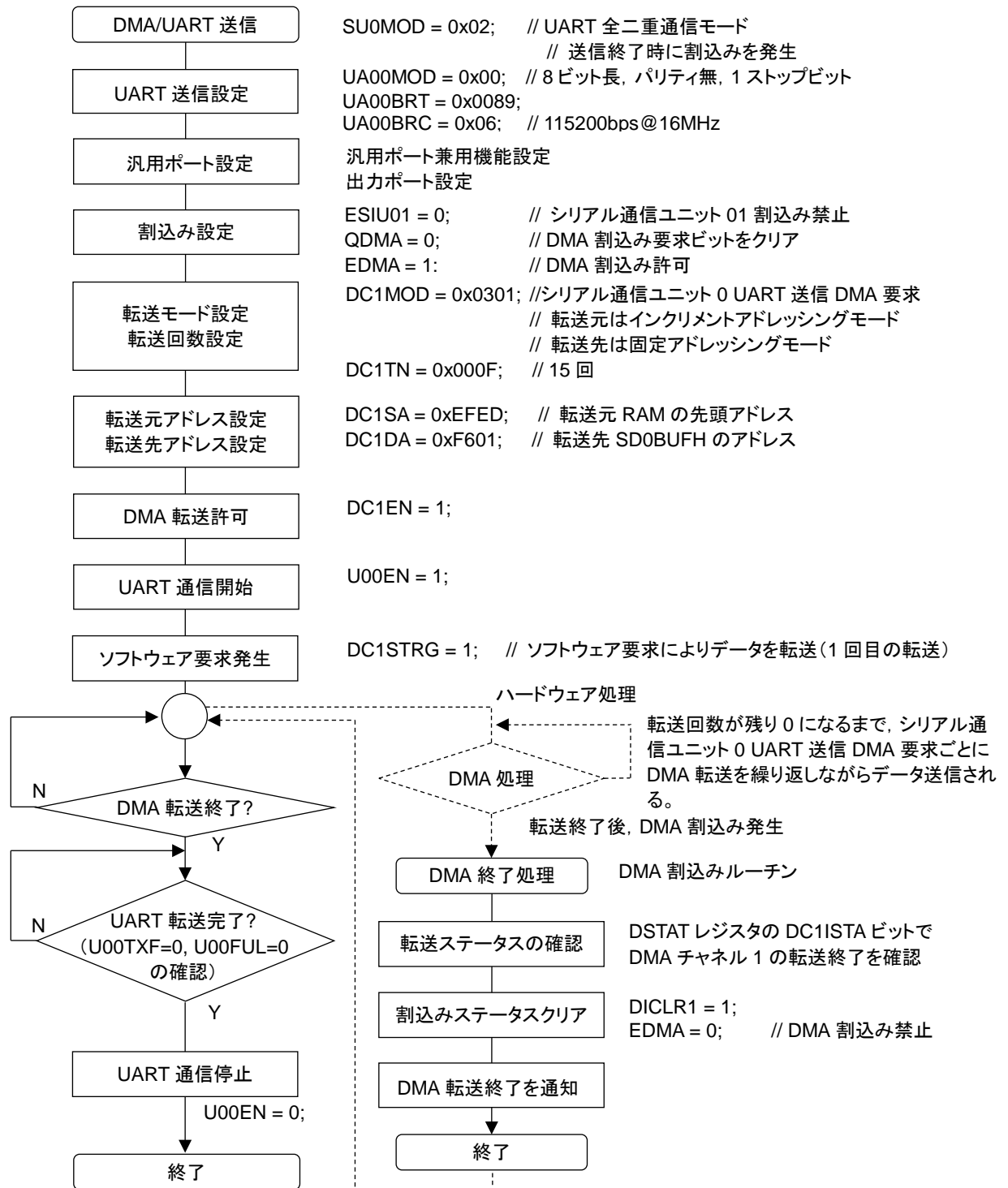


図 14-8 DMA を用いた UART 連続送信フロー

14.3.5 DMA 転送を用いた UART 連続受信

以下に DMA 転送を用いて UART 連続受信する例のフローチャートを示します。
UART の詳細については、「第 11 章 シリアル通信ユニット」を参照してください。

[動作仕様]

- DMA のチャンネル 0 を使用し、15 バイト連続して UART 受信
- シリアル通信ユニット 0 UART 受信 DMA 要求を転送要求に使用
- シリアル通信ユニット 0 の SD0BUFL から RAM のアドレス 0xEFED~0xEFFB にデータを転送
- 転送フォーマット: 全二重通信モード, 115200bps, 8 ビット長, パリティ無, 1 ストップビット

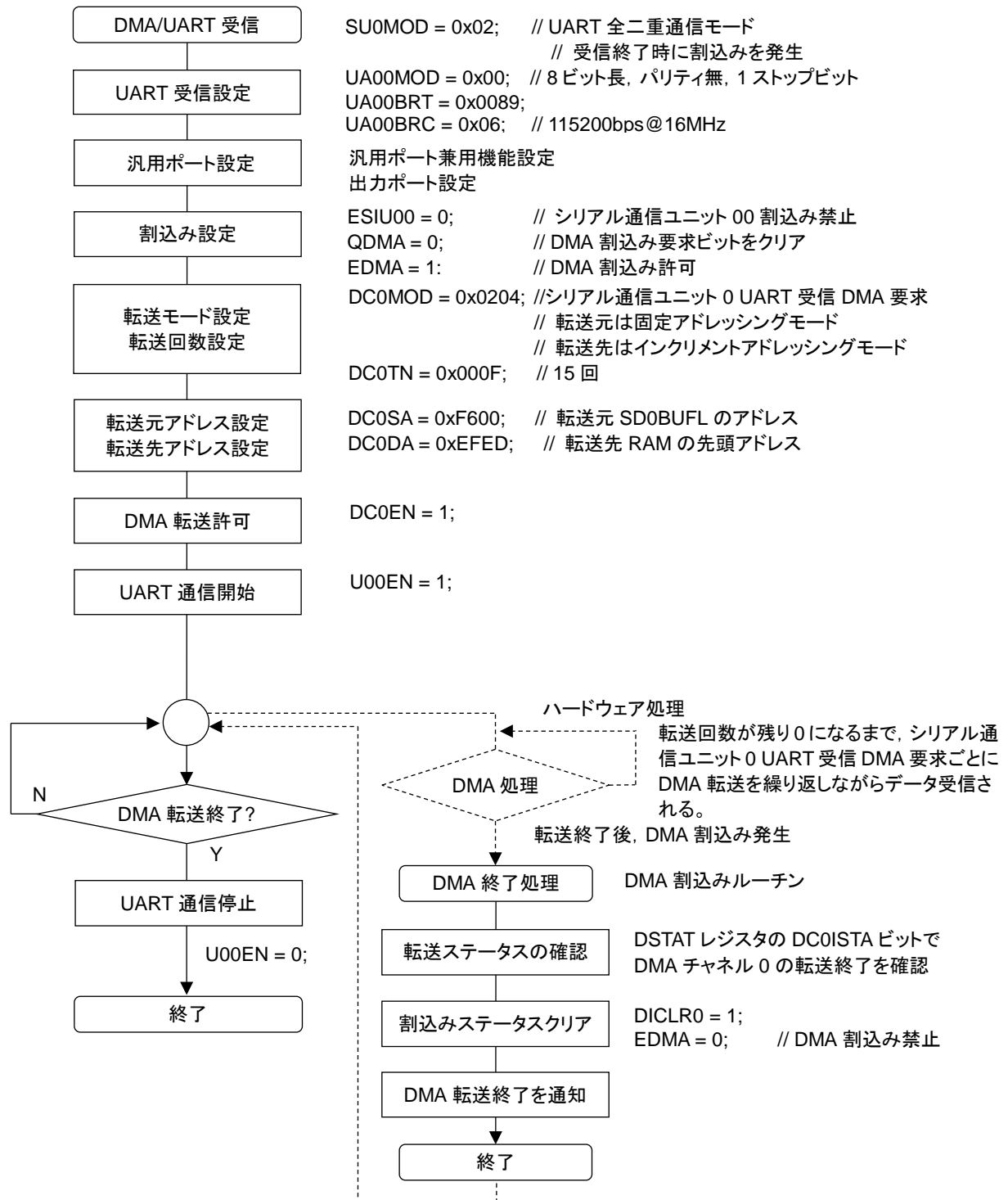


図 14-9 DMA を用いた UART 連続受信フロー

14.3.6 DMA 転送対象ブロック

以下に DMA の転送元／転送先に設定可能な機能ブロックを示します。

表 14-1 DMA 転送対象ブロック

	機能ブロック																			
	メモリ		SFR																	
	RAM	プログラム・コード領域	コード・オプション領域	データ・フラッシュ領域	乗除算器	リセット機能	パワーマネージメント	割込み	クロック発生回路	低速タイムベースカウンタ	16 ビットタイマ	フレンクショナルタイマ	クオッチドビットタイマ	シリアル通信ユニット	I ² C バスユニット	I ² C バスマスタ	DMA コントローラ	プザー	汎用ポート	外部割込み
転送元	●	—	—	—	—	—	—	—	—	—	●	●	—	●	—	—	—	—	●	—
転送先	●	—	—	—	—	—	—	—	—	—	●	●	—	●	—	—	—	—	●	—

●: 設定可能
—: 設定不可

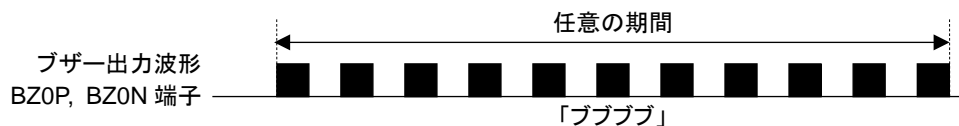
第 15 章 ブザー

15. ブザー

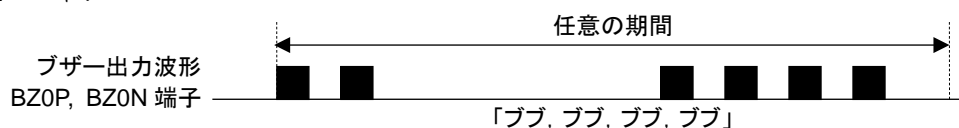
15.1 概要

ブザーは 8 種類の周波数と 15 段階のデューティ比の組み合わせでベースとなる信号を生成し、それを 4 種類のモードで出力する機能があります。

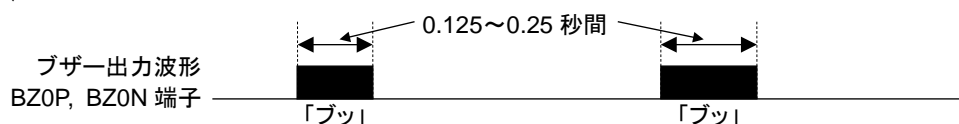
断続音 1 モード:



断続音 2 モード:



単音モード:



連続音モード:



図 15-1 ブザー出カイメージ

ブザー出力は正相出力(BZ0P)と逆相出力(BZ0N)を出力できます。

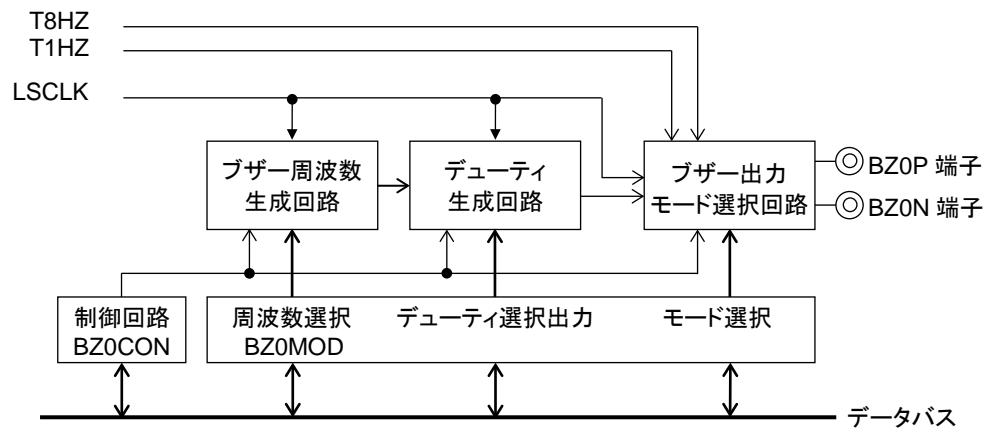
また、本ブロックで使用されるクロック(T8HZ, T1HZ)については、「第 7 章 低速タイムベースカウンタ」を参照してください。

15.1.1 特長

- 4 種類のブザーモード(連続音／単音／断続音 1／断続音 2)
- 8 種類の周波数(4.096kHz～293Hz)
- 15 段階のデューティ比(1/16(6.25%)～15/16(93.75%))
ブザー周波数が 4.096kHz の時は 7 段階のデューティ比(1/8(12.5%)～7/8(87.5%))
- ブザー出力端子の正論理／負論理が選択可能

15.1.2 構成

図 15-2 にブザー回路の構成を示します。



BZ0CON : ブザー0 コントロールレジスタ
BZ0MOD : ブザー0 モードレジスタ

図 15-2 ブザーの構成

15.1.3 端子一覧

ブザー信号の出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
BZ0P	O	ブザー出力信号(正相)
BZ0N	O	ブザー出力信号(逆相)

ブザーで使用する汎用ポートおよび、レジスタ設定を表 15-1 に示します。

表 15-1 ブザー機能使用ポートおよびレジスタ設定

端子名	兼用ポート		設定レジスタ	設定値
BZ0P	P17	7 次機能	P1MOD7	0110_XXXX
	P26	7 次機能	P2MOD6	0110_XXXX
BZ0N	P20	7 次機能	P2MOD0	0110_XXXX
	P27	7 次機能	P2MOD7	0110_XXXX

XXXX の設定値は以下

XXXX	ポート出力状態
0010	CMOS 出力
1010	Nch オープンドレイン出力(プルアップなし)
1111	Nch オープンドレイン出力(プルアップあり)

BZ0P, BZ0N 端子は、複数の汎用ポート(GPIO)から出力できますが、必ず以下の組み合わせで使用してください。

出力端子	組み合わせ 1	組み合わせ 2
BZ0P	P26	P17
BZ0N	P27	P20

15.2 レジスタ説明

15.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF0C0	ブザー0 コントロールレジスタ	BZ0CON	—	R/W	8	0x00
0xF0C1	予約レジスタ	—	—	—	—	—
0xF0C2	ブザー0 モードレジスタ	BZ0MODL	BZ0MOD	R/W	8/16	0x00
0xF0C3		BZ0MODH		R/W	8	0x00

15.2.2 ブザー0 コントロールレジスタ (BZ0CON)

本レジスタは、ブザーを制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF0C0(BZ0CON)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								BZ0CON							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BZ0RUN
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～1	—	予約ビット
0	BZ0RUN	ブザー出力の開始／停止を制御するビットです。 BZ0MODレジスタのBZ0MD1～BZ0MD0ビットで単音出力モードを選択した場合、ブザー出力が自動停止するとBZ0RUNビットも自動的に“0”になります。 0: ブザー出力停止（初期値） 1: ブザー出力開始

15.2.3 ブザー0 モードレジスタ (BZ0MOD)

本レジスタは、ブザー出力波形を設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF0C2(BZ0MOD/BZ0MODL), 0xF0C3(BZ0MODH)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

ワード	BZ0MOD															
バイト	BZ0MODH								BZ0MODL							
ビット	—	—	—	BZ0INI	BZ0D3	BZ0D2	BZ0D1	BZ0D0	—	BZ0F2	BZ0F1	BZ0F0	—	—	BZ0M D1	BZ0M D0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明		
15～ 13	—	予約ビット		
12	BZ0INI	ブザー出力端子の初期論理を選択するビットです。 0: ブザー出力端子 (BZ0P, BZ0N) は正論理 (初期値) 1: ブザー出力端子 (BZ0P, BZ0N) は負論理		
11～8	BZ0D3～ BZ0D0	ブザー出力のデューティ比を選択するビットです。デューティ比により、ブザーの音量を変える ことができます。		
		ブザー周波数 4.096kHz	ブザー周波数 4.096kHz 以外	音量
	0000:	デューティ比 1/8 (12.5%) (初期値)	デューティ比 1/16 (6.25%) (初期値)	小
	0001:	デューティ比 1/8 (12.5%)	デューティ比 1/16 (6.25%)	
	0010:	デューティ比 1/8 (12.5%)	デューティ比 2/16 (12.5%)	
	0011:	デューティ比 1/8 (12.5%)	デューティ比 3/16 (18.75%)	
	0100:	デューティ比 2/8 (25%)	デューティ比 4/16 (25%)	
	0101:	デューティ比 2/8 (25%)	デューティ比 5/16 (31.25%)	
	0110:	デューティ比 3/8 (37.5%)	デューティ比 6/16 (37.5%)	
	0111:	デューティ比 3/8 (37.5%)	デューティ比 7/16 (43.75%)	
	1000:	デューティ比 4/8 (50%)	デューティ比 8/16 (50%)	
	1001:	デューティ比 4/8 (50%)	デューティ比 9/16 (56.25%)	
	1010:	デューティ比 5/8 (62.5%)	デューティ比 10/16 (62.5%)	
	1011:	デューティ比 5/8 (62.5%)	デューティ比 11/16 (68.75%)	
	1100:	デューティ比 6/8 (75%)	デューティ比 12/16 (75%)	
	1101:	デューティ比 6/8 (75%)	デューティ比 13/16 (81.25%)	
	1110:	デューティ比 7/8 (87.5%)	デューティ比 14/16 (87.5%)	
	1111:	デューティ比 7/8 (87.5%)	デューティ比 15/16 (93.75%)	大
7	—	予約ビット		
6～4	BZ0F2～ BZ0F0	ブザー出力の周波数を選択するビットです。周波数により、ブザーの音程を変えることができま す。		
			音程	
	000:	4.096kHz (初期値)	高	
	001:	2.048kHz		
	010:	1.024kHz		
	011:	683Hz		
	100:	512Hz		
	101:	410Hz		
	110:	341Hz		
	111:	293Hz	低	
3, 2	—	予約ビット		

ビット 番号	ビットシンボル 名	説明
1, 0	BZ0MD1, BZ0MD0	<p>ブザーモードを選択するビットです。</p> <p>00: 断続音 1 出力モード（初期値） ブザー音のイメージ:「ブブブブ」(任意の期間鳴る)</p> <p>01: 断続音 2 出力モード ブザー音のイメージ:「ブブ, ブブ, ブブ, ブブ」(0.5 秒間隔の間欠動作で, 任意の 期間鳴る)</p> <p>10: 単音出力モード ブザー音のイメージ:「ブッ」(0.125~0.25 秒間鳴る)</p> <p>11: 連続音出力モード ブザー音のイメージ:「ブー」(任意の期間鳴る)</p> <p>各ブザーモードの出力波形の詳細については, 「15.3 動作説明」を参照してください。</p>

15.3 動作説明

15.3.1 断続音 1 モード

15.3.1.1 断続音 1 モードの動作

図 15-3 に断続音 1 モードのブザー出力波形を示します。
黒く塗りつぶした部分は、ブザー信号のパルスが出力されている期間です。
パルス信号のタイミングの詳細は、「15.3.5.1 ブザー出力開始時、出力停止時のタイミング」を参照してください。

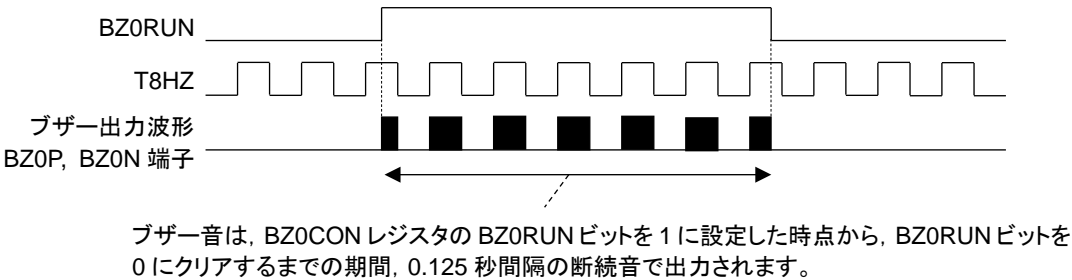


図 15-3 断続音 1 モードの出力波形(ブザー音のイメージ:「ブブブ」(任意の期間鳴る))

15.3.1.2 断続音 1 モードの設定手順例

図 15-4 に断続音 1 モードの設定手順例を示します。

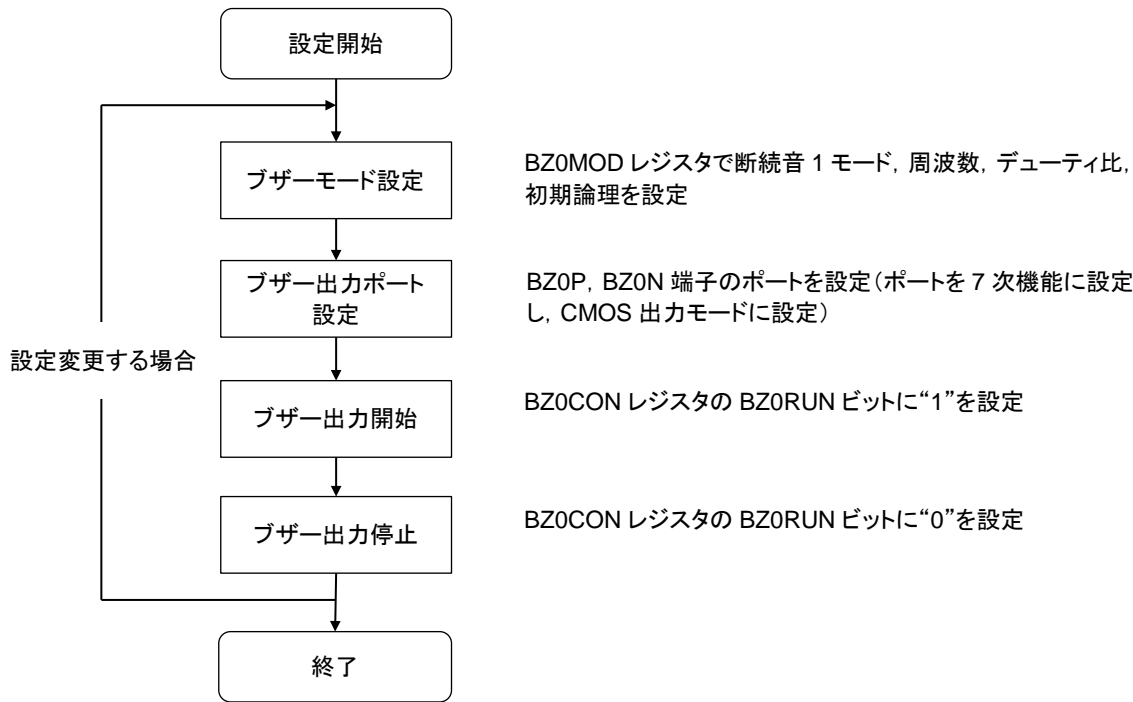


図 15-4 断続音 1 モードの設定手順例

- 【注意】
- ブザー出力の開始／停止は、BZ0CON レジスタの BZ0RUN ビットを設定するタイミングによってブザー波形の途中から／途中までとなります。もし問題になる場合には、下記に示す対策 A, B のいずれかを実施してください。
対策 A: 低速タイムベースカウンタ割込み (割り当て信号は T8HZ 信号または T1HZ 信号を選択) を用いる
対策 B: LTBR レジスタを使用し、T8HZ 信号または T1HZ 信号の立ち下がり と BZ0RUN を設定するタイミングを同期させる

15.3.2 断続音 2 モード

15.3.2.1 断続音 2 モードの動作

図 15-5 に断続音 2 モードのブザー出力波形を示します。
黒く塗りつぶした部分は、ブザー信号のパルスが出力されている期間です。
パルス信号のタイミングの詳細は、「15.3.5.1 ブザー出力開始時、出力停止時のタイミング」を参照してください。

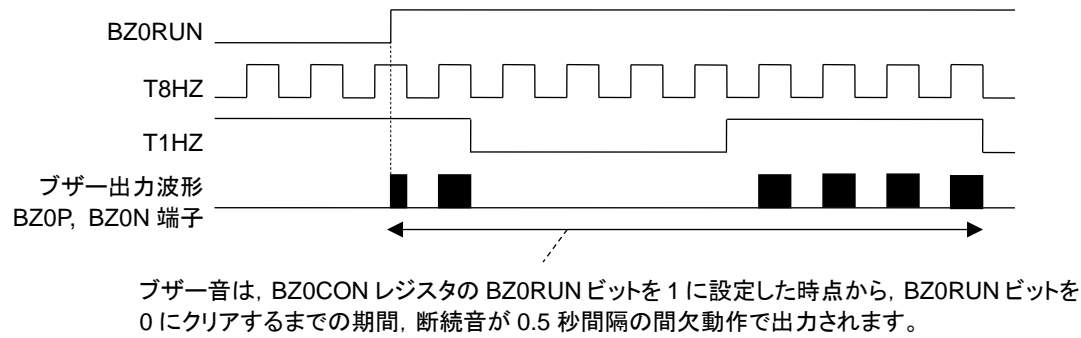


図 15-5 断続音 2 モードの出力波形(ブザー音のイメージ:「ブブ、ブブ、ブブ、ブブ」(任意の期間鳴る))

15.3.2.2 断続音 2 モードの設定手順例

図 15-6 に断続音 2 モードの設定手順例を示します。

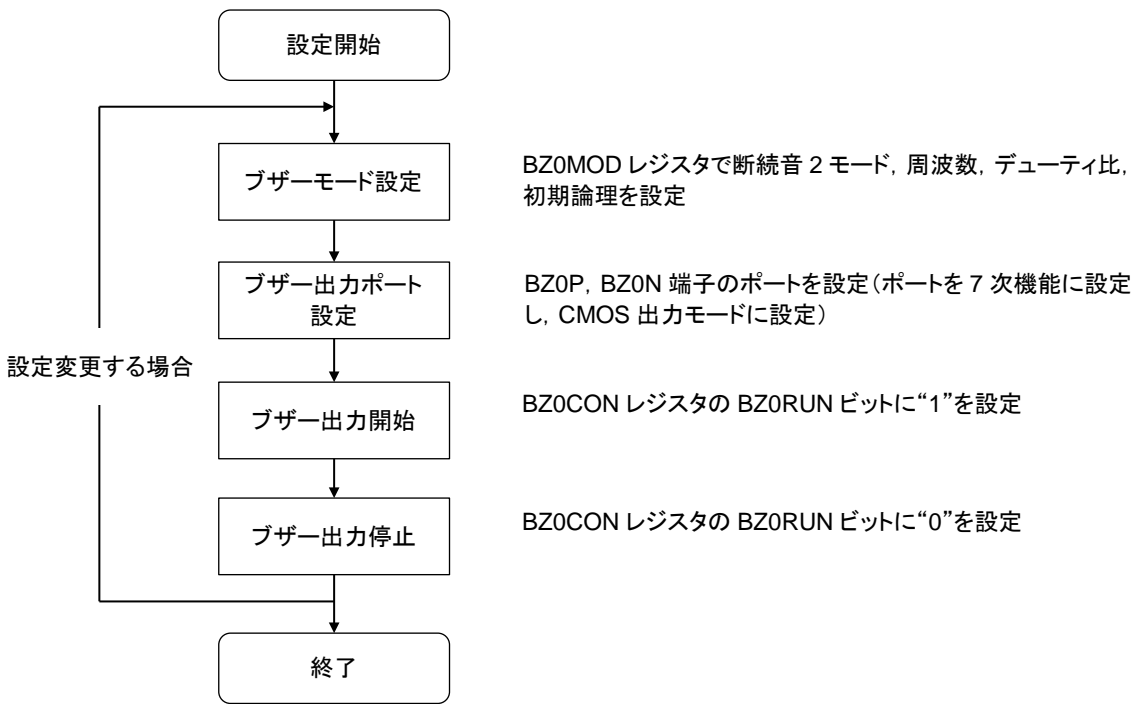


図 15-6 断続音 2 モードの設定手順例

- 【注意】
- ブザー出力の開始／停止は、BZ0CON レジスタの BZ0RUN ビットを設定するタイミングによってブザー波形の途中から／途中までとなります。もし問題になる場合には、下記に示す対策 A、B のいずれかを実施してください。
対策 A: 低速タイムベースカウンタ割込み (割り当て信号は T8HZ 信号または T1HZ 信号を選択) を用いる
対策 B: LTBR レジスタを使用し、T8HZ 信号または T1HZ 信号の立ち下がり と BZ0RUN を設定するタイミングを同期させる

15.3.3 単音モード

15.3.3.1 単音モードの動作

図 15-7 に単音モードのブザー出力波形を示します。
黒く塗りつぶした部分は、ブザー信号のパルスが出力されている期間です。
パルス信号のタイミングの詳細は、「15.3.5.1 ブザー出力開始時、出力停止時のタイミング」を参照してください。

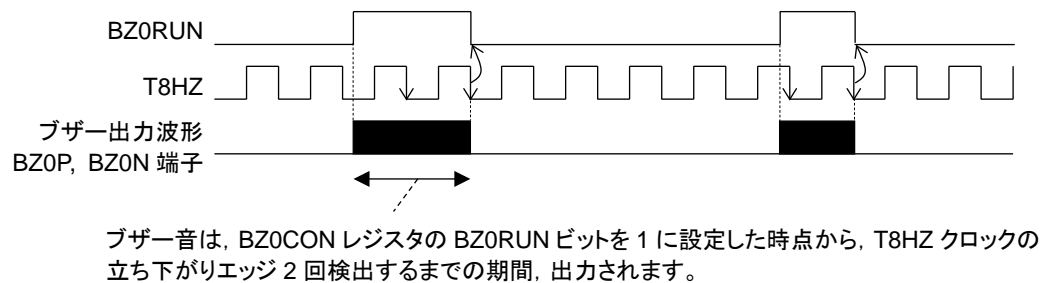


図 15-7 単音モードの出力波形(ブザー音のイメージ:「ブツ」(0.125～0.25 秒間だけ鳴る))

15.3.3.2 単音モードの設定手順例

図 15-8 に単音モードの設定手順例を示します。

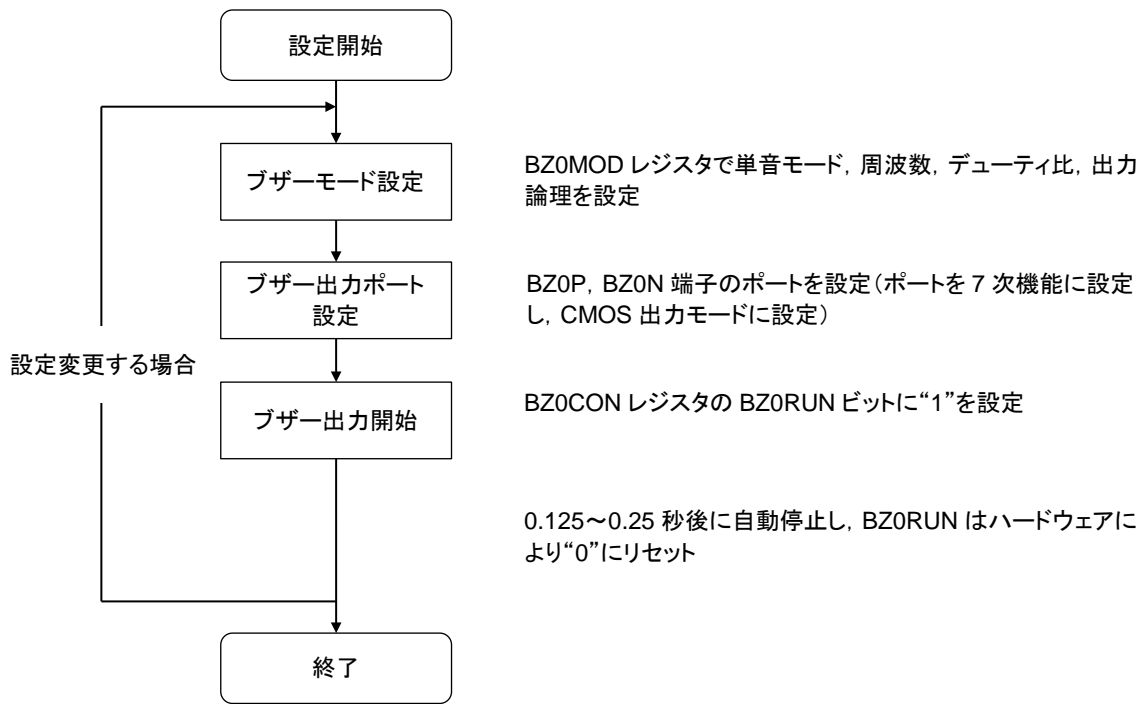


図 15-8 単音モードの設定手順例

- 【注意】
- ブザー出力の開始は、BZ0CON レジスタの BZ0RUN ビットを“1”にするタイミングによってブザー波形の途中からとなります。もし問題になる場合には、下記に示す対策 A, B のいずれかを実施してください。
対策 A: 低速タイムベースカウンタ割込み(割り当て信号は T8HZ 信号を選択)を用いる
対策 B: LTBR レジスタを使用し、T8HZ 信号の立ち下がりと BZ0RUN を“1”にするタイミングを同期させる

15.3.4 連続音モード

15.3.4.1 連続音モードの動作

図 15-9 に連続音モードのブザー出力波形を示します。
黒く塗りつぶした部分は、ブザー信号のパルスが出力されている期間です。
パルス信号のタイミングの詳細は、「15.3.5.1 ブザー出力開始時、出力停止時のタイミング」を参照してください。

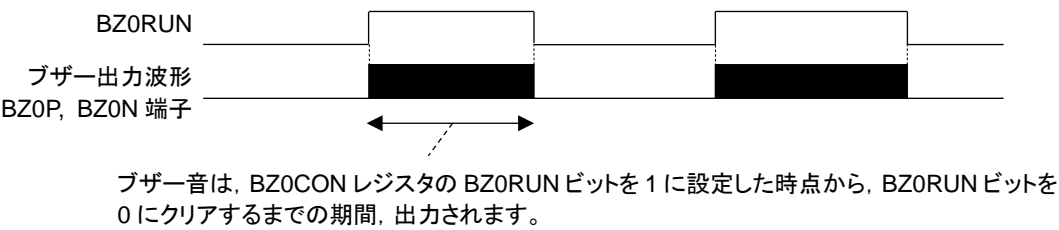


図 15-9 連続音モードの出力波形(ブザー音のイメージ:「ブー」(任意の期間鳴る))

15.3.4.2 連続音モードの設定手順例

図 15-10 に連続音モードの設定手順例を示します。

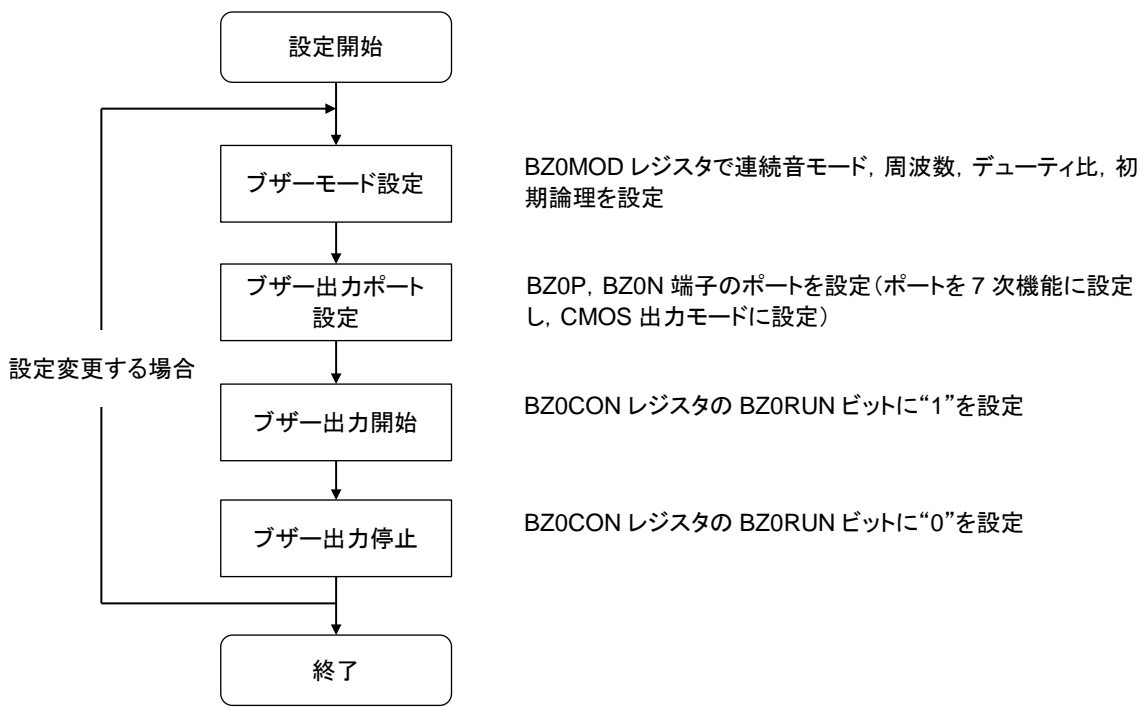
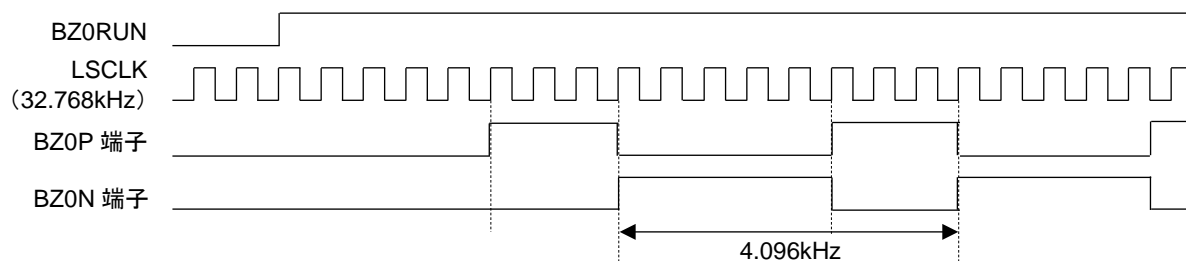


図 15-10 連続音モードの設定手順例

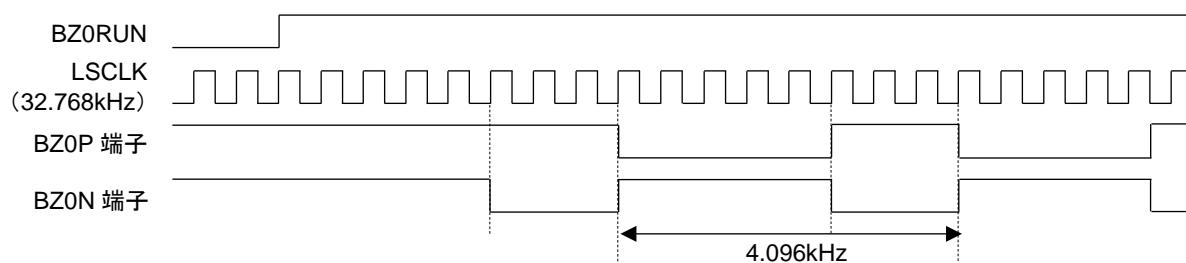
15.3.5 共通動作

15.3.5.1 ブザー出力開始時, 出力停止時のタイミング

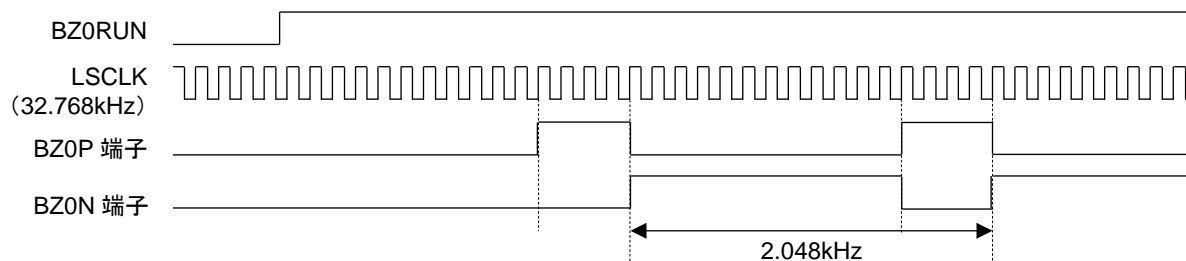
図 15-11～図 15-15 に, ブザー信号の出力開始, 出力停止タイミング波形を示します。



(1) 正論理時 (BZ0MOD レジスタの BZ0INI ビット=0),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例



(2) 負論理時 (BZ0MOD レジスタの BZ0INI ビット=1),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例

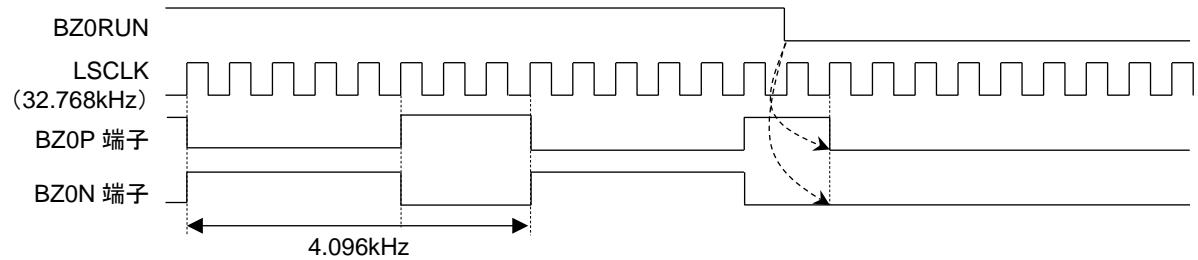


(3) 正論理時 (BZ0MOD レジスタの BZ0INI ビット=0),
ブザー周波数=2.048kHz, デューティ=4/16 (25%) の設定例

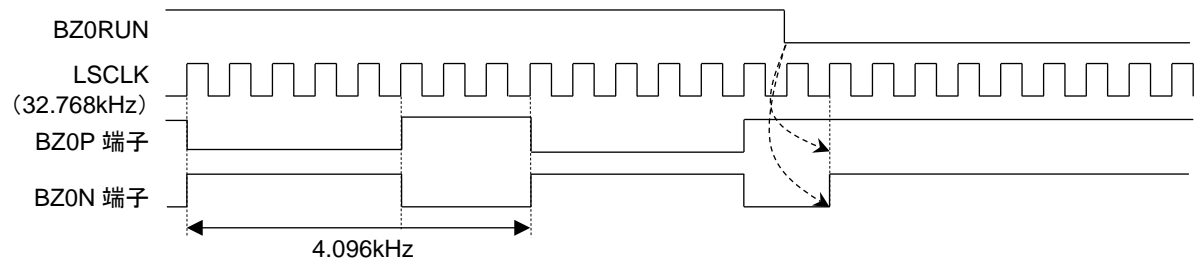
図 15-11 BZ0CON レジスタの BZ0RUN ビットの制御によるブザー出力開始タイミング

【注意】

- BZ0CON レジスタの BZ0RUN ビットに“1”を書き込んでからブザー出力が開始されるまでに, 低速クロック (LSCLK) の最大 1 クロックの誤差が発生します。



(1) 正論理時 (BZ0MOD レジスタの BZ0INI ビット=0),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例

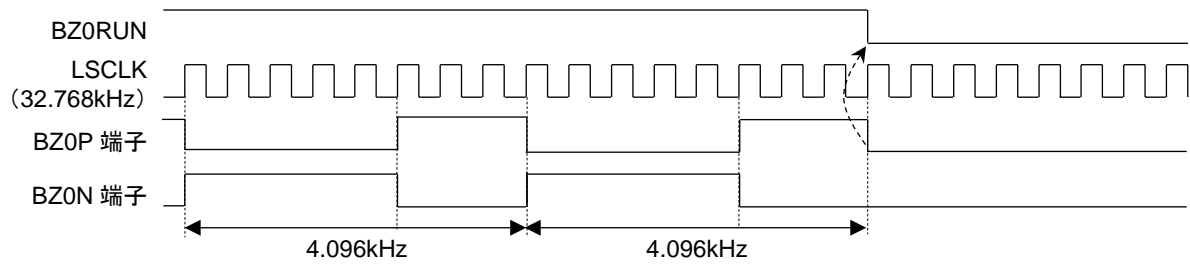


(2) 負論理時 (BZ0MOD レジスタの BZ0INI ビット=1),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例

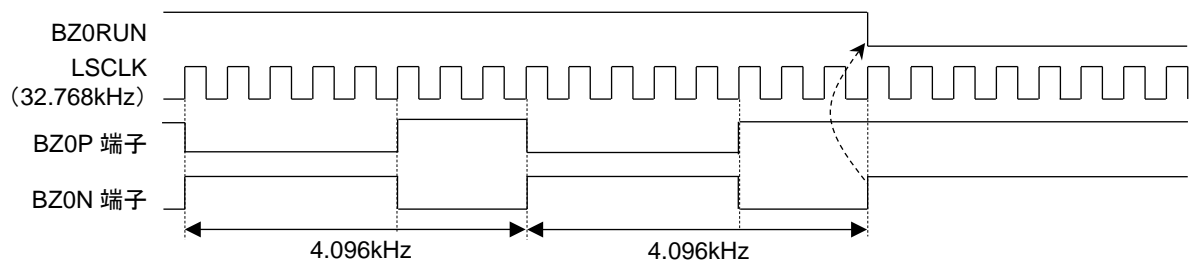
図 15-12 BZ0CON レジスタの BZ0RUN の制御によるブザー出力停止タイミング

【注意】

- BZ0CON レジスタの BZ0RUN ビットに“0”を書き込んでからブザー出力が停止されるまでに、低速クロック (LSCLK) の最大 1 クロックの誤差が発生します。



(1) 正論理時 (BZ0MOD レジスタの BZ0INI ビット=0),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例

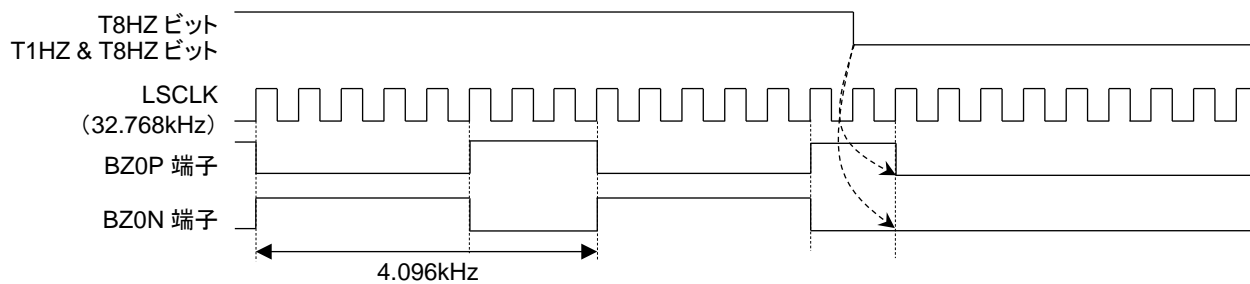


(2) 負論理時 (BZ0MOD レジスタの BZ0INI ビット=1),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例

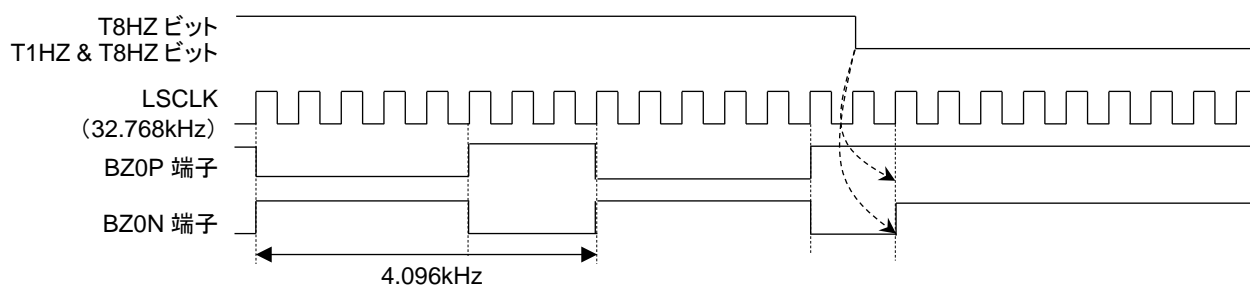
図 15-13 単音モード時のブザー出力自動停止タイミング

【注意】

- 単音モードでは、単音分のブザー出力が終了したタイミングで、BZ0CONレジスタのBZ0RUNビットが“0”にクリアされます。

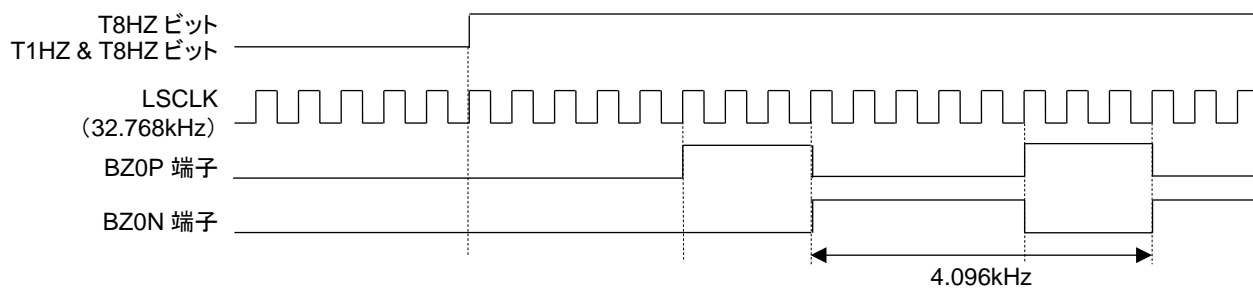


(1) 正論理時 (BZ0MOD レジスタの BZ0INI ビット=0),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例

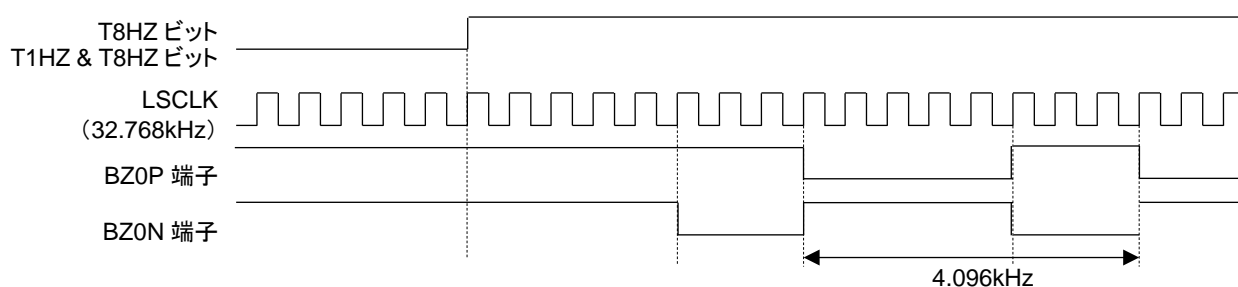


(2) 負論理時 (BZ0MOD レジスタの BZ0INI ビット=1),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例

図 15-14 断続音 1 モード, 断続音 2 モード時のブザー出カー時停止タイミング



(1) 正論理時 (BZ0MOD レジスタの BZ0INI ビット=0),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例



(2) 負論理時 (BZ0MOD レジスタの BZ0INI ビット=1),
ブザー周波数=4.096kHz, デューティ=3/8 (37.5%) の設定例

図 15-15 断続音 1 モード, 断続音 2 モード時のブザー出力一時停止からの再開タイミング

【注意】

- 断続音 1 モードおよび断続音 2 モード時, T8HZ 信号が“1”になってからブザー出力を開始するまでに, 低速クロック (LSCLK) の最大 1 クロックの誤差が発生します。

第 16 章 簡易 RTC

16. 簡易 RTC

16.1 概要

ML62Q1500C/1700C グループは、簡易 RTC (RTC:Real Time Clock)を内蔵しています。
簡易 RTC は、00 分 00 秒から 59 分 59 秒まで 1 秒単位でカウントアップする機能、定期的に割り込み要求を発生する機能を有しています。
本章に記載されている割り込みの許可・要求フラグ等については、「第 5 章 割り込み」を参照してください。

簡易 RTC は、製品により搭載有無が異なります。
表 16-1 に各製品の搭載有無を示します。

表 16-1 簡易 RTC の搭載有無

項目	ML62Q1500C グループ	ML62Q1700C グループ
簡易 RTC の搭載有無	●	●

●: 搭載

16.1.1 特長

- 4 種類の定期割り込み要求 (0.5 秒, 1 秒, 30 秒, 60 秒) から 1 つを選択可能
- 簡易 RTC 分・秒カウンタへの誤書き込み防止機能を搭載
- 簡易 RTC 分・秒カウンタはパワーオンリセット以外のリセットではカウント動作を継続
- STOP/STOP-D モード以外は、常にカウント動作を継続

16.1.2 構成

図 16-1 に簡易 RTC の構成を示します。

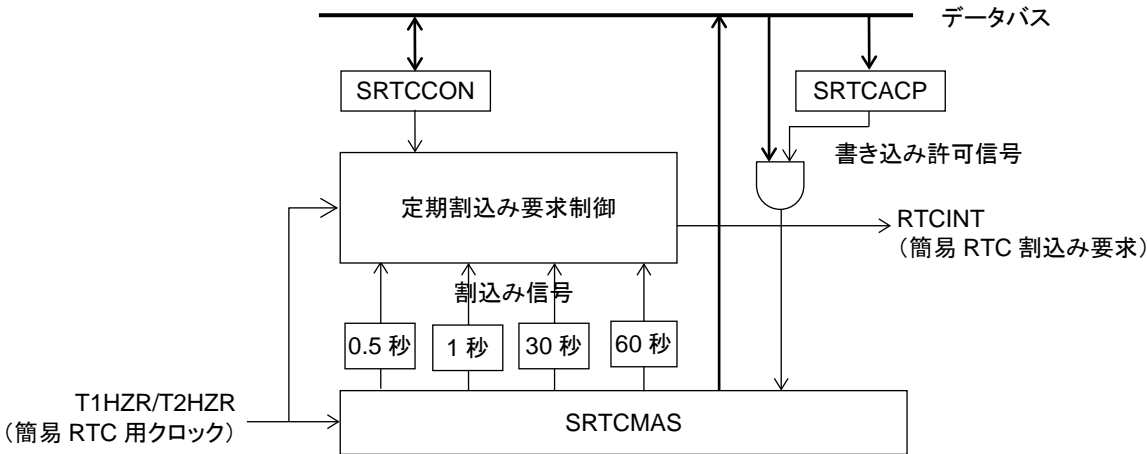


図 16-1 簡易 RTC の構成

- SRTCACP : 簡易 RTC アクセプタ
SRTCMAS : 簡易 RTC 分・秒カウンタ
 SRTCMIN (分カウンタ), SRTCSEC (秒カウンタ)
SRTCCON : 簡易 RTC コントロールレジスタ

16.2 レジスタ説明

16.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF0C8	簡易 RTC アクセプタ	SRTCACP	—	W	8	0x00
0xF0C9	予約レジスタ	—	—	—	—	—
0xF0CA	簡易 RTC 分・秒カウンタ	SRTCSEC	SRTCMA5	R/W	8/16	0x00
0xF0CB		SRTCMIN		R/W	8	0x80
0xF0CC	簡易 RTC コントロールレジスタ	SRTCCON	—	R/W	8	0x00
0xF0CD	予約レジスタ	—	—	—	—	—

【注意】

- SRTCMA5 はパワーオンリセットのみでリセットされます。

16.2.2 簡易 RTC アクセプタ (SRTCACP)

本レジスタは、簡易 RTC 分・秒カウンタ(SRTCMA S) への書き込みを許可する書き込み専用の特殊機能レジスタ(SFR)です。
SRTCACP レジスタを読み出すと、“0x00”が読み出されます。
SRTCACP レジスタに“0x3C”，“0xC3”の順序でデータを書き込むと、SRTCMA S レジスタへの書き込みが一度だけ許可されます。

アドレス：0xF0C8(SRTCACP)
アクセス：W
アクセスサイズ：8 ビット
初期値：0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								SRTCACP							
ビット	—	—	—	—	—	—	—	—	d7	d6	d5	d4	d3	d2	d1	d0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【注意】

- SRTCACP に“0x3C”を書き込んだ後、SRTCACP に“0x3C”または“0xC3”以外のデータを書き込むと“0x3C”の書き込みが無効となります。
- SRTCACP に“0x3C”，“0xC3”の順序でデータを書き込み、SRTCMA S への書き込みが許可されている状態で“0xC3”以外の値を SRTCACP に書き込むと SRTCMA S への書き込み許可が無効となります。

16.2.3 簡易 RTC 分・秒カウンタ (SRTCMAS)

本レジスタは、秒データ、分データを示す特殊機能レジスタ(SFR)です。

SRTCACP レジスタを用いて SRTCMAS レジスタへの書き込みが許可された後、SRTCMAS レジスタにデータを書き込むことができます。

SRTCMAS レジスタはパワーオンリセットでのみ初期化されます。

アドレス: 0xF0CA(SRTCSEC/SRTCMAS), 0xF0CB(SRTCMIN)
 アクセス: R/W
 アクセスサイズ: 8ビット/16ビット
 初期値: 0x8000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SRTCMAS															
バイト	SRTCMIN								SRTCSEC							
ビット	PORSTAT	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1	—	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	PORSTAT	簡易 RTC の動作状態を示すビットです。 PORSTAT ビットの初期値は“1”です。 SRTCMAS レジスタにデータを書き込むときは PORSTAT ビットに“0”を書き込んでください。 PORSTAT ビットに“1”を書き込むと、SRTCMAS レジスタには初期値が書き込まれます。 0: 正常動作状態 1: パワーオンリセット後、SRTCMAS レジスタにデータ未書き込み状態、または SRTCMAS レジスタに設定可能範囲外のデータが書き込まれた状態
14～8	MIN40～MIN1	分データが格納されるビットです。 秒カウンタ(SRTCSEC)が 59 から 00 に変化すると同時にカウントアップします。 SRTCMIN レジスタは十進数で 0～59 分を示し、MIN40～MIN10 ビットは十の位、MIN8～MIN1 ビットは一の位を示します。 MIN40～MIN10 ビットは 0～5、MIN 8～MIN1 ビットは 0～9 の範囲で書き込めます。
7	—	予約ビット
6～0	SEC40～SEC1	秒データが格納されるビットです。 T1HZR 信号の立ち下がりがエッジでカウントアップします。 SRTCSEC レジスタは十進数で 0～59 秒を示し、SEC40～SEC10 ビットは十の位、SEC8～SEC1 ビットは一の位を示します。 SEC40～SEC10 ビットは 0～5、SEC 8～SEC1 ビットは 0～9 の範囲で書き込めます。

【注意】

- SRTCMAS レジスタを読み出す場合は、カウントアップ中の不確定データの読み出しを防止するため SRTCMAS レジスタを二度読み出し、値が同一であることを確認してください。
- SRTCMAS レジスタに 00 分 00 秒から 59 分 59 秒以外のデータを書き込んだ場合、SRTCMAS レジスタは初期値になります。
- SRTCMAS レジスタにデータを書き込むタイミングによっては、書き込み後すぐに割込み要求が発生する可能性があります。時間の書き込みを行う際、割込み要求が発生させたくない場合は、簡易 RTC コントロールレジスタ(SRTC CON)で RTCINT を禁止してから SRTCMAS レジスタにデータを書き込んでください。
- SRTCMAS レジスタは 16 ビットアクセスでの書き込みを推奨します。
- SRTCACP レジスタで書き込みを許可した後に SRTCMAS レジスタにデータを書き込むことができるのは 8 ビットアクセス時でも 16 ビットアクセス時でも 1 度だけです。許可後に 8 ビットアクセスで 2 度書き込んだ場合 2 度目の書き込みは無視されます。
- 秒カウンタ(SRTCSEC)が 59 秒(0x59)の時に秒カウンタに 0 秒(0x00)を書き込むと、分カウンタ(SRTCMIN)はカウントアップします。ただし、16 ビットアクセスで分カウンタも同時に書き込むとカウントアップせずに書き込んだ値が有効になります。

16.2.4 簡易 RTC コントロールレジスタ (SRTC CON)

本レジスタは、定期割込み要求を設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF0CC (SRTC CON)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								SRTC CON							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	RINT2	RINT1	RINT0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～3	—	予約ビット
2～0	RINT2～ RINT0	定期割込み要求を設定するビットです。 000: 定期割込み要求禁止 (初期値) 001: 0.5 秒割込み要求 010: 1 秒割込み要求 011: 30 秒割込み要求 SRTCSEC が 30 秒, 60 秒 (29 秒から 30 秒へ変化, および 59 秒から 00 秒へ変化)になったときに割込み要求を発生 100: 60 秒割込み要求 SRTCSEC が 60 秒 (59 秒から 00 秒へ変化)になったときに割込み要求を発生 上記以外: 60 秒割込み要求

16.3 動作説明

簡易 RTC は、電源投入時のパワーオンリセット解除後から動作を開始します。パワーオンリセット解除後は SRTCMASS レジスタの PORSTAT ビットの値は1になっていますので、SRTCMASS レジスタへデータを書き込んで分・秒を設定する必要があります。SRTCMASS レジスタへの書き込み手順は、「図 16-3 簡易 RTC 時間書き込み設定例」を参照してください。

SRTCMASS レジスタはパワーオンリセットでのみ初期化され、それ以外のシステムリセットではカウントを継続します。

表 16-2 に、各カウンタのカウント値一覧を示します。

表 16-2 各カウンタのカウント値一覧

カウンタ名		カウント値
秒カウンタ	SRTCSEC40,20,10	0x0~0x5
	SRTCSEC4,2,1	0x0~0x9
分カウンタ	SRTCMIN40,20,10	0x0~0x5
	SRTCMIN4,2,1	0x0~0x9

16.3.1 簡易 RTC 時間データ書き込み動作

図 16-2 に、SRTCMASS レジスタにデータを書き込んだ場合のタイミングチャートを示します。

SRTCMASS レジスタへの書き込みが許可された状態で SRTCMASS レジスタにデータを書き込むとタイムベースカウンタの T1HZR/T2HZR も初期化されます。

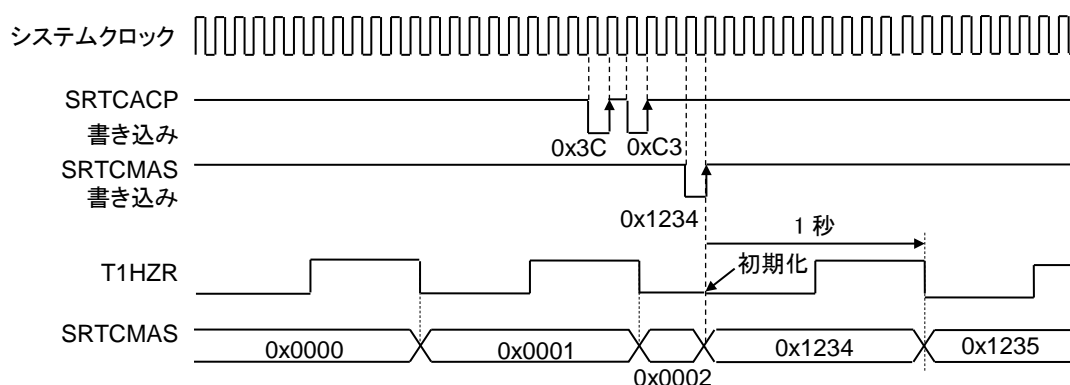


図 16-2 SRTCMASS レジスタにデータを書き込んだ場合のタイミングチャート

16.3.2 簡易 RTC 時間書き込み設定例

図 16-3 に、SRTCMAST レジスタに 29 分 39 秒を書き込む場合の簡易 RTC の設定例を示します。

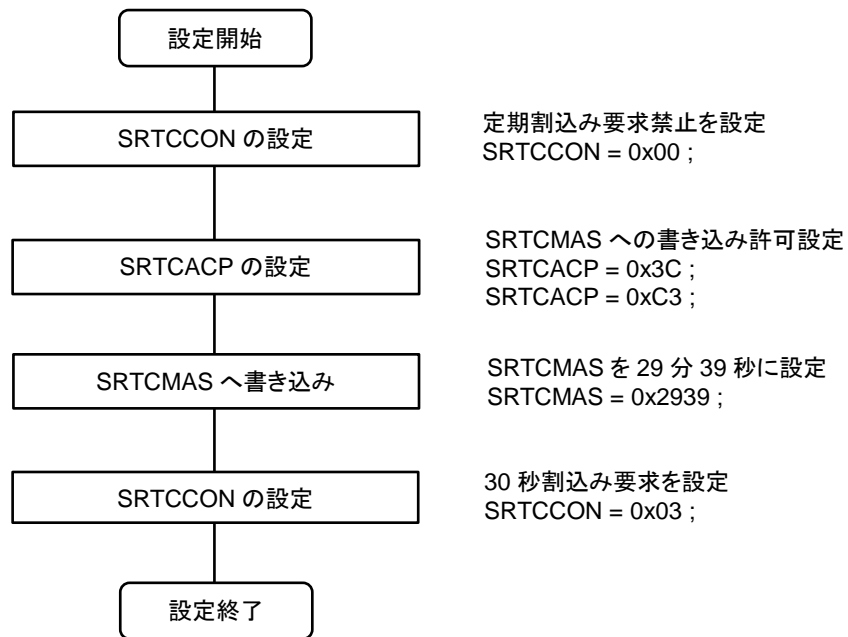


図 16-3 簡易 RTC 時間書き込み設定例

第 17 章 汎用ポート

17. 汎用ポート

17.1 概要

汎用ポートは汎用入出力ポートと汎用入力ポートの 2 種類あります。

汎用入出力ポートは各端子毎に入出力方向を切り替えることができます。また最大 8 端子同時に端子レベルの読み出しや出力レベルの変更をすることができます。汎用入出力ポートは複数の機能を兼用しています。詳細は「1.3.2 端子一覧」と「1.3.3 端子説明」を参照してください。

汎用入力ポートは、水晶振動子接続端子と兼用の 2 ビットの入力専用ポートです。

汎用ポートは、製品ごとに搭載数が異なります。

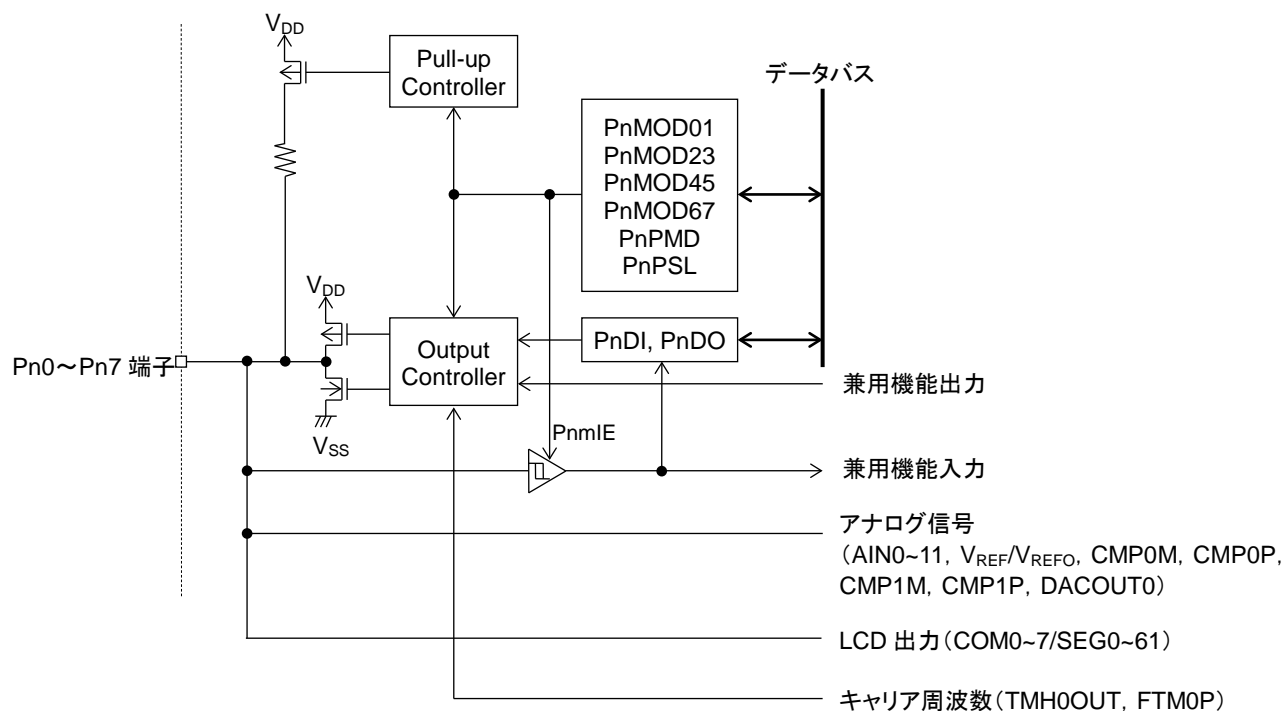
製品ごとの搭載数は「表 17-1 端子一覧表」を参照してください。

17.1.1 特長

- 端子ごとに入力, 出力の選択が可能
- 端子ごとにプルアップ抵抗の接続が可能
- 端子ごとに CMOS 出力と Nch オープンドレイン出力の選択が可能
- Nch オープンドレイン出力選択時, LED の直接駆動が可能
- キャリア周波数出力機能搭載
- ポート出力レベルテスト機能搭載

17.1.2 構成

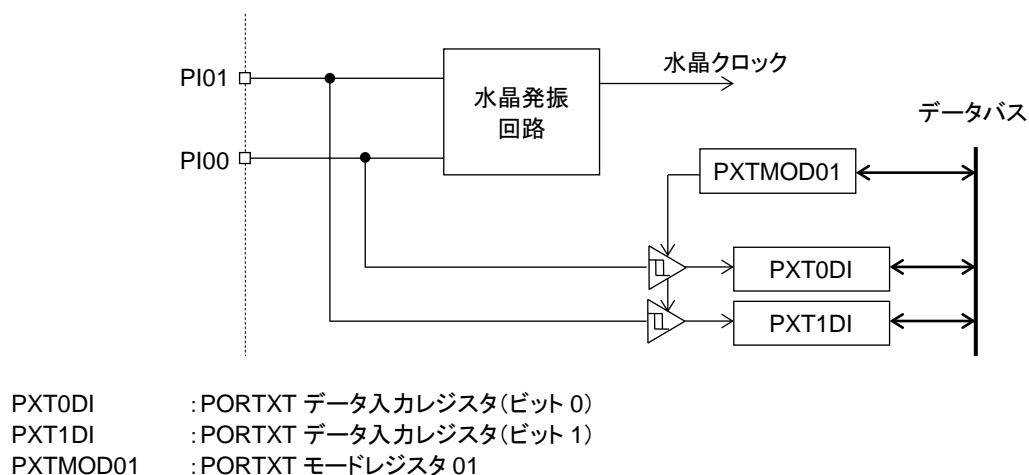
図 17-1 に汎用入出力ポートの構成を示します。搭載端子およびレジスタは「17.2.1 レジスタ一覧」を参照してください。



PnDI	: ポート n データレジスタ (ビット 7-0)
PnDO	: ポート n データレジスタ (ビット 15-8)
PnMOD01	: ポート n モードレジスタ 01
PnMOD23	: ポート n モードレジスタ 23
PnMOD45	: ポート n モードレジスタ 45
PnMOD67	: ポート n モードレジスタ 67
PnPMD	: ポート n パルスモードレジスタ
PnPSL	: ポート n パルス選択レジスタ

図 17-1 汎用入出力ポート n の構成

図 17-2 に汎用入力ポートの構成を示します。



PXT0DI	: PORTXT データ入力レジスタ (ビット 0)
PXT1DI	: PORTXT データ入力レジスタ (ビット 1)
PXTMOD01	: PORTXT モードレジスタ 01

図 17-2 汎用入力ポートの構成

17.1.3 端子一覧

表 17-1 端子一覧表

端子名	1 次機能	搭載／非搭載 ^{*1}		
		ML62Q1500C/ML62Q1700C グループ		
		52ピン 製品	64ピン 製品	80ピン 製品
PI00	汎用入力/ 水晶振動子接続	●	●	●
PI01	汎用入力/ 水晶振動子接続/ 外部クロック入力	●	●	●
P00	汎用入出力	●	●	●
P01	汎用入出力/ DACOUT0	●	●	●
P02	汎用入出力/ EXI0	●	●	●
P03	汎用入出力/ EXI1	●	●	●
P04	汎用入出力/ EXI2	●	●	●
P05	汎用入出力	●	●	●
P06	汎用入出力	●	●	●
P07	汎用入出力	●	●	●
P10	汎用入出力	●	●	●
P11	汎用入出力	●	●	●
P12	汎用入出力	●	●	●
P13	汎用入出力	●	●	●
P14	汎用入出力	●	●	●
P15	汎用入出力	●	●	●
P16	汎用入出力	●	●	●
P17	汎用入出力/ EXI3	●	●	●
P20	汎用入出力	●	●	●
P21	汎用入出力/ EXI4	●	●	●
P22	汎用入出力	●	●	●
P23	汎用入出力/ EXI5	●	●	●
P24	汎用入出力	●	●	●
P25	汎用入出力	●	●	●
P26	汎用入出力/ EXI6	●	●	●
P27	汎用入出力/ EXI7	●	●	●

端子名	1 次機能	搭載／非搭載 ^{*1}		
		ML62Q1500C/ML62Q1700C グループ		
		52ピン製品	64ピン製品	80ピン製品
P30	汎用入出力	●	●	●
P31	汎用入出力	●	●	●
P32	汎用入出力	●	●	●
P33	汎用入出力	●	●	●
P40	汎用入出力	—	●	●
P41	汎用入出力	●	●	●
P42	汎用入出力	—	●	●
P43	汎用入出力	●	●	●
P44	汎用入出力/ DACOUT1	—	●	●
P45	汎用入出力	—	●	●
P46	汎用入出力	—	●	●
P47	汎用入出力	●	●	●
P50	汎用入出力/ EXI8	●	●	●
P51	汎用入出力	●	●	●
P52	汎用入出力	—	●	●
P53	汎用入出力	—	●	●
P54	汎用入出力	—	●	●
P55	汎用入出力	—	●	●
P56	汎用入出力	●	●	●
P57	汎用入出力	—	●	●
P60	汎用入出力	●	●	●
P61	汎用入出力	●	●	●
P62	汎用入出力	●	●	●
P63	汎用入出力	●	●	●
P64	汎用入出力/ EXI9	●	●	●
P65	汎用入出力	●	●	●
P66	汎用入出力	●	●	●
P67	汎用入出力	—	●	●
P70	汎用入出力	—	●	●
P71	汎用入出力	▲	▲	▲
P72	汎用入出力	▲	▲	▲
P73	汎用入出力	▲	▲	▲
P74	汎用入出力	▲	▲	▲
P75	汎用入出力	▲	▲	▲
P76	汎用入出力/ EXI10	—	—	●
P77	汎用入出力	—	—	—

端子名	1 次機能	搭載／非搭載 ^{*1}		
		ML62Q1500C/ML62Q1700C グループ		
		52ピン製品	64ピン製品	80ピン製品
P80	汎用入出力	—	—	●
P81	汎用入出力	—	—	●
P82	汎用入出力	—	—	●
P83	汎用入出力	—	—	—
P84	汎用入出力	—	—	—
P85	汎用入出力	—	—	—
P86	汎用入出力	—	—	—
P87	汎用入出力	—	—	—
P90	汎用入出力	—	—	—
P91	汎用入出力	—	—	—
P92	汎用入出力	—	—	—
P93	汎用入出力	—	—	●
P94	汎用入出力	—	—	●
P95	汎用入出力	—	—	●
P96	汎用入出力	—	—	●
P97	汎用入出力	—	—	—
PA0	汎用入出力	—	—	—
PA1	汎用入出力	—	—	●
PA2	汎用入出力	—	—	●
PA3	汎用入出力/ EXI11	—	—	●
PA4	汎用入出力	—	—	●
PA5	汎用入出力	—	—	—
PA6	汎用入出力	—	—	—
PA7	汎用入出力	—	—	—
PB0	汎用入出力	—	—	—
PB1	汎用入出力	—	—	—
PB2	汎用入出力	—	—	●
PB3	汎用入出力	—	—	●
PB4	汎用入出力	—	—	●
PB5	汎用入出力	—	—	●
PB6	汎用入出力	—	—	—
PB7	汎用入出力	—	—	—

*1: 搭載／非搭載欄の“●”は搭載, “—”は非搭載, “▲”は ML62Q1500C グループのみ搭載を示します。

17.2 レジスタ説明

17.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF200	ポート 0 データレジスタ	P0DI	P0D	R/W	8/16	0xFF
0xF201		P0DO		R/W	8	0x00
0xF202	ポート 0 モードレジスタ 01	P0MOD0	P0MOD01	R/W	8/16	0x05
0xF203		P0MOD1		R/W	8	0x00
0xF204	ポート 0 モードレジスタ 23	P0MOD2	P0MOD23	R/W	8/16	0x00
0xF205		P0MOD3		R/W	8	0x00
0xF206	ポート 0 モードレジスタ 45	P0MOD4	P0MOD45	R/W	8/16	0x00
0xF207		P0MOD5		R/W	8	0x00
0xF208	ポート 0 モードレジスタ 67	P0MOD6	P0MOD67	R/W	8/16	0x00
0xF209		P0MOD7		R/W	8	0x00
0xF20A	ポート 0 パルスモードレジスタ	P0PMDL	P0PMD	R/W	8/16	0x00
0xF20B		P0PMDH		R/W	8	0x00
0xF20C	ポート 0 パルス選択レジスタ	P0PSLL	P0PSL	R/W	8/16	0x00
0xF20D		P0PSLH		R/W	8	0x00
0xF20E	予約レジスタ	—	—	—	—	—
0xF20F		—	—	—	—	—
0xF210	ポート 1 データレジスタ	P1DI	P1D	R/W	8/16	0xFF
0xF211		P1DO		R/W	8	0x00
0xF212	ポート 1 モードレジスタ 01	P1MOD0	P1MOD01	R/W	8/16	0x00
0xF213		P1MOD1		R/W	8	0x00
0xF214	ポート 1 モードレジスタ 23	P1MOD2	P1MOD23	R/W	8/16	0x00
0xF215		P1MOD3		R/W	8	0x00
0xF216	ポート 1 モードレジスタ 45	P1MOD4	P1MOD45	R/W	8/16	0x00
0xF217		P1MOD5		R/W	8	0x00
0xF218	ポート 1 モードレジスタ 67	P1MOD6	P1MOD67	R/W	8/16	0x00
0xF219		P1MOD7		R/W	8	0x00
0xF21A	ポート 1 パルスモードレジスタ	P1PMDL	P1PMD	R/W	8/16	0x00
0xF21B		P1PMDH		R/W	8	0x00
0xF21C	ポート 1 パルス選択レジスタ	P1PSLL	P1PSL	R/W	8/16	0x00
0xF21D		P1PSLH		R/W	8	0x00
0xF21E	予約レジスタ	—	—	—	—	—
0xF21F		—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF220	ポート 2 データレジスタ	P2DI	P2D	R/W	8/16	0xFF
0xF221		P2DO		R/W	8	0x00
0xF222	ポート 2 モードレジスタ 01	P2MOD0	P2MOD01	R/W	8/16	0x00
0xF223		P2MOD1		R/W	8	0x00
0xF224	ポート 2 モードレジスタ 23	P2MOD2	P2MOD23	R/W	8/16	0x00
0xF225		P2MOD3		R/W	8	0x00
0xF226	ポート 2 モードレジスタ 45	P2MOD4	P2MOD45	R/W	8/16	0x00
0xF227		P2MOD5		R/W	8	0x00
0xF228	ポート 2 モードレジスタ 67	P2MOD6	P2MOD67	R/W	8/16	0x00
0xF229		P2MOD7		R/W	8	0x00
0xF22A	ポート 2 パルスモードレジスタ	P2PMDL	P2PMD	R/W	8/16	0x00
0xF22B		P2PMDH		R/W	8	0x00
0xF22C	ポート 2 パルス選択レジスタ	P2PSLL	P2PSL	R/W	8/16	0x00
0xF22D		P2PSLH		R/W	8	0x00
0xF22E	予約レジスタ	—	—	—	—	—
0xF22F		—	—	—	—	—
0xF230	ポート 3 データレジスタ	P3DI	P3D	R/W	8/16	0xFF
0xF231		P3DO		R/W	8	0x00
0xF232	ポート 3 モードレジスタ 01	P3MOD0	P3MOD01	R/W	8/16	0x00
0xF233		P3MOD1		R/W	8	0x00
0xF234	ポート 3 モードレジスタ 23	P3MOD2	P3MOD23	R/W	8/16	0x00
0xF235		P3MOD3		R/W	8	0x00
0xF236 ～ 0xF239	予約レジスタ	—	—	—	—	—
0xF23A	ポート 3 パルスモードレジスタ	P3PMDL	P3PMD	R/W	8/16	0x00
0xF23B		P3PMDH		R/W	8	0x00
0xF23C	ポート 3 パルス選択レジスタ	P3PSLL	P3PSL	R/W	8/16	0x00
0xF23D		P3PSLH		R/W	8	0x00
0xF23E	予約レジスタ	—	—	—	—	—
0xF23F		—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF240	ポート 4 データレジスタ	P4DI	P4D	R/W	8/16	0xFF
0xF241		P4DO		R/W	8	0x00
0xF242	ポート 4 モードレジスタ 01	P4MOD0	P4MOD01	R/W	8/16	0x00
0xF243		P4MOD1		R/W	8	0x00
0xF244	ポート 4 モードレジスタ 23	P4MOD2	P4MOD23	R/W	8/16	0x00
0xF245		P4MOD3		R/W	8	0x00
0xF246	ポート 4 モードレジスタ 45	P4MOD4	P4MOD45	R/W	8/16	0x00
0xF247		P4MOD5		R/W	8	0x00
0xF248	ポート 4 モードレジスタ 67	P4MOD6	P4MOD67	R/W	8/16	0x00
0xF249		P4MOD7		R/W	8	0x00
0xF24A ～ 0xF24F	予約レジスタ	—	—	—	—	—
0xF250	ポート 5 データレジスタ	P5DI	P5D	R/W	8/16	0xFF
0xF251		P5DO		R/W	8	0x00
0xF252	ポート 5 モードレジスタ 01	P5MOD0	P5MOD01	R/W	8/16	0x00
0xF253		P5MOD1		R/W	8	0x00
0xF254	ポート 5 モードレジスタ 23	P5MOD2	P5MOD23	R/W	8/16	0x00
0xF255		P5MOD3		R/W	8	0x00
0xF256	ポート 5 モードレジスタ 45	P5MOD4	P5MOD45	R/W	8/16	0x00
0xF257		P5MOD5		R/W	8	0x00
0xF258	ポート 5 モードレジスタ 67	P5MOD6	P5MOD67	R/W	8/16	0x00
0xF259		P5MOD7		R/W	8	0x00
0xF25A ～ 0xF25F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF260	ポート 6 データレジスタ	P6DI	P6D	R/W	8/16	0xFF
0xF261		P6DO		R/W	8	0x00
0xF262	ポート 6 モードレジスタ 01	P6MOD0	P6MOD01	R/W	8/16	0x00
0xF263		P6MOD1		R/W	8	0x00
0xF264	ポート 6 モードレジスタ 23	P6MOD2	P6MOD23	R/W	8/16	0x00
0xF265		P6MOD3		R/W	8	0x00
0xF266	ポート 6 モードレジスタ 45	P6MOD4	P6MOD45	R/W	8/16	0x00
0xF267		P6MOD5		R/W	8	0x00
0xF268	ポート 6 モードレジスタ 67	P6MOD6	P6MOD67	R/W	8/16	0x00
0xF269		P6MOD7		R/W	8	0x00
0xF26A ～ 0xF26F	予約レジスタ	—	—	—	—	—
0xF270	ポート 7 データレジスタ	P7DI	P7D	R/W	8/16	0xFF
0xF271		P7DO		R/W	8	0x00
0xF272	ポート 7 モードレジスタ 01	P7MOD0	P7MOD01	R/W	8/16	0x00
0xF273		P7MOD1		R/W	8	0x00
0xF274	ポート 7 モードレジスタ 23	P7MOD2	P7MOD23	R/W	8/16	0x00
0xF275		P7MOD3		R/W	8	0x00
0xF276	ポート 7 モードレジスタ 45	P7MOD4	P7MOD45	R/W	8/16	0x00
0xF277		P7MOD5		R/W	8	0x00
0xF278	ポート 7 モードレジスタ 67	P7MOD6	P7MOD67	R/W	8/16	0x00
0xF279		—		R	8	0x00
0xF27A ～ 0xF27F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF280	ポート 8 データレジスタ	P8DI	P8D	R/W	8/16	0xFF
0xF281		P8DO		R/W	8	0x00
0xF282	ポート 8 モードレジスタ 01	P8MOD0	P8MOD01	R/W	8/16	0x00
0xF283		P8MOD1		R/W	8	0x00
0xF284	ポート 8 モードレジスタ 23	P8MOD2	P8MOD23	R/W	8/16	0x00
0xF285		—		R	8	0x00
0xF286	予約レジスタ	—	—	—	—	—
0xF287		—	—	—	—	—
0xF288	予約レジスタ	—	—	—	—	—
0xF289		—	—	—	—	—
0xF28A ～ 0xF28F	予約レジスタ	—	—	—	—	—
0xF290	ポート 9 データレジスタ	P9DI	P9D	R/W	8/16	0xFF
0xF291		P9DO		R/W	8	0x00
0xF292	予約レジスタ	—	—	—	—	—
0xF293		—	—	—	—	—
0xF294	ポート 9 モードレジスタ 23	—	P9MOD23	R	8/16	0x00
0xF295		P9MOD3		R/W	8	0x00
0xF296	ポート 9 モードレジスタ 45	P9MOD4	P9MOD45	R/W	8/16	0x00
0xF297		P9MOD5		R/W	8	0x00
0xF298	ポート 9 モードレジスタ 67	P9MOD6	P9MOD67	R/W	8/16	0x00
0xF299		—		R	8	0x00
0xF29A ～ 0xF29F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF2A0	ポート A データレジスタ	PADI	PAD	R/W	8/16	0xFF
0xF2A1		PADO		R/W	8	0x00
0xF2A2	ポート A モードレジスタ 01	—	PAMOD01	R	8/16	0x00
0xF2A3		PAMOD1		R/W	8	0x00
0xF2A4	ポート A モードレジスタ 23	PAMOD2	PAMOD23	R/W	8/16	0x00
0xF2A5		PAMOD3		R/W	8	0x00
0xF2A6	予約レジスタ	PAMOD4	PAMOD45	R/W	8/16	0x00
0xF2A7		—		R	8	0x00
0xF2A8	予約レジスタ	—	—	—	—	—
0xF2A9		—	—	—	—	—
0xF2AA ～ 0xF2AF	予約レジスタ	—	—	—	—	—
0xF2B0	ポート B データレジスタ	PBDI	PBD	R/W	8/16	0xFF
0xF2B1		PBDO		R/W	8	0x00
0xF2B2	予約レジスタ	—	—	—	—	—
0xF2B3		—	—	—	—	—
0xF2B4	ポート B モードレジスタ 23	PBMOD2	PBMOD23	R/W	8/16	0x00
0xF2B5		PBMOD3		R/W	8	0x00
0xF2B6	ポート B モードレジスタ 45	PBMOD4	PBMOD45	R/W	8/16	0x00
0xF2B7		PBMOD5		R/W	8	0x00
0xF2B8	予約レジスタ	—	—	—	—	—
0xF2B9		—	—	—	—	—
0xF2BA ～ 0xF2EF	予約レジスタ	—	—	—	—	—
0xF2F0	PORTXT データ入力レジスタ	PXTDI	—	R	8	—
0xF2F1	予約レジスタ	—	—	—	—	—
0xF2F2	PORTXT モードレジスタ 01	PXTMOD0	PXTMOD01	R/W	8/16	0x00
0xF2F3		PXTMOD1		R/W	8	0x00

【注意】

- 非搭載のポートのレジスタへの書き込みは無効です。読み出し時には常に 0x0000 が読み出されます。

表 17-2 搭載レジスタ/ビット一覧

ポート名	端子名	制御レジスタ/ビット ^{*1}						搭載／非搭載 ^{*2}		
								ML62Q1500C ML62Q1700C グループ		
		ポート n データレジスタ (PnD)		ポート n モードレジスタ m (PnMODm)	ポート n パルスモードレジスタ m (PnPMD)		ポート n パルス選択レジスタ (PnPSL)	52 ピン製品	64 ピン製品	80 ピン製品
ポート XT	PI00	—	PXT0DI	PXTMOD0	—	—	—	●	●	●
	PI01	—	PXT1DI	PXTMOD1	—	—	—	●	●	●
ポート 0	P00	P00DO	P00DI	P0MOD0	—	—	—	●	●	●
	P01	P01DO	P01DI	P0MOD1	—	—	—	●	●	●
	P02	P02DO	P02DI	P0MOD2	—	—	—	●	●	●
	P03	P03DO	P03DI	P0MOD3	P03PLVL	P03PEN	P03PSL	●	●	●
	P04	P04DO	P04DI	P0MOD4	—	—	—	●	●	●
	P05	P05DO	P05DI	P0MOD5	—	—	—	●	●	●
	P06	P06DO	P06DI	P0MOD6	—	—	—	●	●	●
	P07	P07DO	P07DI	P0MOD7	—	—	—	●	●	●
ポート 1	P10	P10DO	P10DI	P1MOD0	—	—	—	●	●	●
	P11	P11DO	P11DI	P1MOD1	P11PLVL	P11PEN	P11PSL	●	●	●
	P12	P12DO	P12DI	P1MOD2	—	—	—	●	●	●
	P13	P13DO	P13DI	P1MOD3	P13PLVL	P13PEN	P13PSL	●	●	●
	P14	P14DO	P14DI	P1MOD4	—	—	—	●	●	●
	P15	P15DO	P15DI	P1MOD5	—	—	—	●	●	●
	P16	P16DO	P16DI	P1MOD6	—	—	—	●	●	●
	P17	P17DO	P17DI	P1MOD7	—	—	—	●	●	●
ポート 2	P20	P20DO	P20DI	P2MOD0	P20PLVL	P20PEN	P20PSL	●	●	●
	P21	P21DO	P21DI	P2MOD1	—	—	—	●	●	●
	P22	P22DO	P22DI	P2MOD2	P22PLVL	P22PEN	P22PSL	●	●	●
	P23	P23DO	P23DI	P2MOD3	—	—	—	●	●	●
	P24	P24DO	P24DI	P2MOD4	—	—	—	●	●	●
	P25	P25DO	P25DI	P2MOD5	P25PLVL	P25PEN	P25PSL	●	●	●
	P26	P26DO	P26DI	P2MOD6	—	—	—	●	●	●
	P27	P27DO	P27DI	P2MOD7	P27PLVL	P27PEN	P27PSL	●	●	●
ポート 3	P30	P30DO	P30DI	P3MOD0	—	—	—	●	●	●
	P31	P31DO	P31DI	P3MOD1	—	—	—	●	●	●
	P32	P32DO	P32DI	P3MOD2	—	—	—	●	●	●
	P33	P33DO	P33DI	P3MOD3	P33PLVL	P33PEN	P33PSL	●	●	●

ポート名	端子名	制御レジスタ/ビット ^{*1}						搭載／非搭載 ^{*2}		
								ML62Q1500C ML62Q1700C グループ		
		ポート n データレジスタ (PnD)	ポート n モードレジスタ m (PnMODm)	ポート n パルスモードレジスタ m (PnPMD)	ポート n パルス選択レジスタ (PnPSL)			52 ピン製品	64 ピン製品	80 ピン製品
ポート 4	P40	P40DO	P40DI	P4MOD0	—	—	—	—	●	●
	P41	P41DO	P41DI	P4MOD1	—	—	—	●	●	●
	P42	P42DO	P42DI	P4MOD2	—	—	—	—	●	●
	P43	P43DO	P43DI	P4MOD3	—	—	—	●	●	●
	P44	P44DO	P44DI	P4MOD4	—	—	—	—	●	●
	P45	P45DO	P45DI	P4MOD5	—	—	—	—	●	●
	P46	P46DO	P46DI	P4MOD6	—	—	—	—	●	●
	P47	P47DO	P47DI	P4MOD7	—	—	—	●	●	●
ポート 5	P50	P50DO	P50DI	P5MOD0	—	—	—	●	●	●
	P51	P51DO	P51DI	P5MOD1	—	—	—	●	●	●
	P52	P52DO	P52DI	P5MOD2	—	—	—	—	●	●
	P53	P53DO	P53DI	P5MOD3	—	—	—	—	●	●
	P54	P54DO	P54DI	P5MOD4	—	—	—	—	●	●
	P55	P55DO	P55DI	P5MOD5	—	—	—	—	●	●
	P56	P56DO	P56DI	P5MOD6	—	—	—	●	●	●
	P57	P57DO	P57DI	P5MOD7	—	—	—	—	●	●
ポート 6	P60	P60DO	P60DI	P6MOD0	—	—	—	●	●	●
	P61	P61DO	P61DI	P6MOD1	—	—	—	●	●	●
	P62	P62DO	P62DI	P6MOD2	—	—	—	●	●	●
	P63	P63DO	P63DI	P6MOD3	—	—	—	●	●	●
	P64	P64DO	P64DI	P6MOD4	—	—	—	●	●	●
	P65	P65DO	P65DI	P6MOD5	—	—	—	●	●	●
	P66	P66DO	P66DI	P6MOD6	—	—	—	●	●	●
	P67	P67DO	P67DI	P6MOD7	—	—	—	—	●	●
ポート 7	P70	P70DO	P70DI	P7MOD0	—	—	—	—	●	●
	P71	P71DO	P71DI	P7MOD1	—	—	—	▲	▲	▲
	P72	P72DO	P72DI	P7MOD2	—	—	—	▲	▲	▲
	P73	P73DO	P73DI	P7MOD3	—	—	—	▲	▲	▲
	P74	P74DO	P74DI	P7MOD4	—	—	—	▲	▲	▲
	P75	P75DO	P75DI	P7MOD5	—	—	—	▲	▲	▲
	P76	P76DO	P76DI	P7MOD6	—	—	—	—	—	●
	P77	P77DO	P77DI	P7MOD7	—	—	—	—	—	—

ポート名	端子名	制御レジスタ/ビット ^{*1}						搭載／非搭載 ^{*2}		
								ML62Q1500C ML62Q1700C グループ		
		ポート n データレジスタ (PnD)	ポート n モードレジスタ m (PnMODm)	ポート n パルスモードレジスタ m (PnPMD)	ポート n パルス選択レジスタ (PnPSL)			52 ピン製品	64 ピン製品	80 ピン製品
ポート 8	P80	P80DO	P80DI	P8MOD0	—	—	—	—	—	●
	P81	P81DO	P81DI	P8MOD1	—	—	—	—	—	●
	P82	P82DO	P82DI	P8MOD2	—	—	—	—	—	●
	P83	P83DO	P83DI	P8MOD3	—	—	—	—	—	—
	P84	P84DO	P84DI	P8MOD4	—	—	—	—	—	—
	P85	P85DO	P85DI	P8MOD5	—	—	—	—	—	—
	P86	P86DO	P86DI	P8MOD6	—	—	—	—	—	—
	P87	P87DO	P87DI	P8MOD7	—	—	—	—	—	—
ポート 9	P90	P90DO	P90DI	P9MOD0	—	—	—	—	—	—
	P91	P91DO	P91DI	P9MOD1	—	—	—	—	—	—
	P92	P92DO	P92DI	P9MOD2	—	—	—	—	—	—
	P93	P93DO	P93DI	P9MOD3	—	—	—	—	—	●
	P94	P94DO	P94DI	P9MOD4	—	—	—	—	—	●
	P95	P95DO	P95DI	P9MOD5	—	—	—	—	—	●
	P96	P96DO	P96DI	P9MOD6	—	—	—	—	—	●
	P97	P97DO	P97DI	P9MOD7	—	—	—	—	—	—
ポート A	PA0	PA0DO	PA0DI	PAMOD0	—	—	—	—	—	—
	PA1	PA1DO	PA1DI	PAMOD1	—	—	—	—	—	●
	PA2	PA2DO	PA2DI	PAMOD2	—	—	—	—	—	●
	PA3	PA3DO	PA3DI	PAMOD3	—	—	—	—	—	●
	PA4	PA4DO	PA4DI	PAMOD4	—	—	—	—	—	●
	PA5	PA5DO	PA5DI	PAMOD5	—	—	—	—	—	—
	PA6	PA6DO	PA6DI	PAMOD6	—	—	—	—	—	—
	PA7	PA7DO	PA7DI	PAMOD7	—	—	—	—	—	—
ポート B	PB0	PB0DO	PB0DI	PBMOD0	—	—	—	—	—	—
	PB1	PB1DO	PB1DI	PBMOD1	—	—	—	—	—	—
	PB2	PB2DO	PB2DI	PBMOD2	—	—	—	—	—	●
	PB3	PB3DO	PB3DI	PBMOD3	—	—	—	—	—	●
	PB4	PB4DO	PB4DI	PBMOD4	—	—	—	—	—	●
	PB5	PB5DO	PB5DI	PBMOD5	—	—	—	—	—	●
	PB6	PB6DO	PB6DI	PBMOD6	—	—	—	—	—	—
	PB7	PB7DO	PB7DI	PBMOD7	—	—	—	—	—	—

*1: 各端子に対応するレジスタのビットを記載。ポート n モードレジスタ m については対応するレジスタを記載。

*2: 搭載／非搭載欄の“●”は搭載, “—”は非搭載, “▲”は ML62Q1500C グループのみ搭載を示します。非搭載レジスタおよび非搭載ビットへの書き込み／読み出しについては各レジスタの説明を参照してください。

17.2.2 ポート n データレジスタ（PnD : n=0~9, A, B）

本レジスタは、ポート n 端子レベルの読み出しおよび、出力値を設定する特殊機能レジスタ(SFR)です。
入力有効時、PnDI からはポート n 端子の入力レベルが読み出せます。
出力有効時、PnDO に書き込んだ値がポート n 端子へ出力されます。
PnDO に書き込んだ値は読み出し可能です。本ビットは出力無効の状態でも設定することが可能です。
入力有効および出力有効はポート n モードレジスタ m で設定します。
対応する端子および使用可能なビットについては「表 17-2 搭載レジスタ／ビット一覧」を参照してください。
対応する端子が存在しない PnDO のビットには、“0”を設定してください。

アドレス：0xF200 (P0DI/P0D), 0xF201 (P0DO),
0xF210 (P1DI/P1D), 0xF211 (P1DO),
0xF220 (P2DI/P2D), 0xF221 (P2DO),
0xF230 (P3DI/P3D), 0xF231 (P3DO),
0xF240 (P4DI/P4D), 0xF241 (P4DO),
0xF250 (P5DI/P5D), 0xF251 (P5DO),
0xF260 (P6DI/P6D), 0xF261 (P6DO),
0xF270 (P7DI/P7D), 0xF271 (P7DO),
0xF280 (P8DI/P8D), 0xF281 (P8DO),
0xF290 (P9DI/P9D), 0xF291 (P9DO),
0xF2A0 (PADI/PAD), 0xF2A1 (PADO),
0xF2B0 (PBDI/PBD), 0xF2B1 (PBD0)

アクセス：R/W

アクセスサイズ：8 ビット／16 ビット

初期値：0x00FF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	PnD															
バイト	PnDO								PnDI							
ビット	Pn7DO	Pn6DO	Pn5DO	Pn4DO	Pn3DO	Pn2DO	Pn1DO	Pn0DO	Pn7DI	Pn6DI	Pn5DI	Pn4DI	Pn3DI	Pn2DI	Pn1DI	Pn0DI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

ビット番号	ビットシンボル名	説明
15~8	Pn7DO~ Pn0DO	ポート n 端子の出力レベルを設定するビットです。 0: “L”を出力（初期値） 1: “H”を出力
7~0	Pn7DI~ Pn0DI	ポート n 端子の入力レベルが読み出せるビットです。 0: 入力レベルが“L” 1: 入力レベルが“H”（初期値）

17.2.3 ポート n モードレジスタ 01（PnMOD01：n=0～9, A, B）

本レジスタは、Pn0 端子と Pn1 端子の入出力モード、入出力状態、兼用機能を選択する特殊機能レジスタ (SFR) です。
対応する端子および使用可能なビットについては「表 17-2 搭載レジスタ／ビット一覧」を参照してください。
対応する端子が存在しないビットには、“0”を設定してください。

アドレス： 0xF202 (P0MOD0/P0MOD01), 0xF203 (P0MOD1),
0xF212 (P1MOD0/P1MOD01), 0xF213 (P1MOD1),
0xF222 (P2MOD0/P2MOD01), 0xF223 (P2MOD1),
0xF232 (P3MOD0/P3MOD01), 0xF233 (P3MOD1),
0xF242 (P4MOD0/P4MOD01), 0xF243 (P4MOD1),
0xF252 (P5MOD0/P5MOD01), 0xF253 (P5MOD1),
0xF262 (P6MOD0/P6MOD01), 0xF263 (P6MOD1),
0xF272 (P7MOD0/P7MOD01), 0xF273 (P7MOD1),
0xF282 (P8MOD0/P8MOD01), 0xF283 (P8MOD1),
0xF2A2 (PAMOD01), 0xF2A3 (P9MOD1)

アクセス： R/W

アクセスサイズ： 8 ビット／16 ビット

初期値： 0x0000 (P0MOD01 は 0x0005)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	PnMOD01															
バイト	PnMOD1								PnMOD0							
ビット	Pn1M D3	Pn1M D2	Pn1M D1	Pn1M D0	Pn1O D	Pn1PU	Pn1O E	Pn1IE	Pn0M D3	Pn0M D2	Pn0M D1	Pn0M D0	Pn0O D	Pn0PU	Pn0O E	Pn0IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	*	0	*

*: ポート 0 の場合のみ“1”，それ以外は“0”となります。

ビット 番号	ビットシンボル 名	説明
15～ 12	Pn1MD3～ Pn1MD0	Pn1 端子の兼用機能を選択するビットです。 使用可能な兼用機能については「表 1-5 ML62Q1500C グループ端子一覧」, 「表 1-6 ML62Q1700C グループ端子一覧」を参照してください。 0000: 1 次機能（初期値） 0001: 2 次機能 0010: 3 次機能 0011: 4 次機能 0100: 5 次機能 0101: 6 次機能 0110: 7 次機能 0111: 8 次機能 1XXX: 設定禁止 (1 次機能) X: 0/1 どちらでもよい
11	Pn1OD	Pn1 端子の出力タイプを選択するビットです。 Nch オープンドレイン出力を選択すると出力電流能力が向上し、LED を直接駆動することができます。 出力電流特性については各商品のデータシートを参照してください。 0: CMOS 出力 (初期値) 1: Nch オープンドレイン出力

ビット 番号	ビットシンボル 名	説明
10	Pn1PU	<p>Pn1 端子のプルアップを有効にするビットです。</p> <p>0: 無効(プルアップしない)(初期値)</p> <p>1: 有効(プルアップする)</p> <p>Pn1OD, Pn1OE, Pn1IE ビットの設定により, Pn1PU ビットの内容が反映されるかが決まります。</p> <p>X01: 反映される(プルアップできる)</p> <p>111: 反映される(プルアップできる)</p> <p>上記以外: 反映されない(プルアップできない)</p> <p>X: 0/1 どちらでもよい</p>
9	Pn1OE	<p>Pn1 端子の出力を有効にするビットです。</p> <p>0: 出力無効(初期値)</p> <p>1: 出力有効</p>
8	Pn1IE	<p>Pn1 端子の入力を有効にするビットです。</p> <p>0: 入力無効(初期値)</p> <p>1: 入力有効</p>
7~4	Pn0MD3~ Pn0MD0	<p>Pn0 端子の兼用機能を選択するビットです。</p> <p>使用可能な兼用機能については「表 1-5 ML62Q1500C グループ端子一覧」, 「表 1-6 ML62Q1700C グループ端子一覧」を参照してください。</p> <p>0000: 1 次機能 (初期値)</p> <p>0001: 2 次機能</p> <p>0010: 3 次機能</p> <p>0011: 4 次機能</p> <p>0100: 5 次機能</p> <p>0101: 6 次機能</p> <p>0110: 7 次機能</p> <p>0111: 8 次機能</p> <p>1XXX: 設定禁止(1 次機能)</p> <p>X: 0/1 どちらでもよい</p>
3	Pn0OD	<p>Pn0 端子の出力タイプを選択するビットです。</p> <p>Nch オープンドレイン出力を選択すると出力電流能力が向上し, LED を直接駆動することができます。</p> <p>出力電流特性に関しては各商品のデータシートを参照してください。</p> <p>0: CMOS 出力(初期値)</p> <p>1: Nch オープンドレイン出力</p>
2	Pn0PU	<p>Pn0 端子のプルアップを有効にするビットです。</p> <p>0: 無効(プルアップしない)(初期値*)</p> <p>1: 有効(プルアップする)</p> <p>*: PnMOD0 の場合, 初期値は“1”です。</p> <p>Pn0OD, Pn0OE, Pn0IE ビットの設定により, Pn0PU ビットの内容が反映されるかが決まります。</p> <p>X01: 反映される(プルアップできる)</p> <p>111: 反映される(プルアップできる)</p> <p>上記以外: 反映されない(プルアップできない)</p> <p>X: 0/1 どちらでもよい</p>
1	Pn0OE	<p>Pn0 端子の出力を有効にするビットです。</p> <p>0: 出力無効(初期値)</p> <p>1: 出力有効</p>
0	Pn0IE	<p>Pn0 端子の入力を有効にするビットです。</p> <p>1: 入力有効</p> <p>*: PnMOD0 の場合, 初期値は“1”です。</p>

【注意】

- 外部割込みを使用する場合には、必ず PnMODm レジスタ(m=0~7)を設定してから EICON0, EIMOD0 レジスタ, および IE1 レジスタを設定してください。割込み許可状態で PnMODm レジスタを設定すると、意図しない割込みが発生する可能性があります。
- 意図しない出力を防ぐために、周辺回路の設定および兼用機能の設定をしてから出力を有効にすることを推奨します。

17.2.4 ポート n モードレジスタ 23 (PnMOD23 : n=0~9, A, B)

本レジスタは、Pn2 端子と Pn3 端子の入出力モード、入出力状態、兼用機能を選択する特殊機能レジスタ(SFR)です。
対応する端子および使用可能なビットについては「表 17-2 搭載レジスタ/ビット一覧」を参照してください。
対応する端子が存在しないビットには、“0”を設定してください。

アドレス: 0xF204 (P0MOD2/P0MOD23), 0xF205 (P0MOD3),
0xF214 (P1MOD2/P1MOD23), 0xF215 (P1MOD3),
0xF224 (P2MOD2/P2MOD23), 0xF225 (P2MOD3),
0xF234 (P3MOD2/P3MOD23), 0xF235 (P3MOD3),
0xF244 (P4MOD2/P4MOD23), 0xF245 (P4MOD3),
0xF254 (P5MOD2/P5MOD23), 0xF255 (P5MOD3),
0xF264 (P6MOD2/P6MOD23), 0xF265 (P6MOD3),
0xF274 (P7MOD2/P7MOD23), 0xF275 (P7MOD3),
0xF284 (P8MOD2/P8MOD23),
0xF294 (P9MOD23), 0xF295 (P9MOD3),
0xF2A4 (PAMOD2/PAMOD23), 0xF2A5 (PAMOD3),
0xF2B4 (PBMOD2/PBMOD23), 0xF2B5 (PBMOD3)

アクセス: R/W
アクセスサイズ: 8 ビット/16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	PnMOD23															
バイト	PnMOD3								PnMOD2							
ビット	Pn3MD3	Pn3MD2	Pn3MD1	Pn3MD0	Pn3OD	Pn3PU	Pn3OE	Pn3IE	Pn2MD3	Pn2MD2	Pn2MD1	Pn2MD0	Pn2OD	Pn2PU	Pn2OE	Pn2IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15~12	Pn3MD3~Pn3MD0	Pn3 端子の兼用機能を選択するビットです。 使用可能な兼用機能については「表 1-5 ML62Q1500C グループ端子一覧」, 「表 1-6 ML62Q1700C グループ端子一覧」を参照してください。 0000: 1 次機能 (初期値) 0001: 2 次機能 0010: 3 次機能 0011: 4 次機能 0100: 5 次機能 0101: 6 次機能 0110: 7 次機能 0111: 8 次機能 1XXX: 設定禁止 (1 次機能) X: 0/1 どちらでもよい
11	Pn3OD	Pn3 端子の出力タイプを選択するビットです。 Nch オープンドレイン出力を選択すると出力電流能力が向上し、LED を直接駆動することができます。 出力電流特性については各商品のデータシートを参照してください。 0: CMOS 出力 (初期値) 1: Nch オープンドレイン出力

ビット 番号	ビットシンボル 名	説明
10	Pn3PU	<p>Pn3 端子のプルアップを有効にするビットです。</p> <p>0: 無効(プルアップしない)(初期値)</p> <p>1: 有効(プルアップする)</p> <p>Pn3OD, Pn3OE, Pn3IE ビットの設定により, Pn3PU ビットの内容が反映されるかが決まります。</p> <p>X01: 反映される(プルアップできる)</p> <p>111: 反映される(プルアップできる)</p> <p>上記以外: 反映されない(プルアップできない)</p> <p>X: 0/1 どちらでもよい</p>
9	Pn3OE	<p>Pn3 端子の出力を有効にするビットです。</p> <p>0: 出力無効(初期値)</p> <p>1: 出力有効</p>
8	Pn3IE	<p>Pn3 端子の入力を有効にするビットです。</p> <p>0: 入力無効(初期値)</p> <p>1: 入力有効</p>
7~4	Pn2MD3~ Pn2MD0	<p>Pn2 端子の兼用機能を選択するビットです。</p> <p>使用可能な兼用機能については「表 1-5 ML62Q1500C グループ端子一覧」, 「表 1-6 ML62Q1700C グループ端子一覧」を参照してください。</p> <p>0000: 1 次機能 (初期値)</p> <p>0001: 2 次機能</p> <p>0010: 3 次機能</p> <p>0011: 4 次機能</p> <p>0100: 5 次機能</p> <p>0101: 6 次機能</p> <p>0110: 7 次機能</p> <p>0111: 8 次機能</p> <p>1XXX: 設定禁止(1 次機能)</p> <p>X: 0/1 どちらでもよい</p>
3	Pn2OD	<p>Pn2 端子の出力タイプを選択するビットです。</p> <p>Nch オープンドレイン出力を選択すると出力電流能力が向上し, LED を直接駆動することができます。</p> <p>出力電流特性に関しては各商品のデータシートを参照してください。</p> <p>0: CMOS 出力(初期値)</p> <p>1: Nch オープンドレイン出力</p>
2	Pn2PU	<p>Pn2 端子のプルアップを有効にするビットです。</p> <p>0: 無効(プルアップしない)(初期値)</p> <p>1: 有効(プルアップする)</p> <p>Pn2OD, Pn2OE, Pn2IE ビットの設定により, Pn2PU ビットの内容が反映されるかが決まります。</p> <p>X01: 反映される(プルアップできる)</p> <p>111: 反映される(プルアップできる)</p> <p>上記以外: 反映されない(プルアップできない)</p> <p>X: 0/1 どちらでもよい</p>
1	Pn2OE	<p>Pn2 端子の出力を有効にするビットです。</p> <p>0: 出力無効(初期値)</p> <p>1: 出力有効</p>
0	Pn2IE	<p>Pn2 端子の入力を有効にするビットです。</p> <p>0: 入力無効(初期値)</p> <p>1: 入力有効</p>

【注意】

- 外部割込みを使用する場合には、必ず PnMODm レジスタ(m=0~7)を設定してから EICON0, EIMOD0 レジスタ、および IE1 レジスタを設定してください。割込み許可状態で PnMODm レジスタを設定すると、意図しない割込みが発生する可能性があります。
- 意図しない出力を防ぐために、周辺回路の設定および兼用機能の設定をしてから出力を有効にすることを推奨します。

17.2.5 ポート n モードレジスタ 45（PnMOD45：n=0～2, 4～9, A, B）

本レジスタは、Pn4 端子と Pn5 端子の入出力モード、入出力状態、兼用機能を選択する特殊機能レジスタ(SFR)です。
対応する端子および使用可能なビットについては「表 17-2 搭載レジスタ／ビット一覧」を参照してください。
対応する端子が存在しないビットには、“0”を設定してください。

アドレス：0xF206 (P0MOD4/P0MOD45), 0xF207 (P0MOD5),
0xF216 (P1MOD4/P1MOD45), 0xF217 (P1MOD5),
0xF226 (P2MOD4/P2MOD45), 0xF227 (P2MOD5),
0xF246 (P4MOD4/P4MOD45), 0xF247 (P4MOD5),
0xF256 (P5MOD4/P5MOD45), 0xF257 (P5MOD5),
0xF266 (P6MOD4/P6MOD45), 0xF267 (P6MOD5),
0xF276 (P7MOD4/P7MOD45), 0xF277 (P7MOD5),
0xF296 (P9MOD4/P9MOD45), 0xF297 (P9MOD5),
0xF2A6 (PAMOD4/PAMOD45),
0xF2B6 (PBMOD4/PBMOD45), 0xF2B7 (PBMOD5)

アクセス：R/W

アクセスサイズ：8 ビット／16 ビット

初期値：0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	PnMOD45															
バイト	PnMOD5								PnMOD4							
ビット	Pn5M D3	Pn5M D2	Pn5M D1	Pn5M D0	Pn5O D	Pn5PU	Pn5O E	Pn5IE	Pn4M D3	Pn4M D2	Pn4M D1	Pn4M D0	Pn4O D	Pn4PU	Pn4O E	Pn4IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 12	Pn5MD3～ Pn5MD0	Pn5 端子の兼用機能を選択するビットです。 使用可能な兼用機能については「表 1-5 ML62Q1500C グループ端子一覧」,「表 1-6 ML62Q1700C グループ端子一覧」を参照してください。 0000: 1 次機能（初期値） 0001: 2 次機能 0010: 3 次機能 0011: 4 次機能 0100: 5 次機能 0101: 6 次機能 0110: 7 次機能 0111: 8 次機能 1XXX: 設定禁止 (1 次機能) X: 0/1 どちらでもよい
11	Pn5OD	Pn5 端子の出力タイプを選択するビットです。 Nch オープンドレイン出力を選択すると出力電流能力が向上し、LED を直接駆動することができます。 出力電流特性については各商品のデータシートを参照してください。 0: CMOS 出力 (初期値) 1: Nch オープンドレイン出力

ビット 番号	ビットシンボル 名	説明
10	Pn5PU	<p>Pn5 端子のプルアップを有効にするビットです。</p> <p>0: 無効(プルアップしない)(初期値)</p> <p>1: 有効(プルアップする)</p> <p>Pn5OD, Pn5OE, Pn5IE ビットの設定により, Pn5PU ビットの内容が反映されるかが決まります。</p> <p>X01: 反映される(プルアップできる)</p> <p>111: 反映される(プルアップできる)</p> <p>上記以外: 反映されない(プルアップできない)</p> <p>X: 0/1 どちらでもよい</p>
9	Pn5OE	<p>Pn5 端子の出力を有効にするビットです。</p> <p>0: 出力無効(初期値)</p> <p>1: 出力有効</p>
8	Pn5IE	<p>Pn5 端子の入力を有効にするビットです。</p> <p>0: 入力無効(初期値)</p> <p>1: 入力有効</p>
7~4	Pn4MD3~ Pn4MD0	<p>Pn4 端子の兼用機能を選択するビットです。</p> <p>使用可能な兼用機能については「表 1-5 ML62Q1500C グループ端子一覧」, 「表 1-6 ML62Q1700C グループ端子一覧」を参照してください。</p> <p>0000: 1 次機能 (初期値)</p> <p>0001: 2 次機能</p> <p>0010: 3 次機能</p> <p>0011: 4 次機能</p> <p>0100: 5 次機能</p> <p>0101: 6 次機能</p> <p>0110: 7 次機能</p> <p>0111: 8 次機能</p> <p>1XXX: 設定禁止(1 次機能)</p> <p>X: 0/1 どちらでもよい</p>
3	Pn4OD	<p>Pn4 端子の出力タイプを選択するビットです。</p> <p>Nch オープンドレイン出力を選択すると出力電流能力が向上し, LED を直接駆動することができます。</p> <p>出力電流特性に関しては各商品のデータシートを参照してください。</p> <p>0: CMOS 出力(初期値)</p> <p>1: Nch オープンドレイン出力</p>
2	Pn4PU	<p>Pn4 端子のプルアップを有効にするビットです。</p> <p>0: 無効(プルアップしない)(初期値)</p> <p>1: 有効(プルアップする)</p> <p>Pn4OD, Pn4OE, Pn4IE ビットの設定により, Pn4PU ビットの内容が反映されるかが決まります。</p> <p>X01: 反映される(プルアップできる)</p> <p>111: 反映される(プルアップできる)</p> <p>上記以外: 反映されない(プルアップできない)</p> <p>X: 0/1 どちらでもよい</p>
1	Pn4OE	<p>Pn4 端子の出力を有効にするビットです。</p> <p>0: 出力無効(初期値)</p> <p>1: 出力有効</p>
0	Pn4IE	<p>Pn4 端子の入力を有効にするビットです。</p> <p>0: 入力無効(初期値)</p> <p>1: 入力有効</p>

【注意】

- 外部割込みを使用する場合には、必ず PnMODm レジスタ(m=0~7)を設定してから EICON0, EIMOD0 レジスタ, および IE1 レジスタを設定してください。割込み許可状態で PnMODm レジスタを設定すると、意図しない割込みが発生する可能性があります。
- 意図しない出力を防ぐために、周辺回路の設定および兼用機能の設定をしてから出力を有効にすることを推奨します。

17.2.6 ポート n モードレジスタ 67（PnMOD67：n=0～2, 4～7, 9）

本レジスタは、Pn6 端子と Pn7 端子の入出力モード、入出力状態、兼用機能を選択する特殊機能レジスタ(SFR)です。
対応する端子および使用可能なビットについては「表 17-2 搭載レジスタ／ビット一覧」を参照してください。
対応する端子が存在しないビットには、“0”を設定してください。

アドレス： 0xF208(P0MOD6/P0MOD67), 0xF209(P0MOD7),
0xF218(P1MOD6/P1MOD67), 0xF219(P1MOD7),
0xF228(P2MOD6/P2MOD67), 0xF229(P2MOD7),
0xF248(P4MOD6/P4MOD67), 0xF249(P4MOD7),
0xF258(P5MOD6/P5MOD67), 0xF259(P5MOD7),
0xF268(P6MOD6/P6MOD67), 0xF269(P6MOD7),
0xF278(P7MOD6/P7MOD67),
0xF298(P9MOD6/P9MOD67),
アクセス： R/W
アクセスサイズ： 8 ビット／16 ビット
初期値： 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	PnMOD67															
バイト	PnMOD7								PnMOD6							
ビット	Pn7M D3	Pn7M D2	Pn7M D1	Pn7M D0	Pn7O D	Pn7PU	Pn7O E	Pn7IE	Pn6M D3	Pn6M D2	Pn6M D1	Pn6M D0	Pn6O D	Pn6PU	Pn6O E	Pn6IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 12	Pn7MD3～ Pn7MD0	Pn7 端子の兼用機能を選択するビットです。 使用可能な兼用機能については「表 1-5 ML62Q1500C グループ端子一覧」,「表 1-6 ML62Q1700C グループ端子一覧」を参照してください。 0000: 1 次機能（初期値） 0001: 2 次機能 0010: 3 次機能 0011: 4 次機能 0100: 5 次機能 0101: 6 次機能 0110: 7 次機能 0111: 8 次機能 1XXX: 設定禁止(1 次機能) X: 0/1 どちらでもよい
11	Pn7OD	Pn7 端子の出力タイプを選択するビットです。 Nch オープンドレイン出力を選択すると出力電流能力が向上し、LED を直接駆動することができます。 出力電流特性については各商品のデータシートを参照してください。 0: CMOS 出力(初期値) 1: Nch オープンドレイン出力

ビット 番号	ビットシンボル 名	説明
10	Pn7PU	<p>Pn7 端子のプルアップを有効にするビットです。</p> <p>0: 無効(プルアップしない)(初期値)</p> <p>1: 有効(プルアップする)</p> <p>Pn7OD, Pn7OE, Pn7IE ビットの設定により, Pn7PU ビットの内容が反映されるかが決まります。</p> <p>X01: 反映される(プルアップできる)</p> <p>111: 反映される(プルアップできる)</p> <p>上記以外: 反映されない(プルアップできない)</p> <p>X: 0/1 どちらでもよい</p>
9	Pn7OE	<p>Pn7 端子の出力を有効にするビットです。</p> <p>0: 出力無効(初期値)</p> <p>1: 出力有効</p>
8	Pn7IE	<p>Pn7 端子の入力を有効にするビットです。</p> <p>0: 入力無効(初期値)</p> <p>1: 入力有効</p>
7~4	Pn6MD3~ Pn6MD0	<p>Pn6 端子の兼用機能を選択するビットです。</p> <p>使用可能な兼用機能については「表 1-5 ML62Q1500C グループ端子一覧」, 「表 1-6 ML62Q1700C グループ端子一覧」を参照してください。</p> <p>0000: 1 次機能 (初期値)</p> <p>0001: 2 次機能</p> <p>0010: 3 次機能</p> <p>0011: 4 次機能</p> <p>0100: 5 次機能</p> <p>0101: 6 次機能</p> <p>0110: 7 次機能</p> <p>0111: 8 次機能</p> <p>1XXX: 設定禁止(1 次機能)</p> <p>X: 0/1 どちらでもよい</p>
3	Pn6OD	<p>Pn6 端子の出力タイプを選択するビットです。</p> <p>Nch オープンドレイン出力を選択すると出力電流能力が向上し, LED を直接駆動することができます。</p> <p>出力電流特性に関しては各商品のデータシートを参照してください。</p> <p>0: CMOS 出力(初期値)</p> <p>1: Nch オープンドレイン出力</p>
2	Pn6PU	<p>Pn6 端子のプルアップを有効にするビットです。</p> <p>0: 無効(プルアップしない)(初期値)</p> <p>1: 有効(プルアップする)</p> <p>Pn6OD, Pn6OE, Pn6IE ビットの設定により, Pn6PU ビットの内容が反映されるかが決まります。</p> <p>X01: 反映される(プルアップできる)</p> <p>111: 反映される(プルアップできる)</p> <p>上記以外: 反映されない(プルアップできない)</p> <p>X: 0/1 どちらでもよい</p>
1	Pn6OE	<p>Pn6 端子の出力を有効にするビットです。</p> <p>0: 出力無効(初期値)</p> <p>1: 出力有効</p>
0	Pn6IE	<p>Pn6 端子の入力を有効にするビットです。</p> <p>0: 入力無効(初期値)</p> <p>1: 入力有効</p>

【注意】

- 外部割込みを使用する場合には、必ず PnMODm レジスタ(m=0~7)を設定してから EICON0, EIMOD0 レジスタ, および IE1 レジスタを設定してください。割込み許可状態で PnMODm レジスタを設定すると、意図しない割込みが発生する可能性があります。
- 意図しない出力を防ぐために、周辺回路の設定および兼用機能の設定をしてから出力を有効にすることを推奨します。

17.2.7 ポート n パルスモードレジスタ (PnPMD : n=0~3)

本レジスタは、ポート n からキャリア周波数を出力する際に使用する特殊機能レジスタ(SFR)です。
キャリア周波数出力に対応する端子および使用可能なビットについては「表 17-2 搭載レジスタ／ビット一覧」を参照してください。
対応する端子が存在しないビットには、“0”を設定してください。

アドレス: 0xF20A (P0PMDL/P0PMD), 0xF20B (P0PMDH), 0xF21A (P1PMDL/P1PMD), 0xF21B (P1PMDH),
0xF22A (P2PMDL/P2PMD), 0xF22B (P2PMDH), 0xF23A (P3PMDL/P3PMD), 0xF23B (P3PMDH)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	PnPMD															
バイト	PnPMDH								PnPMDL							
ビット	Pn7PL VL	Pn6PL VL	Pn5PL VL	Pn4PL VL	Pn3PL VL	Pn2PL VL	Pn1PL VL	Pn0PL VL	Pn7PE N	Pn6PE N	Pn5PE N	Pn4PE N	Pn3PE N	Pn2PE N	Pn1PE N	Pn0PE N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15~8	Pn7PLVL~ Pn0PLVL	Pn7~Pn0 端子から出力される“H”レベルにキャリア周波数を出力するか、“L”レベルにキャリア周波数を出力するかを選択するビットです。 0: “H”レベルにキャリア周波数を出力する(初期値) 1: “L”レベルにキャリア周波数を出力する
7~0	Pn7PEN~ Pn0PEN	Pn7~Pn0 端子のパルス出力の有効／無効を選択するビットです。 本ビットの設定は Pn7~Pn0 端子が出力有効(Pn7OE~Pn0OE ビットが“0”)に設定されている場合のみ有効です。 0: パルス信号出力無効(初期値) 1: パルス信号出力有効

17.2.8 ポート n パルス選択レジスタ（PnPSL：n=0～3）

本レジスタは、ポート n からキャリア周波数を出力する際に使用するタイマを選択する特殊機能レジスタ(SFR)です。キャリア周波数出力に対応する端子および使用可能なビットについては「表 17-2 搭載レジスタ／ビット一覧」を参照してください。

対応する端子が存在しないビットには“0”を設定してください。

アドレス： 0xF20C (P0PSLL/P0PSL), 0xF20D (P0PSLH), 0xF21C (P1PSLL/P1PSL), 0xF21D (P1PSLH),
0xF22C (P2PSLL/P2PSL), 0xF22D (P2PSLH), 0xF23C (P3PSLL/P3PSL), 0xF23D (P3PSLH)

アクセス： R/W

アクセスサイズ： 8 ビット／16 ビット

初期値： 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	PnPSL															
バイト	PnPSLH								PnPSLL							
ビット	—	—	—	—	—	—	—	—	Pn7PSL	Pn6PSL	Pn5PSL	Pn4PSL	Pn3PSL	Pn2PSL	Pn1PSL	Pn0PSL
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～8	—	予約ビット
7～0	PnmPSL	Pnm 端子のキャリア周波数を生成するタイマを選択するビットです。 本ビットの設定は Pnm 端子が出力有効 (PnmOE が“0”) に設定されている場合のみ有効です。 n: ポート番号 0～9, A, B m: ビット番号 0～7 0: 16 ビットタイマ 0 出力 (TMH0OUT) (初期値) 1: ファンクショナルタイマ 0 出力 (FTM0P)

17.2.9 PORTXT データ入力レジスタ (PXTDI)

本レジスタは、XT0/XT1 端子レベルを読み出す特殊機能レジスタ(SFR)です。
入力モード時、PXTDI レジスタからは XT0/PI00, XT1/PI01 端子の入力レベルを読み出すことができます。
入力モードへの切替は PXTMOD01 レジスタの PXT0IE, PXT1IE ビットで選択します。
水晶振動子を接続して使用する場合は入力ポートとして利用することはできません。

アドレス: 0xF2F0(PXTDI)
アクセス: R
アクセスサイズ: 8ビット
初期値: 不定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								PXTDI							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PXT1 DI	PXT0 DI
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	不定	不定

ビット 番号	ビットシンボル 名	説明
7～2	—	予約ビット
1	PXT1DI	XT1/PI01 の入力レベルを読み出すことができるビットです。 0: XT1/PI01 端子の入力レベルが“L” 1: XT1/PI01 端子の入力レベルが“H”
0	PXT0DI	XT0/PI00 の入力レベルを読み出すことができるビットです。 0: XT0/PI00 端子の入力レベルが“L” 1: XT0/PI00 端子の入力レベルが“H”

- 【注意】
- 水晶振動子接続端子として使用する場合は、PI00, PI01 共に入力ポートとして使用することはできません。
また PI01 を外部クロック入力として使用する場合、PI01 は入力ポートとして使用することはできません。
水晶振動子接続端子としての使用方法及び外部クロック入力としての使用方法は、「第 6 章 クロック発生回路」を参照してください。

17.2.10 PORTXT モードレジスタ 01 (PXTMOD01)

本レジスタは、XT0/PI00 と XT1/PI01 の入力モードを選択する特殊機能レジスタ(SFR)です。
水晶振動子を接続して使用する場合は入力ポートとして利用することはできません。

アドレス: 0xF2F2(PXTMOD0/PXTMOD01), 0xF2F3(PXTMOD1)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	PXTMOD01															
バイト	PXTMOD1								PXTMOD0							
ビット	—	—	—	—	—	—	—	PXT1I E	—	—	—	—	—	—	—	PXT0I E
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～9	—	予約ビット
8	PXT1IE	XT1/PI01 の入力モードを選択するビットです。 0: ハイインピーダンス（初期値） 1: 入力モード
7～1	—	予約ビット
0	PXT0IE	XT0/PI00 の入力モードを選択するビットです。 0: ハイインピーダンス（初期値） 1: 入力モード

17.3 動作説明

17.3.1 入力機能

ポート **n** の各端子は、PnMODm レジスタの PnmIE ビットを設定して、入力有効状態に設定します。

入力有効状態では PnDI を使用して端子レベルを読み出すことができます。

また、PnMODm レジスタ PnmPU ビットを設定してプルアップを有効にすることができます。

システムリセット時には、初期状態として入力無効、プルアップなしが選択されます。

n: ポート番号 0～9, A, B

m: ビット番号 0～7

17.3.2 出力機能

ポート **n** の各端子は、PnMODm レジスタの PnmOD ビットを設定して、CMOS 出力または、Nch オープンドレイン出力のいずれかの出力タイプを選択し、PnMODm レジスタの PnmOE ビットを設定して、出力有効状態に設定します。

出力有効状態では、PnDO の設定値により、汎用ポート(GPIO_n) 各端子に“L”レベルまたは“H”レベルが出力されます。

システムリセット時には、初期状態として出力無効、CMOS 出力が選択されます。

n: ポート番号 0～9, A, B

m: ビット番号 0～7

17.3.3 入出力機能以外の 1 次機能

入出力以外の 1 次機能として、外部入力(EXI0～EXI11)が使用できます。

EXI0～EXI11 を外部割込み入力, EXI0～EXI7 を 16 ビットタイマの外部クロック入力またはファンクショナルタイマの外部トリガ／外部クロック入力として使用する場合は、該当するポートの PnMODm レジスタを入力有効(PnmIE ビット＝“1”)に設定してください。

外部割込みについては「第 18 章 外部割込み制御」、16 ビットタイマの外部クロック入力については「第 8 章 16 ビットタイマ」、ファンクショナルタイマの外部トリガ／外部クロック入力については「第 9 章 ファンクショナルタイマ」を参照してください。

n: ポート番号 0～9, A, B

m: ビット番号 0～7

17.3.4 兼用機能

ポート **n** の各端子は、兼用機能として 2～8 次機能が使用できます。

PnMODm レジスタの PnmMD3～0 ビットを設定して各 2～8 次機能を選択します。

使用可能な兼用機能については「表 1-5 ML62Q1500C グループ端子一覧」, 「表 1-6 ML62Q1700C グループ端子一覧」を参照してください。

n: ポート番号 0～9, A, B

m: ビット番号 0～7

17.3.5 キャリア周波数出力機能

17.3.5.1 キャリア周波数出力機能の動作

PnPMD レジスタを設定することにより、ポート n からキャリア周波数を出力できます。

キャリア周波数出力機能に対応する端子は「表 17-2 搭載レジスタ／ビット一覧」を参照してください。

キャリア周波数出力は対応する端子のすべての出力モードについて適用可能です。

キャリア周波数は PnPSL レジスタを設定することにより、16 ビットタイマ 0 出力 (TMH0OUT)、ファンクショナルタイマ 0 出力のどちらかが使用されます。

16 ビットタイマ 0 については「第 8 章 16 ビットタイマ」を、ファンクショナルタイマ 0 については「第 9 章 ファンクショナルタイマ」参照してください。

図 17-3、17-4 に、キャリア周波数出力機能を使用した例を示します。

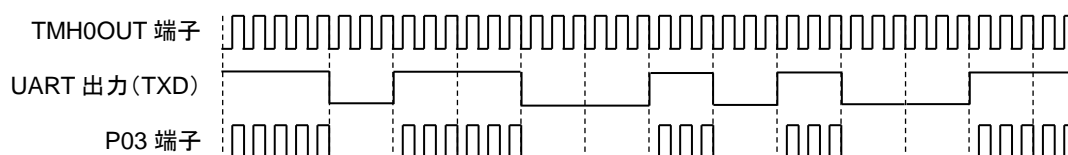


図 17-3 P03 端子を UART 出力端子に割り当てた場合のキャリア周波数出力例
(P0PMD レジスタの P03PEN ビット=“1”, P03PLVL ビット=“0”)

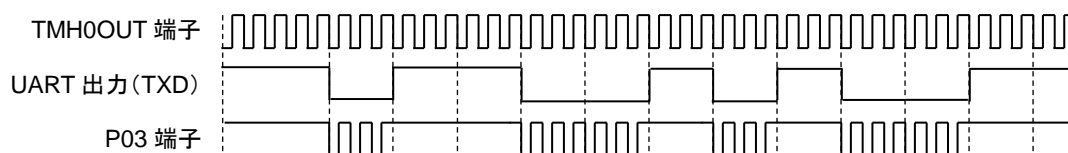


図 17-4 P03 端子を UART 出力端子に割り当てた場合のキャリア周波数出力例
(P0PMD レジスタの P03PEN ビット=“1”, P03PLVL ビット=“1”)

17.3.5.2 キャリア周波数出力機能の設定手順

図 17-5 にキャリア周波数出力機能の設定手順例 (P03 端子使用, SU0_TXD0 を兼用機能, 使用タイマはファンクショナルタイマ 0 出力 (FTM0P), “L”レベルでキャリア周波数出力) を示します。

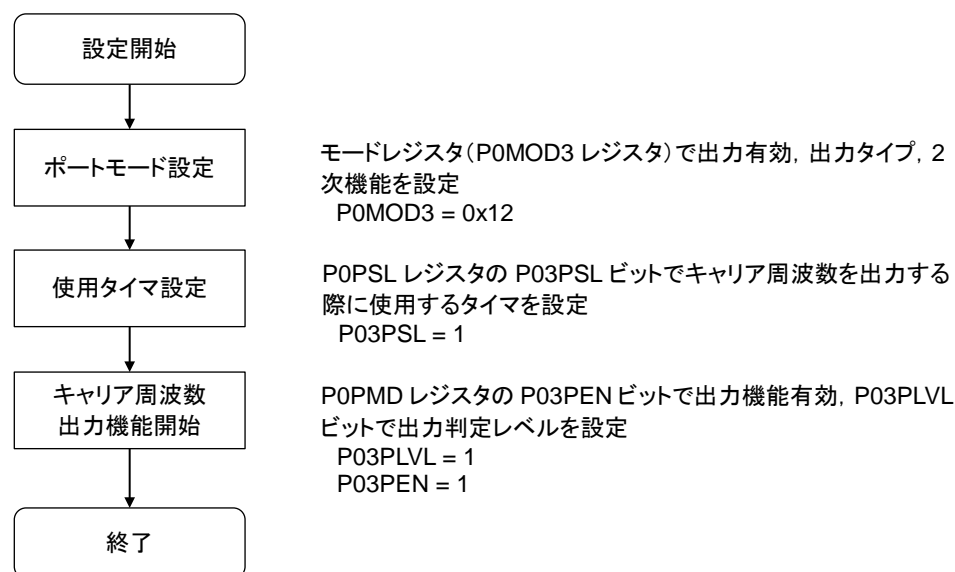


図 17-5 キャリア周波数出力機能の設定手順例

17.3.6 ポート出力レベルテスト機能

PnMODm レジスタの PnmOE ビットを“1”, PnmIE ビットを“1”に設定にすると, PnDO で設定したレベルを PnDI から読み出すことができます。

本機能を使用すると, PnDO に設定したレベルが正常にポートに出力されていることを確認することができます。

n: ポート番号 0~9, A, B

m: ビット番号 0~7

17.3.7 ポートの設定例

図 17-6 にポート 0 に 0x55 を出力する場合の設定例を示します。
出力前でも出力レベルを設定することが可能です。

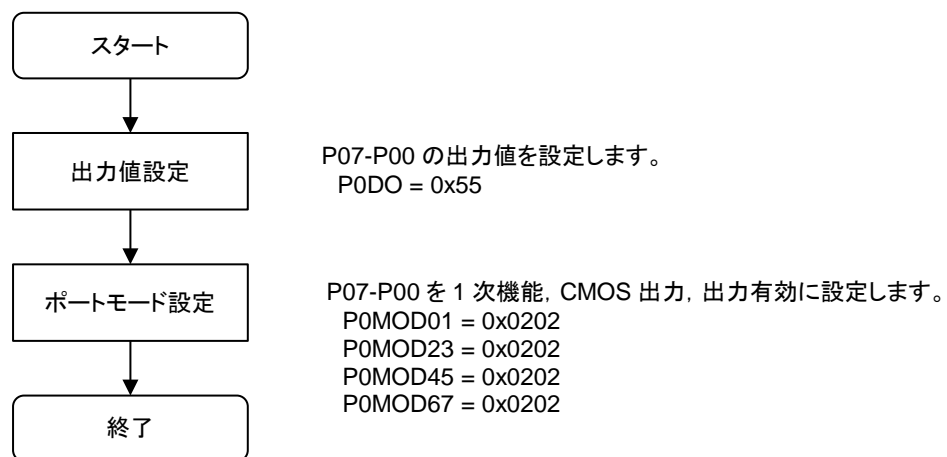


図 17-6 ポート 0 の出力設定例

17.3.8 P00/TEST0 端子を使用する場合の注意事項

P00/TEST0 端子は、汎用ポートまたはオンチップデバッグ機能、ISP 機能用端子として使用します。そのため、汎用ポートとして使う場合とオンチップデバッグ機能、ISP 機能を使用する場合はそれぞれ以下の記載事項についてご確認ください。

17.3.8.1 汎用ポートとして使用する場合

汎用ポートを使用する場合はオンチップデバッグ機能もしくは ISP 機能として使用することは出来ません。リセット入力端子 (RESET_N) によるリセット機能を使用する場合は、以下の注意事項を守ってご使用ください。

- リセット入力端子を“H”レベルにする前後 1ms 以上の間、P00/TEST0 端子を“H”レベル入力にしてください。リセット入力端子リセットについては「第 3 章 リセット機能」を参照してください。

図 17-7 に、リセット入力端子を“H”レベルにする時の P00/TEST0 端子設定について示します。

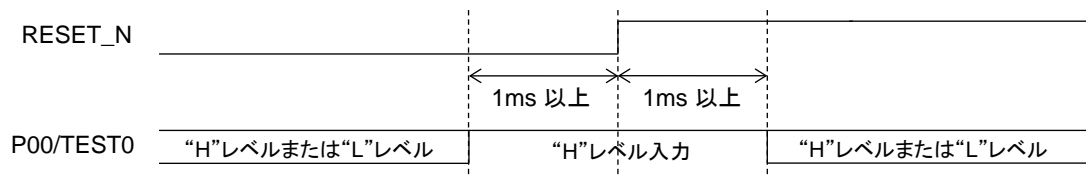


図 17-7 リセット入力端子を“H”レベルにする時の P00/TEST0 端子設定

17.3.8.2 オンチップデバッグ機能、ISP 機能を使用する場合

オンチップデバッグ機能もしくは ISP 機能を使用する場合は汎用ポートとして使用することはできません。

- P00/TEST0 端子を出力モードに設定するプログラムを LSI に書き込まないでください。
- P00/TEST0 端子はオンチップデバッグ機能や ISP 機能を使用しない場合はジャンパ等で V_{DD} と接続できるようにしてください。

オンチップデバッグ機能については「第 28 章 オンチップデバッグ機能」を、ISP 機能については「25.4 ISP 機能」を参照してください。

【注意】

- P00/TEST0 端子の初期値はプルアップ抵抗付き入力ですので、初期設定状態で“L”レベルを入力すると入力電流が過大に流れますのでご注意ください。

第 18 章 外部割込み機能

18. 外部割込み機能

18.1 概要

外部割込み機能は汎用ポートに入力される信号の変化のタイミングで割込みを発生することができます。

外部割込みごとに割込みベクタが割り当てられています。

割込みベクタの詳細については、「第 5 章 割込み」を参照してください。

外部割込み機能を使用できる汎用ポートは、製品ごとに搭載数が異なります。

製品ごとの搭載数は「表 18-1 外部割込み機能使用ポートおよびレジスタ設定」を参照してください。

18.1.1 特長

- マスカブル割込み 9 本 (うち 1 本は外部割込み 4 本と共用: 拡張外部割込み)
- 割込みなし, 立ち下がりエッジ割込み, 立ち上がりエッジ割込み, 両エッジ割込み選択可能
- 入力信号のサンプリングあり/なしを選択可能 (サンプリングクロックは, LSCLK もしくは HSCLK)

18.1.2 構成

図 18-1 に、外部割込み機能 (EXI0～EXI7) の構成を示します。

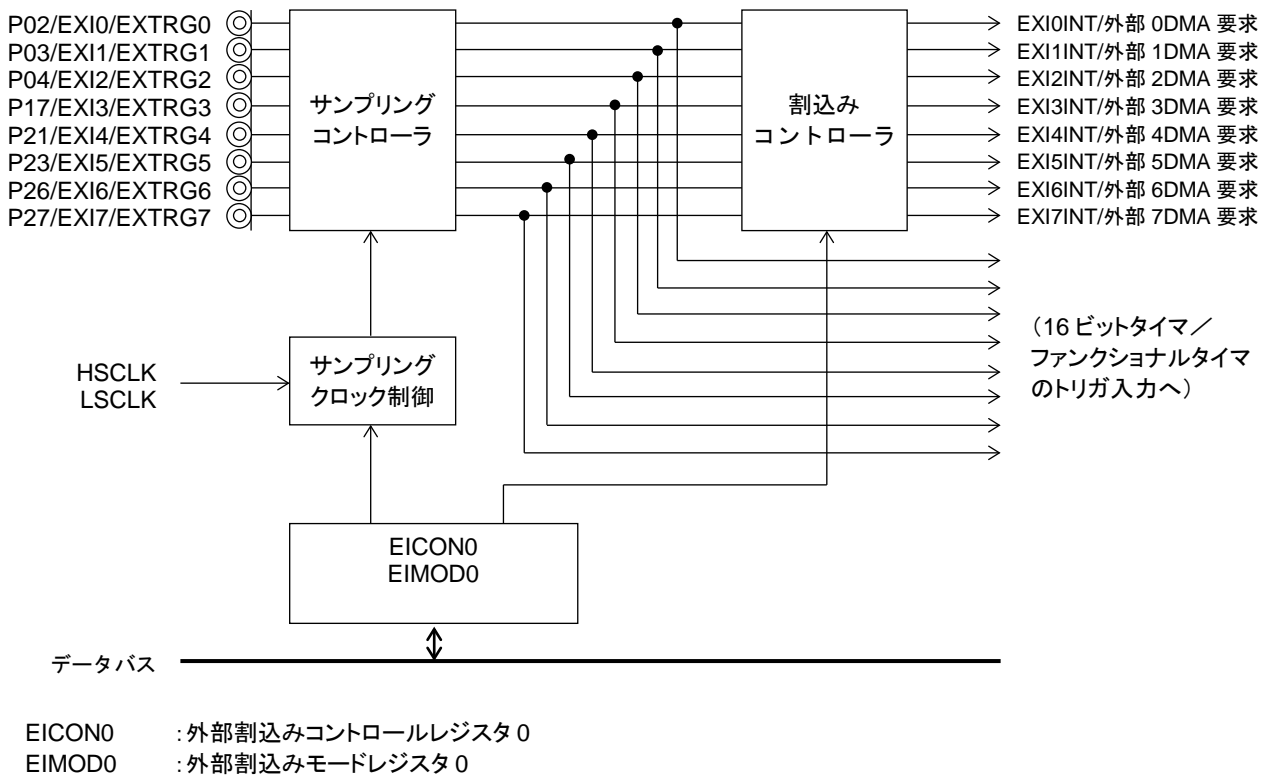


図 18-1 外部割込み機能の構成

図 18-2 に、拡張外部割込み機能 (EXI8～EXI11) の構成を示します。

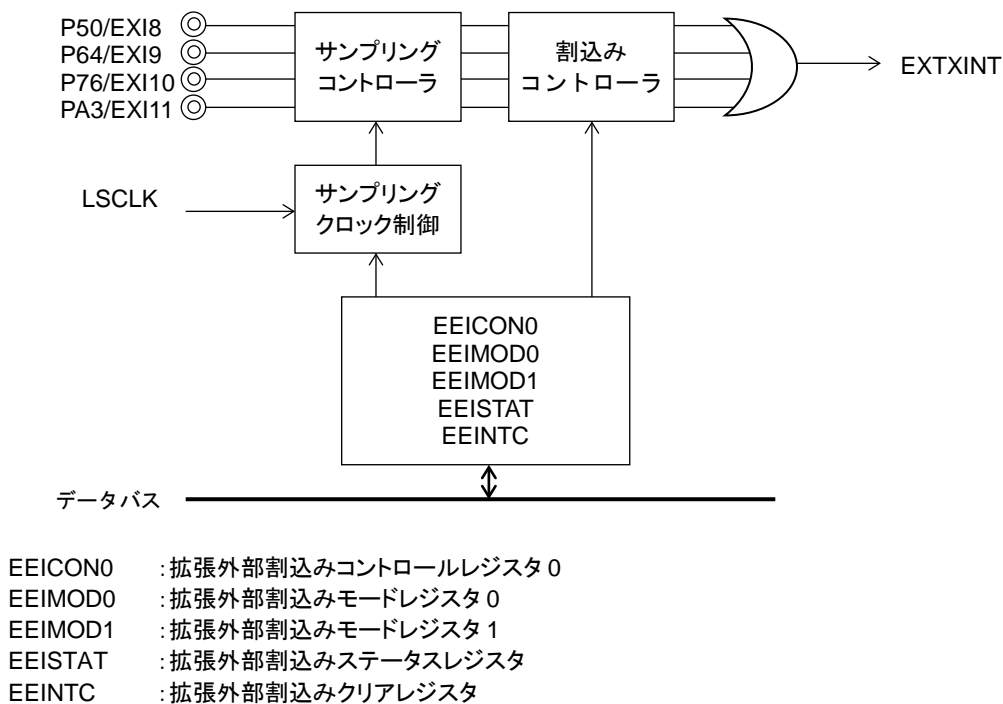


図 18-2 拡張外部割込み機能 (EXI8～EXI11) の構成

18.1.3 端子一覧

外部割込みは、汎用ポートの 1 次機能に割り付けられています。

端子名	入出力	説明
EXI0	I	外部割込み 0 入力
EXI1	I	外部割込み 1 入力
EXI2	I	外部割込み 2 入力
EXI3	I	外部割込み 3 入力
EXI4	I	外部割込み 4 入力
EXI5	I	外部割込み 5 入力
EXI6	I	外部割込み 6 入力
EXI7	I	外部割込み 7 入力
EXI8	I	外部割込み 8 入力 (拡張外部割込み)
EXI9	I	外部割込み 9 入力 (拡張外部割込み)
EXI10	I	外部割込み 10 入力 (拡張外部割込み)
EXI11	I	外部割込み 11 入力 (拡張外部割込み)

外部割込みで使用する汎用ポートおよび、レジスタ設定を表 18-1 に示します。

表 18-1 外部割込み機能使用ポートおよびレジスタ設定

端子名	兼用ポート		設定レジスタ	設定値	ML62Q1500C ML62Q1700C グループ		
					52 ピン 製品	64 ピン 製品	80 ピン 製品
EXI0	P02	1 次機能	P0MOD2	0000_0X01 ^{*1}	●	●	●
EXI1	P03	1 次機能	P0MOD3	0000_0X01 ^{*1}	●	●	●
EXI2	P04	1 次機能	P0MOD4	0000_0X01 ^{*1}	●	●	●
EXI3	P17	1 次機能	P1MOD7	0000_0X01 ^{*1}	●	●	●
EXI4	P21	1 次機能	P2MOD1	0000_0X01 ^{*1}	●	●	●
EXI5	P23	1 次機能	P2MOD3	0000_0X01 ^{*1}	●	●	●
EXI6	P26	1 次機能	P2MOD6	0000_0X01 ^{*1}	●	●	●
EXI7	P27	1 次機能	P2MOD7	0000_0X01 ^{*1}	●	●	●
EXI8	P50	1 次機能	P5MOD0	0000_0X01 ^{*1}	●	●	●
EXI9	P64	1 次機能	P6MOD4	0000_0X01 ^{*1}	●	●	●
EXI10	P76	1 次機能	P7MOD6	0000_0X01 ^{*1}	—	—	●
EXI11	PA3	1 次機能	PAMOD3	0000_0X01 ^{*1}	—	—	●

●: 搭載 —: 非搭載

^{*1}: 0X01 の X の設定値は以下

X	ポート入力状態
0	入力 (プルアップなし)
1	入力 (プルアップあり)

18.2 レジスタ説明

18.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF044	外部割込みコントロールレジスタ 0	EICON0L	EICON0	R/W	8/16	0x00
0xF045		EICON0H		R/W	8	0x00
0xF046	予約レジスタ	—	—	—	—	—
0xF047	予約レジスタ	—	—	—	—	—
0xF048	外部割込みモードレジスタ 0	EIMOD0L	EIMOD0	R/W	8/16	0x00
0xF049		EIMOD0H		R/W	8	0x00
0xF04A	予約レジスタ	—	—	—	—	—
0xF04B	予約レジスタ	—	—	—	—	—
0xF0E0	予約レジスタ	—	—	—	—	—
0xF0E1	予約レジスタ	—	—	—	—	—
0xF0E2	予約レジスタ	—	—	—	—	—
0xF0E3	予約レジスタ	—	—	—	—	—
0xF0E4	拡張外部割込みコントロールレジスタ 0 *1	EEICON0L	EEICON0	R/W	8/16	0x00
0xF0E5		EEICON0H		R/W	8	0x00
0xF0E6	予約レジスタ	—	—	—	—	—
0xF0E7	予約レジスタ	—	—	—	—	—
0xF0E8	拡張外部割込みモードレジスタ 0 *1	EEIMOD0L	EEIMOD0	R/W	8/16	0x00
0xF0E9		EEIMOD0H		R	8	0x00
0xF0EA	拡張外部割込みモードレジスタ 1 *1	EEIMOD1L	EEIMOD1	R/W	8/16	0x00
0xF0EB		EEIMOD1H		R	8	0x00
0xF0EC	拡張外部割込みステータスレジスタ *1	EEISTATL	EEISTAT	R	8/16	0x00
0xF0ED		EEISTATH		R	8	0x00
0xF0EE	拡張外部割込みクリアレジスタ *1	EEINTCL	EEINTC	W	8/16	0x00
0xF0EF		EEINTCH		W	8	0x00

*1 非搭載の機能のレジスタへの書き込みは無効です。読み出し時には常に 0x0000 が読み出されます。

18.2.2 外部割込みコントロールレジスタ 0 (EICON0)

本レジスタは、EXI0～EXI7 の検出エッジを選択する特殊機能レジスタ (SFR) です。
エッジ検出後、外部割込み (EXI0INT～EXI7INT) が発生します。

アドレス: 0xF044 (EICON0L/EICON0), 0xF045 (EICON0H)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	EICON0															
バイト	EICON0H								EICON0L							
ビット	PI7E1	PI6E1	PI5E1	PI4E1	PI3E1	PI2E1	PI1E1	PI0E1	PI7E0	PI6E0	PI5E0	PI4E0	PI3E0	PI2E0	PI1E0	PI0E0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～8	PI7E1～PI0E1	EXI0～EXI7 の検出エッジを選択するビットです。
7～0	PI7E0～PI0E0	検出エッジは、PInE1, PInE0 ビット (n=0～7) の組み合わせで設定します。 PInE1 PInE0 説明 0 0 割込み禁止 (初期値) 0 1 立ち下がりがりエッジ割込み 1 0 立ち上がりがりエッジ割込み 1 1 両エッジ割込み

設定するビットと外部割込み (エッジ検出後に発生) の対応は次のとおりです。

ビット 15, 7	(PI7E1, PI7E0)	: EXI7INT 割込み
ビット 14, 6	(PI6E1, PI6E0)	: EXI6INT 割込み
ビット 13, 5	(PI5E1, PI5E0)	: EXI5INT 割込み
ビット 12, 4	(PI4E1, PI4E0)	: EXI4INT 割込み
ビット 11, 3	(PI3E1, PI3E0)	: EXI3INT 割込み
ビット 10, 2	(PI2E1, PI2E0)	: EXI2INT 割込み
ビット 9, 1	(PI1E1, PI1E0)	: EXI1INT 割込み
ビット 8, 0	(PI0E1, PI0E0)	: EXI0INT 割込み

18.2.3 外部割込みモードレジスタ 0 (EIMOD0)

本レジスタは EXI0～EXI7 のサンプリングクロックの選択、およびサンプリングのあり／なしを選択する特殊機能レジスタ (SFR) です。

EIMOD0 レジスタで選択するサンプリングクロックは、EXI0～EXI7 で共用となります。

アドレス: 0xF048 (EIMOD0L/EIMOD0), 0xF049 (EIMOD0H)
 アクセス: R/W
 アクセスサイズ: 8 ビット／16 ビット
 初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	EIMOD0															
バイト	EIMOD0H								EIMOD0L							
ビット	—	PG0DIV2	PG0DIV1	PG0DIV0	—	PG0CS0	—	—	PI7SM	PI6SM	PI5SM	PI4SM	PI3SM	PI2SM	PI1SM	PI0SM
R/W	R	R/W	R/W	R/W	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	—	予約ビット
14 ~ 12	PG0DIV2 ~ PG0DIV0	EXI0～EXI7 のサンプリングクロック分周比を選択するビットです。 000: 分周なし (初期値) 001: 2 分周 010: 4 分周 011: 8 分周 100: 16 分周 101: 32 分周 110: 64 分周 111: 分周なし
11	—	予約ビット
10	PG0CS0	EXI0～EXI7 のサンプリングクロックソースを選択するビットです。 0: LSCLK (初期値) 1: HSCLK
9, 8	—	予約ビット
7 ~ 0	PI7SM ~ PI0SM	EXI0～EXI7 のサンプリングあり／なしを選択するビットです。 0: サンプリングなしで検出 (初期値) 1: サンプリングありで検出

設定するビットと外部割込み (エッジ検出後に発生) の対応は次のとおりです。

ビット 7 (PI7SM) : EXI7INT 割込み
 ビット 6 (PI6SM) : EXI6INT 割込み
 ビット 5 (PI5SM) : EXI5INT 割込み
 ビット 4 (PI4SM) : EXI4INT 割込み
 ビット 3 (PI3SM) : EXI3INT 割込み
 ビット 2 (PI2SM) : EXI2INT 割込み
 ビット 1 (PI1SM) : EXI1INT 割込み
 ビット 0 (PI0SM) : EXI0INT 割込み

【注意】

- STOP, STOP-D, および HALT-H^{*1} モード時は、サンプリングクロックが停止するため、EIMOD0 レジスタの PI7SM～PI0SM ビットの値に関係なくサンプリングなしになります。
サンプリングありの設定でそれらのモードへ移行した場合、割込みが無効となる区間^{*2}があります。
また、HALT-H モードに移行した場合はモード復帰後に意図しない割込みが発生する場合があります。
それらのモードに移行する際は、外部割込みを“サンプリングなし”に設定して下さい。
^{*1} HALT-H: サンプリングクロックに高速クロックを選択している場合。
^{*2} 該当モードへの移行時: 最大 30 μ s, 復帰時は、サンプリングクロックに選択しているクロックの供給が開始するまでの期間。クロックが供給を開始するまでの期間は設定により異なりますので、「第 4 章 パワーマネジメント」の「表 4-5 スタンバイモードからの起動時間」を参照してください。
- サンプリングクロックとして高速クロックを選択時に ENOSC を変更すると意図しない割込みが発生する可能性がありますので ENOSC を切り替える場合は、外部割込みを“サンプリングなし”に設定するか、切り替え期間中は外部割込みを禁止状態にしてください。

18.2.4 拡張外部割込みコントロールレジスタ 0 (EEICON0)

本レジスタは、EXI8～EXI11 の検出エッジを選択する特殊機能レジスタ(SFR)です。

アドレス: 0xF0E4 (EEICON0L/EEICON0), 0xF0E5 (EEICON0H)
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

ワード	EEICON0															
バイト	EEICON0H								EEICON0L							
ビット	—	—	—	—	EPI3E1	EPI2E1	EPI1E1	EPI0E1	—	—	—	—	EPI3E0	EPI2E0	EPI1E0	EPI0E0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明	
15～12, 7～4	—	予約ビット	
11～8	EPI3E1 EPI0E1	～	EXI8～EXI11 の検出エッジを選択するビットです。 検出エッジは、EPI _n E1, EPI _n E0 ビット(n=0～3)の組み合わせで設定します。
3～0	EPI3E0 EPI0E0	～	EPI _n E1 EPI _n E0 説明 0 0 割込み禁止 (初期値) 0 1 立ち下がリエッジ割込み 1 0 立ち上がりエッジ割込み 1 1 両エッジ割込み

設定するビットと外部割込み (エッジ検出後に発生) の対応は次のとおりです。
ビット 11, 3 (EPI3E1, EPI3E0) : EXI11INT 割込み
ビット 10, 2 (EPI2E1, EPI2E0) : EXI10INT 割込み
ビット 9, 1 (EPI1E1, EPI1E0) : EXI9INT 割込み
ビット 8, 0 (EPI0E1, EPI0E0) : EXI8INT 割込み

- 【注意】
- 拡張外部割込みが許可された状態で CPU から IRQ01/IRQ23/IRQ45/IRQ67 に書き込んだ場合、EEINTC レジスタの EEIR ビットに“1”を書き込んで割込みを再要求してください。

18.2.5 拡張外部割込みモードレジスタ 0 (EEIMOD0)

本レジスタは EXI8～EXI11 のサンプリングのあり／なしを選択する特殊機能レジスタ (SFR) です。

アドレス: 0xF0E8 (EEIMOD0L/EEIMOD0), 0xF0E9 (EEIMOD0H)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	EEIMOD0															
ビット	EEIMOD0H								EEIMOD0L							
	—	—	—	—	—	—	—	—	—	—	—	—	EPI3SM	EPI2SM	EPI1SM	EPI0SM
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～4	—	予約ビット
3～0	EPI3SM EPI0SM	～ EXI8～EXI11 のサンプリングあり／なしを選択するビットです。サンプリングなしの選択は禁止です。常に“1”を設定してください。 0: サンプリングなしで検出 (初期値) 1: サンプリングありで検出 設定するビットと外部割込み (エッジ検出後に発生) の対応は次のとおりです。 ビット 3 (EPI3SM) : EXI11INT 割込み ビット 2 (EPI2SM) : EXI10INT 割込み ビット 1 (EPI1SM) : EXI9INT 割込み ビット 0 (EPI0SM) : EXI8INT 割込み

【注意】

- STOP および STOP-D モード時は、サンプリングクロックが停止するため、EEIMOD0 レジスタの EPI3SM～EPI0SM ビットの値に関係なくサンプリングなしになります。割込みが無効となる区間^{*1}があります。
^{*1} 該当モードへの移行時: 最大 30μs, 復帰時: サンプリングクロック (低速クロック) の供給が開始するまでの期間。クロックが供給を開始するまでの期間は設定により異なりますので、「第 4 章 パワーマネジメント」の「表 4-5 スタンバイモードからの起動時間」を参照してください。

18.2.6 拡張外部割込みモードレジスタ 1 (EEIMOD1)

本レジスタは EXI8～EXI11 のサンプリングクロックを選択する特殊機能レジスタ (SFR) です。
EEIMOD1 レジスタで選択するサンプリングクロックは, EXI8～EXI11 で共用となります。

アドレス: 0xF0EA (EEIMOD1L/EEIMOD1), 0xF0EB (EEIMOD1H)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	EEIMOD1															
バイト	EEIMOD1H								EEIMOD1L							
ビット	—	—	—	—	—	—	—	—	—	EPG0 DIV2	EPG0 DIV1	EPG0 DIV0	—	rsvd	—	—
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～7	—	予約ビット
6～4	EPG0DIV2 EPG0DIV0	EXI8～EXI11 のサンプリングクロック分周比を選択するビットです。 000: 分周なし(初期値) 001: 2 分周 010: 4 分周 011: 8 分周 100: 16 分周 101: 32 分周 110: 64 分周 111: 分周なし
3	—	予約ビット
2	rsvd	予約ビットです。“0”を書き込んでください。
1, 0	—	予約ビット

18.2.7 拡張外部割込みステータスレジスタ（EEISTAT）

本レジスタは拡張外部割込みの割込みステータスを示す特殊機能レジスタ(SFR)です。
EEISTAT レジスタは読み出し専用レジスタです。
EEI3S～EEI0S ビットはリセット機能の他に EEINTC レジスタの同一ビットへの“1”書き込みによって“0”に初期化されます。

アドレス: 0xF0EC (EEISTATL/EEISTAT), 0xF0ED (EEISTATH)
アクセス: R
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	EEISTAT															
バイト	EEISTATH								EEISTATL							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	EEI3S	EEI2S	EEI1S	EEI0S
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～4	—	予約ビット
3～0	EEI3S～EEI0S	拡張外部割込みの割込みステータスを示すビットです。 0: 割込み発生なし(初期値) 1: 割込み発生 設定するビットと外部割込み(エッジ検出後に発生)の対応は次のとおりです。 ビット 3 (EEI3S) : EXI11INT 割込み ビット 2 (EEI2S) : EXI10INT 割込み ビット 1 (EEI1S) : EXI9INT 割込み ビット 0 (EEI0S) : EXI8INT 割込み

- 【注意】
- オンチップデバッグ機能を使用する際, “ブレーク中に動作継続させる周辺回路”の“External Interrupt”のチェックを外さないでください。チェックを外した場合, 本ステータスがクリアされる場合があります。

18.2.8 拡張外部割込みクリアレジスタ（EEINTC）

本レジスタは拡張外部割込みステータスをクリアする特殊機能レジスタ(SFR)です。
EEI3C～EEI0C ビットに“1”を書き込むと、EEISTAT レジスタの同一ビットの割込みステータスがクリアされます。
読み出すと常に 0x0000 を読み出します。

アドレス: 0xF0EE (EEINTCL/EEINTC), 0xF0EF (EEINTCH)
アクセス: W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	EEINTC															
バイト	EEINTCH								EEINTCL							
ビット	EEIR	—	—	—	—	—	—	—	—	—	—	—	EEI3C	EEI2C	EEI1C	EEI0C
R/W	W	R	R	R	R	R	R	R	R	R	R	R	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15	EEIR	拡張外部割込みの要求ビットです。 割込みルーチンが完了する前と、IRQ01/IRQ23/IRQ45/IRQ67 レジスタへ書き込んだ後に“1” を書き込んでください。 “0”書き込み 無効 “1”書き込み 未処理の割込み要因がある場合、再度割込み要求を発行
14～4	—	予約ビット
3～0	EEI3C～EEI0C	拡張外部割込みのステータスをクリアするビットです。 “0”書き込み 無効 “1”書き込み 割込みのステータスをクリア 設定するビットと外部割込み(エッジ検出後に発生)の対応は次のとおりです。 ビット 3 (EEI3C) : EXI11INT 割込み ビット 2 (EEI2C) : EXI10INT 割込み ビット 1 (EEI1C) : EXI9INT 割込み ビット 0 (EEI0C) : EXI8INT 割込み

- 【注意】
- EEIR ビットを EEI3C～EEI0C ビットと同時に設定しないでください。

18.3 動作説明

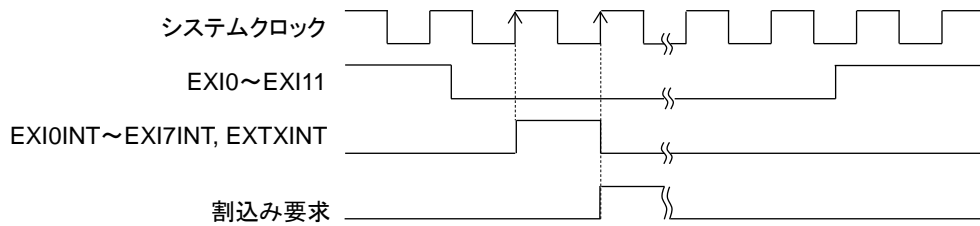
18.3.1 割込み要求タイミング

図 18-3 にサンプリングなしでの割込み発生タイミング(立ち上がりエッジ/立ち下がりエッジ/両エッジ選択時), 図 18-4 にサンプリングありでの割込み発生タイミング(立ち上がりエッジ選択時)を示します。

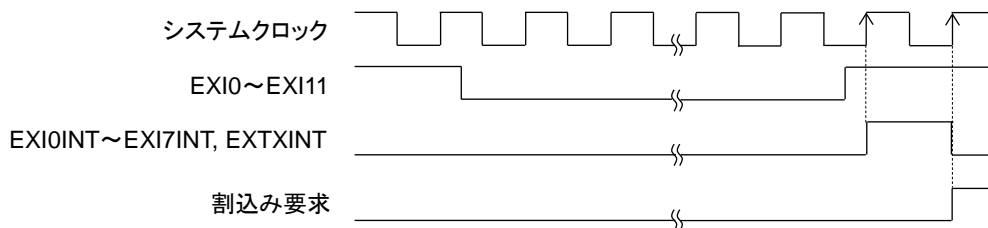
また, サンプリングなしとサンプリングありのエッジ検出後の外部割込み発生タイミングの違いを表 18-2 に示します。

表 18-2 EXI0~EXI11 のエッジ検出後の EXI0INT~EXI11INT 発生

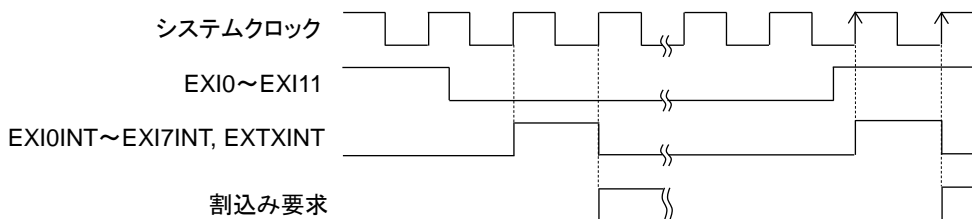
サンプリングの有無	発生タイミング
サンプリングなし	システムクロックに同期して発生
サンプリングあり	3 回一致判定後(エッジ検出後, サンプリングクロックの 3 クロック分の間 EXI0~EXI11 に変化がないとき), システムクロックに同期して発生



(a) 立ち下がりエッジ割込み選択時



(b) 立ち上がりエッジ割込み選択時



(c) 両エッジ割込み選択時

図 18-3 外部割込みの発生タイミング(サンプリングなし)

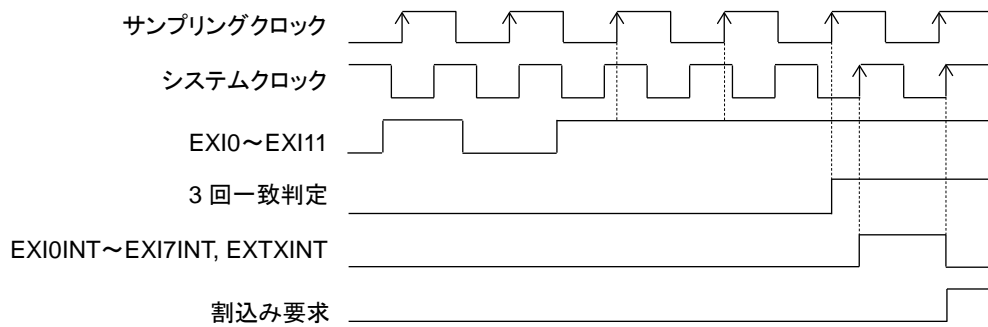


図 18-4 外部割込みの発生タイミング(サンプリングあり, 立ち上がりエッジ割込み選択時)

18.3.2 外部トリガ信号

外部割込みが割り当てられている端子は、16 ビットタイマ、ファンクショナルタイマの外部トリガ信号 (EXTRG0~EXTRG7) としても使用できます。
また、外部割込み機能が有しているサンプリング機能も使用できます。

図 18-5 に外部トリガ信号のタイミングを示します。

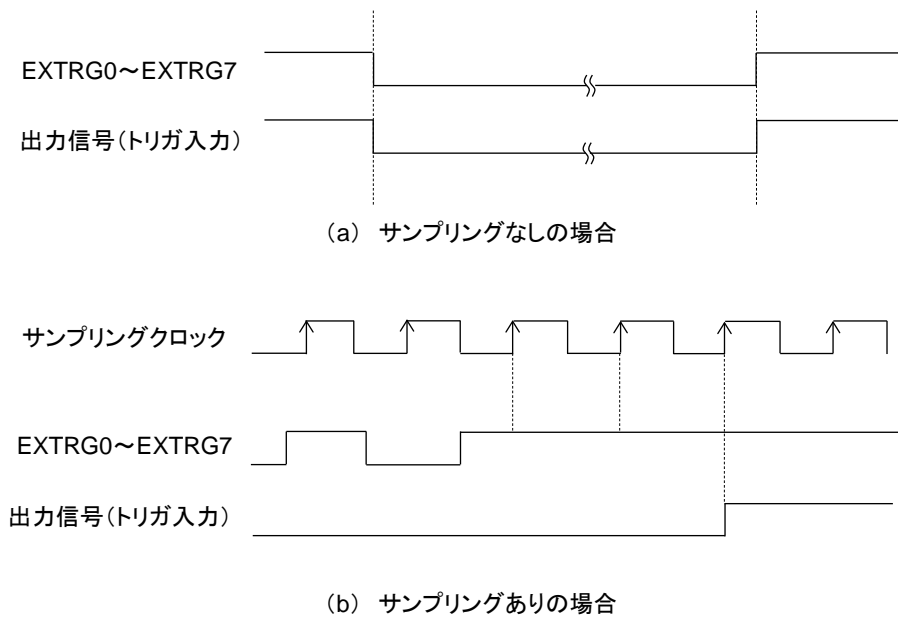


図 18-5 16 ビットタイマ、ファンクショナルタイマのトリガ信号

18.3.3 外部割込み設定フロー

図 18-6 に外部割込みの設定フローを示します。

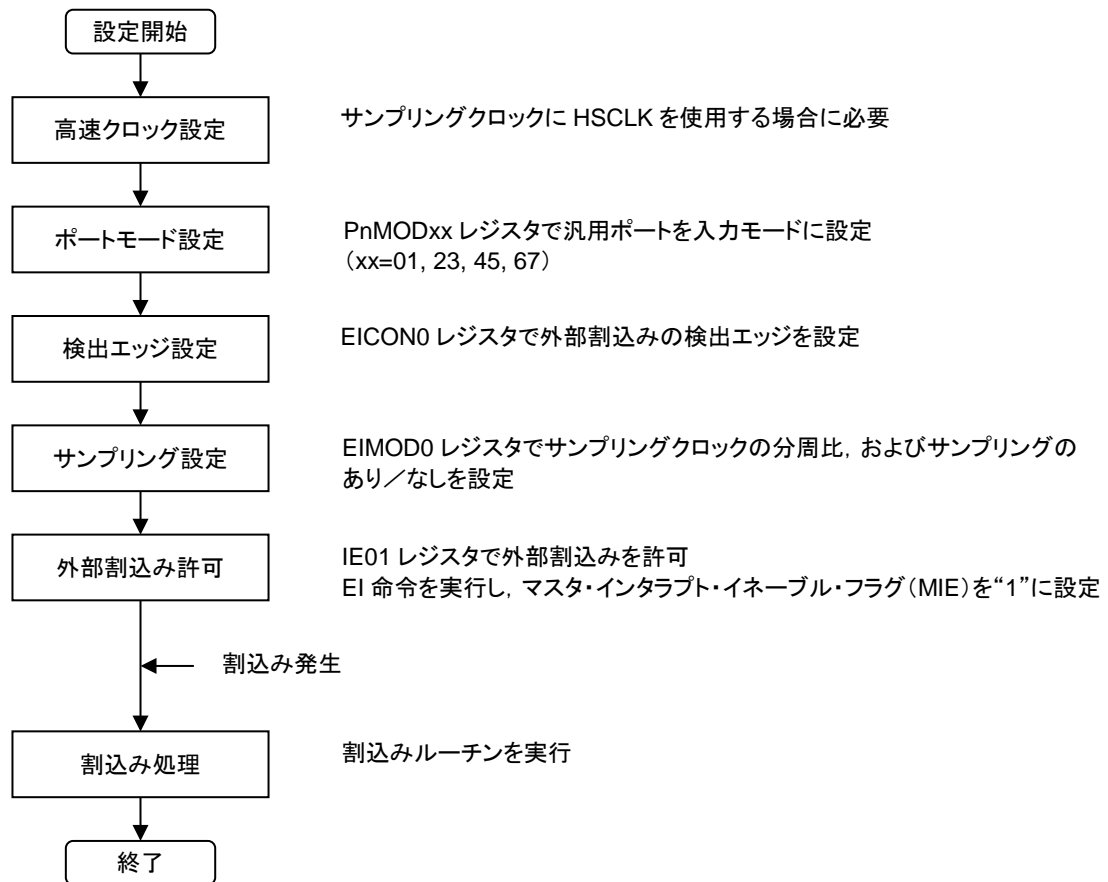
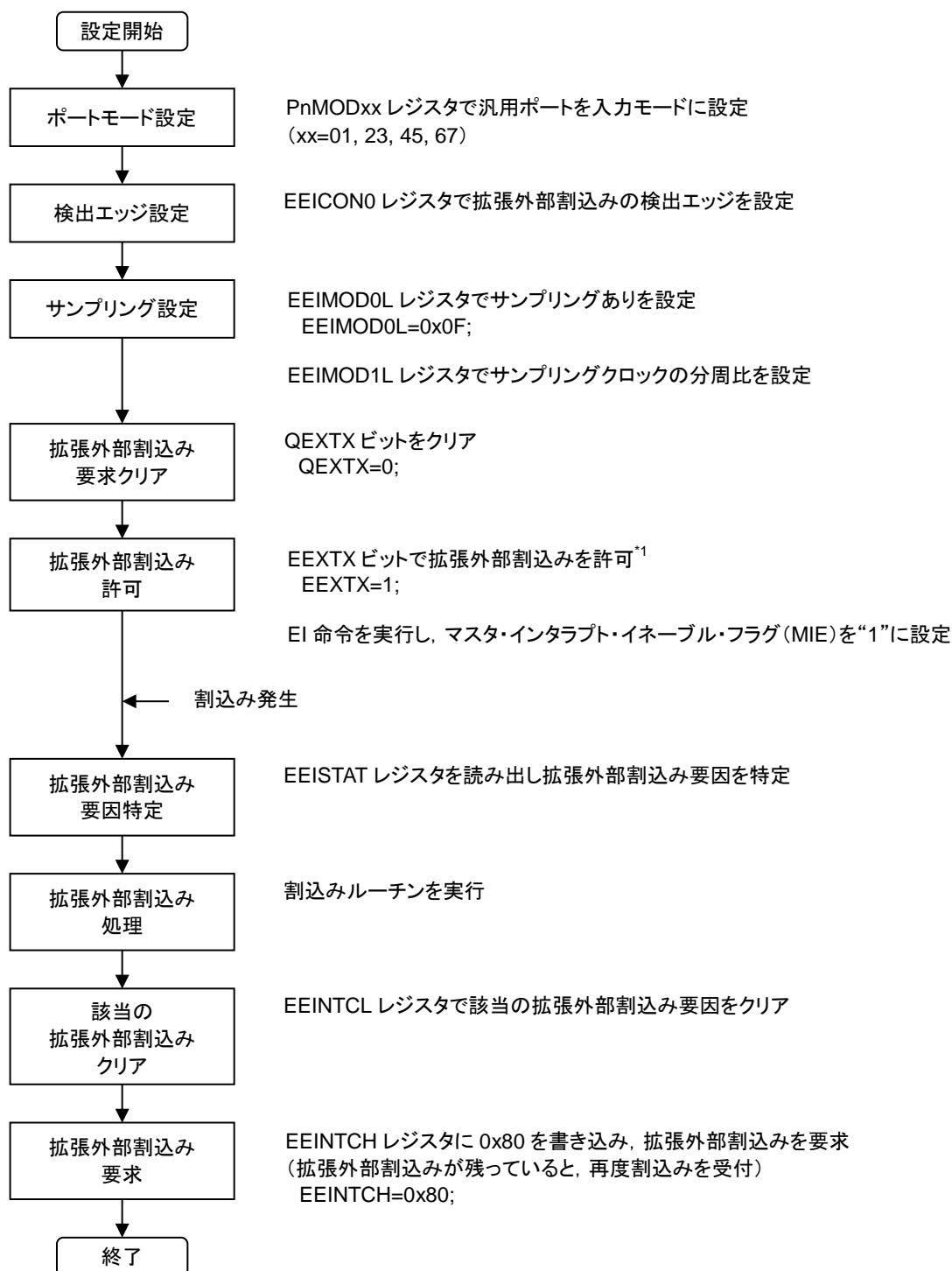


図 18-6 外部割込みの設定フロー

18.3.4 拡張外部割込み設定フロー

図 18-7 に拡張外部割込みの設定フローを示します。



*1: 拡張外部割込みが許可された状態で CPU から IRQ01/IRQ23/IRQ45/IRQ67 に書き込んだ場合、EEINTC レジスタの EEIR ビットに“1”を書き込んで割込みを再要求してください。

図 18-7 拡張外部割込みの設定フロー

第 19 章 CRC 演算器

19. CRC 演算器

19.1 概要

ML62Q1500C/1700C グループは CRC (Cyclic Redundancy Check) 演算器を内蔵しています。
シリアル通信時のエラー検出用に付加する CRC データを容易に演算することができます。
また、セルフテスト用として、HALT/HALT-H モード中に任意のアドレス範囲のプログラム・メモリ領域のデータを自動
で CRC 演算するモードを内蔵しています。

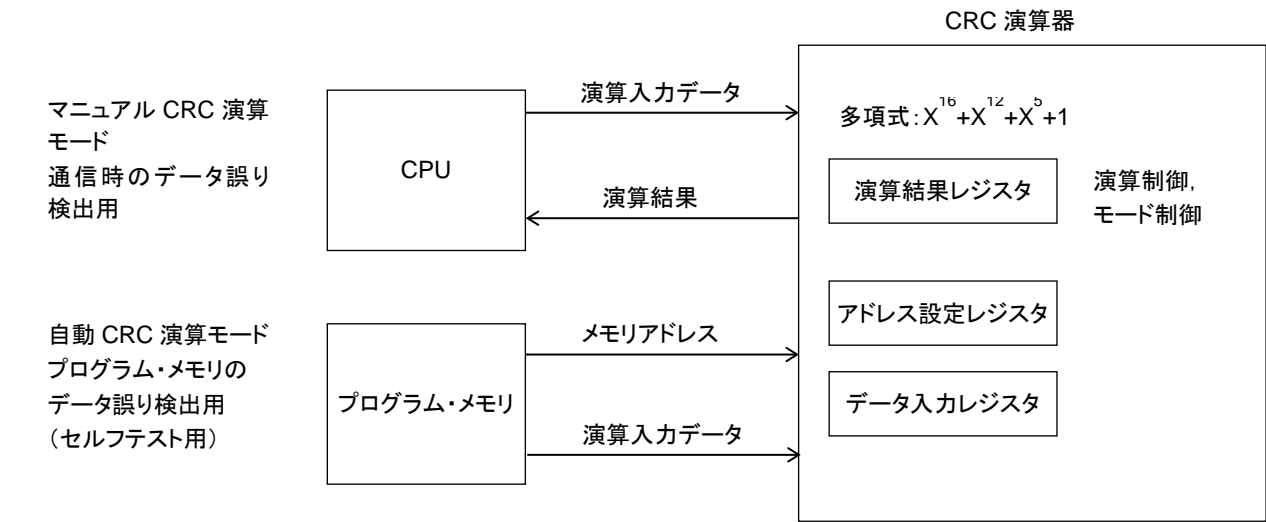


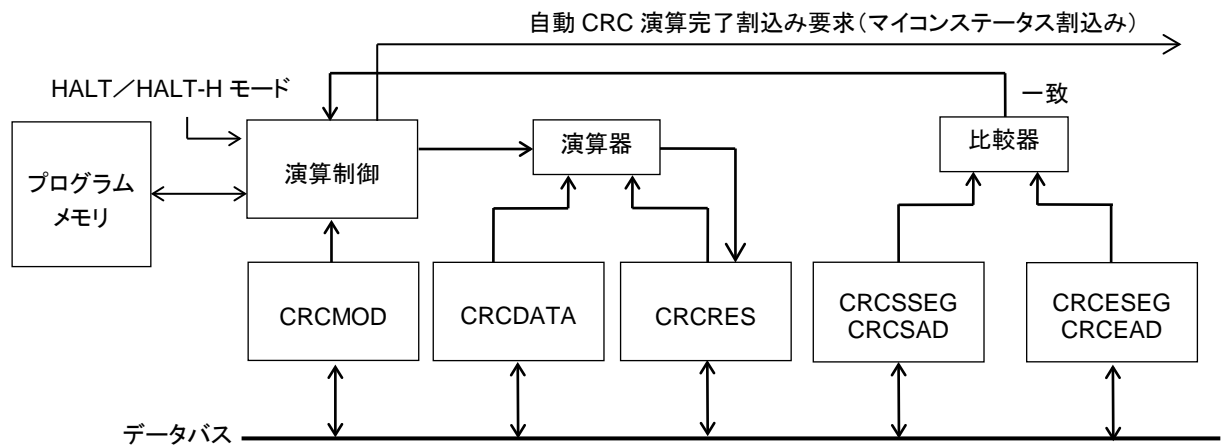
図 19-1 CRC 演算器 概要図

19.1.1 特長

- マニュアル CRC 演算モード
- CRC 演算データレジスタにソフトウェアでデータを書き込むことで随時ハードウェアが CRC 演算する
演算単位は 8 ビット
- 自動 CRC 演算モード
- HALT/HALT-H モード中にプログラム・メモリ領域のデータをハードウェアが自動で CRC 演算する
演算単位は 32 ビット, 演算完了時に割込みを発生
- 生成多項式 : $X^{16}+X^{12}+X^5+1$
- MSB ファースト/LSB ファースト選択可能

19.1.2 構成

図 19-2 に CRC 演算器の構成を示します。



CRCMOD : CRC 演算モードレジスタ
CRCDATA : CRC 演算データレジスタ
CRCRES : CRC 演算結果レジスタ
CRCSEGCRC SAD : 自動 CRC 演算開始セグメント設定レジスタ
CRCESEGCRC EAD : 自動 CRC 演算終了セグメント設定レジスタ
CRCSEGCRC SAD : 自動 CRC 演算開始アドレス設定レジスタ
CRCESEGCRC EAD : 自動 CRC 演算終了アドレス設定レジスタ

図 19-2 CRC 演算器の構成

19.2 レジスタ説明

19.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF0D0	自動 CRC 演算開始アドレス設定レジスタ	CRCSADL	CRCSAD	R/W	8/16	0x00
0xF0D1		CRCSADH		R/W	8	0x00
0xF0D2	自動 CRC 演算終了アドレス設定レジスタ	CRCEADL	CRCEAD	R/W	8/16	0xFC
0xF0D3		CRCEADH		R/W	8	0xFF
0xF0D4	自動 CRC 演算開始セグメント設定レジスタ	CRCSSEG	—	R/W	8	0x00
0xF0D5	予約レジスタ	—	—	—	—	—
0xF0D6	自動 CRC 演算終了セグメント設定レジスタ	CRCESEG	—	R/W	8	0x0F
0xF0D7	予約レジスタ	—	—	—	—	—
0xF0D8	CRC 演算データレジスタ	CRCDATA	—	R/W	8	0x00
0xF0D9	予約レジスタ	—	—	—	—	—
0xF0DA	CRC 演算結果レジスタ	CRCRESL	CRCRES	R/W	8/16	0xFF
0xF0DB		CRCRESH		R/W	8	0xFF
0xF0DC	CRC 演算モードレジスタ	CRCMOD	—	R/W	8	0x00
0xF0DD	予約レジスタ	—	—	—	—	—

19.2.2 自動 CRC 演算開始アドレス設定レジスタ (CRCSAD)

本レジスタは、自動 CRC 演算の開始アドレスを設定する特殊機能レジスタ(SFR)です。
自動 CRC 演算中にインクリメントされます。

アドレス: 0xF0D0
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CRCSAD															
バイト	CRCSADH								CRCSADL							
ビット	CRCS AD15	CRCS AD14	CRCS AD13	CRCS AD12	CRCS AD11	CRCS AD10	CRCS AD9	CRCS AD8	CRCS AD7	CRCS AD6	CRCS AD5	CRCS AD4	CRCS AD3	CRCS AD2	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- 【注意】
- CRCSAD レジスタは、CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。
 - 自動 CRC 演算では、4 バイト単位で CRC の演算を行います。期待値は 4 バイト単位で生成してください。ビット 1 とビット 0 への書き込みは無視されます。内部では“0”固定で演算を行います。
 - プログラム・コード領域外のセグメント・アドレスを設定しないでください。プログラムコード領域については「2.5 プログラム・メモリ空間」を参照してください。

19.2.3 自動 CRC 演算終了アドレス設定レジスタ (CRCEAD)

本レジスタは、自動 CRC 演算の終了アドレスを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF0D2
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0xFFFC

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CRCEAD															
バイト	CRCEADH								CRCEADL							
ビット	CRCE AD15	CRCE AD14	CRCE AD13	CRCE AD12	CRCE AD11	CRCE AD10	CRCE AD9	CRCE AD8	CRCE AD7	CRCE AD6	CRCE AD5	CRCE AD4	CRCE AD3	CRCE AD2	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0

【注意】

- CRCEAD レジスタは、CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。
- 自動 CRC 演算では、4 バイト単位で CRC の演算を行います。演算結果の期待値は 4 バイト単位で生成してください。ビット 1 とビット 0 への書き込みは無視されます。内部では“1”固定で演算を行います。
- プログラム・コード領域外のセグメント・アドレスを設定しないでください。プログラムコード領域については「2.5 プログラム・メモリ空間」を参照してください。

19.2.4 自動 CRC 演算開始セグメント設定レジスタ (CRCSSEG)

本レジスタは, 自動 CRC 演算の開始セグメントを設定する特殊機能レジスタ(SFR)です。
自動 CRC 演算中にインクリメントされます。

アドレス: 0xF0D4
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								CRCSSEG							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	CRCS SEG3	CRCS SEG2	CRCS SEG1	CRCS SEG0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【注意】

- CRCSSEG レジスタは, CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。
- プログラム・コード領域外のセグメント・アドレスを設定しないでください。プログラムコード領域については「2.5 プログラム・メモリ空間」を参照してください。

19.2.5 自動 CRC 演算終了セグメント設定レジスタ (CRCESEG)

本レジスタは、自動 CRC 演算の終了セグメントを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF0D6
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0xFF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								CRCESEG							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	CRCE SEG3	CRCE SEG2	CRCE SEG1	CRCE SEG0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

【注意】

- CRCESEG レジスタは、CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。
- プログラム・コード領域外のセグメント・アドレスを設定しないでください。プログラムコード領域については「2.5 プログラム・メモリ空間」を参照してください。

19.2.6 CRC 演算データレジスタ（CRCDATA）

本レジスタは, CRC 演算データを設定する特殊機能レジスタ(SFR)です。
8 ビット単位で設定します。本レジスタに値を書き込むと 1 クロック後に CRCRES レジスタに演算結果が格納されます。

アドレス: 0xF0D8
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								CRCDATA							
ビット	—	—	—	—	—	—	—	—	CRCDA7	CRCDA6	CRCDA5	CRCDA4	CRCDA3	CRCDA2	CRCDA1	CRCDA0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【注意】

- CRCDATA レジスタは, CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。

19.2.7 CRC 演算結果レジスタ (CRCRES)

本レジスタは, CRC 演算結果が格納される特殊機能レジスタ(SFR)です。
本レジスタに書き込んだデータを初期値として CRC 演算が可能です。

アドレス: 0xF0DA
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0xFFFF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CRCRES															
バイト	CRCRESH								CRCRESL							
ビット	CRCR ES15	CRCR ES14	CRCR ES13	CRCR ES12	CRCR ES11	CRCR ES10	CRCR ES9	CRCR ES8	CRCR ES7	CRCR ES6	CRCR ES5	CRCR ES4	CRCR ES3	CRCR ES2	CRCR ES1	CRCR ES0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

- 【注意】
- CRCRES レジスタは, CRCMOD レジスタの CRCAEN ビットが“0”の状態を書き込んでください。“1”の状態での書き込みは無効です。

19.2.8 CRC 演算モードレジスタ (CRCMOD)

本レジスタは, CRC 演算器の動作モードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF0DC
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	—								CRCMOD							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CRCDI R	CRCA EN
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビット名	説明
7～2	—	予約ビット
1	CRCDIR	CRC 演算のシフト方向を選択するビットです。 0: LSB ファースト(初期値) 1: MSB ファースト
0	CRCAEN	自動 CRC 演算を許可するビットです。 本ビットが“1”の状態では、HALT／HALT-H モードに移行すると、自動 CRC 演算開始セグメントレジスタ(CRCSSEG)、自動 CRC 演算終了セグメントレジスタ(CRCESEG)および、自動 CRC 演算開始アドレスレジスタ(CRCSAD)、自動 CRC 演算終了アドレスレジスタ(CRCEAD)で指定したプログラム・コード領域の CRC 演算を行います。 CRCAEN は、自動 CRC 演算が終了すると“0”にリセットされます。 また、マイコンステータス割込みとして割込みを要求することができます。設定については、「第 29 章 安全機能」を参照してください。 0: 自動 CRC 演算モード禁止(初期値) 1: 自動 CRC 演算モード許可

【注意】

- CPU 動作モードがウェイトモード、PLL の基本周波数が 24MHz の設定の場合、HALT／HALT-H に移行する前に SYSTEMCLK を 12MHz 以下にしてください。

19.3 動作説明

CRC 演算器には、マニュアル CRC 演算モードと自動 CRC 演算モードがあります。

- マニュアル CRC 演算モード
CRC 演算データレジスタにソフトウェアでデータを書き込むことで随時ハードウェアが CRC 演算する
演算単位は 8 ビット
- 自動 CRC 演算モード
HALT/HALT-H モード中にプログラム・メモリ領域のデータをハードウェアが自動で CRC 演算する
演算単位は 32 ビット、自動 CRC 演算完了時に割込みを発生

19.3.1 マニュアル CRC 演算モード

マニュアル CRC 演算モードは、16 ビットの CRC 演算結果レジスタ(CRCRES)に初期値を書き込み、その後 8 ビットの CRC 演算データレジスタ(CRCDATA)にデータを書き込むことで、CRC 演算結果レジスタ(CRCRES)にその演算結果を出力します。シリアル通信などのデータ誤り検出用として、送信時に演算結果を付加してデータ転送し、受信側で同じ CRC 演算をして誤り有無を検出することができます。

19.3.1.1 マニュアル CRC 演算モードの使用例

データに CRC 演算結果を付加してシリアル送信する処理フローを以下に示します。

送信データとして、0x21 を先頭とする 11 バイトのデータを用い、演算のシフト方向を LSB ファーストモードで演算結果を求める例です。

送信および CRC 演算データ: 0x21, 0x22, 0x23, 0x24, 0x25, 0x26, 0x27, 0x28, 0x29, 0x81, 0x7F

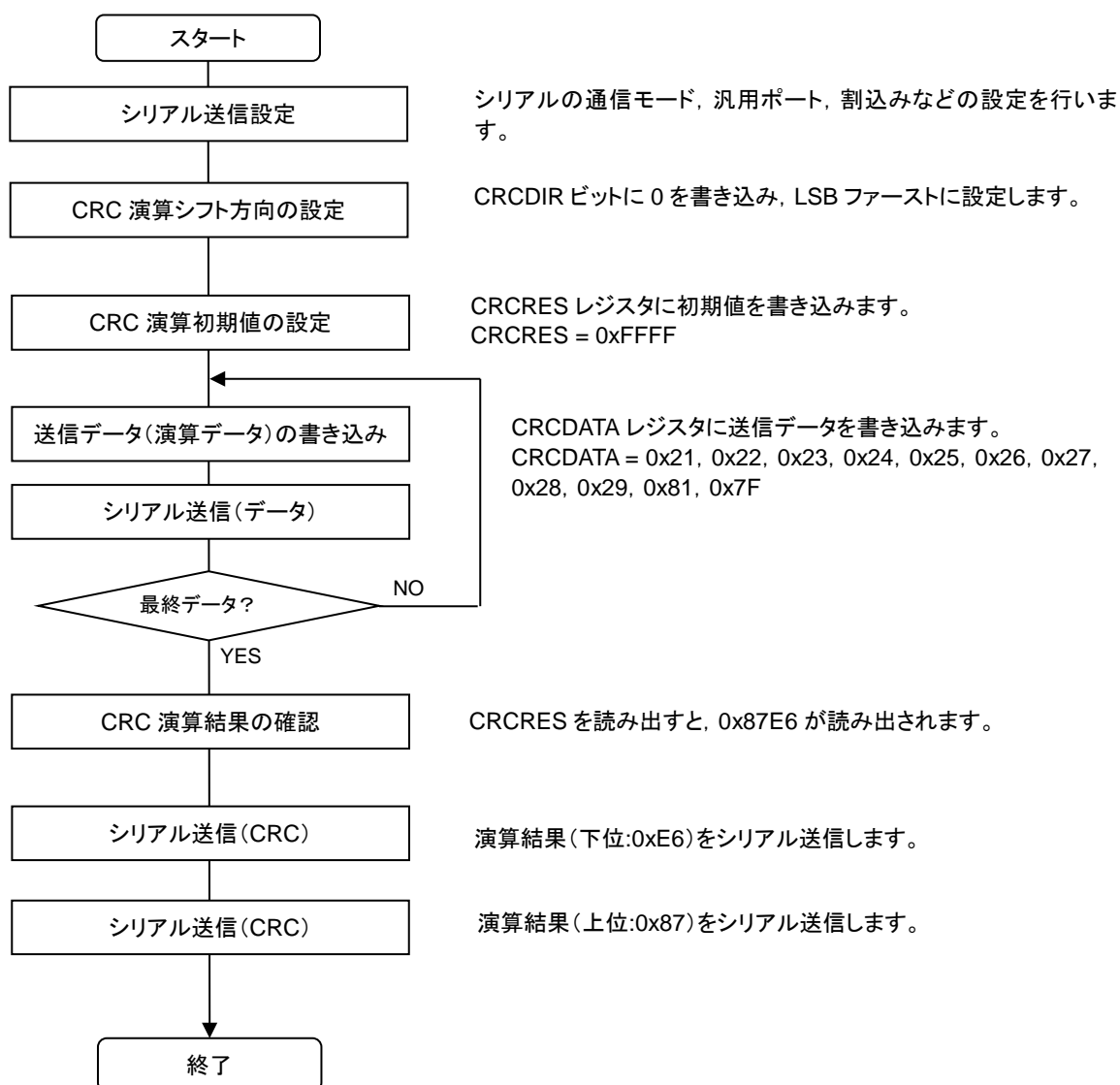


図 19-3 CRC 演算の処理フロー1 (シリアル送信/LSB ファースト)

シリアル受信データに CRC 演算結果が付加されている場合の CRC 演算処理フローを以下に示します。
演算データとして、0x21 を先頭とする 13 バイトのデータから、演算のシフト方向を **LSB** ファーストモードで演算結果を求める例です。最後の 2 バイトに先頭 11 バイトの CRC 演算結果が付加されています。

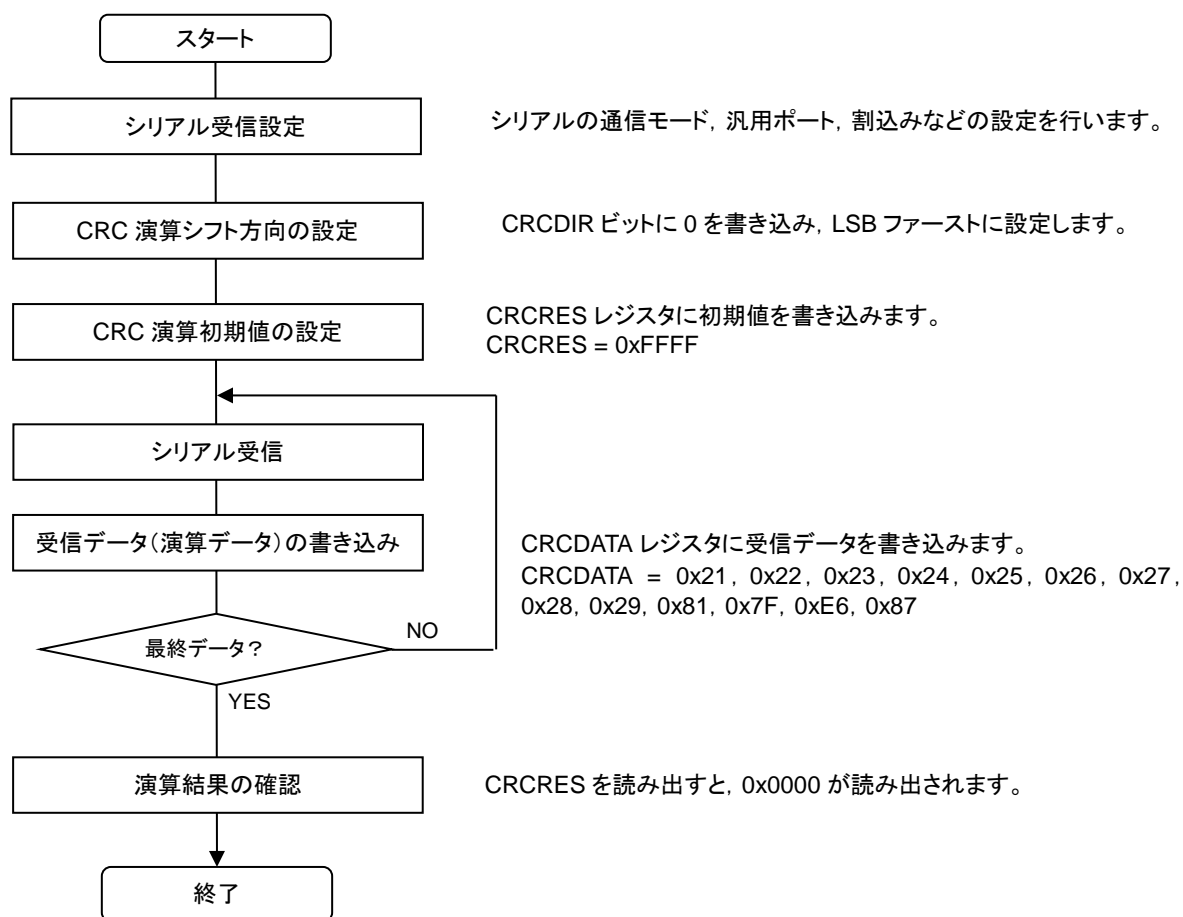


図 19-4 CRC 演算の処理フロー2 (シリアル受信/LSB ファースト)

データに CRC 演算結果を付加してシリアル送信する処理フローを以下に示します。

送信データとして、0x21 を先頭とする 11 バイトのデータを用い、演算のシフト方向を MSB ファーストモードで演算結果を求める例です。

送信および CRC 演算データ: 0x21, 0x22, 0x23, 0x24, 0x25, 0x26, 0x27, 0x28, 0x29, 0x81, 0x7F

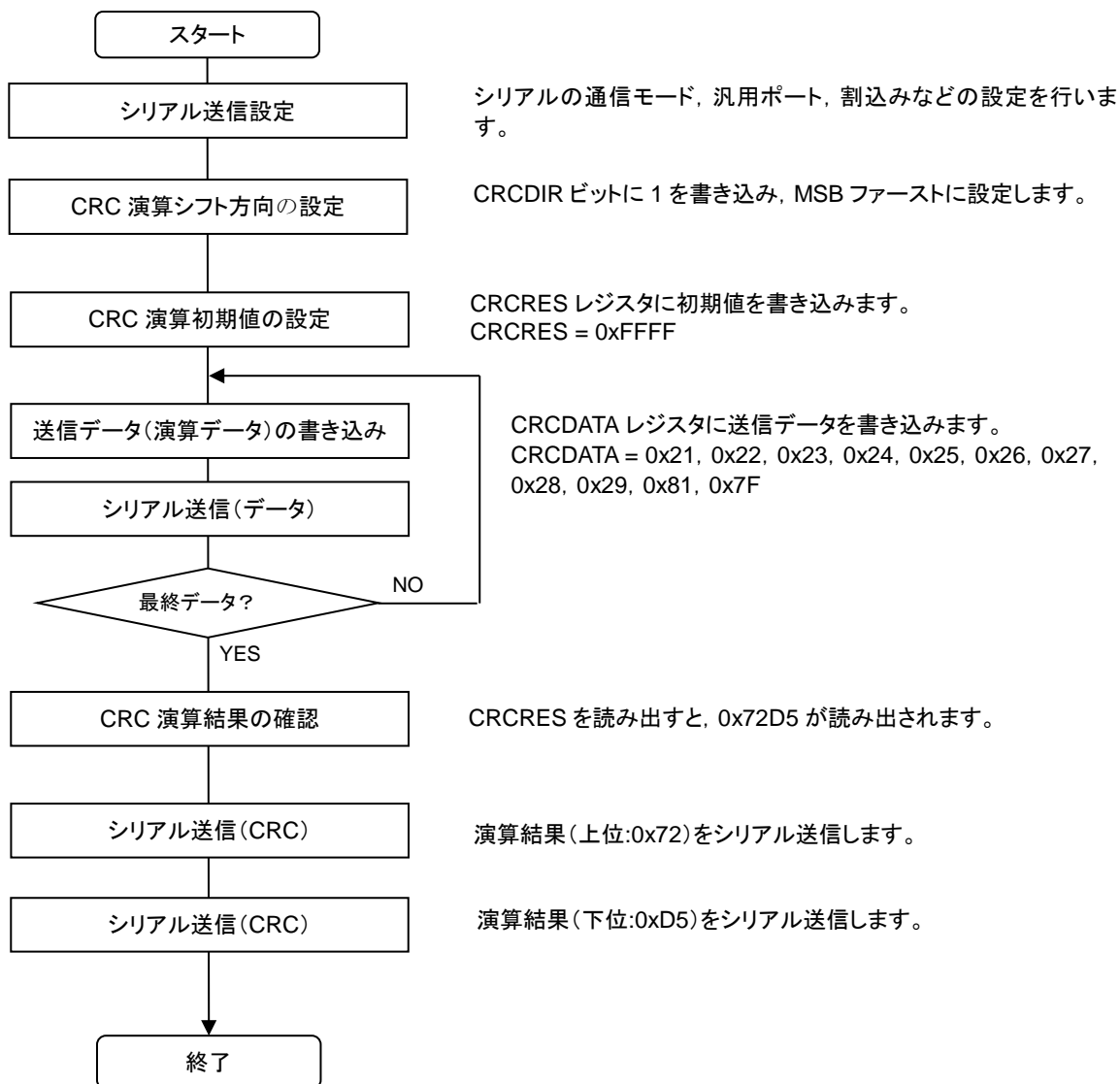


図 19-5 CRC 演算の処理フロー3 (シリアル送信/MSB ファースト)

シリアル受信データに CRC 演算結果が付加されている場合の CRC 演算処理フローを以下に示します。
演算データとして、0x21 を先頭とする 13 バイトのデータから、演算のシフト方向を MSB ファーストモードで演算結果を求める例です。最後の 2 バイトに先頭 11 バイトの CRC 演算結果が付加されています。

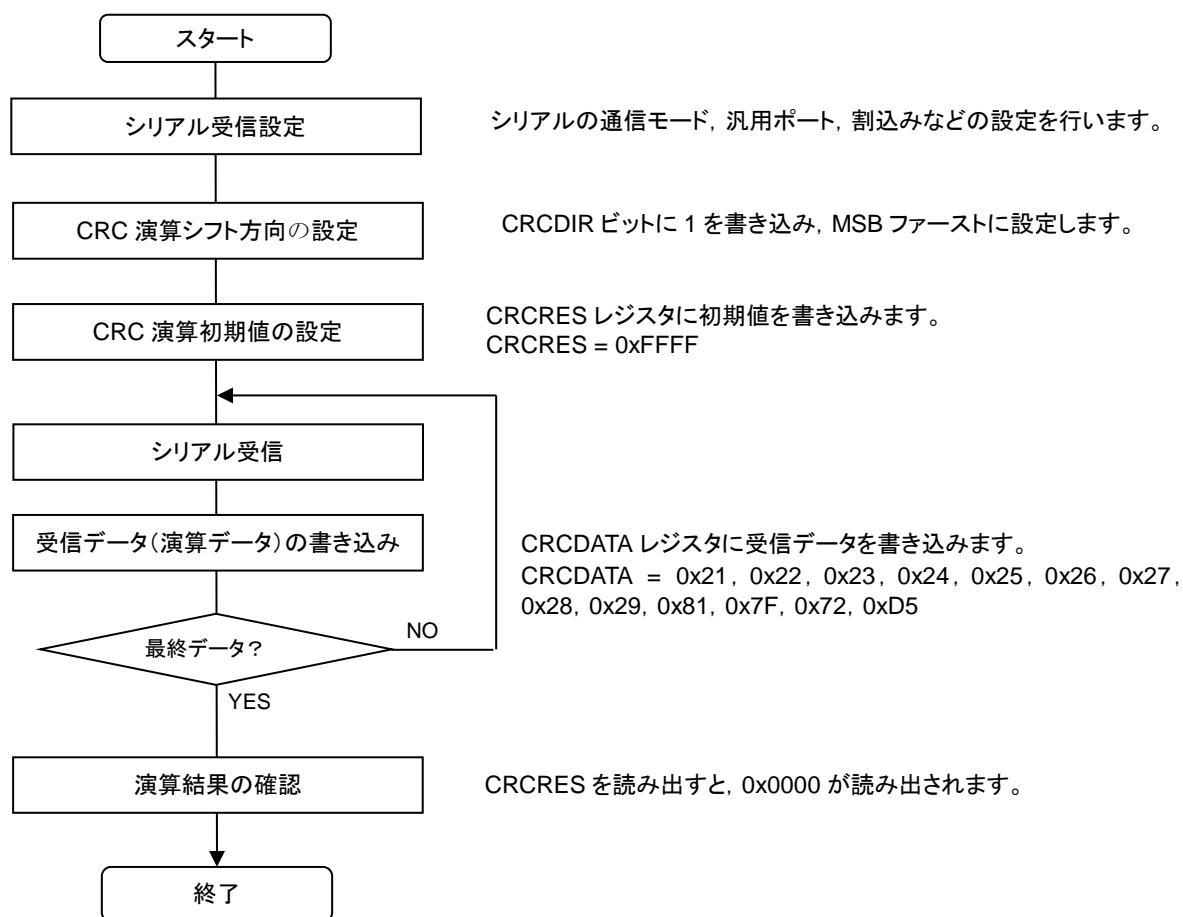


図 19-6 CRC 演算の処理フロー4 (シリアル受信/MSB ファースト)

19.3.1.2 マニュアル CRC 演算モードの動作タイミングチャート

CRC 演算の初期値を CRCRES レジスタに設定します。CRCDATA レジスタに 8 ビットのデータを書き込むと、次のクロックの立ち上がりエッジで演算結果が CRCRES レジスタに格納されます。CRC 演算の結果は、CRCRES レジスタを読むことでいつでもチェックできます。

図 19-7 に CRC 演算の動作タイミングを示します。

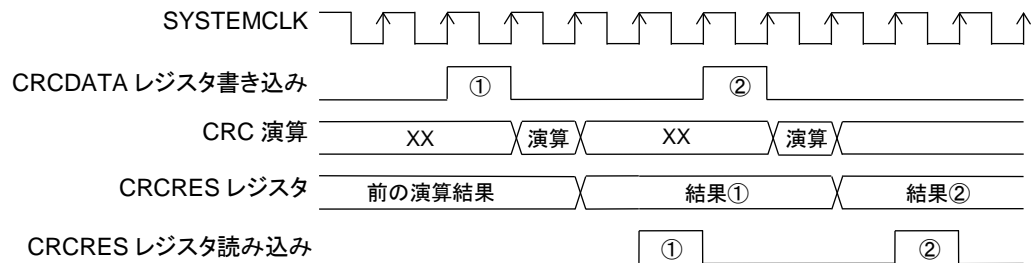


図 19-7 CRC 演算のタイミング

19.3.2 自動 CRC 演算モード

自動 CRC 演算モードは、HALT/HALT-H モード中に任意のプログラム・メモリ領域を自動で CRC 演算し、CRC 演算結果レジスタ(CRCRES)にその演算結果が出力します。

プログラム・メモリのデータ誤り検出用(セルフテスト用)として、自動演算結果と予め Flash メモリに書き込んだ期待値をソフトウェアで比較することができます。

期待値は弊社の ROM コードデータ作成ツールで作成します。

19.3.2.1 自動 CRC 演算モードの使用例

自動 CRC 演算の処理フローを以下に示します。

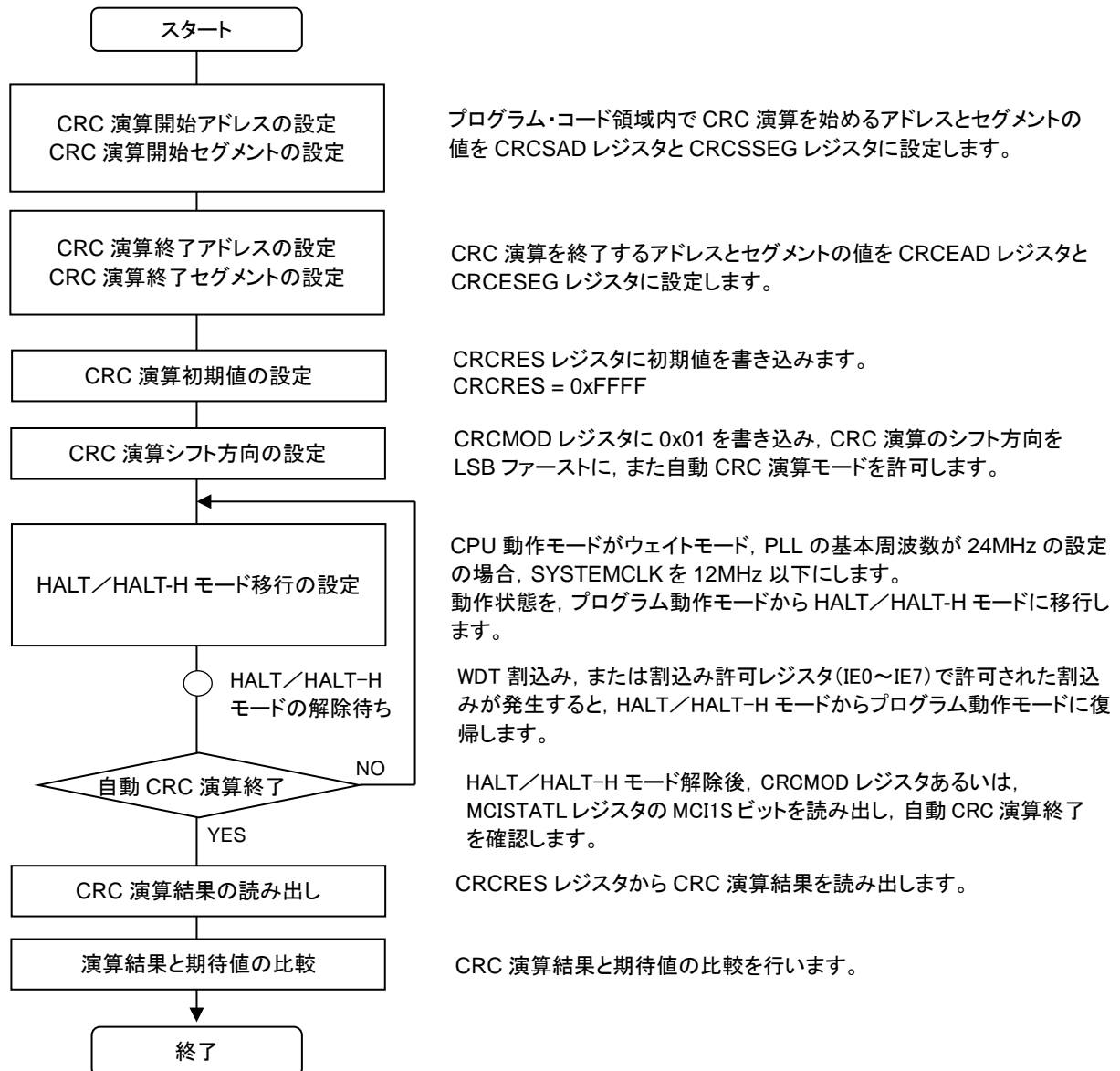


図 19-8 自動 CRC 演算の処理フロー

CRCMOD レジスタの CRCAEN ビットを“1”に設定し HALT/HALT-H モードに移行すると、CRCSSEG レジスタ、CRCSAD レジスタおよび CRCESEG レジスタ、CRCEAD レジスタに設定されたプログラム・コード領域のデータの CRC 演算を開始します。

演算中に HALT/HALT-H モードが解除されると演算は中断され、再び HALT/HALT-H モードに移行すると、演算を中断したアドレスから再開します。CRCSSEG レジスタと CRCSAD レジスタは、プログラム・コード領域からデータを読み出すごとにインクリメントされます。

演算開始セグメントとアドレス (CRCSSEG レジスタと CRCSAD レジスタの値) が演算終了セグメントとアドレス (CRCESEG レジスタと CRCEAD レジスタの値) に一致すると、CRC 演算が終了して CRCAEN ビットが“0”になり、自動 CRC 演算完了割込み要求が発生します。自動 CRC 演算完了割込みが許可状態の場合、HALT/HALT-H モードが解除され、マイコンステータス割込みが発生します。

自動 CRC 演算完了割込みの禁止/許可はマイコンステータス割込み許可レジスタ (MCINTEL) で設定します。MCINTEL レジスタの詳細は、「第 29 章 安全機能」を参照してください。

自動 CRC 演算モードを使用したセルフテストプログラムの詳細や期待値の生成方法については、「ML62Q1000 シリーズ セルフテストサンプルソフトウェア AP ノート」ならびに ROM コードデータ作成ツールのマニュアルを参照してください。

【注意】

- 自動 CRC 演算が終了していない状態でマニュアルモードの CRC 演算をする場合には、CRCRES レジスタの値を退避させてから演算させ、マニュアルモードの CRC 演算終了後に、退避させておいた値を CRCRES レジスタに戻して CRCAEN ビットを“1”に設定してください。その後 HALT/HALT-H モードに移行すると、自動 CRC 演算を再開することができます。
CRCSAD レジスタと CRCSSEG レジスタには前回終了時の最終アドレスが格納されています。CRCAEN が“0”の状態では、CRCSAD レジスタと CRCSSEG レジスタの値を書き換えると、正しい演算ができません。
- CPU 動作モードがウェイトモード、PLL の基本周波数が 24MHz の設定の場合、HALT/HALT-H モードに移行する前に SYSTEMCLK を 12MHz 以下にしてください。

第 20 章 アナログコンパレータ

20. アナログコンパレータ

20.1 概要

アナログコンパレータを使用して、以下の機能を実現することができます。

- 2 本の端子に入力される電圧の大小比較
- 1 本の端子に入力される電圧と内部基準電圧 (約 0.8V) との大小比較

表 20-1 に各製品の搭載チャンネルを示します。

表 20-1 アナログコンパレータの搭載チャンネル

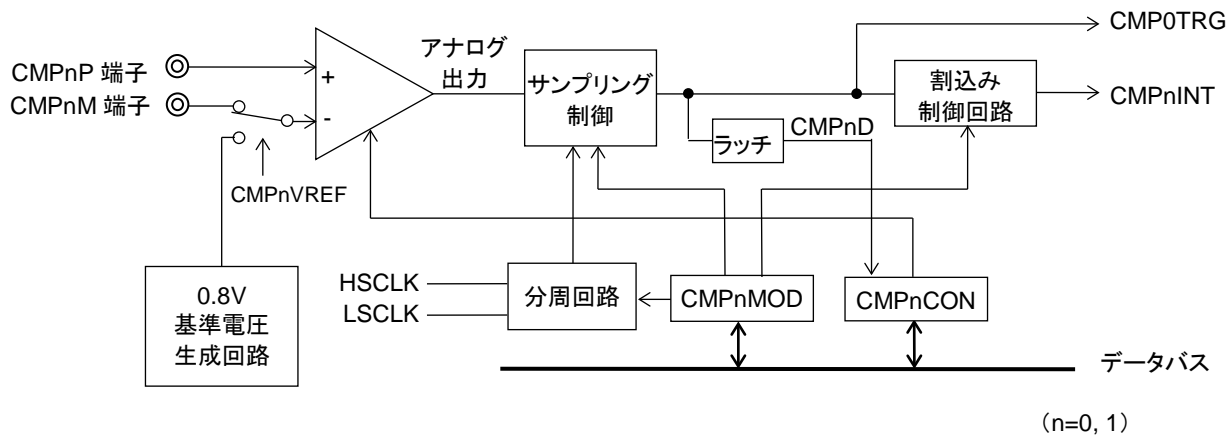
チャンネル 番号 (n)	ML62Q1500C ML62Q1700C グループ		
	52 ピン 製品	64 ピン 製品	80 ピン 製品
0	●	●	●
1	●	●	●

●: 搭載

20.1.1 特長

- 2 本の端子に入力される電圧の比較が可能
- 1 本の端子に入力される電圧と内部基準電圧 (約 0.8V) との比較が可能
- 電圧比較結果による割込み要求発生タイミングを以下の 3 種類から選択可能
 - － 比較結果の立ち上がりエッジ
 - － 比較結果の立ち下がりエッジ
 - － 比較結果の立ち上がりエッジ, および立ち下りエッジ
- 電圧比較結果に対してサンプリングあり／なしを選択可能。サンプリングクロックは以下から選択可能
 - － HSCLK
 - － LSCLK
 - － HSCLK の 2～64 分周
 - － LSCLK の 2～64 分周
- アナログコンパレータ停止タイミングでの比較結果を保持することが可能
- アナログコンパレータ出力をファンクショナルタイマのトリガイメントソースとして使用可能

20.1.2 構成

図 20-1 にアナログコンパレータ n の構成を示します。(n=0, 1)

(n=0, 1)

$CMPnCON$: コンパレータ n コントロールレジスタ
$CMPnMOD$: コンパレータ n モードレジスタ
$CMPnD$: アナログコンパレータ n 比較結果
$CMPnINT$: アナログコンパレータ n 割込み
$CMPnVREF$: アナログコンパレータ n 入力電圧選択
$CMP0TRG$: アナログコンパレータ 0 出力 (ファンクショナルタイマのトリガイイベントソース)

図 20-1 アナログコンパレータの構成

20.1.3 端子一覧

アナログコンパレータ n の入出力端子は、汎用ポートの兼用機能に割り付けられています。(n=0, 1)

端子名	入出力	機能
CMPnP	I	アナログコンパレータ n 非反転入力
CMPnM	I	アナログコンパレータ n 反転入力

アナログコンパレータ n で使用する汎用ポートおよび、汎用ポートのレジスタ設定を表 20-2 に示します。

表 20-2 アナログコンパレータ機能兼用ポートおよびレジスタ設定

端子名	兼用ポート		設定レジスタ	設定値	ML62Q1500C ML62Q1700C グループ		
					52ピン製品	64ピン製品	80ピン製品
CMP0P	P03	7 次機能	P0MOD3	0110_0000	●	●	●
CMP0M	P02	7 次機能	P0MOD2	0110_0000	●	●	●
CMP1P	P62	7 次機能	P6MOD2	0110_0000	●	●	●
CMP1M	P63	7 次機能	P6MOD3	0110_0000	●	●	●

●: 搭載

【注意】

- アナログコンパレータを使用する場合、汎用ポートのモードレジスタの入力許可(PnmIE)と出力許可(PnmOE)の対応ビットに“0”を書き込み、汎用ポートをハイインピーダンスに設定してください。それ以外の設定では、貫通電流が流れる恐れがあります。(n=0~9, A, B, m=0~7)
- コンパレータの動作許可中は、隣接端子をスイッチングさせないようにすることでノイズの影響を低減できます。

20.2 レジスタ説明

20.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF840	コンパレータ 0 コントロールレジスタ	CMP0CON	—	R/W	8	0x00
0xF841	予約レジスタ	—	—	—	—	—
0xF842	コンパレータ 0 モードレジスタ	CMP0MODL	CMP0MOD	R/W	8/16	0x00
0xF843		CMP0MODH		R/W	8	0x00
0xF844~ 0xF847	予約レジスタ	—	—	—	—	—
0xF848	コンパレータ 1 コントロールレジスタ	CMP1CON	—	R/W	8	0x00
0xF849	予約レジスタ	—	—	—	—	—
0xF84A	コンパレータ 1 モードレジスタ	CMP1MODL	CMP1MOD	R/W	8/16	0x00
0xF84B		CMP1MODH		R/W	8	0x00

20.2.2 コンパレータ n コントロールレジスタ（CMPnCON : n=0, 1）

本レジスタは、アナログコンパレータを制御する特殊機能レジスタ（SFR）です。

アドレス: 0xF840 (CMP0CON), 0xF848 (CMP1CON)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								CMPnCON							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	CMPnD	CMPnEN	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～2	—	予約ビット
1	CMPnD	アナログコンパレータの比較結果を示すビットです。 アナログコンパレータを停止したときの最後の比較結果を保持します。 0: CMPnP < CMPnM または 0.8V 基準電圧 (初期値) 1: CMPnP > CMPnM または 0.8V 基準電圧
0	CMPnEN	アナログコンパレータの動作許可／停止を制御するビットです。 0: コンパレータ動作停止 (初期値) 1: コンパレータ動作許可

【注意】

- アナログコンパレータを使用する場合、汎用ポートのポート n モードレジスタ m の入力許可 (PnmIE) と出力許可 (PnmOE) の対応ビットに“0”を書き込み、汎用ポートをハイインピーダンスに設定してください。それ以外の設定では、貫通電流が流れる恐れがあります。(n=0~9, A, B, m=0~7)
- コンパレータの動作許可中は、隣接端子をスイッチングさせないようにすることでノイズの影響を低減できます。

20.2.3 コンパレータ n モードレジスタ (CMPnMOD : n=0, 1)

本レジスタは、アナログコンパレータの動作モードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF842(CMP0MODL/CMP0MOD), 0xF843(CMP0MODH),
0xF84A(CMP1MODL/CMP1MOD), 0xF84B(CMP1MODH)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	CMPnMODH								CMPnMODL							
ビット	—	—	—	—	—	—	—	CMPn VREF	—	CMPn DIV2	CMPn DIV1	CMPn DIV0	CMPn CS1	CMPn CS0	CMPn E1	CMPn E0
R/W	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～9	—	予約ビット
8	CMPnVREF	アナログコンパレータの入力電圧を選択するビットです。 0: CMPnM 端子から入力された電圧を使用(初期値) 1: 内部 0.8V 基準電圧を使用
7	—	予約ビット
6～4	CMPnDIV2～ CMPnDIV0	アナログコンパレータのサンプリングクロック分周比を選択するビットです。 000: 分周なし(初期値) 001: 2 分周 010: 4 分周 011: 8 分周 100: 16 分周 101: 32 分周 110: 64 分周 111: 設定禁止(分周なし)
3, 2	CMPnCS1, CMPnCS0	アナログコンパレータのサンプリングあり／なし, およびサンプリングクロックを選択するビットです。 00: サンプリングなし(初期値) 01: HSCLK でサンプリング 10: LSCLK でサンプリング 11: 設定禁止(サンプリングなし)
1, 0	CMPnE1, CMPnE0	割込み要求発生タイミングを選択するビットです。 00: 割込み禁止(初期値) 01: 立ち下がリエッジ割込み 10: 立ち上がりエッジ割込み 11: 両エッジ割込み

【注意】

- STOP, STOP-D 中は CMPnCS1-0 ビットの設定値によらず“サンプリングなし”になります。このサンプリングあり／なしの切り替わり時に、割込みが無効となる区間^{*1}があります。
^{*1}: 該当モードへの移行時: 最大 30 μ s, 復帰時は, サンプリングクロックに選択しているクロックの供給が開始するまでの期間。クロックの供給が開始されるまでの時間は設定により異なりますので, 「第 4 章 パワーマネジメント」の「表 4-5 スタンバイモードからの起動時間」を参照してください。
- サンプリングクロックに高速クロックを選択した場合, 高速クロックが出力されていない状態 (HALT-H 中を含む) では, サンプリング回路が動作しません。その期間でアナログコンパレータを使用する場合は, “サンプリングなし”あるいは“LSCLK でサンプリング”に設定してください。高速クロックの起動については「第 6 章 クロック発生回路」を参照してください。
- CMPnMOD レジスタの書き込みは, コンパレータ動作停止中 (CMPnCON レジスタの CMPnEN ビット=“0”)に行ってください。アナログコンパレータ動作許可中に書き込んだ場合の比較結果は保証しません。
- CMPnVREF ビットで制御できる内部基準電圧はコンパレータで使用する基準電圧です。SA-ADC で使用する基準電圧の制御は, 「第 23 章 逐次比較型 A/D コンバータ」を参照してください。

20.3 動作説明

20.3.1 アナログコンパレータの動作

アナログコンパレータの動作の概要を図 20-2 に示します。

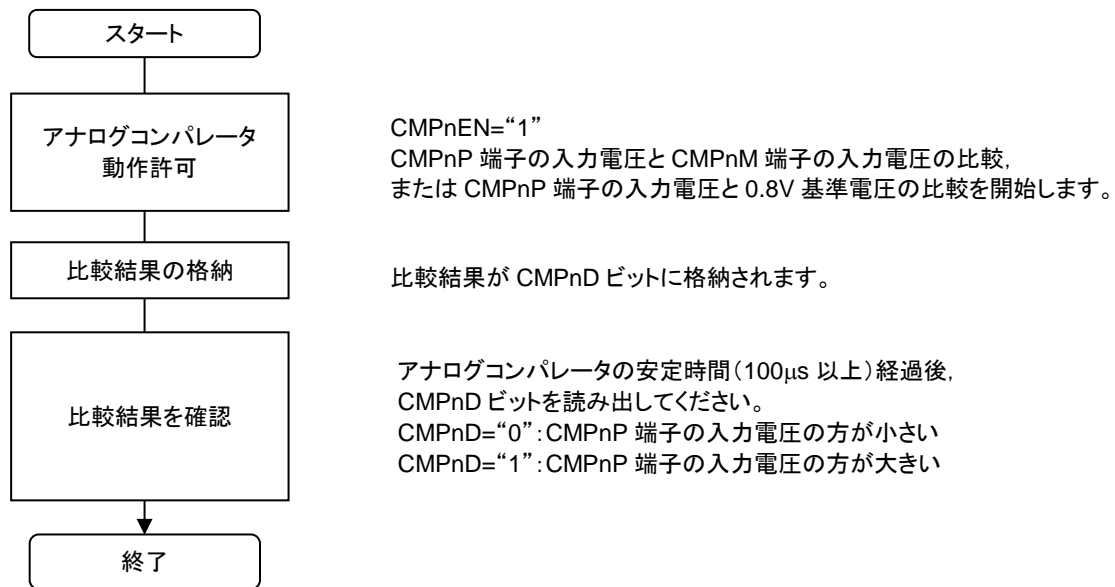


図 20-2 アナログコンパレータの動作概要

図 20-3 にアナログコンパレータの動作タイミング例を示します。

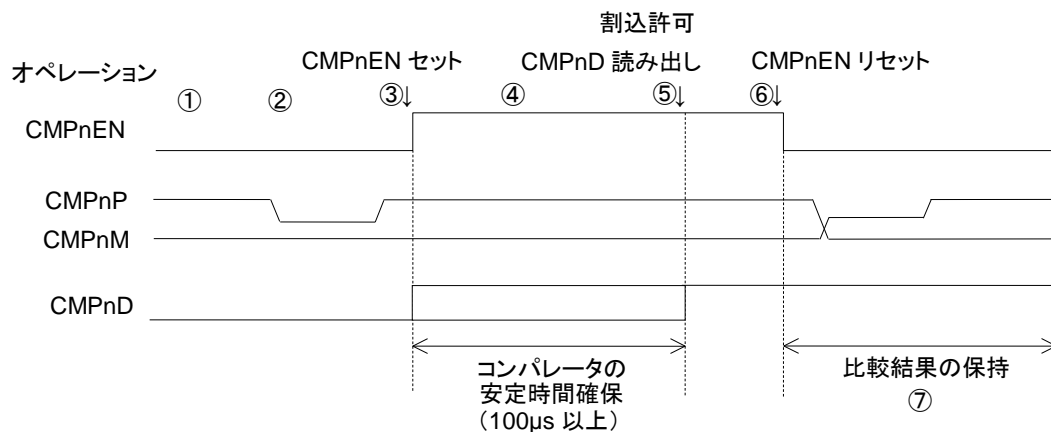


図 20-3 アナログコンパレータの動作タイミング例

図 20-3 の動作について説明します。

- アナログコンパレータを動作させる前に下記の設定を行ってください。
 - アナログコンパレータに使用する汎用ポートの PnmIE ビットと PnmOE ビット(m:ビット番号 0~7)に“0”を書き込み、ハイインピーダンスに設定してください。
 - サンプリングクロックに高速クロックを使用する場合は、周波数コントロールレジスタ (FCON) の ENOSC ビットに“1”を書き込んでください。
 - ブロッククロックコントロールレジスタ 3 (BCKCON3) でクロックの供給を許可してください。
 - ブロックリセットコントロールレジスタ 3 (BRECON3) でアナログコンパレータのリセットを解除してください。
- CMPnMOD レジスタで割込みモードとサンプリング条件を選択します。

3. CMPnEN ビットに“1”を書き込み、アナログコンパレータの動作を許可します。
4. アナログコンパレータが安定する時間 (100 μ s 以上) を待ちます。
5. CMPnD ビットから比較結果を読み出します。割込みを使用する場合は、IRQ45 レジスタの QCMPn ビットをクリアした後、IE45 レジスタの ECMPn ビットに“1”を書き込んでください。
6. CMPnEN ビットに“0”を書き込み、アナログコンパレータの動作を禁止します。
7. CMPnD ビットは CMPnEN ビットに“0”を書き込んだ時の比較結果を保持しているため、CMPnEN ビットに“0”を書き込んでから CMPnD ビットを読み出してもかまいません。

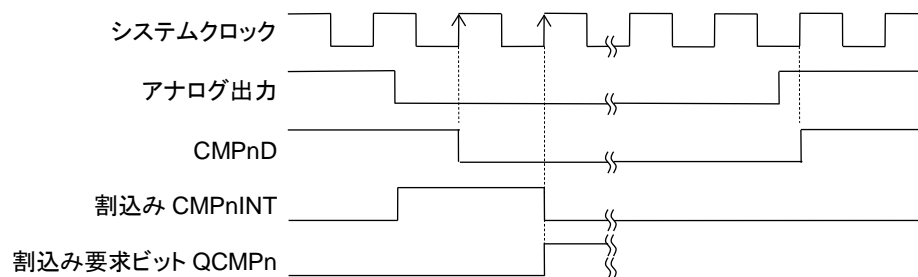
20.3.2 割込み要求

CMPnMOD レジスタの CMPnE0 ビット、CMPnE1 ビットで選択した割込みエッジを検出すると、アナログコンパレータ n 割込み (CMPnINT) が発生します。

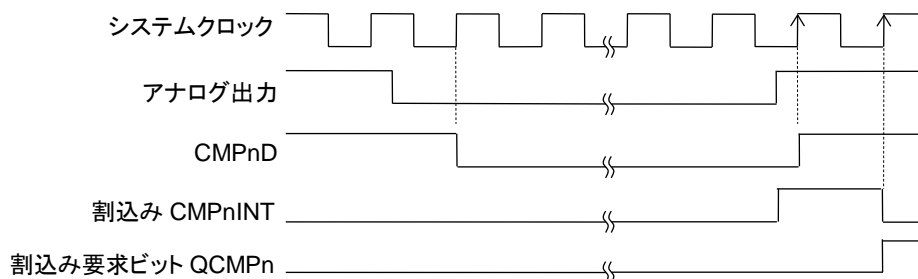
図 20-4 にサンプリングなしの割込み発生タイミング (立ち下がり／立ち上がり／両エッジ選択時) を示します。

図 20-5 にサンプリングありでの割込み発生タイミング (立ち上がりエッジ割込み選択時) を示します。

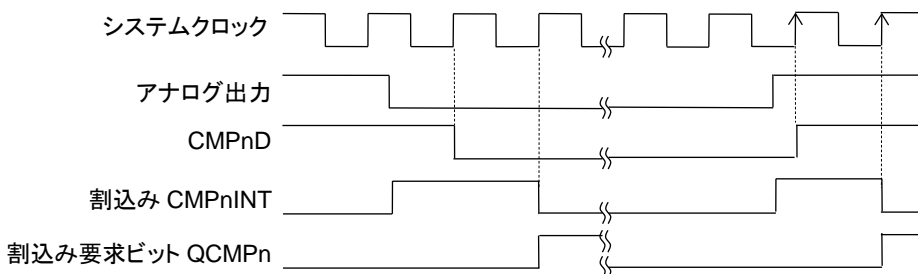
図 20-6 に STOP／STOP-D モード時の割込み発生タイミングを示します。



(a) 立ち下がりエッジ割込み選択時



(b) 立ち上がりエッジ割込み選択時



(c) 両エッジ割込み選択時

図 20-4 アナログコンパレータ割込みの発生タイミング (サンプリングなし)

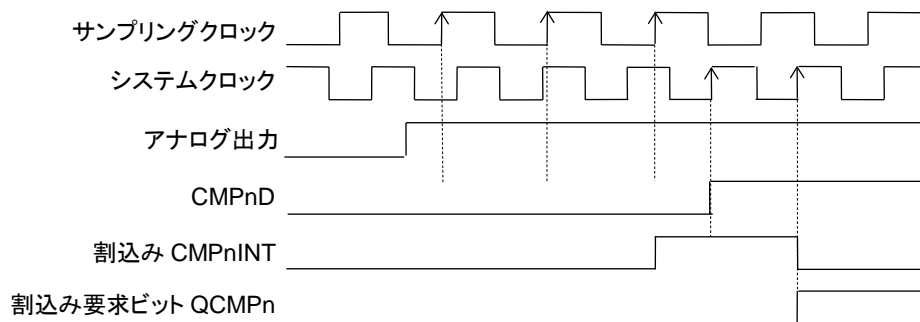


図 20-5 アナログコンパレータ割込みの発生タイミング
(サンプリングあり, 立ち上がりエッジ割込み選択時)

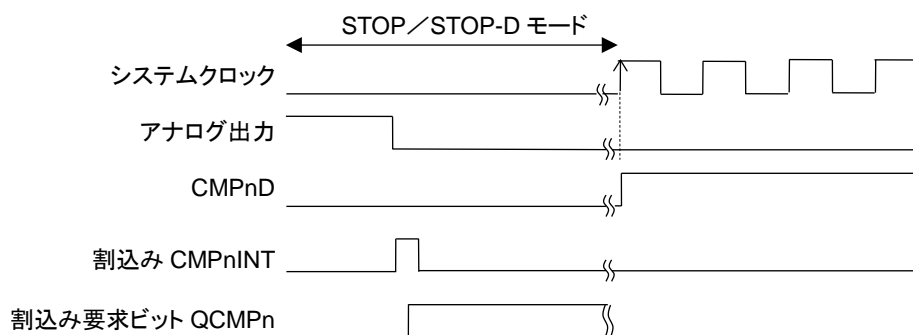


図 20-6 STOP/STOP-D モード時のアナログコンパレータ割込みの発生タイミング
(立ち下がりエッジ割込み選択時)

第 21 章 D/A コンバータ

21.D/A コンバータ

21.1 概要

ML62Q1500C/1700C グループは、デジタル信号をアナログ信号に変換する 8 ビット分解能の D/A コンバータを内蔵しています。
表 21-1 に各製品の搭載チャンネルを示します。

表 21-1 D/A コンバータの搭載チャンネル

チャンネル 番号 (n)	ML62Q1500C ML62Q1700C グループ		
	52 ピン 製品	64 ピン 製品	80 ピン 製品
0	●	●	●

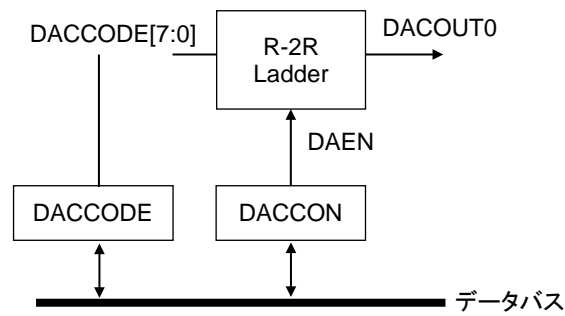
●: 搭載

21.1.1 特長

- 8 ビット分解能
- R-2R ラダー方式
- アナログ出力 (DACOUT0/DACOUT1)
 - 出力電圧: $V_{DD} \times (\text{SFR 設定値}) / 256$
 - 出力インピーダンス: $6k\Omega$ (Typ.)

21.1.2 構成

図 21-1 に D/A コンバータの構成を示します。



DACCON :D/A コンバータ 0 コントロールレジスタ
DACCODE :D/A コンバータ 0 コードレジスタ

図 21-1 D/A コンバータ回路の構成

21.1.3 端子一覧

D/A コンバータの出力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	機能
DACOUT0	O	D/A コンバータ 0 出力

D/A コンバータで使用する汎用ポートおよび、レジスタ設定を表 21-2 に示します。

表 21-2 D/A コンバータ機能使用ポートおよびレジスタ設定

チャンネル 番号	端子名	兼用ポート		設定 レジスタ	設定値	ML62Q1500C ML62Q1700C グループ		
						52 ピン 機能	64 ピン 機能	80 ピン 機能
0	DACOUT0	P01	1 次機能	P0MOD1	0000_0000	●	●	●

●:搭載

【注意】

- D/A コンバータで使用する汎用ポートは、対応するポート n モードレジスタ 01/23/45/67 (n:ポート番号 0~9, A, B) の PnmIE ビットと PnmOE ビット (m:ビット番号 0~7) に“0”を書き込み、ハイインピーダンス(入力無効, 出力無効)に設定してください。それ以外の設定では、貫通電流が流れる可能性があります。
- D/A コンバータの動作許可中は、隣接端子をスイッチングさせないようにすることでノイズの影響を低減できます。

21.2 レジスタ説明

21.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF860	D/A コンバータ 0 コントロールレジスタ	DACCON	—	R/W	8	0x00
0xF861	予約レジスタ	—	—	—	—	—
0xF862	D/A コンバータ 0 コードレジスタ	DACCODE	—	R/W	8	0x00
0xF863 ～ 0xF86B	予約レジスタ	—	—	—	—	—

21.2.2 D/A コンバータ 0 コントロールレジスタ (DACCON)

本レジスタは D/A コンバータ 0 を制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF860 (DACCON)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								DACCON							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DAEN
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～1	—	予約ビット
0	DAEN	D/A コンバータ 0 の動作許可／停止を制御するビットです。 0: D/A コンバータ 0 の動作停止 (初期値) 1: D/A コンバータ 0 の動作許可

- 【注意】
- D/A コンバータで使用する汎用ポートは、対応するポート n モードレジスタ 01/23/45/67 (n: ポート番号 0～9, A, B) の PnmIE ビットと PnmOE ビット (m: ビット番号 0～7) に“0”を書き込み、ハイインピーダンス (入力無効, 出力無効) に設定してください。それ以外の設定では、貫通電流が流れる可能性があります。

21.2.3 D/A コンバータ 0 コードレジスタ (DACCODE)

本レジスタは D/A コンバータ 0 の出力電圧を設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF862 (DACCODE)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								DACCODE							
ビット	—	—	—	—	—	—	—	—	d7	d6	d5	d4	d3	d2	d1	d0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～0	d7～d0	D/A コンバータ 0 の出力電圧を設定するビットです。 $V_{DD} \times \text{DACCODE} / 256$ の電圧が出力されます。 0x00: V_{SS} を出力 (初期値) 任意: $V_{DD} \times \text{DACCODE} / 256$ の電圧を端子から出力

21.3 動作説明

21.3.1 D/A コンバータの動作

図 21-2 に D/A コンバータ処理のフローチャートを、図 21-3 に D/A 変換動作のタイミングチャートを示します。

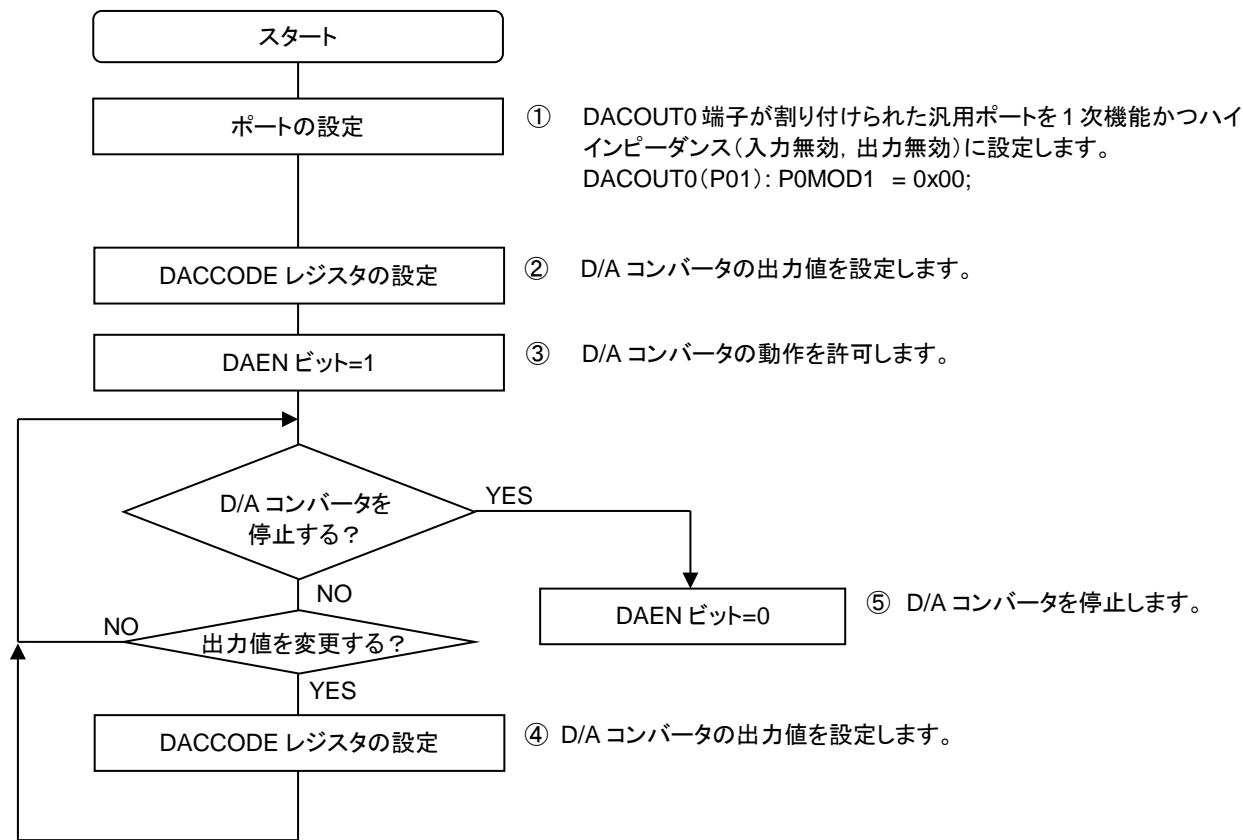
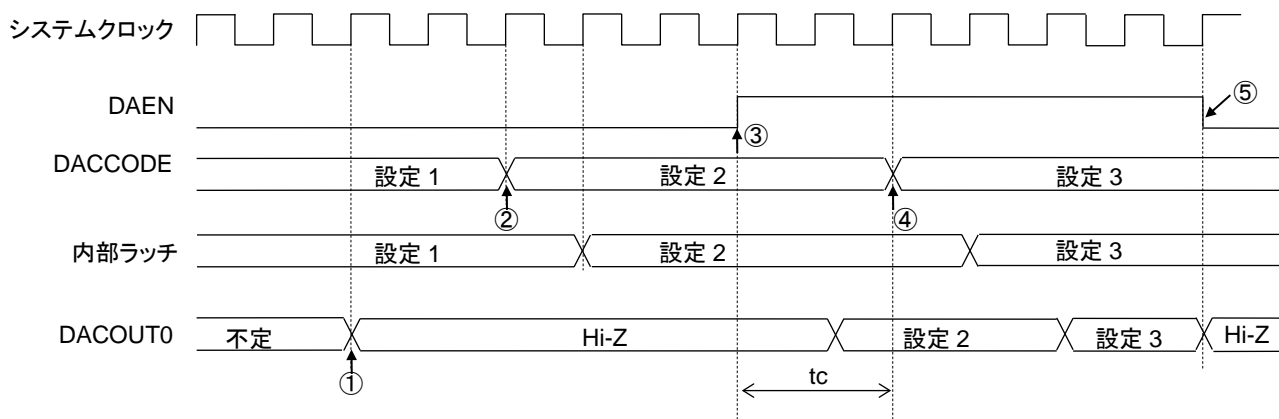


図 21-2 D/A コンバータ処理のフローチャート



tc : D/A コンバータの変換周期(tc についてはデータシート参照)

図 21-3 D/A 変換動作タイミングチャート

第 22 章 電圧レベル監視機能

22. 電圧レベル監視機能

22.1 概要

ML62Q1500C/1700C グループは、電圧レベル監視機能(VLS: Voltage Level Supervisor) VLS0 を内蔵しています。
VLS0 は、 V_{DD} の電圧レベルが設定した判定電圧より高いか低いかを判定します。

22.1.1 特長

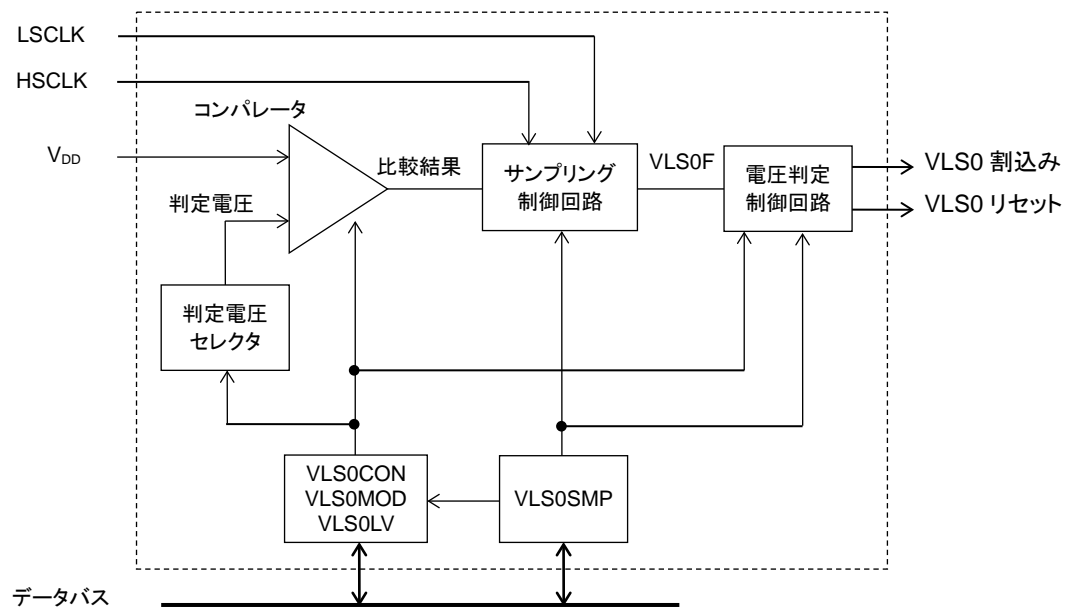
- 精度: $\pm 4\%$
- 判定電圧: 12 値 (1.85V~4.00V) から選択可能
- 動作モード: スーパーバイザモード (常時判定), シングルモード (1 回判定) から選択可能

モード	説明
シングルモード 1	V _{DD} の電圧レベルを 1 回だけ判定します。 V _{DD} の電圧レベル判定後に判定完了を示す割込みが発生します。
シングルモード 2	V _{DD} の電圧レベルを 1 回だけ判定します。 V _{DD} の電圧レベルが判定電圧未満と判定した場合にのみ、低電圧状態を示す割込みが発生します。
スーパーバイザモード	V _{DD} の電圧レベルを常時判定します。 常時、V _{DD} の電圧レベルを判定し、低電圧検出時における割込み／リセットが発生可能です。 VLS0MOD レジスタの設定に応じて、割込みまたはリセットが発生します。 スーパーバイザモードを選択することで VLS0 によるリセット機能が使用可能となります。

- 電圧レベル監視リセット (VLS0 リセット) として使用可能
- 電圧レベル監視割込み (VLS0 割込み) として使用可能
- パワーオンリセットと端子リセットで初期化可能

22.1.2 構成

VLS0 は、コンパレータ、サンプリング制御回路、および電圧判定制御回路から構成されています。図 22-1 に VLS0 の構成を示します。



VLS0CON	: 電圧レベル監視機能 0 コントロールレジスタ
VLS0MOD	: 電圧レベル監視機能 0 モードレジスタ
VLS0LV	: 電圧レベル監視機能 0 レベルレジスタ
VLS0SMP	: 電圧レベル監視機能 0 サンプリングレジスタ

図 22-1 電圧レベル監視機能回路の構成

22.2 レジスタ説明

22.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF850	電圧レベル監視機能 0 コントロールレジスタ	VLS0CON	—	R/W	8	0x00
0xF851	予約レジスタ	—	—	—	—	—
0xF852	電圧レベル監視機能 0 モードレジスタ	VLS0MOD	—	R/W	8	0x00
0xF853	予約レジスタ	—	—	—	—	—
0xF854	電圧レベル監視機能 0 レベルレジスタ	VLS0LV	—	R/W	8	0x00
0xF855	予約レジスタ	—	—	—	—	—
0xF856	電圧レベル監視機能 0 サンプルングレジスタ	VLS0SMP	—	R/W	8	0x00
0xF857	予約レジスタ	—	—	—	—	—

22.2.2 電圧レベル監視機能 0 コントロールレジスタ (VLS0CON)

本レジスタは、VLS0 を制御する特殊機能レジスタ(SFR)です。
本レジスタは、パワーオンリセットと端子リセットでのみ初期化されます。

アドレス: 0xF850(VLS0CON)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								VLS0CON							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	VLS0 RF	VLS0 F	VLS0 EN
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～3	—	予約ビット
2	VLS0RF	電圧レベル監視結果が有効を示すビットです。 本ビットはスーパバイザモード時のみ有効です。シングルモード時、“0”に固定されます。 0: VLS0 停止または VLS0 安定待ち中(初期値) 1: VLS0 監視結果有効(読み出し可能な状態)
1	VLS0F	電圧レベル監視ビットです。 本ビットは最後の判定結果を保持します。 本ビットは、“1”を書き込むと“0”にクリアされますが、“0”を書き込んでもクリアされません。 また、VLS0F ビットは、VLS0 動作開始時に“0”にクリアされます。 0: 電源電圧(V _{DD})が判定電圧値より高い(初期値) 1: 電源電圧(V _{DD})が判定電圧値より低い
0	VLS0EN	VLS0 の動作状態を制御するビットです。 VLS0 をシングルモードで動作させた場合、電圧レベル判定後に本ビットは自動的に“0”にクリアされ、VLS0 は動作を停止します。 0: VLS0 動作禁止(初期値) 1: VLS0 動作許可

【注意】

- VLS0 動作中の STOP/STOP-D モードへの移行は、モードごとに制限があります。

動作	内容
スーパバイザモード実行中	VLS0RF ビット=“1”時のみ移行可能。
シングルモード実行中	移行不可。 シングルモード動作停止後(VLS0EN ビット=“0”)に移行してください。

- VLS0 動作中にパワーオンリセットと端子リセット以外のリセットが発生した場合、VLS0 は動作状態を保持します。

22.2.3 電圧レベル監視機能 0 モードレジスタ (VLS0MOD)

本レジスタは、VLS0 の動作モードを制御する特殊機能レジスタ(SFR)です。
本レジスタの設定は、VLS0 が停止状態(VLS0CON レジスタの VLS0EN ビット=“0”)で行ってください。
また、本レジスタは、パワーオンリセットと端子リセットでのみ初期化されます。

アドレス: 0xF852(VLS0MOD)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								VLS0MOD							
ビット	—	—	—	—	—	—	—	—	—	—	VLS0AMD1	VLS0AMD0	—	—	VLS0SEL1	VLS0SEL0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7, 6	—	予約ビット
5, 4	VLS0AMD1, VLS0AMD0	VLS0 の実行モードを設定するビットです。 00: シングルモード 1(初期値)。 V _{DD} の電圧レベルを 1 回だけ判定します。 VLS0SEL1, VLS0SEL0 ビットが“1”, “0”の時, V _{DD} の電圧レベル判定後に必ず割込みが発生します。VLS の判定結果は, VLS0CON レジスタの VLS0F ビットを読み出して確認できます。 01: シングルモード 2。 V _{DD} の電圧レベルを 1 回だけ判定します。 VLS0SEL1, VLS0SEL0 ビットが“1”, “0”の時, V _{DD} の電圧レベルが判定電圧未満と判定した場合(VLS0CON レジスタの VLS0F ビット=“1”)にのみ割込みが発生します。 1X: スーパーバイザモード。 V _{DD} の電圧レベルを常時判定します。 VLS0SEL1, VLS0SEL0 ビットの状態に応じて, 割込みまたはリセットが発生します。
3, 2	—	予約ビット
1, 0	VLS0SEL1, VLS0SEL0	VLS0 リセット/VLS0 割込み要求の禁止/許可を制御するビットです。 VLS0 リセット/VLS0 割込みの発生条件については「22.3 動作説明」を参照してください。 00: リセット機能: 禁止 割込み要求機能: 禁止 (初期値) 01: リセット機能: 許可 割込み要求機能: 禁止 10: リセット機能: 禁止 割込み要求機能: 許可 11: リセット機能: 許可 割込み要求機能: 禁止

【注意】

- VLS0 動作中の STOP/STOP-D モードへの移行は、モードごとに制限があります。

動作	内容
スーパーバイザモード実行中	VLS0RF ビット=“1”時のみ移行可能。
シングルモード実行中	移行不可。 シングルモード動作停止後(VLS0EN ビット=“0”)に移行してください。

22.2.4 電圧レベル監視機能 0 レベルレジスタ (VLS0LV)

本レジスタは、VLS0 の判定電圧を設定する特殊機能レジスタ(SFR)です。
本レジスタの設定は、VLS0 が停止状態(VLS0CON レジスタの VLS0EN ビット=“0”)で行ってください。
また、本レジスタは、パワーオンリセットと端子リセットでのみ初期化されます。

アドレス: 0xF854 (VLS0LV)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								VLS0LV							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	VLS0LV3	VLS0LV2	VLS0LV1	VLS0LV0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～4	—	予約ビット
3～0	VLS0LV3～VLS0LV0	VLS0 の降下時／上昇時の判定電圧 (V_{VLSF}/V_{VLSR}) を選択するビットです。また、VLS0 にはヒステリシス特性があります。電源電圧下降時／上昇時の、判定電圧の特性については各商品のデータシートを参照してください。 0000: 4.00V±4% (初期値) 0001: 3.70V±4% 0010: 3.05V±4% 0011: 2.95V±4% 0100: 2.85V±4% 0101: 2.75V±4% 0110: 2.65V±4% 0111: 2.55V±4% 1000: 2.45V±4% 1001: 2.05V±4% 1010: 1.95V±4% 1011: 1.85V±4% 1100: 設定禁止 (1.85V±4%) 1101: 設定禁止 (1.85V±4%) 1110: 設定禁止 (1.85V±4%) 1111: 設定禁止 (1.85V±4%)

22.2.5 電圧レベル監視機能 0 サンプルングレジスタ (VLS0SMP)

本レジスタは、判定結果をサンプルングするための特殊機能レジスタ(SFR)です。
本レジスタの設定は、VLS0 が停止状態(VLS0CON レジスタの VLS0EN ビット=“0”)で行ってください。
また、本レジスタは、パワーオンリセットと端子リセットでのみ初期化されます。

アドレス: 0xF856 (VLS0SMP)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								VLS0SMP							
ビット	—	—	—	—	—	—	—	—	—	VLS0DIV2	VLS0DIV1	VLS0DIV0	VLS0SM1	VLS0SM0	—	—
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7	—	予約ビット
6~4	VLS0DIV2~ VLS0DIV0	判定結果をサンプルングするクロックの分周比を選択するビットです。 000: 分周無し(初期値) 001: 2 分周 010: 4 分周 011: 8 分周 100: 16 分周 101: 32 分周 110: 64 分周 111: 分周なし
3, 2	VLS0SM1, VLS0SM0	判定結果をサンプルングするクロックを選択するビットです。 00: サンプルングなし(初期値) 01: HSCLK 10: LSCLK 11: サンプルングなし
1, 0	—	予約ビット

【注意】

- STOP, STOP-D 中は VLS0SM1-0 ビットの設定値によらず“サンプルング無し”になります。このサンプルングあり／なしの切り替わり時に、割込みが無効となる区間^{*1}があります。
^{*1}: 該当モードへの移行時:最大 30μs、復帰時は、サンプルングクロックに選択しているクロックの供給が開始するまでの期間。クロックの供給が開始されるまでの時間は設定により異なりますので、「第 4 章 パワーマネジメント」の「表 4-5 スタンバイモードからの起動時間」を参照してください。
- サンプルングクロックに高速クロックを選択した場合、高速クロックが出力されていない状態(HALT-H 中を含む)では、サンプルング回路が動作しないため、電圧監視できません。その期間で VLS を使用する場合は、“サンプルングなし”あるいは“LSCLK”に設定してください。高速クロックの起動については「第 6 章 クロック発生回路」を参照してください。

22.3 動作説明

VLS0 は、設定した判定電圧より V_{DD} が高いか低いかを判定し、読み出すことが可能です。また、VLS0 割込み、または VLS0 リセットを発生させることが可能です。VLS0 はヒステリシス特性があります。電源電圧下降時／上昇時の、判定電圧の特性については各商品のデータシートを参照してください。

VLS0 は以下の 2 つの動作モードがあります。

スーパバイザモード:

動作	VLS0EN に“1”を書き込んで VLS0 を動作許可にして電圧判定を行い、判定結果が有効になった時点で VLS0RF フラグで通知します。その後も判定を継続します。	
機能	電圧変動検知割込み	判定電圧より低くなった場合、または低い状態から高くなった場合に割込みを発生
	低電圧検出リセット	判定電圧より低くなった場合にリセットを発生

シングルモード:

動作	VLS0EN に“1”を書き込んで VLS0 を動作許可にして電圧判定を行い、判定結果が有効になった時点で自動で VLS0EN に“0”を書き込んで判定を終了します。	
機能	シングルモード 1: 電圧判定割込み	判定終了時に割込みを発生
	シングルモード 2: 低電圧検出割込み	電圧判定時に電源電圧が判定電圧より低い場合に割込み

22.3.1 スーパーバイザモード

スーパーバイザモードは、常時、 V_{DD} の電圧レベルを判定し、電圧変動検出時の割込み／低電圧検出時のリセットを出力します。

図 22-2 に VLS をスーパーバイザモードで起動する場合のフローチャートを示します。

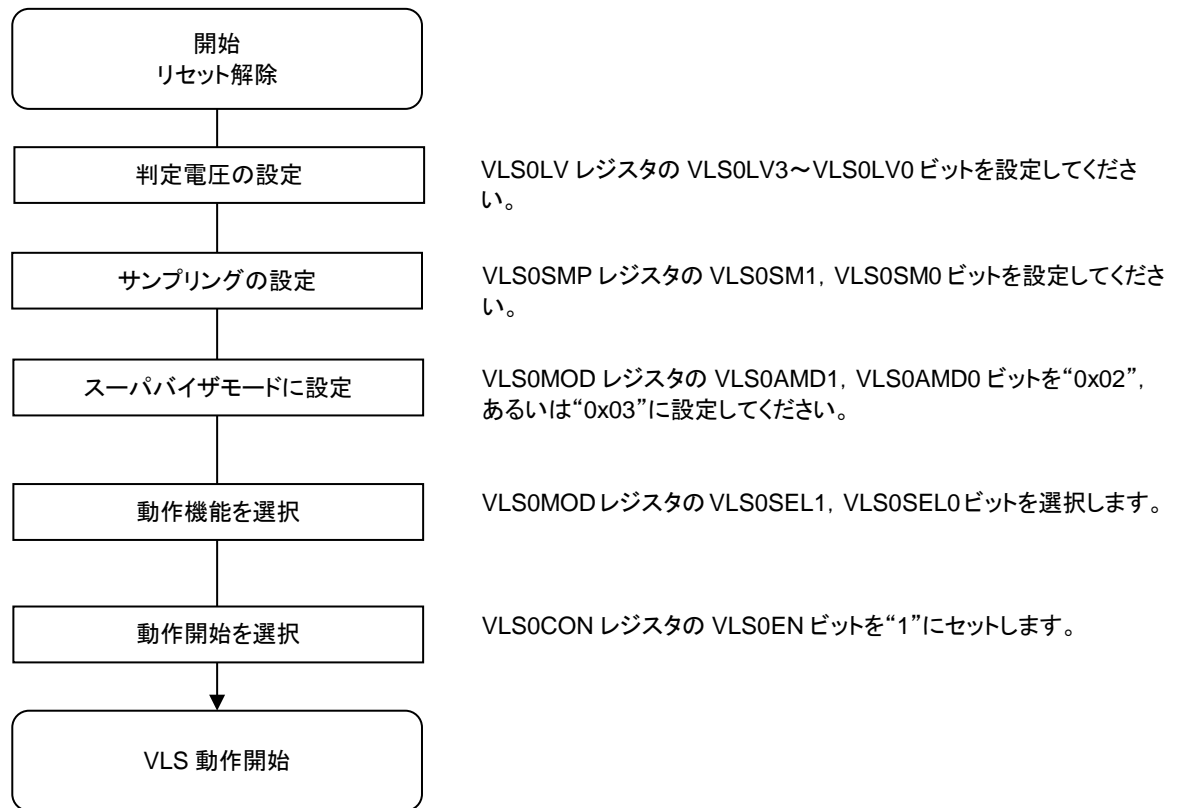


図 22-2 VLS をスーパーバイザモードで起動する場合のフローチャート

22.3.1.1 リセット出力

図 22-3 にサンプリング無し、VLS0 リセット出力を設定した場合の動作タイムチャートを示します。

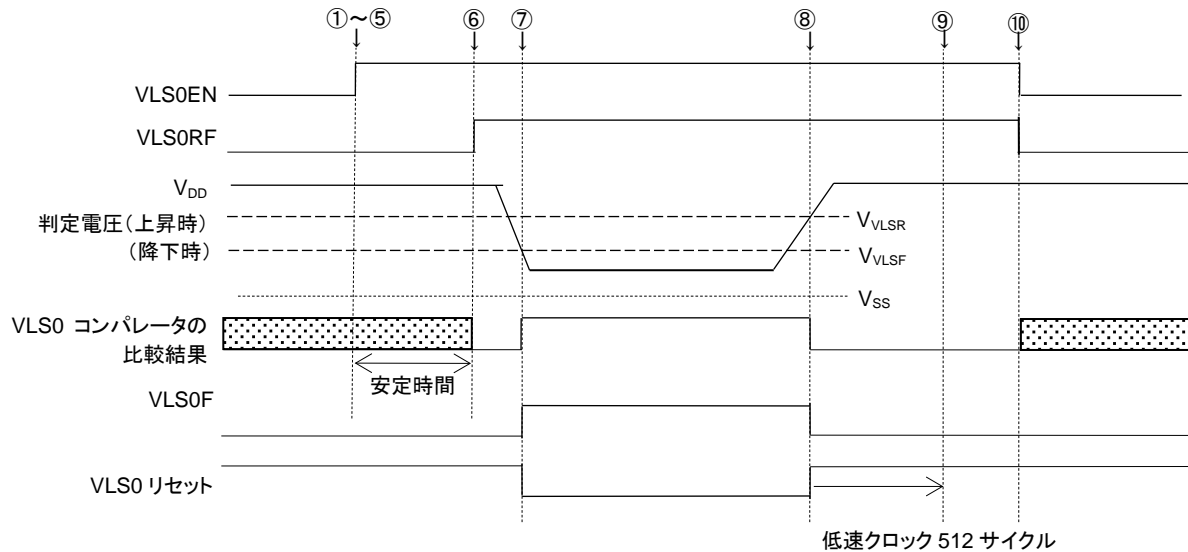


図 22-3 サンプリング無し、VLS0 リセット出力を設定した場合の動作タイムチャート

図 22-3 の動作を以下に示します。

1. VLS0LV レジスタの VLS0LV3～VLS0LV0 ビットで VLS0 の判定電圧を選択します。
2. VLS0SMP レジスタの VLS0SM1, VLS0SM0 ビットでサンプリング無しを選択します。
3. VLS0MOD レジスタの VLS0AMD1, VLS0AMD0 ビットを“0x02”, あるいは“0x03”に設定しスーパーバイザモードに設定します。
4. VLS0MOD レジスタの VLS0SEL1, VLS0SEL0 ビットでリセット有効を選択します。
5. VLS0CON レジスタの VLS0EN ビットを“1”にセットします (VLS0 がスーパーバイザモードで動作を開始)。
6. 約 300 μ s 経過後, VLS0 の判定結果が安定し, VLS0CON レジスタの VLS0RF ビットが“1”になります (ソフトウェアでは電圧レベル監視ビット (VLS0F) の値を読み出します) (*1)。
7. 電源電圧 (V_{DD}) が判定電圧 V_{VLSF} 未満になると, VLS0F ビットが“1”にセットされ, VLS0 リセットが発生します。
8. V_{DD} が判定電圧 (V_{VLSR}) 以上になると, VLS0F ビットが“0”にクリアされ, VLS0 リセットが解除されます。
9. CPU は低速クロック 512 サイクル後に動作します。
10. VLS0EN ビットに“0”を書き込み, VLS0 動作を禁止します。

*1: VLS0RF ビットが“1”になるまで VLS0F ビット／割込み／リセットはマスクされます。

図 22-4 にサンプリング有り、VLS0 リセット出力を設定した場合の動作タイムチャート例を示します。

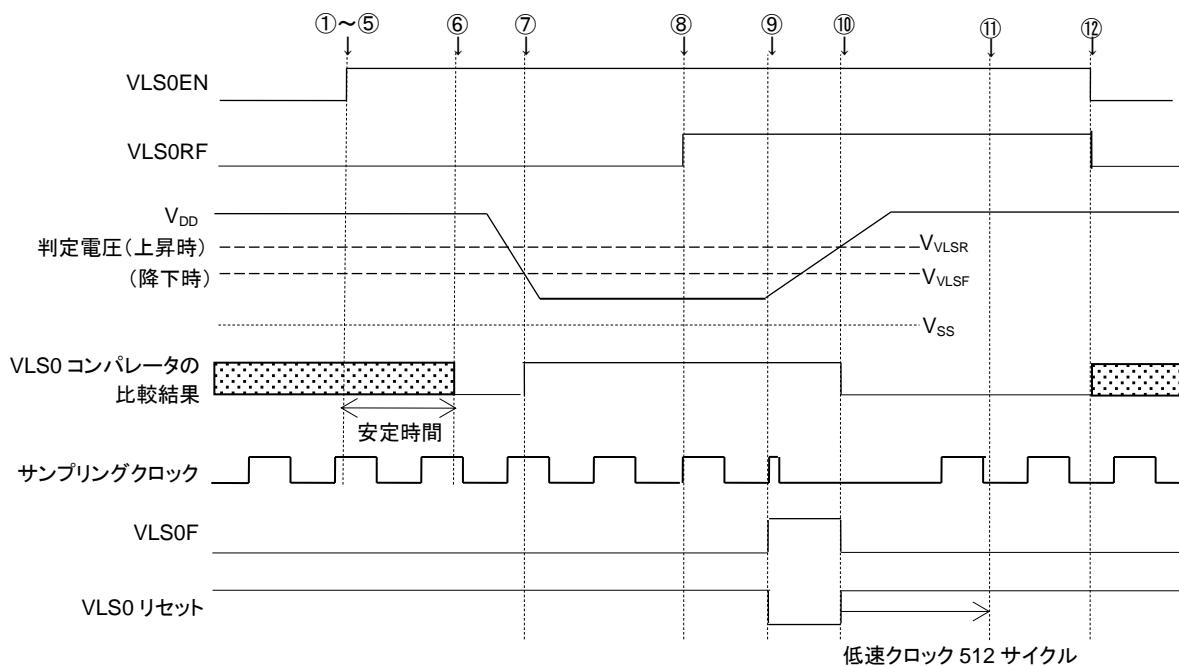


図 22-4 サンプリング有り、VLS0 リセット出力を設定した場合の動作タイムチャート

図 22-4 の動作を以下に示します。

1. VLS0LV レジスタの VLS0LV3～VLS0LV0 ビットで VLS0 の判定電圧を選択します。
2. VLS0SMP レジスタの VLS0SM1, VLS0SM0 ビットでサンプリング有り、サンプリングクロックを選択します。VLS0DIV2～VLS0DIV0 でサンプリングするクロックの分周比を選択します。
3. VLS0MOD レジスタの VLS0AMD1, VLS0AMD0 ビットを“0x02”, あるいは“0x03”に設定しスーパバイザモードに設定します。
4. VLS0MOD レジスタの VLS0SEL1, VLS0SEL0 ビットでリセット有効を選択します。
5. VLS0EN ビットに“1”を書き込み, VLS0 動作を許可状態にします。
6. VLS0 コンパレータの比較結果が安定するのを待ちます(約 300μs)。
7. V_{DD} が判定電圧 (V_{VLSF}) 未満になります。
8. VLS0 コンパレータの比較結果が安定した後, サンプリングクロックの 3 サイクル後に VLS0RF ビットが“1”にセットされます。
9. VLS0 コンパレータの比較結果が判定電圧 (V_{VLSF}) 未満の状態がサンプリングクロックの 3 サイクル以上続くと, VLS0F ビットが“1”にセットされ, VLS0 リセットが発生します。
10. VLS0 コンパレータの比較結果が判定電圧 (V_{VLSR}) 以上になると, VLS0F ビットが“0”にクリアされ, VLS0 リセットが解除されます。
11. CPU は低速クロック 512 サイクル後に動作します。サンプリングクロックが供給されるまで VLS は動作しません。
12. VLS0EN ビットに“0”を書き込み, VLS0 動作を禁止にします。

【注意】

- VLS0 の安定時間中は STOP/STOP-D モードに移行できません。スーパバイザモード動作許可後に STOP/STOP-D モードに移行する場合は、VLS0RF ビットが“1”になっていることを確認してから STOP/STOP-D モードに移行してください。
- VLS0 の判定電圧の初期値は 4V です。V_{DD} が 4V 以下でかつスーパバイザモード、かつリセット出力の場合、リセット状態となり動作しません。そのため、必ず判定電圧を設定してから VLS0 を動作許可してください。
- VLS0 のリセット機能で、リセット IC のような使い方をする場合、電源起動後の低速クロックの状態、システムに適した判定電圧を設定し、VLS0 を起動してください。

22.3.1.2 割込み出力

図 22-5 にサンプリング無し、VLS0 割込み出力を設定した場合の動作タイムチャート例を示します。

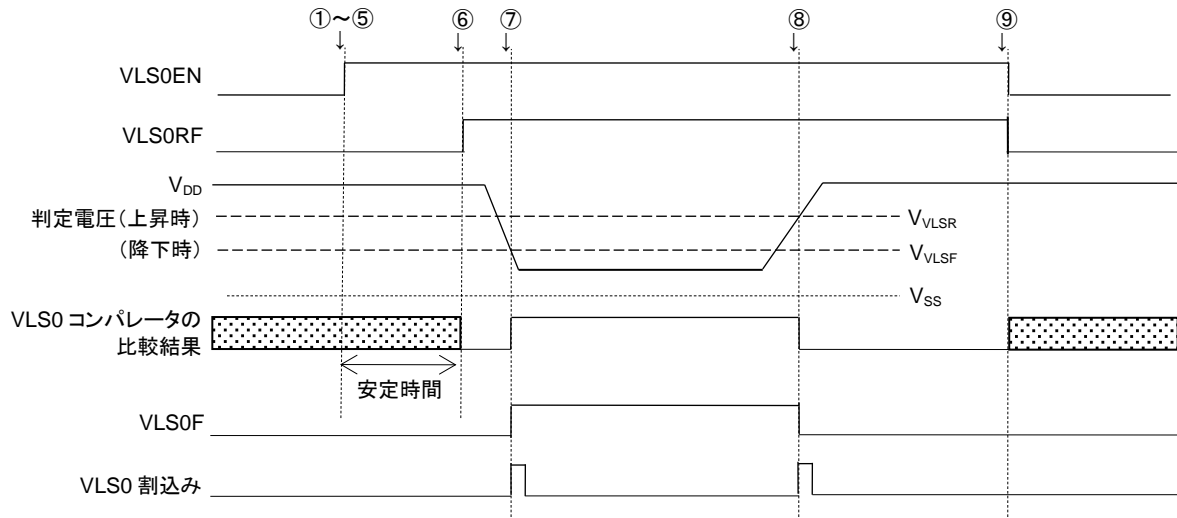


図 22-5 サンプリング無し、VLS0 割込み出力を設定した場合の動作タイムチャート

図 22-5 の動作を以下に示します。

1. VLS0LV レジスタの VLS0LV3～VLS0LV0 ビットで VLS0 の判定電圧を選択します。
2. VLS0SMP レジスタの VLS0SM1, VLS0SM0 ビットでサンプリング無しを選択します。
3. VLS0MOD レジスタの VLS0AMD1, VLS0AMD0 ビットを“0x02”, あるいは“0x03”に設定しスーパバイザモードに設定します。
4. VLS0MOD レジスタの VLS0SEL1, VLS0SEL0 ビットで割込み有効を選択します。
5. VLS0EN ビットに“1”を書き込み、VLS0 動作を許可状態にします。
6. VLS0 のコンパレータの比較結果が安定した時点で VLS0RF ビットが“1”にセットされます。
7. V_{DD} が判定電圧 (V_{VLSF}) 未満になると、VLS0F ビットが“1”にセットされ、VLS0 割込みが発生します。
8. V_{DD} が判定電圧 (V_{VLSR}) 以上になると、VLS0F ビットが“0”にクリアされ、VLS0 割込みが発生します。
9. VLS0EN ビットに“0”を書き込み、VLS0 動作を禁止します。

図 22-6 にサンプリング有り, VLS0 割込み出力を設定した場合の動作タイムチャート例を示します。

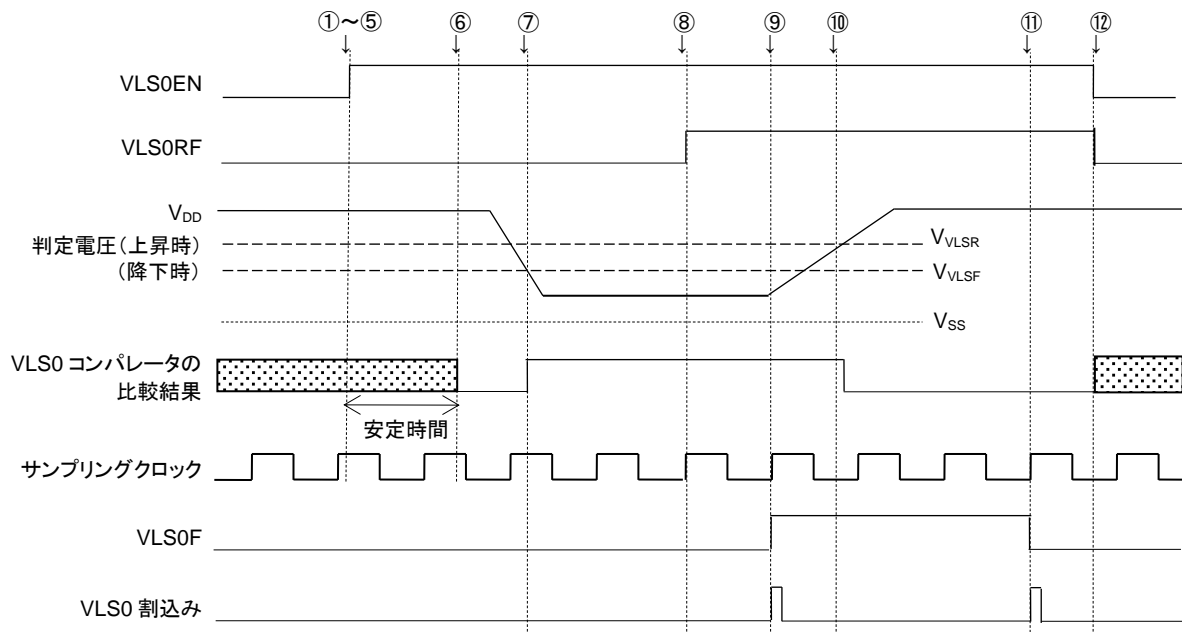


図 22-6 サンプリング有り, VLS0 割込み出力を設定した場合の動作タイムチャート

図 22-6 の動作を以下に示します。

1. VLS0LV レジスタの VLS0LV3～VLS0LV0 ビットで VLS0 の判定電圧を選択します。
2. VLS0SMP レジスタの VLS0SM1, VLS0SM0 ビットでサンプリングの有り無し, サンプリングクロックを選択します。サンプリング有りを選択した場合, VLS0DIV2～VLS0DIV0 でサンプリングするクロックの分周比を選択します。
3. VLS0MOD レジスタの VLS0AMD1, VLS0AMD0 ビットを“0x02”, あるいは“0x03”に設定しスーパバイザモードに設定します。
4. VLS0MOD レジスタの VLS0SEL1, VLS0SEL0 ビットで割込み有効を選択します。
5. VLS0EN ビットに“1”を書き込み, VLS0 動作を許可状態にします。
6. VLS0 コンパレータの比較結果が安定するのを待ちます (約 300μs)。
7. V_{DD} が判定電圧 (V_{VLSF}) 未満になります。
8. VLS0 コンパレータの比較結果が安定した後, サンプリングクロックの 3 サイクル後に VLS0RF ビットが“1”にセットされます。
9. VLS0 コンパレータの比較結果が判定電圧 (V_{VLSF}) 未満の状態がサンプリングクロックの 3 サイクル以上続くと, VLS0F ビットが“1”にセットされ, VLS0 割込みが発生します。
10. VLS0 コンパレータの比較結果が判定電圧 (V_{VLSR}) 以上になります。
11. VLS0 コンパレータの比較結果が判定電圧 (V_{VLSR}) 以上の状態がサンプリングクロックの 3 サイクル以上続くと, VLS0F ビットが“0”にクリアされ, VLS0 割込みが発生します。
12. VLS0EN ビットに“0”を書き込み, VLS0 動作を禁止にします。

【注意】

- VLS0 の安定時間中は STOP/STOP-D モードに移行できません。スーパバイザモード動作許可後に STOP/STOP-D モードに移行する場合は, VLS0RF ビットが“1”になっていることを確認してから STOP/STOP-D モードに移行してください。
- 低電圧状態 (VLS0F ビット=“1”) で VLS0 を停止 (VLS0EN ビット=“0”) した場合, VLS0 割込みが発生します。

22.3.2 シングルモード

シングルモードは、ソフトウェアが VLS0 割込みを待つて判定するモードです。間欠的に V_{DD} をチェックする場合に最適です。

図 22-7 に VLS をシングルモードで起動する場合のフローチャートを示します。

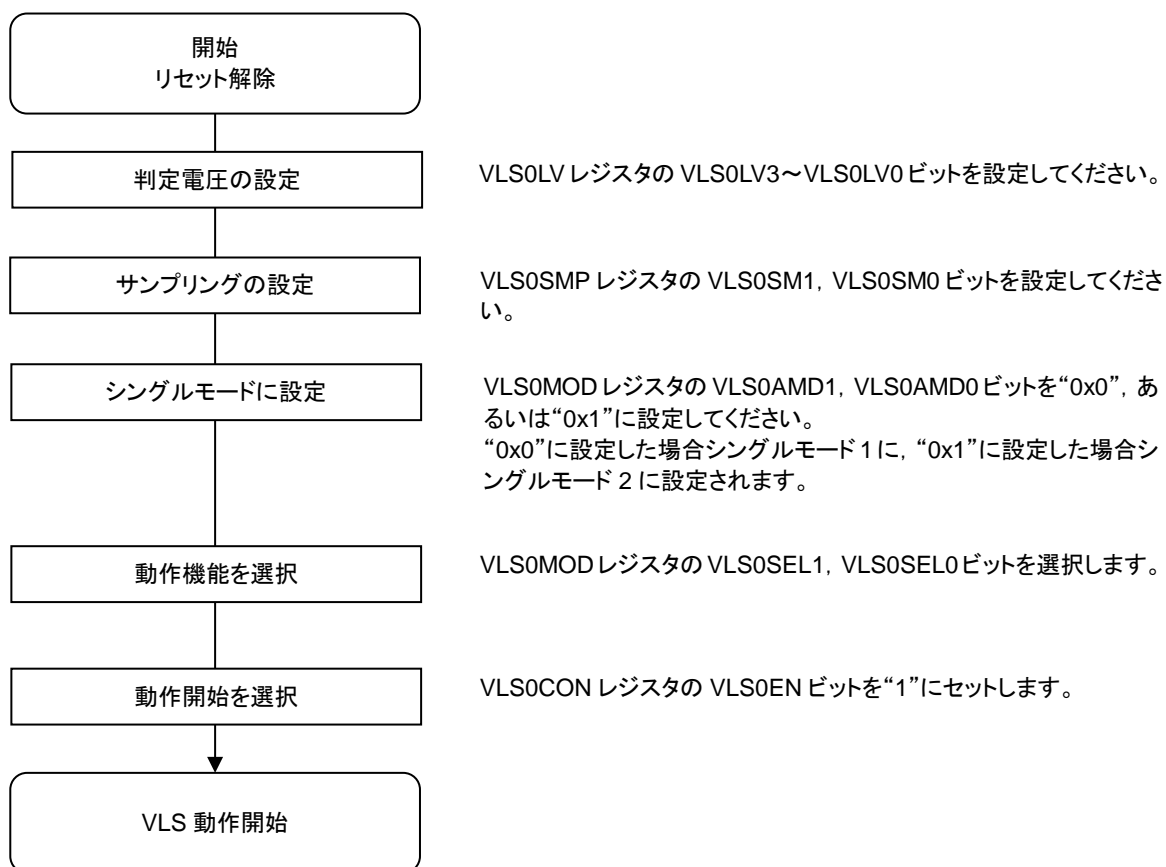


図 22-7 VLS をシングルモードで起動する場合のフローチャート

22.3.2.1 シングルモード 1

シングルモード 1 の割込みは判定完了を示し、判定完了後、必ず割込み発生させます。

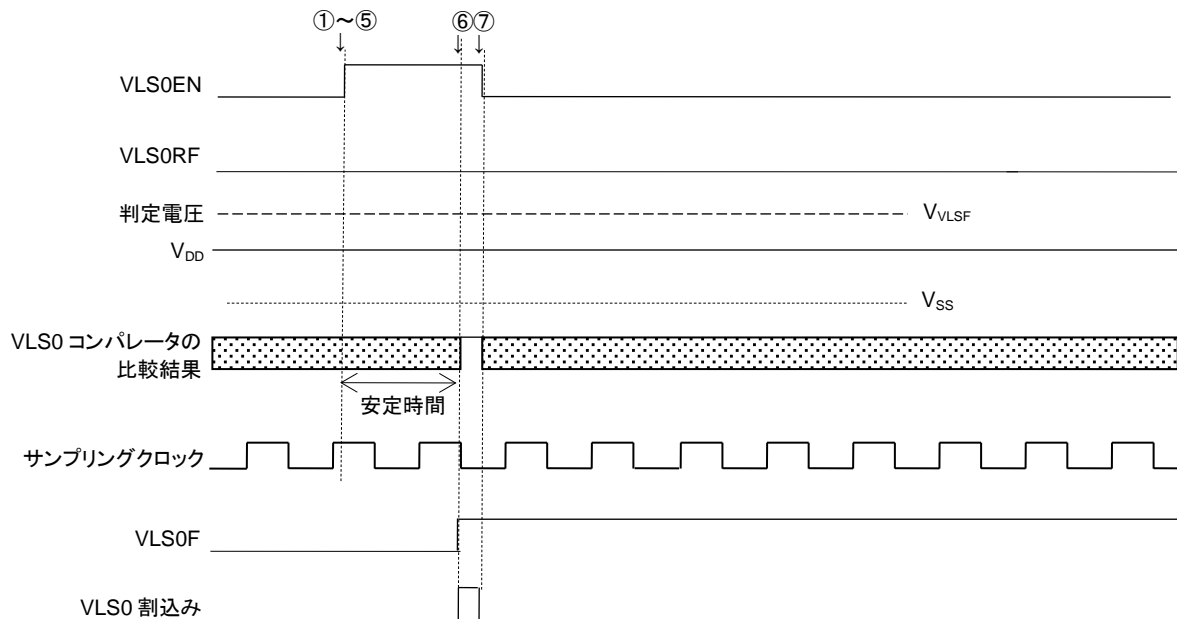


図 22-8 にサンプリング無しの場合のシングルモード 1 の動作タイムチャート例を示します。

図 22-8 サンプルング無しの場合の動作タイムチャート(シングルモード 1)

図 22-8 の動作を以下に示します。

1. VLS0LV レジスタの VLS0LV3～VLS0LV0 ビットで VLS0 の判定電圧を選択します。
2. VLS0SMP レジスタの VLS0SM1, VLS0SM0 ビットでサンプリング無しを選択します。
3. VLS0MOD レジスタの VLS0AMD1, VLS0AMD0 ビットを“0x0”に設定しシングルモード 1 に設定します。
4. VLS0MOD レジスタの VLS0SEL1, VLS0SEL0 ビットで割込み有効を選択します。
5. VLS0EN ビットに“1”を書き込み、VLS0 動作を許可します。
6. VLS0 コンパレータの比較結果が安定した時点(*1)で、 V_{DD} が判定電圧 (V_{VLSF}) 未満であった場合、VLS0F ビットが“1”にセットされ、VLS0 割込み(判定完了)が発生します。VLS0 割込み(判定完了)は、VDD の判定結果に関係なく発生します。
7. 割込み発生後、VLS0EN ビットは“0”にクリアされ、VLS0 動作は禁止されます。
8. VLS0F ビットを読み出して、判定結果を確認します。

*1: 安定時間: 約 300 μ s (サンプリング有効時は約 300 μ s + サンプリングクロックサイクル×3)

図 22-9 にサンプリング有りの場合のシングルモード 1 の動作タイムチャート例を示します。

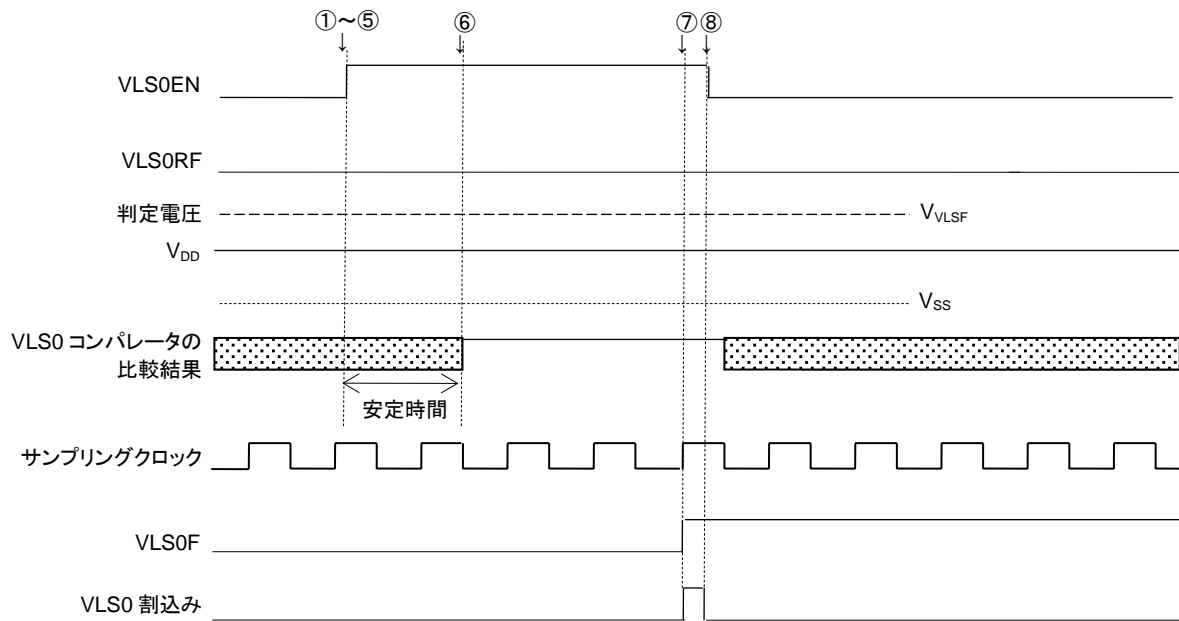


図 22-9 サンプリング有りの場合の動作タイムチャート(シングルモード 1)

図 22-9 の動作を以下に示します。

1. VLS0LV レジスタの VLS0LV3～VLS0LV0 ビットで VLS0 の判定電圧を選択します。
2. VLS0SMP レジスタの VLS0SM1, VLS0SM0 ビットでサンプリング有り, サンプルングクロックを選択します。VLS0DIV2～VLS0DIV0 でサンプリングするクロックの分周比を選択します。
3. VLS0MOD レジスタの VLS0AMD1, VLS0AMD0 ビットを“0x00”に設定しシングルモード 1 に設定します。
4. VLS0MOD レジスタの VLS0SEL1, VLS0SEL0 ビットで割込み有効を選択します。
5. VLS0EN ビットに“1”を書き込み, VLS0 動作を許可します。
6. VLS0 コンパレータの比較結果が安定するのを待ちます (約 300μs)。
7. サンプルングクロックの 3 サイクル経過後, V_{DD} が判定電圧 (V_{VLSF}) 未満であった場合, VLS0F ビットが“1”にセットされ, VLS0 割込み (判定完了) が発生します。VLS0 割込み (判定完了) は, V_{DD} の判定結果に関係なく発生します。
8. 割込み発生後, VLS0EN ビットは“0”にクリアされ, VLS0 動作は禁止されます。
9. VLS0F ビットを読み出して, 判定結果を確認します。

【注意】

- シングルモード実行中は STOP/STOP-D モードに移行できません。シングルモード動作停止後 (VLS0EN ビット=“0”) に STOP/STOP-D モードに移行してください。

22.3.2.2 シングルモード 2

シングルモード 2 の割込みは低電圧状態を示し、 V_{DD} が判定電圧より低いときのみ割込み発生させます。

図 22-10 にサンプリング無しの場合のシングルモード 2 の動作タイムチャート例を示します。

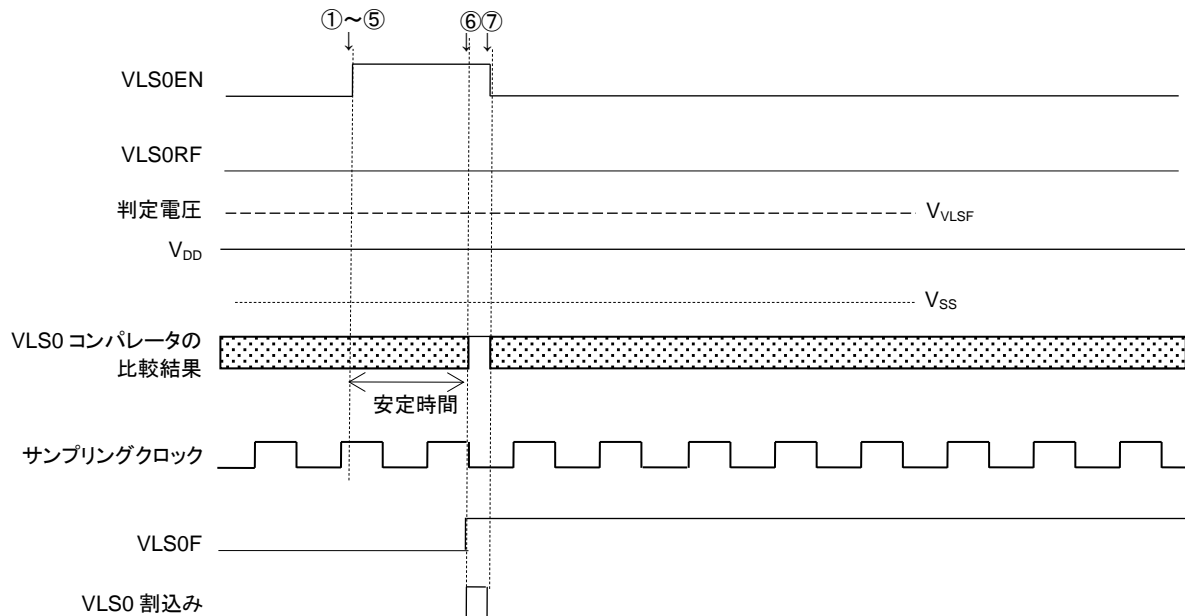


図 22-10 サンプリング無しの場合の動作タイムチャート(シングルモード 2)

図 22-10 の動作を以下に示します。

1. VLS0LV レジスタの VLS0LV3～VLS0LV0 ビットで VLS0 の判定電圧を選択します。
2. VLS0SMP レジスタの VLS0SM1, VLS0SM0 ビットでサンプリング無しを選択します。
3. VLS0MOD レジスタの VLS0AMD1, VLS0AMD0 ビットを“0x1”に設定しシングルモード 2 に設定します。
4. VLS0MOD レジスタの VLS0SEL1, VLS0SEL0 ビットで割込み有効を選択します。
5. VLS0EN ビットに“1”を書き込み、VLS0 を許可状態にします。
6. VLS0 のコンパレータの比較結果が安定した時点で、設定した判定電圧 (V_{VLSF}) よりも V_{DD} が低かった場合、電圧レベル監視フラグ (VLS0F) は“1”にセットされ、VLS0 割込み (低電圧状態) が発生します。設定した判定電圧 (V_{VLSF}) よりも V_{DD} が高かった場合、VLS0F ビットは“0”にクリアされ、VLS0 割込み (低電圧状態) は発生しません。
7. 割込みが発生する／しないにかかわらず、自動で VLS0EN ビットは“0”になり、VLS0 は動作禁止状態に戻ります。

図 22-11 にサンプリング有りの場合のシングルモード 2 の動作タイムチャート例を示します。

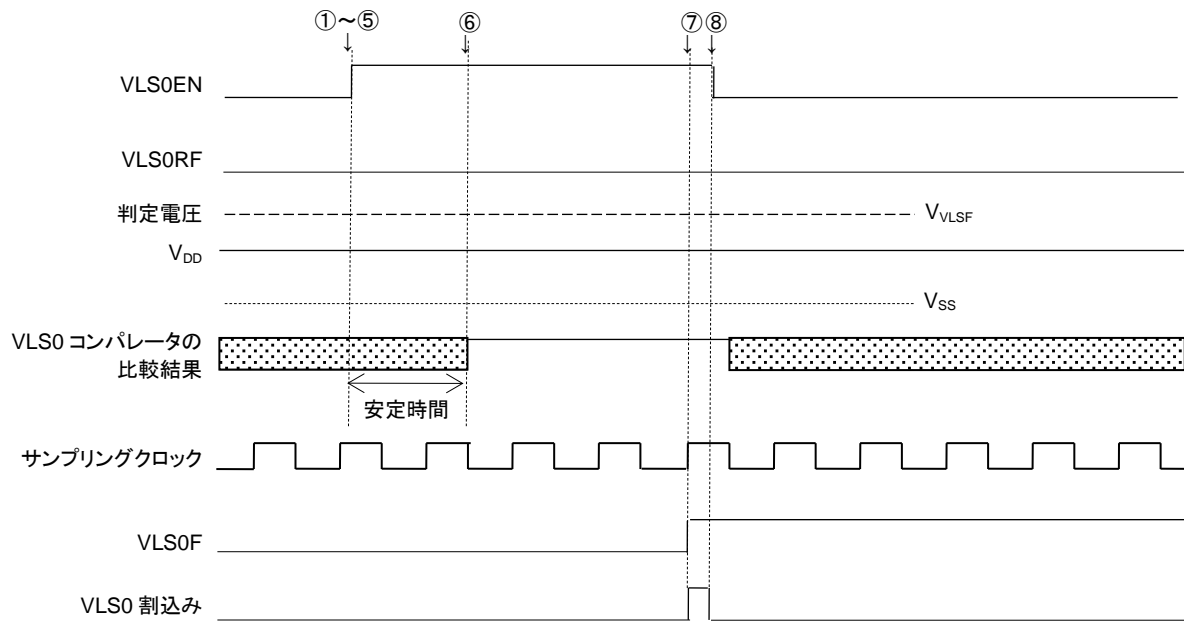


図 22-11 サンプリング有りの場合の動作タイムチャート(シングルモード 2)

図 22-11 の動作を以下に示します。

1. VLS0LV レジスタの VLS0LV3～VLS0LV0 ビットで VLS0 の判定電圧を選択します。
2. VLS0SMP レジスタの VLS0SM1, VLS0SM0 ビットでサンプリング有り, サンプリングクロックを選択します。VLS0DIV2～VLS0DIV0 でサンプリングするクロックの分周比を選択します。
3. VLS0MOD レジスタの VLS0AMD1, VLS0AMD0 ビットを“0x1”に設定しシングルモード 2 に設定します。
4. VLS0MOD レジスタの VLS0SEL1, VLS0SEL0 ビットで割込み有効を選択します。
5. VLS0EN ビットに“1”を書き込み, VLS0 動作を許可します。
6. VLS0 コンパレータの比較結果が安定するのを待ちます(約 300μs)。
7. サンプリングクロックの 3 サイクル経過後, V_{DD} が判定電圧 (V_{VLSF}) 未満であった場合, VLS0F ビットが“1”にセットされ, VLS0 割込み(低電圧状態)が発生します。 V_{DD} が判定電圧 (V_{VLSF}) 以上であった場合, VLS0F ビットは“0”にクリアされ, VLS0 割込み(低電圧状態)は発生しません。
8. 割込みが発生する／しないにかかわらず, 自動で VLS0EN ビットは“0”になり, VLS0 は動作禁止状態に戻ります。

【注意】

- シングルモード実行中は STOP/STOP-D モードに移行できません。シングルモード動作停止後(VLS0EN ビット=“0”)に STOP/STOP-D モードに移行してください。
- 設定した判定電圧(VLS0)よりも V_{DD} が高い場合, VLS0 割込み(低電圧状態)は発生しません。

第 23 章 逐次比較型 A/D コンバータ

23. 逐次比較型 A/D コンバータ

23.1 概要

ML62Q1500C/1700C グループは、アナログ入力信号をデジタル値に変換する逐次比較型 A/D コンバータ (SA-ADC : Successive Approximation type A-D Converter) を内蔵しています。
表 23-1 に各製品のアナログ入力チャネルを示します。

表 23-1 A/D コンバータのアナログ入力チャネル

チャネル 番号 (n)	ML62Q1500C ML62Q1700C グループ		
	52 ピン 製品	64 ピン 製品	80 ピン 製品
0	●	●	●
1	●	●	●
2	●	●	●
3	●	●	●
4	●	●	●
5	●	●	●
6	●	●	●
7	●	●	●
8	●	●	●
9	●	●	●
10	●	●	●
11	●	●	●

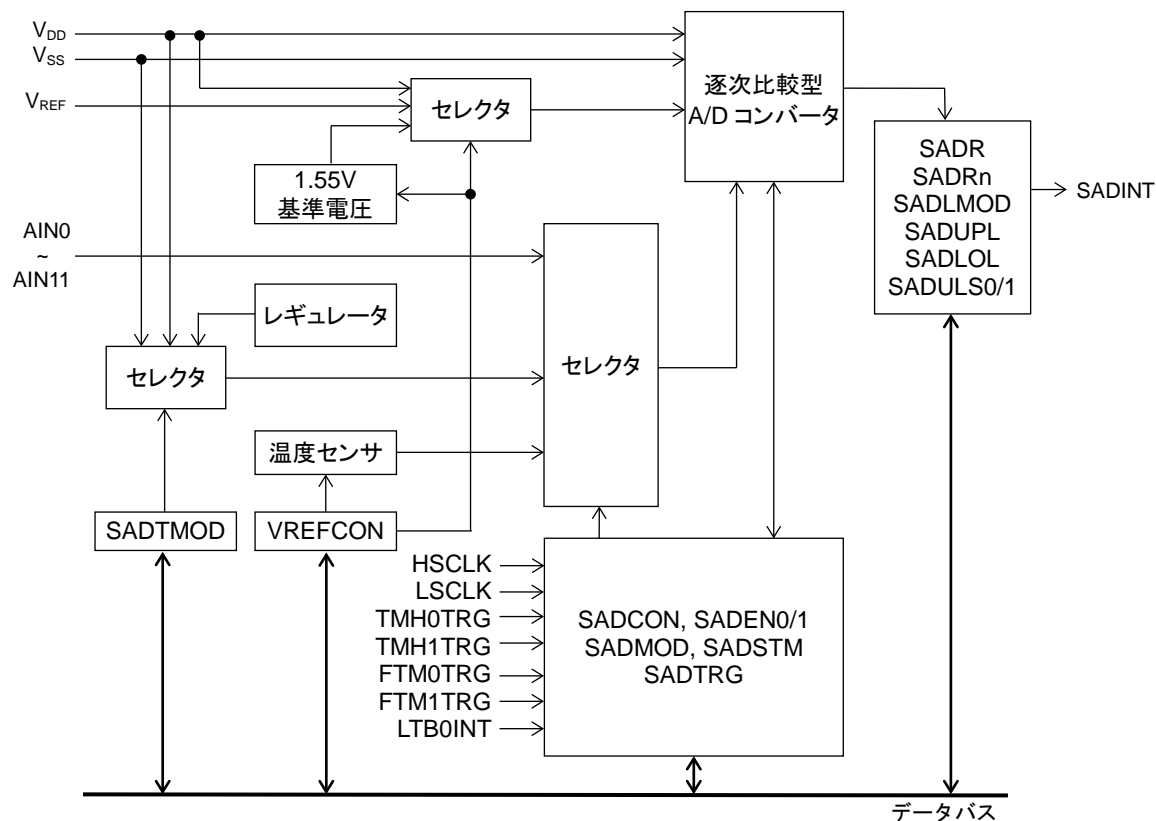
● : 搭載

23.1.1 特長

- 分解能 : 10 ビット
- 変換時間 : 最短 2.25 μ s /1 チャネル(変換クロック 8MHz 時)
- 入力チャネル数 : 最大 12 チャネル
- 基準電圧選択可能
(V_{DD} 端子入力電圧／内蔵リファレンス電圧(約 1.55V)／外部リファレンス電圧(V_{REF} 端子))
- サンプル時間選択可能
- 選択したチャネルを連続変換する機能
- 連続変換後と次の連続変換開始との間隔を設定可能
- 変換結果のレジスタは各チャネルごとに搭載
- 変換結果の上限, 下限判定による割込み要求が可能
- 低速 RC 発振周波数補正用の温度センサ内蔵
- A/D コンバータのセルフテスト機能(フルスケール, ゼロスケール, 内部基準電圧の A/D 変換機能)
- 変換トリガとして以下信号を選択可能
 - 16 ビットタイマ 0 トリガ (TMH0TRG)
 - 16 ビットタイマ 1 トリガ (TMH1TRG)
 - ファンクショナルタイマ 0 トリガ (FTM0TRG)
 - ファンクショナルタイマ 1 トリガ (FTM1TRG)
 - 低速タイムベースカウンタ 0 割込み (LTB0INT)

23.1.2 構成

図 23-1 に逐次比較型 A/D コンバータの構成を示します。



SADC	: SA-ADC コントロールレジスタ
SADEN0/1	: SA-ADC イネーブルレジスタ 0,1
SADMOD	: SA-ADC モードレジスタ
SADSTM	: SA-ADC 変換間隔レジスタ
SADR	: SA-ADC リザルトレジスタ
SADRn	: SA-ADC リザルトレジスタ n (n=0~11, 16)
SADLMOD	: SA-ADC 上限下限モードレジスタ
SADUPL	: SA-ADC 上限値設定レジスタ
SADLOL	: SA-ADC 下限値設定レジスタ
SADULSn	: SA-ADC 上限下限ステータスレジスタ n (n=0, 1)
VREFCON	: 基準電圧コントロールレジスタ
SADTRG	: SA-ADC トリガレジスタ
SADTMO	: SA-ADC テストモード
SADINT	: SA-ADC 割込み要求
	逐次比較型 A/D コンバータ DMA 要求
TMH0TRG, TMH1TRG	: 16 ビットタイマ 0,1 トリガ
FTM0TRG, FTM1TRG	: ファンクショナルタイマ 0,1 トリガ
LTB0INT	: 低速タイムベースカウンタ 0 割込み要求

図 23-1 逐次比較型 A/D コンバータの構成

23.1.3 端子一覧

逐次比較型 A/D コンバータのアナログ入力端子は、汎用ポートの兼用機能に割り付けられています。

端子名	入出力	説明
V _{DD}	—	逐次比較型 A/D コンバータ用プラス側電源
V _{SS}	—	逐次比較型 A/D コンバータ用マイナス側電源
V _{REF}	—	逐次比較型 A/D コンバータ用リファレンス電源
AIN0	I	逐次比較型 A/D コンバータ チャンネル 0 のアナログ入力
AIN1	I	逐次比較型 A/D コンバータ チャンネル 1 のアナログ入力
AIN2	I	逐次比較型 A/D コンバータ チャンネル 2 のアナログ入力
AIN3	I	逐次比較型 A/D コンバータ チャンネル 3 のアナログ入力
AIN4	I	逐次比較型 A/D コンバータ チャンネル 4 のアナログ入力
AIN5	I	逐次比較型 A/D コンバータ チャンネル 5 のアナログ入力
AIN6	I	逐次比較型 A/D コンバータ チャンネル 6 のアナログ入力
AIN7	I	逐次比較型 A/D コンバータ チャンネル 7 のアナログ入力
AIN8	I	逐次比較型 A/D コンバータ チャンネル 8 のアナログ入力
AIN9	I	逐次比較型 A/D コンバータ チャンネル 9 のアナログ入力
AIN10	I	逐次比較型 A/D コンバータ チャンネル 10 のアナログ入力
AIN11	I	逐次比較型 A/D コンバータ チャンネル 11 のアナログ入力

A/D コンバータで使用する汎用ポートおよび、レジスタ設定を表 23-2 に示します。

表 23-2 A/D コンバータ機能使用ポートおよびレジスタ設定

チャンネル 番号	端子名	兼用ポート		設定 レジスタ	設定値	ML62Q1500C ML62Q1700C グループ		
						52ピン 製品	64ピン 製品	80ピン 製品
0	AIN0	P17	8 次機能	P1MOD7	0111_0000	●	●	●
1	AIN1	P20	8 次機能	P2MOD0	0111_0000	●	●	●
2	AIN2	P21	8 次機能	P2MOD1	0111_0000	●	●	●
3	AIN3	P22	8 次機能	P2MOD2	0111_0000	●	●	●
4	AIN4	P24	8 次機能	P2MOD4	0111_0000	●	●	●
5	AIN5	P25	8 次機能	P2MOD5	0111_0000	●	●	●
6	AIN6	P26	8 次機能	P2MOD6	0111_0000	●	●	●
7	AIN7	P27	8 次機能	P2MOD7	0111_0000	●	●	●
8	AIN8	P65	8 次機能	P6MOD5	0111_0000	●	●	●
9	AIN9	P66	8 次機能	P6MOD6	0111_0000	●	●	●
10	AIN10	P43	8 次機能	P4MOD3	0111_0000	●	●	●
11	AIN11	P03	8 次機能	P0MOD3	0111_0000	●	●	●

●: 搭載

【注意】

- 逐次比較型 A/D コンバータで使用する汎用ポートは、対応するポート n モードレジスタ 01/23/45/67 (n: ポート番号 0 ~ 9, A, B) の PnmIE ビットと PnmOE ビット (m: ビット番号 0 ~ 7) に“0”を書き込み、ハイインピーダンス (入力無効, 出力無効) に設定してください。それ以外の設定では、貫通電流が流れる可能性があります。
- A/D 変換中は他の端子をスイッチングさせないようにしたり、HALT モード中に A/D 変換をさせることでノイズの影響を低減できます。

23.2 レジスタ説明

23.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF800	SA-ADC リザルトレジスタ 0	SADR0L	SADR0	R	8/16	0x00
0xF801		SADR0H		R	8	0x00
0xF802	SA-ADC リザルトレジスタ 1	SADR1L	SADR1	R	8/16	0x00
0xF803		SADR1H		R	8	0x00
0xF804	SA-ADC リザルトレジスタ 2	SADR2L	SADR2	R	8/16	0x00
0xF805		SADR2H		R	8	0x00
0xF806	SA-ADC リザルトレジスタ 3	SADR3L	SADR3	R	8/16	0x00
0xF807		SADR3H		R	8	0x00
0xF808	SA-ADC リザルトレジスタ 4	SADR4L	SADR4	R	8/16	0x00
0xF809		SADR4H		R	8	0x00
0xF80A	SA-ADC リザルトレジスタ 5	SADR5L	SADR5	R	8/16	0x00
0xF80B		SADR5H		R	8	0x00
0xF80C	SA-ADC リザルトレジスタ 6	SADR6L	SADR6	R	8/16	0x00
0xF80D		SADR6H		R	8	0x00
0xF80E	SA-ADC リザルトレジスタ 7	SADR7L	SADR7	R	8/16	0x00
0xF80F		SADR7H		R	8	0x00
0xF810	SA-ADC リザルトレジスタ 8	SADR8L	SADR8	R	8/16	0x00
0xF811		SADR8H		R	8	0x00
0xF812	SA-ADC リザルトレジスタ 9	SADR9L	SADR9	R	8/16	0x00
0xF813		SADR9H		R	8	0x00
0xF814	SA-ADC リザルトレジスタ 10	SADR10L	SADR10	R	8/16	0x00
0xF815		SADR10H		R	8	0x00
0xF816	SA-ADC リザルトレジスタ 11	SADR11L	SADR11	R	8/16	0x00
0xF817		SADR11H		R	8	0x00
0xF818 ～ 0xF81F	予約レジスタ	—	—	—	—	—
0xF820	SA-ADC リザルトレジスタ 16	SADR16L	SADR16	R	8/16	0x00
0xF821		SADR16H		R	8	0x00
0xF822	SA-ADC リザルトレジスタ	SADRL	SADR	R	8/16	0x00
0xF823		SADRH		R	8	0x00
0xF824	SA-ADC 上限下限ステータスレジスタ 0	SADULS0L	SADULS0	R/W	8/16	0x00
0xF825		SADULS0H		R/W	8	0x00
0xF826	SA-ADC 上限下限ステータスレジスタ 1	SADULS1L	SADULS1	R/W	8/16	0x00
0xF827		SADULS1H		R/W	8	0x00
0xF828	SA-ADC モードレジスタ	SADMODL	SADMOD	R/W	8/16	0x00
0xF829		SADMODH		R/W	8	0x00
0xF82A	SA-ADC コントロールレジスタ	SADCONL	SADCON	R/W	8/16	0x00
0xF82B		SADCONH		R/W	8	0x00
0xF82C	SA-ADC イネーブルレジスタ 0	SADEN0L	SADEN0	R/W	8/16	0x00
0xF82D		SADEN0H		R/W	8	0x00
0xF82E	SA-ADC イネーブルレジスタ 1	SADEN1L	SADEN1	R/W	8/16	0x00
0xF82F		SADEN1H		R/W	8	0x00
0xF830	予約レジスタ	—	—	—	—	—
0xF831	予約レジスタ	—	—	—	—	—
0xF832	SA-ADC 変換間隔レジスタ	SADSTML	SADSTM	R/W	8/16	0x00
0xF833		SADSTMH		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF834	SA-ADC 上限下限モードレジスタ	SADLMODL	SADLMOD	R/W	8/16	0x00
0xF835		SADLMODH		R/W	8	0x00
0xF836	SA-ADC 上限値設定レジスタ	SADUPLL	SADUPL	R/W	8/16	0xC0
0xF837		SADUPLH		R/W	8	0xFF
0xF838	SA-ADC 下限値設定レジスタ	SADLOLL	SADLOL	R/W	8/16	0x00
0xF839		SADLOLH		R/W	8	0x00
0xF83A	基準電圧コントロールレジスタ	VREFCON	—	R/W	8	0x00
0xF83B	予約レジスタ	—	—	—	—	—
0xF83C	SA-ADC 割込みモードレジスタ	SADIMOD	—	R/W	8	0x00
0xF83D	予約レジスタ	—	—	—	—	—
0xF83E	SA-ADC トリガレジスタ	SADTRG	—	R/W	8	0x00
0xF83F	予約レジスタ	—	—	—	—	—
0xF0BA	SA-ADC テストモード	SADTMOD	—	R/W	8	0x00
0xF0BB	予約レジスタ	—	—	—	—	—

【注意】

非搭載のチャンネルのレジスタへの書き込みは無効です。読み出し時には常に 0x0000 が読み出されます。

23.2.2 SA-ADC リザルトレジスタ n (SADRn : n=0~11, 16)

本レジスタは、チャンネル 0~11, およびチャンネル 16(温度センサ)の A/D 変換結果を格納する読み出し専用の特殊機能レジスタ(SFR)です。

本レジスタは、チャンネルごとの A/D 変換結果を読み出すことができます。

レジスタシンボル名	対応チャンネル
SADR0	チャンネル 0(AIN0)の変換結果
SADR1	チャンネル 1(AIN1)の変換結果
SADR2	チャンネル 2(AIN2)の変換結果
SADR3	チャンネル 3(AIN3)の変換結果
SADR4	チャンネル 4(AIN4)の変換結果
SADR5	チャンネル 5(AIN5)の変換結果
SADR6	チャンネル 6(AIN6)の変換結果
SADR7	チャンネル 7(AIN7)の変換結果
SADR8	チャンネル 8(AIN8)の変換結果
SADR9	チャンネル 9(AIN9)の変換結果
SADR10	チャンネル 10(AIN10)の変換結果
SADR11	チャンネル 11(AIN11)の変換結果
SADR16	チャンネル 16(温度センサ)の変換結果

アドレス: 0xF800(SADR0L/SADR0), 0xF801(SADR0H),
 0xF802(SADR1L/SADR1), 0xF803(SADR1H),
 0xF804(SADR2L/SADR2), 0xF805(SADR2H),
 0xF806(SADR3L/SADR3), 0xF807(SADR3H),
 0xF808(SADR4L/SADR4), 0xF809(SADR4H),
 0xF80A(SADR5L/SADR5), 0xF80B(SADR5H),
 0xF80C(SADR6L/SADR6), 0xF80D(SADR6H),
 0xF80E(SADR7L/SADR7), 0xF80F(SADR7H),
 0xF810(SADR8L/SADR8), 0xF811(SADR8H),
 0xF812(SADR9L/SADR9), 0xF813(SADR9H),
 0xF814(SADR10L/SADR10), 0xF815(SADR10H),
 0xF816(SADR11L/SADR11), 0xF817(SADR11H),
 0xF820(SADR16L/SADR16), 0xF821(SADR16H),

アクセス: R

アクセスサイズ: 8ビット/16ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADRn															
バイト	SADRnH								SADRnL							
ビット	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

23.2.3 SA-ADC リザルトレジスタ（SADR）

本レジスタは、チャンネル 0～11, チャンネル 16(温度センサ), およびチャンネル 17(A/D コンバータテスト機能)の A/D 変換結果を格納する読み出し専用の特殊機能レジスタ(SFR)です。
各チャンネルの A/D 変換ごとに A/D 変換結果が SADR レジスタに上書きされます。DMA コントローラを用いて複数チャンネルの A/D 変換結果を RAM に転送する場合は SADR レジスタを使用してください。
また、チャンネル 17 の A/D コンバータテスト機能の A/D 変換結果は、SADR レジスタにのみ格納されます。

レジスタシンボル名	対応チャンネル
SADR	チャンネル 0～11, 16, 17 の変換結果

アドレス: 0xF822(SADRL/SADR), 0xF823(SADRH)
アクセス: R
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADR															
バイト	SADRH								SADRL							
ビット	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

23.2.4 SA-ADC 上限下限ステータスレジスタ 0 (SADULS0)

本レジスタは、各チャンネルの A/D 変換の上限、下限判定結果を示す特殊機能レジスタ(SFR)です。

アドレス: 0xF824 (SADULS0L/SADULS0), 0xF825 (SADULS0H)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADULS0															
バイト	SADULS0H								SADULS0L							
ビット	—	—	—	—	SAUL S11	SAUL S10	SAUL S09	SAUL S08	SAUL S07	SAUL S06	SAUL S05	SAUL S04	SAUL S03	SAUL S02	SAUL S01	SAUL S00
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビット名	説明
15～ 12	—	予約ビット
11～0	SAULS11～ SAULS00	チャンネル 0～11 の A/D 変換の上限、下限判定結果を示すビットです。 SALEN が“0”のとき、結果は更新されません。 判定条件に一致した場合、該当ビットが“1”になります。 該当ビットをクリアもしくは LSI をリセットするまで該当ビットは“1”を保持します。 A/D 変換の上限・下限判定機能による割込み要求は、SALEN=1 の状態で変換を許可したチャ ネルすべての変換が完了時に SADULS0 レジスタ、SADULS1 レジスタのいずれかのビットが “1”の場合に発生します。割込み及び上限・下限判定結果の更新タイミングは図 23-7 を参照し てください。 各ビットに“1”を書き込むと“0”にクリアされます。“0”を書き込んででもクリアされません。 SAULS00: チャンネル 0 (AIN0) の判定結果 SAULS01: チャンネル 1 (AIN1) の判定結果 SAULS02: チャンネル 2 (AIN2) の判定結果 SAULS03: チャンネル 3 (AIN3) の判定結果 SAULS04: チャンネル 4 (AIN4) の判定結果 SAULS05: チャンネル 5 (AIN5) の判定結果 SAULS06: チャンネル 6 (AIN6) の判定結果 SAULS07: チャンネル 7 (AIN7) の判定結果 SAULS08: チャンネル 8 (AIN8) の判定結果 SAULS09: チャンネル 9 (AIN9) の判定結果 SAULS10: チャンネル 10 (AIN10) の判定結果 SAULS11: チャンネル 11 (AIN11) の判定結果 0: 上限、下限判定条件 (SALMD1～0) に不一致 (初期値) 1: 上限、下限判定条件 (SALMD1～0) に一致

【注意】

- 本レジスタへの書き込みはビットアクセス命令を使用せずにワードもしくはバイト単位でおこなってください。
- A/D 変換の上限・下限判定機能を使用した場合 (SALEN=1)、SAULS11～SAULS00 の該当ビットをクリアもしくは LSI をリセットすることで割込みをクリアすることができます。
- 1 回のみ A/D 変換 (SALP=0) の場合、SARUN を“1”にする前に SAULS11～SAULS00 の該当ビットが“0”であることを確認してください。
- 連続 A/D 変換 (SALP=1) の場合、次の A/D 変換が終わる前に SAULS11～SAULS00 の該当ビットが“0”であることを確認してください。

23.2.5 SA-ADC 上限下限ステータスレジスタ 1 (SADULS1)

本レジスタは、チャンネル 16 の A/D 変換の上限、下限判定結果を示す特殊機能レジスタ(SFR)です。

アドレス: 0xF826 (SADULS1L/SADULS1), 0xF827 (SADULS1H)
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	SADULS1															
ビット	SADULS1H								SADULS1L							
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SAULS16
初期値	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～1	—	予約ビット
0	SAULS16	チャンネル 16 (温度センサ) の A/D 変換の上限、下限判定結果を示すビットです。 SALEN が“0”のとき、結果は更新されません。 判定条件に一致した場合、該当ビットが“1”になります。 該当ビットをクリアもしくは LSI をリセットするまで該当ビットは“1”を保持します。 A/D 変換の上限・下限判定機能による割り込み要求は、SALEN=1 の状態で変換を許可したチャンネルすべての変換が完了時に SADULS0 レジスタ、SADULS1 レジスタのいずれかのビットが“1”の場合に発生します。割り込み及び上限・下限判定結果の更新タイミングは図 23-7 を参照してください。 本ビットに“1”を書き込むと“0”にクリアされます。“1”書き込み後に判定結果がクリアされていること (SAULS16 が“0”であること) を確認してください。“0”を書き込んでもクリアされません。 0: 上限、下限判定条件 (SALMD1～0) に不一致 (初期値) 1: 上限、下限判定条件 (SALMD1～0) に一致

【注意】

- 本レジスタへの書き込みはビットアクセス命令を使用せずにワードもしくはバイト単位でおこなってください。
- A/D 変換の上限・下限判定機能を使用した場合 (SALEN=1)、SAULS16 ビットをクリアもしくは LSI をリセットすることで割り込みをクリアすることができます。
- 1 回のみ A/D 変換 (SALP=0) の場合、SARUN を“1”にする前に SAULS16 ビットが“0”であることを確認してください。
- 連続 A/D 変換 (SALP=1) の場合、次の A/D 変換が終わる前に SAULS16 ビットが“0”であることを確認してください。

23.2.6 SA-ADC モードレジスタ (SADMOD)

本レジスタは、逐次比較型 A/D コンバータの動作モードと動作クロック周期を設定する特殊機能レジスタ (SFR) です。

アドレス: 0xF828 (SADMODL/SADMOD), 0xF829 (SADMODH)
アクセス: R/W
アクセスサイズ: 8 ビット / 16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADMOD															
バイト	SADMODH								SADMODL							
ビット	rsvd	rsvd	rsvd	rsvd	rsvd	rsvd	rsvd	SAINI T	SASH T3	SASH T2	SASH T1	SASH T0	SACK 2	SACK 1	SACK 0	SALP
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～9	rsvd	予約ビットです。0 を書き込んでください。
8	SAINIT	サンプルホールド容量に充電された前回の A/D 変換の電荷を放電してから A/D 変換を開始するか、放電せずに A/D 変換を開始するかを選択するビットです。 0: 放電せずに A/D 変換を開始 (初期値) 1: 放電してから A/D 変換を開始
7～4	SASHT3～ SASHT0	サンプル時間を設定するビットです。 詳細は、「23.3.3 A/D 変換時間の設定」を参照してください。
3～1	SACK2～ SACK0	A/D 変換の動作クロック (SAD_CLK) の周波数を選択するビットです。 選択した SAD_CLK ごとの A/D 変換時間、およびサンプル時間は、「23.3.2 A/D 変換時間の設定」を参照してください。 000: 8MHz (初期値) 001: 4MHz 010: 2MHz 011: 1MHz 100: 0.5MHz 101: 設定禁止 110: 設定禁止 111: 32kHz
0	SALP	各チャネルの A/D 変換を 1 回のみとするか、連続とするかを選択するビットです。 連続 A/D 変換を選択した場合の変換間隔は、SADSTM レジスタで設定できます。 0: 1 回のみ A/D 変換 (初期値) 1: 連続 A/D 変換

【注意】

- SADMODH[7:1] は、“0” を書き込んでください。SADMODH[7:1] に“1” を書き込んだ場合の動作は保証されません。

23.2.7 SA-ADC コントロールレジスタ (SADCON)

本レジスタは、逐次比較型 A/D コンバータの動作を制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF82A(SADCONL/SADCON), 0xF82B(SADCONH)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADCON															
バイト	SADCONH								SADCONL							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	SATG EN	SARU N	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～2	—	予約ビット
1	SATGEN	トリガイベントによる A/D 変換開始を許可するビットです。 0: トリガ動作禁止(初期値) 1: トリガ動作許可
0	SARUN	A/D 変換を開始/停止するビットです。 本ビットに“1”を書き込むと A/D 変換を開始し, “0”を書き込むと強制停止します。 SADMODレジスタのSALPビットで一回のみ A/D 変換(SALP=“0”)を選択している場合, 選択された最も番号の大きなチャンネルの A/D 変換が終了すると SARUN は自動的に“0”にクリアされます。 SADMODレジスタのSALPビットで連続 A/D 変換(SALP=“1”)を選択している場合, ソフトウェアで SARUN ビットを“0”にクリアするまで A/D 変換を繰り返します。 0: A/D 変換停止(初期値) 1: A/D 変換開始

【注意】

- SADEN0 レジスタまたは SADEN1 レジスタで 1 つ以上のチャンネルを選択した状態で A/D 変換を開始してください。チャンネルを 1 つも選択しなかった場合は A/D 変換は実行されません。
- STOP/STOP-D モードに移行する際は, SARUN ビットが“0”になってから移行してください。SARUN ビットが“1”の時は STOP/STOP-D モードに移行できません。
- SACK2~0=0x7 に設定した場合, SARUN への書き込みから開始もしくは停止動作が実行されるまで低速クロック(LSCLK)の最大 3 クロックかかります。

23.2.8 SA-ADC イネーブルレジスタ 0 (SADEN0)

本レジスタは、A/D 変換するチャンネルを選択する特殊機能レジスタ(SFR)です。

アドレス: 0xF82C(SADEN0L/SADEN0), 0xF82D(SADEN0H)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADEN0															
バイト	SADEN0H								SADEN0L							
ビット	—	—	—	—	SACH11	SACH10	SACH09	SACH08	SACH07	SACH06	SACH05	SACH04	SACH03	SACH02	SACH01	SACH00
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～12	—	予約ビット
11～0	SACH11～SACH00	A/D 変換するチャンネル 0～11 を選択するビットです。 SACH00: チャンネル 0 の変換許可 SACH01: チャンネル 1 の変換許可 SACH02: チャンネル 2 の変換許可 SACH03: チャンネル 3 の変換許可 SACH04: チャンネル 4 の変換許可 SACH05: チャンネル 5 の変換許可 SACH06: チャンネル 6 の変換許可 SACH07: チャンネル 7 の変換許可 SACH08: チャンネル 8 の変換許可 SACH09: チャンネル 9 の変換許可 SACH10: チャンネル 10 の変換許可 SACH11: チャンネル 11 の変換許可 0: チャンネル n 変換禁止(初期値) 1: チャンネル n 変換許可

【注意】

- SACH17, SACH16, SACH11～SACH00 ビットの複数ビットに“1”を書き込んだ場合、チャンネル番号の小さい順から A/D 変換します。
- SACH17, SACH16, SACH11～SACH00 ビットのすべてのビットを“0”にした状態で A/D 変換を開始しないでください。この状態で A/D 変換を開始した場合、SADCON レジスタの SARUN ビットが“1”になりません。

23.2.9 SA-ADC イネーブルレジスタ 1 (SADEN1)

本レジスタは、A/D 変換するチャンネルを選択する特殊機能レジスタ(SFR)です。

アドレス: 0xF82E (SADEN1L/SADEN1), 0xF82F (SADEN1H)
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADEN1															
バイト	SADEN1H								SADEN1L							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	SACH 17	SACH 16	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～2	—	予約ビット
1, 0	SACH17, SACH16	A/D 変換するチャンネル n(n=16, 17)を選択するビットです。 SACH16: チャンネル 16(温度センサ)の変換許可 SACH17: チャンネル 17(A/D コンバータテスト機能)の変換許可 0: チャンネル n 変換禁止(初期値) 1: チャンネル n 変換許可

【注意】

- SACH17, SACH16, SACH11～SACH00 ビットの複数ビットに“1”を書き込んだ場合、チャンネル番号の小さい順から A/D 変換します。
- SACH17, SACH16, SACH11～SACH00 ビットのすべてのビットを“0”にした状態で A/D 変換を開始しないでください。この状態で A/D 変換を開始した場合、SADCON レジスタの SARUN ビットが“1”になりません。
- チャンネル 16(SACH16)を使用する場合は、VREFCON レジスタで内部基準電圧、温度センサの動作を許可し、基準電圧には内部基準電圧を選択してください。

23.2.10 SA-ADC 変換間隔レジスタ（SADSTM）

本レジスタは、連続 A/D 変換モードを選択している場合に、A/D 変換の変換間隔を設定する特殊機能レジスタ(SFR)です。
 変換間隔は次式で求められます。

$$\text{A/D 変換の変換間隔} = \text{HSCLK 周期} \times \text{SADSTM 設定値}$$

変換間隔は、例えばチャンネル 2 とチャンネル 5 を A/D 変換する場合、チャンネル 2 とチャンネル 5 が連続して A/D 変換された後、次にチャンネル 2 の A/D 変換が開始されるまでの時間です。
 次の A/D 変換は、本レジスタの設定値を、HSCLK でカウントしてから開始します。

アドレス: 0xF832(SADSTML/SADSTM), 0xF833(SADSTMH)
 アクセス: R/W
 アクセスサイズ: 8ビット／16ビット
 初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADSTM															
バイト	SADSTMH								SADSTML							
ビット	SADS TM15	SADS TM14	SADS TM13	SADS TM12	SADS TM11	SADS TM10	SADS TM9	SADS TM8	SADS TM7	SADS TM6	SADS TM5	SADS TM4	SADS TM3	SADS TM2	SADS TM1	SADS TM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

【注意】

- SADMODレジスタの SACK2～0 を“111”に設定した場合、変換間隔は本レジスタの値によらず最小値(0ns)となります。

23.2.11 SA-ADC 上限下限モードレジスタ (SADLMOD)

本レジスタは、A/D 変換の上限、下限判定機能のモードを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF834 (SADLMODL/SADLMOD), 0xF835 (SADLMODH)
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	SADLMOD															
ビット	SADLMODH								SADLMODL							
	—	—	—	—	—	—	SALM D1	SALM D0	—	—	—	—	—	—	—	SALE N
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 10	—	予約ビット
9, 8	SALMD1, SALMD0	A/D 変換の上限、下限の判定機能の条件を設定するビットです。 A/D 変換結果が判定条件に一致した場合に SA-ADC 上限下限ステータスレジスタ 0, 1 (SADULS0, SADULS1) の対応したチャンネルが“1”にセットされ、割込み要求が発生します。 00: SADLOL レジスタ値 ≤ A/D 変換値 ≤ SADUPL レジスタ値 (初期値) 01: A/D 変換値 > SADUPL レジスタ値 10: A/D 変換値 < SADLOL レジスタ値 11: A/D 変換値 > SADUPL レジスタ値, または A/D 変換値 < SADLOL
7～1	—	予約ビット
0	SALEN	A/D 変換の上限、下限判定機能の使用／未使用を選択するビットです。SALEN が“0”のときは SA-ADC 上限下限ステータスレジスタ 0, 1 (SADULS0, 1) は更新されません。 0: A/D 変換の上限、下限判定機能を使用しない (初期値) 1: A/D 変換の上限、下限判定機能を使用する

【注意】

- 上限、下限判定機能は、選択されたすべてのチャンネルの変換結果を判定して、割込みを発生させます。
- 上限、下限判定機能を使用して割込みが発生した場合は、SADULSn レジスタ(n=0, 1)を確認することで、どのチャンネルで設定した上限、下限の判定条件に一致したか判断できます。

23.2.12 SA-ADC 上限値設定レジスタ (SADUPL)

本レジスタは、A/D 変換の上限、下限判定機能の条件のうち、上限値を設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF836 (SADUPLL/SADUPL), 0xF836 (SADUPLH)

アクセス: R/W

アクセスサイズ: 8 ビット/16 ビット

初期値: 0xFFC0

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADUPL															
バイト	SADUPLH								SADUPLL							
ビット	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R
初期値	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0

23.2.13 SA-ADC 下限値設定レジスタ (SADLOL)

本レジスタは、A/D 変換の上限、下限判定機能の条件のうち、下限値を設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF838 (SADLOLL/SADLOL), 0xF838 (SADLOLH)

アクセス: R/W

アクセスサイズ: 8 ビット/16 ビット

初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SADLOL															
バイト	SADLOLH								SADLOLL							
ビット	d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	—	—	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

23.2.14 基準電圧コントロールレジスタ (VREFCON)

本レジスタは、基準電圧を選択し、温度センサの動作を制御する特殊機能レジスタ(SFR) です。

アドレス: 0xF83A (VREFCON)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								VREFCON							
ビット	—	—	—	—	—	—	—	—	—	—	VREF P1	VREF P0	—	—	—	VREF EN
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7, 6	—	予約ビット
5, 4	VREFP1, VREFP0	A/D 変換に使用する基準電圧を選択するビットです。 00: V_{DD} 端子から入力された電圧を使用する (初期値) 01: V_{REF} 端子から入力された電圧を使用する 10: 内部基準電圧 (約 1.55V) を使用する 11: 設定禁止 (V_{DD} 端子から入力された電圧)
3~1	—	予約ビット
0	VREFEN	内部基準電圧および温度センサの動作を許可するビットです。 内部基準電圧 (約 1.55V) を使用する場合、および温度センサ回路を使用する場合は、 VREFEN ビットに“1”を設定してください。 0: 内部基準電圧, 温度センサの動作禁止 (初期値) 1: 内部基準電圧, 温度センサの動作許可

【注意】

- VREFEN ビットを“1”に設定後、内部基準電圧が安定するまでに 200 μ s (Max.) の時間を要します。A/D 変換は、この安定時間が経過してから開始してください。
- 内部基準電圧 (約 1.55V) は汎用ポート (P23) から出力できます。汎用ポートから出力する場合は、VREFEN を“1”に設定し、P2MOD3 を 0x70 に設定してください。ただし、内部基準電圧を汎用ポートから出力した場合、外部の影響を受けて正常な A/D 変換ができない恐れがあります。
- V_{REF} 端子 (P23) から入力された電圧を基準電圧として使用する場合は、VREFP1 ビット=“0”, VREFP0 ビット=“1”に設定し、P2MOD3 レジスタを 0x00 に設定してください。
- VREFEN ビットで制御できる内部基準電圧は A/D コンバータで使用する基準電圧です。アナログコンパレータで使用する基準電圧の制御は「第 20 章 アナログコンパレータ」を参照してください。

23.2.15 SA-ADC 割込みモードレジスタ (SADIMOD)

本レジスタは、逐次比較型 A/D コンバータの割込みモードを選択する特殊機能レジスタ(SFR)です。

アドレス: 0xF83C(SADIMOD)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								SADIMOD							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SADIM D
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～1	—	予約ビット
0	SADIMD	A/D コンバータ割込み要求の発生タイミングを選択するビットです。 0: 選択チャネルの A/D 変換がすべて終了してから割込みを要求(初期値) 1: 各チャネルの A/D 変換終了ごとに割込みを要求

- 【注意】
- SADLMODレジスタのSALENビットを“1”に設定すると、上限、下限判定機能による割込みが有効になり、本レジスタのSADIMDビットの設定は無効になります。

23.2.16 SA-ADC トリガレジスタ (SADTRG)

本レジスタは、逐次比較型 A/D コンバータのトリガイイベントを制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF83E (SADTRG)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								SADTRG							
ビット	—	—	—	—	—	—	—	—	—	—	—	SASTS4	SASTS3	SASTS2	SASTS1	SASTS0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
7～5	—	予約ビット
4～0	SASTS4～SASTS0	SA-ADC のトリガイイベントのソースを選択するビットです。 00000: 16 ビットタイマ 0 トリガ (TMH0TRG) ((初期値) 00001: 16 ビットタイマ 1 トリガ (TMH1TRG) 00010: 設定禁止 00011: 設定禁止 00100: ファンクショナルタイマ 0 トリガ (FTM0TRG) 00101: ファンクショナルタイマ 1 トリガ (FTM1TRG) 00110: 設定禁止 00111: 設定禁止 01000: 低速タイムベースカウンタ 0 割込み (LTBC0INT) 01001～11111: 設定禁止

- 【注意】
- 16 ビットタイマ n トリガ (TMHnTRG, n=0,1) をトリガに選択する場合は、16 ビットタイマモード (TMHnMOD レジスタの THn8BM ビット=“0”) にしてください。

23.2.17 SA-ADC テストモード (SADTMOD)

本レジスタは、A/D コンバータテスト機能を制御する特殊機能レジスタ(SFR)です。
フルスケール、ゼロスケール、内部基準電圧(約 1.55V)の A/D 変換により、A/D コンバータが正常に動作しているかを
確認できます。A/D コンバータテスト機能の A/D 変換結果は、SADR レジスタにのみ格納されます。

アドレス: 0xF0BA(SADTMOD)
アクセス: R/W
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								SADTMOD							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	SADT M1	SADT M0	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～2	—	予約ビット
1～0	SADTM1, SADTM0	A/D コンバータテスト機能を設定するビットです。 00: A/D コンバータテスト機能を使用しない(初期値) 01: フルスケール入力を選択 10: ゼロスケール入力を選択 11: 内部基準電圧(約 1.55V)入力を選択

23.3 動作説明

23.3.1 逐次比較型 A/D コンバータの動作

図 23-2 にチャンネル 1, 0 を使用して 1 回のみ A/D 変換する場合の設定例を示します。

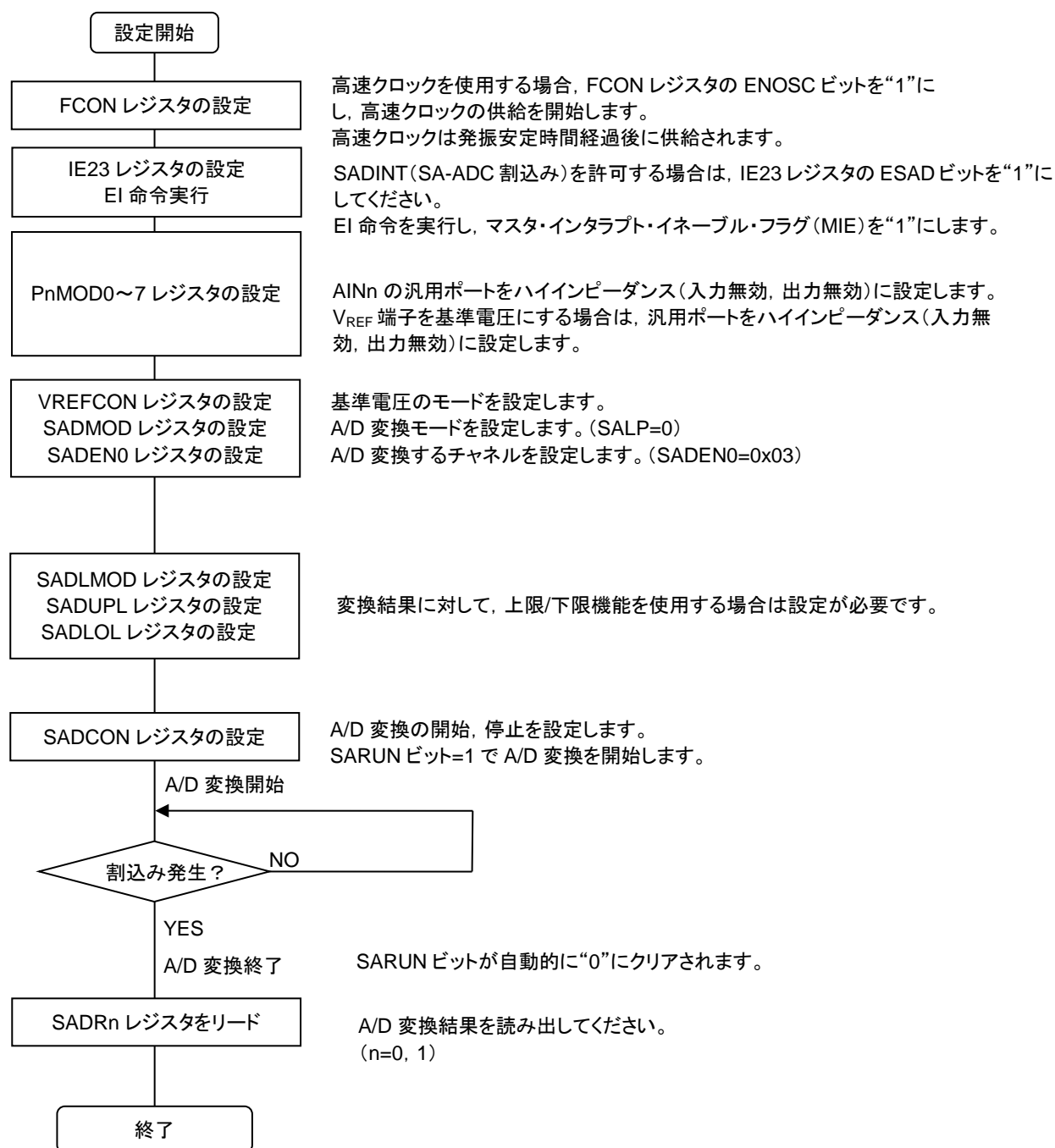


図 23-2 A/D 変換の設定例

図 23-3 にチャンネル 1, 0 を使用して HALT モードで 1 回のみ A/D 変換する場合の設定例を示します。

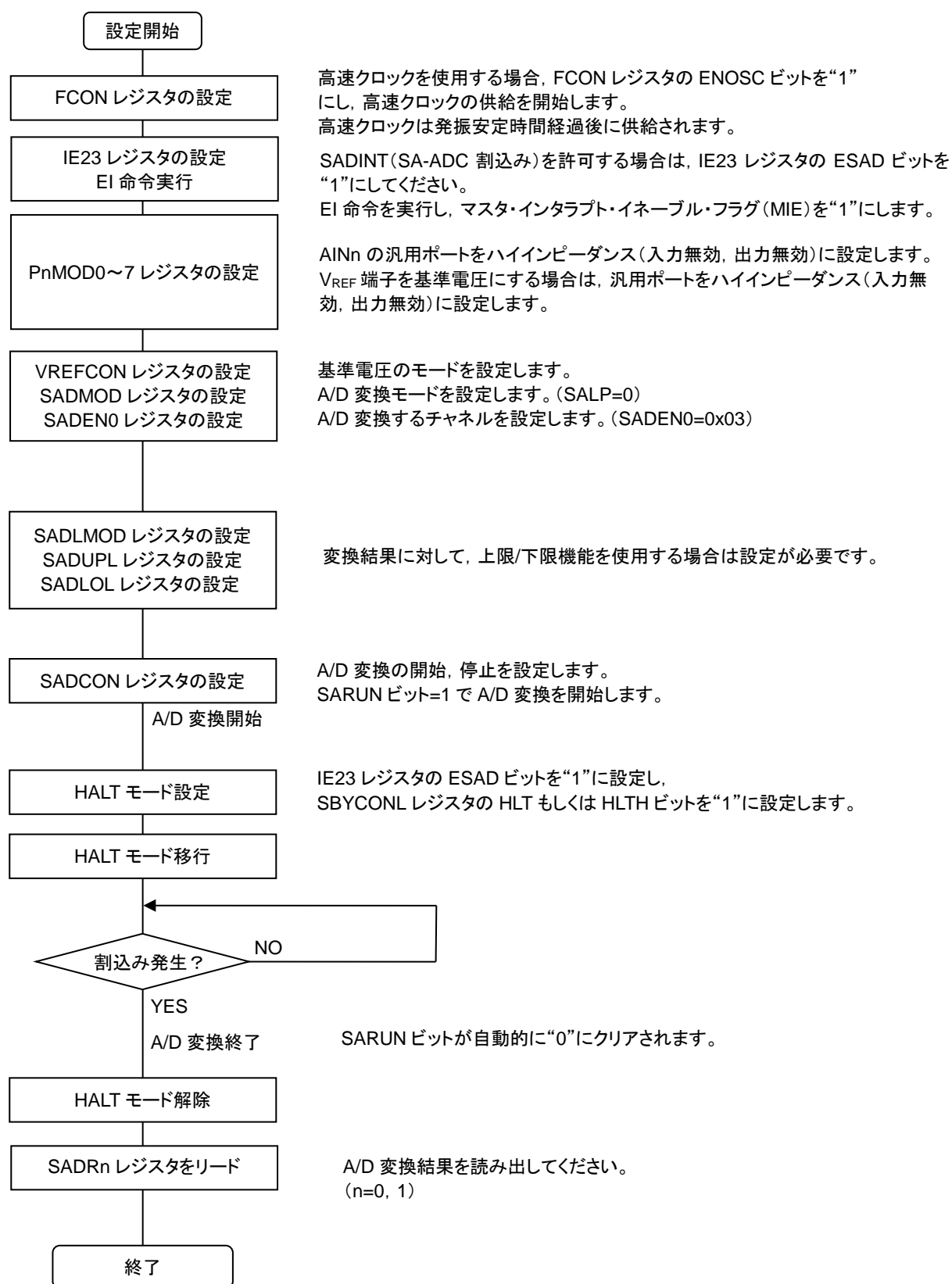


図 23-3 HALT 中に A/D 変換する場合の設定例

図 23-4 にチャンネル 1, 0 を使用してトリガイベントで 1 回のみ A/D 変換する場合の設定例を示します。

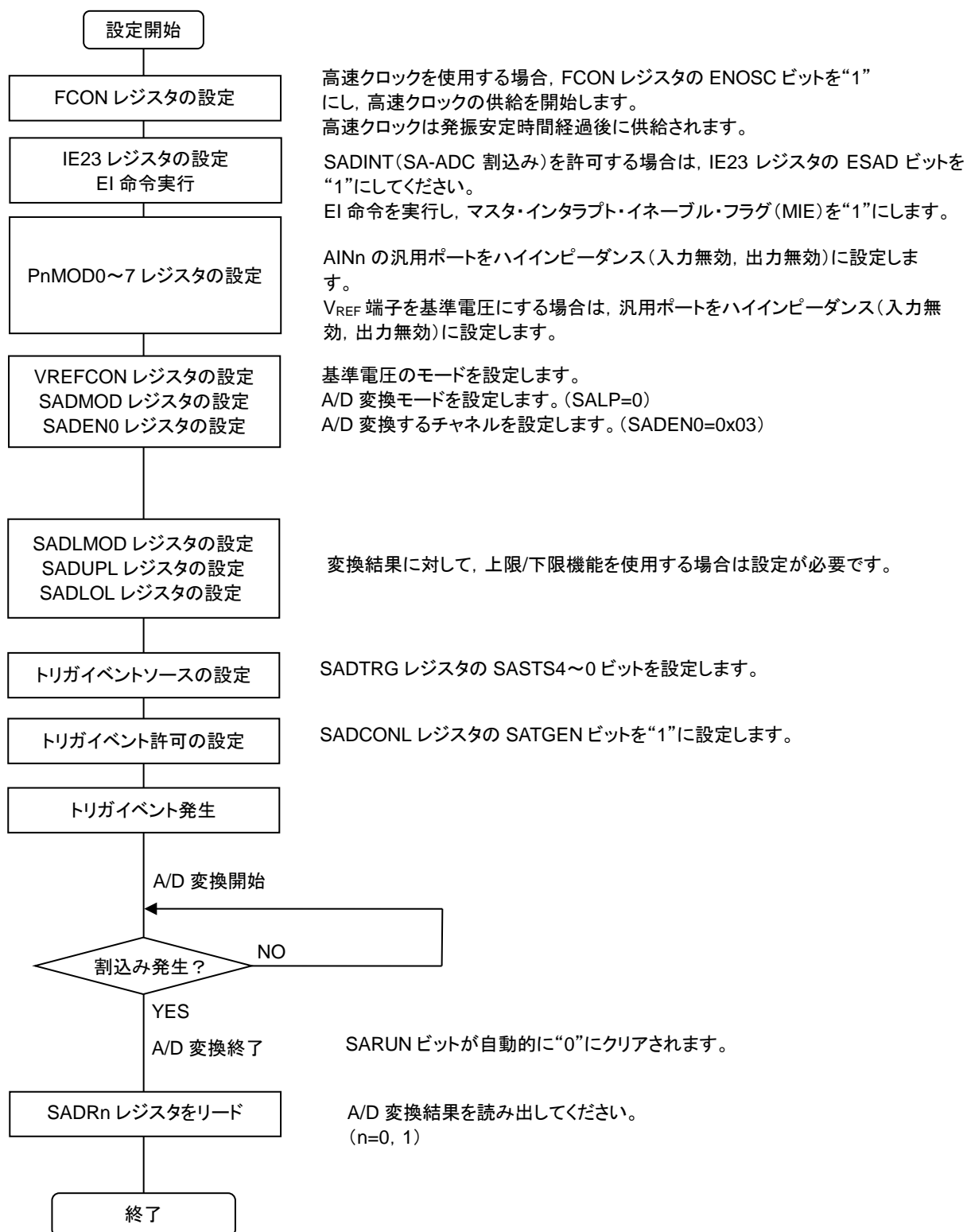
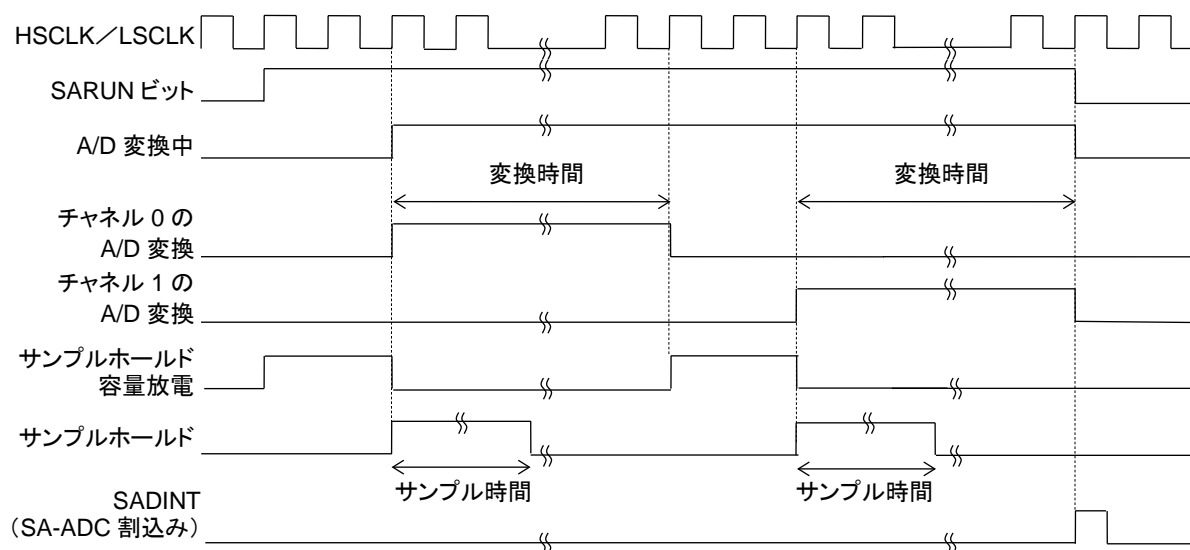


図 23-4 トリガイベントで A/D 変換する場合の設定例

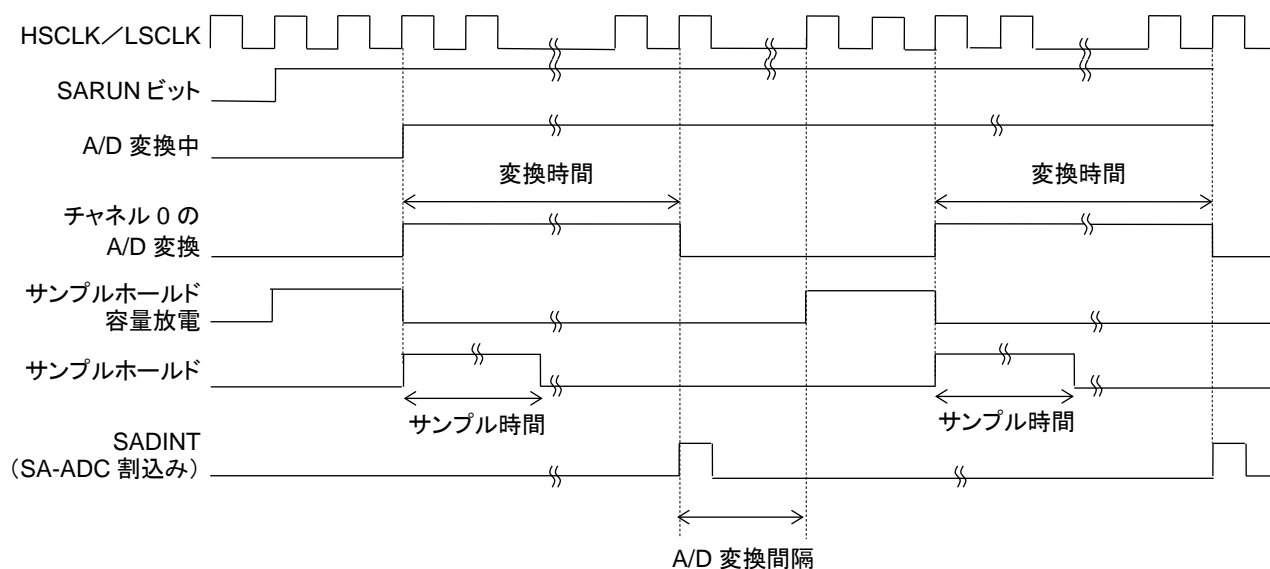
図 23-5 にチャンネル 1 と 0 を使用して 1 回のみ A/D 変換する場合の動作波形を示します。



放電の有無は、SAINIT ビットで選択可能。放電時間は SAD_CLK の 2 クロック分です。
サンプル時間・変換時間は「23.3.3 A/D 変換時間の設定」を参照してください。

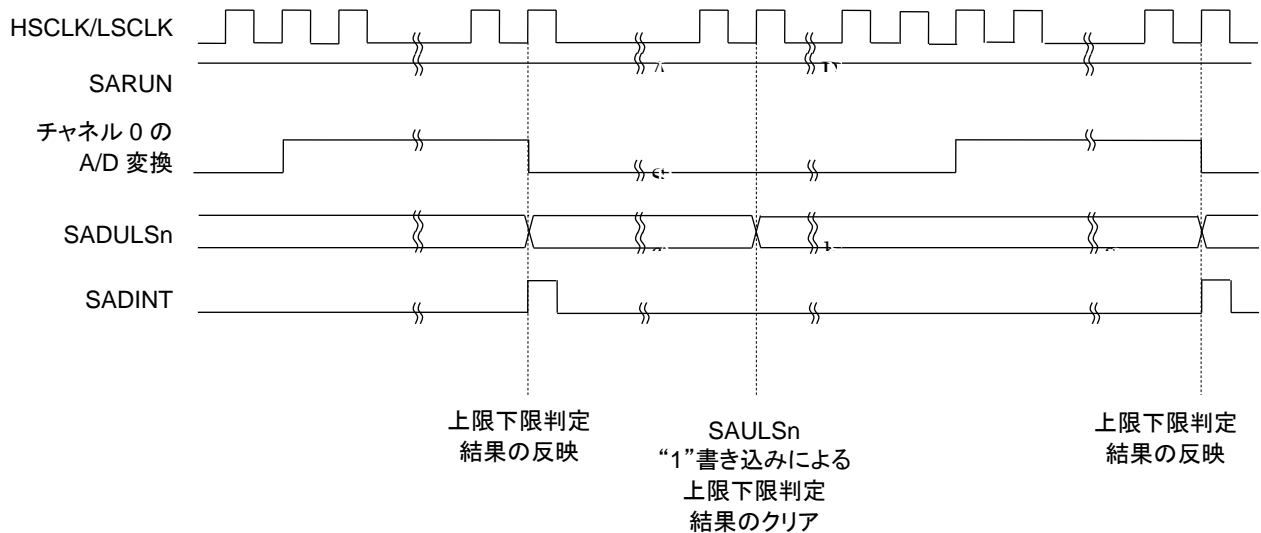
図 23-5 A/D 変換の動作波形(1 回変換時)

図 23-6 にチャンネル 0 を使用して連続 A/D 変換する場合の動作波形を示します。



放電の有無は、SAINIT ビットで選択可能。放電時間は SAD_CLK の 2 クロック分です。
サンプル時間・変換時間は「23.3.3 A/D 変換時間の設定」を参照してください。

図 23-6 A/D 変換の動作波形(連続変換時)



上限・下限判定条件 (SALMD1~0) に一致した場合の動作波形を表しています。
SAULSn ビットへの "1" 書き込みによる上限下限判定結果のクリアは、レジスタへの書き込みタイミングから最大で SAD_CLK の 1 クロック分かかります。

図 23-7 A/D 変換の上限・下限判定機能を使用した場合の SADULSn 動作波形

23.3.2 逐次比較型 A/D コンバータのテスト方法

逐次比較型 A/D コンバータが正常に動作しているかは、以下の手順で確認できます (n=0~15)。

- ① 内部基準電圧を動作許可し、A/D 変換の基準電圧を V_{DD} に設定する (VREFCON=0x01)
- ② AINn 端子の A/D 変換を実行する。(変換結果 1)
- ③ SADTMOD レジスタで AIN=フルスケールに設定 (SADTMOD=0x01) し A/D 変換を実行する。
- ④ AINn 端子の A/D 変換を実行する。(変換結果 2)
- ⑤ SADTMOD レジスタで AIN=ゼロスケールに設定 (SADTMOD=0x02) し A/D 変換を実行する。
- ⑥ AINn 端子の A/D 変換を実行する。(変換結果 3)
- ⑦ SADTMOD レジスタで AIN=内部基準電圧 (約 1.55V) に設定 (SADTMOD=0x03) し A/D 変換を実行する。
- ⑧ AINn 端子の A/D 変換を実行する。(変換結果 4)
- ⑨ 変換結果 1 = 変換結果 2 = 変換結果 3 = 変換結果 4 であることを確認する。
(②④⑥⑧は、同じ AINn 端子を測定してください。)
- ⑩ ③⑤⑦の変換結果がそれぞれ異なり、②④⑥⑧の変換結果とも異なることを確認する。

以上の手順で、逐次比較型 A/D コンバータの動作が正常であることを確認できます。

23.3.3 A/D 変換時間の設定

A/D 変換時間およびサンプル時間は、以下の設定により変換時間および設定可能な範囲が異なります。

- 基準電圧コントロールレジスタ (VREFCON) で設定された、基準電圧
- SA-ADC モードレジスタ (SADMOD) で設定された、A/D 変換の動作クロック (SAD_CLK)

SADMOD レジスタの設定状態と A/D 変換時間の対応を表 23-3～表 23-4 に、SADMOD レジスタの設定状態 (SASHT3～SASHT0 ビット, SACK2～SACK0 ビット) とサンプル時間の対応を表 23-5～表 23-6 に示します。各表と基準電圧との対応は、以下を参照してください。

表 23-3 基準電圧に V_{DD} または V_{REF} 端子を使用する場合の A/D 変換時間

SADMOD				変換 クロック数	変換時間 ^{*1}					
					SAD_CLK					
SASHT3～SASHT0					32kHz	0.5MHz	1MHz	2MHz	4MHz	8MHz
0	0	0	0	14	427μs	28μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	15		30μs	15μs			
0	0	1	0	16		32μs	16μs	8μs	4.25μs	2.25μs
0	0	1	1	17		34μs	17μs	8.5μs		
0	1	0	0	18		36μs	18μs	9μs	4.5μs	2.25μs
0	1	0	1	19		38μs	19μs	9.5μs	4.75μs	2.375μs
0	1	1	0	20		40μs	20μs	10μs	5μs	2.5μs
0	1	1	1	21		42μs	21μs	10.5μs	5.25μs	2.625μs
1	0	0	0	29	設定禁止	58μs	29μs	14.5μs	7.25μs	3.625μs
1	0	0	1	45		90μs	45μs	22.5μs	11.25μs	5.625μs
1	0	1	0	61		122μs	61μs	30.5μs	15.25μs	7.625μs
1	0	1	1	77		154μs	77μs	38.5μs	19.25μs	9.625μs
1	1	0	0	93		186μs	93μs	46.5μs	23.25μs	11.625μs
1	1	0	1	109		218μs	109μs	54.5μs	27.25μs	13.625μs
1	1	1	0	125		250μs	125μs	62.5μs	31.25μs	15.625μs
1	1	1	1	141		282μs	141μs	70.5μs	35.25μs	17.625μs

*1: 放電時間 (SAD_CLK の 2 クロック分) およびクロック周波数誤差を含みません。

表 23-4 基準電圧に内部基準電圧を使用する場合の A/D 変換時間

SADMOD				変換 クロック数	変換時間 ^{*1}					
					SAD_CLK					
SASHT3～SASHT0					32kHz	0.5MHz	1MHz	2MHz	4MHz	8MHz
0	0	0	0	14	427μs	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	15						
0	0	1	0	16						
0	0	1	1	17						
0	1	0	0	18						
0	1	0	1	19						
0	1	1	0	20						
0	1	1	1	21						
1	0	0	0	29	設定禁止	58μs	45μs	38.5μs	35.25μs	
1	0	0	1	45		90μs				
1	0	1	0	61		122μs	61μs			
1	0	1	1	77		154μs	77μs			
1	1	0	0	93		186μs	93μs	46.5μs		
1	1	0	1	109		218μs	109μs	54.5μs		
1	1	1	0	125		250μs	125μs	62.5μs		
1	1	1	1	141		282μs	141μs	70.5μs		35.25μs

*1: 放電時間(SAD_CLK の 2 クロック分)およびクロック周波数誤差を含みません。

表 23-5 基準電圧に V_{DD} または V_{REF} 端子を使用する場合のサンプル時間

SADMOD				サンプル クロック数	サンプル時間					
					SAD_CLK					
SASHT3~SASHT0					32kHz	0.5MHz	1MHz	2MHz	4MHz	8MHz
0	0	0	0	1	30μs	2μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	2	設定禁止	4μs	2μs			
0	0	1	0	3		6μs	3μs	1.5μs		
0	0	1	1	4		8μs	4μs	2μs	1μs	
0	1	0	0	5		10μs	5μs	2.5μs	1.25μs	0.625μs
0	1	0	1	6		12μs	6μs	3μs	1.5μs	0.75μs
0	1	1	0	7		14μs	7μs	3.5μs	1.75μs	0.875μs
0	1	1	1	8		16μs	8μs	4μs	2μs	1μs
1	0	0	0	16		32μs	16μs	8μs	4μs	2μs
1	0	0	1	32		64μs	32μs	16μs	8μs	4μs
1	0	1	0	48		96μs	48μs	24μs	12μs	6μs
1	0	1	1	64		128μs	64μs	32μs	16μs	8μs
1	1	0	0	80		160μs	80μs	40μs	20μs	10μs
1	1	0	1	96		192μs	96μs	48μs	24μs	12μs
1	1	1	0	112		224μs	112μs	56μs	28μs	14μs
1	1	1	1	128		256μs	128μs	64μs	32μs	16μs

表 23- 6 基準電圧に内部基準電圧を使用する場合のサンプル時間

SADMOD				サンプル クロック数	サンプル時間					
					SAD_CLK					
SASHT3～SASHT0					32kHz	0.5MHz	1MHz	2MHz	4MHz	8MHz
0	0	0	0	1	30μs	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	2						
0	0	1	0	3						
0	0	1	1	4						
0	1	0	0	5						
0	1	0	1	6						
0	1	1	0	7						
0	1	1	1	8						
1	0	0	0	16	設定禁止	32μs	32μs	32μs	32μs	
1	0	0	1	32	64μs	32μs				
1	0	1	0	48	96μs	48μs				
1	0	1	1	64	128μs	64μs	32μs	40μs		
1	1	0	0	80	160μs	80μs	40μs			
1	1	0	1	96	192μs	96μs	48μs			
1	1	1	0	112	224μs	112μs	56μs			
1	1	1	1	128	256μs	128μs	64μs	32μs		

23.4 逐次比較型 A/D コンバータ使用時の注意事項

23.4.1 サンプル時間の設定

A/D コンバータのサンプル時間は、下記式を満たしてください。

$$\text{サンプル時間} > 8(C_{\text{SAMPLE}} + C_{\text{PARA}})(R_1 + R_2)$$

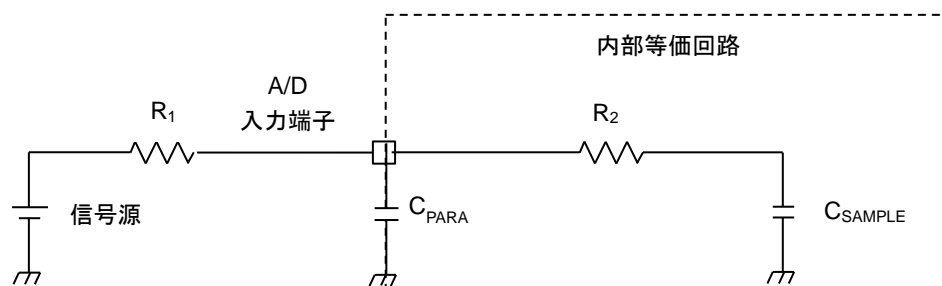
必要なサンプル時間をより厳密に計算したい場合、下記の式を使用してください。

$$\text{サンプル時間} = \left\{ \log_e(2^n) + \log_e \left(\frac{C_{\text{SAMPLE}}}{C_{\text{SAMPLE}} + C_{\text{PARA}}} \right) \right\} (C_{\text{SAMPLE}} + C_{\text{PARA}})(R_1 + R_2)$$

C_{PARA} はボードのレイアウトや接続部品によって変化します。実際のボードにて A/D コンバータの精度を確認をしてください。

- R_1 : 外付け抵抗の入力インピーダンス
 R_2 : 内蔵の抵抗とスイッチの ON 抵抗を合計した内蔵抵抗値
 C_{SAMPLE} : サンプルホールドコンデンサ
 C_{PARA} : A/D 入力ラインの寄生容量(この値は AD 入力ラインとグラウンド間の容量を測定してください)
 n : A/D コンバータの分解能

この場合の内部等価回路、および定数(参考値)は下記のとおりです。



V_{DD}	R_2 [kΩ]	C_{SAMPLE} [pF]
$1.8\text{V} \leq V_{\text{DD}} \leq 2.2\text{V}$	500	5
$2.2\text{V} \leq V_{\text{DD}} \leq 2.7\text{V}$	100	5
$2.7\text{V} \leq V_{\text{DD}} \leq 4.5\text{V}$	8	5
$4.5\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	7	5

上記値は参考値です。

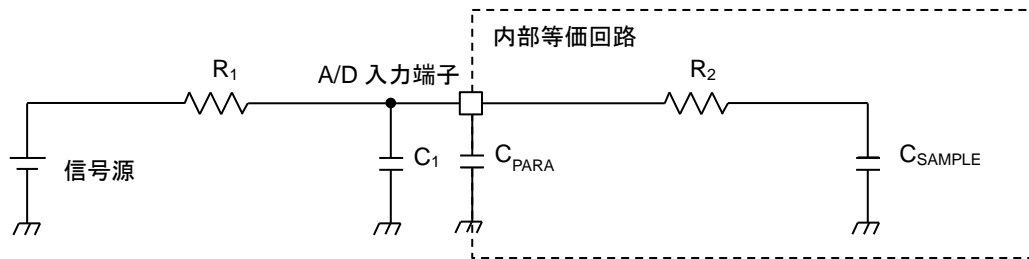
また、上記サンプル時間を満たせない場合、下記を満たすコンデンサ C_1 をアナログ入力端子の直近に接続してください。

$$(C_1 + C_{\text{PARA}}) > 2^n C_{\text{SAMPLE}}$$

$$\text{サンプル時間} > 8C_{\text{SAMPLE}}R_2$$

- C_1 : 外付けコンデンサ容量値

外付けコンデンサ C_1 を接続したときの等価回路は下記のとおりです。



ただし、A/D 入力端子の電圧は、外付けコンデンサ C_1 と外付け抵抗 R_1 により過渡的に変化するため、安定するのを待ってデータ採取してください。安定するタイミングが不明な場合、一度 A/D 変換後、時定数 $\tau (=R_1C_1) \sim 4\tau$ 程度待つて A/D 再変換し、値の差が少ないことを確認してデータ採取してください。

23.4.2 ノイズ対策

A/D 変換精度の悪化を防ぐため、A/D コンバータはノイズが少ない環境で動作させてください。
ノイズ低減のため以下の処理を推奨いたします。

- HALT モードで A/D 変換する
- A/D 変換中の端子に近接する端子へのクロック入出力を抑える
- A/D 変換中の端子およびほかの A/D 変換端子へのクロックの入出力を抑える

また、ノイズ対策コンデンサは、 $V_{REF}-V_{SS}$ 間、 $V_{DD}-V_{SS}$ 間に接続してください。その際、コンデンサは LSI 直近に配置して短い配線で接続してください。

第 24 章 レギュレータ

24. レギュレータ

24.1 概要

ML62Q1500C/1700C グループはレギュレータを内蔵しています。

図 24-1 にレギュレータの概要図を示します。

レギュレータは、低消費電力のため、アンプを用いて V_{DD} の変動 (1.6V~5.5V) に依存しない一定電圧の内部ロジック用電圧 (V_{DDL}) を生成します。レギュレータより生成された V_{DDL} は、内部ロジック回路、フラッシュ・メモリ、RAM、発振回路などの周辺回路に電圧を供給されます。

V_{DDL} を安定させるため、 V_{DDL} 端子はコンデンサ (1 μ F) を介して V_{SS} に接続してください。

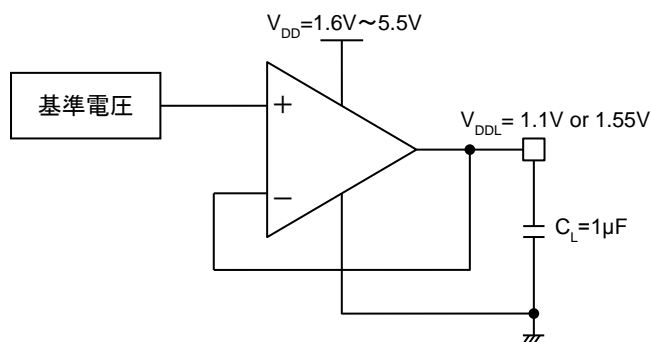


図 24-1 レギュレータの概要図

24.1.1 特長

モード	V _{DDL} の電圧
STOP モード	1.55V
HALT モード	1.55V
HALT-H モード	1.55V
HALT-C モード	1.55V
プログラム動作モード	1.55V
STOP-D モード (RAM および SFR の内容は保持可能)	1.1V

24.1.2 構成

図 24-2 に内部電源の構成を示します。

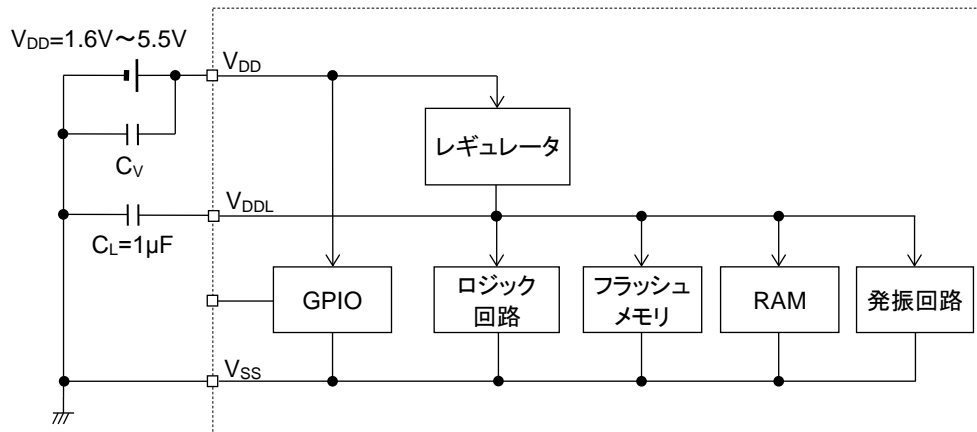


図 24-2 内部電源の構成

24.1.3 端子一覧

V_{DDL} を安定させるため、 V_{DDL} 端子はコンデンサ (1 μ F) を介して V_{SS} に接続してください。

端子名	入出力	機能
V_{DDL}	—	内部ロジック用電源 (内部発生)
V_{REFO}	—	リファレンス電圧出力

【注意】

- 電源間バイパスコンデンサ (C_V) および内部ロジック用電圧 (V_{DDL}) のコンデンサ (C_L : 1 μ F) は、ノイズ耐性向上のため、ユーザ基板上では LSI の近くに配置し、ビアを経由せず極力配線を短くしてください。
- 内部ロジック用電圧 (V_{DDL}) は外部デバイス用の電圧として使用できません。

24.2 動作説明

V_{DDL} は、電源投入後に約 1.55V になります。
STOP-D モード中は待機電流を抑制するため V_{DDL} は約 1.1V に低下します。STOP-D モード中の RAM および SFR の内容は保持されます。
 V_{DDL} は、HALT モード、HALT-H モード、HALT-C モード、STOP モード中は約 1.55V です。
図 24-3 にレギュレータの動作波形を示します。
STOP-D モードおよび安定時間については、「第 4 章 パワーマネジメント」、「第 6 章 クロック発生回路」を参照してください。

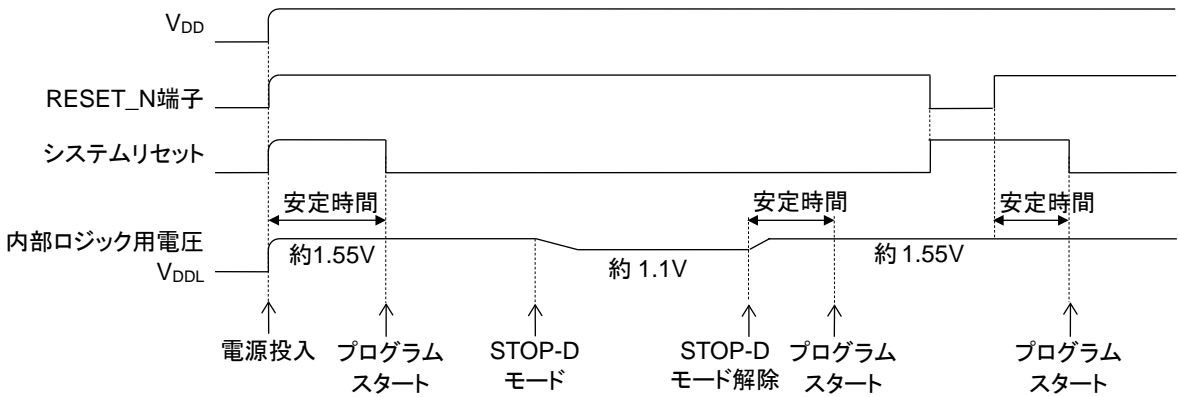


図 24-3 レギュレータの動作波形

24.2.1 基準電圧出力

基準電圧の出力については、「第 23 章 逐次比較型 A/D コンバータ」の「23.2.14 基準電圧コントロールレジスタ」を参照してください。

第 25 章 フラッシュ・メモリ

25. フラッシュ・メモリ

25.1 概要

ML62Q1500C/1700Cグループは、プログラム・メモリ空間およびデータ・フラッシュ領域にフラッシュ・メモリを内蔵しています。

プログラム・メモリ空間およびデータ・フラッシュ領域については、「第 2 章 CPU とメモリ空間」を参照してください。

フラッシュ・メモリは、以下の 3 つの方法で書き換えることができます。

- フラッシュ・メモリの書き換え方法

書き換え方法	書き換えに使用するツール／レジスタ／通信	参照箇所
オンチップデバッグ機能によるプログラミング	オンチップデバッグエミュレータまたは専用のフラッシュライタ	第 28 章 オンチップデバッグ機能
特殊機能レジスタ(SFR)によるセルフ・プログラミング	フラッシュ・メモリを書き換える特殊機能レジスタ(SFR)	25.3 セルフ・プログラミング
In-System Programming (ISP) 機能によるプログラミング	外部デバイスとの UART 通信 3 rd パーティ製フラッシュライタ(*1)	25.4 In-System Programming 機能

*1: 3rd パーティ製フラッシュライタについては、各フラッシュライタメーカーにお問い合わせください。

プログラム・メモリ空間とデータ・フラッシュ領域の商品ごとの違いと機能概要は次のとおりです。

● プログラム・メモリ空間とデータ・フラッシュ領域の概要 (商品別)

商品名		プログラム・メモリ空間		データ・フラッシュ領域	
		容量	アドレス	容量	アドレス
ML62Q1500C グループ	ML62Q1543C/1553C/1563C	96K バイト	0x0:0000～ 0x1:7FFF	4K バイト (128 バイト× 32 セクタ)	0x1F:0000 ～ 0x1F:0FFF
	ML62Q1544C/1554C/1564C	128K バイト	0x0:0000～ 0x1:FFFF		
ML62Q1700C グループ	ML62Q1713C/1723C/1733C	96K バイト	0x0:0000～ 0x1:7FFF	4K バイト (128 バイト× 32 セクタ)	0x1F:0000 ～ 0x1F:0FFF
	ML62Q1714C/1724C/1734C	128K バイト	0x0:0000～ 0x1:FFFF		

● プログラム・メモリ空間とデータ・フラッシュ領域の機能概要

項目		プログラム・メモリ空間	データ・フラッシュ領域
消去・書き込み単位	チップ消去 (ISP モードのみ)	全領域	全領域
	ブロック消去	16K バイト	全領域
	セクタ消去	1K バイト	128 バイト
	書き込み	4 バイト (32 ビット)	1 バイト (8 ビット)
消去・書き込み時間	チップ消去 (ISP モードのみ)	最大約 50ms	最大約 50ms
	ブロック消去		
	セクタ消去		
	書き込み	最大約 80μs	最大約 40μs
書き換え回数		100 回	10,000 回
消去・書き換え周囲温度		0°C～40°C	-40°C～85°C
バックグラウンドオペレーション (BGO) 機能		—	対応
消去／書き込み完了割込み		割込み出力機能なし	割込み出力機能あり

25.1.1 端子一覧

ISP 機能によるプログラミングでは、以下の端子を使用します。

信号名	入出力	機能
RESET_N	I	ISP モードへの移行時の信号入力
TEST0	I/O	ISP モードへの移行時の信号入力および UART データ入出力

25.2 レジスタ説明

25.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF090	フラッシュアドレスレジスタ	FLASHAL	FLASHA	R/W	8/16	0xFF
0xF091		FLASHAH		R/W	8	0xFF
0xF092	フラッシュデータレジスタ 0	FLASHD0L	FLASHD0	R/W	8/16	0xFF
0xF093		FLASHD0H		R/W	8	0xFF
0xF094	フラッシュデータレジスタ 1	FLASHD1L	FLASHD1	R/W	8/16	0xFF
0xF095		FLASHD1H		R/W	8	0xFF
0xF096	フラッシュコントロールレジスタ	FLASHCON	—	W	8	0x00
0xF097	予約レジスタ	—	—	—	—	—
0xF098	フラッシュアクセプタ	FLASHACP	—	W	8	0x00
0xF099	予約レジスタ	—	—	—	—	—
0xF09A	フラッシュセグメントレジスタ	FLASHSEG	—	R/W	8	0x10
0xF09B	予約レジスタ	—	—	—	—	—
0xF09C	フラッシュセルフレジスタ	FLASHSLF	—	R/W	8	0x00
0xF09D	予約レジスタ	—	—	—	—	—
0xF09E	フラッシュステータスレジスタ	FLASHSTA	—	R	8	0x00
0xF09F	予約レジスタ	—	—	—	—	—

25.2.2 フラッシュアドレスレジスタ（FLASHA）

本レジスタは、フラッシュ・メモリのデータを消去するアドレス、または書き込むアドレスを設定する特殊機能レジスタ（SFR）です。

アドレス： 0xF090（FLASHAL/FLASHA）、0xF091（FLASHAH）
アクセス： R/W
アクセスサイズ： 8 ビット／16 ビット
初期値： 0xFFFF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FLASHA															
バイト	FLASHAH								FLASHAL							
ビット	FA15	FA14	FA13	FA12	FA11	FA10	FA9	FA8	FA7	FA6	FA5	FA4	FA3	FA2	FA1	FA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット 番号	ビットシンボル 名	説明
15～0	FA15～FA0	データを消去／書き込むフラッシュ・メモリのアドレスを設定するビットです。

【注意】

- プログラム・メモリ空間への書き込みは、4 バイト単位のため、FA1 ビットと FA0 ビットの設定値は無視されます。

25.2.3 フラッシュセグメントレジスタ（FLASHSEG）

本レジスタは、フラッシュ・メモリを消去するセグメントアドレス、または書き込みするセグメントアドレスを設定する特殊機能レジスタ（SFR）です。

アドレス：0xF09A(FLASHSEG)
アクセス：R/W
アクセスサイズ：8ビット
初期値：0x10

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FLASHSEG							
ビット	—	—	—	—	—	—	—	—	—	—	—	FSEG 4	FSEG 3	FSEG 2	FSEG 1	FSEG 0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット 番号	ビットシンボル名	説明
15～5	—	予約ビット
4～0	FSEG4～FSEG0	データを消去／書き込むフラッシュ・メモリのセグメントアドレスを指定するビットです。

表 25-1 にブロック消去時のアドレス設定値、表 25-2 にセクタ消去時のアドレス設定値を示します。

表 25-1 ブロック消去時のアドレス設定値

セグメント	ブロック	アドレス	サイズ	FLASHSEG レジスタ	FLASHA レジスタ
セグメント 0	ブロック 0	0x0000～0x3FFF	16K バイト	0x00	0x0000
	ブロック 1	0x4000～0x7FFF	16K バイト		0x4000
	ブロック 2	0x8000～0xBFFF	16K バイト		0x8000
	ブロック 3	0xC000～0xFFFF	16K バイト		0xC000
セグメント 1	ブロック 4	0x0000～0x3FFF	16K バイト	0x01	0x0000
	ブロック 5	0x4000～0x7FFF	16K バイト		0x4000
	ブロック 6	0x8000～0xBFFF	16K バイト		0x8000
	ブロック 7	0xC000～0xFFFF	16K バイト		0xC000
セグメント 31	ブロック 0	0x0000～0x07FF 0x0000～0x0FFF 0x0000～0x1FFF	2K バイト 4K バイト 8K バイト	0x1F	0x0000

表 25-2 セクタ消去時のアドレス設定値

セグメント	セクタ	アドレス	サイズ	FLASHSEG レジスタ	FLASHA レジスタ
セグメント 0	セクタ 0	0x0000～0x03FF	1K バイト	0x00	0x0000
	セクタ 1	0x0400～0x07FF	1K バイト		0x0400
	⋮	⋮	⋮		⋮
	セクタ 62	0xF800～0xFBFF	1K バイト		0xF800
	セクタ 63	0xFC00～0xFFFF	1K バイト		0xFC00
セグメント 1	セクタ 64	0x0000～0x03FF	1K バイト	0x01	0x0000
	セクタ 65	0x0400～0x07FF	1K バイト		0x0400
	⋮	⋮	⋮		⋮
	セクタ 126	0xF800～0xFBFF	1K バイト		0xF800
	セクタ 127	0xFC00～0xFFFF	1K バイト		0xFC00
セグメント 31	セクタ 0	0x0000～0x007F	128 バイト	0x1F	0x0000
	セクタ 1	0x0080～0x00FF	128 バイト		0x0080
	セクタ 2	0x0100～0x017F	128 バイト		0x0100
	セクタ 3	0x0180～0x01FF	128 バイト		0x0180
	⋮	⋮	⋮		⋮
	セクタ 12	0x0600～0x067F	128 バイト		0x0600
	セクタ 13	0x0680～0x06FF	128 バイト		0x0680
	セクタ 14	0x0700～0x077F	128 バイト		0x0700
	セクタ 15	0x0780～0x07FF	128 バイト		0x0780
	⋮	⋮	⋮		⋮
	セクタ 28	0x0E00～0x0E7F	128 バイト		0x0E00
	セクタ 29	0x0E80～0x0EFF	128 バイト		0x0E80
	セクタ 30	0x0F00～0x0F7F	128 バイト		0x0F00
	セクタ 31	0x0F80～0x0FFF	128 バイト		0x0F80
	⋮	⋮	⋮		⋮
	セクタ 60	0x1E00～0x1E7F	128 バイト		0x1E00
	セクタ 61	0x1E80～0x1EFF	128 バイト		0x1E80
	セクタ 62	0x1F00～0x1F7F	128 バイト		0x1F00
	セクタ 63	0x1F80～0x1FFF	128 バイト		0x1F80

25.2.4 フラッシュデータレジスタ 0 (FLASHD0)

本レジスタは、フラッシュ・メモリに書き込むデータを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF092(FLASHD0L/FLASHD0), 0xF093(FLASHD0H)
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0xFFFF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FLASHD0															
バイト	FLASHD0H								FLASHD0L							
ビット	FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット番号	ビットシンボル名	説明
15～8	FD15～FD8	2 バイト目のデータを設定するビットです。
7～0	FD7～FD0	1 バイト目のデータを設定するビットです。

書き込み方法は、プログラム・メモリ空間とデータ・フラッシュ領域で次のような違いがあります。

書き込み対象	使用するレジスタ	説明	注意事項
プログラム・メモリ空間	FLASHD0 レジスタ (FLASHD0H, FLASHD0L) および FLASHD1 レジスタ (FLASHD1H, FLASHD1L) の 4 バイト	FLASHD1H レジスタにデータを書き込むと書き込みが開始します。	データの書き込みは、FLASHD0 レジスタ, FLASHD1 レジスタの順に行ってください。
データ・フラッシュ領域	FLASHD0 レジスタの FLASHD0L レジスタ(1 バイト)のみ	FLASHD0L レジスタにデータを書き込むと書き込みが開始します。	FLASHD0 レジスタの FLASHD0H レジスタおよび FLASHD1 レジスタに書き込まれたデータは無効です。

【注意】

- プログラム・メモリ空間への書き込み, またはデータ・フラッシュへの書き込みは、フラッシュセグメントレジスタ (FLASHSEG)に設定した値により判断されますので、FLASHSEG レジスタを先に設定してください。
- データ・フラッシュの書き込み中は、バックグランドオペレーション(BGO)機能により CPU のプログラム処理は継続されます。書き込み終了はフラッシュステータスレジスタ(FLASHSTA)の FDPRSTA ビットで確認してください。
- 書き込むアドレスのデータはあらかじめ消去してください。上書きによるデータは保証されません。
- CPU が誤動作する可能性があるため未使用領域には読み出しもしくは書き込みしないでください。

25.2.5 フラッシュデータレジスタ 1 (FLASHD1)

本レジスタは、フラッシュ・メモリを書き込むデータを設定する特殊機能レジスタ(SFR)です。

アドレス: 0xF094(FLASHD1L/FLASHD1), 0xF095(FLASHD1H)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0xFFFF

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	FLASHD1															
バイト	FLASHD1H								FLASHD1L							
ビット	FD31	FD30	FD29	FD28	FD27	FD26	FD25	FD24	FD23	FD22	FD21	FD20	FD19	FD18	FD17	FD16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット番号	ビットシンボル名	説明
15～8	FD31～FD24	4 バイト目のデータを設定するビットです。
7～0	FD23～FD16	3 バイト目のデータを設定するビットです。

書き込み方法は、プログラム・メモリ空間とデータ・フラッシュ領域で次のような違いがあります。

書き込み対象	使用するレジスタ	説明	注意事項
プログラム・メモリ空間	FLASHD0 レジスタ (FLASHD0H レジスタ, FLASHD0L レジスタ)および FLASHD1 レジスタ (FLASHD1H レジスタ, FLASHD1L レジスタ)の 4 バイト	FLASHD1H レジスタにデータを書き込むと書き込みが開始します。	データの書き込みは、FLASHD0 レジスタ, FLASHD1 レジスタの順に行ってください。
データ・フラッシュ領域	FLASHD0 レジスタの FLASHD0L レジスタ(1 バイト)のみ	FLASHD0L レジスタにデータを書き込むと書き込みが開始します。	FLASHD0 レジスタの FLASHD0H レジスタおよび本レジスタに書き込まれたデータは無効です。

- 【注意】
- プログラム・メモリ空間の書き込みは、フラッシュセグメントレジスタ(FLASHSEG)に設定した値により判断しますので、FLASHSEG レジスタを先に設定してください。
 - 書き込むアドレスのデータはあらかじめ消去してください。上書きによるデータは保証されません。
 - CPU が誤動作する可能性があるため未使用領域には読み出しもしくは書き込みしないでください。

25.2.6 フラッシュコントロールレジスタ（FLASHCON）

本レジスタは、フラッシュ・メモリのブロック消去およびセクタ消去を制御する書き込み専用の特殊機能レジスタ(SFR)です。FLASHCON レジスタを読み出すと“0x00”が読み出されます。

アドレス: 0xF096 (FLASHCON)
アクセス: W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FLASHCON							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FSERS	FERS
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～2	—	予約ビット
1, 0	FSERS, FERS	セクタ消去およびブロック消去を開始するビットです。 FSERS ビットを“0”, FERS ビットを“1”にすると FLASHSEG レジスタおよび FLASHAH レジスタに指定したブロックの消去を開始します。 FSERS ビットを“1”, FERS ビットを“0”にすると FLASHSEG レジスタおよび FLASHAH レジスタに指定したセクタの消去を開始します。 0 0: 設定禁止 (機能なし) 0 1: ブロック消去開始 1 0: セクタ消去開始 1 1: 設定禁止 (機能なし)

25.2.7 フラッシュアクセプタ（FLASHACP）

本レジスタは、フラッシュ・メモリの消去／書き込みを許可する書き込み専用の特殊機能レジスタ(SFR)です。

アドレス：0xF098(FLASHACP)
アクセス：W
アクセスサイズ：8ビット
初期値：0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FLASHACP							
ビット	—	—	—	—	—	—	—	—	fac7	fac6	fac5	fac4	fac3	fac2	fac1	fac0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～0	fac7～fac0	消去・書き込みの誤作動を防止するために消去／書き込み動作を制限するビットです。 消去／書き込みの許可は、次で設定します。 一度だけ消去／書き込みする：“0xFA”，“0xF5”の順序(11111010→11110101)で書き込む 連続して消去／書き込みする：消去／書き込み毎に“0xFA”，“0xF5”の順序(11111010→ 11110101)での書き込みを連続する

【注意】

- FLASHACP レジスタへの“0xFA”書き込みと“0xF5”書き込みの間に他の命令が入っても、消去／書き込み機能は許可されます。
- “0xFA”書き込みの次に“0xF5”以外のデータを書き込んだ場合は、“0xFA”書き込みが無効となるため、再度、“0xFA”から書き込み直してください。

25.2.8 フラッシュセルフレジスタ (FLASHSLF)

本レジスタは、フラッシュ・メモリの書き込み機能を許可する特殊機能レジスタ (SFR) です。システムクロックが低速クロックの場合、書き込みは無効です。

アドレス: 0xF09C (FLASHSLF)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FLASHSLF							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FSELF
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～1	—	予約ビット
0	FSELF	フラッシュ・メモリの消去／書き込みを許可するビットです。 0: フラッシュ・メモリ消去／書き込み禁止 (初期値) 1: フラッシュ・メモリ消去／書き込み許可

25.2.9 フラッシュステータスレジスタ (FLASHSTA)

本レジスタは、フラッシュ・メモリの状態を示す読み出し専用の特殊機能レジスタ(SFR)です。

アドレス: 0xF09E (FLASHSTA)
アクセス: R
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								FLASHSTA							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	FDPR STA	FDER STA	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～2	—	予約ビット
1	FDPRSTA	データ・フラッシュ領域が書き込み中であることを示すビットです。 0: データ・フラッシュ領域は書き込み中でない(初期値) 1: データ・フラッシュ領域は書き込み中
0	FDERSTA	データ・フラッシュ領域が消去中であることを示すビットです。 0: データ・フラッシュ領域は消去中でない(初期値) 1: データ・フラッシュ領域は消去中

本レジスタは、データ・フラッシュ領域の消去／書き込みのときのみ、使用します。

消去／書き込み対象	消去／書き込み中の本 レジスタの読み出し	説明
プログラム・メモリ空間	不可	FLASHSTA レジスタは使用しません。
データ・フラッシュ領域	可	FLASHSTA レジスタの各ビットが“0”になったことを確認してから消去／書き込みしてください。

プログラム・メモリ空間の消去／書き込みのときには、FLASHSTA レジスタは使用しません。プログラム・メモリ空間の消去／書き込み中は、CPU はプログラム動作を停止するため、FLASHSTA レジスタの読み出しができません。

データ・フラッシュ領域の消去／書き込み中は、バックグラウンドオペレーション(BGO)機能により CPU がプログラム処理を継続しますので、消去／書き込みが終了したことを確認してから次の消去／書き込みしてください。

- 【注意】
- FDPRSTA ビット、および FDERSTA ビットが“0”であることを確認して、次の消去／書き込みを実行してください。どちらかのビットが“1”で消去／書き込みを開始した場合は、無効です。

25.3 セルフ・プログラミング

セルフ・プログラミングは、特殊機能レジスタ(SFR)を使ってプログラム・メモリ空間およびデータ・フラッシュ領域を書き換える機能です。

表 25-3 にプログラム・メモリ空間およびデータ・フラッシュ領域それぞれのセルフ・プログラミングの特徴を示します。

表 25-3 プログラム・メモリ空間およびデータ・フラッシュ領域のセルフ・プログラミング

		プログラム・メモリ空間 (セグメント 0～1)	データ・フラッシュ領域 (セグメント 31)
書き換え 単位	ブロック消去	16K バイト	全領域
	セクタ消去	1K バイト	128 バイト
	書き込み	4 バイト	1 バイト
ブロック消去／セクタ消去／ 書き込み中の CPU 動作		プログラム処理を停止(消去／書き込みの終了後、 次の命令からプログラム処理を再開)	バックグラウンドオペレーション(BGO)機能に より、プログラム処理を継続
ブロック消去／セクタ消去／ 書き込みの終了確認		確認不要(消去／書き込み中、プログラム動作を停 止するため)	FLASHSTA レジスタで確認可能
ブロック消去／セクタ消去し た対象領域		すべてのビットが“1”になる(書き込みにより“0”を書き込んだビットは“1”から“0”になる)	
データ書き込み時の注意		書き込み対象の領域を消去する(消去せずに書き込んだデータは保証されません)。	
誤消去、誤書き込み防止機 能		フラッシュセルフレジスタ(FLASHSLF)およびフラッシュアクセプタ(FLASHACP)を内蔵(*1)	
フラッシュ・メモリの消去／書 き込み		システムクロックが高速クロックの場合のみ可能(*2)	
ユーザプログラム書き換え 時の注意事項		ユーザプログラムの書き換え前に、消去／書き込み 対象外のプログラム・コード領域に、セルフ・プログラ ミング用のプログラムを準備してください	—
リマップ機能		リマップ機能を併用することで、ユーザプログラムの アップデートなどが実現可能	—

*1:FLASHSLF レジスタで書き換えを許可した後、フラッシュアクセプタ(FLASHACP)に“0xFA”, “0xF5”を書き込むと、ブロック消去／セクタ消去／書き込みが一度だけ許可されます。

*2:高速発振回路の発振許可、システムクロックの切り替えについては、「第 6 章 クロック発生回路」を参照してください。

25.3.1 セルフ・プログラミングコードをデバッグする際の注意事項

U16 開発環境(デバッガ)を使用して、セルフ・プログラミングのプログラム範囲内(フラッシュアクセプタの設定～フラッシュデータレジスタ 0, 1 の書き換えまで)をデバッグする際は、表 25-4 に示した注意事項を守ってご使用ください。

表 25-4 セルフ・プログラミングをデバッグする際の注意事項

制限機能	注意事項
ブレークポイント設定	セルフ・プログラミングのプログラムの範囲内(フラッシュアクセプタの設定からフラッシュデータレジスタ 0, 1 の設定まで)にブレークポイントを設定した状態でリアルタイム実行しないでください。 理由: セルフ・プログラミングのプログラム範囲内でブレークすると、フラッシュ・メモリが書き換わらない場合があるため
ステップ実行	セルフ・プログラミングのプログラムの範囲内でステップ実行しないでください。 理由: セルフ・プログラミングのプログラム範囲内をステップ実行するとフラッシュ・メモリが書き換わらない場合があるため

25.3.2 プログラム・メモリ空間の書き換え

プログラム・メモリ空間（フラッシュ・メモリ）は、16K バイト単位のブロック消去、1K バイト単位のセクタ消去、および 4 バイト単位の書き込みが可能です。

図 25-1 にプログラム・メモリ空間の消去フローを示します。

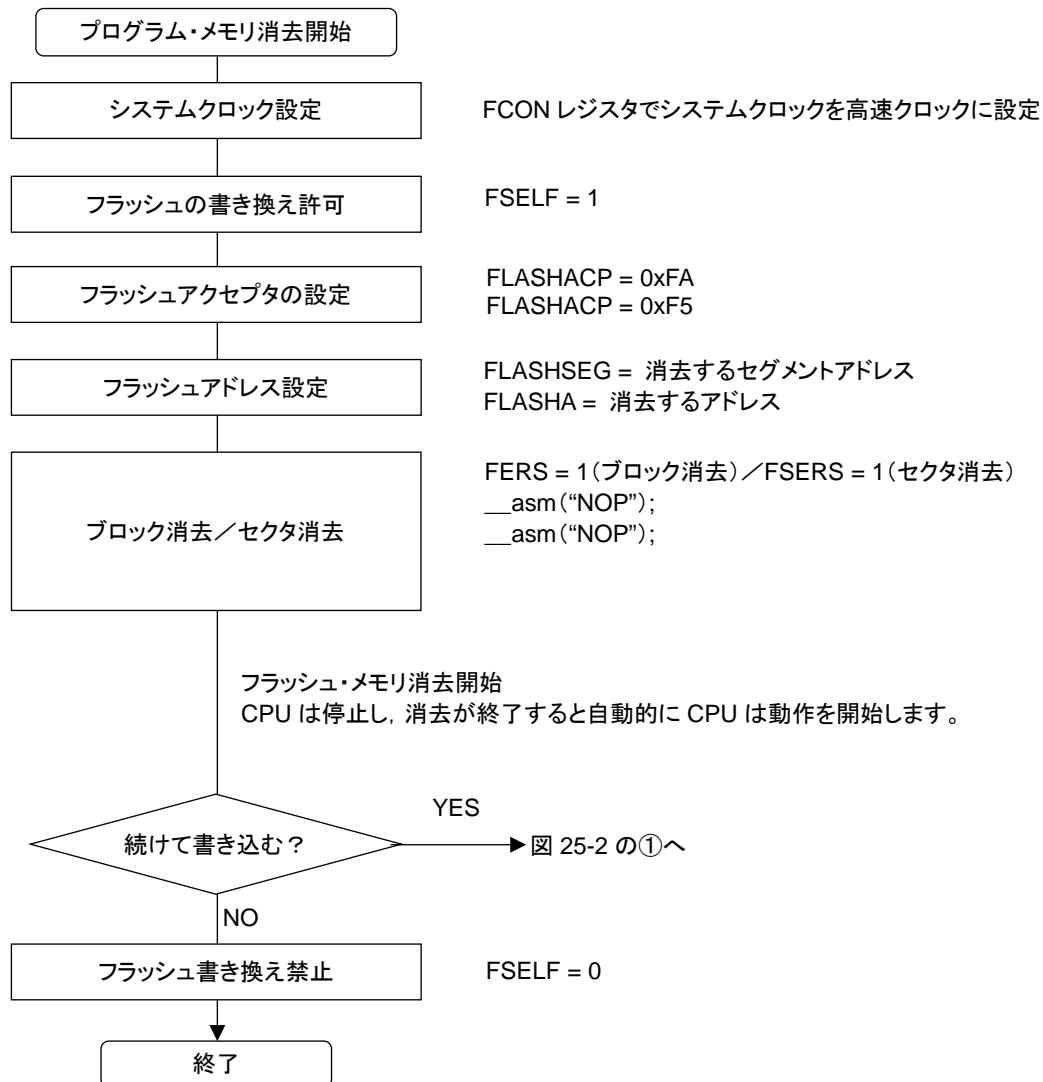


図 25-1 プログラム・メモリ空間の消去フロー

【注意】

- 消去は、プログラム処理に関係のない領域のみとしてください。プログラム処理中の領域を消去すると LSI が誤動作します。
- ブロック消去中またはセクタ消去中、CPU は動作を最大 50ms 間停止しますが、周辺回路は動作を継続するため、WDT カウンタを適宜クリアしてください。
- ブロック消去／セクタ消去は、FLASHCON レジスタの FERS ビット／FSERS ビットに 1 を設定する命令の次には NOP 命令を 2 個置いてください。

図 25-2 にプログラム・メモリ空間の書き込みフローを示します。

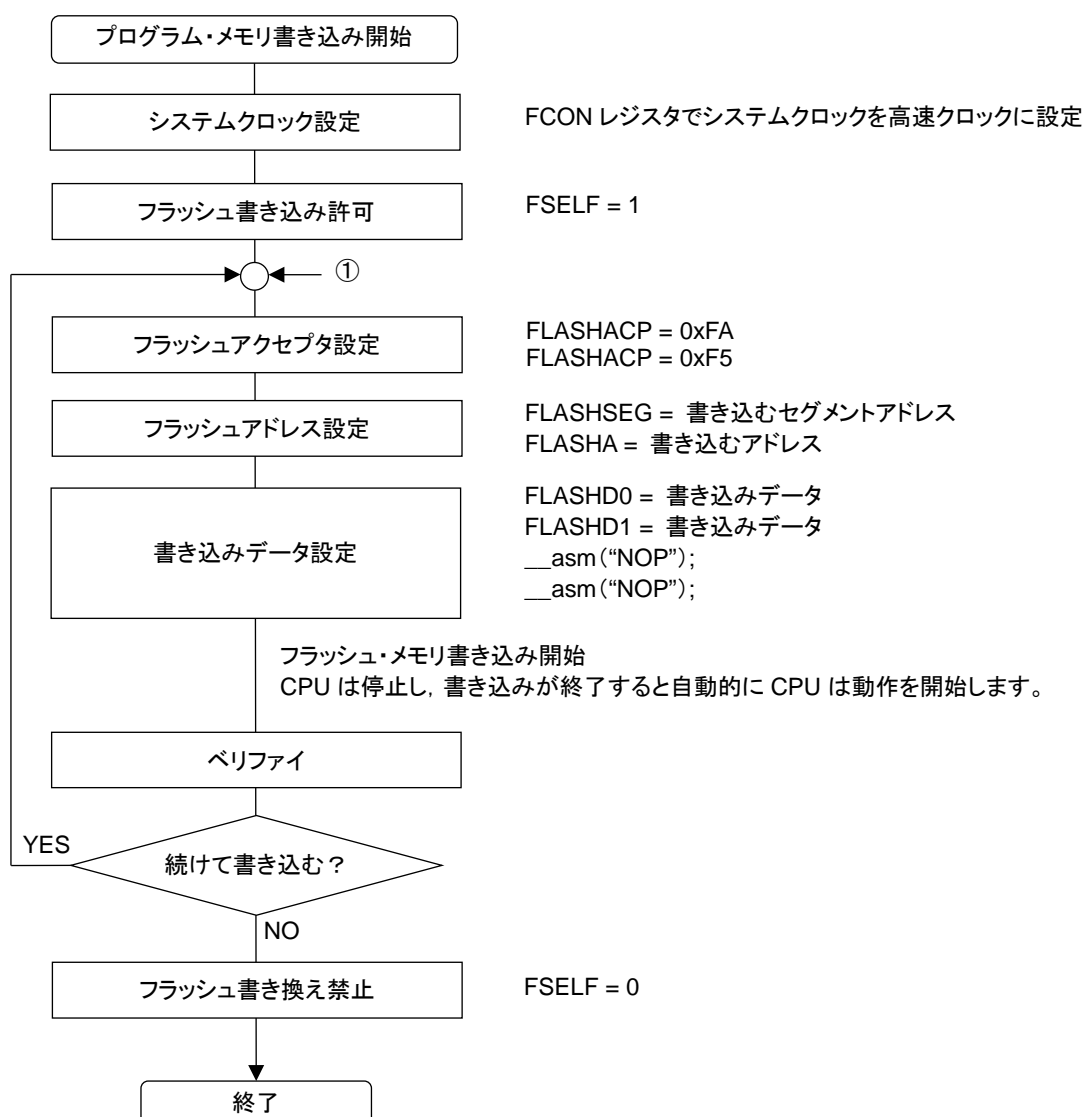


図 25-2 プログラム・メモリ空間の書き込みフロー

【注意】

- 書き込みは、プログラム処理に関係のない領域のみとしてください。プログラム処理中の領域に書き込むと LSI が誤動作します。
- 書き込み中、CPU は動作を最大 80μs 間停止しますが、周辺回路は動作を継続するため、WDT カウンタを適宜クリアしてください。
- 書き込みデータ設定は、FLASHD1 レジスタに書き込みデータを設定する命令の次には NOP 命令を 2 個置いてください。

25.3.3 データ・フラッシュ領域の書き換え

データ・フラッシュ領域(フラッシュ・メモリ)は、全領域のブロック消去、128 バイト単位のセクタ消去、および 1 バイト単位の書き込みが可能です。

データ・フラッシュ領域のブロック消去／セクタ消去／書き込み中、バックグラウンドオペレーション(BGO)機能により、CPU はプログラム処理を継続します。

図 25-3 にデータ・フラッシュ領域の消去フローを示します。

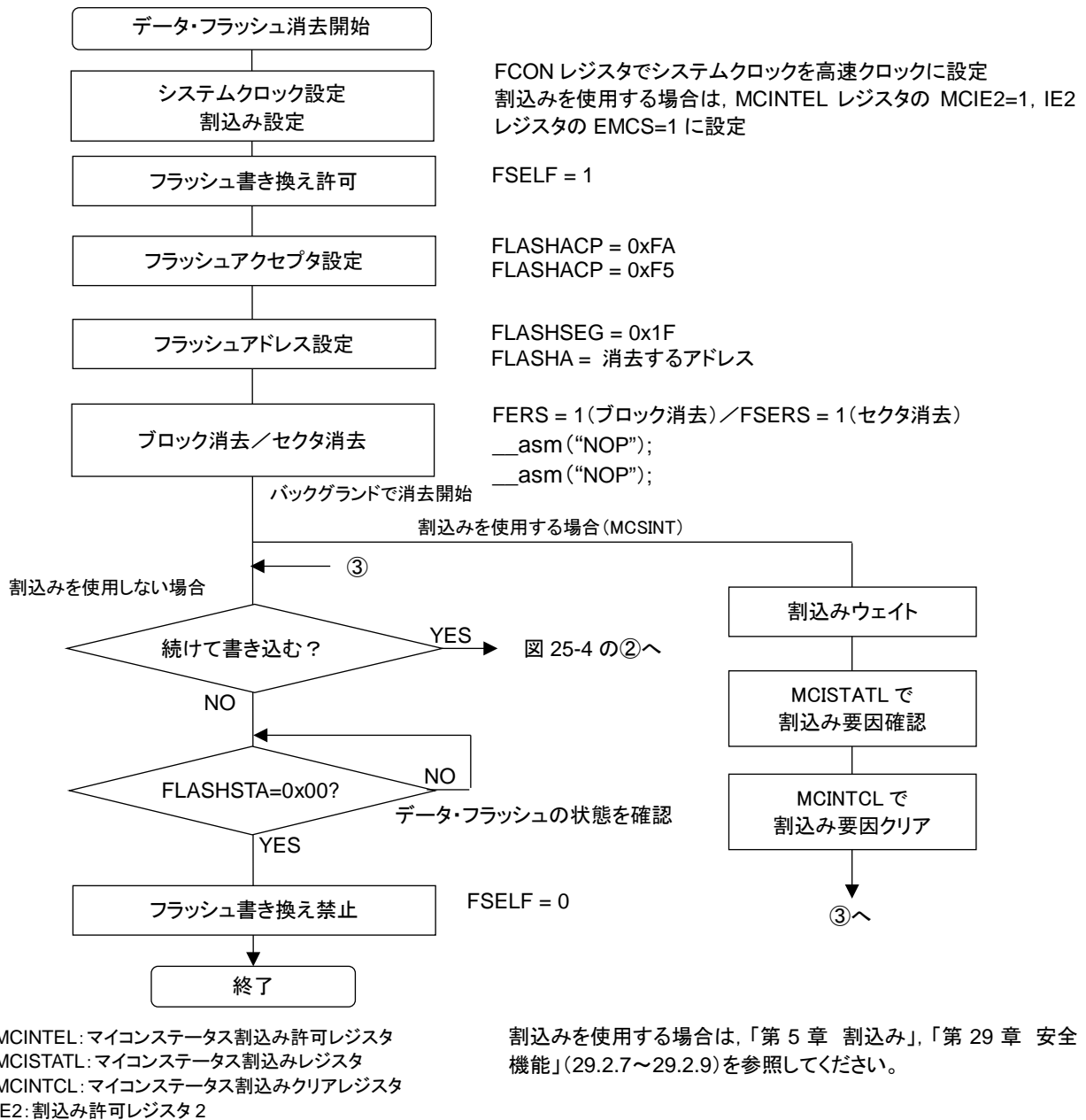


図 25-3 データ・フラッシュ領域の消去フロー

【注意】

- データ・フラッシュの消去中も CPU はプログラム処理を継続します。消去中に STOP モード、STOP-D モード、もしくは HALT-H モードに移行しないでください。また、FLASHSLF レジスタの FSELF ビットは消去終了後に“0”(消去／書き込み禁止)に設定してください。
- 消去中にデータ・フラッシュ領域を読み出すことはできません。
- ブロック消去／セクタ消去は、FLASHCON レジスタの FERS ビット／FSERS ビットに 1 を設定する命令の次には NOP 命令を 2 個置いてください。

図 25-4 に、データ・フラッシュ領域の書き込みフローを示します。

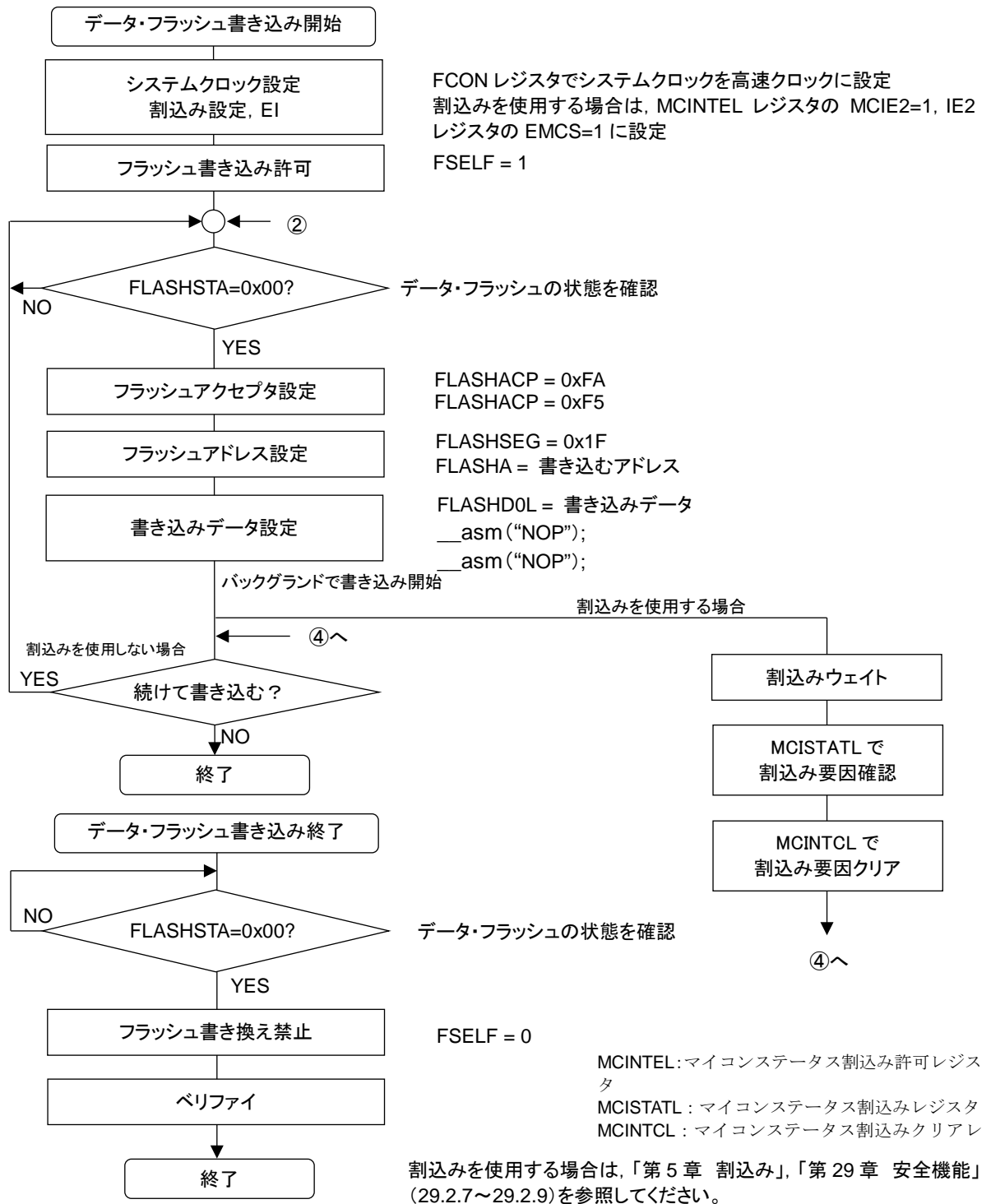


図 25-4 データ・フラッシュ領域の書き込みフロー

【注意】

- データ・フラッシュ書き込み中も CPU はプログラム処理を継続します。書き込み中に STOP モード、STOP-D モード、もしくは HALT-H モードに移行しないでください。また、FLASHSLF レジスタの FSELF ビットは書き込み終了後に“0”(消去／書き込み禁止)に設定してください。
- 書き込み中にデータ・フラッシュ領域を読み出すことはできません。
- 書き込みデータ設定は、FLASHD0L レジスタに書き込みデータを設定する命令の次には NOP 命令を 2 個置いてください。

25.3.4 セルフ・プログラミング使用時の注意

セルフ・プログラミング (ブロック消去／セクタ消去／書き込み) 使用時の各注意事項について表 25-5 に示します。

表 25-5 セルフ・プログラミング使用時の注意事項

項目	注意事項
使用時のシステムクロック	高速クロックに設定してください。 高速クロックの発振許可、システムクロックの切り替えについては、「第 6 章 クロック発生回路」を参照してください。
使用中に電源の瞬断、またはリセットによる強制終了が発生した場合	フラッシュ・メモリのデータは保証されません。 再度、ブロック消去またはセクタ消去を行い、書き込んでください。
書き換え中(*1)に電源の瞬断や強制終了が発生し、LSI が起動しなくなった場合	オンチップデバッグエミュレータまたは ISP 機能を用いて、再度、プログラムを書き込んでください。

*1: プログラム領域の 0:0000 番地を含むブロックまたはセクタの書き換え中

25.4 In-System Programming 機能

In-System Programming (ISP) 機能は、外部デバイスとの UART 通信により、プログラム・メモリ空間、およびデータ・フラッシュ領域を書き換える機能です。

25.4.1 プログラミング手順

ISP 機能を使用したフラッシュ・メモリの書き換えフローを図 25-5 に示します。

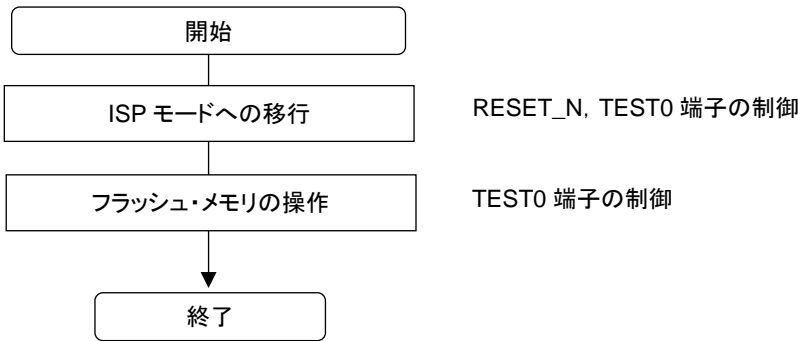


図 25-5 ISP 機能のフラッシュ・メモリ書き換えフローチャート

25.4.2 通信方式

ISP 機能の通信方式について、表 25-6 に示します。

表 25-6 ISP 機能の通信方式	
項目	内容
ISP 機能で使用する端子	RESET_N 端子と TEST0 端子
ISP モードへの移行時に使用する端子	
通信方式	半二重 UART
UART 通信に使用する端子	TEST0 端子
UART の通信フォーマット	8 ビット長, LSB ファースト, 1ストップビット, パリティビットなし
ボーレート	4800bps～2.0Mbps の間での自動検出

【注意】

- UART 通信にはボーレート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

25.4.3 通信コマンド

ISP 機能では、3 バイト構成のコマンドを使用して通信を行います。

表 25-7 に ISP モードコマンド一覧を記載します。

表 25-7 ISP モードコマンド一覧

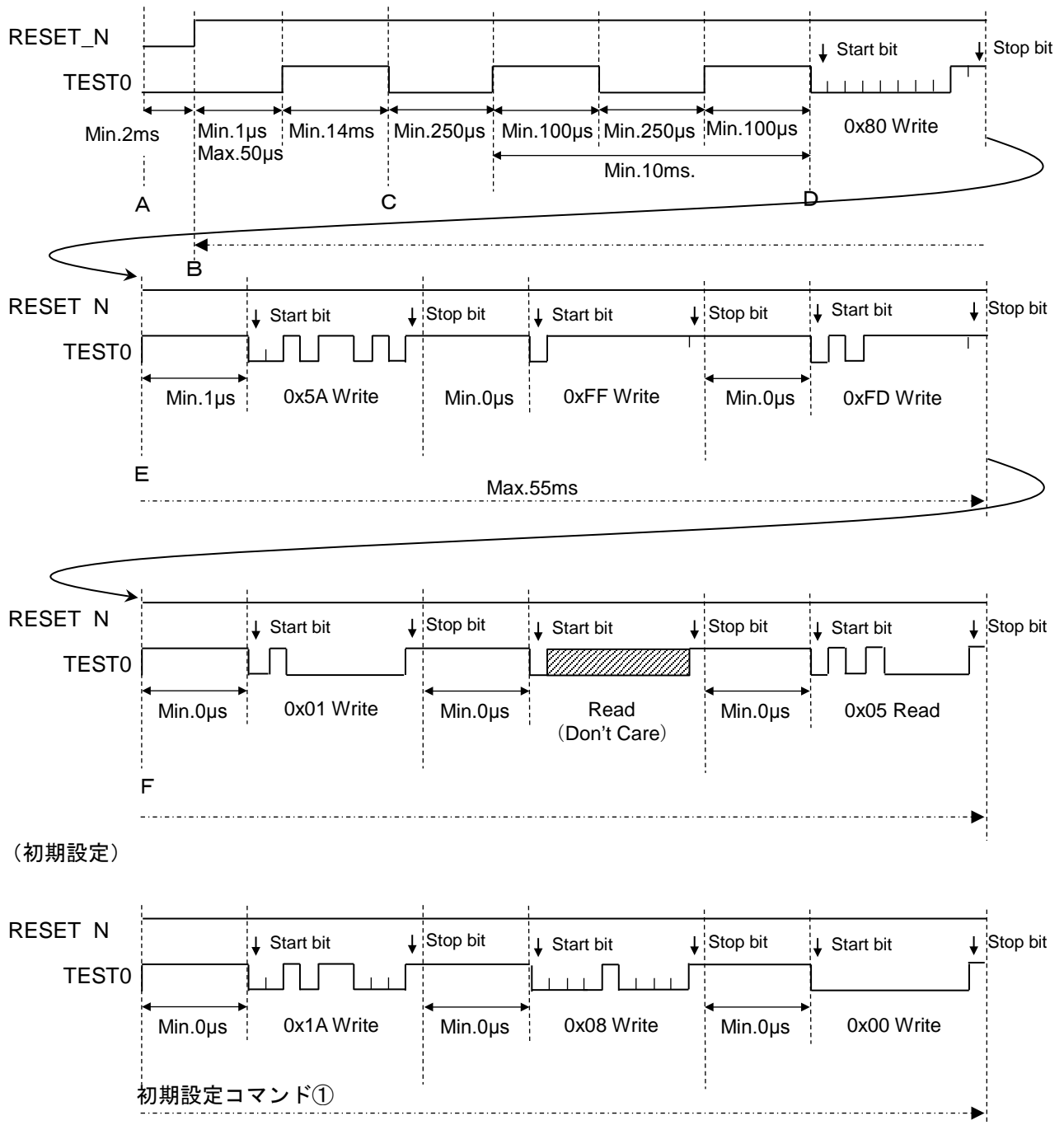
コマンド		1 バイト目	2 バイト目	3 バイト目
初期設定	初期設定コマンド送信①	0x1A	0x08	0x00
	初期設定コマンド送信②	0x1A	0x00	0x00
	初期設定コマンド送信③	0xC0	0x01	0x00
	初期設定コマンド送信④	0xC0	0x05	0x00
	初期設定コマンド送信⑤	0xC0	0x03	0x00
	初期設定コマンド送信⑥	0xCE	0x01	0x00
	初期設定コマンド送信⑦	0xCE	0x00	0x00
	初期設定コマンド送信⑧	0x96	0xFF	0xFF
	初期設定コマンド送信⑨	0x98	0xFF	0xFF
	初期設定コマンド送信⑩	0x9A	0xFF	0xFF
	初期設定コマンド送信⑪	0x9C	0xFF	0xFF
	初期設定コマンド送信⑫	0x9E	0xFF	0xFF
	コマンド送信完了確認①	0x01	(Read) 0xC0 or 0x80	(Read) 0x05
	コマンド送信完了確認②	0x91	(Read) 0x00	(Read) 0x00
共通設定	セグメント値設定	0xC6	0x00-0x1F (セグメント値)	0x00
	アドレス値設定	0xC8	下位 8 ビット	上位 8 ビット
	BUSY 信号確認	0xC5	(Read) 0x1F	(Read) 0x01: BUSY 0x00: IDLE
ブロック消去	ブロック消去コマンド	0xC2	0x05	0x00
チップ消去	チップ消去コマンド	0xC2	0x06	0x00
データ書き込み用	プログラム・コード領域 書き込みデータ(上位 2 バイト)	0xD2	下位 バイト	上位 バイト
	プログラム・コード領域 書き込みデータ(下位 2 バイト)	0xCA	下位 バイト	上位 バイト
	データ・フラッシュ領域 書き込みデータ	0xCA	1 バイトデータ	0xFF
	書き込みコマンド	0xC2	0x04	0x00
ベリファイ用	プログラム・コード領域 期待値データ(上位 2 バイト)	0xE4	下位 バイト	上位 バイト
	プログラム・コード領域 期待値データ(下位 2 バイト)	0xE2	下位 バイト	上位 バイト
	データ・フラッシュ領域 期待値データ	0xE4	1 バイトデータ	0x00
	ベリファイコマンド	0xC2	0x02	0x00
	期待値の照合結果確認	0xE7	(Read) 0x01: OK 0x00: NG	(Read) 0x00

【注意】

- プログラム・コード領域の書き込みは、4 バイト単位です。
アドレスの下位 4 ビットは、4 バイト境界(0H/4H/8H/CH)を設定してください。
- データ・フラッシュ領域書き込みは、1 バイト単位です。

25.4.4 ISP モードへの移行コマンド

図 25-6 に ISP モードへの移行タイミングチャートを示します。



- A. システムのリセット。RESET_N="L", TEST0="L"を入力する。
 B. TEST0="L"中に RESET_Nを"L"から"H"に立ち上げる。
 C. TEST0 端子から 250µs.min の"L"レベルを 2 回送信する。
 D. ホスト側で設定した UART 通信のボーレートで、データ 0x80 を送信する。
 E. ホスト側で設定した UART 通信のボーレートで、0x5A→0xFF→0xFD の順番でデータを送信する。
 F. ホスト側で設定した UART 通信のボーレートで 0x01 を送信、3 バイト目が 0x05 になるまで A~F を繰り返す。

図 25-6 ISP モードへの移行タイミングチャート

【注意】

- ISP モード移行コマンド(図 25-6 の B)から初期設定コマンド送信①の完了まで 55ms 以内に処理してください。
- ISP モード以外では RESET_N 端子の立ち上がりの時に TEST0 端子を"L"レベルにしないでください。

25.4.5 フラッシュ・メモリの操作

ISP モードに移行後のフラッシュ・メモリの消去／書き換えフローを図 25-7 に示します。

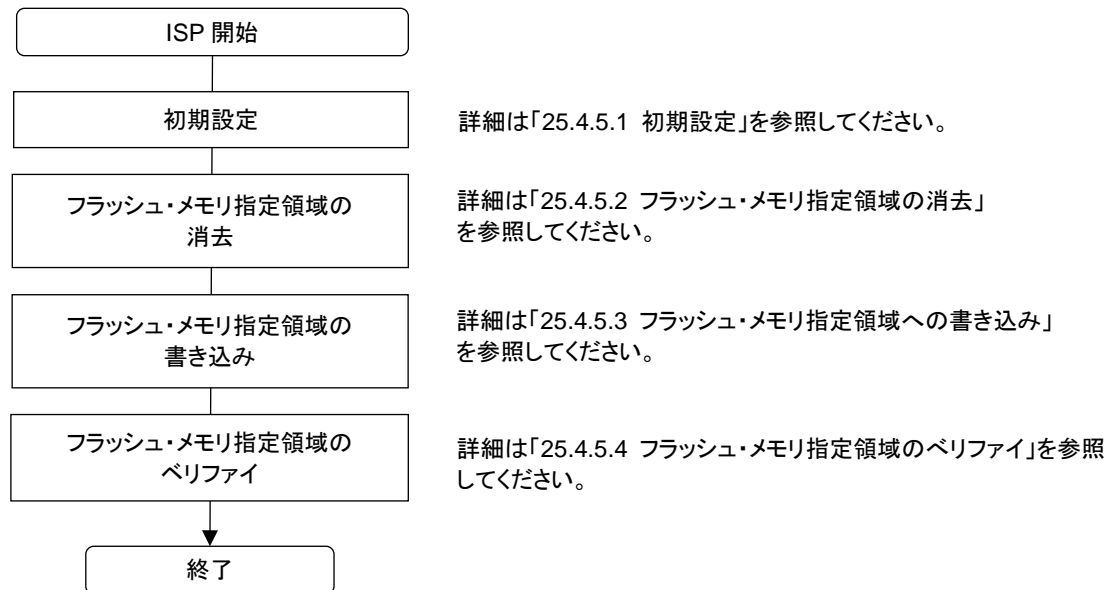


図 25-7 フラッシュ・メモリ消去／書き換えフローチャート(概略)

25.4.5.1 初期設定

初期設定のフローを図 25-8 に示します。

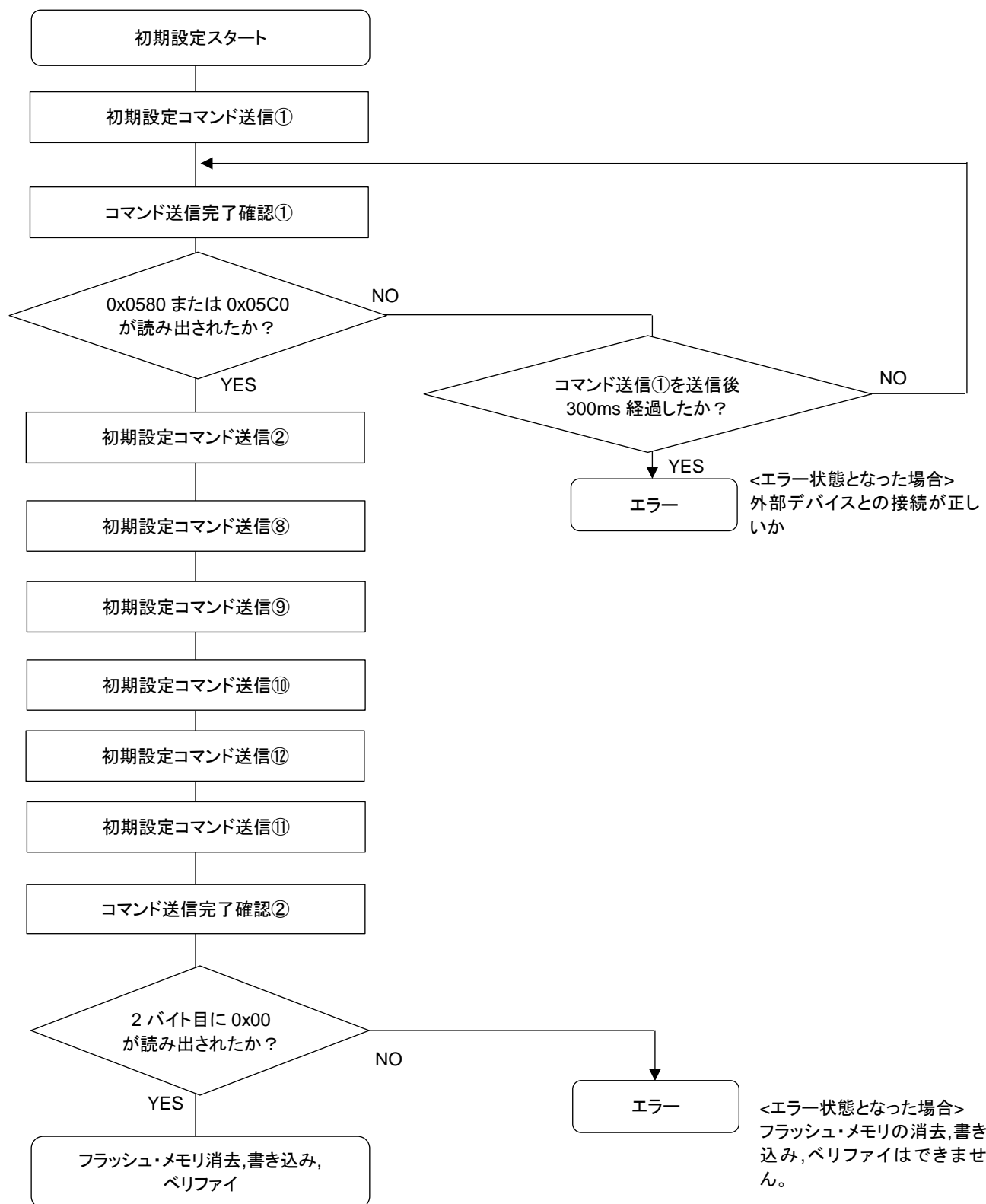


図 25-8 初期設定フローチャート

【注意】

- 初期設定処理は 1000ms 以内に処理してください。

25.4.5.2 フラッシュ・メモリ指定領域の消去

フラッシュ・メモリ指定領域消去のフローを図 25-9 に示します。

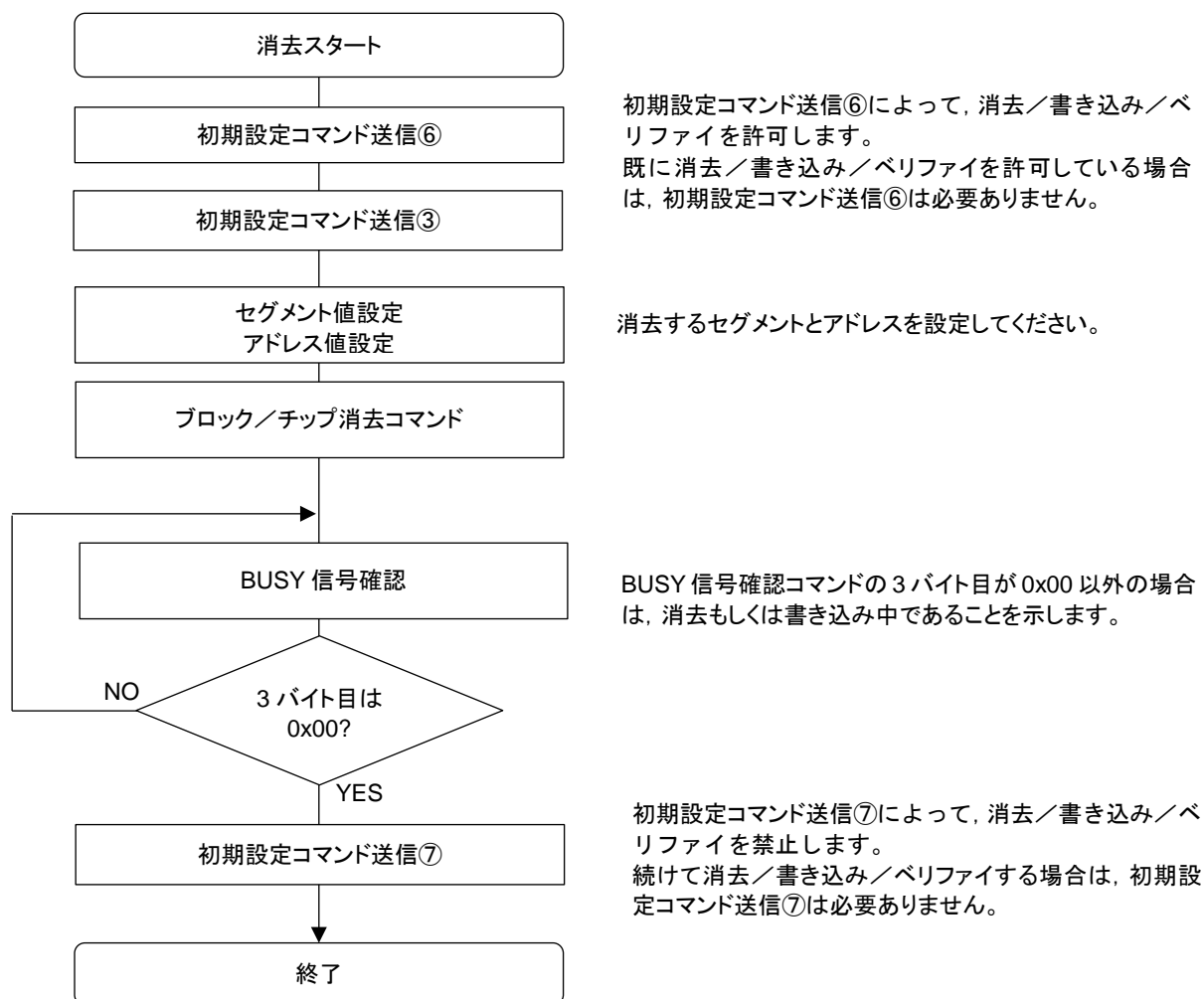


図 25-9 フラッシュ・メモリ指定領域の消去フローチャート

【注意】

- 消去は 500ms 以内に処理してください。

25.4.5.3 フラッシュ・メモリ指定領域への書き込み

フラッシュ・メモリ指定領域への書き込みフローを図 25-10 に示します。

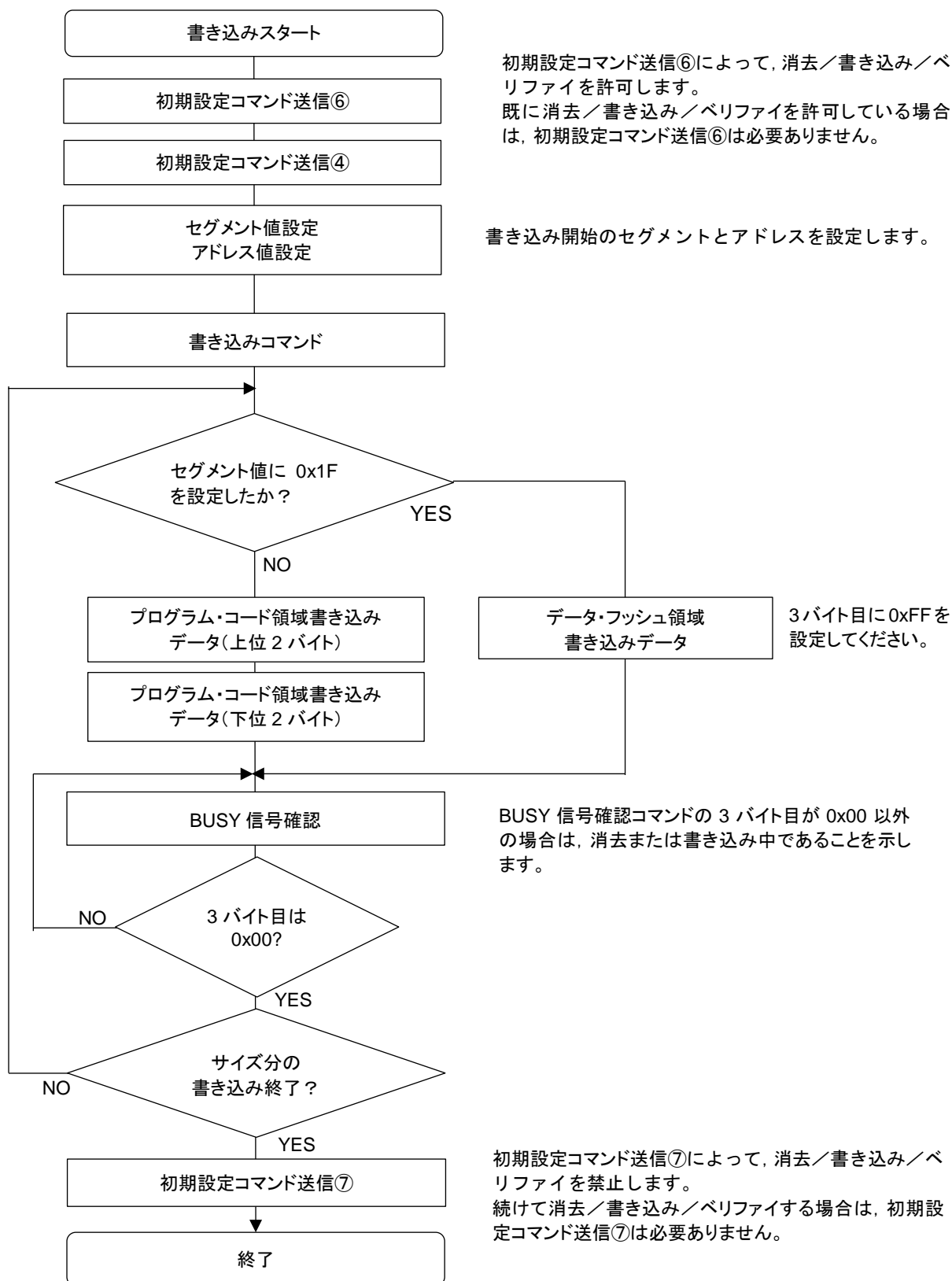


図 25-10 フラッシュ・メモリ指定領域への書き込みフローチャート

【注意】

- 書き込みは 500ms 以内に処理してください。複数アドレスを書き込む場合は、データ設定から次のアドレスのデータ設定、または初期コマンド送信⑦完了までを 500ms 以内に処理してください。

25.4.5.4 フラッシュ・メモリ指定領域のベリファイ

フラッシュ・メモリ指定領域のベリファイのフローを図 25-11 に示します。

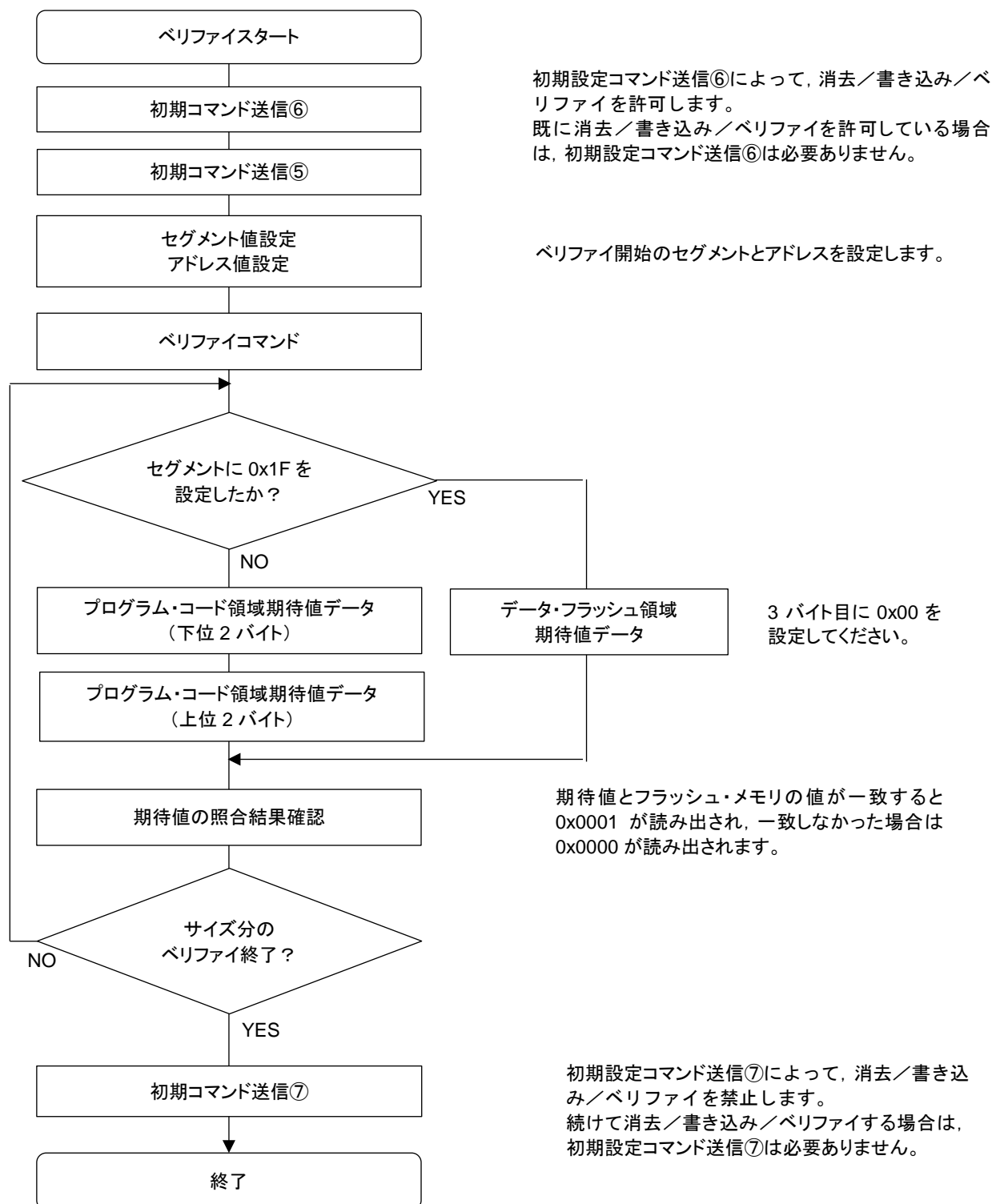


図 25-11 フラッシュ・メモリ指定領域のベリファイフローチャート

【注意】

- ベリファイは 500ms 以内に処理してください。複数アドレスをベリファイする場合は、データ設定から次のアドレスのデータ設定、または初期コマンド送信⑦完了までを 500ms 以内に処理してください。

25.4.6 フラッシュ・メモリ消去／書き込みのアドバンスド制御

フラッシュ・メモリ指定領域の消去／書き込みをより早くするための方法を示します。

25.4.5.2 項および 25.4.5.3 項では消去コマンドまたは書き込みデータを送信後に BUSY 信号確認をして次のコマンドを転送するフローでした。BUSY 信号が解除されるまでの時間 (t_{busy}) を考慮して、次のコマンドを送信することで処理時間の短縮が可能です。

25.4.6.1 アドバンスド制御のコマンド送信タイミング

LSI は消去や書き込みの通信コマンドを受けると、フラッシュ・メモリへ消去／書き込み命令を発行します。それから次のフラッシュ・メモリへの命令を受け付けるまでに BUSY 時間 t_{busy} を要します。そのため、消去／書き込みの通信コマンドは命令の発行間隔が t_{busy} 以上になるように通信コマンドを送信してください。

コマンドの送信タイミングは下記により算出します。

コマンド転送時間 $t_{\text{cmd}} = (10[\text{bit}] / \text{転送レート}[\text{bps}])$

待ち時間 $t_{\text{wait}} = \text{BUSY 時間 } t_{\text{busy}} - (\text{コマンド転送時間 } t_{\text{cmd}} \times \text{コマンド数 } N)$

以下に書き込み時のコマンド送信例を示します。

(1) プログラム・コード領域への書き込み／ボーレート 1Mbps のとき:

“プログラム・コード領域書き込みデータ(下位 2 バイト)”コマンドの受け付け間隔が t_{busy} 以上になるようにコマンドを送信してください。

$$t_{\text{cmd}} = 10 \text{ bit} / 1\text{Mbps} = 10 [\mu\text{s}]$$

$$t_{\text{wait}} = t_{\text{busy}} - (t_{\text{cmd}} \times 2) = 80 - 10 \times 2 = 60 [\mu\text{s}]$$

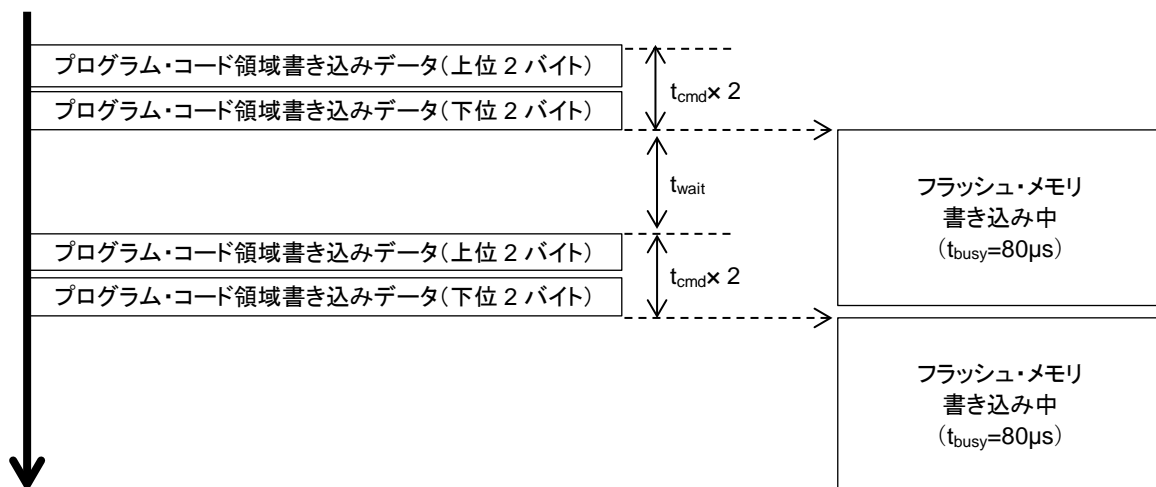


図 25-12 プログラム・コード領域書き込みのアドバンスド制御 1

図 25-13 に示すように“プログラム・コード領域書き込みデータ(上位 2 バイト)”コマンドは、“プログラム・コード領域書き込みデータ(下位 2 バイト)”コマンドの前であればタイミングは問いません。

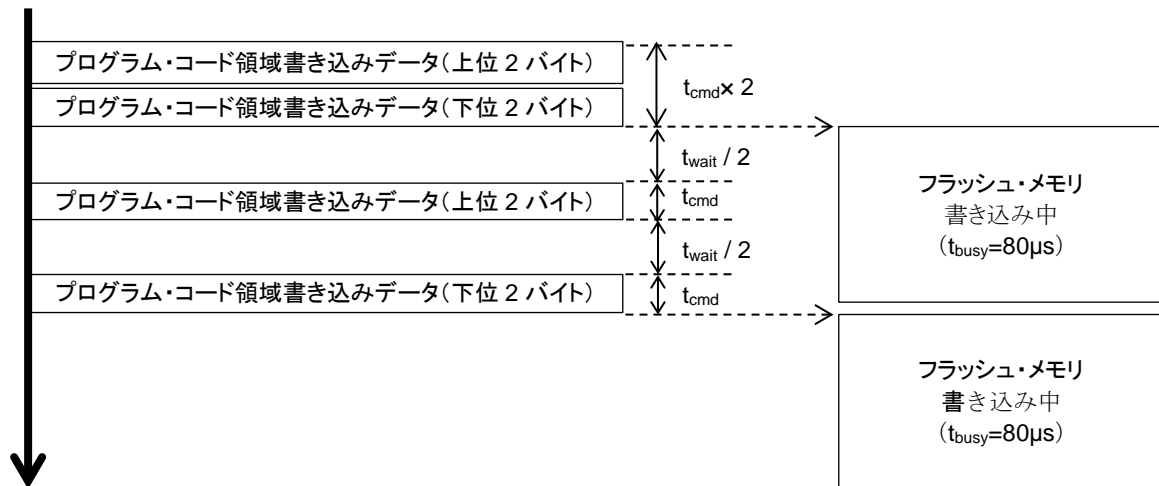


図 25-13 プログラム・コード領域書き込みのアドバンスド制御 2

- (2) データ・フラッシュ領域への書き込み／ボーレート 1Mbps のとき:
“データ・フラッシュ領域書き込みデータ”コマンドの受付け間隔が t_{busy} 以上になるようにコマンドを送信してください。

$$t_{cmd} = 10 \text{ bit} / 1\text{Mbps} = 10 \text{ }[\mu\text{s}]$$

$$t_{wait} = t_{busy} - (t_{cmd} \times 1) = 40 - 10 \times 1 = 30 \text{ }[\mu\text{s}]$$

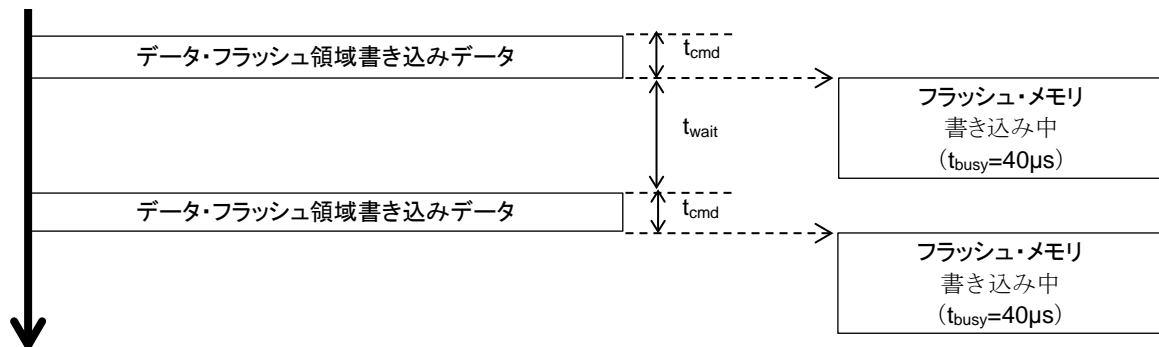


図 25-14 データ・フラッシュ領域書き込みのアドバンスド制御

25.4.6.2 アドバンスド制御時のタイムアウト

ISP モードでは一定時間が経過するとタイムアウトと判定して ISP モードから抜ける機能があります。ISP モード移行後は、2800ms 以内の間隔で次のいずれかのコマンドを発行してください。

- ・コマンド送信完了確認①
- ・BUSY 信号確認
- ・期待値の照合結果確認

25.4.6.3 フラッシュ・メモリ指定領域の消去（アドバンスド制御）

アドバンス制御によるフラッシュ・メモリ指定領域消去のフローを図 25-15 に示します。

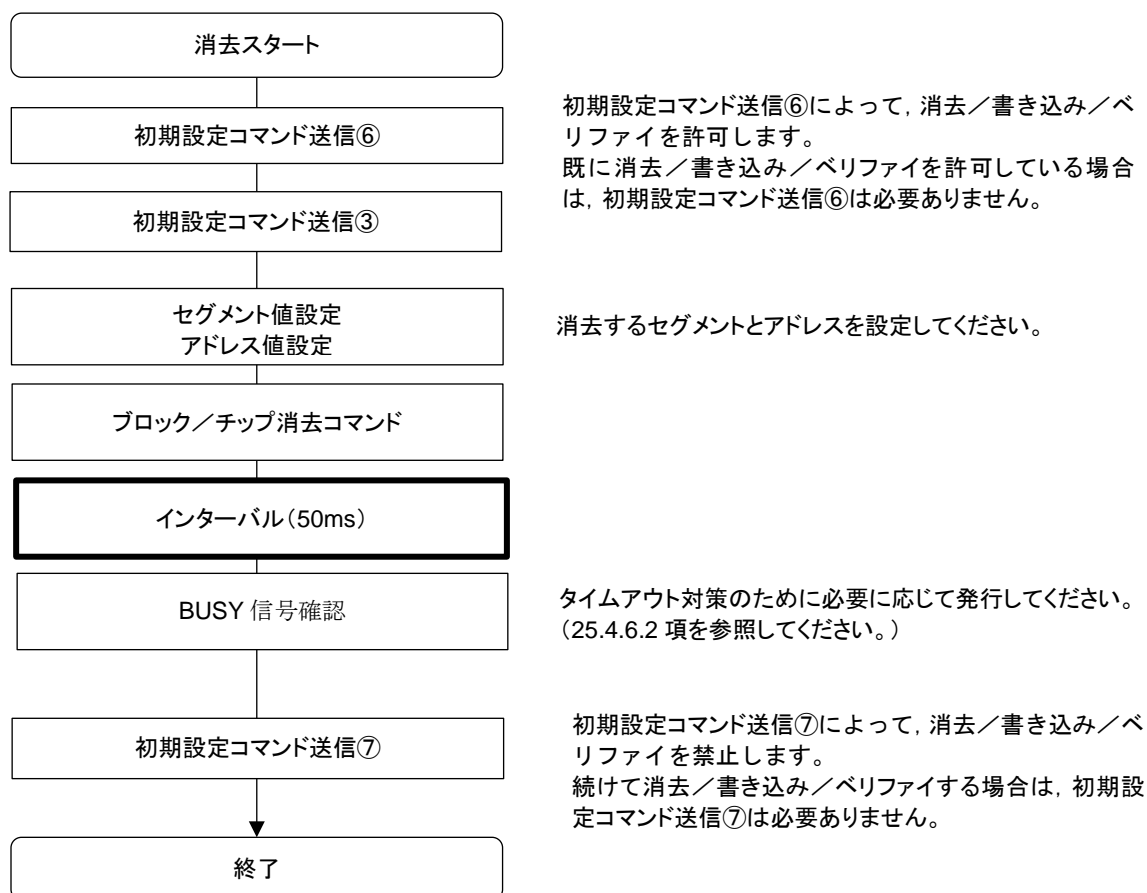


図 25-15 フラッシュ・メモリ指定領域の消去（アドバンスド制御）フローチャート

25.4.6.4 フラッシュ・メモリ指定領域への書き込み（アドバンスド制御）

アドバンス制御によるフラッシュ・メモリ指定領域への書き込みフローを図 25-16 に示します。

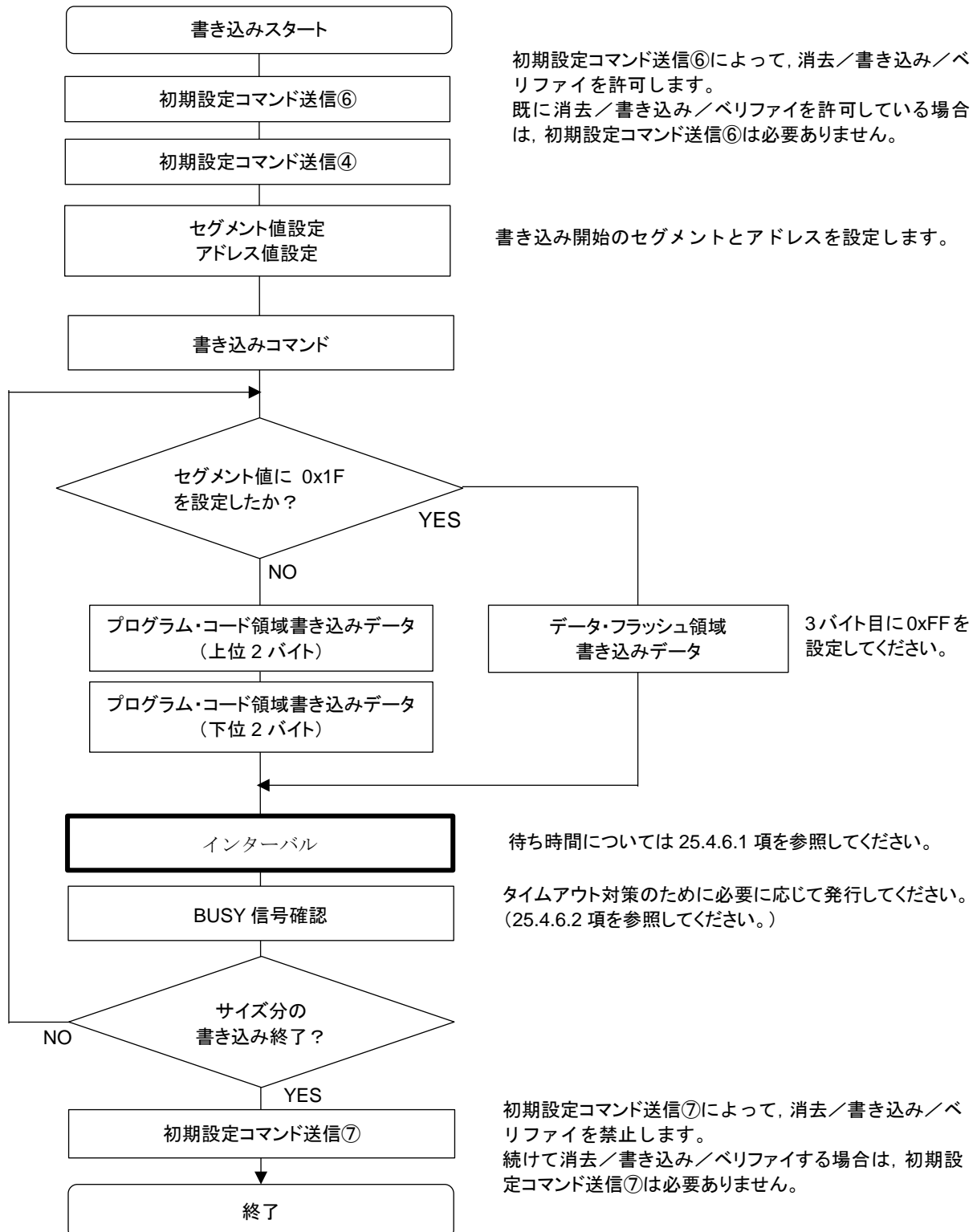


図 25-16 フラッシュ・メモリ指定領域への書き込み（アドバンスド制御）フローチャート

第 26 章 コードオプション

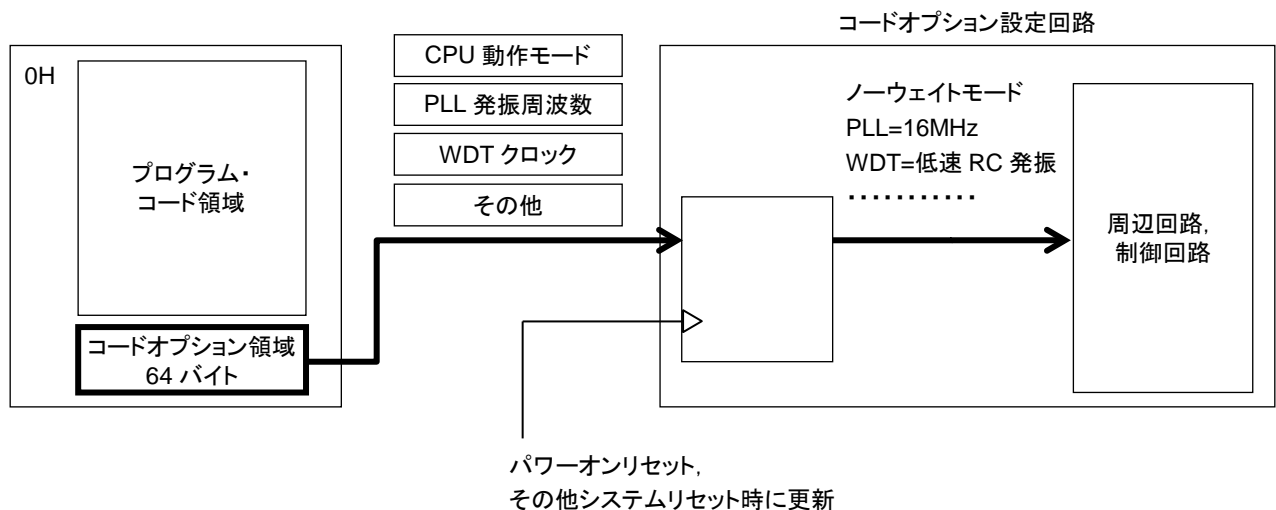
26. コードオプション

26.1 概要

コードオプションは、プログラム・メモリ空間のコードオプション領域に書き込んだ値によって、CPU の動作モード、PLL の基本周波数、ウォッチドッグタイマの動作クロック等を選択します。

以下のシステムリセットによるマイコン起動時に、ハードウェアが自動的にコードオプション領域のデータを参照し、選択された各機能を設定します。

- パワーオンリセット
- 電圧レベル監視リセット
- RESET_N 端子リセット
- ウォッチドッグタイマ (WDT) オーバフローリセット
- ウォッチドッグタイマ (WDT) 不正クリアリセット
- RAM パリティエラーリセット
- ROM 未使用領域アクセスリセット



コードオプション領域は、オンチップデバッグ機能、フラッシュ・メモリのセルフ書き換え機能、および ISP 機能により消去・書き込みが可能です。

図 26-1 コードオプション 概要図

26.1.1 機能一覧

- ROM 未使用領域アクセスリセットの許可／禁止を選択可能
- リマップ機能の動作許可／禁止を選択可能
- ウォッチドッグタイマの動作クロック(低速発振 LSCLK／WDT 専用発振)を選択可能
- ウォッチドッグタイマの動作許可／禁止を選択可能
- PLL の基本周波数(16MHz／24MHz)を選択可能
- CPU の動作モード(ウェイトモード／ノーウェイトモード)を選択可能
- リマップ機能(ソフトウェアリマップ／ハードウェアリマップ)を選択可能

26.2 コードオプション説明

26.2.1 コードオプション 0 (CODEOP0)

プログラム・メモリ空間のコードオプション領域のアドレスに割り付けたシンボルです(特殊機能レジスタ(SFR)とは異なります)。以下の動作を選択します。

アドレス: (表 26-1 を参照)

初期値: 0xFFFF(消去時/フラッシュメモリブランク品の工場出荷時)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CODEOP0															
ビット	—	—	—	PCERMD	—	—	—	REMAPMD	—	—	—	—	—	WDTNMCK	WDTSPMD	WDTMD
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット番号	ビット名	説明
15～13	—	予約ビット
12	PCERMD	ROM 未使用領域アクセスリセットの許可／禁止を選択するビットです。 ROM 未使用領域アクセスリセットについては、「29.3.2 ROM 未使用領域アクセスリセット機能」を参照してください。 0: ROM 未使用領域アクセスリセットを禁止 1: ROM 未使用領域アクセスリセットを許可(初期値)
11～9	—	予約ビット
8	REMAPMD	リマップ(ソフトウェアリマップもしくはハードウェアリマップ)機能の動作禁止／許可を選択するビットです。 リマップ機能の詳細は、「2.8 リマップ機能」を参照してください。 0: リマップ機能の動作許可 1: リマップ機能の動作禁止(初期値)
7～3	—	予約ビット
2	WDTNMCK	ウォッチドッグタイマ(WDT)の動作クロックを選択するビットです。 0: 低速クロック(32.768kHz)を分周したクロック(1.024kHz) 1: ウォッチドッグタイマ専用 RC1K 発振クロック(初期値) ウォッチドッグタイマの詳細は、「第 10 章ウォッチドッグタイマ」を参照してください。
1	WDTSPMD	本ビットは、“0”に設定してください。
0	WDTMD	ウォッチドッグタイマ(WDT)の動作禁止／許可を選択するビットです。 0: WDT 動作禁止 1: WDT 動作許可(初期値)

【注意】

- WDTSPMD ビットは“0”に設定してください。

26.2.2 コードオプション 1 (CODEOP1)

プログラム・メモリ空間のコードオプション領域のアドレスに割り付けたシンボルです (特殊機能レジスタ (SFR) とは異なります)。以下の動作を選択します。

アドレス: (表 26-1 を参照)
初期値: 0xFFFF (消去時／フラッシュメモリブランク品の工場出荷時)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	CODEOP1															
ビット	—	—	—	—	—	—	—	—	—	—	—	—	PLLM D1	PLLM D0	CPUM D1	CPUM D0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット 番号	ビット名	説明															
15～4	－	予約ビット															
3, 2	PLLMD1, PLLMD0	<p>PLL の基本周波数を選択するビットです。</p> <p>00: 使用禁止</p> <p>01: 使用禁止</p> <p>10: PLL の基本周波数=24MHz</p> <p>11: PLL の基本周波数=16MHz(初期値)</p> <p>PLL の基本周波数と CPU および周辺回路の最大動作周波数の関係を以下に示します。</p> <table><tr><th rowspan="2">PLL 基本周 波数</th><th colspan="3">最大動作周波数</th></tr><tr><th>周辺回路</th><th>CPU(ウェイトモード)</th><th>CPU(ノーウェイトモード)</th></tr><tr><td>24MHz</td><td>24MHz</td><td>24MHz</td><td>6MHz</td></tr><tr><td>16MHz</td><td>16MHz</td><td>16MHz</td><td>8MHz</td></tr></table> <p>CPU の動作モード(ウェイトモード, ノーウェイトモード)については,「第 2 章 CPU とメモリ空間」ならびに「付録 C インストラクション実行サイクル」を参照してください。</p>	PLL 基本周 波数	最大動作周波数			周辺回路	CPU(ウェイトモード)	CPU(ノーウェイトモード)	24MHz	24MHz	24MHz	6MHz	16MHz	16MHz	16MHz	8MHz
PLL 基本周 波数	最大動作周波数																
	周辺回路	CPU(ウェイトモード)	CPU(ノーウェイトモード)														
24MHz	24MHz	24MHz	6MHz														
16MHz	16MHz	16MHz	8MHz														
1, 0	CPUMD1, CPUMD0	<p>CPU の動作モードを選択するビットです。</p> <p>00: 使用禁止(ウェイトモード)</p> <p>01: ウェイトモード</p> <p>10: 使用禁止(ノーウェイトモード)</p> <p>11: ノーウェイトモード(初期値)</p>															

26.2.3 コードオプション 2 (CODEOP2)

プログラム・メモリ空間のコードオプション領域のアドレスに割り付けたシンボルです (特殊機能レジスタ (SFR) とは異なります)。以下の動作を選択します。

アドレス: (表 26-1 を参照)
初期値: 0xFFFF (消去時／フラッシュメモリブランク品の工場出荷時)

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット	CODEOP2															
初期値	CREMAPMD	—	CRES1	CRES0	CREA15	CREA14	CREA13	CREA12	—	—	—	—	—	—	—	—
	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット番号	ビット名	説明
15	CREMAPMD	フラッシュリマップアドレスレジスタ (REMAPADD) のシステムリセット後の初期値を制御するビットです。 0: REMAPADD の初期値は、CREA15～12 及び CRES1～0 の値 1: REMAPADD の初期値は、0x00 CREMAPMD を“0”に設定すると REMAPADD の初期値は、CREA15～12 及び CRES1～0 に設定した値になります。REMAPADD (SFR) については、「2.7.3 フラッシュリマップアドレスレジスタ (REMAPADD)」を参照してください。 コードオプション 0 の REMAPMD を“0”にすることでリマップ機能の動作が許可されます。 また、本コードオプション 2 の CREMAPMD を“0”にし、CREA15～12 及び CRES1～0 にフラッシュリマップアドレスレジスタ (REMAPADD) の初期値を設定することで、システムリセット時に常に CREA15～12 及び CRES1～0 で設定された番地にリマップします。 「2.8.3 コードオプションリマップ」を合わせて参照してください。
14～12	CRES1～CRES0	フラッシュリマップアドレスレジスタ (REMAPADD) の RES1～RES0 の初期値を設定するビットです。
11～8	CREA15～CREA12	フラッシュリマップアドレスレジスタ (REMAPADD) の REA15～REA12 の初期値を設定するビットです。
7～0	-	予約ビット

リセット解除後の命令実行先頭アドレス

リセット種類	REMAPMD	CREMAPMD	リマップ機能	リセット解除後の命令実行先頭アドレス
CPU リセット (BRK 命令)	1	1	無効	0x0000
	1	0		
	0	1	有効 (ソフトウェアリマップ)	REMAPADD に設定した値
	0	0		
システムリセット (BRK 命令以外のリセット)	1	1	無効	0x0000
	1	0		
	0	1	有効 (コードオプションリマップ)	REMAPADD の初期値 (コードオプション 2 で設定した値)
	0	0		

「2.7.3 フラッシュリマップアドレスレジスタ (REMAPADD)」ならびに「2.8.3 コードオプションリマップ」を合わせて参照してください。

26.3 コードオプションデータ設定方法

プログラム・メモリ空間（フラッシュ・メモリ）の容量によりコードオプション領域のアドレスが異なります。
表 26-1 に各商品のコードオプション領域のアドレスを示します。

表 26-1 各商品のコードオプション領域のアドレス一覧

ML62Q1500C グループ

商品名	プログラム・メモリ空間の容量	コードオプション領域	アドレス		
			CODEOP2	CODEOP1	CODEOP0
ML62Q1543C/1553C/1563C	96K バイト	0x1:7FC0～0x1:7FFF	0x1:7FD4	0x1:7FD2	0x1:7FD0
ML62Q1544C/1554C/1564C	128K バイト	0x1:FFC0～0x1:FFFF	0x1:FFD4	0x1:FFD2	0x1:FFD0

ML62Q1700C グループ

商品名	プログラム・メモリ空間の容量	コードオプション領域	アドレス		
			CODEOP2	CODEOP1	CODEOP0
ML62Q1713C/1723C/1733C	96K バイト	0x1:7FC0～0x1:7FFF	0x1:7FD4	0x1:7FD2	0x1:7FD0
ML62Q1714C/1724C/1734C	128K バイト	0x1:FFC0～0x1:FFFF	0x1:FFD4	0x1:FFD2	0x1:FFD0

図 26-2 にコードオプション設定のプログラム例 (プログラム・メモリ空間=96K バイト商品) を示します。設定は各機種のス
タートアップファイル (ML621xxx.ASM) に記述します。
コードオプションデータ領域の使用しないビットは、すべて“1”に設定してください。
フラッシュメモリブランク品の LAPIS 工場出荷時は、すべてのビットが“1”に設定されています。

```
;-----  
;      Filling the Test area at code memory  
;-----  
cseg #1 at    07fc0h ; address  
dw           0ffffh ; 07fc0h  
dw           0ffffh ; 07fc2h  
dw           0ffffh ; 07fc4h  
dw           0ffffh ; 07fc6h  
dw           0ffffh ; 07fc8h  
dw           0ffffh ; 07fc9h  
dw           0ffffh ; 07fcch  
dw           0ffffh ; 07fceh  
dw           0eef8h ; 07fd0h (CODEOP0)  
                ; ROM 未使用領域アクセスリセット禁止, リマップ動作許可, WDT 動作禁止  
dw           0fff9h ; 07fd2h (CODEOP1)  
                ; PLL 周波数 24MHz, CPU ウェイトモード  
dw           04dffh ; 07fd4h (CODEOP2)  
                ; システムリセット時のリマップアドレス設定 (0:d000)  
dw           0ffffh ; 07fd6h  
dw           0ffffh ; 07fd8h  
dw           0ffffh ; 07fdah  
dw           0ffffh ; 07fdch  
dw           0ffffh ; 07fdeh  
  
cseg #1 at    07fe0h ; address  
dw           0ffffh ; 07fe0h  
.....  
.....
```

図 26-2 コードオプションデータのプログラム例 (プログラム・メモリ空間=96K バイト商品)

- 【注意】
- コードオプションデータの定義は、必ず dw 擬似命令を使い、ワード単位で設定してください。

第 27 章 LCD ドライバ

27. LCD ドライバ

27.1 概要

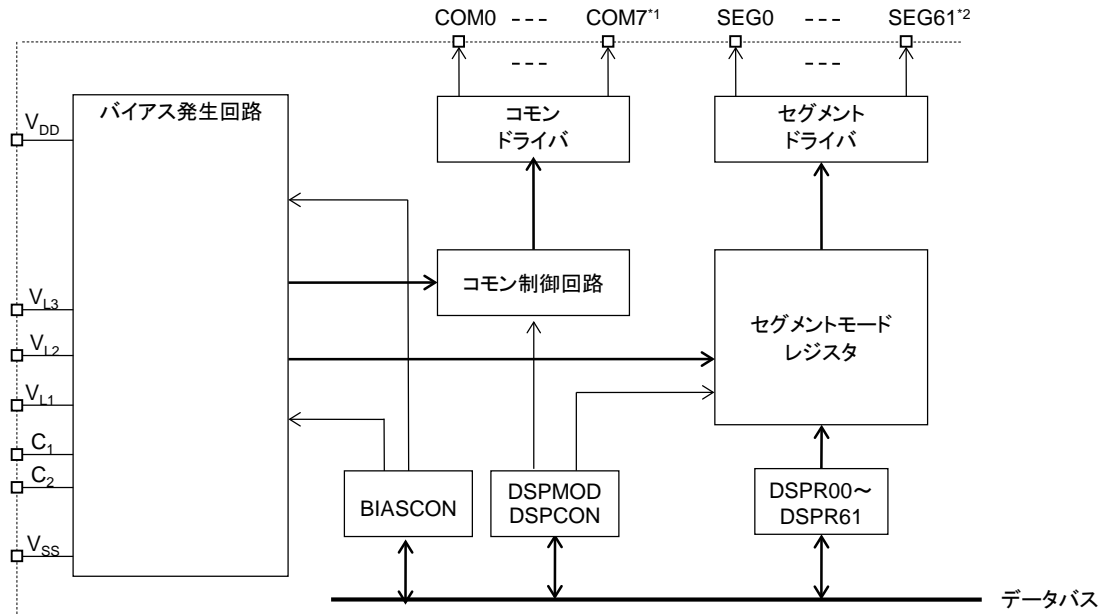
LCD ドライバを使用して、表示レジスタ 00～61 に設定された内容を LCD パネルに表示することが可能です。

27.1.1 特長

- 最大 360 ドット
ML62Q1713C/ML62Q1714C: 27seg×8com (com Max.), 32seg×3com (seg Max.)
ML62Q1723C/ML62Q1724C: 35seg×8com (com Max.), 40seg×3com (seg Max.)
ML62Q1733C/ML62Q1734C: 45seg×8com (com Max.), 50seg×3com (seg Max.)
- 使用しないセグメント出力端子・コモン出力端子は汎用入出力端子として使用可能
- 1/1 デューティ～1/8 デューティ
- 1/3 バイアス(バイアス発生回路内蔵)
- LCD 駆動波形選択可能(A 波形 または, B 波形)
- フレーム周波数選択可能(約 32Hz, 約 38Hz, 約 64Hz, 約 75Hz, 約 128Hz, 約 150Hz)
- LCD 駆動電圧生成方式選択可能(内部昇圧／外部印加容量分圧／内部印加容量分圧／外部印加)
- LCD 停止, LCD 表示, 全点灯, 全消灯モード選択可能
- LCD 白黒反転可能
- LED 表示制御可能(外部に駆動用 MOS トランジスタが必要)
- コントラスト調整: 32 段階選択可能(内部昇圧モード時のみ)
- LCD 点滅が可能(表示レジスタの上位 4 ビットと下位 4 ビットをソフトウェアまたは自動で交互に表示。1/1～1/4 デューティのみ)

27.1.2 LCD 表示機能の構成

図 27-1 に LCD 表示機能回路の構成を示します。



- *1: COM0～COM2 は汎用入出力端子と兼用
COM3～COM7 はセグメント出力端子, 汎用入出力端子と兼用
- *2: SEG0～SEG4 はコモン出力端子, 汎用入出力端子と兼用
SEG5～SEG61 は汎用入出力端子と兼用

BIASCON : バイアスコントロールレジスタ
DSPMOD : 表示モードレジスタ
DSPCON : 表示コントロールレジスタ
DSPR00～DSPR61 : 表示レジスタ 00～61

図 27-1 LCD 表示機能回路の構成

27.1.3 バイアス発生回路の構成

バイアス発生回路は、以下に示す 4 つの方式が選択できます。

内部昇圧方式:

定電圧回路の発生電圧 (V_{L1}) を元にコンデンサ (C_{12}) にて昇圧し、LCD ドライバ用の駆動電圧 ($V_{L1} \sim V_{L3}$) を発生するバイアスコントロールレジスタ (BIASCON) の LCN4 ~ LCN0 ビットにより、32 段階の表示コントラスト調整が可能です。

内部印加容量分圧方式:

V_{L3} を内部で V_{DD} に接続し、コンデンサ (C_{12}) にて V_{L2} および V_{L1} を容量分圧で発生する

外部印加容量分圧方式:

V_{L3} に外部から電圧を印加し、コンデンサ (C_{12}) にて V_{L2} および V_{L1} を容量分圧で発生する

外部印加方式:

$V_{L1} \sim V_{L3}$ に外部から電圧を印加する

バイアスコントロールレジスタ (BIASCON) の BSON ビットを“1”にすると、バイアス発生回路が動作を開始します。

図 27-2 にバイアス発生回路の各方式における外部構成例を示します。

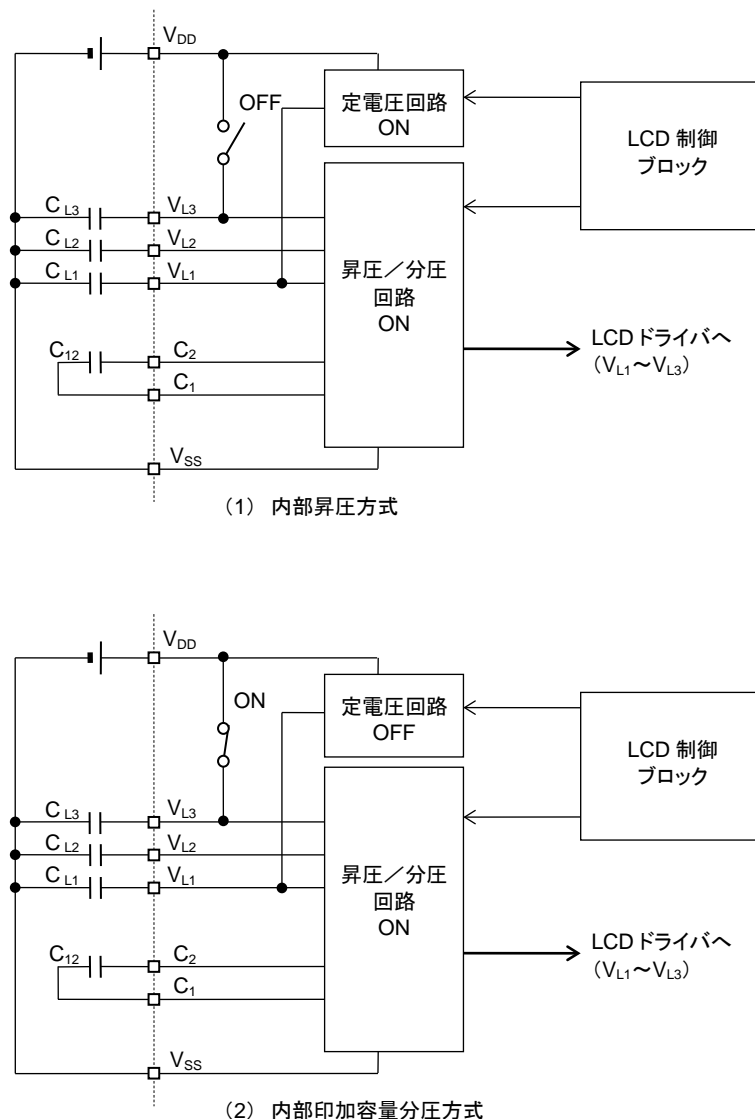


図 27-2 バイアス発生回路の外部構成例(1)

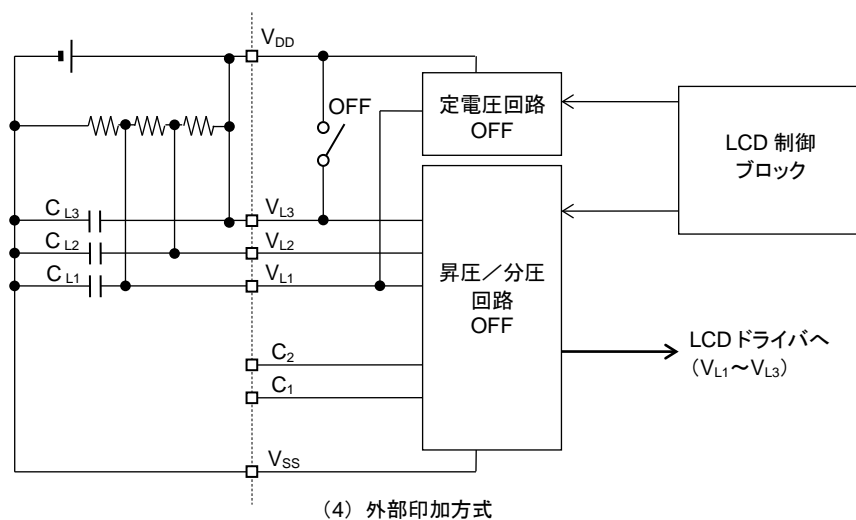
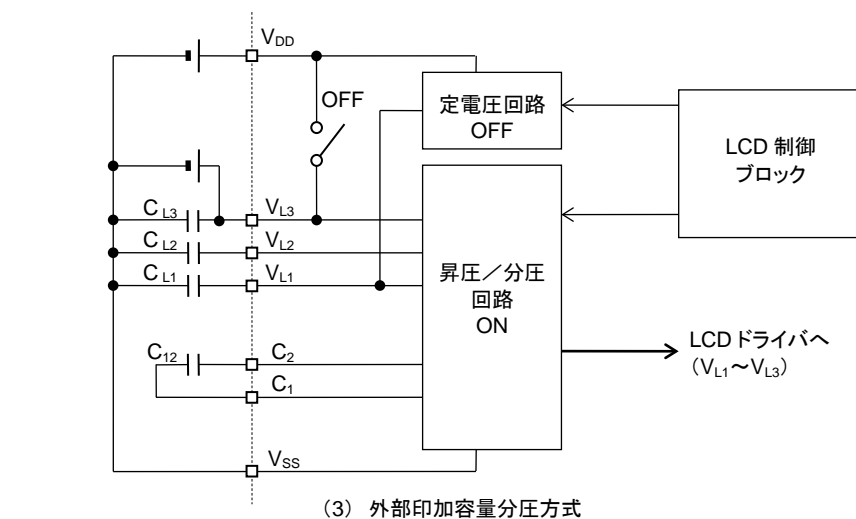


図 27-2 バイアス発生回路の外部構成例(2)

27.1.4 端子一覧

端子名	52 ピン製品	64 ピン製品	80 ピン製品	説明
	ML62Q1713C/ ML62Q1714C	ML62Q1723C/ ML62Q1724C	ML62Q1733C/ ML62Q1734C	
C ₁	●	●	●	LCD バイアス電源発生用コンデンサ接続 1
C ₂	●	●	●	LCD バイアス電源発生用コンデンサ接続 2
V _{L1}	●	●	●	LCD バイアス電源 1
V _{L2}	●	●	●	LCD バイアス電源 2
V _{L3}	●	●	●	LCD バイアス電源 3
P04/COM0	●	●	●	汎用入出力/コモン出力
P05/COM1	●	●	●	汎用入出力/コモン出力
P06/COM2	●	●	●	汎用入出力/コモン出力
P07/ COM3/SEG0	●	●	●	汎用入出力/セグメント出力/コモン出力
P10/ COM4/SEG1	●	●	●	汎用入出力/セグメント出力/コモン出力
P11/ COM5/SEG2	●	●	●	汎用入出力/セグメント出力/コモン出力
P12/ COM6/SEG3	●	●	●	汎用入出力/セグメント出力/コモン出力
P13/ COM7/SEG4	●	●	●	汎用入出力/セグメント出力/コモン出力
P50/SEG5	●	●	●	汎用入出力/セグメント出力
P51/SEG6	●	●	●	汎用入出力/セグメント出力
P52/SEG7	—	●	●	汎用入出力/セグメント出力
P53/SEG8	—	●	●	汎用入出力/セグメント出力
P93/SEG12	—	—	●	汎用入出力/セグメント出力
P94/SEG13	—	—	●	汎用入出力/セグメント出力
P95/SEG14	—	—	●	汎用入出力/セグメント出力
P96/SEG15	—	—	●	汎用入出力/セグメント出力
P54/SEG20	—	●	●	汎用入出力/セグメント出力
P55/SEG21	—	●	●	汎用入出力/セグメント出力
P14/SEG22	●	●	●	汎用入出力/セグメント出力
P15/SEG23	●	●	●	汎用入出力/セグメント出力
P16/SEG24	●	●	●	汎用入出力/セグメント出力
P17/SEG25	●	●	●	汎用入出力/セグメント出力
P20/SEG26	●	●	●	汎用入出力/セグメント出力
P21/SEG27	●	●	●	汎用入出力/セグメント出力
P22/SEG28	●	●	●	汎用入出力/セグメント出力
P23/SEG29	●	●	●	汎用入出力/セグメント出力
P24/SEG30	●	●	●	汎用入出力/セグメント出力
P25/SEG31	●	●	●	汎用入出力/セグメント出力
P26/SEG32	●	●	●	汎用入出力/セグメント出力
P27/SEG33	●	●	●	汎用入出力/セグメント出力
P56/SEG34	●	●	●	汎用入出力/セグメント出力
P57/SEG35	—	●	●	汎用入出力/セグメント出力
PA3/SEG36	—	—	●	汎用入出力/セグメント出力
PA4/SEG37	—	—	●	汎用入出力/セグメント出力
PB2/SEG43	—	—	●	汎用入出力/セグメント出力

端子名	52 ピン製品	64 ピン製品	80 ピン製品	説明
	ML62Q1713C/ ML62Q1714C	ML62Q1723C/ ML62Q1724C	ML62Q1733C/ ML62Q1734C	
PB3/SEG44	—	—	●	汎用入出力/セグメント出力
PB4/SEG45	—	—	●	汎用入出力/セグメント出力
PB5/SEG46	—	—	●	汎用入出力/セグメント出力
P40/SEG47	—	●	●	汎用入出力/セグメント出力
P41/SEG48	●	●	●	汎用入出力/セグメント出力
P30/SEG49	●	●	●	汎用入出力/セグメント出力
P31/SEG50	●	●	●	汎用入出力/セグメント出力
P32/SEG51	●	●	●	汎用入出力/セグメント出力
P33/SEG52	●	●	●	汎用入出力/セグメント出力
P60/SEG53	●	●	●	汎用入出力/セグメント出力
P61/SEG54	●	●	●	汎用入出力/セグメント出力
P62/SEG55	●	●	●	汎用入出力/セグメント出力
P63/SEG56	●	●	●	汎用入出力/セグメント出力
P64/SEG57	●	●	●	汎用入出力/セグメント出力
P65/SEG58	●	●	●	汎用入出力/セグメント出力
P66/SEG59	●	●	●	汎用入出力/セグメント出力
P67/SEG60	—	●	●	汎用入出力/セグメント出力
P42/SEG61	—	●	●	汎用入出力/セグメント出力

●: 端子あり —: 端子なし

27.2 レジスタ説明

27.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF0F0	バイアスコントロールレジスタ	BIASCONL	BIASCON	R/W	8/16	0x08
0xF0F1		BIASCONH		R/W	8	0x00
0xF0F2	表示モードレジスタ	DSPMODL	DSPMOD	R/W	8/16	0x40
0xF0F3		DSPMODH		R/W	8	0x00
0xF0F4	表示コントロールレジスタ	DSPCONL	DSPCON	R/W	8/16	0x00
0xF0F5		DSPCONH		R/W	8	0x00
0xF0F6	セグメントモードレジスタ 0	SEGMOD0L	SEGMOD0	R/W	8/16	0x00
0xF0F7		SEGMOD0H		R/W	8	0x00
0xF0F8	セグメントモードレジスタ 1	SEGMOD1L	SEGMOD1	R/W	8/16	0x00
0xF0F9		SEGMOD1H		R/W	8	0x00
0xF0FA	セグメントモードレジスタ 2	SEGMOD2L	SEGMOD2	R/W	8/16	0x00
0xF0FB		SEGMOD2H		R/W	8	0x00
0xF0FC	セグメントモードレジスタ 3	SEGMOD3L	SEGMOD3	R/W	8/16	0x00
0xF0FD		SEGMOD3H		R/W	8	0x00
0xF0FE	予約レジスタ	—	—	—	—	—
0xF0FF		—	—	—	—	—
0xF100 ~0xF107	表示レジスタ 00 ~表示レジスタ 07	DSPR00 ~DSPR07	DSPRWxx (xx:00~07 の偶数値)	R/W	8/16	不定
			—	R/W	8	不定
0xF108	表示レジスタ 08	DSPR08	DSPRW08	R/W	8/16	不定
0xF109	予約レジスタ	—		—	—	—
0xF10A	予約レジスタ	—	—	—	—	—
0xF10B		—	—	—	—	—
0xF10C ~0xF10F	表示レジスタ 12 ~表示レジスタ 15	DSPR12 ~DSPR15	DSPRWxx (xx:12~15 の偶数値)	R/W	8/16	不定
			—	R/W	8	不定
0xF110 ~0xF113	予約レジスタ	—	—	—	—	—
0xF114 ~0xF125	表示レジスタ 20 ~表示レジスタ 37	DSPR20 ~DSPR37	DSPRWxx (xx:20~37 の偶数値)	R/W	8/16	不定
			—	R/W	8	不定
0xF126 ~0xF129	予約レジスタ	—	—	—	—	—
0xF12A	予約レジスタ	—	—	—	—	—
0xF12B	表示レジスタ 43	DSPR43	—	R/W	8/16	不定
0xF12C ~0xF13D	表示レジスタ 44 ~表示レジスタ 61	DSPR44 ~DSPR61	DSPRWxx (xx:44~61 の偶数値)	R/W	8/16	不定
			—	R/W	8	不定

27.2.2 バイアスコントロールレジスタ（BIASCON）

BIASCON レジスタは、バイアス発生回路を制御する特殊機能レジスタ（SFR）です。
BIASCONL は、表示停止状態（表示コントロールレジスタ(DSPCON)の LMD1=0, LMD0=0)で書き込んでください。
表示停止以外の状態で書き込んだ場合、書き込みは無効です。

アドレス: 0xF0F0(BIASCONL/BIASCON), 0xF0F1(BIASCONH)
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0008

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	BIASCON															
バイト	BIASCONH								BIASCONL							
ビット	—	—	—	LCN4	LCN3	LCN2	LCN1	LCN0	BTSEL 1	BTSEL 0	DSMD 1	DSMD 0	BSN2	BSN1	BSN0	BSON
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 13	—	予約ビット
12～8	LCN4～LCN0	表示のコントラストを 32 段階で調整するビットです。 定電圧回路で発生する V_{L1} の電圧を制御することでコントラストを調整します。 コントラストは設定値が低いと淡く、高いと濃くなります。 以下に V_{L1} の Typ.値を示します。詳細は、データシートの電気的特性を参照してください。 <div><div><div>0x00: 0.950V（初期値）</div><div>0x01: 0.975V</div><div>0x02: 1.000V</div><div>0x03: 1.025V</div><div>0x04: 1.050V</div><div>0x05: 1.075V</div><div>0x06: 1.100V</div><div>0x07: 1.125V</div><div>0x08: 1.150V</div><div>0x09: 1.175V</div><div>0x0A: 1.200V</div><div>0x0B: 1.225V</div><div>0x0C: 1.250V</div><div>0x0D: 1.275V</div><div>0x0E: 1.300V</div><div>0x0F: 1.325V</div></div><div><div>0x10: 1.350V</div><div>0x11: 1.375V</div><div>0x12: 1.400V</div><div>0x13: 1.425V</div><div>0x14: 1.450V</div><div>0x15: 1.475V</div><div>0x16: 1.500V</div><div>0x17: 1.525V</div><div>0x18: 1.550V</div><div>0x19: 1.575V</div><div>0x1A: 1.600V</div><div>0x1B: 1.625V</div><div>0x1C: 1.650V</div><div>0x1D: 1.675V</div><div>0x1E: 1.700V</div><div>0x1F: 1.725V</div></div></div>

ビット 番号	ビットシンボル 名	説明
7, 6	BTSEL1, BTSEL0	バイアス発生回路の動作を選択するビットです。 LED 表示時は, 外部印加方式を選択してください。 00: 外部印加方式 (初期値) 01: 内部昇圧方式 10: 外部印加容量分圧方式 11: 内部印加容量分圧方式
5	DSMD1	表示デバイスを指定するビットです。 0: LCD (初期値) 1: LED
4	DSMD0	白黒反転表示を選択するビットです。 0: 通常表示 (初期値) 1: 白黒反転表示
3~1	BSN2~BSN0	バイアス発生回路の昇圧用クロックを選択するビットです。 000: LSCLK (32.768kHz) 001: 1/2 LSCLK (16.384kHz) 010: 1/4 LSCLK (8.192kHz) 011: 1/8 LSCLK (4.096kHz) 100: 1/16 LSCLK (2.048kHz) (初期値) 101: 1/32 LSCLK (1.024kHz) 110: 1/64 LSCLK (512Hz) 111: 1/128 LSCLK (256Hz)
0	BSN0	バイアス発生回路の動作を制御するビットです。 BSN0 を“1”にするとバイアス発生回路は, LCD ドライバ用の駆動電圧 ($V_{L1} \sim V_{L3}$) を発生しま す。 0: バイアス発生回路オフ (初期値) 1: バイアス発生回路オン

27.2.3 表示モードレジスタ (DSPMOD)

DSPMOD レジスタは、LCD ドライバの波形タイプ、フレーム周波数、デューティを制御する特殊機能レジスタ (SFR) です。

DSPMODL は、表示停止状態 (表示コントロールレジスタ (DSPCON) の LMD1="0", LMD0="0") で書き込んでください。表示停止以外の状態で書き込んだ場合、書き込みは無効です。

アドレス: 0xF0F2 (DSPMODL/DSPMOD), 0xF0F3 (DSPMODH)
 アクセス: R/W
 アクセスサイズ: 8ビット/16ビット
 初期値: 0x0040

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	DSPMOD															
バイト	DSPMODH								DSPMODL							
ビット	—	—	—	WTYP E	—	—	—	—	FRM2	FRM1	FRM0	—	DUTY 3	DUTY 2	DUTY 1	DUTY 0
R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～ 13	—	予約ビット
12	WTYPE	LCD 駆動波形を選択するビットです。 LED モード時は、A 波形を選択してください。 0: A 波形(ライン反転)/LED モード(初期値) 1: B 波形(フレーム反転)
11～8	—	予約ビット
7～5	FRM2～ FRM0	LCD ドライバのフレーム周波数を選択するビットです。 000: フレーム周波数 約 32Hz 001: フレーム周波数 約 38Hz 010: フレーム周波数 約 64Hz(初期値) 011: フレーム周波数 約 75Hz 100: フレーム周波数 約 128Hz 101: フレーム周波数 約 150Hz 110: 周波数補正確認テストモード(フレーム周波数 32Hz) ^{*1} 111: 周波数補正確認テストモード(フレーム周波数 64Hz) ^{*1}
*1: 周波数補正確認テストモードは、低速タイムベースカウンタの周波数補正の確認に使用するためのモードです。詳細については、第 7 章低速タイムベースカウンタの「7.3.3 LCD ドライバを利用した周波数確認方法」を参照してください。		
4	—	予約ビット
3～0	DUTY3～ DUTY0	表示デューティおよびコモン端子を設定するビットです。 COM7～COM3 端子機能は、このビット設定がセグメントモードレジスタより優先されます。 0000: COM 端子は使用しない(初期値) 0001: 1/1 デューティ COM0 端子を使用 0010: 1/2 デューティ COM0～COM1 端子を使用 0011: 1/3 デューティ COM0～COM2 端子を使用 0100: 1/4 デューティ COM0～COM3 端子を使用 0101: 1/5 デューティ COM0～COM4 端子を使用 0110: 1/6 デューティ COM0～COM5 端子を使用 0111: 1/7 デューティ COM0～COM6 端子を使用 1000: 1/8 デューティ COM0～COM7 端子を使用 上記以外: 設定禁止 (COM 端子は使用しない)

27.2.4 表示コントロールレジスタ (DSPCON)

本レジスタは、表示モードを制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF0F4
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	DSPCON															
バイト	DSPCONH								DSPCONL							
ビット	—	—	—	—	—	MMOD2	MMOD1	MMOD0	—	—	—	—	—	—	LMD1	LMD0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～11	—	予約ビット
10～8	MMOD2～MMOD0	1/1～1/4 デューティを設定した時のデータの表示方法を設定するビットです。 1/5～1/8 デューティを設定した場合は、本ビットの設定は無効です。 000: 表示 1: 表示レジスタ 00～61 (DSPR00～61) の下位 4 ビットのデータを表示 (初期値) 001: 表示 2: 表示レジスタ 00～61 (DSPR00～61) の上位 4 ビットのデータを表示 010: 切替え表示 1: 表示 1 と表示 2 の領域を 1 秒 (T1HZR の立ち下がり) 毎に交互に表示 011: 切替え表示 2: 表示 1 と表示 2 の領域を 0.5 秒 (T2HZR の立ち下がり) 毎に交互に表示 100: 切替え表示 4: 表示 1 と表示 2 の領域を 0.25 秒 (T4HZR の立ち下がり) 毎に交互に表示 上記以外: 設定禁止 (切り替え表示 4)
7～2	—	予約ビット
1, 0	LMD1, LMD0	LCD 表示を制御するビットです。 表示状態 コモン／セグメント端子の状態 00: 表示停止 (初期値) V _{SS} レベル 01: 全消灯 通常表示時 ^{*1} : 消灯 白黒反転表示時 ^{*1} : 点灯 10: 表示 通常表示時 ^{*1} : 表示レジスタ 00～61 白黒反転表示時 ^{*1} : 表示レジスタ 00～61 の反転 11: 全点灯 通常表示時 ^{*1} : 点灯 白黒反転表示時 ^{*1} : 消灯 ^{*1} : バイアスコントロールレジスタ (BIASCON) の DSMD0 ビットの設定値

27.2.5 セグメントモードレジスタ 0 (SEGMOD0)

本レジスタは、SEG15～SEG12, SEG8～SEG0 の機能を選択する特殊機能レジスタ (SFR) です。

アドレス: 0xF0F6
アクセス: R/W
アクセスサイズ: 8 ビット／16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SEGMOD0															
バイト	SEGMOD0H								SEGMOD0L							
ビット	S15MD	S14MD	S13MD	S12MD	—	—	—	S8MD	S7MD	S6MD	S5MD	S4MD	S3MD	S2MD	S1MD	S0MD
	D	D	D	D												
R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15	S15MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P96 選択 (初期値) 1: SEG15 選択
14	S14MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P95 選択 (初期値) 1: SEG14 選択
13	S13MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P94 選択 (初期値) 1: SEG13 選択
12	S12MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P93 選択 (初期値) 1: SEG12 選択
11～9	—	予約ビット
8	S8MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P53 選択 (初期値) 1: SEG8 選択
7	S7MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P52 選択 (初期値) 1: SEG7 選択
6	S6MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P51 選択 (初期値) 1: SEG6 選択
5	S5MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P50 選択 (初期値) 1: SEG5 選択
4	S4MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P13 選択 (初期値) 1: SEG4 選択

ビット 番号	ビットシンボル 名	説明
3	S3MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P12 選択 (初期値) 1: SEG3 選択
2	S2MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P11 選択 (初期値) 1: SEG2 選択
1	S1MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P10 選択 (初期値) 1: SEG1 選択
0	S0MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P07 選択 (初期値) 1: SEG0 選択

【注意】

- SEGMOD0 レジスタは、表示状態で設定すると誤表示やパネル損傷のおそれがありますので表示停止状態 (DSPCON レジスタの LMD1, LMD0=00) で設定してください。

27.2.6 セグメントモードレジスタ 1 (SEGMOD1)

本レジスタは、SEG31～SEG20 の機能を選択する特殊機能レジスタ (SFR) です。

アドレス: 0xF0F8
 アクセス: R/W
 アクセスサイズ: 8 ビット / 16 ビット
 初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SEGMOD1															
バイト	SEGMOD1H								SEGMOD1L							
ビット	S31MD	S30MD	S29MD	S28MD	S27MD	S26MD	S25MD	S24MD	S23MD	S22MD	S21MD	S20MD	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	S31MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P25 選択 (初期値) 1: SEG31 選択
14	S30MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P24 選択 (初期値) 1: SEG30 選択
13	S29MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P23 選択 (初期値) 1: SEG29 選択
12	S28MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P22 選択 (初期値) 1: SEG28 選択
11	S27MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P21 選択 (初期値) 1: SEG27 選択
10	S26MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P20 選択 (初期値) 1: SEG26 選択
9	S25MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P17 選択 (初期値) 1: SEG25 選択
8	S24MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P16 選択 (初期値) 1: SEG24 選択
7	S23MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P15 選択 (初期値) 1: SEG23 選択
6	S22MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P14 選択 (初期値) 1: SEG22 選択
5	S21MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P55 選択 (初期値) 1: SEG21 選択
4	S20MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P54 選択 (初期値) 1: SEG20 選択
3～0	—	予約ビット

【注意】

- SEGMOD1 レジスタは、表示状態で設定すると誤表示やパネル損傷のおそれがありますので表示停止状態（DSPCON レジスタの LMD1,LMD0=00）で設定してください。

27.2.7 セグメントモードレジスタ 2 (SEGMOD2)

本レジスタは、SEG47～SEG43, SEG37～SEG32 の機能を選択する特殊機能レジスタ(SFR)です。

アドレス: 0xF0FA
アクセス: R/W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

ワード	SEGMOD2															
バイト	SEGMOD2H								SEGMOD2L							
ビット	S47MD	S46MD	S45MD	S44MD	S43MD	—	—	—	—	—	S37MD	S36MD	S35MD	S34MD	S33MD	S32MD
	D	D	D	D	D						D	D	D	D	D	D
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15	S47MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P40 選択 (初期値) 1: SEG47 選択
14	S46MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: PB5 選択 (初期値) 1: SEG46 選択
13	S45MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: PB4 選択 (初期値) 1: SEG45 選択
12	S44MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: PB3 選択 (初期値) 1: SEG44 選択
11	S43MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: PB2 選択 (初期値) 1: SEG43 選択
10～6	—	予約ビット
5	S37MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: PA4 選択 (初期値) 1: SEG37 選択
4	S36MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: PA3 選択 (初期値) 1: SEG36 選択

ビット 番号	ビットシンボル 名	説明
3	S35MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P57 選択 (初期値) 1: SEG35 選択
2	S34MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P56 選択 (初期値) 1: SEG34 選択
1	S33MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P27 選択 (初期値) 1: SEG33 選択
0	S32MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P26 選択 (初期値) 1: SEG32 選択

【注意】

- SEGMOD2 レジスタは、表示状態で設定すると誤表示やパネル損傷のおそれがありますので表示停止状態 (DSPCON レジスタの LMD1,LMD0=00) で設定してください。

27.2.8 セグメントモードレジスタ 3 (SEGMOD3)

本レジスタは、SEG61～SEG48 の機能を選択する特殊機能レジスタ (SFR) です。

アドレス: 0xF0FC
 アクセス: R/W
 アクセスサイズ: 8 ビット / 16 ビット
 初期値: 0x0000

ワード	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バイト	SEGMOD3															
ビット	SEGMOD3H								SEGMOD3L							
	—	—	S61M D	S60M D	S59M D	S58M D	S57M D	S56M D	S55M D	S54M D	S53M D	S52M D	S51M D	S50M D	S49M D	S48M D
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15, 14	—	予約ビット
13	S61MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P42 選択 (初期値) 1: SEG61 選択
12	S60MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P67 選択 (初期値) 1: SEG60 選択
11	S59MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P66 選択 (初期値) 1: SEG59 選択
10	S58MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P65 選択 (初期値) 1: SEG58 選択
9	S57MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P64 選択 (初期値) 1: SEG57 選択
8	S56MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P63 選択 (初期値) 1: SEG56 選択
7	S55MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P62 選択 (初期値) 1: SEG55 選択
6	S54MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P61 選択 (初期値) 1: SEG54 選択
5	S53MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P60 選択 (初期値) 1: SEG53 選択
4	S52MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P33 選択 (初期値) 1: SEG52 選択

ビット 番号	ビットシンボル 名	説明
3	S51MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P32 選択 (初期値) 1: SEG51 選択
2	S50MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P31 選択 (初期値) 1: SEG50 選択
1	S49MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P30 選択 (初期値) 1: SEG49 選択
0	S48MD	汎用入出力の機能とセグメント出力の機能を設定するビットです。 0: P41 選択 (初期値) 1: SEG48 選択

【注意】

- SEGMOD3 レジスタは、表示状態で設定すると誤表示やパネル損傷のおそれがありますので表示停止状態 (DSPCON レジスタの LMD1,LMD0=00) で設定してください。

27.2.9 表示レジスタ 00～61（DSPR00～DSPR61）

本レジスタは、表示データを格納する特殊機能レジスタ(SFR)です。
DSPR00～DSPR61 レジスタは初期値が不定であるため、表示前にデータを設定してください。

- アドレス：

0xF100(DSPRW00/DSPR00), 0xF101(DSPR01),
0xF102(DSPRW02/DSPR02), 0xF103(DSPR03),
0xF104(DSPRW04/DSPR04), 0xF105(DSPR05),
0xF106(DSPRW06/DSPR06), 0xF107(DSPR07),
0xF108(DSPRW08/DSPR08),
0xF10C(DSPRW12/DSPR12), 0xF10D(DSPR13),
0xF10E(DSPRW14/DSPR14), 0xF10F(DSPR15),
0xF114(DSPRW20/DSPR20), 0xF115(DSPR21),
0xF116(DSPRW22/DSPR22), 0xF117(DSPR23),
0xF118(DSPRW24/DSPR24), 0xF119(DSPR25),
0xF11A(DSPRW26/DSPR26), 0xF11B(DSPR27),
0xF11C(DSPRW28/DSPR28), 0xF11D(DSPR29),
0xF11E(DSPRW30/DSPR30), 0xF11F(DSPR31),
0xF120(DSPRW32/DSPR32), 0xF121(DSPR33),
0xF122(DSPRW34/DSPR34), 0xF123(DSPR35),
0xF124(DSPRW36/DSPR36), 0xF125(DSPR37),
0xF12B(DSPR43),
0xF12C(DSPRW44/DSPR44), 0xF12D(DSPR45),
0xF12E(DSPRW46/DSPR46), 0xF12F(DSPR47),
0xF130(DSPRW48/DSPR48), 0xF131(DSPR49),
0xF132(DSPRW50/DSPR50), 0xF133(DSPR51),
0xF134(DSPRW52/DSPR52), 0xF135(DSPR53),
0xF136(DSPRW54/DSPR54), 0xF137(DSPR55),
0xF138(DSPRW56/DSPR56), 0xF139(DSPR57),
0xF13A(DSPRW58/DSPR58), 0xF13B(DSPR59),
0xF13C(DSPRW60/DSPR60), 0xF13D(DSPR61)
- アクセス：R/W
- アクセスサイズ：8ビット／16ビット
- 初期値：不定

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	DSPRWn															
バイト	DSPRm								DSPRn							
ビット	C7	C6	C5	C4	C3	C2	C1	C0	C7	C6	C5	C4	C3	C2	C1	C0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1

m: 奇数(10進数) (ex. 01, 03, 05, ...60)
n: 偶数(10進数) (ex. 00, 02, 04, ...61)

ビット 番号	ビットシンボル 名	説明
15～8	C7～C0	点灯, 消灯を選択するビットです。 0: 消灯 1: 点灯
7～0	C7～C0	点灯, 消灯を選択するビットです。 0: 消灯 1: 点灯

表 27-1 は、各製品で使用可能なレジスタの一覧です。表中の“－”はレジスタが存在しないことを示します。存在しないレジスタのアドレスへの書き込みは無効です。読み出すと“0”が読み出されます。

表 27-1 表示レジスタ一覧

レジスタ名	アドレス	対応 セグメント	52 ピン製品	64 ピン製品	80 ピン製品
			ML62Q1713C/ ML62Q1714C	ML62Q1723C/ ML62Q1724C	ML62Q1733C/ ML62Q1734C
DSPR00	0xF100	SEG0	●	●	●
DSPR01	0xF101	SEG1	●	●	●
DSPR02	0xF102	SEG2	●	●	●
DSPR03	0xF103	SEG3	●	●	●
DSPR04	0xF104	SEG4	●	●	●
DSPR05	0xF105	SEG5	●	●	●
DSPR06	0xF106	SEG6	●	●	●
DSPR07	0xF107	SEG7	－	●	●
DSPR08	0xF108	SEG8	－	●	●
DSPR12	0xF10C	SEG12	－	－	●
DSPR13	0xF10D	SEG13	－	－	●
DSPR14	0xF10E	SEG14	－	－	●
DSPR15	0xF10F	SEG15	－	－	●
DSPR20	0xF114	SEG20	－	●	●
DSPR21	0xF115	SEG21	－	●	●
DSPR22	0xF116	SEG22	●	●	●
DSPR23	0xF117	SEG23	●	●	●
DSPR24	0xF118	SEG24	●	●	●
DSPR25	0xF119	SEG25	●	●	●
DSPR26	0xF11A	SEG26	●	●	●
DSPR27	0xF11B	SEG27	●	●	●
DSPR28	0xF11C	SEG28	●	●	●
DSPR29	0xF11D	SEG29	●	●	●
DSPR30	0xF11E	SEG30	●	●	●
DSPR31	0xF11F	SEG31	●	●	●
DSPR32	0xF120	SEG32	●	●	●
DSPR33	0xF121	SEG33	●	●	●
DSPR34	0xF122	SEG34	●	●	●
DSPR35	0xF123	SEG35	－	●	●
DSPR36	0xF124	SEG36	－	－	●
DSPR37	0xF125	SEG37	－	－	●
DSPR43	0xF12B	SEG43	－	－	●
DSPR44	0xF12C	SEG44	－	－	●
DSPR45	0xF12D	SEG45	－	－	●
DSPR46	0xF12E	SEG46	－	－	●
DSPR47	0xF12F	SEG47	－	●	●

レジスタ名	アドレス	対応 セグメント	52 ピン製品	64 ピン製品	80 ピン製品
			ML62Q1713C/ ML62Q1714C	ML62Q1723C/ ML62Q1724C	ML62Q1733C/ ML62Q1734C
DSPR48	0xF130	SEG48	●	●	●
DSPR49	0xF131	SEG49	●	●	●
DSPR50	0xF132	SEG50	●	●	●
DSPR51	0xF133	SEG51	●	●	●
DSPR52	0xF134	SEG52	●	●	●
DSPR53	0xF135	SEG53	●	●	●
DSPR54	0xF136	SEG54	●	●	●
DSPR55	0xF137	SEG55	●	●	●
DSPR56	0xF138	SEG56	●	●	●
DSPR57	0xF139	SEG57	●	●	●
DSPR58	0xF13A	SEG58	●	●	●
DSPR59	0xF13B	SEG59	●	●	●
DSPR60	0xF13C	SEG60	—	●	●
DSPR61	0xF13D	SEG61	—	●	●

●:レジスタあり —:レジスタなし

27.3 動作説明

27.3.1 LCD ドライバ回路の動作

図 27-3 に、LCD ドライバ回路の動作を示します。

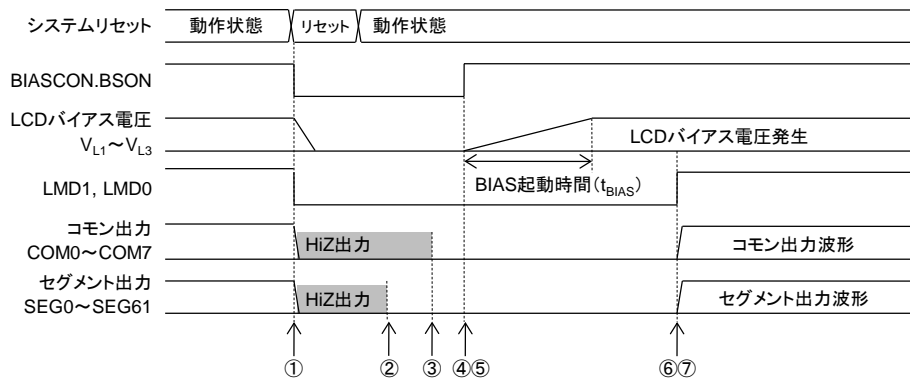


図 27-3 LCD ドライバ回路の動作

- ① システムリセットにより、バイアス発生回路、および LCD ドライバが動作を停止し、各コモン出力、セグメント出力端子はハイインピーダンス状態になります。
- ② セグメントモードレジスタ 0～3 で使用するセグメントを選択します。
選択されたセグメント出力端子から V_{SS} のレベルが出力されます。
- ③ 表示モードレジスタ (DSPMOD) でフレーム周波数、デューティを設定します。
設定されたデューティに対応したコモン出力端子から V_{SS} のレベルが出力されます。
- ④ バイアスコントロールレジスタ (BIASCON) で、バイアス発生回路の動作モードを設定します。
- ⑤ 外部印加方式以外の方式を使用する場合は、バイアスコントロールレジスタ (BIASCON) で、バイアス発生回路をオン (BSON=“1”) します。
- ⑥ 表示レジスタ 00～61 (DSPR00～DSPR61) に表示データを設定します。
- ⑦ バイアス起動時間 (t_{BIAS}) 以上待った後に、表示コントロールレジスタ (DSPCON) の LMD1 ビットおよび、LMD0 ビットで表示モードに設定します。(各コモン出力、セグメント出力端子に表示波形が出力されます。)
バイアス起動時間 (t_{BIAS}) についてはデータシートの電気的特性を参照してください。

27.3.2 表示レジスタ セグメントマップ

図 27-4 に、表示レジスタ 00～61 (DSPR00～DSPR61) のセグメントマップ構成図を示します。

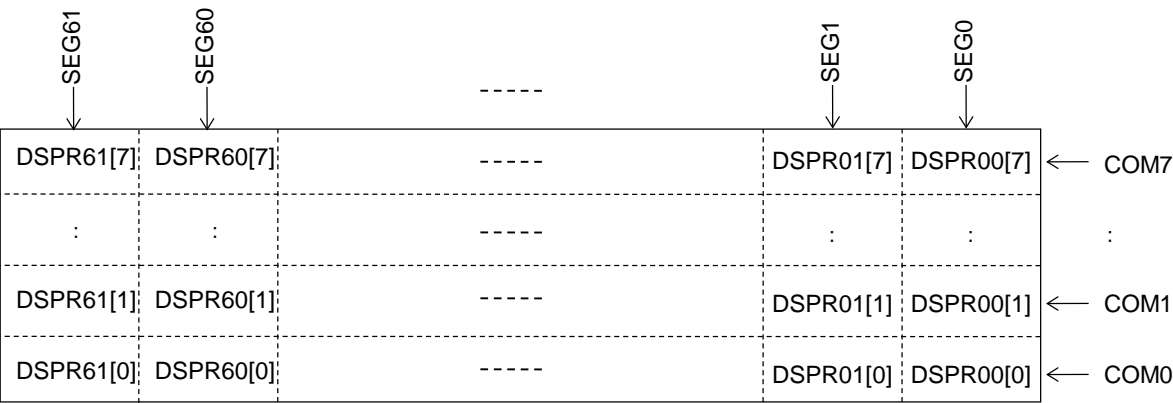


図 27-4 表示レジスタ セグメントマップ構成図

27.3.3 コモン出力波形

図 27-5 に A 波形, 1/3 デューティ時のコモン端子からの出力波形を示します。

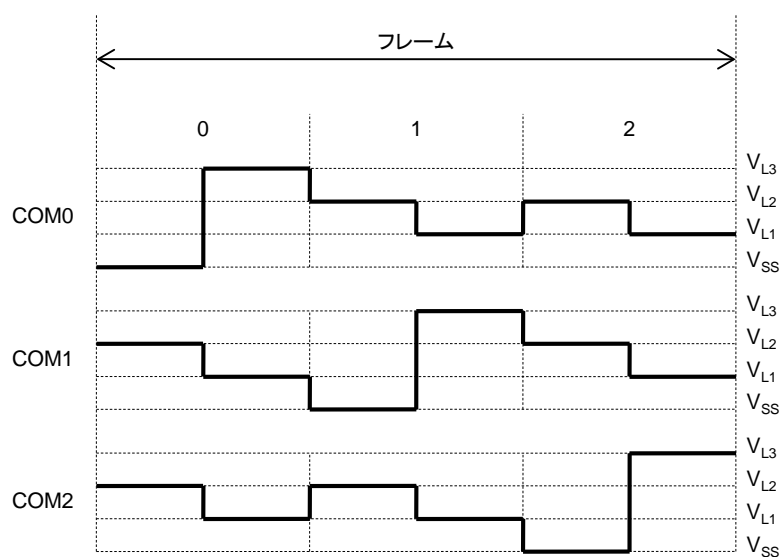


図 27-5 A 波形, 1/3 デューティ時のコモン端子からの出力波形

図 27-6 に A 波形, 1/4 デューティ時のコモン端子からの出力波形を示します。

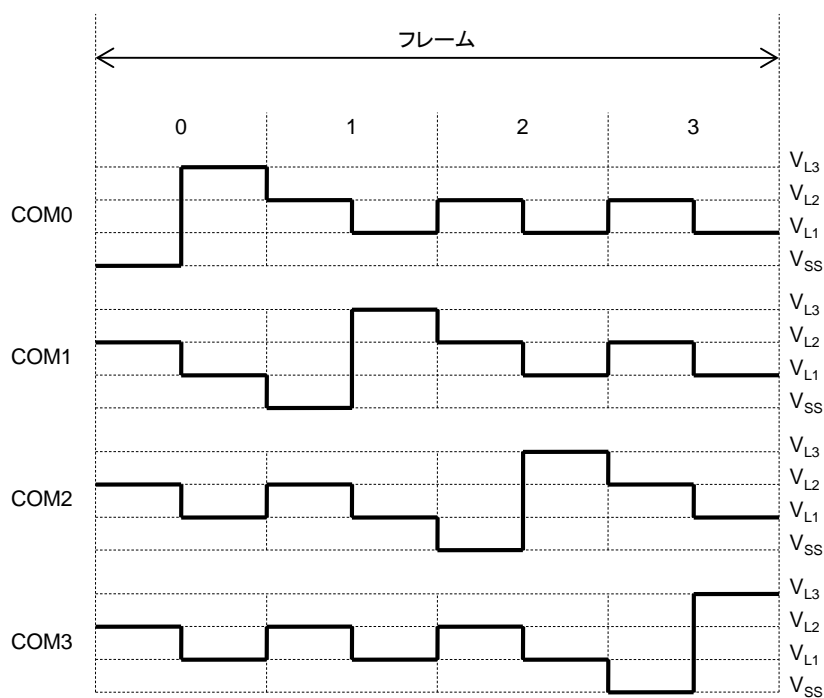


図 27-6 A 波形, 1/4 デューティ時のコモン端子からの出力波形

図 27-7 に B 波形, 1/3 デューティ時のコモン端子からの出力波形を示します。

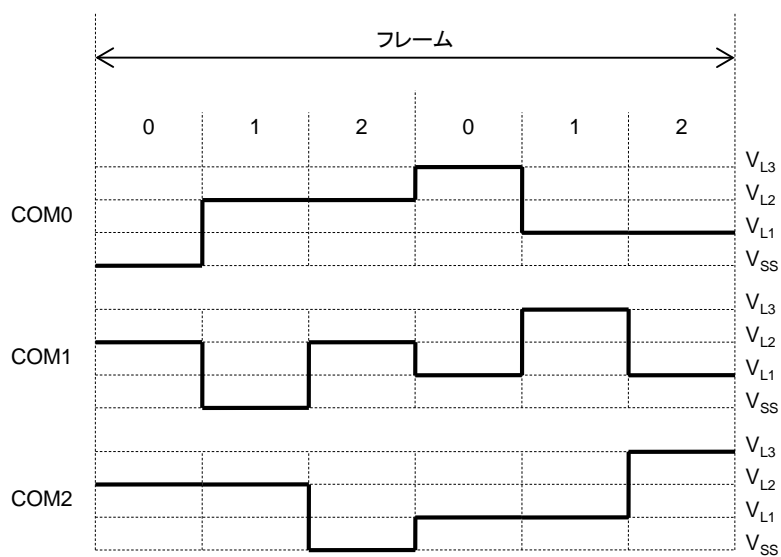


図 27-7 B 波形, 1/3 デューティ時のコモン端子からの出力波形

図 27-8 に B 波形, 1/4 デューティ時のコモン端子からの出力波形を示します。

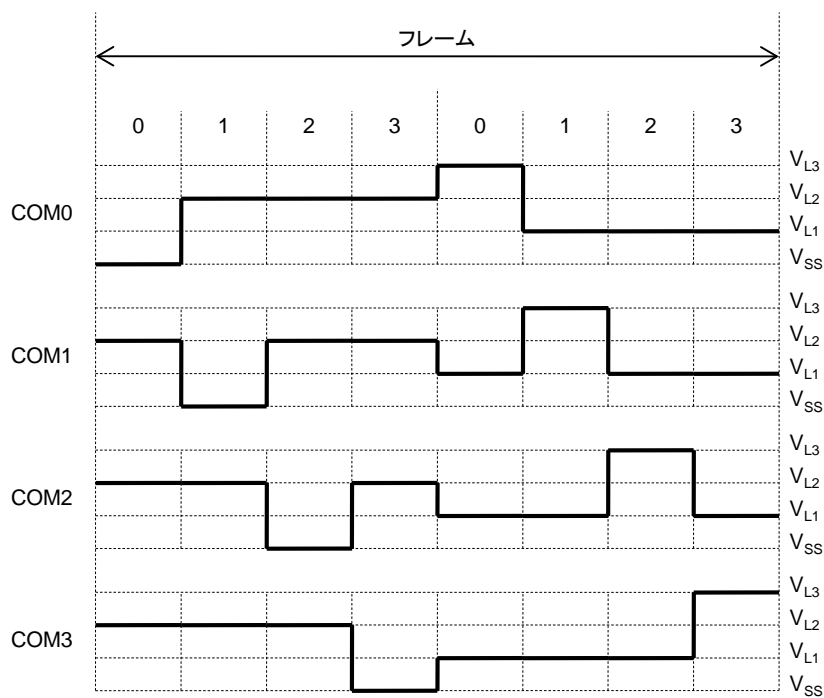


図 27-8 B 波形, 1/4 デューティ時のコモン端子からの出力波形

27.3.4 セグメント出力波形

図 27-9 に A 波形, 1/3 デューティ時のセグメント端子からの出力波形を示します。

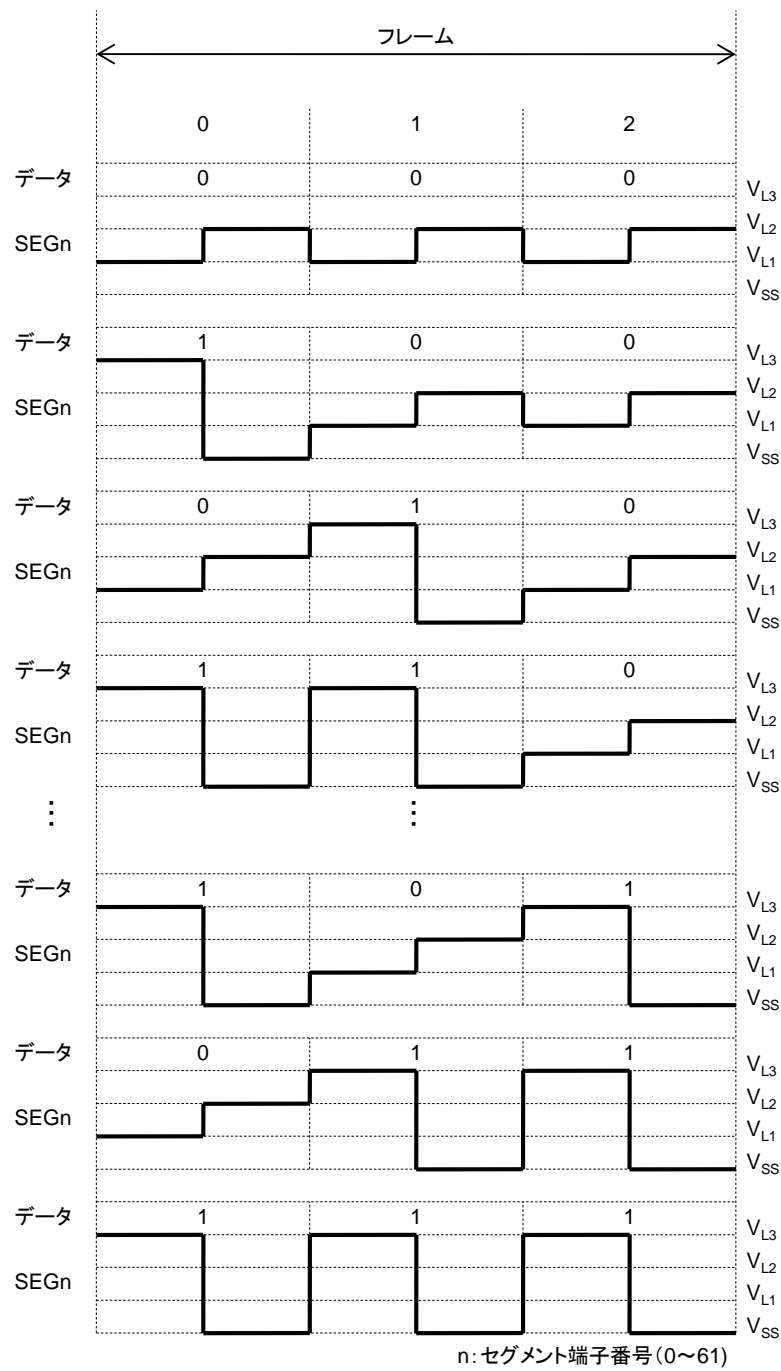


図 27-9 A 波形, 1/3 デューティ時のセグメント端子からの出力波形

図 27-10 に A 波形, 1/4 デューティ時のセグメント端子からの出力波形を示します。

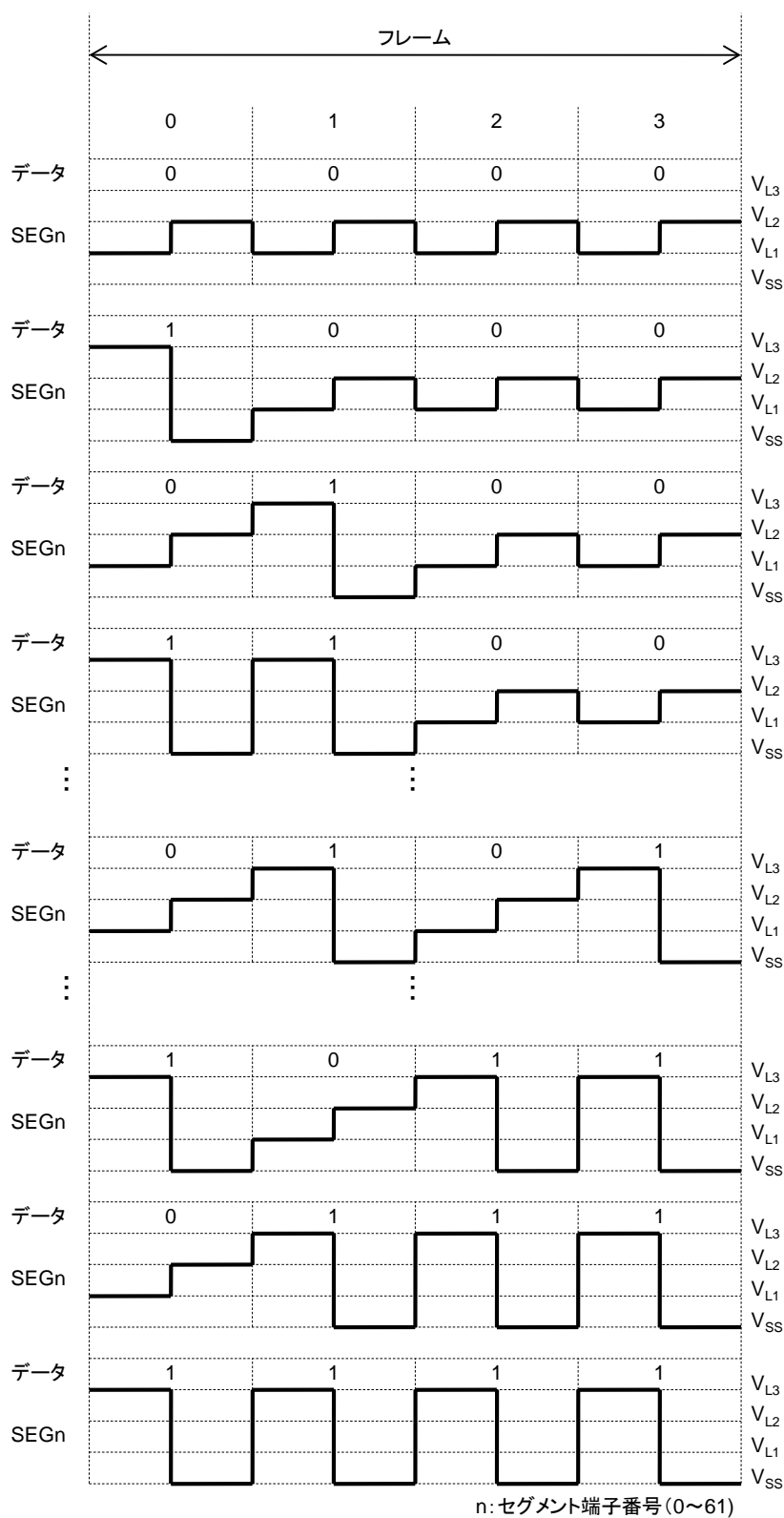


図 27-10 A 波形, 1/4 デューティ時のセグメント端子からの出力波形

図 27-11 に B 波形, 1/3 デューティ時のセグメント端子からの出力波形を示します。

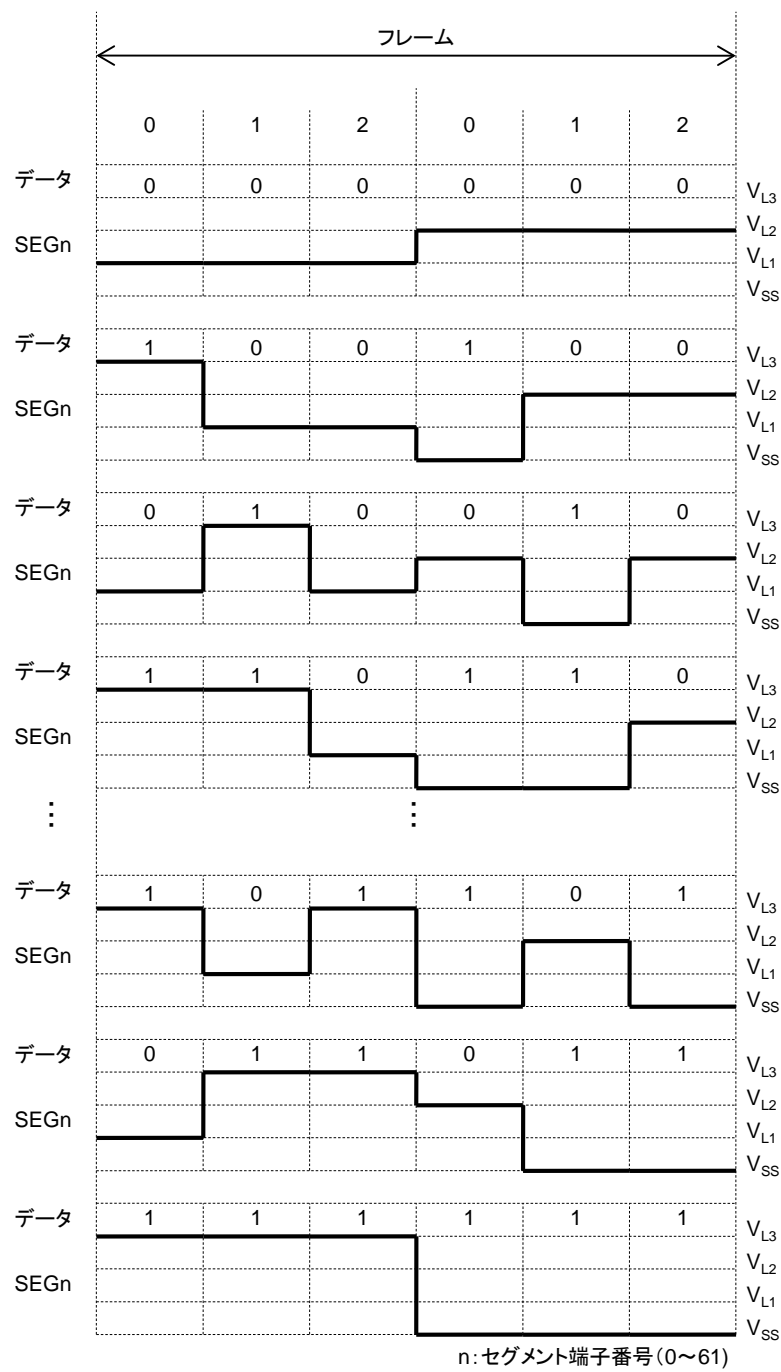


図 27-11 B 波形, 1/3 デューティ時のセグメント端子からの出力波形

図 27-12 に B 波形, 1/4 デューティ時のセグメント端子からの出力波形を示します。

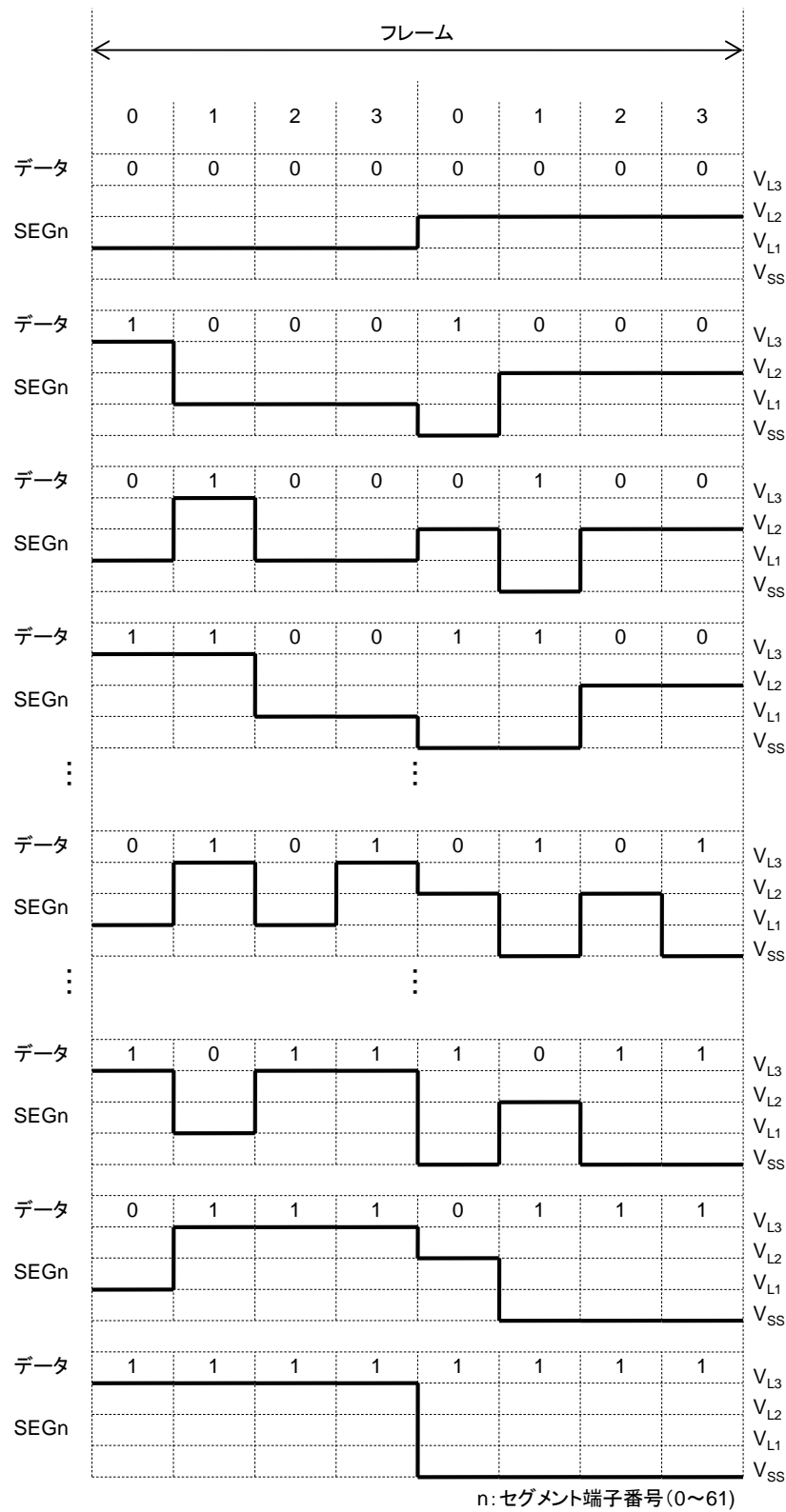


図 27-12 B 波形, 1/4 デューティ時のセグメント端子からの出力波形

27.3.5 LED 選択時コモン出力波形

図 27-13 に A 波形, 1/3 デューティ, LED 選択時のコモン端子からの出力波形を示します。

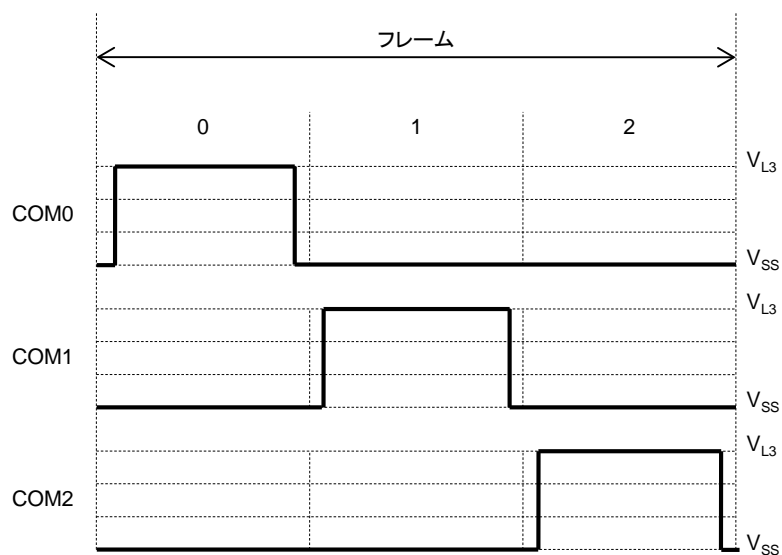


図 27-13 A 波形, 1/3 デューティ, LED 選択時のコモン端子からの出力波形

図 27-14 に A 波形, 1/4 デューティ, LED 選択時のコモン端子からの出力波形を示します。

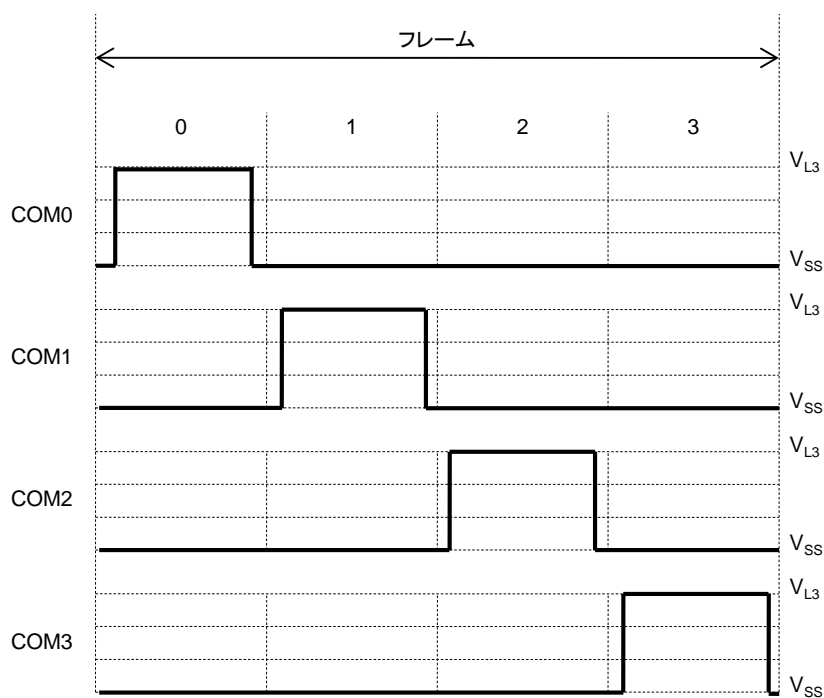


図 27-14 A 波形, 1/4 デューティ, LED 選択時のコモン端子からの出力波形

27.3.6 LED 選択時セグメント出力波形

図 27-15 に A 波形, 1/3 デューティ, LED 選択時のセグメント端子からの出力波形を示します。

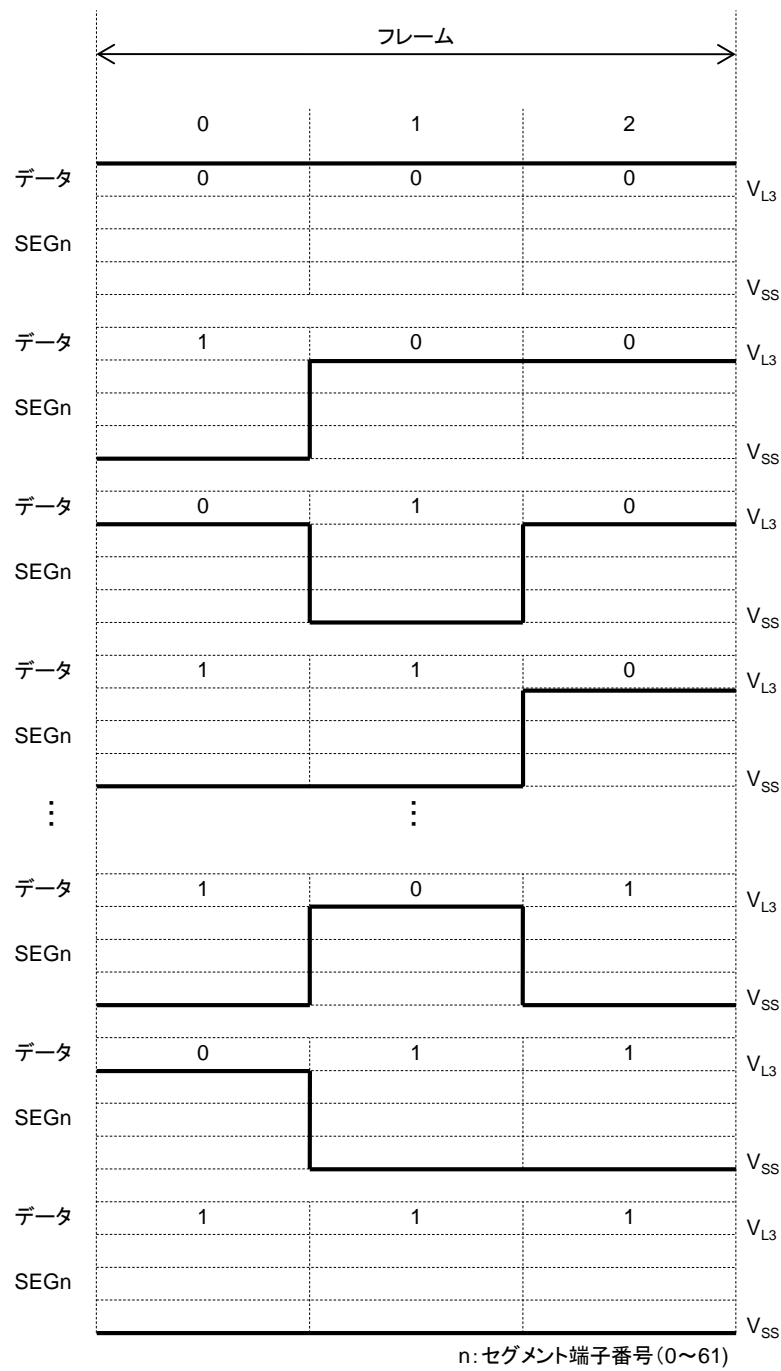


図 27-15 A 波形, 1/3 デューティ, LED 選択時のセグメント端子からの出力波形

図 27-16 に A 波形, 1/4 デューティ, LED 選択時のセグメント端子からの出力波形を示します。

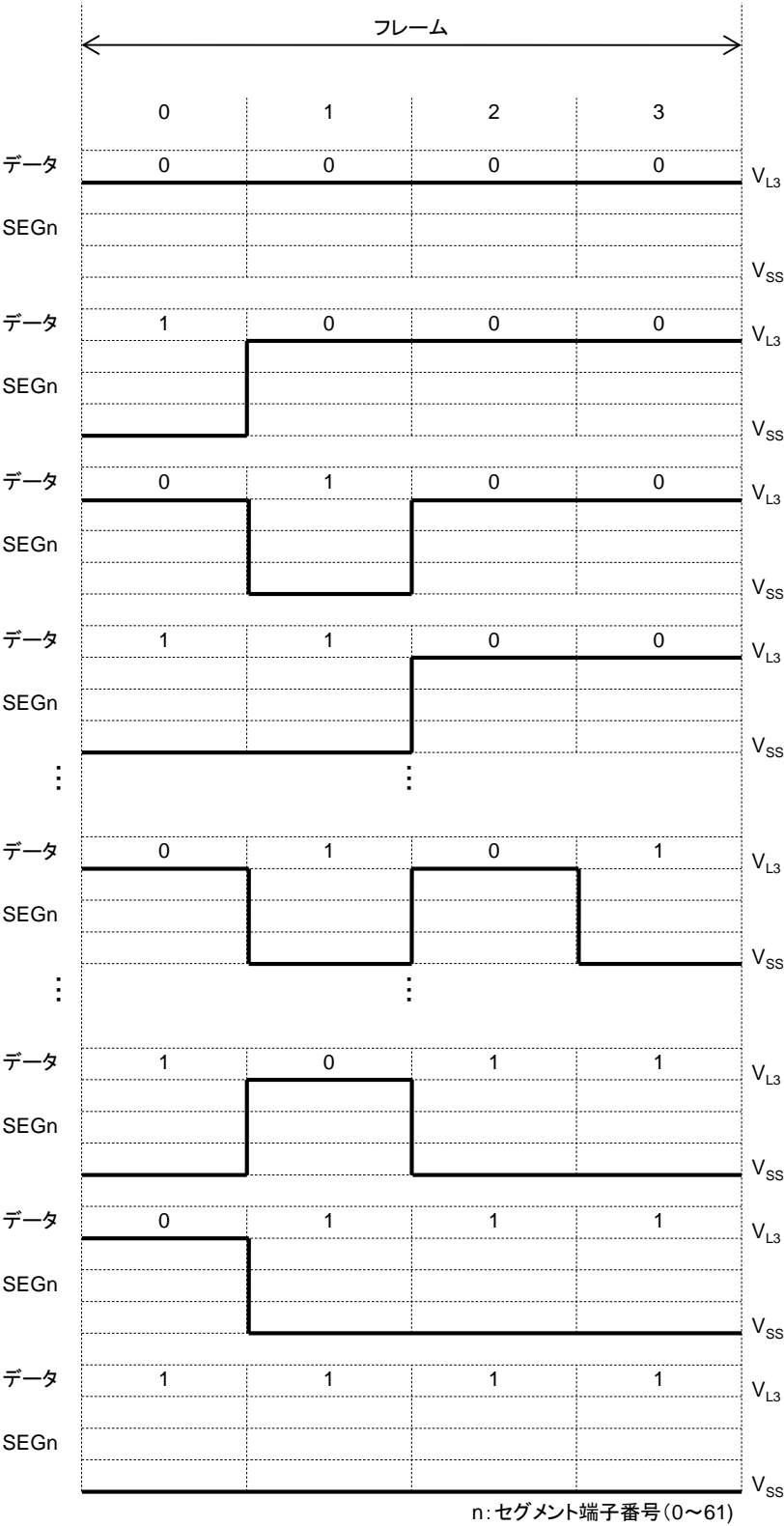


図 27-16 A 波形, 1/4 デューティ, LED 選択時のセグメント端子からの出力波形

27.3.7 LED 接続時の構成例

LED 表示を制御する場合は、外部に駆動用 MOS トランジスタが必要になります。
図 27-17 に LED 表示を選択した場合の構成例を示します。

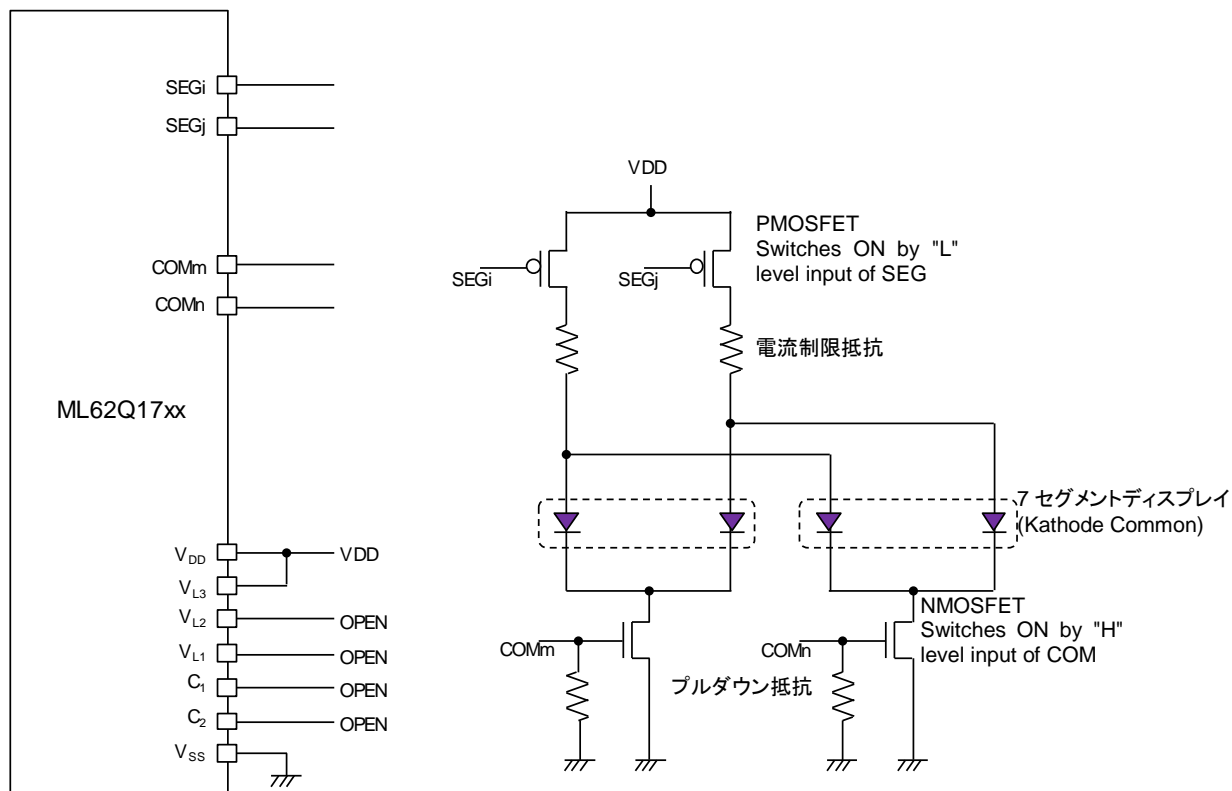


図 27-17 LED 接続時の構成例

第 28 章 オンチップデバッグ機能

28. オンチップデバッグ機能

28.1 概要

オンチップデバッグ機能は、オンチップデバッグエミュレータ(以下、「オンチップエミュレータ」と呼びます)を介してホスト PC と LSI を接続して使用します。

ホスト PC にインストールしたプログラム開発支援ソフトウェア(デバッガ)を使用することで、オンボード状態でのプログラムのデバッグおよびプログラムの書き換えが可能です。

28.1.1 特長

- オンチップエミュレータを接続してデバッガを使用することにより以下のデバッグ機能を実現可能
 - － エミュレーション機能
 - ・リアルタイム・エミュレーション
 - ・シングルステップ・エミュレーション
 - － ブレーク機能
 - ・ハードウェア・ブレークポイント・ブレーク(4 点)
 - ・RAM データマッチブレーク
 - ・シーケンシャルブレーク
 - ・トレースオーバーフローブレーク
 - ・スタックオーバーフローブレーク／アンダフローブレーク
 - ・ROM 未使用領域アクセスブレーク
 - ・RAM パリティエラーブレーク
 - － トレース機能
 - ・分岐トレース
 - － リアルタイムウォッチ機能
 - － CPU 資源の表示および変更機能
 - ・プログラム・メモリの参照／逆アセンブル
 - ・RAM および SFR の表示／変更
 - ・CPU 内レジスタの表示／変更
 - － プログラムダウンロード機能
 - ・フラッシュ・メモリへのプログラムのダウンロード／読み出し／消去
 - ・データ・フラッシュへのデータの書き込み／読み出し／消去
 - － ブレーク中の周辺回路動作の継続／停止制御
- 対象周辺回路
- ・外部割込み
 - ・低速タイムベースカウンタ
 - ・16 ビットタイマ
 - ・ファンクショナルタイマ
 - ・シリアル通信ユニット(同期式シリアポート／UART)
 - ・I²C バスマスタ
 - ・I²C バスユニット(マスタ／スレーブ)
 - ・DMA コントローラ
 - ・ブザー
 - ・アナログモジュール
(アナログコンパレータ, 逐次比較型 A/D コンバータ, 電圧レベル監視機能(VLS))
- LSI とオンチップエミュレータを接続してフラッシュマルチライタを使用することにより以下のプログラムのダウンロード機能を実現可能
 - － プログラムダウンロード機能
 - ・プログラム・メモリ空間へのプログラムの書き込み／消去
 - ・データ・フラッシュ領域へのデータの書き込み／消去

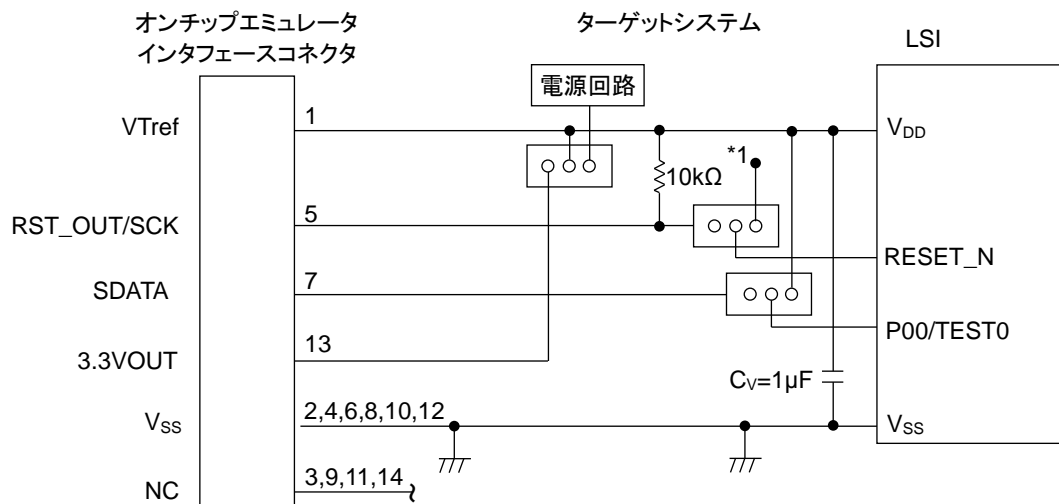
28.1.2 構成

オンチップデバッグ機能を使用する場合、LSI への電源供給は以下の 2 つの方法があります。

- ・オンチップエミュレータの 3.3VOUT 電源 (+3.3V/100mA) を使用する
- ・ターゲットシステムの電源 ($V_{DD}=1.6V\sim 5.5V$) を使用する

28.1.2.1 オンチップエミュレータの 3.3VOUT 電源 (+3.3V/100mA) を使用する場合

図 28-1 にオンチップエミュレータの 3.3VOUT 電源 (+3.3V/100mA) を使用する場合の接続例を示します。

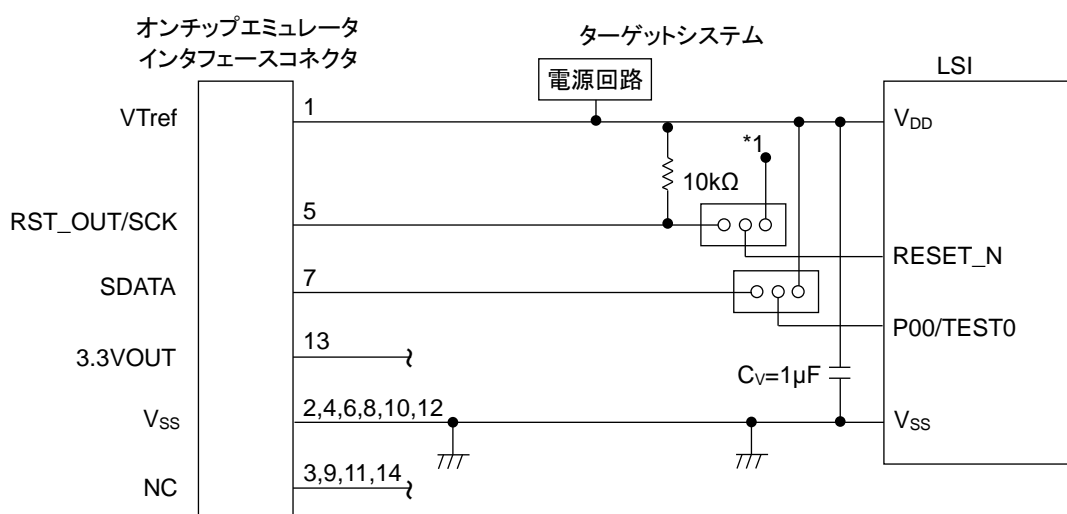


*1) 通常動作時(リセット IC/VDD など)

図 28-1 オンチップエミュレータの 3.3VOUT 電源を使用する場合の接続例

28.1.2.2 ターゲットシステムの電源 ($V_{DD}=1.6V\sim 5.5V$) を使用する場合

図 28-2 にターゲットシステムの電源 ($V_{DD}=1.6V\sim 5.5V$) を使用する場合の接続例を示します。



*1) 通常動作時(リセット IC/VDD など)

図 28-2 ターゲットシステムの電源を使用する場合の接続例

28.1.3 端子一覧

オンチップデバッグ機能では, 以下の端子を使用します。

信号名	入出力	機能
RESET_N	I	端子リセット入力
P00/TEST0	I/O	オンチップデバッグ機能用信号入出力

28.2 オンチップデバッグ機能の使用方法

オンチップエミュレータとデバッガを使用したオンチップデバッグ機能の使用方法は、デバッガのマニュアルを参照してください。

オンチップエミュレータとフラッシュマルチライタを使用したプログラムのダウンロード方法は、フラッシュマルチライタのマニュアルを参照してください。

28.3 注意事項

- ・ RESET_N 端子は、オンチップデバッグ機能を使用しない時はジャンパ等で V_{DD} に接続できるようにしてください。
- ・ P00/TEST0 端子は、オンチップデバッグ機能を使用しない時はジャンパ等で V_{DD} に接続できるようにしてください。
- ・ P00/TEST0 端子を出力モードに設定するプログラムを LSI に書き込まないでください。
オンチップエミュレータがターゲットチップに読み出しもしくは書き込みする前に、P00/TEST0 が出力モードになると、それ以降、オンチップエミュレータとの通信ができなくなります。また、オンチップエミュレータ側から P00/TEST0 の入出力モードを初期化することはできませんのでご注意ください。
- ・ プログラムコードの動作確認は、お客様の量産ボード上でかつオンチップエミュレータを接続しない状態で確認してください。
- ・ ターゲットシステムの消費電流を測定する時は、オンチップエミュレータを取り外してください。
オンチップエミュレータを接続した状態では、LSI に内蔵しているオンチップデバッグ回路が通信を開始するため、消費電流が増加します。
- ・ オンチップエミュレータの 3.3VOUT 電源を使用する場合は、ターゲットシステムの電源を LSI の V_{DD} 端子に印加しないでください。双方の電源を接続すると、オンチップエミュレータが破損したり、感電、火災の恐れがあります。
- ・ オンチップエミュレータを使用したフラッシュ・メモリの書き換えの際は、 V_{DD} 端子には 3.0V～5.5V を供給してください。
- ・ プログラムのデバッグに使用した LSI は商品保証対象外です。量産品には使用しないでください。
- ・ オンチップデバッグモード中は、コードオプション設定に関わらず、ROM 未使用領域アクセスによるリセットは発生しません。
- ・ オンチップデバッグモード中は、RAM パリティエラーリセットは発生しません。ブレークが発生します。
- ・ ブレーク中の各種割込みおよびウォッチドッグタイマは、常に動作を停止します。
- ・ オンチップエミュレータはホスト PC、USB ケーブル、インタフェースケーブル、ターゲットシステムなどの外部環境の影響を受ける可能性があります。お客様の環境で動作確認の上ご使用ください。
- ・ RESET_N 端子に外部でコンデンサを付加する場合、デバッガやフラッシュマルチライタを接続する際には、ジャンパ端子等を持たせて、RESET_N 端子からそのコンデンサを外せるようにしてください。

28.4 オンチップデバッグ時のブレーク中に動作継続させる周辺回路について

デバッグの動作設定により、ブレーク中に動作継続させる周辺回路の設定ができます。表 28-1 に各設定項目の説明を示します。

表 28-1 ブレーク中に動作継続させる周辺回路の設定

設定項目	周辺回路	説明
External Interrupt	外部割込み	チェックした場合は、入力を受け付けます。 チェックを外した場合は、入力を受け付けません。 常にチェックを ON にしてください。 拡張外部割込みステータスレジスタがクリアされる場合があります。
Low-speed Time Base Counter	低速タイムベースカウンタ ブザー	チェックした場合は、動作を継続します。 チェックを外した場合は、動作を停止します。 動作継続に設定しても、簡易 RTC 用の機能 (LTBRR レジスタ値、TBCOUT1 出力) はブレーク中停止します。 LTBC はブザーに T1HZ/T8HZ を供給しています。ブザー動作も制御されます。
General Timer	16 ビットタイマ	チェックした場合は、動作を継続します。 チェックを外した場合は、動作を停止します。
Functional Timer	ファンクショナルタイマ	チェックした場合は、動作を継続します。 チェックを外した場合は、動作を停止します。
Serial Unit (SSIO/UART)	シリアル通信ユニット	チェックした場合は、動作を継続します。 チェックを外した場合は、動作を停止します。
I ² C Bus Unit (Master/Slave)	I ² C バスユニット	チェックした場合は、動作を継続します。 チェックを外した場合は、動作を停止します。
I ² C Master Module	I ² C バスマスタ	チェックした場合は、動作を継続します。 チェックを外した場合は、動作を停止します。
Buzzer	ブザー	チェックした場合は、動作を継続します。 チェックを外した場合は、動作を停止します。 動作を継続させる場合、“Low-speed Time Base Counter” もチェックしてください。
Analog Module (CMP/ADC/VLS)	逐次比較型 A/D コンバータ アナログコンパレータ 電圧レベル監視 (VLS)	チェックした場合は、動作を継続します。 チェックを外した場合は、動作を停止します。
DMA Controller	DMA コントローラ	チェックした場合は、動作を継続します。 チェックを外した場合は、動作を停止します。

28.5 オンチップデバッグツールによるリセット

デバッグツールからリセットを実行すると、RSTAT レジスタの POR ビットが“1”にセットされます。
ただし、水晶発振回路／RTC 機能および電圧レベル監視機能はリセットされません。
これらを初期状態から始める場合は、それぞれ該当する SFR を初期値に戻してからリセットしてください。

第 29 章 安全機能

29. 安全機能

29.1 概要

安全機能として IEC60730/60335 Class B に対応する機能を内蔵しています。

安全機能は, LSI で自己診断することで故障を検出し, LSI が安全に停止することを目的としています。

29.1.1 特長

● 本 LSI の安全機能

名称	内容	SFR での制御
RAM ガード	指定した RAM 領域への書き込みを禁止する機能	可能
SFR ガード	指定した SFR への書き込みを禁止する機能	可能
逐次比較型 A/D コンバータのテスト	逐次比較型 A/D コンバータの自己テスト機能	可能
RAM パリティエラー検出	RAM のパリティエラー発生の確認とパリティエラー発生時に LSI のリセットを発生する機能 (SFR でリセット発生許可／禁止可能, リセットステータスフラグあり, パリティエラーフラグあり)	可能
ROM 未使用領域アクセスリセット	CPU のプログラムカウンタ (PC) を監視し, 不正な領域のプログラムを実行した場合にリセットを発生させる機能 (コードオプションでリセット発生許可／禁止可能, リセットステータスフラグあり)	—
クロック相互監視	高速クロック, 低速クロックが正常に発振しているか監視する機能	可能
CRC 演算	フラッシュ・メモリのデータ誤りや任意データの誤りを検出する機能	可能
通信機能の自己テスト (UART)	UART 自己テスト機能	可能
通信機能の自己テスト (SSIO)	SSIO (同期式シリアルポート) 自己テスト機能	可能
通信機能の自己テスト (I ² C)	I ² C 自己テスト機能	可能
WDT カウンタ読み出し	WDT カウンタ読み出し機能	可能
ポート出力レベルテスト機能	汎用ポート自己テスト機能	可能
クロックバックアップ機能とそのテスト機能	低速水晶発振が停止した場合, 低速 RC 発振に自動で切り替える機能とそのテスト機能	可能
マイコンステータス割込み	RAM のパリティエラー発生による割込み, 自動 CRC 演算完了による割込み, データ・フラッシュの消去・書き込み完了による割込みを制御する機能	可能

29.2 レジスタ説明

29.2.1 レジスタ一覧

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF0B0	RAM ガード設定レジスタ 0	RAMGD	—	R/W	8	0x00
0xF0B1	予約レジスタ	—	—	—	—	—
0xF0B2	予約レジスタ	—	—	—	—	—
0xF0B3	予約レジスタ	—	—	—	—	—
0xF0B4	SFR ガード設定レジスタ 0	SFRGD0L	SFRGD0	R/W	8/16	0x00
0xF0B5		SFRGD0H		R/W	8	0x00
0xF0B6	SFR ガード設定レジスタ 1	SFRGD1L	SFRGD1	R/W	8/16	0x00
0xF0B7		SFRGD1H		R/W	8	0x00
0xF0B8	予約レジスタ	—	—	—	—	—
0xF0B9	予約レジスタ	—	—	—	—	—
0xF0BB	予約レジスタ	—	—	—	—	—
0xF0BC	RAM パリティ設定レジスタ	RASFMOD	—	R/W	8	0x00
0xF0BD	予約レジスタ	—	—	—	—	—
0xF0BE	通信テスト設定レジスタ 0	COMFT0L	COMFT0	R/W	8/16	0x00
0xF0BF		COMFT0H		R/W	8	0x00
0xF050	マイコンステータス割込み許可レジスタ	MCINTEL	—	R/W	8	0x00
0xF051	予約レジスタ	—	—	—	—	—
0xF052	マイコンステータス割込みレジスタ	MCISTATL	—	R	8	0x00
0xF053	予約レジスタ	—	—	—	—	—
0xF054	マイコンステータス割込みクリアレジスタ	MCINTCLL	MCINTCL	W	8/16	0x00
0xF055		MCINTCLH		W	8	0x00

29.2.2 RAM ガード設定レジスタ 0 (RAMGD)

本レジスタは、CPU と DMA コントローラからの RAM 書き込みを無効にする特殊機能レジスタ(SFR)です。
指定した RAM 領域のデータを保護できます。

アドレス: 0xF0B0 (RAMGD)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								RAMGD							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	rsvd	RGD2	RGD1	RGD0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～4	—	予約ビット
3	—	予約ビットです。“0”を書き込んでください。
2～0	RGD2～RGD0	RAM 書き込みを無効にする領域を設定します。 000: RAM 全領域の書き込み可能, 読み出し可能 (初期値) 001: 0x0:0EFC0～0x0:0EFFF (64 バイト) の書き込み無効, 読み出し可能 010: 0x0:0EF80～0x0:0EFFF (128 バイト) の書き込み無効, 読み出し可能 011: 0x0:0EF00～0x0:0EFFF (256 バイト) の書き込み無効, 読み出し可能 100: 0x0:0EE00～0x0:0EFFF (512 バイト) の書き込み無効, 読み出し可能 101: 設定禁止 (0x0:0EE00～0x0:0EFFF (512 バイト) の書き込み無効, 読み出し可能) 110: 設定禁止 (0x0:0EE00～0x0:0EFFF (512 バイト) の書き込み無効, 読み出し可能) 111: 設定禁止 (0x0:0EE00～0x0:0EFFF (512 バイト) の書き込み無効, 読み出し可能)

29.2.3 SFR ガード設定レジスタ 0 (SFRGD0)

本レジスタは、CPU と DMA コントローラからの SFR 書き込みを無効にする特殊機能レジスタ (SFR) です。
設定により、周辺回路の SFR を保護できます。

アドレス: 0xF0B4 (SFRGD0L/SFRGD0), 0xF0B5 (SFRGD0H)
アクセス: R/W
アクセスサイズ: 8 ビット / 16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SFRGD0															
バイト	SFRGD0H								SFRGD0L							
ビット	—	—	—	—	—	—	—	—	rsvd	rsvd	SGD05	SGD04	SGD03	SGD02	SGD01	SGD00
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
15～8	—	予約ビット
7, 6	Rsvd	予約ビットです。“0”を書き込んでください。
5	SGD05	SFR への書き込みを無効にするビットです。 対象 SFR は、WDTMOD レジスタです (「第 10 章 ウォッチドッグタイマ」参照)。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
4	SGD04	SFR への書き込みを無効にするビットです。 対象 SFR は、BCKCONn レジスタと BRECONn レジスタです (n=0～3) (「第 4 章 パワーマネジメント」参照)。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
3	SGD03	SFR への書き込みを無効にするビットです。 対象 SFR は、RASFMOD レジスタです (本章参照)。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
2	SGD02	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 22 章 電圧レベル監視機能 (VLS)」に記載している SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
1	SGD01	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 6 章 クロック発生回路」に記載している SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
0	SGD00	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 5 章 割込み」に記載している SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能

29.2.4 SFR ガード設定レジスタ 1 (SFRGD1)

本レジスタは、CPU と DMA コントローラからの SFR 書き込みを無効にする特殊機能レジスタ (SFR) です。
設定により、周辺回路の SFR を保護できます。

アドレス: 0xF0B6 (SFRGD1L/SFRGD1), 0xF0B7 (SFRGD1H)
アクセス: R/W
アクセスサイズ: 8 ビット / 16 ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	SFRGD1															
バイト	SFRGD1H								SFRGD1L							
ビット	SGD1F	—	—	—	SGD1B	SGD1A	SGD19	SGD18	SGD17	SGD16	SGD15	SGD14	SGD13	SGD12	SGD11	SGD10
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	SGD1F	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート XT に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
14～12	—	予約ビット
11	SGD1B	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート B に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
10	SGD1A	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート A に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
9	SGD19	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 9 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
8	SGD18	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 8 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
7	SGD17	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 7 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
6	SGD16	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 6 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
5	SGD15	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 5 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
4	SGD14	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 4 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能

ビット 番号	ビットシンボル 名	説明
3	SGD13	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 3 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
2	SGD12	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 2 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
1	SGD11	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 1 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能
0	SGD10	SFR への書き込みを無効にするビットです。 対象 SFR は、「第 17 章 汎用ポート」に記載しているポート 0 に関連する SFR です。 0: SFR への書き込み, SFR からの読み出し可能 (初期値) 1: SFR への書き込み無効, SFR からの読み出し可能

29.2.5 RAM パリティ設定レジスタ (RASFMOD)

本レジスタは、RAM のパリティエラーリセット機能を制御する特殊機能レジスタ(SFR)です。
パリティエラーの発生確認とパリティエラーによるリセット発生を設定できます。
パリティエラーリセットによるリセットフラグは、SRSTAT レジスタにより確認できます。
フラグに関しては、「第 3 章 リセット機能」を参照してください。

アドレス: 0xF0BC (RASFMOD)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								RASFMOD							
ビット	—	—	—	—	—	—	—	—	PERF	—	—	—	—	—	—	PEREN
R/W	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7	PERF	RAM のパリティエラーが発生したことを示すビットです。 “1”を書き込むとクリアされます。“0”を書き込んでもクリアされません。 PEREN ビットに“1”を書き込み、パリティエラーリセット機能を許可している場合は、SRSTAT レジスタにより確認できます。 0: RAM パリティエラー未発生（初期値） 1: RAM パリティエラー発生
6～1	—	予約ビット
0	PEREN	RAM パリティエラーによるリセット機能の許可／禁止を設定するビットです。 0: RAM パリティエラーリセット機能禁止（初期値） 1: RAM パリティエラーリセット機能許可

29.2.6 通信テスト設定レジスタ 0 (COMFT0)

本レジスタは、通信機能をテストする特殊機能レジスタ(SFR)です。
COMFT0 レジスタの設定により、通信機能の自己テスト(送信データを内部で折り返してテスト)が許可できます。
詳細は、「29.3.1 通信機能の自己テスト」を参照してください。
I²C バスユニットと I²C マスタは、送信データを読み出せるので、その機能を利用してテストできます。
詳細は、「第 12 章 I²C バスユニット」、「第 13 章 I²C バスマスタ」を参照してください。

アドレス: 0xF0BE (COMFT0/COMFT0L), 0xF0BF (COMFT0H)
アクセス: R/W
アクセスサイズ: 8ビット/16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	COMFT0															
バイト	COMFT0H								COMFT0L							
ビット	—	—	—	rsvd	—	—	—	rsvd	—	—	—	—	CMFT03	CMFT02	CMFT01	CMFT00
R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15～13	—	予約ビット
12	rsvd	予約ビットです。“0”を書き込んでください。
11～9	—	予約ビット
8	rsvd	予約ビットです。“0”を書き込んでください。
7～4	—	予約ビット
3	CMFT03	シリアル通信ユニット 3 の通信機能の自己テストを許可するビットです。 0: 通信機能の自己テスト禁止 (初期値) 1: 通信機能の自己テスト許可
2	CMFT02	シリアル通信ユニット 2 の通信機能の自己テストを許可するビットです。 0: 通信機能の自己テスト禁止 (初期値) 1: 通信機能の自己テスト許可
1	CMFT01	シリアル通信ユニット 1 の通信機能の自己テストを許可するビットです。 0: 通信機能の自己テスト禁止 (初期値) 1: 通信機能の自己テスト許可
0	CMFT00	シリアル通信ユニット 0 の通信機能の自己テストを許可するビットです。 0: 通信機能の自己テスト禁止 (初期値) 1: 通信機能の自己テスト許可

29.2.7 マイコンステータス割込み許可レジスタ（MCINTEL）

本レジスタは、3 種類のマイコンステータス割込みの禁止／許可を制御する特殊機能レジスタ(SFR)です。

アドレス: 0xF050 (MCINTEL)
アクセス: R/W
アクセスサイズ: 8 ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								MCINTEL							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	MCI2E	MCI1E	MCIOE
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～3	—	予約ビット
2	MCI2E	データ・フラッシュの消去・書き込み完了による割込みの禁止／許可を設定するビットです。 0: データ・フラッシュの消去・書き込み完了による割込み禁止（初期値） 1: データ・フラッシュの消去・書き込み完了による割込み許可
1	MCI1E	自動 CRC 演算完了による割込みの禁止／許可を設定するビットです。 0: 自動 CRC 演算完了による割込み禁止（初期値） 1: 自動 CRC 演算完了による割込み許可
0	MCIOE	RAM のパリティエラー発生による割込みの禁止／許可を設定するビットです。 0: RAM のパリティエラー発生による割込み禁止（初期値） 1: RAM のパリティエラー発生による割込み許可

29.2.8 マイコンステータス割込みレジスタ（MCISTATL）

本レジスタは、3 種類のマイコンステータス割込みのステータスを示す特殊機能レジスタ(SFR)です。
読み出し専用レジスタです。
MCI2S～MCI0S ビットは、リセット機能の他に MCINTCL レジスタの同一ビットへの“1”書き込みによって“0”に初期化
されます。

アドレス: 0xF052(MCISTATL)
アクセス: R
アクセスサイズ: 8ビット
初期値: 0x00

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	—															
バイト	—								MCISTATL							
ビット	—	—	—	—	—	—	—	—	—	—	—	—	—	MCI2S	MCI1S	MCI0S
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット 番号	ビットシンボル 名	説明
7～3	—	予約ビット
2	MCI2S	データ・フラッシュの消去・書き込み完了による割込みのステータスを示すビットです。 0: データ・フラッシュの消去・書き込み完了による割込み未発生（初期値） 1: データ・フラッシュの消去・書き込み完了による割込み発生
1	MCI1S	自動 CRC 演算完了による割込みのステータスを示すビットです。 0: 自動 CRC 演算完了による割込み未発生（初期値） 1: 自動 CRC 演算完了による割込み発生
0	MCI0S	RAM のパリティエラー発生による割込みのステータスを示すビットです。 0: RAM のパリティエラー発生による割込み未発生（初期値） 1: RAM のパリティエラー発生による割込み発生

29.2.9 マイコンステータス割込みクリアレジスタ（MCINTCL）

本レジスタは、マイコンステータス割込みをクリアする特殊機能レジスタ(SFR)です。
MCI2C～MCI0C ビットに“1”を書き込むと、MCISTATL レジスタの同一ビットの割込みステータスがクリアされます。
読み出すと常に“0x0000”を読み出します。

アドレス: 0xF054(MCINTCLL/MCINTCL), 0xF055(MCINTCLH)
アクセス: W
アクセスサイズ: 8ビット／16ビット
初期値: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ワード	MCINTCL															
バイト	MCINTCLH								MCINTCLL							
ビット	MCIR	—	—	—	—	—	—	—	—	—	—	—	—	MCI2C	MCI1C	MCI0C
R/W	W	R	R	R	R	R	R	R	R	R	R	R	R	W	W	W
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット番号	ビットシンボル名	説明
15	MCIR	マイコンステータス割込みの要求ビットです。 割込みルーチンが完了する前に“1”を書き込んでください。 “0”書き込み 無効 “1”書き込み 未処理の割込み要因がある場合、再度割込み要求を発行
14～3	—	予約ビット
2	MCI2C	データ・フラッシュの消去・書き込み完了による割込みのステータスをクリアするビットです。 “0”書き込み 無効 “1”書き込み データ・フラッシュの消去・書き込み完了による割込みのステータスをクリア
1	MCI1C	自動 CRC 演算完了による割込みのステータスをクリアするビットです。 “0”書き込み 無効 “1”書き込み 自動 CRC 演算完了による割込みのステータスをクリア
0	MCI0C	RAM のパリティエラー発生による割込みのステータスをクリアするビットです。 “0”書き込み 無効 “1”書き込み RAM のパリティエラー発生による割込みのステータスをクリア

29.3 動作説明

29.3.1 通信機能の自己テスト

COMFT0 レジスタの設定により許可されるテストです。
本テストにより、シリアル通信ユニットの UART や SSIO (同期式シリアルポート) の送信データと受信データを内部で接続し、通信機能をテストできます。
通信のテストを実行する前に、COMFT0 レジスタの対応ビットに“1”を書き込んでください。
汎用ポートのモード (2~8 次機能) を設定することで、送信側のデータの出力を許可／禁止できます。
受信側データには、汎用ポートのモード (2~8 次機能) を設定する必要はありません。
図 29-1 に通信テストのイメージを示します。また、図 29-2 に通信テストのフローチャートを示します。

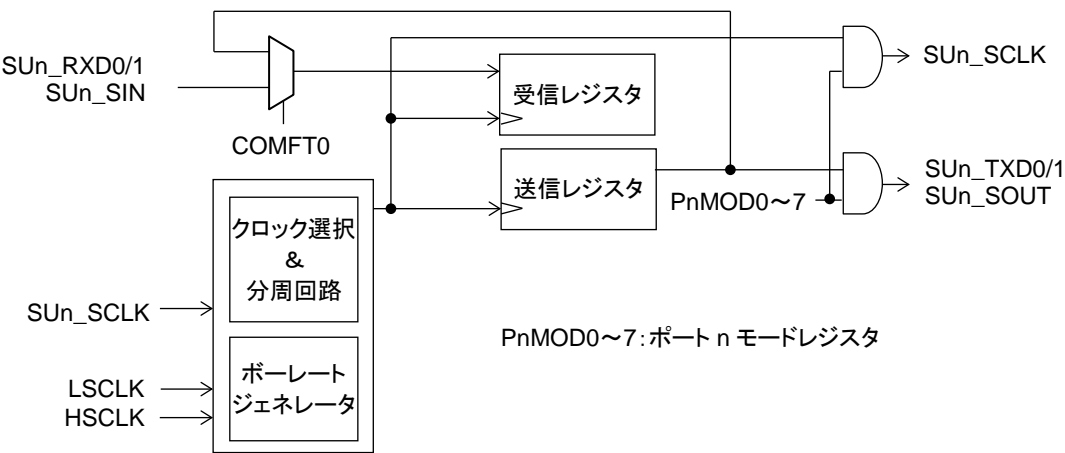


図 29-1 通信テストのイメージ図

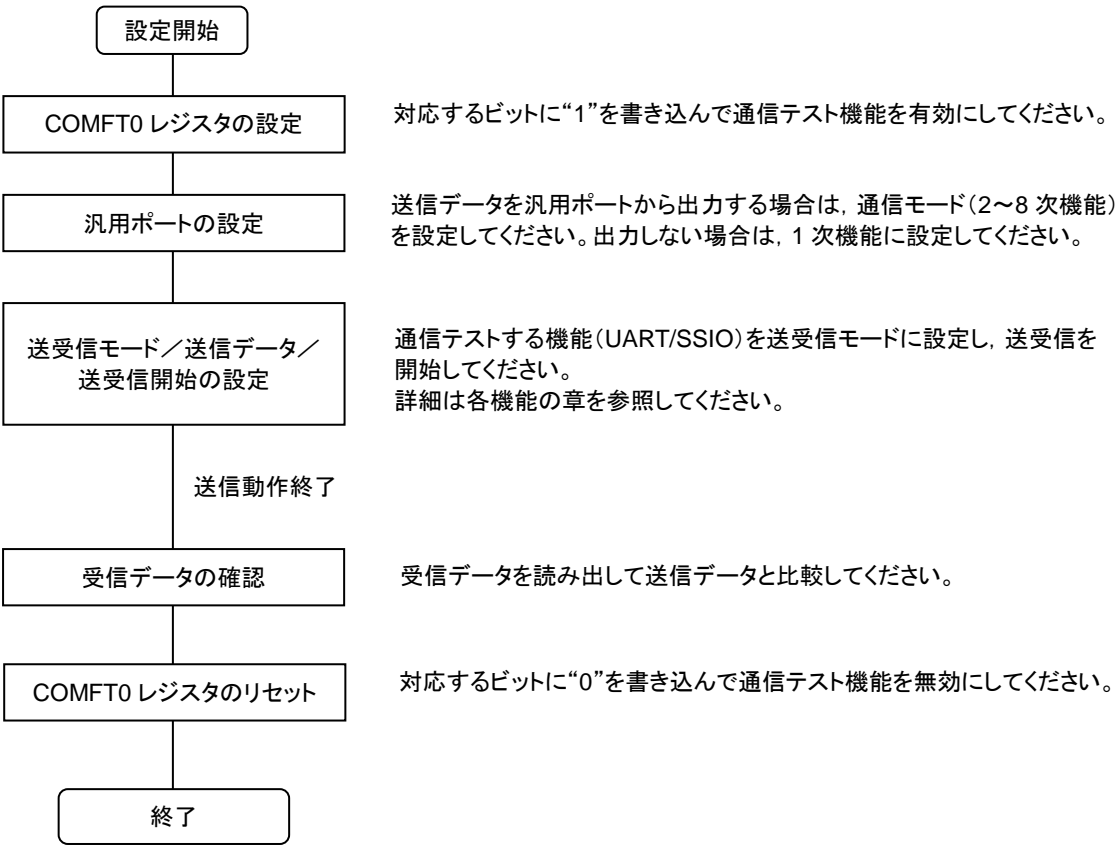


図 29-2 通信テストフローチャート

29.3.2 ROM 未使用領域アクセスリセット機能

CPU のプログラム・カウンタ (PC) を常に監視する機能です。

プログラムカウンタ (PC) が領域外のプログラムを実行したことを検知すると、LSI のリセットを発生します。

この機能は、コードオプションで許可／禁止できます。

ROM 未使用領域アクセスによるリセットフラグは、SRSTAT レジスタにより確認できます。

リセットフラグについては、「第 3 章 リセット機能」を参照してください。

<ROM 未使用領域>

■ML62Q1500C グループ	CSR:PC
ML62Q1564C/ML62Q1554C/ML62Q1544C:	0x1:0FFC0～0x7:0FFFF
ML62Q1563C/ML62Q1553C/ML62Q1543C:	0x1:07FC0～0x7:0FFFF
■ML62Q1700C グループ	CSR:PC
ML62Q1734C/ML62Q1724C/ML62Q1714C:	0x1:0FFC0～0x7:0FFFF
ML62Q1733C/ML62Q1723C/ML62Q1713C:	0x1:07FC0～0x7:0FFFF

【注意】

- ML62Q1500C/1700C グループは CSR[3] を無視します。CSR:0x8~0xF は 0x0~0x7 として扱われます。

29.3.3 クロック相互監視機能

低速クロック(低速 RC 発振回路)と高速クロック(PLL 発振回路)が正常に発振しているかを監視する機能です。16 ビットタイマとファンクショナルタイマを利用して確認できます。

また、相互監視機能用クロックをトリガにして LSCLK をカウントすることにより、LSCLK を監視することが可能です。本機能により、二つの発振回路のクロックを相互に監視する事を実現しています。詳細は、アプリケーションノートを参照ください。

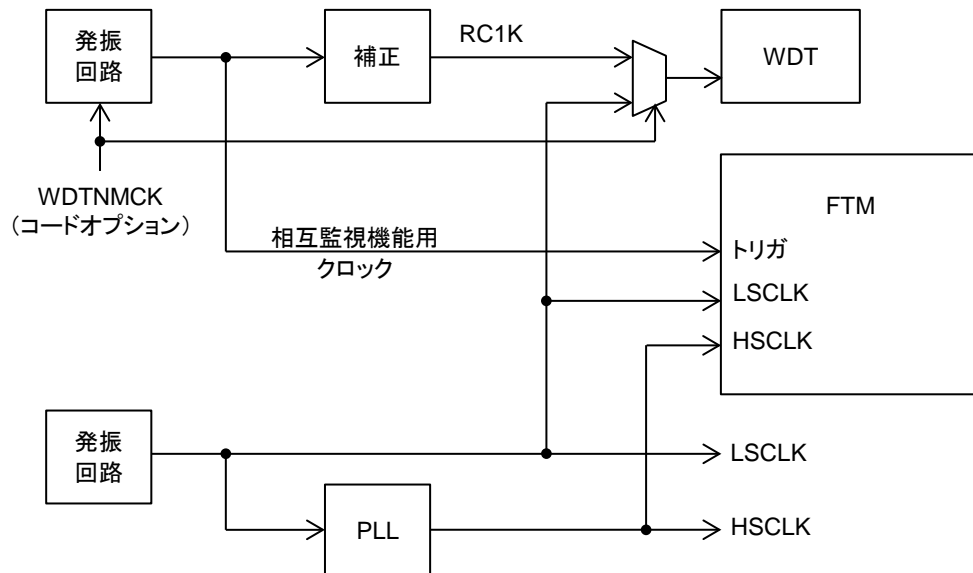


図 29-3 クロック相互監視機能

図 29-4 に 16 ビットタイマ 0 とファンクショナルタイマ 0 を利用した高速クロック (PLL 発振回路) の発振監視動作例を示します。

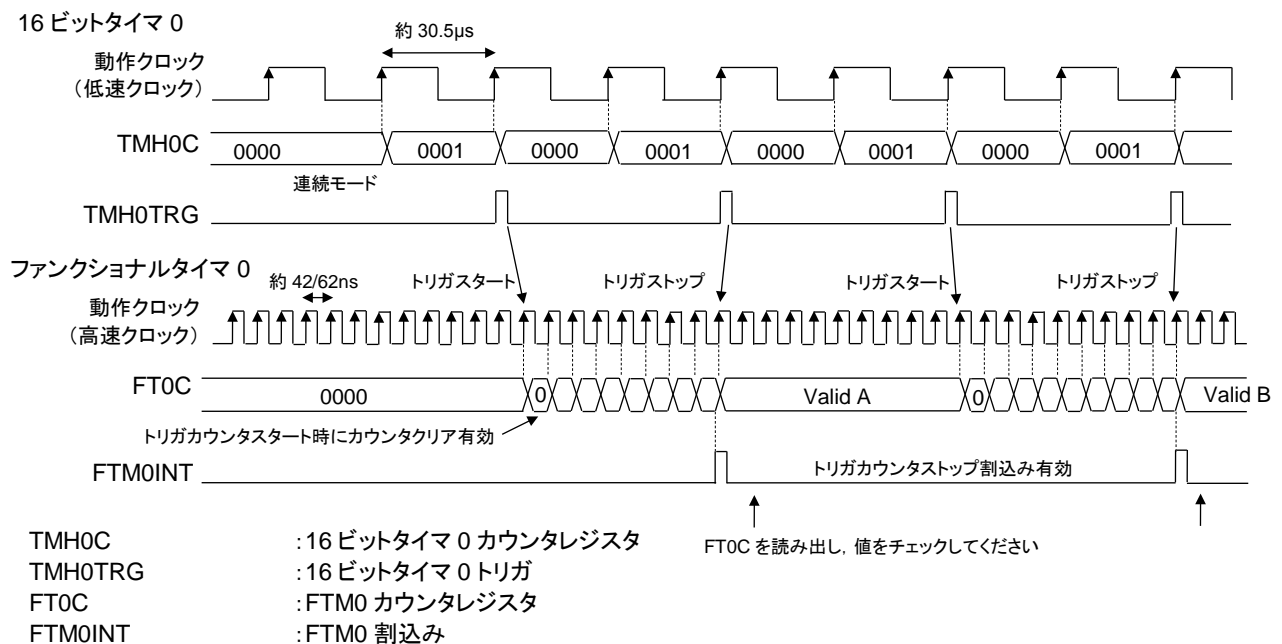


図 29-4 高速クロック(PLL 発振回路)の発振監視動作例

図 29-4 に示した動作例での設定について、図 29-5 に示します。

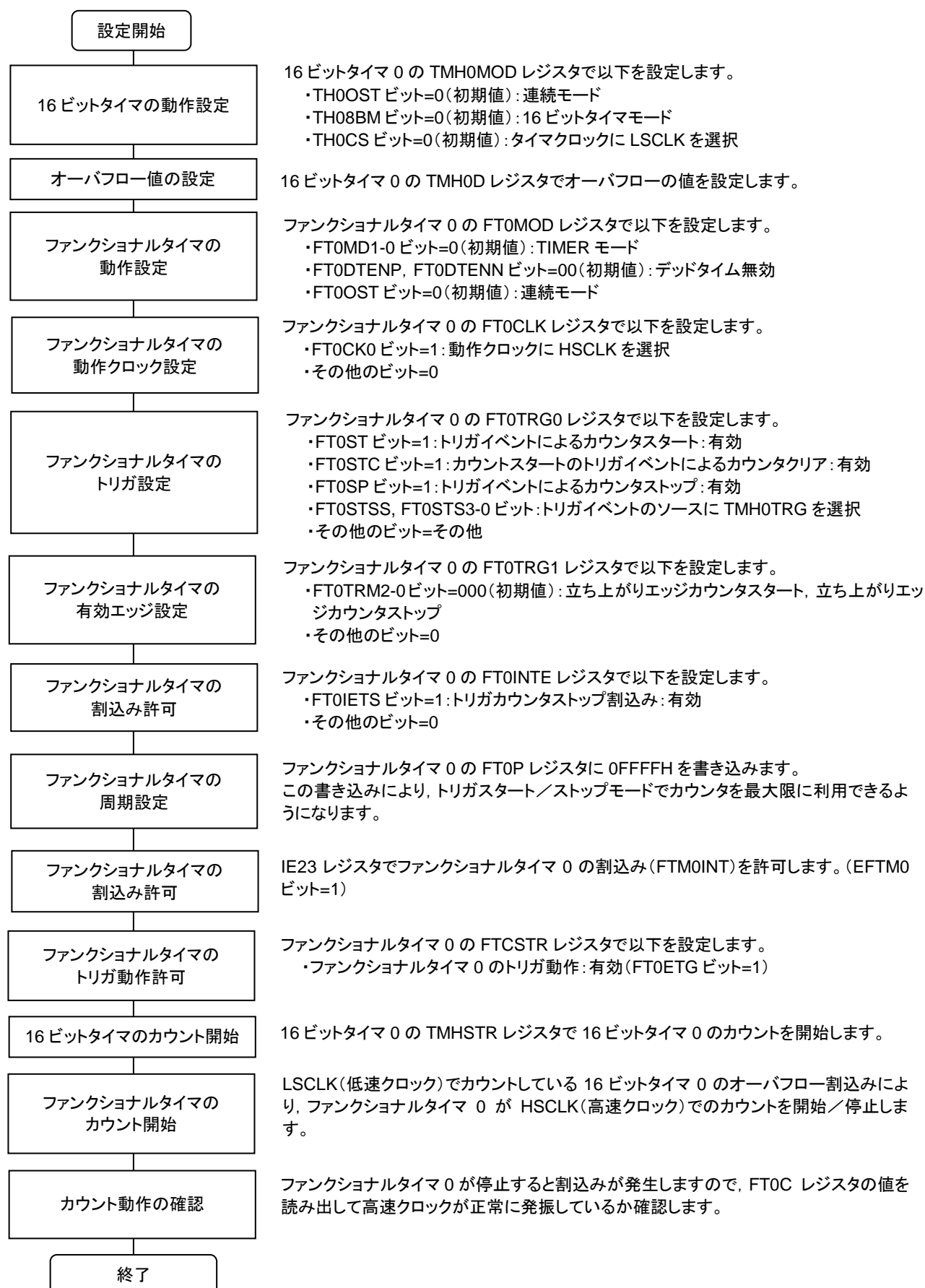


図 29-5 高速クロック(PLL 発振回路)の発振監視動作例の設定

【注意】

- 図 29-5 の「オーバフロー値の設定」では、16 ビットタイマ n のオーバフロー時間が、ファンクショナルタイマ n のオーバフロー時間より短くなるように設定してください。
ファンクショナルタイマ n がオーバフローしてしまうと、正確なチェックができなくなりますので、ファンクショナルタイマ n をオーバフローさせないように注意してください。

29.3.4 CRC 演算

CRC (Cyclic Redundancy Check) 演算により、プログラム・コード領域のデータ誤りや任意データの誤りを検出します。
用途に応じて、以下の 2 つの CRC を使い分けてください。
動作についての詳細は、「第 19 章 CRC 演算器」を参照してください。

表 29-1 CRC 演算のモード

CRC 演算	説明
自動 CRC 演算モード	HALT/HALT-H モード中に、自動的にプログラム・コード領域を 32 ビット単位で演算します。
マニュアル CRC 演算モード	CPU や DMA コントローラから書き込まれた任意のデータを 8 ビット単位で演算します。

29.3.5 WDT カウンタ読み出し

ウォッチドッグタイマカウンタレジスタ (WDTMC) からカウント値を読み出せます。定期的にカウント値を確認することで、ウォッチドッグタイマが正常にカウントしているか確認できます。
動作についての詳細は、「第 10 章 ウォッチドッグタイマ」を参照してください。

29.3.6 ポート出力レベルテスト機能

汎用ポートを出力端子として使用している場合、入出力モードに設定すると出力データを読み出せます。
動作についての詳細は、「第 17 章 汎用ポート」を参照してください。

29.3.7 逐次比較型 A/D コンバータのテスト機能

フルスケール、ゼロスケール、内部基準電圧を A/D 変換し自己テストが可能です。
詳細は、「第 23 章 逐次比較型 A/D コンバータ」を参照してください。

29.3.8 クロックバックアップ機能とそのテスト機能

低速水晶発振が停止した場合、低速 RC 発振に自動で切り替える機能とそのテスト機能を内蔵しています。
詳細は、「第 6 章 クロック発生回路」を参照してください。

付録

付録 A レジスタ一覧

以下にレジスタの一覧を示します。

「予約レジスタ」にアクセスした場合の動作は保証しません。「予約レジスタ」にはアクセスはしないでください。

初期値の*1 はコードオプションの設定により変わります。詳細は「26.2.3 コードオプション 2 (CODEOP2)」を参照してください。

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF000	データセグメントレジスタ	DSR	—	R/W	8	0x00
0xF001	予約レジスタ	—	—	—	—	—
0xF002	高速クロックモードレジスタ	FHCKMODL	FHCKMOD	R/W	8/16	0x00
0xF003		FHCKMODH		R/W	8	0x44
0xF004	低速クロックモードレジスタ	FLMOD	—	R/W	8	0x00
0xF005	予約レジスタ	—	—	—	—	—
0xF006	周波数コントロールレジスタ	FCON	—	R/W	8	0x00
0xF007	予約レジスタ	—	—	—	—	—
0xF008	高速クロック起動時間設定レジスタ	FHWUPT	—	R/W	8	0x00
0xF009	予約レジスタ	—	—	—	—	—
0xF00A	バックアップコントロールレジスタ	FBUCON	—	R/W	8	0x00
0xF00B	予約レジスタ	—	—	—	—	—
0xF00C	バックアップクロックステータスレジスタ	FBUSTAT	—	R	8	0x01
0xF00D	予約レジスタ	—	—	—	—	—
0xF00E	予約レジスタ	—	—	—	—	—
0xF00F	予約レジスタ	—	—	—	—	—
0xF010	ウォッチドッグタイマコントロールレジスタ	WDTCON	—	R/W	8	0x00
0xF011	予約レジスタ	—	—	—	—	—
0xF012	ウォッチドッグタイマモードレジスタ	WDTMOD	—	R/W	8	0x06
0xF013	予約レジスタ	—	—	—	—	—
0xF014	ウォッチドッグタイマカウンタレジスタ	WDTMCL	WDTMC	R	8/16	0x00
0xF015		WDTMCH		R	8	0x00
0xF016	ウォッチドッグステータスレジスタ	WDTSTA	—	R	8	0x01
0xF017	予約レジスタ	—	—	—	—	—
0xF018	ストップコードアクセプタ	STPACP	—	W	8	0x00
0xF019	予約レジスタ	—	—	—	—	—
0xF01A	スタンバイコントロールレジスタ	SBYCONL	SBYCON	W	8/16	0x00
0xF01B		SBYCONH		R	8	0x00
0xF01C ～ 0xF01F	予約レジスタ	—	—	—	—	—
0xF020	割込み許可レジスタ 01	IE0	IE01	R/W	8/16	0x00
0xF021		IE1		R/W	8	0x00
0xF022	割込み許可レジスタ 23	IE2	IE23	R/W	8/16	0x00
0xF023		IE3		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF024	割込み許可レジスタ 45	IE4	IE45	R/W	8/16	0x00
0xF025		IE5		R/W	8	0x00
0xF026	割込み許可レジスタ 67	IE6	IE67	R/W	8/16	0x00
0xF027		IE7		R/W	8	0x00
0xF028	割込み要求レジスタ 01	IRQ0	IRQ01	R/W	8/16	0x00
0xF029		IRQ1		R/W	8	0x00
0xF02A	割込み要求レジスタ 23	IRQ2	IRQ23	R/W	8/16	0x00
0xF02B		IRQ3		R/W	8	0x00
0xF02C	割込み要求レジスタ 45	IRQ4	IRQ45	R/W	8/16	0x00
0xF02D		IRQ5		R/W	8	0x00
0xF02E	割込み要求レジスタ 67	IRQ6	IRQ67	R/W	8/16	0x00
0xF02F		IRQ7		R/W	8	0x00
0xF030	割込みレベル制御許可レジスタ	ILEN	—	R/W	8	0x00
0xF031	予約レジスタ	—	—	—	—	—
0xF032	現割込みレベル管理レジスタ	CIL	—	R/W	8	0x00
0xF033	予約レジスタ	—	—	—	—	—
0xF034	割込みレベル制御レジスタ 0	ILC00	ILC0	R/W	8/16	0x00
0xF035		ILC01		R/W	8	0x00
0xF036	割込みレベル制御レジスタ 1	ILC10	ILC1	R/W	8/16	0x00
0xF037		ILC11		R/W	8	0x00
0xF038	割込みレベル制御レジスタ 2	ILC20	ILC2	R/W	8/16	0x00
0xF039		ILC21		R/W	8	0x00
0xF03A	割込みレベル制御レジスタ 3	ILC30	ILC3	R/W	8/16	0x00
0xF03B		ILC31		R/W	8	0x00
0xF03C	割込みレベル制御レジスタ 4	ILC40	ILC4	R/W	8/16	0x00
0xF03D		ILC41		R/W	8	0x00
0xF03E	割込みレベル制御レジスタ 5	ILC50	ILC5	R/W	8/16	0x00
0xF03F		ILC51		R/W	8	0x00
0xF040	割込みレベル制御レジスタ 6	ILC60	ILC6	R/W	8/16	0x00
0xF041		—		R	8	0x00
0xF042	割込みレベル制御レジスタ 7	ILC70	ILC7	R/W	8/16	0x00
0xF043		ILC71		R/W	8	0x00
0xF044	外部割込みコントロールレジスタ 0	EICON0L	EICON0	R/W	8/16	0x00
0xF045		EICON0H		R/W	8	0x00
0xF046	予約レジスタ	—	—	—	—	—
0xF047	予約レジスタ	—	—	—	—	—
0xF048	外部割込みモードレジスタ 0	EIMOD0L	EIMOD0	R/W	8/16	0x00
0xF049		EIMOD0H		R/W	8	0x00
0xF04A ～ 0xF04F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF050	マイコンステータス割込み許可レジスタ	MCINTEL	—	R/W	8	0x00
0xF051	予約レジスタ	—	—	—	—	—
0xF052	マイコンステータス割込みレジスタ	MCISTATL	—	R	8	0x00
0xF053	予約レジスタ	—	—	—	—	—
0xF054	マイコンステータス割込みクリアレジスタ	MCINTCLL	MCINTCL	W	8/16	0x00
0xF055		MCINTCLH		W	8	0x00
0xF056	予約レジスタ	—	—	—	—	—
0xF057	予約レジスタ	—	—	—	—	—
0xF058	リセットステータスレジスタ	RSTATL	RSTAT	R/W	8/16	不定
0xF059		RSTATH		R/W	8	不定
0xF05A	安全機能リセットステータスレジスタ	SRSTAT	—	R/W	8	不定
0xF05B	予約レジスタ	—	—	—	—	—
0xF05C	ソフトリセットアクセプタ	SOFTRACP	—	W	8	0x00
0xF05D	予約レジスタ	—	—	—	—	—
0xF05E	ソフトリセットコントロールレジスタ	SOFTRCON	—	R/W	8	0x00
0xF05F	予約レジスタ	—	—	—	—	—
0xF060	低速タイムベースカウンタレジスタ	LTBR	—	R/W	8	0x00
0xF061	予約レジスタ	—	—	—	—	—
0xF062	低速タイムベースカウンタ制御レジスタ	LTBCCON	—	R/W	8	0x01
0xF063	予約レジスタ	—	—	—	—	—
0xF064	簡易 RTC 用タイムベースカウンタレジスタ	LTBRR	—	R	8	0x00
0xF065	予約レジスタ	—	—	—	—	—
0xF066	タイムベースカウンタ周波数補正レジスタ	LTBADJL	LTBADJ	R/W	8	0x00
0xF067		LTBADJH		R/W	8	0x00
0xF068	タイムベースカウンタ割込み選択レジスタ	LTBINTL	LTBINT	R/W	8/16	0x30
0xF069		LTBINTH		R/W	8	0x06
0xF06A ～ 0xF06F	予約レジスタ	—	—	—	—	—
0xF070	ブロッククロックコントロールレジスタ 0	BCKCON0L	BCKCON0	R/W	8/16	0x00
0xF071		BCKCON0H		R/W	8	0x00
0xF072	ブロッククロックコントロールレジスタ 1	BCKCON1L	BCKCON1	R/W	8/16	0x00
0xF073		BCKCON1H		R/W	8	0x00
0xF074	ブロッククロックコントロールレジスタ 2	BCKCON2L	BCKCON2	R/W	8/16	0x00
0xF075		BCKCON2H		R/W	8	0x00
0xF076	ブロッククロックコントロールレジスタ 3	BCKCON3L	BCKCON3	R/W	8/16	0x00
0xF077		BCKCON3H		R/W	8	0x00
0xF078	ブロックリセットコントロールレジスタ 0	BRECON0L	BRECON0	R/W	8/16	0x00
0xF079		BRECON0H		R/W	8	0x00
0xF07A	ブロックリセットコントロールレジスタ 1	BRECON1L	BRECON1	R/W	8/16	0x00
0xF07B		BRECON1H		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF07C	ブロックリセットコントロールレジスタ 2	BRECON2L	BRECON2	R/W	8/16	0x00
0xF07D		BRECON2H		R/W	8	0x00
0xF07E	ブロックリセットコントロールレジスタ 3	BRECON3L	BRECON3	R/W	8/16	0x00
0xF07F		BRECON3H		R/W	8	0x00
0xF080	低速 RC 発振周波数補正レジスタ	LRCADJ	—	R/W	8	0x00
0xF081	予約レジスタ	—	—	—	—	—
0xF082 ～ 0xF08F	予約レジスタ	—	—	—	—	—
0xF090	フラッシュアドレスレジスタ	FLASHAL	FLASHA	R/W	8/16	0xFF
0xF091		FLASHAH		R/W	8	0xFF
0xF092	フラッシュデータレジスタ 0	FLASHD0L	FLASHD0	R/W	8/16	0xFF
0xF093		FLASHD0H		R/W	8	0xFF
0xF094	フラッシュデータレジスタ 1	FLASHD1L	FLASHD1	R/W	8/16	0xFF
0xF095		FLASHD1H		R/W	8	0xFF
0xF096	フラッシュコントロールレジスタ	FLASHCON	—	W	8	0x00
0xF097	予約レジスタ	—	—	—	—	—
0xF098	フラッシュアクセプタ	FLASHACP	—	W	8	0x00
0xF099	予約レジスタ	—	—	—	—	—
0xF09A	フラッシュセグメントレジスタ	FLASHSEG	—	R/W	8	0x10
0xF09B	予約レジスタ	—	—	—	—	—
0xF09C	フラッシュセルフレジスタ	FLASHSLF	—	R/W	8	0x00
0xF09D	予約レジスタ	—	—	—	—	—
0xF09E	フラッシュステータスレジスタ	FLASHSTA	—	R	8	0x00
0xF09F	予約レジスタ	—	—	—	—	—
0xF0A0	フラッシュリマップアドレスレジスタ	REMAPADD	—	R/W	8	*1
0xF0A1	予約レジスタ	—	—	—	—	—
0xF0A2 ～ 0xF0AF	予約レジスタ	—	—	—	—	—
0xF0B0	RAM ガード設定レジスタ 0	RAMGD	—	R/W	8	0x00
0xF0B1	予約レジスタ	—	—	—	—	—
0xF0B2	予約レジスタ	—	—	—	—	—
0xF0B3	予約レジスタ	—	—	—	—	—
0xF0B4	SFR ガード設定レジスタ 0	SFRGD0L	SFRGD0	R/W	8/16	0x00
0xF0B5		SFRGD0H		R/W	8	0x00
0xF0B6	SFR ガード設定レジスタ 1	SFRGD1L	SFRGD1	R/W	8/16	0x00
0xF0B7		SFRGD1H		R/W	8	0x00
0xF0B8	予約レジスタ	—	—	—	—	—
0xF0B9	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF0BA	SA-ADC テストモード	SADTMOD	—	R/W	8	0x00
0xF0BB	予約レジスタ	—	—	—	—	—
0xF0BC	RAM パリティ設定レジスタ	RASFMOD	—	R/W	8	0x00
0xF0BD	予約レジスタ	—	—	—	—	—
0xF0BE	通信テスト設定レジスタ 0	COMFT0L	COMFT0	R/W	8/16	0x00
0xF0BF		COMFT0H		R/W	8	0x00
0xF0C0	ブザー0 コントロールレジスタ	BZ0CON	—	R/W	8	0x00
0xF0C1	予約レジスタ	—	—	—	—	—
0xF0C2	ブザー0 モードレジスタ	BZ0MODL	BZ0MOD	R/W	8/16	0x00
0xF0C3		BZ0MODH		R/W	8	0x00
0xF0C4	クロックバックアップテストモードアクセプタ	FBTACP	—	W	8	0x00
0xF0C5	予約レジスタ	—	—	—	—	—
0xF0C6	クロックバックアップテストモードレジスタ	FBTCON	—	R/W	8	0x00
0xF0C7	予約レジスタ	—	—	—	—	—
0xF0C8	簡易 RTC アクセプタ	SRTCACP	—	W	8	0x00
0xF0C9	予約レジスタ	—	—	—	—	—
0xF0CA	簡易 RTC 分・秒カウンタ	SRTCSEC	SRTCMASS	R/W	8/16	0x00
0xF0CB		SRTCMIN		R/W	8	0x80
0xF0CC	簡易 RTC コントロールレジスタ	SRTCCON	—	R/W	8	0x00
0xF0CD	予約レジスタ	—	—	—	—	—
0xF0CE	予約レジスタ	—	—	—	—	—
0xF0CF	予約レジスタ	—	—	—	—	—
0xF0D0	自動 CRC 演算開始アドレス設定レジスタ	CRCSADL	CRCSAD	R/W	8/16	0x00
0xF0D1		CRCSADH		R/W	8	0x00
0xF0D2	自動 CRC 演算終了アドレス設定レジスタ	CRCEADL	CRCEAD	R/W	8/16	0xFC
0xF0D3		CRCEADH		R/W	8	0xFF
0xF0D4	自動 CRC 演算開始セグメント設定レジスタ	CRCSSEG	—	R/W	8	0x00
0xF0D5	予約レジスタ	—	—	—	—	—
0xF0D6	自動 CRC 演算終了セグメント設定レジスタ	CRCESEG	—	R/W	8	0x0F
0xF0D7	予約レジスタ	—	—	—	—	—
0xF0D8	CRC 演算データレジスタ	CRCDATA	—	R/W	8	0x00
0xF0D9	予約レジスタ	—	—	—	—	—
0xF0DA	CRC 演算結果レジスタ	CRCRESL	CRCRES	R/W	8/16	0xFF
0xF0DB		CRCRESH		R/W	8	0xFF
0xF0DC	自動 CRC 演算モードレジスタ	CRCMOD	—	R/W	8	0x00
0xF0DD	予約レジスタ	—	—	—	—	—
0xF0DE ～ 0xF0E3	予約レジスタ	—	—	—	—	—
0xF0E4	拡張外部割込みコントロールレジスタ 0	EEICON0L	EEICON0	R/W	8/16	0x00
0xF0E5		EEICON0H		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF0E6	予約レジスタ	—	—	—	—	—
0xF0E7	予約レジスタ	—	—	—	—	—
0xF0E8	拡張外部割込みモードレジスタ 0	EEIMOD0L	EEIMOD0	R/W	8/16	0x00
0xF0E9		EEIMOD0H		R/W	8	0x00
0xF0EA	拡張外部割込みモードレジスタ 1	EEIMOD1L	EEIMOD1	R/W	8/16	0x00
0xF0EB		EEIMOD1H		R/W	8	0x00
0xF0EC	拡張外部割込みステータスレジスタ	EEISTATL	EEISTAT	R	8/16	0x00
0xF0ED		EEISTATH		R	8	0x00
0xF0EE	拡張外部割込みクリアレジスタ	EEINTCL	EEINTC	W	8/16	0x00
0xF0EF		EEINTCH		W	8	0x00
0xF0F0	バイアスコントロールレジスタ	BIASCONL	BIASCON	R/W	8/16	0x08
0xF0F1		BIASCONH		R/W	8	0x00
0x00F2	表示モードレジスタ	DSPMODL	DSPMOD	R/W	8/16	0x40
0xF0F3		DSPMODH		R/W	8	0x00
0xF0F4	表示コントロールレジスタ	DSPCONL	DSPCON	R/W	8/16	0x00
0xF0F5		DSPCONH		R/W	8	0x00
0xF0F6	セグメントモードレジスタ 0	SEGMOD0L	SEGMOD0	R/W	8/16	0x00
0xF0F7		SEGMOD0H		R/W	8	0x00
0xF0F8	セグメントモードレジスタ 1	SEGMOD1L	SEGMOD1	R/W	8/16	0x00
0xF0F9		SEGMOD1H		R/W	8	0x00
0xF0FA	セグメントモードレジスタ 2	SEGMOD2L	SEGMOD2	R/W	8/16	0x00
0xF0FB		SEGMOD2H		R/W	8	0x00
0xF0FC	セグメントモードレジスタ 3	SEGMOD3L	SEGMOD3	R/W	8/16	0x00
0xF0FD		SEGMOD3H		R/W	8	0x00
0xF0FE	予約レジスタ	—	—	—	—	—
0xF0FF	予約レジスタ	—	—	—	—	—
0xF100	表示レジスタ 0	DSPR00	DSPRW00	R/W	8/16	不定
0xF101	表示レジスタ 1	DSPR01		R/W	8	不定
0xF102	表示レジスタ 2	DSPR02	DSPRW02	R/W	8/16	不定
0xF103	表示レジスタ 3	DSPR03		R/W	8	不定
0xF104	表示レジスタ 4	DSPR04	DSPRW04	R/W	8/16	不定
0xF105	表示レジスタ 5	DSPR05		R/W	8	不定
0xF106	表示レジスタ 6	DSPR06	DSPRW06	R/W	8/16	不定
0xF107	表示レジスタ 7	DSPR07		R/W	8	不定
0xF108	表示レジスタ 8	DSPR08	DSPRW08	R/W	8/16	不定
0xF109	予約レジスタ	—		—	—	—
0xF10A	予約レジスタ	—	—	—	—	—
0xF10B	予約レジスタ	—	—	—	—	—
0xF10C	表示レジスタ 12	DSPR12	DSPRW12	R/W	8/16	不定
0xF10D	表示レジスタ 13	DSPR13		R/W	8	不定

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF10E	表示レジスタ 14	DSPR14	DSPRW14	R/W	8/16	不定
0xF10F	表示レジスタ 15	DSPR15		R/W	8	不定
0xF110 ～ 0xF113	予約レジスタ	—	—	—	—	—
0xF114	表示レジスタ 20	DSPR20	DSPRW20	R/W	8/16	不定
0xF115	表示レジスタ 21	DSPR21		R/W	8	不定
0xF116	表示レジスタ 22	DSPR22	DSPRW22	R/W	8/16	不定
0xF117	表示レジスタ 23	DSPR23		R/W	8	不定
0xF118	表示レジスタ 24	DSPR24	DSPRW24	R/W	8/16	不定
0xF119	表示レジスタ 25	DSPR25		R/W	8	不定
0xF11A	表示レジスタ 26	DSPR26	DSPRW26	R/W	8/16	不定
0xF11B	表示レジスタ 27	DSPR27		R/W	8	不定
0xF11C	表示レジスタ 28	DSPR28	DSPRW28	R/W	8/16	不定
0xF11D	表示レジスタ 29	DSPR29		R/W	8	不定
0xF11E	表示レジスタ 30	DSPR30	DSPRW30	R/W	8/16	不定
0xF11F	表示レジスタ 31	DSPR31		R/W	8	不定
0xF120	表示レジスタ 32	DSPR32	DSPRW32	R/W	8/16	不定
0xF121	表示レジスタ 33	DSPR33		R/W	8	不定
0xF122	表示レジスタ 34	DSPR34	DSPRW34	R/W	8/16	不定
0xF123	表示レジスタ 35	DSPR35		R/W	8	不定
0xF124	表示レジスタ 36	DSPR36	DSPRW36	R/W	8/16	不定
0xF125	表示レジスタ 37	DSPR37		R/W	8	不定
0xF126 ～ 0xF129	予約レジスタ	—	—	—	—	—
0xF12A	予約レジスタ	—	—	—	—	—
0xF12B	表示レジスタ 43	DSPR43	—	R/W	8	不定
0xF12C	表示レジスタ 44	DSPR44	DSPRW44	R/W	8/16	不定
0xF12D	表示レジスタ 45	DSPR45		R/W	8	不定
0xF12E	表示レジスタ 46	DSPR46	DSPRW46	R/W	8/16	不定
0xF12F	表示レジスタ 47	DSPR47		R/W	8	不定
0xF130	表示レジスタ 48	DSPR48	DSPRW48	R/W	8/16	不定
0xF131	表示レジスタ 49	DSPR49		R/W	8	不定
0xF132	表示レジスタ 50	DSPR50	DSPRW50	R/W	8/16	不定
0xF133	表示レジスタ 51	DSPR51		R/W	8	不定
0xF134	表示レジスタ 52	DSPR52	DSPRW52	R/W	8/16	不定
0xF135	表示レジスタ 53	DSPR53		R/W	8	不定
0xF136	表示レジスタ 54	DSPR54	DSPRW54	R/W	8/16	不定
0xF137	表示レジスタ 55	DSPR55		R/W	8	不定

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF138	表示レジスタ 56	DSPR56	DSPRW56	R/W	8/16	不定
0xF139	表示レジスタ 57	DSPR57		R/W	8	不定
0xF13A	表示レジスタ 58	DSPR58	DSPRW58	R/W	8/16	不定
0xF13B	表示レジスタ 59	DSPR59		R/W	8	不定
0xF13C	表示レジスタ 60	DSPR60	DSPRW60	R/W	8/16	不定
0xF13D	表示レジスタ 61	DSPR61		R/W	8	不定
0xF13E ～ 0xF1FF	予約レジスタ	—	—	—	—	—
0xF200	ポート 0 データレジスタ	P0DI	P0D	R/W	8/16	0xFF
0xF201		P0DO		R/W	8	0x00
0xF202	ポート 0 モードレジスタ 01	P0MOD0	P0MOD01	R/W	8/16	0x05
0xF203		P0MOD1		R/W	8	0x00
0xF204	ポート 0 モードレジスタ 23	P0MOD2	P0MOD23	R/W	8/16	0x00
0xF205		P0MOD3		R/W	8	0x00
0xF206	ポート 0 モードレジスタ 45	P0MOD4	P0MOD45	R/W	8/16	0x00
0xF207		P0MOD5		R/W	8	0x00
0xF208	ポート 0 モードレジスタ 67	P0MOD6	P0MOD67	R/W	8/16	0x00
0xF209		P0MOD7		R/W	8	0x00
0xF20A	ポート 0 パルスモードレジスタ	P0PMDL	P0PMD	R/W	8/16	0x00
0xF20B		P0PMDH		R/W	8	0x00
0xF20C	ポート 0 パルス選択レジスタ	P0PSLL	P0PSL	R/W	8/16	0x00
0xF20D		P0PSLH		R/W	8	0x00
0xF20E	予約レジスタ	—	—	—	—	—
0xF20F		—	—	—	—	—
0xF210	ポート 1 データレジスタ	P1DI	P1D	R/W	8/16	0xFF
0xF211		P1DO		R/W	8	0x00
0xF212	ポート 1 モードレジスタ 01	P1MOD0	P1MOD01	R/W	8/16	0x00
0xF213		P1MOD1		R/W	8	0x00
0xF214	ポート 1 モードレジスタ 23	P1MOD2	P1MOD23	R/W	8/16	0x00
0xF215		P1MOD3		R/W	8	0x00
0xF216	ポート 1 モードレジスタ 45	P1MOD4	P1MOD45	R/W	8/16	0x00
0xF217		P1MOD5		R/W	8	0x00
0xF218	ポート 1 モードレジスタ 67	P1MOD6	P1MOD67	R/W	8/16	0x00
0xF219		P1MOD7		R/W	8	0x00
0xF21A	ポート 1 パルスモードレジスタ	P1PMDL	P1PMD	R/W	8/16	0x00
0xF21B		P1PMDH		R/W	8	0x00
0xF21C	ポート 1 パルス選択レジスタ	P1PSLL	P1PSL	R/W	8/16	0x00
0xF21D		P1PSLH		R/W	8	0x00
0xF21E	予約レジスタ	—	—	—	—	—
0xF21F		—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF220	ポート 2 データレジスタ	P2DI	P2D	R/W	8/16	0xFF
0xF221		P2DO		R/W	8	0x00
0xF222	ポート 2 モードレジスタ 01	P2MOD0	P2MOD01	R/W	8/16	0x00
0xF223		P2MOD1		R/W	8	0x00
0xF224	ポート 2 モードレジスタ 23	P2MOD2	P2MOD23	R/W	8/16	0x00
0xF225		P2MOD3		R/W	8	0x00
0xF226	ポート 2 モードレジスタ 45	P2MOD4	P2MOD45	R/W	8/16	0x00
0xF227		P2MOD5		R/W	8	0x00
0xF228	ポート 2 モードレジスタ 67	P2MOD6	P2MOD67	R/W	8/16	0x00
0xF229		P2MOD7		R/W	8	0x00
0xF22A	ポート 2 パルスモードレジスタ	P2PMDL	P2PMD	R/W	8/16	0x00
0xF22B		P2PMDH		R/W	8	0x00
0xF22C	ポート 2 パルス選択レジスタ	P2PSLL	P2PSL	R/W	8/16	0x00
0xF22D		P2PSLH		R/W	8	0x00
0xF22E	予約レジスタ	—	—	—	—	—
0xF22F		—	—	—	—	—
0xF230	ポート 3 データレジスタ	P3DI	P3D	R/W	8/16	0xFF
0xF231		P3DO		R/W	8	0x00
0xF232	ポート 3 モードレジスタ 01	P3MOD0	P3MOD01	R/W	8/16	0x00
0xF233		P3MOD1		R/W	8	0x00
0xF234	ポート 3 モードレジスタ 23	P3MOD2	P3MOD23	R/W	8/16	0x00
0xF235		P3MOD3		R/W	8	0x00
0xF236 ～ 0xF239	予約レジスタ	—	—	—	—	—
0xF23A	ポート 3 パルスモードレジスタ	P3PMDL	P3PMD	R/W	8/16	0x00
0xF23B		P3PMDH		R/W	8	0x00
0xF23C	ポート 3 パルス選択レジスタ	P3PSLL	P3PSL	R/W	8/16	0x00
0xF23D		P3PSLH		R/W	8	0x00
0xF23E	予約レジスタ	—	—	—	—	—
0xF23F		—	—	—	—	—
0xF240	ポート 4 データレジスタ	P4DI	P4D	R/W	8/16	0xFF
0xF241		P4DO		R/W	8	0x00
0xF242	ポート 4 モードレジスタ 01	P4MOD0	P4MOD01	R/W	8/16	0x00
0xF243		P4MOD1		R/W	8	0x00
0xF244	ポート 4 モードレジスタ 23	P4MOD2	P4MOD23	R/W	8/16	0x00
0xF245		P4MOD3		R/W	8	0x00
0xF246	ポート 4 モードレジスタ 45	P4MOD4	P4MOD45	R/W	8/16	0x00
0xF247		P4MOD5		R/W	8	0x00
0xF248	ポート 4 モードレジスタ 67	P4MOD6	P4MOD67	R/W	8/16	0x00
0xF249		P4MOD7		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF24A ～ 0xF24F	予約レジスタ	—	—	—	—	—
0xF250	ポート 5 データレジスタ	P5DI	P5D	R/W	8/16	0xFF
0xF251		P5DO		R/W	8	0x00
0xF252	ポート 5 モードレジスタ 01	P5MOD0	P5MOD01	R/W	8/16	0x00
0xF253		P5MOD1		R/W	8	0x00
0xF254	ポート 5 モードレジスタ 23	P5MOD2	P5MOD23	R/W	8/16	0x00
0xF255		P5MOD3		R/W	8	0x00
0xF256	ポート 5 モードレジスタ 45	P5MOD4	P5MOD45	R/W	8/16	0x00
0xF257		P5MOD5		R/W	8	0x00
0xF258	ポート 5 モードレジスタ 67	P5MOD6	P5MOD67	R/W	8/16	0x00
0xF259		P5MOD7		R/W	8	0x00
0xF25A ～ 0xF25F	予約レジスタ	—	—	—	—	—
0xF260	ポート 6 データレジスタ	P6DI	P6D	R/W	8/16	0xFF
0xF261		P6DO		R/W	8	0x00
0xF262	ポート 6 モードレジスタ 01	P6MOD0	P6MOD01	R/W	8/16	0x00
0xF263		P6MOD1		R/W	8	0x00
0xF264	ポート 6 モードレジスタ 23	P6MOD2	P6MOD23	R/W	8/16	0x00
0xF265		P6MOD3		R/W	8	0x00
0xF266	ポート 6 モードレジスタ 45	P6MOD4	P6MOD45	R/W	8/16	0x00
0xF267		P6MOD5		R/W	8	0x00
0xF268	ポート 6 モードレジスタ 67	P6MOD6	P6MOD67	R/W	8/16	0x00
0xF269		P6MOD7		R/W	8	0x00
0xF26A ～ 0xF26F	予約レジスタ	—	—	—	—	—
0xF270	ポート 7 データレジスタ	P7DI	P7D	R/W	8/16	0xFF
0xF271		P7DO		R/W	8	0x00
0xF272	ポート 7 モードレジスタ 01	P7MOD0	P7MOD01	R/W	8/16	0x00
0xF273		P7MOD1		R/W	8	0x00
0xF274	ポート 7 モードレジスタ 23	P7MOD2	P7MOD23	R/W	8/16	0x00
0xF275		P7MOD3		R/W	8	0x00
0xF276	ポート 7 モードレジスタ 45	P7MOD4	P7MOD45	R/W	8/16	0x00
0xF277		P7MOD5		R/W	8	0x00
0xF278	ポート 7 モードレジスタ 67	P7MOD6	P7MOD67	R/W	8/16	0x00
0xF279		—		R	8	0x00
0xF27A ～ 0xF27F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF280	ポート 8 データレジスタ	P8DI	P8D	R/W	8/16	0xFF
0xF281		P8DO		R/W	8	0x00
0xF282	ポート 8 モードレジスタ 01	P8MOD0	P8MOD01	R/W	8/16	0x00
0xF283		P8MOD1		R/W	8	0x00
0xF284	ポート 8 モードレジスタ 23	P8MOD2	P8MOD23	R/W	8/16	0x00
0xF285		—		R	8	0x00
0xF286 ～ 0xF28F	予約レジスタ	—	—	—	—	—
0xF290	ポート 9 データレジスタ	P9DI	P9D	R/W	8/16	0xFF
0xF291		P9DO		R/W	8	0x00
0xF292	予約レジスタ	—	—	—	—	—
0xF293		—	—	—	—	—
0xF294	ポート 9 モードレジスタ 23	—	P9MOD23	R	8/16	0x00
0xF295		P9MOD3		R/W	8	0x00
0xF296	ポート 9 モードレジスタ 45	P9MOD4	P9MOD45	R/W	8/16	0x00
0xF297		P9MOD5		R/W	8	0x00
0xF298	ポート 9 モードレジスタ 67	P9MOD6	P9MOD67	R/W	8/16	0x00
0xF299		—		R	8	0x00
0xF29A ～ 0xF29F	予約レジスタ	—	—	—	—	—
0xF2A0	ポート A データレジスタ	PADI	PAD	R/W	8/16	0xFF
0xF2A1		PADO		R/W	8	0x00
0xF2A2	ポート A モードレジスタ 01	—	PAMOD01	R	8/16	0x00
0xF2A3		PAMOD1		R/W	8	0x00
0xF2A4	ポート A モードレジスタ 23	PAMOD2	PAMOD23	R/W	8/16	0x00
0xF2A5		PAMOD3		R/W	8	0x00
0xF2A6	ポート A モードレジスタ 45	PAMOD4	PAMOD45	R/W	8/16	0x00
0xF2A7		—		R	8	0x00
0xF2A8 ～ 0xF2AF	予約レジスタ	—	—	—	—	—
0xF2B0	ポート B データレジスタ	PBDI	PBD	R/W	8/16	0xFF
0xF2B1		PBDO		R/W	8	0x00
0xF2B2	予約レジスタ	—	—	—	—	—
0xF2B3		—	—	—	—	—
0xF2B4	ポート B モードレジスタ 23	PBMOD2	PBMOD23	R/W	8/16	0x00
0xF2B5		PBMOD3		R/W	8	0x00
0xF2B6	ポート B モードレジスタ 45	PBMOD4	PBMOD45	R/W	8/16	0x00
0xF2B7		PBMOD5		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF2B8 ～ 0xF2EF	予約レジスタ	—	—	—	—	—
0xF2F0	PORTXT データ入力レジスタ	PXTDI	—	R	8	—
0xF2F1	予約レジスタ	—	—	—	—	—
0xF2F2	PORTXT モードレジスタ 01	PXTMOD0	PXTMOD01	R/W	8/16	0x00
0xF2F3		PXTMOD1		R/W	8	0x00
0xF2F4 ～ 0xF2FF	予約レジスタ	—	—	—	—	—
0xF300	16 ビットタイマ 0 データレジスタ	TMH0DL	TMH0D	R/W	8/16	0xFF
0xF301		TMH0DH		R/W	8	0xFF
0xF302	16 ビットタイマ 1 データレジスタ	TMH1DL	TMH1D	R/W	8/16	0xFF
0xF303		TMH1DH		R/W	8	0xFF
0xF304	16 ビットタイマ 2 データレジスタ	TMH2DL	TMH2D	R/W	8/16	0xFF
0xF305		TMH2DH		R/W	8	0xFF
0xF306	16 ビットタイマ 3 データレジスタ	TMH3DL	TMH3D	R/W	8/16	0xFF
0xF307		TMH3DH		R/W	8	0xFF
0xF308	16 ビットタイマ 4 データレジスタ	TMH4DL	TMH4D	R/W	8/16	0xFF
0xF309		TMH4DH		R/W	8	0xFF
0xF30A	16 ビットタイマ 5 データレジスタ	TMH5DL	TMH5D	R/W	8/16	0xFF
0xF30B		TMH5DH		R/W	8	0xFF
0xF30C ～ 0xF30F	予約レジスタ	—	—	—	—	—
0xF310	16 ビットタイマ 0 カウンタレジスタ	TMH0CL	TMH0C	R/W	8/16	0x00
0xF311		TMH0CH		R/W	8	0x00
0xF312	16 ビットタイマ 1 カウンタレジスタ	TMH1CL	TMH1C	R/W	8/16	0x00
0xF313		TMH1CH		R/W	8	0x00
0xF314	16 ビットタイマ 2 カウンタレジスタ	TMH2CL	TMH2C	R/W	8/16	0x00
0xF315		TMH2CH		R/W	8	0x00
0xF316	16 ビットタイマ 3 カウンタレジスタ	TMH3CL	TMH3C	R/W	8/16	0x00
0xF317		TMH3CH		R/W	8	0x00
0xF318	16 ビットタイマ 4 カウンタレジスタ	TMH4CL	TMH4C	R/W	8/16	0x00
0xF319		TMH4CH		R/W	8	0x00
0xF31A	16 ビットタイマ 5 カウンタレジスタ	TMH5CL	TMH5C	R/W	8/16	0x00
0xF31B		TMH5CH		R/W	8	0x00
0xF31C ～ 0xF31F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF320	16 ビットタイマ 0 モードレジスタ	TMH0MODL	TMH0MOD	R/W	8/16	0x00
0xF321		TMH0MODH		R/W	8	0x00
0xF322	16 ビットタイマ 1 モードレジスタ	TMH1MODL	TMH1MOD	R/W	8/16	0x00
0xF323		TMH1MODH		R/W	8	0x00
0xF324	16 ビットタイマ 2 モードレジスタ	TMH2MODL	TMH2MOD	R/W	8/16	0x00
0xF325		TMH2MODH		R/W	8	0x00
0xF326	16 ビットタイマ 3 モードレジスタ	TMH3MODL	TMH3MOD	R/W	8/16	0x00
0xF327		TMH3MODH		R/W	8	0x00
0xF328	16 ビットタイマ 4 モードレジスタ	TMH4MODL	TMH4MOD	R/W	8/16	0x00
0xF329		TMH4MODH		R/W	8	0x00
0xF32A	16 ビットタイマ 5 モードレジスタ	TMH5MODL	TMH5MOD	R/W	8/16	0x00
0xF32B		TMH5MODH		R/W	8	0x00
0xF32C ～ 0xF32F	予約レジスタ	—	—	—	—	—
0xF330	16 ビットタイマ 0 割込みステータスレジスタ	TMH0ISL	TMH0IS	R	8/16	0x00
0xF331		TMH0ISH		R	8	0x00
0xF332	16 ビットタイマ 1 割込みステータスレジスタ	TMH1ISL	TMH1IS	R	8/16	0x00
0xF333		TMH1ISH		R	8	0x00
0xF334	16 ビットタイマ 2 割込みステータスレジスタ	TMH2ISL	TMH2IS	R	8/16	0x00
0xF335		TMH2ISH		R	8	0x00
0xF336	16 ビットタイマ 3 割込みステータスレジスタ	TMH3ISL	TMH3IS	R	8/16	0x00
0xF337		TMH3ISH		R	8	0x00
0xF338	16 ビットタイマ 4 割込みステータスレジスタ	TMH4ISL	TMH4IS	R	8/16	0x00
0xF339		TMH4ISH		R	8	0x00
0xF33A	16 ビットタイマ 5 割込みステータスレジスタ	TMH5ISL	TMH5IS	R	8/16	0x00
0xF33B		TMH5ISH		R	8	0x00
0xF33C ～ 0xF33F	予約レジスタ	—	—	—	—	—
0xF340	16 ビットタイマ 0 割込みクリアレジスタ	TMH0ICL	TMH0IC	W	8/16	0x00
0xF341		TMH0ICH		W	8	0x00
0xF342	16 ビットタイマ 1 割込みクリアレジスタ	TMH1ICL	TMH1IC	W	8/16	0x00
0xF343		TMH1ICH		W	8	0x00
0xF344	16 ビットタイマ 2 割込みクリアレジスタ	TMH2ICL	TMH2IC	W	8/16	0x00
0xF345		TMH2ICH		W	8	0x00
0xF346	16 ビットタイマ 3 割込みクリアレジスタ	TMH3ICL	TMH3IC	W	8/16	0x00
0xF347		TMH3ICH		W	8	0x00
0xF348	16 ビットタイマ 4 割込みクリアレジスタ	TMH4ICL	TMH4IC	W	8/16	0x00
0xF349		TMH4ICH		W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF34A	16 ビットタイマ 5 割込みクリアレジスタ	TMH5ICL	TMH5IC	W	8/16	0x00
0xF34B		TMH5ICH		W	8	0x00
0xF34C ～ 0xF34F	予約レジスタ	—	—	—	—	—
0xF350	16 ビットタイマスタートレジスタ	TMHSTRL	TMHSTR	W	8/16	0x00
0xF351		TMHSTRH		W	8	0x00
0xF352	16 ビットタイマストップレジスタ	TMHSTPL	TMHSTP	W	8/16	0x00
0xF353		TMHSTPH		W	8	0x00
0xF354	16 ビットタイマステータスレジスタ	TMHSTATL	TMHSTAT	R	8/16	0x00
0xF355		TMHSTATH		R	8	0x00
0xF356 ～ 0xF3FF	予約レジスタ	—	—	—	—	—
0xF400	FTM0 周期レジスタ	FT0PL	FT0P	R/W	8/16	0xFF
0xF401		FT0PH		R/W	8	0xFF
0xF402	FTM1 周期レジスタ	FT1PL	FT1P	R/W	8/16	0xFF
0xF403		FT1PH		R/W	8	0xFF
0xF404	FTM2 周期レジスタ	FT2PL	FT2P	R/W	8/16	0xFF
0xF405		FT2PH		R/W	8	0xFF
0xF406	FTM3 周期レジスタ	FT3PL	FT3P	R/W	8/16	0xFF
0xF407		FT3PH		R/W	8	0xFF
0xF408	FTM4 周期レジスタ	FT4PL	FT4P	R/W	8/16	0xFF
0xF409		FT4PH		R/W	8	0xFF
0xF40A	FTM5 周期レジスタ	FT5PL	FT5P	R/W	8/16	0xFF
0xF40B		FT5PH		R/W	8	0xFF
0xF40C ～ 0xF40F	予約レジスタ	—	—	—	—	—
0xF410	FTM0 イベント A レジスタ	FT0EAL	FT0EA	R/W	8/16	0x00
0xF411		FT0EAH		R/W	8	0x00
0xF412	FTM1 イベント A レジスタ	FT1EAL	FT1EA	R/W	8/16	0x00
0xF413		FT1EAH		R/W	8	0x00
0xF414	FTM2 イベント A レジスタ	FT2EAL	FT2EA	R/W	8/16	0x00
0xF415		FT2EAH		R/W	8	0x00
0xF416	FTM3 イベント A レジスタ	FT3EAL	FT3EA	R/W	8/16	0x00
0xF417		FT3EAH		R/W	8	0x00
0xF418	FTM4 イベント A レジスタ	FT4EAL	FT4EA	R/W	8/16	0x00
0xF419		FT4EAH		R/W	8	0x00
0xF41A	FTM5 イベント A レジスタ	FT5EAL	FT5EA	R/W	8/16	0x00
0xF41B		FT5EAH		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF41C ～ 0xF41F	予約レジスタ	—	—	—	—	—
0xF420	FTM0 イベント B レジスタ	FT0EBL	FT0EB	R/W	8/16	0x00
0xF421		FT0EBH		R/W	8	0x00
0xF422	FTM1 イベント B レジスタ	FT1EBL	FT1EB	R/W	8/16	0x00
0xF423		FT1EBH		R/W	8	0x00
0xF424	FTM2 イベント B レジスタ	FT2EBL	FT2EB	R/W	8/16	0x00
0xF425		FT2EBH		R/W	8	0x00
0xF426	FTM3 イベント B レジスタ	FT3EBL	FT3EB	R/W	8/16	0x00
0xF427		FT3EBH		R/W	8	0x00
0xF428	FTM4 イベント B レジスタ	FT4EBL	FT4EB	R/W	8/16	0x00
0xF429		FT4EBH		R/W	8	0x00
0xF42A	FTM5 イベント B レジスタ	FT5EBL	FT5EB	R/W	8/16	0x00
0xF42B		FT5EBH		R/W	8	0x00
0xF42C ～ 0xF42F	予約レジスタ	—	—	—	—	—
0xF430	FTM0 デッドタイムレジスタ	FT0DTL	FT0DT	R/W	8/16	0x00
0xF431		FT0DTH		R/W	8	0x00
0xF432	FTM1 デッドタイムレジスタ	FT1DTL	FT1DT	R/W	8/16	0x00
0xF433		FT1DTH		R/W	8	0x00
0xF434	FTM2 デッドタイムレジスタ	FT2DTL	FT2DT	R/W	8/16	0x00
0xF435		FT2DTH		R/W	8	0x00
0xF436	FTM3 デッドタイムレジスタ	FT3DTL	FT3DT	R/W	8/16	0x00
0xF437		FT3DTH		R/W	8	0x00
0xF438	FTM4 デッドタイムレジスタ	FT4DTL	FT4DT	R/W	8/16	0x00
0xF439		FT4DTH		R/W	8	0x00
0xF43A	FTM5 デッドタイムレジスタ	FT5DTL	FT5DT	R/W	8/16	0x00
0xF43B		FT5DTH		R/W	8	0x00
0xF43C ～ 0xF43F	予約レジスタ	—	—	—	—	—
0xF440	FTM0 カウンタレジスタ	FT0CL	FT0C	R/W	8/16	0x00
0xF441		FT0CH		R/W	8	0x00
0xF442	FTM1 カウンタレジスタ	FT1CL	FT1C	R/W	8/16	0x00
0xF443		FT1CH		R/W	8	0x00
0xF444	FTM2 カウンタレジスタ	FT2CL	FT2C	R/W	8/16	0x00
0xF445		FT2CH		R/W	8	0x00
0xF446	FTM3 カウンタレジスタ	FT3CL	FT3C	R/W	8/16	0x00
0xF447		FT3CH		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF448	FTM4 カウンタレジスタ	FT4CL	FT4C	R/W	8/16	0x00
0xF449		FT4CH		R/W	8	0x00
0xF44A	FTM5 カウンタレジスタ	FT5CL	FT5C	R/W	8/16	0x00
0xF44B		FT5CH		R/W	8	0x00
0xF44C ～ 0xF44F	予約レジスタ	—	—	—	—	—
0xF450	FTM0 ステータスレジスタ	FT0STAT	—	R/W	8	0x30
0xF451	予約レジスタ	—	—	—	—	—
0xF452	FTM1 ステータスレジスタ	FT1STAT	—	R/W	8	0x30
0xF453	予約レジスタ	—	—	—	—	—
0xF454	FTM2 ステータスレジスタ	FT2STAT	—	R/W	8	0x30
0xF455	予約レジスタ	—	—	—	—	—
0xF456	FTM3 ステータスレジスタ	FT3STAT	—	R/W	8	0x30
0xF457	予約レジスタ	—	—	—	—	—
0xF458	FTM4 ステータスレジスタ	FT4STAT	—	R/W	8	0x30
0xF459	予約レジスタ	—	—	—	—	—
0xF45A	FTM5 ステータスレジスタ	FT5STAT	—	R/W	8	0x30
0xF45B	予約レジスタ	—	—	—	—	—
0xF45C ～ 0xF45F	予約レジスタ	—	—	—	—	—
0xF460	FTM0 モードレジスタ	FT0MODL	FT0MOD	R/W	8/16	0x00
0xF461		FT0MODH		R/W	8	0x40
0xF462	FTM1 モードレジスタ	FT1MODL	FT1MOD	R/W	8/16	0x00
0xF463		FT1MODH		R/W	8	0x40
0xF464	FTM2 モードレジスタ	FT2MODL	FT2MOD	R/W	8/16	0x00
0xF465		FT2MODH		R/W	8	0x40
0xF466	FTM3 モードレジスタ	FT3MODL	FT3MOD	R/W	8/16	0x00
0xF467		FT3MODH		R/W	8	0x40
0xF468	FTM4 モードレジスタ	FT4MODL	FT4MOD	R/W	8/16	0x00
0xF469		FT4MODH		R/W	8	0x40
0xF46A	FTM5 モードレジスタ	FT5MODL	FT5MOD	R/W	8/16	0x00
0xF46B		FT5MODH		R/W	8	0x40
0xF46C ～ 0xF46F	予約レジスタ	—	—	—	—	—
0xF470	FTM0 クロックレジスタ	FT0CLKL	FT0CLK	R/W	8/16	0x00
0xF471		FT0CLKH		R/W	8	0x00
0xF472	FTM1 クロックレジスタ	FT1CLKL	FT1CLK	R/W	8/16	0x00
0xF473		FT1CLKH		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF474	FTM2 クロックレジスタ	FT2CLKL	FT2CLK	R/W	8/16	0x00
0xF475		FT2CLKH		R/W	8	0x00
0xF476	FTM3 クロックレジスタ	FT3CLKL	FT3CLK	R/W	8/16	0x00
0xF477		FT3CLKH		R/W	8	0x00
0xF478	FTM4 クロックレジスタ	FT4CLKL	FT4CLK	R/W	8/16	0x00
0xF479		FT4CLKH		R/W	8	0x00
0xF47A	FTM5 クロックレジスタ	FT5CLKL	FT5CLK	R/W	8/16	0x00
0xF47B		FT5CLKH		R/W	8	0x00
0xF47C ～ 0xF47F	予約レジスタ	—	—	—	—	—
0xF480	FTM0 トリガレジスタ 0	FT0TRG0L	FT0TRG0	R/W	8/16	0x00
0xF481		FT0TRG0H		R/W	8	0x00
0xF482	FTM1 トリガレジスタ 0	FT1TRG0L	FT1TRG0	R/W	8/16	0x00
0xF483		FT1TRG0H		R/W	8	0x00
0xF484	FTM2 トリガレジスタ 0	FT2TRG0L	FT2TRG0	R/W	8/16	0x00
0xF485		FT2TRG0H		R/W	8	0x00
0xF486	FTM3 トリガレジスタ 0	FT3TRG0L	FT3TRG0	R/W	8/16	0x00
0xF487		FT3TRG0H		R/W	8	0x00
0xF488	FTM4 トリガレジスタ 0	FT4TRG0L	FT4TRG0	R/W	8/16	0x00
0xF489		FT4TRG0H		R/W	8	0x00
0xF48A	FTM5 トリガレジスタ 0	FT5TRG0L	FT5TRG0	R/W	8/16	0x00
0xF48B		FT5TRG0H		R/W	8	0x00
0xF48C ～ 0xF48F	予約レジスタ	—	—	—	—	—
0xF490	FTM0 トリガレジスタ 1	FT0TRG1L	FT0TRG1	R/W	8/16	0x00
0xF491		FT0TRG1H		R/W	8	0x00
0xF492	FTM1 トリガレジスタ 1	FT1TRG1L	FT1TRG1	R/W	8/16	0x00
0xF493		FT1TRG1H		R/W	8	0x00
0xF494	FTM2 トリガレジスタ 1	FT2TRG1L	FT2TRG1	R/W	8/16	0x00
0xF495		FT2TRG1H		R/W	8	0x00
0xF496	FTM3 トリガレジスタ 1	FT3TRG1L	FT3TRG1	R/W	8/16	0x00
0xF497		FT3TRG1H		R/W	8	0x00
0xF498	FTM4 トリガレジスタ 1	FT4TRG1L	FT4TRG1	R/W	8/16	0x00
0xF499		FT4TRG1H		R/W	8	0x00
0xF49A	FTM5 トリガレジスタ 1	FT5TRG1L	FT5TRG1	R/W	8/16	0x00
0xF49B		FT5TRG1H		R/W	8	0x00
0xF49C ～ 0xF49F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF4A0	FTM0 割込み許可レジスタ	FT0INTEL	FT0INTE	R/W	8/16	0x00
0xF4A1		FT0INTEH		R/W	8	0x00
0xF4A2	FTM1 割込み許可レジスタ	FT1INTEL	FT1INTE	R/W	8/16	0x00
0xF4A3		FT1INTEH		R/W	8	0x00
0xF4A4	FTM2 割込み許可レジスタ	FT2INTEL	FT2INTE	R/W	8/16	0x00
0xF4A5		FT2INTEH		R/W	8	0x00
0xF4A6	FTM3 割込み許可レジスタ	FT3INTEL	FT3INTE	R/W	8/16	0x00
0xF4A7		FT3INTEH		R/W	8	0x00
0xF4A8	FTM4 割込み許可レジスタ	FT4INTEL	FT4INTE	R/W	8/16	0x00
0xF4A9		FT4INTEH		R/W	8	0x00
0xF4AA	FTM5 割込み許可レジスタ	FT5INTEL	FT5INTE	R/W	8/16	0x00
0xF4AB		FT5INTEH		R/W	8	0x00
0xF4AC ～ 0xF4AF	予約レジスタ	—	—	—	—	—
0xF4B0	FTM0 割込みステータスレジスタ	FT0INTSL	FT0INTS	R	8/16	0x00
0xF4B1		FT0INTSH		R	8	0x00
0xF4B2	FTM1 割込みステータスレジスタ	FT1INTSL	FT1INTS	R	8/16	0x00
0xF4B3		FT1INTSH		R	8	0x00
0xF4B4	FTM2 割込みステータスレジスタ	FT2INTSL	FT2INTS	R	8/16	0x00
0xF4B5		FT2INTSH		R	8	0x00
0xF4B6	FTM3 割込みステータスレジスタ	FT3INTSL	FT3INTS	R	8/16	0x00
0xF4B7		FT3INTSH		R	8	0x00
0xF4B8	FTM4 割込みステータスレジスタ	FT4INTSL	FT4INTS	R	8/16	0x00
0xF4B9		FT4INTSH		R	8	0x00
0xF4BA	FTM5 割込みステータスレジスタ	FT5INTSL	FT5INTS	R	8/16	0x00
0xF4BB		FT5INTSH		R	8	0x00
0xF4BC ～ 0xF4BF	予約レジスタ	—	—	—	—	—
0xF4C0	FTM0 割込みクリアレジスタ	FT0INTCL	FT0INTC	W	8/16	0x00
0xF4C1		FT0INTCH		W	8	0x00
0xF4C2	FTM1 割込みクリアレジスタ	FT1INTCL	FT1INTC	W	8/16	0x00
0xF4C3		FT1INTCH		W	8	0x00
0xF4C4	FTM2 割込みクリアレジスタ	FT2INTCL	FT2INTC	W	8/16	0x00
0xF4C5		FT2INTCH		W	8	0x00
0xF4C6	FTM3 割込みクリアレジスタ	FT3INTCL	FT3INTC	W	8/16	0x00
0xF4C7		FT3INTCH		W	8	0x00
0xF4C8	FTM4 割込みクリアレジスタ	FT4INTCL	FT4INTC	W	8/16	0x00
0xF4C9		FT4INTCH		W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF4CA	FTM5 割込みクリアレジスタ	FT5INTCL	FT5INTC	W	8/16	0x00
0xF4CB		FT5INTCH		W	8	0x00
0xF4CC ～ 0xF4EF	予約レジスタ	—	—	—	—	—
0xF4F0	FTM 共通更新レジスタ	FTCUD	—	W	8	0x00
0xF4F1	予約レジスタ	—	—	—	—	—
0xF4F2	FTM 共通コントロールレジスタ	FTCCONL	FTCCON	R/W	8/16	0x00
0xF4F3		FTCCONH		R/W	8	0x00
0xF4F4	FTM 共通スタートレジスタ	FTCSTRL	FTCSTR	W	8/16	0x00
0xF4F5		FTCSTRH		W	8	0x00
0xF4F6	FTM 共通ストップレジスタ	FTCSTPL	FTCSTP	W	8/16	0x00
0xF4F7		FTCSTPH		W	8	0x00
0xF4F8	FTM 共通ステータスレジスタ	FTCSTATL	FTCSTAT	R	8/16	0x00
0xF4F9		FTCSTATH		R	8	0x00
0xF4FA ～ 0xF5FF	予約レジスタ	—	—	—	—	—
0xF600	シリアルユニット 0 送受信バッファ	SD0BUFL	SD0BUF	R/W	8/16	0x00
0xF601		SD0BUFH		R/W	8	0x00
0xF602	シリアルユニット 0 モードレジスタ	SU0MOD	—	R/W	8	0x00
0xF603	予約レジスタ	—	—	—	—	—
0xF604	シリアルユニット 0 送信間隔設定レジスタ	SU0DLYL	—	R/W	8	0x00
0xF605	予約レジスタ	—	—	—	—	—
0xF606	シリアル通信ユニット 0 コントロールレジスタ	SU0CONL	SU0CON	R/W	8/16	0x00
0xF607		SU0CONH		R/W	8	0x00
0xF608	同期式シリアルポート 0 モードレジスタ	SIO0MODL	SIO0MOD	R/W	8/16	0x00
0xF609		SIO0MODH		R/W	8	0x00
0xF60A	同期式シリアルポート 0 ステータスレジスタ	SIO0STAT	—	R/W	8	0x00
0xF60B	予約レジスタ	—	—	—	—	—
0xF60C	UART00 モードレジスタ	UA00MODL	UA00MOD	R/W	8/16	0x00
0xF60D		UA00MODH		R/W	8	0x00
0xF60E	UART00 ボーレートレジスタ	UA00BRTL	UA00BRT	R/W	8/16	0xFF
0xF60F		UA00BRTH		R/W	8	0xFF
0xF610	UART00 ボーレート補正レジスタ	UA00BRC	—	R/W	8	0x00
0xF611	予約レジスタ	—	—	—	—	—
0xF612	UART00 ステータスレジスタ	UA00STAT	—	R/W	8	0x00
0xF613	予約レジスタ	—	—	—	—	—
0xF614	UART01 モードレジスタ	UA01MODL	UA01MOD	R/W	8/16	0x00
0xF615		UA01MODH		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF616	UART01 ボーレートレジスタ	UA01BRTL	UA01BRT	R/W	8/16	0xFF
0xF617		UA01BRTH		R/W	8	0xFF
0xF618	UART01 ボーレート補正レジスタ	UA01BRC	—	R/W	8	0x00
0xF619	予約レジスタ	—	—	—	—	—
0xF61A	UART01 ステータスレジスタ	UA01STAT	—	R/W	8/16	0x00
0xF61B	予約レジスタ	—	—	—	—	—
0xF61C ～ 0xF61F	予約レジスタ	—	—	—	—	—
0xF620	シリアルユニット 1 送受信バッファ	SD1BUFL	SD1BUF	R/W	8/16	0x00
0xF621		SD1BUFH		R/W	8	0x00
0xF622	シリアルユニット 1 モードレジスタ	SU1MOD	—	R/W	8	0x00
0xF623	予約レジスタ	—	—	—	—	—
0xF624	シリアルユニット 1 送信間隔設定レジスタ	SU1DLYL	—	R/W	8	0x00
0xF625	予約レジスタ	—	—	—	—	—
0xF626	シリアル通信ユニット 1 コントロールレジスタ	SU1CONL	SU1CON	R/W	8/16	0x00
0xF627		SU1CONH		R/W	8	0x00
0xF628	同期式シリアルポート 1 モードレジスタ	SIO1MODL	SIO1MOD	R/W	8/16	0x00
0xF629		SIO1MODH		R/W	8	0x00
0xF62A	同期式シリアルポート 1 ステータスレジスタ	SIO1STAT	—	R/W	8	0x00
0xF62B	予約レジスタ	—	—	—	—	—
0xF62C	UART10 モードレジスタ	UA10MODL	UA10MOD	R/W	8/16	0x00
0xF62D		UA10MODH		R/W	8	0x00
0xF62E	UART10 ボーレートレジスタ	UA10BRTL	UA10BRT	R/W	8/16	0xFF
0xF62F		UA10BRTH		R/W	8	0xFF
0xF630	UART10 ボーレート補正レジスタ	UA10BRC	—	R/W	8	0x00
0xF631	予約レジスタ	—	—	—	—	—
0xF632	UART10 ステータスレジスタ	UA10STAT	—	R/W	8	0x00
0xF633	予約レジスタ	—	—	—	—	—
0xF634	UART11 モードレジスタ	UA11MODL	UA11MOD	R/W	8/16	0x00
0xF635		UA11MODH		R/W	8	0x00
0xF636	UART11 ボーレートレジスタ	UA11BRTL	UA11BRT	R/W	8/16	0xFF
0xF637		UA11BRTH		R/W	8	0xFF
0xF638	UART11 ボーレート補正レジスタ	UA11BRC	—	R/W	8	0x00
0xF639	予約レジスタ	—	—	—	—	—
0xF63A	UART11 ステータスレジスタ	UA11STAT	—	R/W	8	0x00
0xF63B	予約レジスタ	—		—	—	—
0xF63C ～ 0xF63F	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF640	シリアル通信ユニット 2 送受信バッファ	SD2BUFL	SD2BUF	R/W	8/16	0x00
0xF641		SD2BUFH		R/W	8	0x00
0xF642	シリアル通信ユニット 2 モードレジスタ	SU2MOD	—	R/W	8	0x00
0xF643	予約レジスタ	—	—	—	—	—
0xF644	シリアルユニット 2 送信間隔設定レジスタ	SU2DLYL	—	R/W	8	0x00
0xF645	予約レジスタ	—	—	—	—	—
0xF646	シリアル通信ユニット 2 コントロールレジスタ	SU2CONL	SU2CON	R/W	8/16	0x00
0xF647		SU2CONH		R/W	8	0x00
0xF648	同期式シリアルポート 2 モードレジスタ	SIO2MODL	SIO2MOD	R/W	8/16	0x00
0xF649		SIO2MODH		R/W	8	0x00
0xF64A	同期式シリアルポート 2 ステータスレジスタ	SIO2STAT	—	R/W	8	0x00
0xF64B	予約レジスタ	—	—	—	—	—
0xF64C	UART20 モードレジスタ	UA20MODL	UA20MOD	R/W	8/16	0x00
0xF64D		UA20MODH		R/W	8	0x00
0xF64E	UART20 ボーレートレジスタ	UA20BRTL	UA20BRT	R/W	8/16	0xFF
0xF64F		UA20BRTH		R/W	8	0xFF
0xF650	UART20 ボーレート補正レジスタ	UA20BRC	—	R/W	8	0x00
0xF651	予約レジスタ	—	—	—	—	—
0xF652	UART20 ステータスレジスタ	UA20STAT	—	R/W	8	0x00
0xF653	予約レジスタ	—	—	—	—	—
0xF654	UART21 モードレジスタ	UA21MODL	UA21MOD	R/W	8/16	0x00
0xF655		UA21MODH		R/W	8	0x00
0xF656	UART21 ボーレートレジスタ	UA21BRTL	UA21BRT	R/W	8/16	0xFF
0xF657		UA21BRTH		R/W	8	0xFF
0xF658	UART21 ボーレート補正レジスタ	UA21BRC	—	R/W	8	0x00
0xF659	予約レジスタ	—	—	—	—	—
0xF65A	UART21 ステータスレジスタ	UA21STAT	—	R/W	8	0x00
0xF65B	予約レジスタ	—	—	—	—	—
0xF65C ～ 0xF65F	予約レジスタ	—	—	—	—	—
0xF660	シリアル通信ユニット 3 送受信バッファ	SD3BUFL	SD3BUF	R/W	8/16	0x00
0xF661		SD3BUFH		R/W	8	0x00
0xF662	シリアル通信ユニット 3 モードレジスタ	SU3MOD	—	R/W	8	0x00
0xF663	予約レジスタ	—	—	—	—	—
0xF664	シリアル通信ユニット 3 送信間隔設定レジスタ	SU3DLYL	—	R/W	8	0x00
0xF665	予約レジスタ	—	—	—	—	—
0xF666	シリアル通信ユニット 3 コントロールレジスタ	SU3CONL	SU3CON	R/W	8/16	0x00
0xF667		SU3CONH		R/W	8	0x00
0xF668	同期式シリアルポート 3 モードレジスタ	SIO3MODL	SIO3MOD	R/W	8/16	0x00
0xF669		SIO3MODH		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF66A	同期式シリアルポート 3 ステータスレジスタ	SIO3STAT	—	R/W	8	0x00
0xF66B	予約レジスタ	—	—	—	—	—
0xF66C	UART30 モードレジスタ	UA30MODL	UA30MOD	R/W	8/16	0x00
0xF66D		UA30MODH		R/W	8	0x00
0xF66E	UART30 ボーレートレジスタ	UA30BRTL	UA30BRT	R/W	8/16	0xFF
0xF66F		UA30BRTH		R/W	8	0xFF
0xF670	UART30 ボーレート補正レジスタ	UA30BRC	—	R/W	8	0x00
0xF671	予約レジスタ	—	—	—	—	—
0xF672	UART30 ステータスレジスタ	UA30STAT	—	R/W	8	0x00
0xF673	予約レジスタ	—	—	—	—	—
0xF674	UART31 モードレジスタ	UA31MODL	UA31MOD	R/W	8/16	0x00
0xF675		UA31MODH		R/W	8	0x00
0xF676	UART31 ボーレートレジスタ	UA31BRTL	UA31BRT	R/W	8/16	0xFF
0xF677		UA31BRTH		R/W	8	0xFF
0xF678	UART31 ボーレート補正レジスタ	UA31BRC	—	R/W	8	0x00
0xF679	予約レジスタ	—	—	—	—	—
0xF67A	UART31 ステータスレジスタ	UA31STAT	—	R/W	8	0x00
0xF67B	予約レジスタ	—	—	—	—	—
0xF67C ～ 0xF6BF	予約レジスタ	—	—	—	—	—
0xF6C0	I ² C バスユニット 0 モードレジスタ	I2U0MSS	—	R/W	8	0x00
0xF6C1	予約レジスタ	—	—	—	—	—
0xF6C2	I ² C バス 0 受信レジスタ(マスタ側)	I2UM0RD	—	R	8	0x00
0xF6C3	予約レジスタ	—	—	—	—	—
0xF6C4	I ² C バス 0 スレーブアドレスレジスタ(マスタ側)	I2UM0SA	—	R/W	8	0x00
0xF6C5	予約レジスタ	—	—	—	—	—
0xF6C6	I ² C バス 0 送信データレジスタ(マスタ側)	I2UM0TD	—	R/W	8	0x00
0xF6C7	予約レジスタ	—	—	—	—	—
0xF6C8	I ² C バス 0 コントロールレジスタ(マスタ側)	I2UM0CON	—	R/W	8	0x00
0xF6C9	予約レジスタ	—	—	—	—	—
0xF6CA	I ² C バス 0 モードレジスタ(マスタ側)	I2UM0MDL	I2UM0MOD	R/W	8/16	0x00
0xF6CB		I2UM0MDH		R/W	8	0x02
0xF6CC	I ² C バス 0 ステータスレジスタ(マスタ側)	I2UM0STA	I2UM0STR	R/W	8/16	0x00
0xF6CD		I2UM0ISR		R/W	8	0x00
0xF6CE	I ² C バス 0 受信レジスタ(スレーブ側)	I2US0RD	—	R	8	0x00
0xF6CF	予約レジスタ	—	—	—	—	—
0xF6D0	I ² C バス 0 スレーブアドレスレジスタ(スレーブ側)	I2US0SA	—	R/W	8	0x00
0xF6D1	予約レジスタ	—	—	—	—	—
0xF6D2	I ² C バス 0 送信データレジスタ(スレーブ側)	I2US0TD	—	R/W	8	0x00
0xF6D3	予約レジスタ	—	—	—	—	—

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF6D4	I ² C バス 0 コントロールレジスタ(スレーブ側)	I2US0CON	—	R/W	8	0x00
0xF6D5	予約レジスタ	—	—	—	—	—
0xF6D6	I ² C バス 0 モードレジスタ(スレーブ側)	I2US0MD	—	R/W	8	0x00
0xF6D7	予約レジスタ	—	—	—	—	—
0xF6D8	I ² C バス 0 ステータスレジスタ(スレーブ側)	I2US0STA	I2US0STR	R/W	8/16	0x00
0xF6D9		I2US0ISR		R/W	8	0x00
0xF6DA ～ 0xF6DF	予約レジスタ	—	—	—	—	—
0xF6E0	予約レジスタ	—	—	—	—	—
0xF6E1	予約レジスタ	—	—	—	—	—
0xF6E2	I ² C マスタ 0 受信レジスタ	I2M0RD	—	R	8	0x00
0xF6E3	予約レジスタ	—	—	—	—	—
0xF6E4	I ² C マスタ 0 スレーブアドレスレジスタ	I2M0SA	—	R/W	8	0x00
0xF6E5	予約レジスタ	—	—	—	—	—
0xF6E6	I ² C マスタ 0 送信データレジスタ	I2M0TD	—	R/W	8	0x00
0xF6E7	予約レジスタ	—	—	—	—	—
0xF6E8	I ² C マスタ 0 コントロールレジスタ	I2M0CON	—	R/W	8	0x00
0xF6E9	予約レジスタ	—	—	—	—	—
0xF6EA	I ² C マスタ 0 モードレジスタ	I2M0MODL	I2M0MOD	R/W	8/16	0x00
0xF6EB		I2M0MODH		R/W	8	0x02
0xF6EC	I ² C マスタ 0 ステータスレジスタ	I2M0STAT	I2M0STR	R/W	8/16	0x00
0xF6ED		I2M0ISR		R/W	8	0x00
0xF6EE	予約レジスタ	—	—	—	—	—
0xF6EF	予約レジスタ	—	—	—	—	—
0xF6F0	予約レジスタ	—	—	—	—	—
0xF6F1	予約レジスタ	—	—	—	—	—
0xF6F2	I ² C マスタ 1 受信レジスタ	I2M1RD	—	R	8	0x00
0xF6F3	予約レジスタ	—	—	—	—	—
0xF6F4	I ² C マスタ 1 スレーブアドレスレジスタ	I2M1SA	—	R/W	8	0x00
0xF6F5	予約レジスタ	—	—	—	—	—
0xF6F6	I ² C マスタ 1 送信データレジスタ	I2M1TD	—	R/W	8	0x00
0xF6F7	予約レジスタ	—	—	—	—	—
0xF6F8	I ² C マスタ 1 コントロールレジスタ	I2M1CON	—	R/W	8	0x00
0xF6F9	予約レジスタ	—	—	—	—	—
0xF6FA	I ² C マスタ 1 モードレジスタ	I2M1MODL	I2M1MOD	R/W	8/16	0x00
0xF6FB		I2M1MODH		R/W	8	0x02
0xF6FC	I ² C マスタ 1 ステータスレジスタ	I2M1STAT	I2M1STR	R/W	8/16	0x00
0xF6FD		I2M1ISR		R/W	8	0x00
0xF6FE	予約レジスタ	—	—	—	—	—
0xF6FF	予約レジスタ	—	—	—	—	—

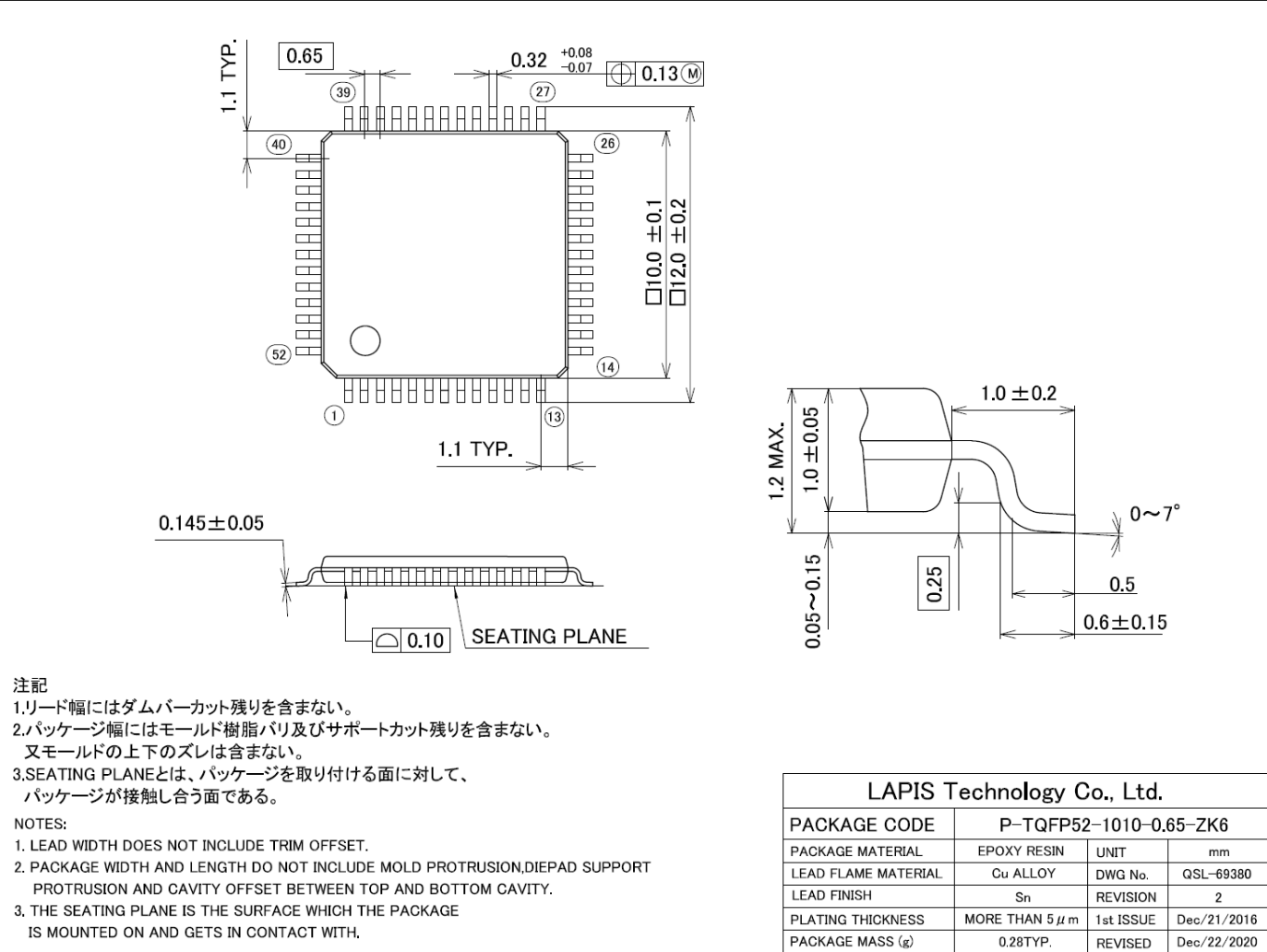
アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF700	DMA チャンネル 0 転送モードレジスタ	DC0MODL	DC0MOD	R/W	8/16	0x00
0xF701		DC0MODH		R/W	8	0x00
0xF702	DMA チャンネル 0 転送回数レジスタ	DC0TNL	DC0TN	R/W	8/16	0x00
0xF703		DC0TNH		R/W	8	0x00
0xF704	DMA チャンネル 0 転送元アドレスレジスタ	DC0SAL	DC0SA	R/W	8/16	0x00
0xF705		DC0SAH		R/W	8	0x00
0xF706	DMA チャンネル 0 転送先アドレスレジスタ	DC0DAL	DC0DA	R/W	8/16	0x00
0xF707		DC0DAH		R/W	8	0x00
0xF708	DMA チャンネル 1 転送モードレジスタ	DC1MODL	DC1MOD	R/W	8/16	0x00
0xF709		DC1MODH		R/W	8	0x00
0xF70A	DMA チャンネル 1 転送回数レジスタ	DC1TNL	DC1TN	R/W	8/16	0x00
0xF70B		DC1TNH		R/W	8	0x00
0xF70C	DMA チャンネル 1 転送元アドレスレジスタ	DC1SAL	DC1SA	R/W	8/16	0x00
0xF70D		DC1SAH		R/W	8	0x00
0xF70E	DMA チャンネル 1 転送先アドレスレジスタ	DC1DAL	DC1DA	R/W	8/16	0x00
0xF70F		DC1DAH		R/W	8	0x00
0xF710 ～ 0xF71F	予約レジスタ	—	—	—	—	—
0xF720	DMA 転送許可レジスタ	DCEN	—	R/W	8	0x00
0xF721	予約レジスタ	—	—	—	—	—
0xF722	DMA 割込みステータスレジスタ	DSTATL	DSTAT	R	8/16	0x00
0xF723		DSTATH		R	8	0x00
0xF724	DMA 割込みステータスクリアレジスタ	DICLR	—	W	8	0x00
0xF725	予約レジスタ	—	—	—	—	—
0xF726 ～ 0xF7FF	予約レジスタ	—	—	—	—	—
0xF800	SA-ADC リザルトレジスタ 0	SADR0L	SADR0	R	8/16	0x00
0xF801		SADR0H		R	8	0x00
0xF802	SA-ADC リザルトレジスタ 1	SADR1L	SADR1	R	8/16	0x00
0xF803		SADR1H		R	8	0x00
0xF804	SA-ADC リザルトレジスタ 2	SADR2L	SADR2	R	8/16	0x00
0xF805		SADR2H		R	8	0x00
0xF806	SA-ADC リザルトレジスタ 3	SADR3L	SADR3	R	8/16	0x00
0xF807		SADR3H		R	8	0x00
0xF808	SA-ADC リザルトレジスタ 4	SADR4L	SADR4	R	8/16	0x00
0xF809		SADR4H		R	8	0x00
0xF80A	SA-ADC リザルトレジスタ 5	SADR5L	SADR5	R	8/16	0x00
0xF80B		SADR5H		R	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF80C	SA-ADC リザルトレジスタ 6	SADR6L	SADR6	R	8/16	0x00
0xF80D		SADR6H		R	8	0x00
0xF80E	SA-ADC リザルトレジスタ 7	SADR7L	SADR7	R	8/16	0x00
0xF80F		SADR7H		R	8	0x00
0xF810	SA-ADC リザルトレジスタ 8	SADR8L	SADR8	R	8/16	0x00
0xF811		SADR8H		R	8	0x00
0xF812	SA-ADC リザルトレジスタ 9	SADR9L	SADR9	R	8/16	0x00
0xF813		SADR9H		R	8	0x00
0xF814	SA-ADC リザルトレジスタ 10	SADR10L	SADR10	R	8/16	0x00
0xF815		SADR10H		R	8	0x00
0xF816	SA-ADC リザルトレジスタ 11	SADR11L	SADR11	R	8/16	0x00
0xF817		SADR11H		R	8	0x00
0xF818 ～ 0xF81F	予約レジスタ	—	—	—	—	—
0xF820	SA-ADC リザルトレジスタ 16	SADR16L	SADR16	R	8/16	0x00
0xF821		SADR16H		R	8	0x00
0xF822	SA-ADC リザルトレジスタ	SADRL	SADR	R	8/16	0x00
0xF823		SADRH		R	8	0x00
0xF824	SA-ADC 上限下限ステータスレジスタ 0	SADULS0L	SADULS0	R/W	8/16	0x00
0xF825		SADULS0H		R/W	8	0x00
0xF826	SA-ADC 上限下限ステータスレジスタ 1	SADULS1L	SADULS1	R/W	8/16	0x00
0xF827		SADULS1H		R/W	8	0x00
0xF828	SA-ADC モードレジスタ	SADMODL	SADMOD	R/W	8/16	0x00
0xF829		SADMODH		R/W	8	0x00
0xF82A	SA-ADC コントロールレジスタ	SADCONL	SADCON	R/W	8/16	0x00
0xF82B		SADCONH		R/W	8	0x00
0xF82C	SA-ADC イネーブルレジスタ 0	SADEN0L	SADEN0	R/W	8/16	0x00
0xF82D		SADEN0H		R/W	8	0x00
0xF82E	SA-ADC イネーブルレジスタ 1	SADEN1L	SADEN1	R/W	8/16	0x00
0xF82F		SADEN1H		R/W	8	0x00
0xF830	予約レジスタ	—	—	—	—	—
0xF831	予約レジスタ	—	—	—	—	—
0xF832	SA-ADC 変換間隔レジスタ	SADSTML	SADSTM	R/W	8/16	0x00
0xF833		SADSTMH		R/W	8	0x00
0xF834	SA-ADC 上限下限モードレジスタ	SADLMDL	SADLMD	R/W	8/16	0x00
0xF835		SADLMDH		R/W	8	0x00
0xF836	SA-ADC 上限値設定レジスタ	SADUPLL	SADUPL	R/W	8/16	0xC0
0xF837		SADUPLH		R/W	8	0xFF
0xF838	SA-ADC 下限値設定レジスタ	SADLOLL	SADLOL	R/W	8/16	0x00
0xF839		SADLOLH		R/W	8	0x00

アドレス	名称	シンボル名		R/W	サイズ	初期値
		バイト	ワード			
0xF83A	基準電圧コントロールレジスタ	VREFCON	—	R/W	8	0x00
0xF83B	予約レジスタ	—	—	—	—	—
0xF83C	SA-ADC 割込みモードレジスタ	SADIMOD	—	R/W	8	0x00
0xF83D	予約レジスタ	—	—	—	—	—
0xF83E	SA-ADC トリガレジスタ	SADTRG	—	R/W	8	0x00
0xF83F	予約レジスタ	—	—	—	—	—
0xF840	コンパレータ 0 コントロールレジスタ	CMP0CON	—	R/W	8	0x00
0xF841	予約レジスタ	—	—	—	—	—
0xF842	コンパレータ 0 モードレジスタ	CMP0MODL	CMP0MOD	R/W	8/16	0x00
0xF843		CMP0MODH		R/W	8	0x00
0xF844 ～ 0xF847	予約レジスタ	—	—	—	—	—
0xF848	コンパレータ 1 コントロールレジスタ	CMP1CON	—	R/W	8	0x00
0xF849	予約レジスタ	—	—	—	—	—
0xF84A	コンパレータ 1 モードレジスタ	CMP1MODL	CMP1MOD	R/W	8/16	0x00
0xF84B		CMP1MODH		R/W	8	0x00
0xF84C ～ 0xF84F	予約レジスタ	—	—	—	—	—
0xF850	電圧レベル監視機能 0 コントロールレジスタ	VLS0CON	—	R/W	8	0x00
0xF851	予約レジスタ	—	—	—	—	—
0xF852	電圧レベル監視機能 0 モードレジスタ	VLS0MOD	—	R/W	8	0x00
0xF853	予約レジスタ	—	—	—	—	—
0xF854	電圧レベル監視機能 0 レベルレジスタ	VLS0LV	—	R/W	8	0x00
0xF855	予約レジスタ	—	—	—	—	—
0xF856	電圧レベル監視機能 0 サンプリングレジスタ	VLS0SMP	—	R/W	8	0x00
0xF857	予約レジスタ	—	—	—	—	—
0xF858 ～ 0xF85F	予約レジスタ	—	—	—	—	—
0xF860	D/A コンバータ 0 コントロールレジスタ	DACCON	—	R/W	8	0x00
0xF861	予約レジスタ	—	—	—	—	—
0xF862	D/A コンバータ 0 コードレジスタ	DACCODE	—	R/W	8	0x00
0xF863	予約レジスタ	—	—	—	—	—
0xF864 ～ 0xFFFF	予約レジスタ	—	—	—	—	—

付録 B パッケージ外観図

● 52ピン TQFP パッケージの寸法図



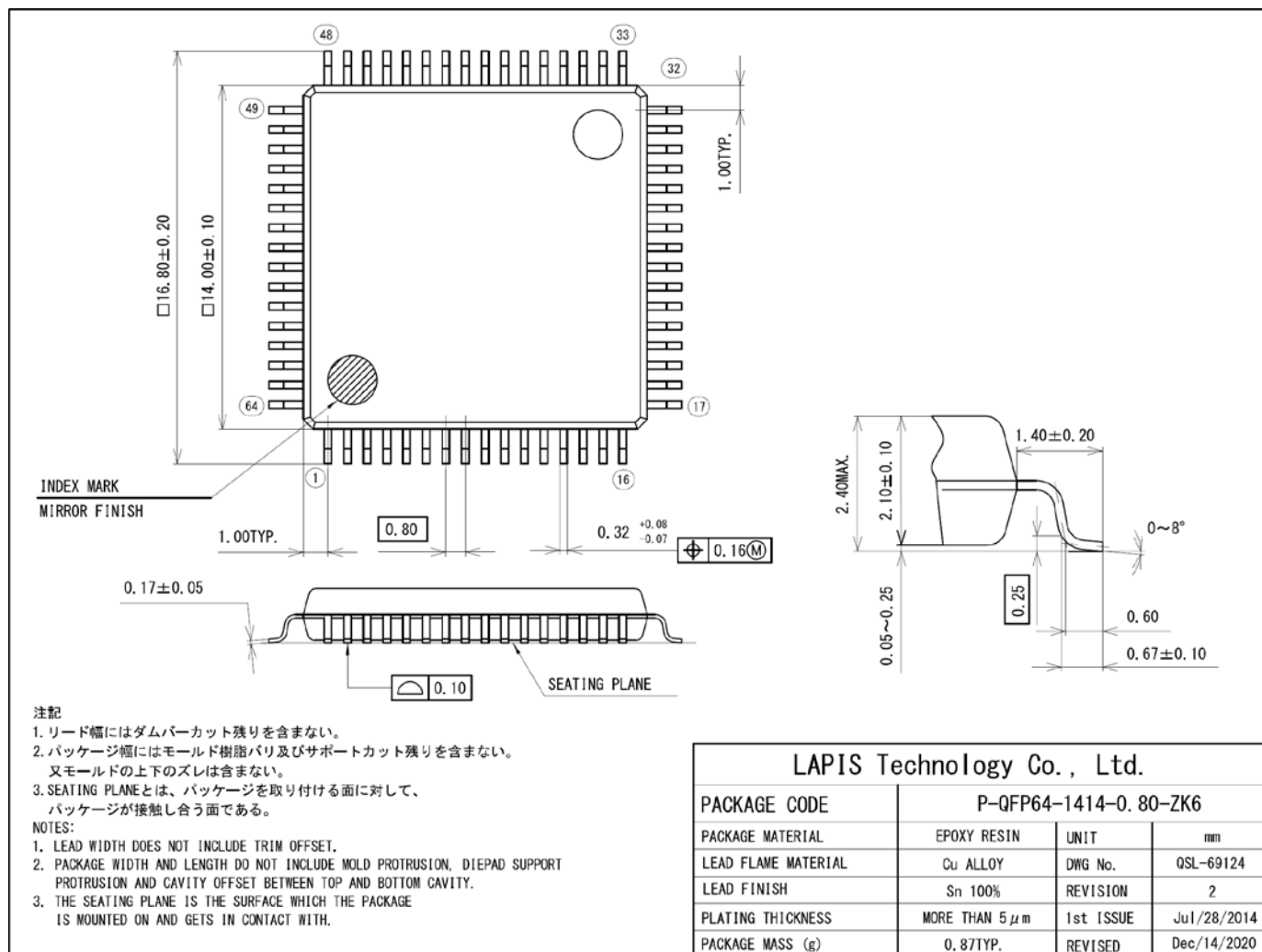
(単位: mm)

図 B-1 TQFP52 パッケージ外形図

【注意】 表面実装型パッケージ実装上のご注意

- 表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

● 64 ピン QFP パッケージの寸法図



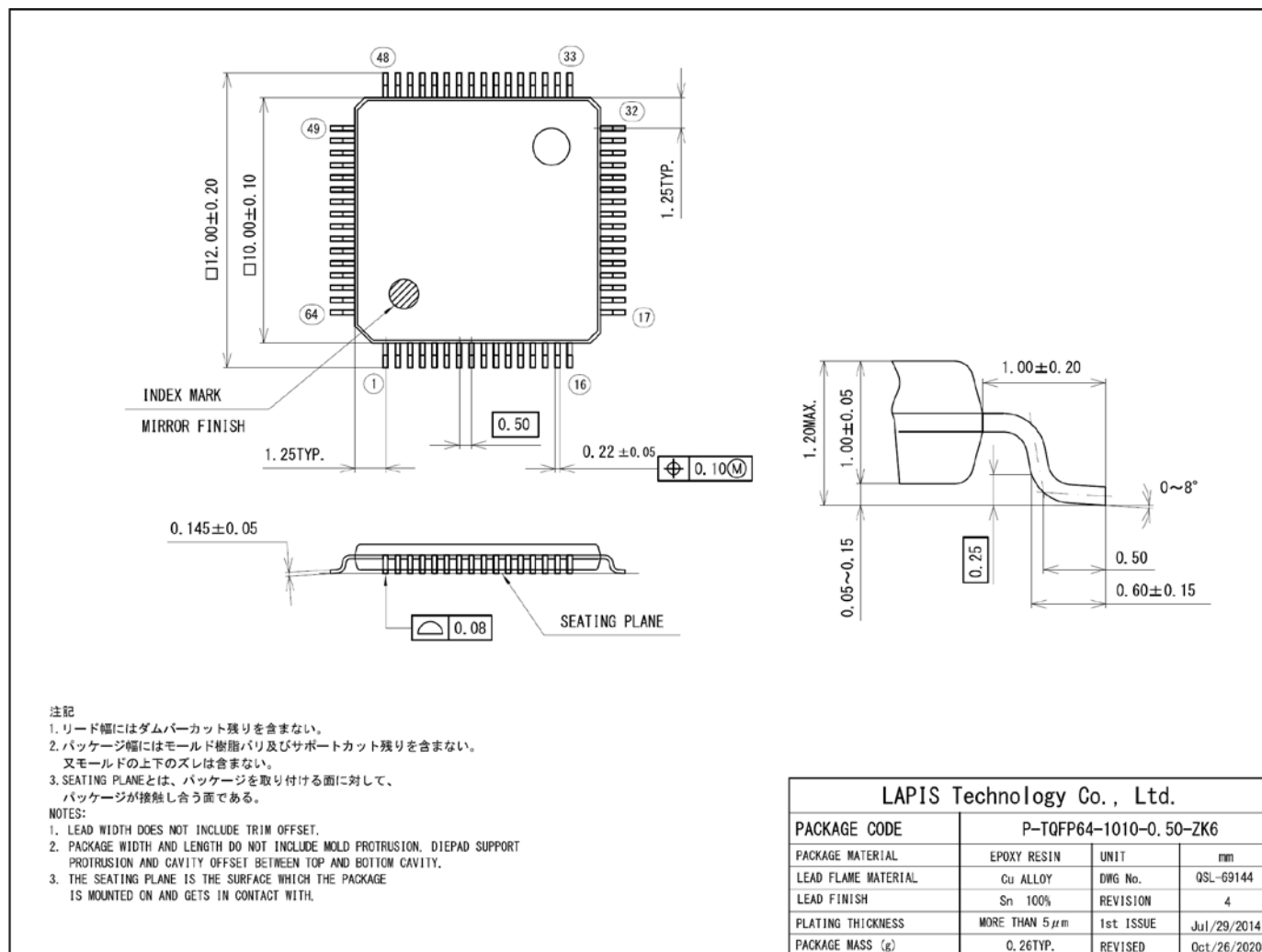
(单位: mm)

図 B-2 QFP64 パッケージ外形図

【注意】 表面実装型パッケージ実装上のご注意

- 表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

● 64 ピン TQFP パッケージの寸法図



(単位: mm)

図 B-3 TQFP64 パッケージ外形図

【注意】 表面実装型パッケージ実装上のご注意

- 表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

付録 C インストラクション実行サイクル

ML62Q1500C/1700Cグループは、ウェイトモードおよびノーウェイトモードの2つのCPU動作モードを内蔵しています。それぞれのインストラクション実行サイクルは以下のように異なります。

CPU 動作モード	説明
ノーウェイトモード	命令実行中にプログラムメモリの読み出し待ちサイクルが発生しないため、実行サイクル数の増加はありません。
ウェイトモード	命令実行中にプログラムメモリの読み出し待ちサイクルが発生し、実行サイクル数が増加するインストラクションがあります。

次ページ以降に、nX-U16/100 コアの全命令と、各 CPU 動作モードのインストラクション実行サイクル数を示します。表中“-”の欄は、そのインストラクション実行中にメモリアクセスが発生しないことを示します。表の構成と内容は以下を参考にしてください。

インストラクション実行サイクル表 参照例

①			②-1	②-2	③-1	③-2	④	⑤
命令			最小実行サイクル		ROM 参照サイクル		DSR アクセ スの影響	[EA+]アドレ ッシングの影 響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
ADD	ERn	ERm	1	1	-	-	-	-
B	Cadr		2	6	-	-	-	1
	ERn		2	6	-	-	-	1
L	ERn	[EA]	1	1	1	5	1	-
		[EA+]	1	1	1	5	1	-

表の説明

- ① nX-U16/100 (A35 コア) の命令です。
- ② 各インストラクションの実行サイクル数です。
 - ②-1 列の値は、ノーウェイトモード時の実行サイクル数です。
 - ②-2 列の値は、ウェイトモード時の実行サイクル数です。
- ③ ROM 参照時に加算される実行サイクル数です。
 - ③-1 は、ROM 参照時の、最少読み出しサイクル数です。
 - ③-2 は、③-1 の数に、読み出し待ちサイクルを加算した実行サイクル数です。
- ④ セグメント1以上の領域を読み出す時に加算されるサイクル数です。
CPU 動作モードに関わらず実行サイクルに1が加算されます。
詳細は、『nX-U16/100 コア インストラクションマニュアル』1.3.4 項「DSR プリフィックスコードについて」を参照してください。
- ⑤ [EA+]アドレッシングモードの影響を受けて加算されるサイクル数です。
CPU 動作モードに関わらず実行サイクルに1が加算されます。
詳細は、『nX-U16/100 コア インストラクションマニュアル』 3.3 項「命令実行時間について」を参照してください。

演算命令

命令			最小実行サイクル		ROM 参照サイクル		DSR アクセスサイ クル	[EA+]アドレ ッシングの影響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
ADD	ERn	ERm	1	1	-	-	-	-
		#imm7	1	1	-	-	-	-
ADD	Rn	Rm	1	1	-	-	-	-
		#imm8	1	1	-	-	-	-
ADDC	Rn	Rm	1	1	-	-	-	-
		#imm8	1	1	-	-	-	-
AND	Rn	Rm	1	1	-	-	-	-
		#imm8	1	1	-	-	-	-
CMP	Rn	Rm	1	1	-	-	-	-
		#imm8	1	1	-	-	-	-
CMPC	Rn	Rm	1	1	-	-	-	-
		#imm8	1	1	-	-	-	-
MOV	ERn	ERm	1	1	-	-	-	-
		#imm7	1	1	-	-	-	-
MOV	Rn	Rm	1	1	-	-	-	-
		#imm8	1	1	-	-	-	-
OR	Rn	Rm	1	1	-	-	-	-
		#imm8	1	1	-	-	-	-
XOR	Rn	Rm	1	1	-	-	-	-
		#imm8	1	1	-	-	-	-
CMP	ERn	ERm	1	1	-	-	-	-
SUB	Rn	Rm	1	1	-	-	-	-
SUBC	Rn	Rm	1	1	-	-	-	-

シフト命令

命令			最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
SLL	Rn	Rm	1	1	-	-	-	1
		#width	1	1	-	-	-	1
SLLC	Rn	Rm	1	1	-	-	-	1
		#width	1	1	-	-	-	1
SRA	Rn	Rm	1	1	-	-	-	1
		#width	1	1	-	-	-	1
SRL	Rn	Rm	1	1	-	-	-	1
		#width	1	1	-	-	-	1
SRLC	Rn	Rm	1	1	-	-	-	1
		#width	1	1	-	-	-	1

ロードストア命令

命令			最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
L	ERn	[EA]	1	1	1	5	1	-
		[EA+]	1	1	1	5	1	-
		[ERm]	1	1 / 2 ^(*)	1	5	1	1
		Disp16[ERm]	2	2	1	5	1	1
		Disp6[BP]	2	2	1	5	1	1
		Disp6[FP]	2	2	1	5	1	1
		Dadr	2	2	1	5	1	1
	Rn	[EA]	1	1	1	5	1	-
		[EA+]	1	1	1	5	1	-
		[ERm]	1	1 / 2 ^(*)	1	5	1	1
		Disp16[ERm]	2	2	1	5	1	1
		Disp6[BP]	2	2	1	5	1	1
		Disp6[FP]	2	2	1	5	1	1
		Dadr	2	2	1	5	1	1
	XRn	[EA]	2	2	2	10	1	-
		[EA+]	2	2	2	10	1	-
	QRn	[EA]	4	4	4	15	1	-
		[EA+]	4	4	4	15	1	-
ST	ERn	[EA]	1	1	-	-	-	-
		[EA+]	1	1	-	-	-	-
		[ERm]	1	1 / 2 ^(*)	-	-	-	1
		Disp16[ERm]	2	2	-	-	-	1
		Disp6[BP]	2	2	-	-	-	1
		Disp6[FP]	2	2	-	-	-	1
		Dadr	2	2	-	-	-	1
	Rn	[EA]	1	1	-	-	-	-
		[EA+]	1	1	-	-	-	-
		[ERm]	1	1 / 2 ^(*)	-	-	-	1
		Disp16[ERm]	2	2	-	-	-	1
		Disp6[BP]	2	2	-	-	-	1
		Disp6[FP]	2	2	-	-	-	1
		Dadr	2	2	-	-	-	1
	XRn	[EA]	2	2	-	-	-	-
		[EA+]	2	2	-	-	-	-
	QRn	[EA]	4	4	-	-	-	-
		[EA+]	4	4	-	-	-	-

(*) 直前の命令がデータメモリ読み出し命令ではない場合 / 直前の命令がデータメモリ読み出し命令の場合

コントロールレジスタアクセス命令

命令			最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
ADD	SP	<i>#signed8</i>	1	1	-	-	-	-
MOV	ECSR	<i>Rm</i>	1	1	-	-	-	-
	ELR	<i>ERm</i>	1	1	-	-	-	-
	EPSW	<i>Rm</i>	1	1	-	-	-	-
	<i>ERn</i>	ELR	1	1	-	-	-	-
		SP	1	1	-	-	-	-
	PSW	<i>Rm</i>	1	1	-	-	-	-
		<i>#unsigned8</i>	1	1	-	-	-	-
	<i>Rn</i>	<i>CRm</i>	1	1	-	-	-	-
		ECSR	1	1	-	-	-	-
		EPSW	1	1	-	-	-	-
		PSW	1	1	-	-	-	-
	SP	<i>ERm</i>	1	1	-	-	-	-

PUSH/POP 命令

命令		最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
		ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
PUSH	EA	1	1	-	-	-	1
	ELR	1 / 2 ^(*)	1 / 2 ^(*)	-	-	-	1
	EA,ELR	2 / 3 ^(*)	2 / 3 ^(*)	-	-	-	1
	EPSW	1	1	-	-	-	1
	EPSW,EA	2	2	-	-	-	1
	EPSW,ELR	2 / 3 ^(*)	2 / 3 ^(*)	-	-	-	1
	EPSW,ELR, EA	3 / 4 ^(*)	3 / 4 ^(*)	-	-	-	1
	LR	1 / 2 ^(*)	1 / 2 ^(*)	-	-	-	1
	LR,EA	2 / 3 ^(*)	2 / 3 ^(*)	-	-	-	1
	LR,ELR	2 / 4 ^(*)	2 / 4 ^(*)	-	-	-	1
	LR,EA,ELR	3 / 5 ^(*)	3 / 5 ^(*)	-	-	-	1
	LR,EPSW	2 / 3 ^(*)	2 / 3 ^(*)	-	-	-	1
	LR,EPSW,EA	3 / 4 ^(*)	3 / 4 ^(*)	-	-	-	1
	LR,EPSW,ELR	3 / 5 ^(*)	3 / 5 ^(*)	-	-	-	1
	LR,ELR,EPSW,EA	4 / 6 ^(*)	4 / 6 ^(*)	-	-	-	1
	ER _n	1	1	-	-	-	1
	QR _n	4	4	-	-	-	1
	R _n	1	1	-	-	-	1
	XR _n	2	2	-	-	-	1
POP	EA	2	2	-	-	-	1
	EA,LR	3 / 4 ^(*)	3 / 4 ^(*)	-	-	-	1
	EA,PC	5 / 6 ^(*)	10 / 11 ^(*)	-	-	-	1
	EA,PC,LR	6 / 8 ^(*)	11 / 13 ^(*)	-	-	-	1
	EA,PC,PSW	6 / 7 ^(*)	11 / 13 ^(*)	-	-	-	1
	EA,PC,PSW,LR	7 / 9 ^(*)	12 / 14 ^(*)	-	-	-	1
	EA,PSW	3	3	-	-	-	1
	EA,PSW,LR	4 / 5 ^(*)	4 / 5 ^(*)	-	-	-	1
	LR	1 / 2 ^(*)	1 / 2 ^(*)	-	-	-	1
	LR,PSW	2 / 3 ^(*)	2 / 3 ^(*)	-	-	-	1
	PC	3 / 4 ^(*)	8 / 9 ^(*)	-	-	-	1
	PC,LR	4 / 6 ^(*)	9 / 11 ^(*)	-	-	-	1
	PC,PSW	4 / 5 ^(*)	9 / 10 ^(*)	-	-	-	1
	PC,PSW,LR	5 / 7 ^(*)	10 / 12 ^(*)	-	-	-	1
	PSW	1	1	-	-	-	1
	ER _n	1	1	-	-	-	1
	QR _n	4	4	-	-	-	1
	R _n	1	1	-	-	-	1
	XR _n	2	2	-	-	-	1

(*) メモリモデルが SMALL の時のサイクル / メモリモデルが LARGE の時のサイクル

コプロセッサ転送命令

命令			最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
MOV	CR <i>n</i>	R <i>m</i>	1	1	-	-	-	-
	CER <i>n</i>	[EA]	1	1	1	5	1	1
		[EA+]	1	1	1	5	1	1
	CQR <i>n</i>	[EA]	4	4	4	15	1	1
		[EA+]	4	4	4	15	1	1
	CR <i>n</i>	[EA]	1	1	1	5	1	1
		[EA+]	1	1	1	5	1	1
	CXR <i>n</i>	[EA]	2	2	2	10	1	1
		[EA+]	2	2	2	10	1	1
MOV	R <i>n</i>	CR <i>m</i>	1	1	-	-	-	-
	[EA]	CER <i>m</i>	1	1	1	5	1	1
	[EA+]	CER <i>m</i>	1	1	1	5	1	1
	[EA]	CQR <i>m</i>	4	4	4	15	1	1
	[EA+]	CQR <i>m</i>	4	4	4	15	1	1
	[EA]	CR <i>m</i>	1	1	1	5	1	1
	[EA+]	CR <i>m</i>	1	1	1	5	1	1
	[EA]	CXR <i>m</i>	2	2	2	10	1	1
	[EA+]	CXR <i>m</i>	2	2	2	10	1	1

EA レジスタ転送命令

命令			最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
LEA	[ER <i>m</i>]		1	1	-	-	-	-
	Disp16[ER <i>m</i>]		2	2	-	-	-	-
	Dadr		2	2	-	-	-	-

ALU 命令

命令			最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
DAA	R <i>n</i>		1	1	-	-	-	-
DAS	R <i>n</i>		1	1	-	-	-	-
NEG	R <i>n</i>		1	1	-	-	-	-

ビットアクセス命令

命令			最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
SB	Dbitadr		2	3	-	-	1	-
	R <i>n</i> .bit_offset		1	1	-	-	-	-
RB	Dbitadr		2	3	-	-	1	-
	R <i>n</i> .bit_offset		1	1	-	-	-	-
TB	Dbitadr		2	3	1	5	1	-
	R <i>n</i> .bit_offset		1	1	-	-	-	-

PSW アクセス命令

命令	最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
	ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
EI	1	1	-	-	-	-
DI	3	3	-	-	-	-
SC	1	1	-	-	-	-
RC	1	1	-	-	-	-
CPLC	1	1	-	-	-	-

符号拡張命令

命令		最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
		ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
EXTBW	ERn	1	1	-	-	-	-

分岐命令

命令		最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
		ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
B	Cadr	2	6	-	-	-	1
	ERn	2	6 / 7 ^(*)	-	-	-	1
BL	Cadr	2	6	-	-	-	1
	ERn	2	6 / 7 ^(*)	-	-	-	1

(*) 直前の命令がデータメモリ読み出し命令ではない場合 / 直前の命令がデータメモリ読み出し命令の場合

条件相対分岐命令

命令		最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
		ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
BGE	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BLT	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BGT	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BLE	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BGES	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BLTS	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BGTS	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BLES	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BNE	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BEQ	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BNV	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BOV	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BPS	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BNS	Radr	1 / 2 ^(*)	1 / 7 ^(*)	-	-	-	1
BAL	Radr	2	7	-	-	-	1

(*) (分岐条件非成立時 / 条件成立時)

乗除算命令

命令			最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
			ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
MUL	ERn	Rm	9	9	-	-	-	-
DIV	ERn	Rm	17	17	-	-	-	-

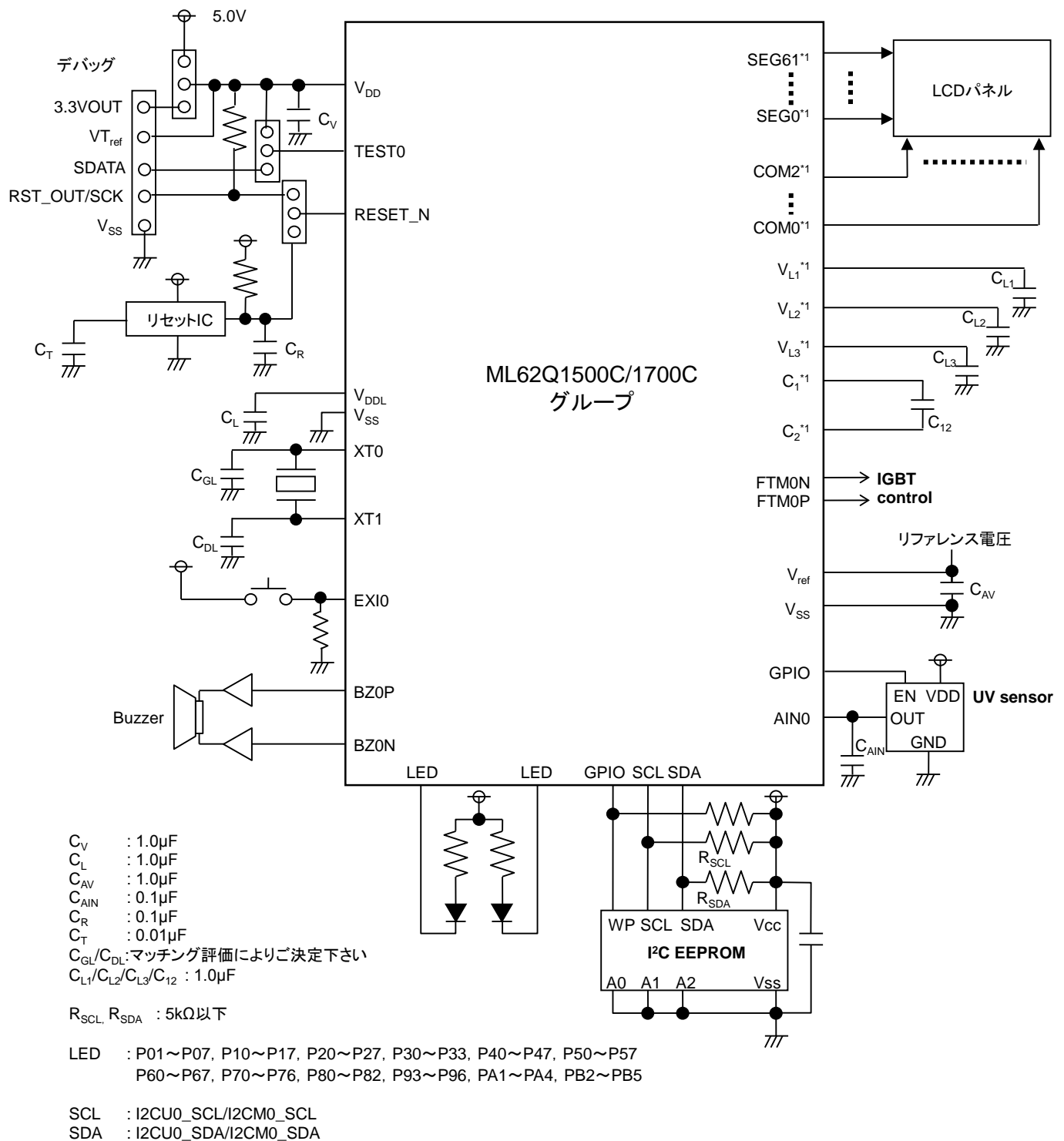
割込み

命令		最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+] アドレッシング の影響
		ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
SWI	#snum	3	10	-	-	-	1
BRK		7	18	-	-	-	1
割込み移行サイクル		3	10	-	-	-	1

その他

命令		最小実行サイクル		ROM 参照サイクル		DSR アクセス サイクル	[EA+]アドレッシングの影響
		ノーウェイト モード	ウェイト モード	ノーウェイト モード	ウェイト モード		
NOP		1	1	-	-	-	-
DEC	[EA]	2	2	-	-	1	1
INC	[EA]	2	2	-	-	1	1
RT		2	6	-	-	1	1
RTI		2	6	-	-	1	1

付録 D 応用回路例



【注意】

- ノイズ対策のため、 V_{DDL} と V_{SS} の基板上配線は最短になるよう設計してください。

付録 E 注意事項

本注意事項のまとめは、ソフトウェアプログラミング上の簡易ミスならびに LSI ハードウェア仕様の見落としや誤解を防止するための注意点をマニュアルの各章毎にリストアップしています。プログラミング時や評価時の確認用としてお使いください。

全体を通して

- [] ワード略称のあるレジスタは、ワードアクセスすることが可能です。ワードアクセスする場合は、偶数アドレスを指定してください。(詳細は、各章のレジスタ一覧を参照してください)
- [] 非搭載のチャネルのレジスタへの書き込みは無効です。読み出し時には常に 0x0000 が読み出されます。(詳細は、各章のレジスタ一覧を参照してください)

概要

- [] 未使用の入力端子および入出力端子は、入力状態(プルアップ抵抗無しの入力モードまたは入出力モード)で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 1-11 の処理方法に従ってください。(詳細は、1.3.4 未使用端子の処理を参照してください)

CPU とメモリ空間

- [] CR10～CR14 レジスタに機能はありません。CR10～CR14 レジスタを読み出すと“0x00”が読み出され、書き込みはできません。(詳細は、2.3.2 コプロセッサ汎用レジスタ一覧を参照してください)
- [] “-”は、前の値を保持しています。(詳細は、2.3.2.1 A, B, C, D レジスタ(CR0～CR7)を参照してください)
- [] 符号あり演算の場合には、入力と出力の各最上位ビットが符号です。(詳細は、2.3.2.1 A, B, C, D レジスタ(CR0～CR7)を参照してください)
- [] ML62Q1500C/1700C シリーズは CSR[3]を無視します。CSR: 0x8～0xF は 0x0～0x7 として扱われます。(詳細は、2.5 プログラム・メモリ空間を参照してください)
- [] コードオプション領域(64 バイト)は、プログラム・コード領域としては利用できません。コードオプションの設定については、「第 26 章 コードオプション」を参照し、必ずデータを設定してください。(詳細は、2.5 プログラム・メモリ空間を参照してください)
- [] プログラム・メモリ空間の未使用領域には、フェイルセーフとして ROM コード作成ツールを用いて“0xFFFF”データ(BRK 命令)を設定することを推奨します。設定方法については、ROM コード作成ツールのマニュアルを参照してください。BRK 命令については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。(詳細は、2.5 プログラム・メモリ空間を参照してください)
- [] CPU が誤動作する可能性があるため未使用領域にはアクセスしないでください。(詳細は、2.5 プログラム・メモリ空間を参照してください)
- [] RAM 領域の内容は、電源投入時およびシステムリセット時に不定となります。ソフトウェアで初期化してください。(詳細は、2.6 データ・メモリ空間を参照してください)
- [] CPU が誤動作する可能性があるため未使用領域には書き込みおよび読出ししないで下さい。(詳細は、2.6 データ・メモリ空間を参照してください)
- [] データセグメント 31 以外の未使用領域の内容を読み出すと、0xFF が読み出されます。(詳細は、2.7.2 データセグメントレジスタ (DSR)を参照してください)
- [] データセグメント 31(データ・フラッシュ)の未使用領域の内容を読み出すと、0x00 が読み出されます。(詳細は、2.7.2 データセグメントレジスタ (DSR)を参照してください)
- [] RESET_N 端子リセットなどにより LSI 全体をリセットした場合、REMAPADD レジスタは初期値に戻るためリマップ機能は動作しません。(詳細は、2.8.2 ソフトウェアリマップを参照してください)

リセット機能

- [] 電圧レベル監視機能は、リセット入力端子リセット、またはパワーオンリセット(POR)でのみ初期化されます。(詳細は、3.3.1 リセット機能の動作を参照してください)
- [] BRK 命令リセットは、ELEVEL が 2 以上の場合に CPU だけを初期化します。周辺回路およびハードウェアは初期化されません。異常検出時に確実に LSI を初期化するためには、リセット入力端子リセット、またはウォッチドッグタイマ(WDT)によるリセットを使用してください。(詳細は、3.3.1 リセット機能の動作を参照してください)
- [] BRECON0～3 リセット、および SOFTRCON リセットは、該当する周辺回路のみが初期化されます。CPU およびハードウェアは初期化されず、また、システムリセットモードにも移行しません。(詳細は、3.3.1 リセット機能の動作を参照してください)
- [] システムリセットモードでは、データ・メモリ(RAM)の内容、および初期値が不定の SFR は初期化されず不定です。ソフトウェアにて初期化してください。(詳細は、3.3.2 システムリセットモードを参照してください)

- [] 電源起動時は V_{DD} を電源投入時電圧 (V_{INIT}) 以上まで上昇させてください。(詳細は、3.3.4 パワーオンリセットを参照してください)
- [] 高速クロックを使用する場合は、高速クロック発振が許可されるまで V_{DD} を電源投入時電圧 (V_{INIT}) 以上にしてください。(詳細は、3.3.4 パワーオンリセットを参照してください)
- [] 電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。(詳細は、3.3.4 パワーオンリセットを参照してください)

パワーマネジメント

- [] CPU に割込みを要求している状態(割込み許可レジスタと割込み要求レジスタのビットが共に“1”の状態)では、STPACP レジスタへの書き込みは無効となり、STOP モードおよび STOP-D モードへの移行は許可されません。(詳細は、4.2.2 ストップコードアクセプタ (STPACP)を参照してください)
- [] CPU に割込みを要求している状態(割込み許可レジスタと割込み要求レジスタのビットが共に“1”の状態)では、スタンバイモードには移行しません。(詳細は、4.2.3 スタンバイコントロールレジスタ (SBYCON)を参照してください)
- [] マスタ・インタラプト・イネーブル・フラグ(MIE)が“0”の状態でマスカブル割込みが発生した場合は、スタンバイモードが解除されるのみで割込み処理には移行しません。MIE の詳細については、『nX-U16/100 コア インストラクションマニュアル』を参照してください。(詳細は、4.2.3 スタンバイコントロールレジスタ (SBYCON)を参照してください)
- [] HLT, STP, HLTH, STPD の各ビットに“1”を設定する命令の次には、必ず NOP 命令を 2 個配置してください。NOP 命令がない場合の動作は保証しません。(詳細は、4.2.3 スタンバイコントロールレジスタ (SBYCON)を参照してください)
- [] SBYCON レジスタは 2 ビット以上を同時に“1”に設定することはできません。2 ビット以上を同時に“1”に設定した場合は設定は無効になり、プログラム動作モードを継続します。(詳細は、4.2.3 スタンバイコントロールレジスタ (SBYCON)を参照してください)
- [] CPU 動作モードがウェイトモード、PLL の基本周波数が 24MHz の設定で、MIE が“0”の場合は、HALT/HALT-H モードに設定する前に SYSTEMCLK を 12MHz 以下にしてください。(詳細は、4.2.3 スタンバイコントロールレジスタ (SBYCON)を参照してください)
- [] 低速クロックに低速水晶発振クロック／低速外部クロック入力を選択(FLMOD レジスタの LOSCM1-0 を“01”または“11”に設定)している場合、STP ビットまたは STPD ビットに“1”を設定する前に SYSTEMCLK を低速クロックに切り替えてください。(詳細は、4.2.3 スタンバイコントロールレジスタ (SBYCON)を参照してください)
- [] STOP/STOP-D モードに移行するときは、CPU の割込みは禁止状態(MIE=0)にし、SYSTEMCLK は 16MHz 以下にしてください。(詳細は、4.2.3 スタンバイコントロールレジスタ (SBYCON)を参照してください)
- [] HLTC ビットは FCON レジスタの ENOSC ビットが“0”の場合にのみ“1”に設定できます。
- [] SOFTR ビットが“1”の状態でスタンバイモードへの移行は禁止です。SOFTR ビットが“0”であることを確認し、スタンバイモードへ移行してください。(詳細は、4.2.5 ソフトリセットコントロールレジスタ (SOFTRCON)を参照してください)
- [] 周辺回路の動作を許可する場合は、BCKCON0 レジスタでクロック供給を許可したあと、BRECON0 レジスタでリセットを解除してください。(詳細は、4.2.6 ブロッククロックコントロールレジスタ 0 (BCKCON0)を参照してください)
- [] 周辺回路の動作を許可する場合は、BCKCON1 レジスタでクロック供給を許可したあと、BRECON1 レジスタでリセットを解除してください。(詳細は、4.2.7 ブロッククロックコントロールレジスタ 1 (BCKCON1)を参照してください)
- [] DCKACC ビットは、乗除算ライブラリ muldivu8.lib を指定していない場合のみ“1”に設定可能です。(詳細は、4.2.8 ブロッククロックコントロールレジスタ 2 (BCKCON2)を参照してください)
- [] 周辺回路の動作を許可する場合は、BCKCON2 レジスタでクロック供給を許可したあと、BRECON2 レジスタでリセットを解除してください。(詳細は、4.2.8 ブロッククロックコントロールレジスタ 2 (BCKCON2)を参照してください)
- [] 周辺回路の動作を許可する場合は、BCKCON3 レジスタでクロック供給を許可したあと、BRECON3 レジスタでリセットを解除してください。(詳細は、4.2.9 ブロッククロックコントロールレジスタ 3 (BCKCON3)を参照してください)
- [] RSEACC ビットは、乗除算ライブラリ muldivu8.lib を指定していない場合のみ“1”に設定可能です。(詳細は、4.2.12 ブロックリセットコントロールレジスタ 2 (BRECON2)を参照してください)
- [] HALT-C モードは高速クロックでの動作はできません。
- [] HALT-C モードで動作可能な周辺回路を動作させる場合は、動作クロックまたはサンプリングクロックに低速クロックを選択してください。

- [] 動作禁止の周辺回路は、HALT-C モードへの移行前にあらかじめ動作を停止させ、IE67～IE01 レジスタの対応する割込み許可ビットを割込み禁止 (“0”) に設定してください。
- [] スタンバイモードからの復帰は、プログラム・ステータス・ワード (PSW) の割込みレベル (ELEVEL), マスタ・インタラプト・イネーブル・フラグ (MIE), IE0～IE7 の内容, ノンマスカブル割込み, マスカブル割込みを要因として動作し、要因ごとに動作が異なります。(詳細は、4.3.7 スタンバイモードからの復帰動作についての注意事項を参照してください)
- [] スタンバイモード解除から割込みに移行するまでに最大 2 命令が実行されますので、スタンバイモードに設定した命令の次には必ず NOP 命令を 2 個置いてください。nX-U16/100 コアのプログラム・ステータスワード (PSW) のマスタ・インタラプト・イネーブル・フラグ (MIE) が “1” の場合は、この 2 個の NOP 命令実行後に、割込み移行サイクルが実行され、割込みルーチンの命令実行が開始されます。MIE が “0” の場合は 2 個の NOP 命令実行後、割込みには移行せず、NOP 命令の次から命令実行を継続します。(詳細は、4.3.7 スタンバイモードからの復帰動作についての注意事項を参照してください)
- [] STOP/STOP-D モード解除後、高速クロック起動時間経過前に SYSTEMCLK を高速に切り替えると、復帰時間終了までクロック供給が停止するため、CPU のプログラム処理は待たされます。(詳細は、4.3.8 スタンバイモード時の各機能の動作を参照してください)
- [] HALT-H モードで周辺回路を動作させる場合は周辺回路の動作クロックに低速クロックを選択してください。(詳細は、4.3.8 スタンバイモード時の各機能の動作を参照してください)
- [] FHWUPT レジスタを “0x00” に設定した場合、約 2.5ms 間 PLL の出力クロックをマスクします。HSCLK が供給されるのは 2.5ms 経過後になります。SYSTEMCLK に HSCLK を選択した場合はこの期間 SYSTEMCLK は停止します。(詳細は、4.3.8 スタンバイモード時の各機能の動作を参照してください)
- [] FHWUPT レジスタを “0x01” に設定した場合、PLL 発振クロックの周波数は、FHWUPT で選択した復帰時間経過後、約 1MHz から徐々に上昇し、約 2ms 経過までにコードオプションで設定した周波数 (16MHz/24MHz) になります。この期間の PLL 発振は SYSTEMCLK として使用することができます。ただし周波数精度は保証されません。(詳細は、4.3.8 スタンバイモード時の各機能の動作を参照してください)
- [] HALT-C モードは高速クロックでの動作はできません。HALT-C モードで周辺回路を動作させる場合は、動作クロックに低速クロックを選択してください。
- [] ブロック制御機能を使って各周辺回路をリセットせずにクロック供給のみを停止した場合、タイマ、通信、およびブザーの端子の出力レベルが固定され、電流が過大に流れる恐れがあります。また、逐次比較 A/D コンバータ、D/A コンバータ、およびアナログコンパレータは、電流が流れた状態で回路が停止する恐れがあります。適切な状態でクロックを停止してください。BRECONn レジスタによるリセット状態でクロックを停止することを推奨します。(詳細は、4.3.9 ブロック制御機能を参照してください)
- [] SWI 命令の直後の命令が、復帰要因の割込み処理よりも先に処理される可能性があるため、NOP 命令を 2 つ置いてください。(詳細は、4.3.10 STOP/STOP-D モード移行例を参照してください)

割込み

- [] IRQ01/IRQ23/IRQ45/IRQ67 レジスタの特定のビットを書き換える場合、同レジスタの他の要求ビットをクリアする恐れがあります。特定のビットの書き換えは、ビットシンボルを使ってください。(詳細は、5.3.8 IRQ01/IRQ23/IRQ45/IRQ67 の書き込みを参照してください)
- [] 拡張外部割込みが有効な場合、本レジスタに書き込んだ後、EEINTC レジスタの EEIR ビットに “1” を書き込んで割込みを再要求してください。(詳細は、5.2.6 割込み要求レジスタ 01～5.2.9 割込み要求レジスタ 67 を参照してください)
- [] 割込みレベル制御機能を禁止する場合は、割込み禁止状態 (IE0～IE7 レジスタは “0x00”) で、割込みレベル制御レジスタ 0～7 (ILC0～ILC7) を “0x0000” にし、かつ CIL レジスタの値が “0x00” であることを確認してから ILE ビットを “0” にしてください。(詳細は、5.2.10 割込みレベル制御許可レジスタ (ILEN) を参照してください)
- [] 割込みレベル制御機能を有効にする場合は、割込み許可レジスタ (IE0～IE7) の当該割込みの許可フラグが “0”, またはマスタ・インタラプト・イネーブル・フラグ (MIE) が “0” の時に、ILE ビットを “1” にしてください。IE0～IE7 の当該割込みの許可フラグが “1”, かつ MIE が “1” の時に書き込むと、意図しない割込みレベルで割込みが発生する場合があります。(詳細は、5.2.10 割込みレベル制御許可レジスタ (ILEN) を参照してください)
- [] 書き込みは、割込み禁止状態 (IE1～IE7 レジスタ= “00H”, またはマスタインタラプトイネーブルフラグ (MIE) が “0” の状態)で行ってください。割込み許可状態 (IE1～IE7 レジスタのいずれかのビットが “1”, かつ MIE が “1” の状態)で書き込むと、意図しない割込みレベルで割込みが発生する場合があります。(詳細は、5.2.12 割込みレベル制御レジスタ 0 (ILC0)～5.2.19 割込みレベル制御レジスタ 7 (ILC7)を参照してください)
- [] WDT 割込み (WDTINT) は、ノンマスカブル割込みです。割込み処理中にノンマスカブル割込みが発生した場合は、多重割込みの許可/禁止に関係なく、割込み処理を中断し、ノンマスカブル割込みを優先して処理します。(詳細は、5.3 動作説明を参照してください)

- [] フェイルセーフのため、使用しない割込みベクタも定義してください。使用しない割込みが発生した場合は、CPU が暴走した可能性があります。無限ループを使ってウォッチドッグタイマ(WDT)リセットを発生させ、LSI を初期化することを推奨します。(詳細は、5.3 動作説明を参照してください)
- [] 割込みレベル制御許可レジスタ(ILEN)の ILE ビットに“0”を書き込むと割込みレベル制御が禁止になります。割込みレベル制御を使用していない場合の注意事項について示します。(詳細は、5.3.4 割込みルーチンでの注意事項(割込みレベル制御禁止時)を参照してください)
- [] 多重割込みを禁止にした割込みルーチンから呼び出されるサブルーチン内では、割込みを許可しないでください。許可した場合、多重割込みが発生した際にプログラムが暴走する恐れがあります。(詳細は、5.3.4 割込みルーチンでの注意事項(割込みレベル制御禁止時)を参照してください)
- [] ノンマスカブル割込み処理は、多重割込み許可の場合のフローチャートを使用してください。スタックに退避するレジスタは ELR2, EPSW2 となります。(詳細は、5.3.5 割込みレベル制御許可時のフローチャートを参照してください)
- [] C 言語で記述する場合、レジスタ類の退避／復帰処理コードは C コンパイラが生成するためプログラム記述は必要ありません。ただし、EI 命令、DI 命令による割込みの許可／禁止設定、および現割込みレベル管理レジスタ(CIL)の書き込み処理はプログラム記述が必要です。具体的な記述方法については、「5.3.6 割込みレベル制御許可時の割込み処理の記述方法」を参照してください。(詳細は、5.3.5 割込みレベル制御許可時のフローチャートを参照してください)
- [] 多重割込みを禁止にした関数から呼び出される関数内では、割込みを許可しないでください。許可した場合、多重割込みが発生した際にプログラムが暴走する恐れがあります。(詳細は、5.3.6.1 多重割込み禁止の割込み関数の記述を参照してください)

クロック発生回路

- [] 電源起動後またはシステムリセット後の SYSTEMCLK は、LSCLK(32.768kHz)で動作を開始します。(詳細は、6.1.2 構成を参照してください)
- [] V_{DD} の電圧が $1.6V \leq V_{DD} < 1.8V$ の場合、システムクロックは 4MHz 以下にしてください。4MHz を超えた場合の動作は保証されません。(詳細は、6.2.2 高速クロックモードレジスタ (FHCKMOD)を参照してください)
- [] 高速出力クロック(OUTHCLK)は、 V_{DD} の電圧により出力クロック周波数の制限があります。
 $1.6V \leq V_{DD} < 1.8V$: 4MHz 以下にしてください
 $1.8V \leq V_{DD} \leq 5.5V$: 12MHz 以下にしてください
(詳細は、6.2.2 高速クロックモードレジスタ (FHCKMOD)を参照してください)
- [] FCON レジスタの ENOSC ビットが“1”のとき LOSCM1 ビット、LOSCM0 ビットの変更は禁止です。変更した場合は、動作保証されません。(詳細は、6.2.3 低速クロックモードレジスタ (FLMOD)を参照してください)
- [] ENOSC ビットおよび SELSCLK ビットは、HALT-H モード解除後、強制的に“1”になります。(詳細は、6.2.4 周波数コントロールレジスタ (FCON)を参照してください)
- [] LOSCB ビットに“0”を書き込む動作は無効です。(詳細は、6.2.6 バックアップコントロールレジスタ (FBUCON)を参照してください)
- [] LOSCB ビットに“1”を書き込んだ後に必ず NOP 命令を 2 個配置し、その後で LOSCB が“0”になっていることを確認してください。(詳細は、6.2.6 バックアップコントロールレジスタ (FBUCON)を参照してください)
- [] 低速水晶発振クロック／低速外部クロックへの切り替えは、「6.3.5 低速クロックの切り替え」の手順に従い、必ず割込みを使用してください。(詳細は、6.2.6 バックアップコントロールレジスタ (FBUCON)を参照してください)
- [] LOSCB に“1”を設定した後に LOSCS ビットが“1”であることが確認された場合、速やかに FLMOD レジスタの LOSCM1-0=“00”にして RC 発振に戻した後、アプリケーションに応じた適切な処理をしてください。(詳細は、6.2.7 バックアップクロックステータスレジスタ (FBUSTAT)を参照してください)
- [] LOSCS は「6.3.5 低速クロックの切り替え」の手順に従い確認を行ってください。(詳細は、6.2.7 バックアップクロックステータスレジスタ (FBUSTAT)を参照してください)
- [] クロックバックアップテストモードを使用する際は、必ず低速クロックは、低速水晶発振クロックに設定後使用してください。(詳細は、6.2.9 クロックバックアップテストモードレジスタ (FBTCON)を参照してください)
- [] 弊社提供のサンプル・ソフトウェアを使用せずに LRCADJ レジスタに書き込んだ場合の動作は保証しません。(詳細は、6.2.10 低速 RC 発振周波数補正レジスタ (LRCADJ)を参照してください)
- [] 水晶振動子はできる限り LSI の近くに実装し、水晶振動子およびその配線の近くにはノイズ源となる信号や電源配線を通さないでください。(詳細は、6.3.1.2 低速水晶発振回路の構成を参照してください)
- [] 結露などにより発振が停止してしまう恐れがありますので注意してください。(詳細は、6.3.1.2 低速水晶発振回路の構成を参照してください)
- [] 低速水晶発振クロックへの切り替えは、「6.3.5 低速クロックの切り替え」の手順に従い、必ず割込みを使用してください。(詳細は、6.3.1.2 低速水晶発振回路の構成を参照してください)

- [] 低速クロックに低速水晶発振回路、システムクロックに高速クロックを選択している場合、STOP/STOP-D モードに移行する前にシステムクロックを低速クロックに切り替えてください。(詳細は、6.3.1.2 低速水晶発振回路の構成を参照してください)
- [] 低速水晶発振モードにて生成した低速クロック(LSCLK)を PLL 発振回路に入力し、高速クロック(HSCLK)を生成する場合、ノイズ等の外部要因により HSCLK が意図しない周波数になり、マイコンが意図しない挙動をする場合があります。低速水晶発振モードにて生成した LSCLK を PLL 発振回路に入力し、HSCLK を生成する際は、十分な評価の上ご使用ください。(詳細は、6.3.2.1 PLL 発振回路構成を参照してください)
- [] V_{DD} の電圧が $1.6V \leq V_{DD} < 1.8V$ のときに、システムクロック(SYSTEMCLK)は 4MHz 以下にしてください。4MHz を超えた場合、動作は保証されません。(詳細は、6.3.4 システムクロックの切り替えを参照してください)
- [] システムクロックが低速クロックで動作している状態で、周辺回路を高速クロックで動作させ、割込みを高い頻度で発生させると、CPU の処理が間に合わず正常に動作できなくなる恐れがあります。周辺回路の割込み周期が短い場合など割込みが頻発する場合には CPU の処理が間に合うよう、CPU の動作周波数を考慮してください。(詳細は、6.3.4 システムクロックの切り替えを参照してください)

低速タイムベースカウンタ

- [] LTBR レジスタの書き込みタイミングによっては低速タイムベースカウンタ割込みが発生する可能性があります。「7.3.1 低速タイムベースカウンタの動作」の LTBR レジスタを初期化する場合のプログラム例を参照してください。(詳細は、7.2.2 低速タイムベースカウンタレジスタ(LTBR)を参照してください)
- [] T128HZ~T1HZ 信号は、各信号周期の前半の半周期が“0”，後半の半周期が“1”となるパルス信号です。例えば T1HZ 信号は、LTBR レジスタに書き込むことで“0”にリセットされ、約 0.5 秒後に“1”に、一周期の約 1 秒後に“0”に変化します。低速タイムベースカウンタ割込みは、信号の立ち下がりがエッジ(“1”→“0”)で割込みを発生します。T128HZ~T1HZ 波形の詳細については、「図 7-5 低速タイムベースカウンタ割込みタイミングと LTBR レジスタの書き込みによるリセットタイミング」を参照してください。(詳細は、7.2.2 低速タイムベースカウンタレジスタ(LTBR)を参照してください)
- [] 仮想周波数補正モードを使用する場合は、高速クロック(HSCLK)を動作許可に設定してください。(詳細は、7.2.3 低速タイムベースカウンタ制御レジスタ(LTBCCON)を参照してください)
- [] TBRUN に書き込んだタイミングから開始動作もしくは停止動作が実行されるまで低速クロック(LSCLK)の最大 2 クロックかかります。(詳細は、7.2.3 低速タイムベースカウンタ制御レジスタ(LTBCCON)を参照してください)
- [] オンチップデバッグ機能を使用する際、“ブレーク中に動作継続させる周辺回路”の“Low-speed Time Base Counter”にチェックを入れた場合でも、TBCOUT1 出力はブレーク中に動作を停止します。(詳細は、7.2.3 低速タイムベースカウンタ制御レジスタ(LTBCCON)を参照してください)
- [] LTBR レジスタは読み出し専用です。書き込みはしないでください。(詳細は、7.2.4 簡易 RTC 用タイムベースカウンタレジスタ(LTBR)を参照してください)
- [] カウントアップ中の不確定データの読み出しを防止するため、LTBR レジスタは二回読み出してデータが同一であることを確認してください。(詳細は、7.2.4 簡易 RTC 用タイムベースカウンタレジスタ(LTBR)を参照してください)
- [] LTBINT レジスタの書き込みタイミングによっては低速タイムベースカウンタ割込みが発生する可能性があります。対策方法については、「7.3.1 低速タイムベースカウンタの動作」の低速タイムベースカウンタ割込み信号の割り当てを変更する場合のプログラム例を参照してください。(詳細は、7.2.6 低速タイムベースカウンタ割込み選択レジスタ(LTBINT)を参照してください)
- [] LTBR レジスタの書き込み後、1 回目の低速タイムベースカウンタ割込み要求が発生するまでの時間は保証されません。低速タイムベースカウンタ割込みを使用して時間を測定する場合は、割込みの発生間隔を基準にして測定を行ってください。(詳細は、7.3.1 低速タイムベースカウンタの動作を参照してください)
- [] LTBR レジスタに書き込んだタイミングからリセットが反映されるまで低速クロック(LSCLK)の最大 1 クロックかかります。(詳細は、7.3.1 低速タイムベースカウンタの動作を参照してください)
- [] 周波数補正の精度は、温度変動による低速発振(32.768kHz)の周波数変動を含めた精度を保証するものではありません。(詳細は、7.3.2 低速タイムベースカウンタ周波数補正機能を参照してください)

16ビットタイマ

- [] 16ビットタイマを 8ビットタイマモードで使用する場合、2つの 8ビットタイマのクロックの設定や割込みは共通です。(詳細は、8.1.2 構成を参照してください)
- [] 8ビットタイマモードのタイマ出力(TMHNOUT)は、上位側(TMHN DH と TMHN CH)の比較結果が出力されます。(詳細は、8.1.2 構成を参照してください)
- [] 16ビットタイマ DMA 要求および、SA-ADCトリガを使用する時は、16ビットタイマモードに設定してください。(詳細は、8.1.2 構成を参照してください)

- [] TMHnD レジスタは、16 ビットタイマ n が停止している状態 (TMHSTAT レジスタの THnSTAT/THnHSTAT が“0”の状態) で設定してください。動作中に変更した場合、動作は保証されません。(詳細は、8.2.2 16 ビットタイマ n データレジスタ (TMHnD:n=0~7) を参照してください)
- [] 16 ビットタイマモード時、TMHnD レジスタに“0x0000”を書き込むと、TMHnD レジスタには“0x0001”が設定されます。(詳細は、8.2.2 16 ビットタイマ n データレジスタ (TMHnD:n=0~7) を参照してください)
- [] 8 ビットタイマモード時、TMHnDL レジスタに“0x00”を書き込むと、TMHnDL レジスタには“0x01”が設定されます。TMHnDH レジスタに“0x00”を書き込むと、TMHnDH レジスタには“0x01”が設定されます。(詳細は、8.2.2 16 ビットタイマ n データレジスタ (TMHnD:n=0~7) を参照してください)
- [] 外部入力端子から入力する信号はタイマクロックの 2 クロック以上の幅を入力してください。(詳細は、8.2.4 16 ビットタイマ n モードレジスタ (TMHnMOD:n=0~7) を参照してください)
- [] TMHnMOD レジスタは 16 ビットタイマ n が停止している状態 (THnSTAT ビットまたは THnHSTAT ビットが“0”の状態) で設定してください。動作中に変更した場合、動作は保証されません。(詳細は、8.2.4 16 ビットタイマ n モードレジスタ (TMHnMOD:n=0~7) を参照してください)
- [] 8 ビットタイマモードで使用する場合、THnOST ビット、THnDIV2 ビット~THnDIV0 ビット、THnCS ビット、THnEXS、THnEX ビットの設定は上位側、下位側のタイマで共通です。(詳細は、8.2.4 16 ビットタイマ n モードレジスタ (TMHnMOD:n=0~7) を参照してください)
- [] 外部トリガの設定は、タイマクロックを分周なし、システムクロックが HSCLK の場合は THnCS=1、LSCLK の場合は THnCS=0 の状態で行なってください。(8.3.3.2 項図 8-13 の外部入力カウント設定フローを参照してください) (詳細は、8.2.4 16 ビットタイマ n モードレジスタ (TMHnMOD:n=0~7) を参照してください)
- [] THnHIS ビットまたは THnLIS ビットが“1”の状態では、同一チャンネルの 8 ビットタイマの割込み要求は出力されません。割込みを要求を出力させるためには TMHnIC レジスタの同一ビットに“1”を書き込んで THnHIS ビットおよび THnLIS ビットを“0”にクリアしてください。(詳細は、8.2.5 16 ビットタイマ n 割込みステータスレジスタ (TMHnIS:n=0~7) を参照してください)
- [] 16 ビットタイマモードでは、ビット 15~8 は使用しません。“1”を書き込んだ場合、無効です。(詳細は、8.2.7 16 ビットタイマスタートレジスタ (TMHSTR) を参照してください)
- [] THnRUN/THnHRUN は、タイマ n が停止している状態 (TMHSTAT レジスタの THnSTAT/THnHSTAT が“0”の状態) で設定してください。(詳細は、8.2.7 16 ビットタイマスタートレジスタ (TMHSTR) を参照してください)
- [] 16 ビットタイマモードでは、ビット 15~8 は使用しません。“1”を書き込んだ場合、無効です。(詳細は、8.2.8 16 ビットタイマスタートレジスタ (TMHSTP) を参照してください)
- [] THnSTP/THnHSTP は、タイマ n が動作している状態 (TMHSTAT レジスタの THnSTAT/THnHSTAT が“1”の状態) で設定してください。(詳細は、8.2.8 16 ビットタイマストップレジスタ (TMHSTP) を参照してください)
- [] 8 ビットタイマモード時、タイマ出力は上位側 8 ビットタイマからのみ可能です。(詳細は、8.3.2.2 ワンショットモードを参照してください)
- [] THnSTAT ビットが“1”の期間はカウントが停止していませんので、この期間に THnRUN ビットに“1”を書き込んでもカウント再開は無視されます。カウントを再開する場合は、必ず THnSTAT ビットが“0”になっていることを確認して THnRUN ビットに“1”を書き込んでください。(詳細は、8.3.3.1 スタート/ストップタイミングを参照してください)
- [] THnRUN ビットを“1”にした場合、タイマクロックで同期をとってカウントを開始するので、最初のタイマ割込みは最大タイマクロック 1 クロック分の誤差が発生します。2 回目以降のタイマ割込み周期は一定です。(詳細は、8.3.3.1 スタート/ストップタイミングを参照してください)
- [] THnSTP ビットを“1”にした場合もタイマクロックで同期をとってカウントを停止するので、停止タイミングによっては 16 ビットタイマ n 割込み (TMnINT) が発生する可能性があります。(詳細は、8.3.3.1 スタート/ストップタイミングを参照してください)
- [] タイマクロック 2 クロックより小さい幅のパルスは無視される場合があります。外部入力信号は必ずタイマクロック 2 クロック以上の幅を入力してください。(詳細は、8.3.3.2 外部入力カウントタイミングを参照してください)
- [] 16 ビットタイマに入力される外部入力信号 (EXTRGn) は、外部割込み機能のサンプリングコントローラ通過後の信号です。外部割込み機能のサンプリングは使用する/しないを選択可能です。詳細は「第 18 章 外部割込み機能」を参照してください。(詳細は、8.3.3.2 外部入力カウントタイミングを参照してください)

ファンクショナルタイマ

- [] FTnP レジスタに 0x0000 を書き込むと、0x0001 が設定されます。読み出される値も 0x0001 となります。(詳細は、9.2.2 FTMn 周期レジスタ (FTnP:n=0~7) を参照してください)
- [] TIMER モードまたは PWM2 モード時、FTnEA レジスタは必ず FTnP レジスタより小さい値を設定してください。(詳細は、9.2.3 FTMn イベントレジスタ A (FTnEA:n=0~7) を参照してください)
- [] TIMER モード時、FTnEB レジスタは必ず FTnP レジスタより小さい値を設定してください。(詳細は、9.2.4 FTMn イベントレジスタ B (FTnEB:n=0~7) を参照してください)

- [] PWM2 モード時、FTnDT レジスタは必ず FTnEA レジスタより小さい値を設定してください。(詳細は、9.2.5 FTMn デッドタイムレジスタ (FTnDT:n=0~7) を参照してください)
- [] PWM2 モード時、FTnDT レジスタと FTnEA レジスタの和は FTnP レジスタの値より小さくしてください。(詳細は、9.2.5 FTMn デッドタイムレジスタ (FTnDT:n=0~7) を参照してください)
- [] 外部クロック／トリガの設定をする場合、タイマクロックを分周なし、システムクロックが HSCLK の場合は FTnCK0=1、LSCLK の場合は FTnCK0=0 の状態で設定してください。(9.2.9 FTMn クロックレジスタ (FTnCLK:n=0~7) を参照してください。)
- [] 緊急停止トリガを使用する場合、各モジュールのフィルタ機能を使用してください。(詳細は、9.2.11 FTMn トリガレジスタ 1 (FTnTRG1:n=0~7) を参照してください)
- [] カウンタスタート条件をレベル設定にして、スタート条件と EXTRG0~EXTRG7 のレベルが一致した場合、ワンショットモード時のストップ条件が成立しても、カウント動作を継続 (0 からカウントアップを再開) します。(詳細は、9.2.11 FTMn トリガレジスタ 1 (FTnTRG1:n=0~7) を参照してください)
- [] EXTRG0~EXTRG7 を使用する場合、FTnTRG1 レジスタでノイズフィルタを設定した後にトリガイベントを有効にしてください。トリガイベント有効時に FTnTRG1 レジスタを設定すると、設定した瞬間にトリガイベントが発生する可能性があります。(詳細は、9.2.11 FTMn トリガレジスタ 1 (FTnTRG1:n=0~7) を参照してください)
- [] 割込み要求ビット (FTnIR) は、ワードアクセスで書き込んでください。本ビットへのバイトアクセスもしくはビットアクセスでの書き込みは無効になります。(詳細は、9.2.14 FTMn 割込みクリアレジスタ (FTnINTC:n=0~7) を参照してください)
- [] 割込み要求ビット (FTnIR) は、デバッグ (SFR ウィンドウやウォッチウィンドウ) から書き込むことはできません。(詳細は、9.2.14 FTMn 割込みクリアレジスタ (FTnINTC:n=0~7) を参照してください)
- [] FTnSTR は、FTMn が停止している状態 (FTnSTAT レジスタの FTnSTA が“0”の状態) で設定してください。(詳細は、9.2.17 FTM 共通スタートレジスタ (FTCSTR) を参照してください)
- [] FTnSTP は、FTMn が動作している状態 (FTnSTAT レジスタの FTnSTA が“1”の状態) で設定してください。(詳細は、9.2.18 FTM 共通ストップレジスタ (FTCSTP) を参照してください)
- [] 緊急停止機能を有効／無効にする場合、緊急停止の誤発生しない条件で FTnEMGEN を変更する、もしくは誤発生後にタイマを動作させる場合は緊急停止を解除する必要があります。(詳細は、9.3.4.7 緊急停止動作を参照してください)

ウォッチドッグタイマ

- [] WDT は、CPU の暴走を監視するための機能です。通常のタイマとしての機能を保証するものではありません。(詳細は、10.1.1 特長を参照してください)
- [] ウォッチドッグタイマは全ての異常を検出できるわけではありません。CPU が暴走した場合でも WDT カウンタがクリアされるような動作状態になった場合には検出できません。フェイルセーフとしてプログラムのメインループの1ヵ所で WDT カウンタをクリアすることを推奨します。(詳細は、10.1.1 特長を参照してください)
- [] WDTCLK に RC1K 発振を使用することでシステムクロックとは独立したクロックで WDT を動作させることができ、より安全性を高めることができます。ただし、RC1K 発振は、LSCLK より精度が劣りますので、高い精度を必要とする場合は、LSCLK を選択することを推奨します。(詳細は、10.1.1 特長を参照してください)
- [] WDT 割込みルーチン内 (CPU のプログラム・ステータス・ワード (PSW) の割込みレベル (ELEVEL) が“2”の時) は、WDT カウンタのクリアはできません。(詳細は、10.2.2 ウォッチドッグタイマコントロールレジスタ (WDTCON) を参照してください)
- [] WDT カウンタのオーバフロー周期 (T_{wov}) は、WDTCLK が 1.024KHz のときの時間です。WDTCLK に RC1K 発振を選択した場合は、誤差が大きくなります。(詳細は、10.2.3 ウォッチドッグタイマモードレジスタ (WDTMOD) を参照してください)
- [] ウィンドウ機能有効モード 1 もしくはウィンドウ機能有効モード 2 を選択した場合、WDT 割込みは発生しません。1 回目のオーバフローでリセットが発生します。(詳細は、10.2.3 ウォッチドッグタイマモードレジスタ (WDTMOD) を参照してください)
- [] WDT カウンタのハードウェア構成上、不連続なカウント値が読み出されます。(詳細は、10.2.4 ウォッチドッグタイマカウンタレジスタ (WDTMC) を参照してください)
- [] WDTCON レジスタに“0x5A”, “0xA5”を書き込んでから、WDT カウンタがクリアされるまで最大で WDTCLK の 2 クロックが必要です。WDT クリア処理後に STOP モードまたは STOP-D モードに移行する場合は、WDTCLR1 ビットが“0”になったことを確認してから STOP モードまたは STOP-D モードに移行してください。また、WDTMOD レジスタの設定を変更する場合は、WDT カウンタのクリア処理直後に WDTCLR1 ビットおよび WDTCLR2 ビットが共に“0”になったのを確認してから WDTMOD レジスタに書き込んでください。(詳細は、10.3.1 WDT カウンタをクリアする方法を参照してください)
- [] STOP/STOP-D モード中、WDT タイマは停止します。(詳細は、10.3.1 WDT カウンタをクリアする方法を参照してください)

- [] ウィンドウ機能有効モードを使用する場合、WDT 割込みは発生しませんが、必ず WDT 割込み関数を定義してください。フェイルセーフとして、WDT 割込み関数内で強制的に WDT クリアすることで WDT 不正クリアリセットを発生させることを推奨します。(詳細は、10.3.3 ウィンドウ機能有効モードを参照してください)
- [] ウィンドウ機能有効モードを使用する場合、WDT カウントクロックには「低速発振クロック(32.768kHz)を分周したクロック」をコードオプションで選択してください。「ウォッチドッグタイマ専用 RC1K 発振クロック」を選択した場合は、誤差が大きいため本機能を使用できません。(詳細は、10.3.3 ウィンドウ機能有効モードを参照してください)
- [] ウォッチドッグタイマ(WDT)割込み関数内では、CPU のプログラム・ステータス・ワード(PSW)の割込みレベル(ELEVEL)が“2”となり、WDT カウンタはクリアできません。ELEVEL が“0”もしくは“1”の状態では WDT をクリアしてください。フェイルセーフとしてプログラムのメインループのどこかで WDT カウンタをクリアすることを推奨します。(詳細は、10.3.3 ウィンドウ機能有効モードを参照してください)

シリアル通信ユニット

- [] UART の半二重通信モードを使用する場合は、UARTn モードレジスタ(UAn0MOD, UAn1MOD)の Un0IO, Un1IO ビットを“0”に設定し、送信モードを選択してから SDnBUFL, SDnBUFH に送信データを設定してください。(詳細は、11.2.2 シリアル通信ユニット n 送受信バッファ(SDnBUF)を参照してください)
- [] SSIO のスレーブモード受信時、SDnBUF への書込みは禁止です。(詳細は、11.2.2 シリアル通信ユニット n 送受信バッファ(SDnBUF)を参照してください)
- [] SUnMOD レジスタは必ず通信停止中(SUnCON レジスタ=0x00)に設定し、通信中には書き換えないでください。通信中に書き換えると、正常なデータが送受信されない可能性があります。(詳細は、11.2.3 シリアル通信ユニット n モードレジスタ(SUnMOD)を参照してください)
- [] UART 半二重通信モードを使用する場合、“11.3.2.11 半二重 UART 使用時の注意について”を確認してください。(詳細は、11.2.3 シリアル通信ユニット n モードレジスタ(SUnMOD)を参照してください)
- [] SSIO のスレーブモード設定時は、シリアル通信ユニット n 送信間隔設定レジスタ(SUnDLYL)に“0”を設定してください。(詳細は、11.2.4 シリアル通信ユニット n 送信間隔設定レジスタ(SUnDLYL)を参照してください)
- [] SSIO のマスターモードの受信モード設定時は、シリアル通信ユニット n 送信間隔設定レジスタ(SUnDLYL)は無効です。(詳細は、11.2.4 シリアル通信ユニット n 送信間隔設定レジスタ(SUnDLYL)を参照してください)
- [] SIOOnMOD レジスタは必ず通信停止(SnEN=0)中に設定し、通信中には書き換えないでください。通信中に書き換えると、正常にデータが送受信されない可能性があります。(詳細は、11.2.6 同期式シリアルポート n モードレジスタ(SIOOnMOD)を参照してください)
- [] SnCK4~SnCK0 ビットは 4MHz 以下に設定してください。(詳細は、11.2.6 同期式シリアルポート n モードレジスタ(SIOOnMOD)を参照してください)
- [] スレーブモードを選択する場合、あらかじめ高速クロックを発振許可にしてください。高速クロックの発振許可は「第 6 章 クロック発生回路」を参照してください。(詳細は、11.2.6 同期式シリアルポート n モードレジスタ(SIOOnMOD)を参照してください)
- [] スレーブモードを選択する場合、通信クロックの最大値は 1MHz です。(詳細は、11.2.6 同期式シリアルポート n モードレジスタ(SIOOnMOD)を参照してください)
- [] SnTUER ビット, SnROER ビット, SnTOER ビットへの書込みはバイトアクセスしてください。(詳細は、11.2.7 同期式シリアルポート n ステータスレジスタ(SIOOnSTAT)を参照してください)
- [] 送受信時(SnTXF=1 または SnRXF=1)の SnTUER ビット, SnROER ビット, SnTOER ビットへの書込みは禁止です。(詳細は、11.2.7 同期式シリアルポート n ステータスレジスタ(SIOOnSTAT)を参照してください)
- [] UAn0MOD レジスタは必ず通信停止(Un0EN=0)中に設定し、通信中には書き換えないでください。通信中に書き換えると、正常なデータが送受信されない可能性があります。(詳細は、11.2.8 UARTn0 モードレジスタ(UAn0MOD)を参照してください)
- [] UAn1MOD レジスタは必ず通信停止(Un1EN=0)中に設定し、通信中には書き換えないでください。通信中に書き換えると、正常なデータが送受信されない可能性があります。(詳細は、11.2.9 UARTn1 モードレジスタ(UAn1MOD)を参照してください)
- [] UAn0BRT, UAn1BRT レジスタ、必ず通信停止(Un0EN=0, Un1EN=0)中に設定し、通信中には書き換えないでください。(詳細は、11.2.11 UARTn1 ボーレートレジスタ(UAn1BRT)を参照してください)
- [] UAn0BRC, UAn1BRC レジスタは必ず通信停止(Un0EN=0, Un1EN=0)中に設定し、通信中には書き換えないでください。(詳細は、11.2.13 UARTn1 ボーレート補正レジスタ(UAn1BRC)を参照してください)
- [] Un0OER ビットは、Un0EN ビットにより受信を停止し再開した場合でも、前回の受信データが読み出されていないければ“1”になりますので、SDnBUFL を読み出してから Un0EN を“1”にするか、もしくは受信が完了した際はそのデータが不要の場合でも必ず SDnBUFL を読み出してください。(詳細は、11.2.14 UARTn0 ステータスレジスタ(UAn0STAT)を参照してください)
- [] スタートビットでエラーが発生すると、受信待ち状態に戻ります。(詳細は、11.2.14 UARTn0 ステータスレジスタ(UAn0STAT), 11.2.15 UARTn1 ステータスレジスタ(UAn1STAT)を参照してください)

- [] Un0FER ビット, Un0OER ビット, Un0PER ビット, Un0FUL はバイトアクセスで書き込みしてください。(詳細は, 11.2.14 UARTn0 ステータスレジスタ(UAn0STAT)を参照してください)
- [] Un1OER ビットは, Un1EN ビットにより受信を停止し再開した場合でも, 前回の受信データが読み出されていないければ“1”になりますので, SDnBUFH を読み出してから Un1EN ビットを“1”にするか, もしくは受信が完了した際は そのデータが不要の場合でも必ず SDnBUFH を読み出してください。(詳細は, 11.2.15 UARTn1 ステータスレジスタ(UAn1STAT)を参照してください)
- [] Un1FER ビット, Un1OER ビット, Un1PER ビット, Un1FUL はバイトアクセスで書き込みしてください。(詳細は, 11.2.15 UARTn1 ステータスレジスタ(UAn1STAT)を参照してください)
- [] 「送信終了時に割込みを発生」(SUnTIMD=0)を選択した場合, 実際に転送が開始されるまで(外部クロックが供給されるまで)は転送バッファへデータを書き込むことが可能です。その場合は転送開始直前に書込まれたデータが転送されます。データを確実に送信するためには, SnEN が“0”の時, もしくは前のデータの転送中 (SnTXF=1) に送信データを書き込むことを推奨します。(詳細は, 11.3.1.6 クロックタイプ 1 のスレーブモード時のタイミングを参照してください)
- [] 受信モード時に SUn_TXDn 端子を兼用機能に設定した場合, SUn_TXDn 端子からは“H”レベルが出力されます。(詳細は, 11.3.2.3 送受信データ方向を参照してください)
- [] システム設計の際は, 送信側と受信側のボーレート差やスタートビット検出の遅れも考慮し, UAn0BRT, UAn1BRT, UAn0BRC, UAn1BRC レジスタでボーレートを合わせ込んでください。(詳細は, 11.3.2.10 受信マージンを参照してください)

I²C バスユニット

- [] I2CU0_SDA 端子, I2CU0_SCL 端子に外部接続するプルアップ抵抗値は, I²C バス規格に従って設定してください。汎用ポートに内蔵しているプルアップ抵抗値は, I²C バス規格を満たすことができません。プルアップ抵抗値については, 各商品のデータシートを参照してください。(詳細は, 12.1.4 端子設定を参照してください)
- [] スレーブモード使用中に, 本 LSI の電源を遮断した場合, I²C バスで接続されている他のデバイスの通信ができなくなります。スレーブモード使用時には, 本 LSI の電源は遮断しないでください。(詳細は, 12.1.4 端子設定を参照してください)
- [] マスタ機能を使用する場合, バス上に複数のマスタ・デバイスを接続しないでください。(詳細は, 12.1.4 端子設定を参照してください)
- [] マスタモードを選択した場合は, スレーブ用の SFR への書き込みは禁止です。また, スレーブモードを選択した場合は, マスタ用の SFR への書き込みは禁止です。(詳細は, 12.2.2 I²C バスユニット 0 モードレジスタ(I2U0MSS)を参照してください)
- [] スレーブ機能を使用する場合, 通信待ち状態を解除する場合は, システムクロックを高速クロックに切り替えてから行ってください。(詳細は, 12.2.2 I²C バスユニット 0 モードレジスタ(I2U0MSS)を参照してください)
- [] スレーブ機能を使用する場合で, 本 LSI を含む複数のスレーブを I²C バスに接続する場合は, 自分が通信していない間も含めて, I²C を有効にしている期間(I2U0MD=1 かつ I2US0EN=1)は, 以下の注意を守ってください。
 - ・ SYSTEMCLK は I²C の通信速度の 4 倍以上に設定してください。
(100kbps:SYSTEMCLK=500kHz 以上, 400kbps:SYSTEMCLK=2MHz 以上, 1Mbps:SYSTEMCLK=4MHz 以上)
 - ・ SYSTEMCLK に LSCLK を選択することは禁止です。
 - ・ I²C を有効にした状態で HALT-H への移行は禁止です。
(詳細は, 12.2.2 I²C バスユニット 0 モードレジスタ(I2U0MSS)を参照してください)
- [] I2UM0ACT ビットは, コントロールレジスタ設定待ち状態のときにバイトアクセスで書き込んでください。(詳細は, 12.2.6 I²C バス 0 コントロールレジスタ(マスタ側)(I2UM0CON)を参照してください)
- [] I2UM0ST ビットが 1 の時に, I2UM0CON を書き込む場合は, コントロールレジスタ設定待ち状態のときにおこなってください。(詳細は, 12.2.6 I²C バス 0 コントロールレジスタ(マスタ側)(I2UM0CON)を参照してください)
- [] I²C 動作クロックとして高速クロックを選択する場合, PLL の基本周波数に応じて 以下の設定にしてください。

HSCLK=24MHz		
標準モード	: I ² C 動作クロック	HSCLK ~ 1/4 HSCLK
ファストモード	: I ² C 動作クロック	HSCLK, 1/2 HSCLK
1Mbps モード	: I ² C 動作クロック	HSCLK, 1/2 HSCLK
HSCLK=16MHz		
標準モード	: I ² C 動作クロック	HSCLK, 1/2 HSCLK
ファストモード	: I ² C 動作クロック	HSCLK
1Mbps モード	: I ² C 動作クロック	HSCLK

 (詳細は, 12.2.7 I²C バス 0 モードレジスタ(マスタ側)(I2UM0MOD)を参照してください)

- [] I2UM0BB ビット, I2US0ACR ビット, I2UM0ER ビット, I2UM0BO ビット, I2UM0AS ビット, I2UM0DS ビット, I2UM0SPS ビットはバイトアクセスで書き込んでください。(詳細は, 12.2.8 I²C バス 0 ステータスレジスタ(マスタ側) (I2UM0STR)を参照してください)
- [] I2UM0BB ビット, I2UM0BO ビットは, “1”を書き込み後, I²C 動作クロック後に“0”にリセットされます。(詳細は, 12.2.8 I²C バス 0 ステータスレジスタ(マスタ側) (I2UM0STR)を参照してください)
- [] 通信待ち状態の解除は, システムクロックを高速クロックに切り替えてから行ってください。(詳細は, 12.2.12 I²C バス 0 コントロールレジスタ(スレーブ側) (I2US0CON)を参照してください)
- [] STOP-D モードに移行する前に, I2US0EN に 0 を設定して動作を停止してください。スレーブアドレス一致による STOP モードからの復帰を禁止する場合も STOP モードに移行する前も同様に処理してください。(詳細は, 12.2.13 I²C バス 0 モードレジスタ(スレーブ側) (I2US0MD)を参照してください)
- [] I2US0BB ビット, I2US0ACR ビット, I2US0ER ビット, I2US0SAA ビット, I2US0TR ビット, I2US0AS ビット, I2US0DS ビット, I2US0SPS ビット, I2US0STS, I2US0RAS ビットはワードアクセスもしくは, バイトアクセスで書き込んでください。(詳細は, 12.2.14 I²C バス 0 ステータスレジスタ(スレーブ側) (I2US0STR)を参照してください)
- [] スレーブモード有効状態で STOP/STOP-D モードに移行する場合は, 通信中(アドレス一致からストップコンディション受信まで)でないことを確認してから移行してください。(詳細は, 12.3.4 スレーブモード通信動作タイミングを参照してください)
- [] スレーブ・デバイスが I²CU0_SCL 端子を“L”レベルにホールドするクロックストレッチ機能を使用した場合は, tCYC, tLOW 期間が延長されます。(詳細は, 12.3.5 動作波形を参照してください)

I²C バスマスタ

- [] I2CMn_SDA 端子, I2CMn_SCL 端子に外部接続するプルアップ抵抗値は, I²C バス規格に従って設定してください。汎用ポートに内蔵しているプルアップ抵抗値は, I²C バス規格を満たすことができません。プルアップ抵抗値については, 各商品のデータシートを参照してください。(詳細は, 13.1.4 端子設定についてを参照してください)
- [] I2MnACT ビットは, コントロールレジスタ設定待ち状態のときにバイトアクセスで書き込んでください。(詳細は, 13.2.5 I²C マスタ n コントロールレジスタ (I2MnCON:n=0,1)を参照してください)
- [] I2MnST ビットが“1”の時に, I2MnCON を書き込む場合は, コントロールレジスタ設定待ち状態のときにおこなってください。(詳細は, 13.2.5 I²C マスタ n コントロールレジスタ (I2MnCON:n=0,1)を参照してください)
- [] I2MnBB ビット, I2MnACR ビット, I2MnER ビット, I2MnBO ビット, I2MnAS ビット, I2MnDS ビット, I2MnSPS ビットはワードアクセスもしくは, バイトアクセスで書き込んでください。(詳細は, 13.2.7 I²C マスタ n ステータスレジスタ (I2MnSTR:n=0,1)を参照してください)
- [] I2MnBB ビット, I2MnBO ビットは, “1”を書き込み後, I²C 動作クロック後に“0”にリセットされます。(詳細は, 13.2.7 I²C マスタ n ステータスレジスタ (I2MnSTR:n=0,1)を参照してください)
- [] スレーブ・デバイスが I2CMn_SCL 端子を“L”レベルにホールドするクロックストレッチ機能を使用した場合は, tCYC, tLOW 期間が延長されます。(詳細は, 13.3.3 動作波形を参照してください)

DMA コントローラ

- [] DMA とコプロセッサを同時に使用しないでください。(詳細は, 14.1 概要を参照してください)
- [] DCnSTRG ビットを除く DCnMOD レジスタの各ビットは, 転送停止状態 (DCnEN レジスタの DCnEN ビット=“0”) で設定してください。(詳細は, 14.2.2 DMA チャンネル n 転送モードレジスタ (DCnMOD : n=0,1)を参照してください)
- [] DCnSTRG ビットに“1”を設定してソフトウェア要求する命令の次の命令がデータ・メモリアccessの命令の場合, 転送が待たされます。DCnSTRG に“1”を設定した命令の後に NOP 命令を 2 つ配置するとすぐに転送することができます。(詳細は, 14.2.2 DMA チャンネル n 転送モードレジスタ (DCnMOD : n=0,1)を参照してください)
- [] 16 ビットタイマ DMA 要求を選択する場合は, 16 ビットタイマ n モードレジスタ (TMHnMOD) の THn8BM に“0”を設定し, 16 ビットタイマモードにしてください。(詳細は, 14.2.2 DMA チャンネル n 転送モードレジスタ (DCnMOD : n=0,1)を参照してください)
- [] DCnTN レジスタは転送停止状態 (DCnEN=0) で設定してください。転送許可状態 (DCnEN=1) では書き込み無効です。(詳細は, 14.2.3 DMA チャンネル n 転送回数レジスタ (DCnTN:n=0,1)を参照してください)
- [] 設定された回数分の転送が終了する前に転送を停止 (DCnEN=0) した場合, DMA チャンネル n 転送回数レジスタ (DCnTN) の値は保証されません。転送を再開する場合は再度設定してください。(詳細は, 14.2.3 DMA チャンネル n 転送回数レジスタ (DCnTN:n=0,1)を参照してください)
- [] DCnSA レジスタは転送停止状態 (DCnEN ビット=0) で設定してください。転送許可状態 (DCnEN ビット=1) では書き込み無効です。DMA 転送が終了する前に転送禁止 (DCnEN ビット=0) にした場合の DCnSA の値は保証されません。転送を再開する場合は再度設定してください。(詳細は, 14.2.4 DMA チャンネル n 転送元アドレスレジスタ (DCnSA:n=0,1)を参照してください)

- [] DCnDA レジスタは転送停止状態(DCnEN=0)で設定してください。転送許可状態(DCnEN=1)では書き込み無効です。DMA 転送が終了する前に転送禁止(DCnEN=0)にした場合の DCnDA の値は保証されません。転送を再開する場合は再度設定してください。(詳細は、14.2.5 DMA チャンネル n 転送先アドレスレジスタ (DCnDA:n=0,1) を参照してください)
- [] DCF ビットはチャンネル転送停止状態(DCnEN=0)で設定してください。チャンネル転送許可状態(DCnEN=1)では書き込み無効です。(詳細は、14.2.6 DMA 転送許可レジスタ (DCEN)を参照してください)
- [] DMA チャンネル n 転送回数の転送が終了すると、DMA ステータスレジスタ(DSTAT)の DCnISTA ビットに“1”が設定されます。次に DMA 転送を許可する前に必ず DMA 割込みステータスクリアレジスタ(DICLR)を使ってステータスビット(DCnISTA)をクリアしてください。ステータスが“1”の状態では、DMA 転送は許可できません。DMA 割込みを使用しない場合でもステータスビット(DCnISTA)をクリアしてください。(詳細は、14.2.6 DMA 転送許可レジスタ (DCEN)を参照してください)
- [] DCnSA レジスタ/DCnDA レジスタに存在しないアドレスを設定した場合、動作保証しません。(詳細は、14.3.1 DMA コントローラ使用手順を参照してください)
- [] DMA 転送の優先度(CPU > DMA チャンネル 0 > DMA チャンネル 1)や転送要求の間隔に注意してください。(詳細は、14.3.3 DMA 転送要求を参照してください)

ブザー

- [] ブザー出力の開始/停止は、BZ0CON レジスタの BZ0RUN ビットを設定するタイミングによってブザー波形の途中から/途中までとなります。もし問題になる場合には、下記に示す対策 A, B のいずれかを実施してください。
対策 A: 低速タイムベースカウンタ割込み(割り当て信号は T8HZ 信号または T1HZ 信号を選択)を用いる
対策 B: LTBR レジスタを使用し、T8HZ 信号または T1HZ 信号の立ち下がりと BZ0RUN を設定するタイミングを同期させる(詳細は、15.3.1.2 断続音 1 モードの設定手順例を参照してください)
- [] BZ0CON レジスタの BZ0RUN ビットに“1”を書き込んでからブザー出力が開始されるまでに、低速クロック(LSCLK)の最大 1 クロックの誤差が発生します。(詳細は、15.3.5.1 ブザー出力開始時、出力停止時のタイミングを参照してください)
- [] BZ0CON レジスタの BZ0RUN ビットに“0”を書き込んでからブザー出力が停止されるまでに、低速クロック(LSCLK)の最大 1 クロックの誤差が発生します。(詳細は、15.3.5.1 ブザー出力開始時、出力停止時のタイミングを参照してください)
- [] 単音モードでは、単音分のブザー出力が終了したタイミングで、BZ0CON レジスタの BZ0RUN ビットが“0”にクリアされます。(詳細は、15.3.5.1 ブザー出力開始時、出力停止時のタイミングを参照してください)
- [] 断続音 1 モードおよび断続音 2 モード時、T8HZ 信号が“1”になってからブザー出力を開始するまでに、低速クロック(LSCLK)の最大 1 クロックの誤差が発生します。(詳細は、15.3.5.1 ブザー出力開始時、出力停止時のタイミングを参照してください)

簡易 RTC

- [] SRTCMASS はパワーオンリセットのみでリセットされます。(詳細は、16.2.1 レジスタ一覧を参照してください)
- [] SRTCACP に“0x3C”を書き込んだ後、SRTCACP に“0x3C”または“0xC3”以外のデータを書き込むと“0x3C”の書き込みが無効となります。(詳細は、16.2.2 簡易 RTC アクセプタ (SRTCACP)を参照してください)
- [] SRTCACP に“0x3C”, “0xC3”の順序でデータを書き込み、SRTCMASS への書き込みが許可されている状態で“0xC3”以外の値をSRTCACPに書き込むとSRTCMASS への書き込み許可が無効となります。(詳細は、16.2.2 簡易 RTC アクセプタ (SRTCACP)を参照してください)
- [] SRTCMASS レジスタを読み出す場合は、カウントアップ中の不確定データの読み出しを防止するため SRTCMASS レジスタを二度読み出し、値が同一であることを確認してください。(詳細は、16.2.3 簡易 RTC 分・秒カウンタ (SRTCMASS)を参照してください)
- [] SRTCMASS レジスタに 00 分 00 秒から 59 分 59 秒以外のデータを書き込んだ場合、SRTCMASS レジスタは初期値になります。(詳細は、16.2.3 簡易 RTC 分・秒カウンタ (SRTCMASS)を参照してください)
- [] SRTCMASS レジスタにデータを書き込むタイミングによっては、書き込み後すぐに割込み要求が発生する可能性があります。時間の書き込みを行う際、割込み要求が発生させたくない場合は、簡易 RTC コントロールレジスタ (SRTCCON)で RTCINT を禁止してから SRTCMASS レジスタにデータを書き込んでください。(詳細は、16.2.3 簡易 RTC 分・秒カウンタ (SRTCMASS)を参照してください)
- [] SRTCMASS レジスタは 16 ビットアクセスでの書き込みを推奨します。(詳細は、16.2.3 簡易 RTC 分・秒カウンタ (SRTCMASS)を参照してください)
- [] SRTCACP レジスタで書き込みを許可した後に SRTCMASS レジスタにデータを書き込むことができるのは 8 ビットアクセス時でも 16 ビットアクセス時でも 1 度だけです。許可後に 8 ビットアクセスで 2 度書き込んだ場合 2 度目の書き込みは無視されます。(詳細は、16.2.3 簡易 RTC 分・秒カウンタ (SRTCMASS)を参照してください)

- [] 秒カウンタ (SRTCSEC) が 59 秒 (0x59) の時に秒カウンタに 0 秒 (0x00) を書き込むと、分カウンタ (SRTCMIN) はカウントアップします。ただし、16 ビットアクセスで分カウンタも同時に書き込むとカウントアップせずに書き込んだ値が有効になります。(詳細は、16.2.3 簡易 RTC 分・秒カウンタ (SRTCMA) を参照してください)

汎用ポート

- [] 外部割込みを使用する場合には、必ず PnMODm レジスタ (m=0~7) を設定してから EICON0, EIMOD0 レジスタ、および IE1 レジスタを設定してください。割込み許可状態で PnMODm レジスタを設定すると、意図しない割込みが発生する可能性があります。(詳細は、17.2.3 ポート n モードレジスタ 01 (PnMOD01:n=0~9, A, B) ~ 17.2.3 ポート n モードレジスタ 67 (PnMOD67:n=0~9, A, B) を参照してください)
- [] 意図しない出力を防ぐために、周辺回路の設定および兼用機能の設定をしてから出力を有効にすることを推奨します。(詳細は、17.2.3 ポート n モードレジスタ 01 (PnMOD01:n=0~9, A, B) ~ 17.2.3 ポート n モードレジスタ 67 (PnMOD67:n=0~9, A, B) を参照してください)
- [] 水晶振動子接続端子として使用する場合は、PI00, PI01 共に入力ポートとして使用することはできません。また PI01 を外部クロック入力として使用する場合、PI01 は入力ポートとして使用することはできません。水晶振動子接続端子としての使用方法及び外部クロック入力としての使用方法は、「第 6 章 クロック発生回路」を参照してください。(詳細は、17.2.9 PORTXT データ入力レジスタ (PXTDI) を参照してください)
- [] P00/TEST0 端子は、汎用ポートまたはオンチップデバッグ機能、ISP 機能用端子として使用します。そのため、汎用ポートとして使う場合とオンチップデバッグ機能、ISP 機能を使用する場合は P00/TEST0 端子の注意事項をご確認ください。(詳細は、17.3.8 P00/TEST0 端子を使用する場合の注意事項を参照してください)
- [] P00/TEST0 端子の初期値はプルアップ抵抗付き入力ですので、初期設定状態で“L”レベルを入力すると入力電流が過大に流れますのでご注意ください。(詳細は、17.3.8 P00/TEST0 端子を使用する場合の注意事項を参照してください)

外部割込み機能

- [] STOP, STOP-D, および HALT-H^{*1} モード時は、サンプリングクロックが停止するため、EIMOD0 レジスタの PI7SM ~ PI0SM ビットの値に関係なくサンプリングなしになります。サンプリングありの設定でそれらのモードへ移行した場合、割込みが無効となる区間^{*2}があります。また、HALT-H モードに移行した場合はモード復帰後に意図しない割込みが発生する場合があります。それらのモードに移行する時は、外部割込みを“サンプリングなし”に設定して下さい。
 - ^{*1} HALT-H: サンプリングクロックに高速クロックを選択している場合。
 - ^{*2} 該当モードへの移行時: 最大 30μs, 復帰時: サンプリングクロックに選択しているクロックの供給が開始するまでの期間。クロックが供給を開始するまでの期間は設定により異なりますので、「第 4 章 パワーマネジメント」の「表 4-5 スタンバイモードからの起動時間」を参照してください。
(詳細は、18.2.3 外部割込みモードレジスタ 0 (EIMOD0) を参照してください)
- [] サンプリングクロックとして高速クロックを選択時に ENOSC を変更すると意図しない割込みが発生する可能性がありますので ENOSC を切り替える場合は、外部割込みを“サンプリングなし”に設定するか、切り替え期間中は外部割込みを禁止状態にしてください。(詳細は、18.2.3 外部割込みモードレジスタ 0 (EIMOD0) を参照してください)
- [] 拡張外部割込みが許可された状態で CPU から IRQ01/IRQ23/IRQ45/IRQ67 に書き込んだ場合、EEINTC レジスタの EEIR ビットに“1”を書き込んで割込みを再要求してください。(詳細は、18.2.4 拡張外部割込みコントロールレジスタ 0 (EEICON0) を参照してください)
- [] STOP および STOP-D モード時は、サンプリングクロックが停止するため、EEIMOD0 レジスタの EPI3SM ~ EPI0SM ビットの値に関係なくサンプリングなしとなります。割込みが無効となる区間^{*1}があります。
 - ^{*1} 該当モードへの移行時: 最大 30μs, 復帰時: サンプリングクロック (低速クロック) の供給が開始するまでの期間。クロックが供給を開始するまでの期間は設定により異なりますので、「第 4 章 パワーマネジメント」の「表 4-5 スタンバイモードからの起動時間」を参照してください。
(詳細は、18.2.5 拡張外部割込みモードレジスタ 0 (EEIMOD0) を参照してください)
- [] オンチップデバッグ機能を使用する際、“ブレーク中に動作継続させる周辺回路”の“External Interrupt”のチェックを外さないでください。チェックを外した場合、本ステータスがクリアされる場合があります。(詳細は、18.2.7 拡張外部割込みステータスレジスタ (EEISTAT) を参照してください)
- [] EEIR ビットを EEI3C ~ EEI0C ビットと同時に設定しないでください。(詳細は、18.2.8 拡張外部割込みクリアレジスタ (EEINTC) を参照してください)

CRC 演算器

- [] CRCSAD レジスタは、CRCMOD レジスタの CRCAEN ビットが“0”の状態を書き込んでください。“1”の状態での書き込みは無効です。(詳細は、19.2.2 自動 CRC 演算開始アドレス設定レジスタ (CRCSAD) を参照してください)

- [] 自動 CRC 演算では、4 バイト単位で CRC の演算を行います。期待値は 4 バイト単位で生成してください。ビット 1 とビット 0 への書き込みは無視されます。内部では 0 固定で演算を行います。(詳細は、19.2.2 自動 CRC 演算開始アドレス設定レジスタ(CRCSAD)を参照してください)
- [] プログラム・コード領域外のセグメント・アドレスを設定しないでください。プログラムコード領域については「2.5 プログラム・メモリ空間」を参照してください。(詳細は、19.2.2 自動 CRC 演算開始アドレス設定レジスタ(CRCSAD)を参照してください)
- [] CRCEAD レジスタは、CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。(詳細は、19.2.3 自動 CRC 演算終了アドレス設定レジスタ(CRCEAD)を参照してください)
- [] 自動 CRC 演算では、4 バイト単位で CRC の演算を行います。演算結果の期待値は 4 バイト単位で生成してください。ビット 1 とビット 0 への書き込みは無視されます。内部では 1 固定で演算を行います。(詳細は、19.2.3 自動 CRC 演算終了アドレス設定レジスタ(CRCEAD)を参照してください)
- [] CRCSSEG レジスタは、CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。(詳細は、19.2.4 自動 CRC 演算開始セグメント設定レジスタ(CRCSSEG)を参照してください)
- [] CRCESEG レジスタは、CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。(詳細は、19.2.5 自動 CRC 演算終了セグメント設定レジスタ(CRCESEG)を参照してください)
- [] CRCDATA レジスタは、CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。(詳細は、19.2.6 CRC 演算データレジスタ(CRCDATA)を参照してください)
- [] CRCRES レジスタは、CRCMOD レジスタの CRCAEN ビットが“0”の状態書き込んでください。“1”の状態での書き込みは無効です。(詳細は、19.2.7 CRC 演算結果レジスタ(CRCRES)を参照してください)
- [] CPU 動作モードがウェイトモード、PLL の基本周波数が 24MHz の設定の場合、HALT/HALT-H に移行する前に SYSTEMCLK を 12MHz 以下にしてください。(詳細は、19.2.8 自動 CRC 演算モードレジスタ(CRCMOD)を参照してください)
- [] 自動 CRC 演算が終了していない状態でマニュアルモードの CRC 演算をする場合には、CRCRES レジスタの値を退避させてから演算させ、マニュアルモードの CRC 演算終了後に、退避させておいた値を CRCRES レジスタに戻して CRCAEN ビットを“1”に設定してください。その後 HALT/HALT-H モードに移行すると、自動 CRC 演算を再開することができます。CRCSAD レジスタと CRCSSEG レジスタには前回終了時の最終アドレスが格納されています。CRCAEN が“0”の状態、RCSAD レジスタと CRCSSEG レジスタの値を書き換えると、正しい演算ができません。(詳細は、19.3.2.1 自動 CRC 演算モードの使用例を参照してください)
- [] CPU 動作モードがウェイトモード、PLL の基本周波数が 24MHz の設定の場合、HALT/HALT-H モードに移行する前に SYSTEMCLK を 12MHz 以下にしてください。(詳細は、19.3.2.1 自動 CRC 演算モードの使用例を参照してください)

アナログコンパレータ

- [] アナログコンパレータを使用する場合、汎用ポートのモードレジスタの入力許可(PnmIE)と出力許可(PnmOE)の対応ビットに“0”を書き込み、汎用ポートをハイインピーダンスに設定してください。それ以外の設定では、貫通電流が流れる恐れがあります。(n=0~9, A, B, m=0~7) (詳細は、20.1.3 端子一覧を参照してください)
- [] コンパレータの動作許可中は、隣接端子をスイッチングさせないようにすることでノイズの影響を低減できます。(詳細は、20.1.3 端子一覧を参照してください)
- [] STOP, STOP-D 中は CMPnCS1-0 ビットの設定値によらず“サンプリングなし”になります。このサンプリングあり／なしの切り替わり時に、割込みが無効となる区間^{*1}があります。
^{*1}: 該当モードへの移行時: 最大 30 μ s, 復帰時は、サンプリングクロックに選択しているクロックの供給が開始するまでの期間。クロックの供給が開始されるまでの時間は設定により異なりますので、「第 4 章 パワーマネジメント」の「表 4-5 スタンバイモードからの起動時間」を参照してください。
(詳細は、20.2.3 コンパレータ n モードレジスタ(CMPnMOD:n=0, 1)を参照してください)
- [] サンプリングクロックに高速クロックを選択した場合、高速クロックが出力されていない状態(HALT-H 中を含む)では、サンプリング回路が動作しません。その期間でアナログコンパレータを使用する場合は、“サンプリングなし”あるいは“LSCLK でサンプリング”に設定してください。高速クロックの起動については「第 6 章 クロック発生回路」を参照してください。(詳細は、20.2.3 コンパレータ n モードレジスタ(CMPnMOD:n=0, 1)を参照してください)
- [] CMPnMOD レジスタの書き込みは、コンパレータ動作停止中(CMPnCON レジスタの CMPnEN ビット=“0”)に行ってください。アナログコンパレータ動作許可中に書き込んだ場合の比較結果は保証しません。(詳細は、20.2.3 コンパレータ n モードレジスタ(CMPnMOD:n=0, 1)を参照してください)
- [] CMPnVREF ビットで制御できる内部基準電圧はコンパレータで使用する基準電圧です。SA-ADC で使用する基準電圧の制御は、「第 23 章 逐次比較型 A/D コンバータ」をご確認ください。(詳細は、20.2.3 コンパレータ n モードレジスタ(CMPnMOD:n=0, 1)を参照してください)

D/A コンバータ

- [] D/A コンバータで使用する汎用ポートは、対応するポート n モードレジスタ 01/23/45/67 (n: ポート番号 0~9, A, B) の PnmIE ビットと PnmOE ビット (m: ビット番号 0~7) に“0”を書き込み、ハイインピーダンス (入力無効, 出力無効) に設定してください。それ以外の設定では、貫通電流が流れる可能性があります。(詳細は、21.1.3 端子一覧を参照してください)
- [] D/A コンバータの動作許可中は、隣接端子をスイッチングさせないようにすることでノイズの影響を低減できます。(詳細は、21.1.3 端子一覧を参照してください)

電圧レベル監視機能

- [] VLS0 動作中の STOP/STOP-D モードへの移行は、モードごとに制限があります。
スーパバイザモード実行中: VLS0RF ビット=“1”時のみ移行可能。
シングルモード実行中: 移行不可。シングルモード動作停止後 (VLS0EN ビット=“0”) に移行してください。(詳細は、22.2.2 電圧レベル監視機能 0 コントロールレジスタ (VLS0CON) を参照してください)
- [] VLS0 動作中にパワーオンリセットと端子リセット以外のリセットが発生した場合、VLS0 は動作状態を保持します。(詳細は、22.2.2 電圧レベル監視機能 0 コントロールレジスタ (VLS0CON) を参照してください)
- [] STOP, STOP-D 中は VLS0SM1-0 ビットの設定値によらず“サンプリングなし”になります。このサンプリングあり/なしの切り替わり時に、割込みが無効となる区間^{*1}があります。
^{*1}: 該当モードへの移行時: 最大 30 μ s, 復帰時は、サンプリングクロックに選択しているクロックの供給が開始するまでの期間。クロックの供給が開始されるまでの時間は設定により異なりますので、「第 4 章 パワーマネジメント」の「表 4-5 スタンバイモードからの起動時間」を参照してください。
(詳細は、22.2.5 電圧レベル監視機能 0 サンプリングレジスタ (VLS0SMP) を参照してください)
- [] サンプリングクロックに高速クロックを選択した場合、高速クロックが出力されていない状態 (HALT-H 中を含む) では、サンプリング回路が動作しません。その期間で VLS を使用する場合は、“サンプリングなし”あるいは“LSCLK”に設定してください。高速クロックの起動については「第 6 章 クロック発生回路」を参照してください。(詳細は、22.2.5 電圧レベル監視機能 0 サンプリングレジスタ (VLS0SMP) を参照してください)
- [] VLS0 の安定時間中は STOP/STOP-D モードに移行できません。スーパバイザモード動作許可後に STOP/STOP-D モードに移行する場合は、VLS0RF ビットが“1”になっていることを確認してから STOP/STOP-D モードに移行してください。(詳細は、22.3.1.1 リセット出力を参照してください)
- [] VLS0 の判定電圧の初期値は 4V です。V_{DD} が 4V 以下でかつスーパバイザモード、かつリセット出力の場合、リセット状態となり動作しません。そのため、必ず判定電圧を設定してから VLS0 を動作許可してください。(詳細は、22.3.1.1 リセット出力を参照してください)
- [] VLS0 のリセット機能で、リセット IC のような使い方をする場合、電源起動後の低速クロックの状態、システムに適した判定電圧を設定し、VLS0 を起動してください。(詳細は、22.3.1.1 リセット出力を参照してください)
- [] 低電圧状態 (VLS0F ビット=“1”) で VLS0 を停止 (VLS0EN ビット=“0”) した場合、VLS0 割込みが発生します。(詳細は、22.3.1.2 割込み出力を参照してください)
- [] シングルモード実行中は STOP/STOP-D モードに移行できません。シングルモード動作停止後 (VLS0EN ビット=“0”) に STOP/STOP-D モードに移行してください。(詳細は、22.3.2.1 シングルモード 1 を参照してください)
- [] 設定した判定電圧 (VLS0) よりも V_{DD} が高い場合、VLS0 割込み (低電圧状態) は発生しません。(詳細は、22.3.2.2 シングルモード 2 を参照してください)

逐次比較型 A/D コンバータ

- [] 逐次比較型 A/D コンバータで使用する汎用ポートは、対応するポート n モードレジスタ 01/23/45/67 (n: ポート番号 0~9, A, B) の PnmIE ビットと PnmOE ビット (m: ビット番号 0~7) に“0”を書き込み、ハイインピーダンス (入力無効, 出力無効) に設定してください。それ以外の設定では、貫通電流が流れる可能性があります。(詳細は、23.1.3 端子一覧を参照してください)
- [] A/D 変換中は他の端子をスイッチングさせないようにしたり、HALT モード中に A/D 変換をさせることでノイズの影響を低減できます。(詳細は、23.1.3 端子一覧を参照してください)
- [] SADULS0 レジスタへの書き込みはビット操作命令を使用せずにワードもしくはバイト単位でおこなってください。(詳細は、23.2.4 SA-ADC 上限下限ステータスレジスタ 0 (SADULS0) を参照してください)
- [] A/D 変換の上限・下限判定機能を使用した場合 (SALEN=1), SAULS15~SAULS00 の該当ビットをクリアもしくは LSI をリセットすることで割込みをクリアすることができます。(詳細は、23.2.4 SA-ADC 上限下限ステータスレジスタ 0 (SADULS0) を参照してください)
- [] 1 回のみ A/D 変換 (SALP=0) の場合、SARUN を“1”にする前に SAULS15~SAULS00 の該当ビットが“0”であることを確認してください。(詳細は、23.2.4 SA-ADC 上限下限ステータスレジスタ 0 (SADULS0) を参照してください)

- [] 連続 A/D 変換 (SALP=1) の場合、次の A/D 変換が終わる前に SAULS15～SAULS00 の該当ビットが“0”であることを確認してください。(詳細は、23.2.4 SA-ADC 上限下限ステータスレジスタ 0 (SADULS0) を参照してください)
- [] SADULS1 レジスタへの書込みはビット操作命令を使用せずにワードもしくはバイト単位でおこなってください。(詳細は、23.2.5 SA-ADC 上限下限ステータスレジスタ 1 (SADULS1) を参照してください)
- [] A/D 変換の上限・下限判定機能を使用した場合 (SALEN=1), SAULS16 ビットをクリアもしくは LSI をリセットすることで割込みをクリアすることができます。(詳細は、23.2.5 SA-ADC 上限下限ステータスレジスタ 1 (SADULS1) を参照してください)
- [] 1 回のみ A/D 変換 (SALP=0) の場合、SARUN を“1”にする前に SAULS16 ビットが“0”であることを確認してください。(詳細は、23.2.5 SA-ADC 上限下限ステータスレジスタ 1 (SADULS1) を参照してください)
- [] 連続 A/D 変換 (SALP=1) の場合、次の A/D 変換が終わる前に SAULS16 ビットが“0”であることを確認してください。(詳細は、23.2.5 SA-ADC 上限下限ステータスレジスタ 1 (SADULS1) を参照してください)
- [] SADM0DH[7:1] は、“0”を書き込んでください。SADM0DH[7:1] に“1”を書き込んだ場合の動作は保証されません。(詳細は、23.2.6 SA-ADC モードレジスタ (SADMOD) を参照してください)
- [] SADEN0 レジスタまたは SADEN1 レジスタで 1 つ以上のチャンネルを選択した状態で A/D 変換を開始してください。チャンネルを 1 つも選択しなかった場合は A/D 変換は実行されません。(詳細は、23.2.7 SA-ADC コントロールレジスタ (SADCON) を参照してください)
- [] STOP/STOP-D モードに移行する際は、SARUN ビットが“0”になってから移行してください。SARUN ビットが“1”の時は STOP/STOP-D モードに移行できません。(詳細は、23.2.7 SA-ADC コントロールレジスタ (SADCON) を参照してください)
- [] SACK2~0=0x7 に設定した場合、SARUN への書き込みから開始もしくは停止動作が実行されるまで低速クロック (LSCLK) の最大 3 クロックかかります。(詳細は、23.2.7 SA-ADC コントロールレジスタ (SADCON) を参照してください)
- [] SACH17～SACH00 ビットの複数ビットに“1”を書き込んだ場合、チャンネル番号の小さい順から A/D 変換します。(詳細は、23.2.8 SA-ADC イネーブルレジスタ 0 (SADEN0), 23.2.9 SA-ADC イネーブルレジスタ 1 (SADEN1) を参照してください)
- [] SACH17～SACH00 ビットのすべてのビットを“0”にした状態で A/D 変換を開始しないでください。この状態で A/D 変換を開始した場合、SADCON レジスタの SARUN ビットが“1”になりません。(詳細は、23.2.8 SA-ADC イネーブルレジスタ 0 (SADEN0), 23.2.9 SA-ADC イネーブルレジスタ 1 (SADEN1) を参照してください)
- [] チャンネル 16 (SACH16) を使用する場合は、VREFCON レジスタで内部基準電圧、温度センサの動作を許可し、基準電圧には内部基準電圧を選択してください。(詳細は、23.2.9 SA-ADC イネーブルレジスタ 1 (SADEN1) を参照してください)
- [] SADMOD レジスタの SACK2~0 を“111”に設定した場合、変換間隔は SADSTM レジスタの値によらず最小値 (0ns) となります。(詳細は、23.2.10 SA-ADC 変換間隔レジスタ (SADSTM) を参照してください)
- [] 上限、下限判定機能は、選択されたすべてのチャンネルの変換結果を判定して、割込みを発生させます。(詳細は、23.2.11 SA-ADC 上限下限モードレジスタ (SADLMOD) を参照してください)
- [] 上限、下限判定機能を使用して割込みが発生した場合は、SADULSn レジスタ (n=0, 1) を確認することで、どのチャンネルで設定した上限、下限の判定条件に一致したか判断できます。(詳細は、23.2.11 SA-ADC 上限下限モードレジスタ (SADLMOD) を参照してください)
- [] VREFEN ビットを“1”に設定後、内部基準電圧が安定するまでに 200 μ s (Max.) の時間を要します。A/D 変換は、この安定時間が経過してから開始してください。(詳細は、23.2.14 基準電圧コントロールレジスタ (VREFCON) を参照してください)
- [] 内部基準電圧 (約 1.55V) は汎用ポート (P23) から出力できます。汎用ポートから出力する場合は、VREFEN を“1”に設定し、P2MOD3 を 0x70 に設定してください。ただし、内部基準電圧を汎用ポートから出力した場合、外部の影響を受けて正常な A/D 変換ができない恐れがあります。(詳細は、23.2.14 基準電圧コントロールレジスタ (VREFCON) を参照してください)
- [] V_{REF} 端子 (P23) から入力された電圧を基準電圧として使用する場合は、VREFP1 ビット=“0”, VREFP0 ビット=“1”に設定し、P2MOD3 レジスタを 0x00 に設定してください。(詳細は、23.2.14 基準電圧コントロールレジスタ (VREFCON) を参照してください)
- [] VREFEN ビットで制御できる内部基準電圧は A/D コンバータで使用する基準電圧です。アナログコンパレータ使用する基準電圧の制御は、「第 20 章 アナログコンパレータ」を参照してください。(詳細は、23.2.14 基準電圧コントロールレジスタ (VREFCON) を参照してください)
- [] SADLMOD レジスタの SALEN ビットを“1”に設定すると、上限、下限判定機能による割込みが有効になり、本レジスタの SADIMD ビットの設定は無効になります。(詳細は、23.2.15 SA-ADC 割込みモードレジスタ (SADIMOD) を参照してください)

- [] 16 ビットタイマ n トリガ (TMHnTRG, n=0,1) をトリガに選択する場合は、16 ビットタイマモード (TMHnMOD レジスタの THn8BM ビット=“0”) にしてください。(詳細は、23.2.16 SA-ADC トリガレジスタ (SADTRG) を参照してください)
- [] A/D コンバータ使用時には”23.4 逐次比較型 A/D コンバータ使用時の注意事項”をご確認ください(詳細は、23.4 逐次比較型 A/D コンバータ使用時の注意事項を参照してください)

レギュレータ

- [] 電源間バイパスコンデンサ (C_V) および内部ロジック用電圧 (V_{DDL}) のコンデンサ ($C_L: 1 \mu F$) は、ノイズ耐性向上のため、ユーザ基板上では LSI の近くに配置し、ビアを経由せず極力配線を短くしてください。(詳細は、24.1.3 端子一覧を参照してください)
- [] 内部ロジック用電圧 (V_{DDL}) は外部デバイス用の電圧として使用できません。(詳細は、24.1.3 端子一覧を参照してください)

フラッシュ・メモリ

- [] プログラム・メモリ空間への書き込みは、4 バイト単位のため、FA1 ビットと FA0 ビットの設定値は無視されます。(詳細は、25.2.2 フラッシュアドレスレジスタ (FLASHA) を参照してください)
- [] データの書き込みは、FLASHD0 レジスタ、FLASHD1 レジスタの順に行ってください。(詳細は、25.2.4 フラッシュデータレジスタ 0 (FLASHD0) を参照してください)
- [] FLASHD0 レジスタの FLASHD0H レジスタおよび FLASHD1 レジスタに書き込まれたデータは無効です。(詳細は、25.2.4 フラッシュデータレジスタ 0 (FLASHD0) を参照してください)
- [] プログラム・メモリ空間への書き込み、またはデータ・フラッシュへの書き込みは、フラッシュセグメントレジスタ (FLASHSEG) に設定した値により判断されますので、FLASHSEG レジスタを先に設定してください。(詳細は、25.2.4 フラッシュデータレジスタ 0 (FLASHD0) を参照してください)
- [] データ・フラッシュの書き込み中は、バックグラウンドオペレーション (BGO) 機能により CPU のプログラム処理は継続されます。書き込み終了はフラッシュステータスレジスタ (FLASHSTA) の FDPRSTA ビットで確認してください。(詳細は、25.2.4 フラッシュデータレジスタ 0 (FLASHD0) を参照してください)
- [] 書き込むアドレスのデータはあらかじめ消去してください。上書きによるデータは保証されません。(詳細は、25.2.4 フラッシュデータレジスタ 0 (FLASHD0) を参照してください)
- [] CPU が誤動作する可能性があるため未使用領域には読み出しもしくは書き込みしないでください。(詳細は、25.2.4 フラッシュデータレジスタ 0 (FLASHD0) を参照してください)
- [] プログラム・メモリ空間の書き込みは、フラッシュセグメントレジスタ (FLASHSEG) に設定した値により判断しますので、FLASHSEG レジスタを先に設定してください。(詳細は、25.2.5 フラッシュデータレジスタ 1 (FLASHD1) を参照してください)
- [] FLASHACP レジスタへの“0xFA”書き込みと“0xF5”書き込みの間に他の命令が入っても、消去／書き込み機能は許可されます。(詳細は、25.2.7 フラッシュアクセプタ (FLASHACP) を参照してください)
- [] “0xFA”書き込みの次に“0xF5”以外のデータを書き込んだ場合は、“0xFA”書き込みが無効となるため、再度、“0xFA”から書き込み直してください。(詳細は、25.2.7 フラッシュアクセプタ (FLASHACP) を参照してください)
- [] FDPRSTA ビット、および FDERSTA ビットが“0”であることを確認して、次の消去／書き込みを実行してください。どちらかのビットが“1”で消去／書き込みを開始した場合は、無効です。(詳細は、25.2.9 フラッシュステータスレジスタ (FLASHSTA) を参照してください)
- [] データ書き込み時の注意:
データ書き込み前に、書き込み対象の領域を消去してください(消去せずに書き込んだデータは保証されません)。(詳細は、25.3 セルフ・プログラミングを参照してください)
- [] ユーザプログラム書き換え時の注意事項:
ユーザプログラムの書き換え前に、消去／書き込み対象外のプログラム・コード領域に、セルフ・プログラミング用のプログラムを準備してください。(詳細は、25.3 セルフ・プログラミングを参照してください)
- [] ブレークポイント設定:
セルフ・プログラミングのプログラムの範囲内(フラッシュアクセプタの設定からフラッシュデータレジスタ 0,1 の設定まで)にブレークポイントを設定した状態でリアルタイム実行しないでください。(詳細は、25.3.1 セルフ・プログラミングコードをデバッグする際の注意事項を参照してください)
- [] ステップ実行:
セルフ・プログラミングのプログラムの範囲内でステップ実行しないでください。(詳細は、25.3.1 セルフ・プログラミングコードをデバッグする際の注意事項を参照してください)
- [] 消去は、プログラム処理に関係のない領域のみとしてください。プログラム処理中の領域を消去すると LSI が誤動作します。(詳細は、25.3.2 プログラム・メモリ空間の書き換えを参照してください)

- [] ブロック消去中またはセクタ消去中, CPU は動作を最大 50ms 間停止しますが, 周辺回路は動作を継続するため, WDT カウンタを適宜クリアしてください。(詳細は, 25.3.2 プログラム・メモリ空間の書き換えを参照してください)
- [] ブロック消去/セクタ消去は, FLASHCON レジスタの FERS ビット/FSERS ビットに 1 を設定する命令の次には NOP 命令を 2 個置いてください。(詳細は, 25.3.2 プログラム・メモリ空間の書き換えを参照してください)
- [] 書き込みは, プログラム処理に関係のない領域のみとしてください。プログラム処理中の領域に書き込むと LSI が誤動作します。(詳細は, 25.3.2 プログラム・メモリ空間の書き換えを参照してください)
- [] 書き込み中, CPU は動作を最大 80 μ s 間停止しますが, 周辺回路は動作を継続するため, WDT カウンタを適宜クリアしてください。(詳細は, 25.3.2 プログラム・メモリ空間の書き換えを参照してください)
- [] 書き込みデータ設定は, FLASHD1 レジスタに書き込みデータを設定する命令の次には NOP 命令を 2 個置いてください。(詳細は, 25.3.2 プログラム・メモリ空間の書き換えを参照してください)
- [] データ・フラッシュの消去中も CPU はプログラム処理を継続します。消去中に STOP モード, STOP-D モード, もしくは HALT-H モードに移行しないでください。また, FLASHSLF レジスタの FSELF ビットは消去終了後に“0”(消去/書き込み禁止)に設定してください。(詳細は, 25.3.3 データ・フラッシュ領域の書き換えを参照してください)
- [] 消去中にデータ・フラッシュ領域を読み出すことはできません。(詳細は, 25.3.3 データ・フラッシュ領域の書き換えを参照してください)
- [] ブロック消去/セクタ消去は, FLASHCON レジスタの FERS ビット/FSERS ビットに 1 を設定する命令の次には NOP 命令を 2 個置いてください。(詳細は, 25.3.3 データ・フラッシュ領域の書き換えを参照してください)
- [] データ・フラッシュ書き込み中も CPU はプログラム処理を継続します。書き込み中に STOP モード, STOP-D モード, もしくは HALT-H モードに移行しないでください。また, FLASHSLF レジスタの FSELF ビットは書き込み終了後に“0”(消去/書き込み禁止)に設定してください。(詳細は, 25.3.3 データ・フラッシュ領域の書き換えを参照してください)
- [] 書き込み中にデータ・フラッシュ領域を読み出すことはできません。(詳細は, 25.3.3 データ・フラッシュ領域の書き換えを参照してください)
- [] 書き込みデータ設定は, FLASHD0L レジスタに書き込みデータを設定する命令の次には NOP 命令を 2 個置いてください。(詳細は, 25.3.3 データ・フラッシュ領域の書き換えを参照してください)
- [] 使用時のシステムクロック:
高速クロックに設定してください。
高速クロックの発振許可, システムクロックの切り替えについては, 「第 6 章 クロック発生回路」を参照してください。(詳細は, 25.3.4 セルフ・プログラミング使用時の注意を参照してください)
- [] 使用中に電源の瞬断, またはリセットによる強制終了が発生した場合:
フラッシュ・メモリのデータは保証されません。
再度, ブロック消去またはセクタ消去を行い, 書き込んでください。
(詳細は, 25.3.4 セルフ・プログラミング使用時の注意を参照してください)
- [] プログラム領域の 0:0000 番地を含むブロックまたはセクタの書き換え中に電源の瞬断や強制終了が発生し, LSI が起動しなくなった場合:
オンチップデバッグエミュレータ(または ISP 機能)を用いて, 再度, プログラムを書き込んでください。(詳細は, 25.3.4 セルフ・プログラミング使用時の注意を参照してください)
- [] UART 通信にはボーレート誤差のほかに, 信号波形の鈍りなどが影響するため, 評価のうえ使用してください。(詳細は, 25.4.2 通信方式を参照してください)
- [] プログラム・コード領域の書き込みは, 4 バイト単位です。アドレスの下位 4 ビットは, 4 バイト境界 (0H/4H/8H/CH) を設定してください。(詳細は, 25.4.3 通信コマンドを参照してください)
- [] データ・フラッシュ領域書き込みは, 1 バイト単位です。(詳細は, 25.4.3 通信コマンドを参照してください)
- [] ISP モード移行コマンド(図 25-6 の B)から初期設定コマンド送信①の完了まで 55ms 以内に処理してください。(詳細は, 25.4.4 ISP モードへの移行コマンドを参照してください)
- [] ISP モード以外では RESET_N 端子の立ち上がりの時に TEST0 端子を“L”レベルにしないでください。(詳細は, 25.4.4 ISP モードへの移行コマンドを参照してください)
- [] 初期設定処理は 1000ms 以内に処理してください。(詳細は, 25.4.5.1 初期設定を参照してください)
- [] 消去は 500ms 以内に処理してください。(詳細は, 25.4.5.2 フラッシュ・メモリ指定領域の消去を参照してください)
- [] 書き込みは 500ms 以内に処理してください。複数アドレスを書き込む場合は, データ設定から次のアドレスのデータ設定, または初期コマンド送信⑦完了までを 500ms 以内に処理してください。(詳細は, 25.4.5.3 フラッシュ・メモリ指定領域への書き込みを参照してください)
- [] ベリファイは 500ms 以内に処理してください。複数アドレスをベリファイする場合は, データ設定から次のアドレスのデータ設定, または初期コマンド送信⑦完了までを 500ms 以内に処理してください。(詳細は, 25.4.5.4 フラッシュ・メモリ指定領域のベリファイを参照してください)

コードオプション

- [] WDTSPMD ビットは“0”に設定してください。(詳細は、26.2.1 コードオプション 0 (CODEOP0)を参照してください)
- [] コードオプションデータの定義は、必ず dw 擬似命令を使い、ワード単位で設定してください。(詳細は、26.3 コードオプションデータ設定方法を参照してください)

LCD

- [] SEGMOD0 レジスタは、表示状態で設定すると誤表示やパネル損傷のおそれがありますので表示停止状態 (DSPCON レジスタの LMD1,LMD0=00) で設定してください。(詳細は、27.2.5 セグメントモードレジスタ 0 (SEGMOD0)を参照してください)
- [] SEGMOD1 レジスタは、表示状態で設定すると誤表示やパネル損傷のおそれがありますので表示停止状態 (DSPCON レジスタの LMD1,LMD0=00) で設定してください。(詳細は、27.2.6 セグメントモードレジスタ 1 (SEGMOD1)を参照してください)
- [] SEGMOD2 レジスタは、表示状態で設定すると誤表示やパネル損傷のおそれがありますので表示停止状態 (DSPCON レジスタの LMD1,LMD0=00) で設定してください。(詳細は、27.2.7 セグメントモードレジスタ 2 (SEGMOD2)を参照してください)
- [] SEGMOD3 レジスタは、表示状態で設定すると誤表示やパネル損傷のおそれがありますので表示停止状態 (DSPCON レジスタの LMD1,LMD0=00) で設定してください。(詳細は、27.2.8 セグメントモードレジスタ 3 (SEGMOD3)を参照してください)
- [] SEGMOD4 レジスタは、表示状態で設定すると誤表示やパネル損傷のおそれがありますので表示停止状態 (DSPCON レジスタの LMD1,LMD0=00) で設定してください。(詳細は、27.2.9 セグメントモードレジスタ 4 (SEGMOD4)を参照してください)

オンチップデバッグ機能

- [] RESET_N 端子は、オンチップデバッグ機能を使用しない時はジャンパ等で V_{DD} に接続できるようにしてください。(詳細は、28.3 注意事項を参照してください)
- [] P00/TEST0 端子は、オンチップデバッグ機能を使用しない時はジャンパ等で V_{DD} に接続できるようにしてください。(詳細は、28.3 注意事項を参照してください)
- [] P00/TEST0 端子を出力モードに設定するプログラムを LSI に書き込まないでください。オンチップエミュレータがターゲットチップに読み出しもしくは書き込みする前に、P00/TEST0 が出力モードになると、それ以降、オンチップエミュレータとの通信ができなくなります。また、オンチップエミュレータ側から P00/TEST0 の入出力モードを初期化することはできませんのでご注意ください。(詳細は、28.3 注意事項を参照してください)
- [] プログラムコードの動作確認は、お客様の量産ボード上でかつオンチップエミュレータを接続しない状態で確認してください。(詳細は、28.3 注意事項を参照してください)
- [] ターゲットシステムの消費電流を測定する時は、オンチップエミュレータを取り外してください。オンチップエミュレータを接続した状態では、LSI に内蔵しているオンチップデバッグ回路が通信を開始するため、消費電流が増加します。(詳細は、28.3 注意事項を参照してください)
- [] オンチップエミュレータの 3.3VOUT 電源を使用する場合は、ターゲットシステムの電源を LSI の V_{DD} 端子に印加しないでください。双方の電源を接続すると、オンチップエミュレータが破損したり、感電、火災の恐れがあります。(詳細は、28.3 注意事項を参照してください)
- [] オンチップエミュレータを使用したフラッシュ・メモリの書き換えの際は、V_{DD} 端子にはは 3.0V～5.5V を供給してください。(詳細は、28.3 注意事項を参照してください)
- [] プログラムのデバッグに使用した LSI は商品保証対象外です。量産品には使用しないでください。(詳細は、28.3 注意事項を参照してください)
- [] オンチップデバッグモード中は、コードオプション設定に関わらず、ROM 未使用領域アクセスによるリセットは発生しません。(詳細は、28.3 注意事項を参照してください)
- [] オンチップデバッグモード中は、RAM バリティ・エラーリセットは発生しません。ブレイクが発生します。(詳細は、28.3 注意事項を参照してください)
- [] ブレイク中の各種割込みおよびウォッチドッグタイマは、常に動作を停止します。(詳細は、28.3 注意事項を参照してください)
- [] オンチップエミュレータはホスト PC、USB ケーブル、インタフェースケーブル、ターゲットシステムなどの外部環境の影響を受ける可能性があります。お客様の環境で動作確認の上ご使用ください。(詳細は、28.3 注意事項を参照してください)
- [] RESET_N 端子に外部でコンデンサを付加する場合、デバッガやフラッシュマルチライタを接続する際には、ジャンパ端子等を持たせて、RESET_N 端子からそのコンデンサを外せるようにしてください。(詳細は、28.3 注意事項を参照してください)

安全機能

- [] ML62Q1500C/1700C シリーズは CSR[3]を無視します。CSR: 0x8~0xF は 0x0~0x7 として扱われます。(詳細は、29.3.2 ROM 未使用領域アクセスリセット機能を参照してください)
- [] 図 29-5 の「オーバーフロー値の設定」では、16 ビットタイマ n のオーバーフロー時間が、ファンクショナルタイマ n のオーバーフロー時間より短くなるように設定してください。ファンクショナルタイマ n がオーバーフローしてしまうと、正確なチェックができなくなりますので、ファンクショナルタイマ n をオーバーフローさせないように注意してください。(詳細は、29.3.3 クロック相互監視機能を参照してください)

パッケージ外観図

- [] 表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。
- [] WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

応用回路例

- [] ノイズ対策のため、 V_{DDL} と V_{SS} の基板上配線については最短になるよう設計してください。(詳細は、付録 D 応用回路例を参照してください)

付録 A SFR (特殊レジスタ)

- [] 初期値が不定な SFR があることを確認してください(詳細は、付録 A を参照してください)。

データシート 電気特性**・電源回路用外付けコンデンサ**

- [] $C_L = 1.0\mu F$ (V_{DDL} 端子用), [] C_V (V_{DD} 端子用)

・動作電圧

- [] 1.6V ~ 5.5V

・動作周囲温度

- [] -40°C ~ +105°C

改版履歷

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJUL62Q1700C-01	2019.12.20	—	—	正式初版発行
FJUL62Q1700C-02	2020.07.15	—	—	FJUL62Q1000-05 (ML62Q1000 シリーズ ユーザーズマニュアル) に準拠した項目の追加・訂正・変更
FJUL62Q1700C-03	2020.10.09	5-13, 5-15, 5-17, 5-18,	5-13, 5-15, 5-17, 5-18,	[5.2.6～5.2.9] 【注意】を追加
		5-48	5-48	[5.3.8] 項の追加
		9-35	9-35	[9.2.18] FT7DTG～FT0DTG ビットの説明を更新
		17-36	17-36	[17.3.8.1] 説明を追加
		18-9	18-9	[18.2.4] 【注意】を追加
		18-13	18-13	[18.2.8] 説明の更新
		18-17	18-17	[18.3.4] 設定フローの更新
		E-*	E-*	各章の注意に合わせて更新
		-	*-*	全章の誤記訂正, 表記の統一, 説明の更新など
FJUL62Q1700C-04	2022.8.25	製品使用時の注意事項	製品使用時の注意事項	4. 製品間の相違を追加
		-	*-*	全章の誤記訂正, 表記の統一, 説明の更新など
		1-1	1-1	[1.1] 製品使用時の注意を確認する旨の注記を追加
		1-29	1-29	[1.3.3] 低速タイムベースカウンタの TBCOUT0/1 の説明追加
		1-33	1-33	[1.3.4] V_{L3} の端子処理の説明修正
		-	2-3	[2.2.2] SB/RB 命令実行時の注意事項を追加
		-	2-3	[2.2.3] リード・モディファイ・ライトの記述に関する注意を追加
		3-6	3-6	[3.2.2] RSTAT の説明に補足追加
		3-8	3-8	[3.3.1] 表 3-2 の*1 から FBTCN を削除
		4-6	4-6	[4.2.3] スタンバイモードに移行しない条件があることを追記
		4-6	4-6	[4.2.3] 複数ビット同時に設定することへの注意を削除 (新規追加項に移動したため)
		-	4-33	[4.3.11] スタンバイモード移行の注意をまとめて記載
		5-20	5-20	[5.2.11] CIL レジスタの概略説明を訂正
		6-1	6-1	[6.1] 表 6-1, [6.1.1] 表 6-2 HCLK の周波数に実際の計算値を追記
		6-21	6-21	[6.3.2.1] 【注意】を追加
		9-24	9-24	[9.2.10] FTnSTC(Bit1)の説明を訂正
		-	9-31	[9.2.14] FTnINTC レジスタの注意を追加
		11-17	11-17	[11.2.4] 計算式中のクロック名称を訂正
		11-21	11-21	[11.2.7] ビット 2 の説明の更新
		11-23	11-23	[11.2.7] SIONSTAT レジスタの SnTOER(Bit2)の誤記訂正
		11-31	11-31	[11.2.15] UARTn1 レジスタの Un1FER の説明訂正
		11-32	11-32	[11.2.15] ビット 0 の説明の更新
		11-33, 11-37	11-33, 11-37	[11.3.1.1], [11.3.1.3] 送信完了後の SOUT の状態説明を追加 [11.3.1.3] LSB ファースト時→MSB ファースト時に訂正
		11-43	11-43	[11.3.2.2] ボーレートの計算式に BRC の計算値が 8 になった場合の処置を追記
		12-9	12-9	[12.2.6] I2UM0ST ビットが 1 のときの注意を訂正
		12-10	12-10	[12.2.7] I2UM0DW1,0(Bit4,3) の低下率を訂正
		12-18	12-18	[12.2.13] I2US0SPE(Bit2)ビットの説明を訂正
		13-8	13-8	[13.2.5] I2MnST ビットが 1 のときの注意を訂正
		13-9	13-9	[13.2.6] I2MnMOD の I2MnDW1,0(Bit4,3) の低下率を訂正
		22-7	22-7	[22.2.4] 説明の更新
		B-1～B-4	B-1～B-4	パッケージ外観図の更新
		E-*	E-*	各章の注意に合わせて更新