



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

2024 年4 月1 日
ローム株式会社

RB-S22660GD32

取扱説明書

発行日 2021 年 2 月 5 日

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用したことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2020 – 2021 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>

目次

- 1. 概要 1
- 2. 取扱注意事項 1
- 3. 仕様 2
 - 3.1 EROFF ジャンパピン 2
 - 3.2 OE ジャンパピン 2
 - 3.3 IOVDD ジャンパピン 2
 - 3.4 OUT ジャンパピン 2
 - 3.5 LOUT ジャック 3
 - 3.6 SP ジャック 3
 - 3.7 AIN スルーホール 3
 - 3.8 SPVDD ジャンパ端子, EXT スルーホール 3
 - 3.9 SAD2-0 ランド 4
 - 3.10 XT1 ランド, J1 ランド 4
 - 3.11 CN1 コネクタ 5
 - 3.12 CN2 コネクタ 6
- 4. 付録 7
 - 4.1 PCB layout 7
 - 4.2 部品表／回路図 8
- 5. 改版履歴 10

1. 概要

本説明書は、ML22660（以下「音声合成 LSI」という）のリファレンスボードである RB-S22660GD32（以下「本ボード」という）の取扱説明書です。

本ボードと Sound Device Control Board 3（以下「SDCB3」という）を組み合わせることにより、以下のことを行えます。

- ML22660 デバイスによる音声再生
- シリアル・フラッシュ・メモリへの音声コードデータの書き込み

また、本ボードにフラッシュライタを接続することにより、シリアル・フラッシュ・メモリへの音声コードデータの書き込みが行えます。

2. 取扱注意事項

本ボードの取り扱い時の注意事項を以下に記載いたします。

- SDCB3 に本ボードを搭載する際には、SCDB3 の電源を切った状態で行ってください。
- 本ボードにデバイスをセットする際には、電源を切った状態で行ってください。1 ピンはソケット開口部に対して向かって左下、基板シルク▲の位置です。デバイスのセット方向を図 1 に示します。
- ML22660 デバイスの電源電圧は 2.7～3.6V / 3.3～5.5V ですが、本ボードは電源電圧 3.0V で使用します。
- LOUT ジャック、SP ジャックには、モノラルスピーカを接続してください。
- 本ボードは、研究開発の目的のため研究開発施設においてのみ使用される専門家の為のボードです。このボードは、量産製品もしくはその一部に使用することは目的としていません。
- 本書に記載された内容は、製品改善及び技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、その情報が最新のものであることをご確認ください。
- 本ボードに関するサポートはお受けしておりません。初期不良の場合に限り交換いたします。

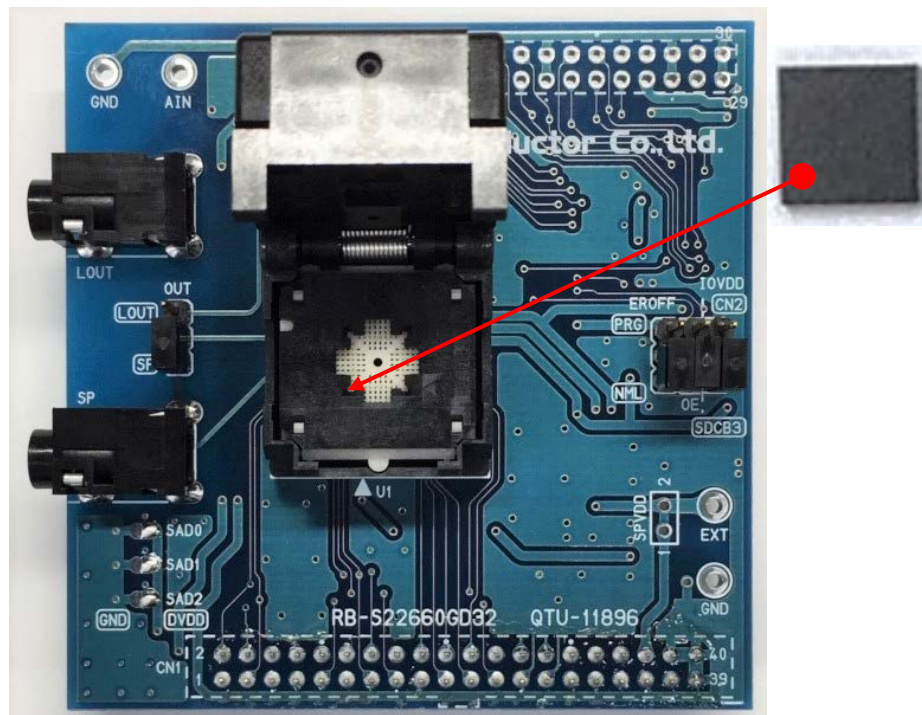


図 1 外観

3. 仕様

3.1 EROFFジャンパピン

EROFF ジャンパピンは音声合成 LSI の EROFF 端子の接続先を切り換えるジャンパピンです。

EROFF	内容
NML	EROFF 端子は CN1, CN2 に接続されます
PRG	EROFF 端子は IOVDD に接続されます

SDCB3 と接続して使用する場合は、NML 側に設定してください。EROFF 端子は SDCB3 から制御します。
本ボード単体で使用する場合は、PRG 側に設定すると音声合成 LSI のシリアル・フラッシュ・メモリインタフェースが有効になります。

3.2 OEジャンパピン

OE ジャンパピンはシリアル・フラッシュ・メモリの端子 (C, S#, DQ0, DQ1, W) への CN1 (SDCB3) の信号入出力の有効／無効を切り換えるジャンパピンです。

OE	内容
NML	有効:シリアル・フラッシュ・メモリの端子に CN1 の信号が入出力されます
PRG	無効:シリアル・フラッシュ・メモリの端子に CN1 の信号が入出力されません

SDCB3 と接続して使用する場合は、NML 側に設定してください。
本ボード単体で使用する場合は、PRG 側に設定するとシリアル・フラッシュ・メモリの端子に音声合成 LSI のシリアル・フラッシュ・メモリインタフェースまたは CN2 からの信号が入出力されます。

3.3 IOVDDジャンパピン

IOVDD ジャンパピンは音声合成 LSI の IOVDD 端子の接続先を切り換えるジャンパピンです。

IOVDD	内容
SDCB3	IOVDD 端子は本ボードに実装された LDO の出力(3.0V)に接続されます
CN2	IOVDD 端子は CN2 の 23pin に接続されます

SDCB3 と接続して使用する場合は、SDCB3 側に設定してください。
本ボード単体で使用する場合は、CN2 側に設定すると音声合成 LSI の IOVDD 端子に CN2 の 23pin から電源を供給できます。

3.4 OUTジャンパピン

OUT ジャンパピンは音声合成 LSI の SPP 端子の接続先を切り換えるジャンパピンです。

OUT	内容
LOUT	SPP 端子は LOUT ジャックに接続されます
SP	SPP 端子は SP ジャックに接続されます

3.5 LOUTジャック

LOUT ジャックは音声合成 LSI の SPP 端子からの信号がスピーカアンプを介して出力されるジャックです。

LOUT ジャックを使用する場合は、OUT ジャンパピンを LOUT 側に設定して下さい。

SDCB Controller の Play setting の Mode を Line AMP (SPP) に設定してください。(参照:Speech LSI Utility ユーザーズマニュアル)

モノラルスピーカを接続してください。

3.6 SPジャック

SP ジャックは音声合成 LSI の SPP, SPM 端子からの信号が出力されるジャックです。

SP ジャックを使用する場合は、OUT ジャンパピンを SP 側に設定して下さい。

SDCB Controller の Play setting の Mode を Speaker AMP に設定してください。(参照:Speech LSI Utility ユーザーズマニュアル)

モノラルスピーカを接続してください。

3.7 AINスルーホール

AIN スルーホールは外部から音声合成 LSI の AIN 端子に信号を入力するためのスルーホールです。

AIN スルーホールにスピーカアンプ入力信号を入力してください。

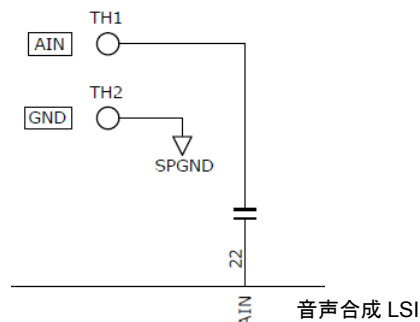


図 2 AIN スルーホール

3.8 SPVDDジャンパ端子, EXTスルーホール

SPVDD ジャンパ端子は音声合成 LSI の SPVDD 端子の接続先を切り換えるジャンパ端子です。

SDCB3 から供給する場合は、SPVDD ジャンパ端子の 1-2pin を接続してください。

外部から供給する場合は、SPVDD ジャンパ端子の 1-2pin 間のパターンをカットし、EXT スルーホールから入力してください。

SPVDD ジャンパ端子の
1-2pin 間パターンをカットする
場合はここをカットしてください。

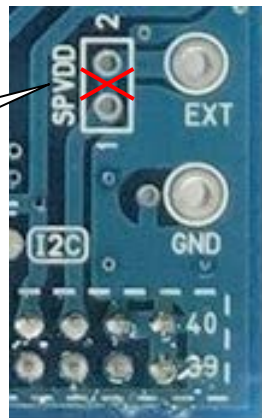


図 3 SPVDD ジャンパ端子

3.9 SAD2-0 ランド

SAD2-0 ランドは音声合成 LSI の SAD2-0 端子の設定を切り換えるランドです。
 本ボード出荷時は, DVDD に接続 (I2C スレーブアドレスが 111_0101) しています。
 SDCB3 と接続して使用する場合は, 出荷状態の DVDD に設定してください。
 任意の I2C スレーブアドレスを設定する場合は, SAD2-0 ランドの接続を変更してください。

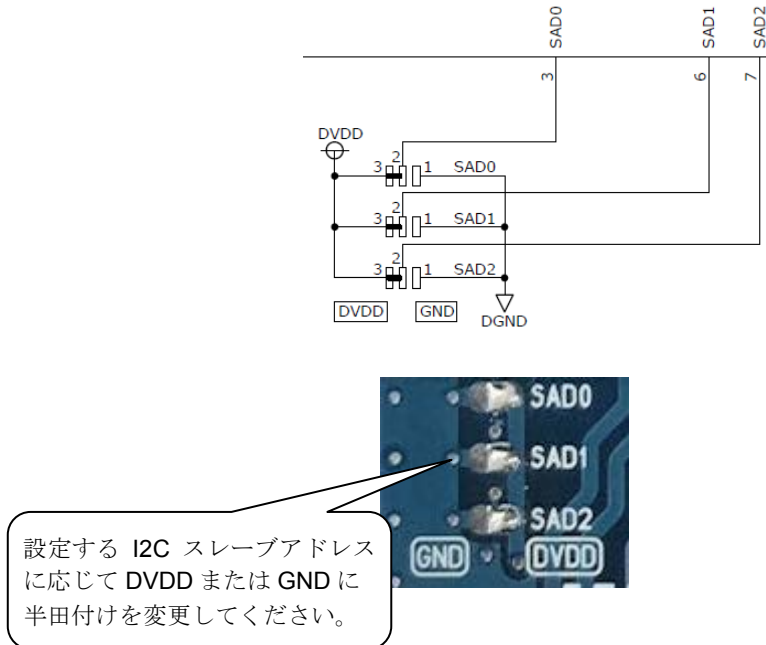


図 4 SAD2-0 ランド

3.10 XT1 ランド, J1 ランド

XT1 ランドはセラミック振動子実装用ランドです。
 音声合成 LSI のクロックにセラミック振動子を使用する場合, 部品を実装してください。
 部品が実装されていない場合, 音声合成 LSI は内蔵 RC 発振で動作します。

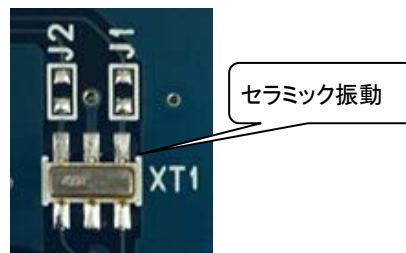


図 5 XT1 ランド

XT1 ランドのフットパターンに適合するセラミック振動子の代表例を以下に示します。

メーカー	周波数[Hz]	品名
Murata Manufacturing Co., Ltd.	4M	CSTCR4M00G55B-R0
Murata Manufacturing Co., Ltd.	4.096M	CSTCR4M09G55B-R0

J1 ランドは音声合成 LSI の XT 端子と CN2 の 28pin (XT) 間を接続するランドです。
音声合成 LSI のクロックに外部クロックを使用する場合は, J1 ランドの端子間を接続し, CN2 の 28pin (XT) から入力してください。

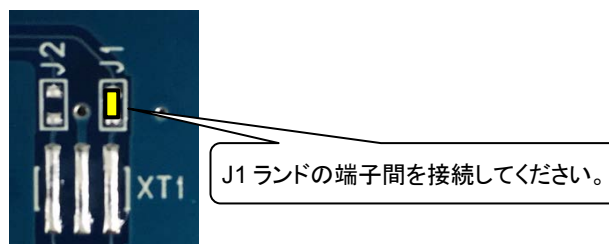


図 6 J1 ランド

3.11 CN1 コネクタ

CN1コネクタは SDCB3 との接続用コネクタです。

3.12 CN2 コネクタ

CN2 コネクタは音声合成 LSI の端子との接続用コネクタです。

CN2 Pin No	LSI		I/O		
	Pin No	Pin Name	SDCB3 接続時	単体使用時 シリアル・フラッシュ・ メモリインタフェース:有効	単体使用時 シリアル・フラッシュ・ メモリインタフェース:無効
1	19	DVDD ^{*1}	O	I	I
2	19	DVDD ^{*1}	O	I	I
3	28	RESETB	O	I	I
4	29	TEST0	O	I	I
5	30	STATUS1	O	O	O
6	31	STATUS2	O	O	O
7	32	CBUSYB	O	O	O
8	-	-	-	-	-
9	4	SCL	O	I	I
10	5	SDA	O	I/O	I/O
11	-	-	-	-	-
12	10	ERSCK ^{*4}	O	I	I
13	12	ERSO ^{*4}	O	I	I
14	11	ERSI	O	O	O
15	1, 18	DGND	-	-	-
16	1, 18	DGND	-	-	-
17	9	ERCSB	O	O	I
18	10	ERSCK	O	O	I
19	11	ERSI	O	O	O
20	12	ERSO	O	O	I
21	13	EROFF	O	O	I
22	-	-	-	-	-
23	14	IOVDD ^{*1,3}	O	I	I
24	-	-	-	-	-
25	1, 18	DGND	-	-	-
26	1, 18	DGND	-	-	-
27	16	XTB ^{*2}	O	O	O
28	17	XT ^{*2}	O	I	I
29	1, 18	DGND	-	-	-
30	1, 18	DGND	-	-	-

*1 SDCB3 に本ボードを搭載する際は、CN2 から DVDD, IOVDD を供給しないでください。

*2 J1, J2 ランドを接続した場合に音声合成 LSI の XT, XTB 端子が入出力されます。

*3 IOVDD ジャンパピンを CN2 側に設定した場合は、IOVDD を外部から供給して下さい。

*4 IOVDD ジャンパピンを SDCB3 側に設定した場合は、音声合成 LSI の端子と接続しません。CN2 側に設定した場合は、音声合成 LSI の端子と接続します。

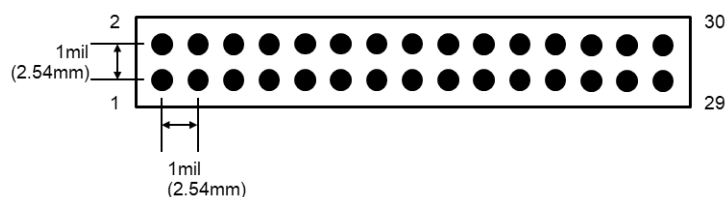


図 7 CN2 スルーホール形状

4. 付録

4.1 PCB layout

本ボードの配置図を図 8 に示します。

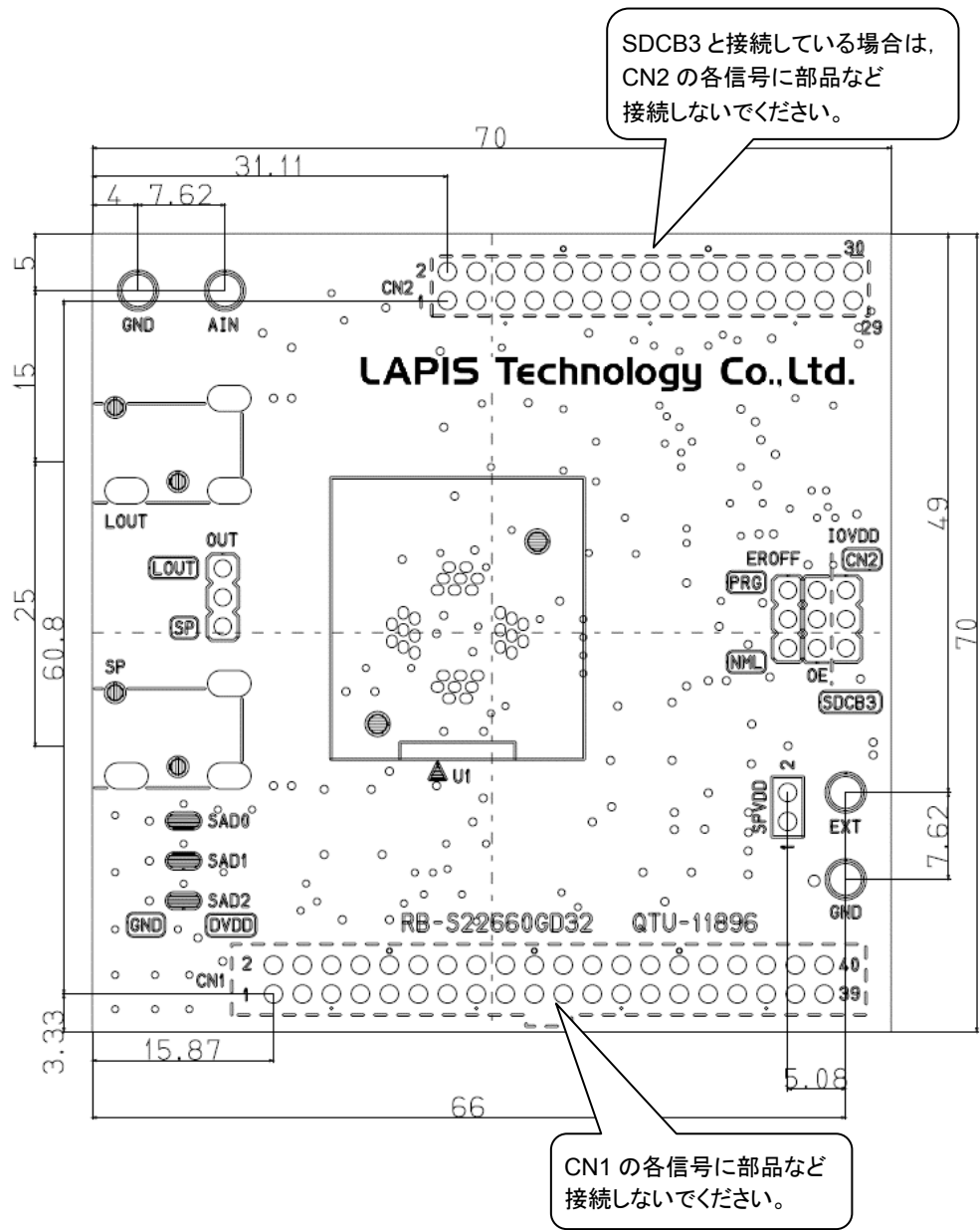
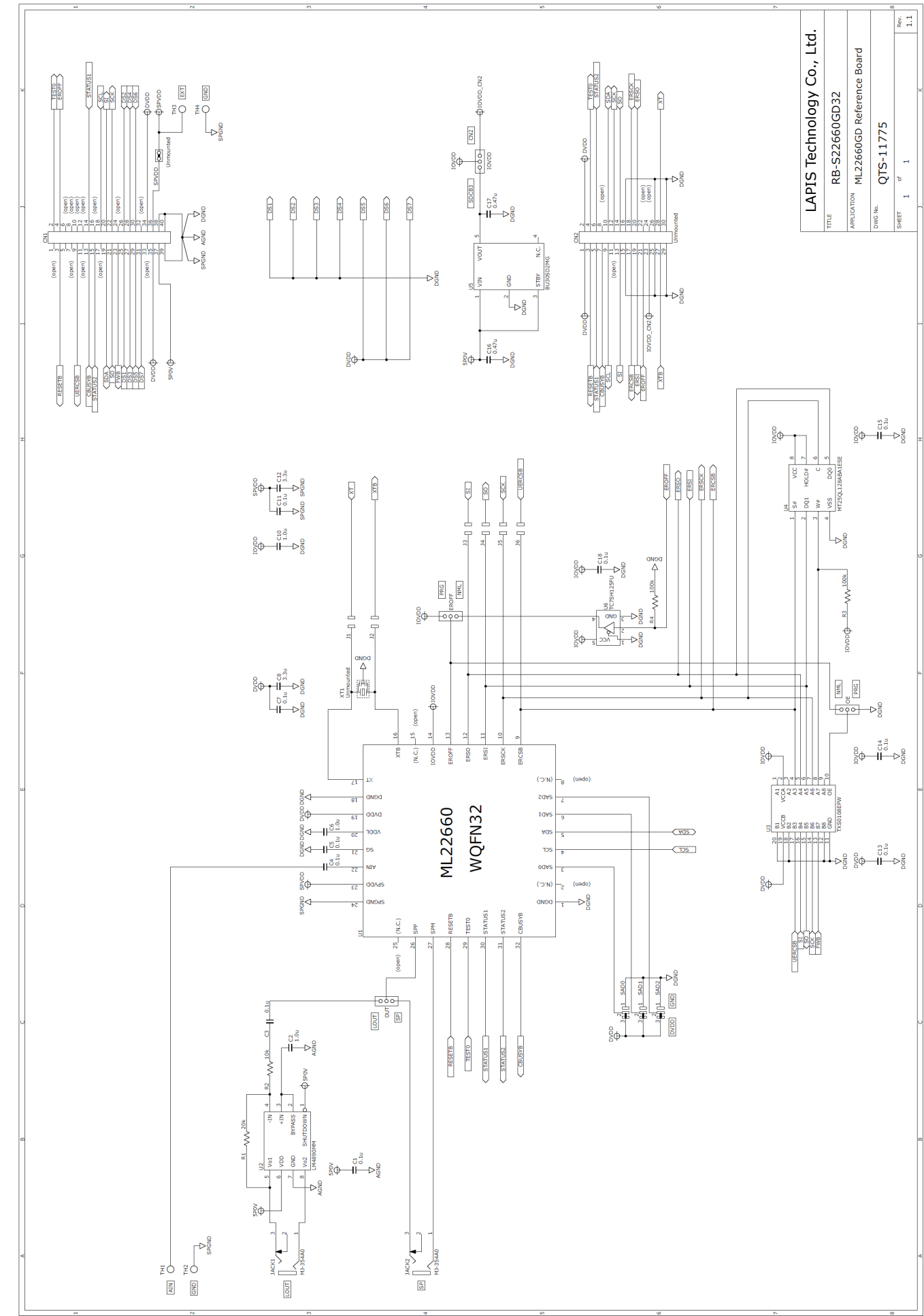


図 8 配置図

4.2 部品表／回路図

	Parts Number	Symbol	Contents	Qty.	Vendor
1	QTU-11896	RB-S22660GD32	PCB	1	LAPIS Technology Co., Ltd.
2	CGA3E2X7R1E104K080AA	C1,C3,C4,C5, C7,C11,C13,C14, C15,C18	Ceramic Capacitor 0.1μF/25V X7R	10	TDK Corporation
3	CGA3E1X7R1C474M080AC	C16,C17	Ceramic Capacitor 0.47μF/16V X7R	2	TDK Corporation
4	CGA3E1X7R1C105K080AC	C2,C6,C10	Ceramic Capacitor 1.0μF/16V X7R	3	TDK Corporation
5	C1608X5R1C335K080AC	C8,C12	Ceramic Capacitor 3.3μF/16V X5R	2	TDK Corporation
6	HIF3FB-40DA-2.54DSA(71)	CN1	40pin Receptacle	1	Hirose Electric Co., Ltd.
7	A2-3PA-2.54DSA	EROFF,OUT,IOVDD,OE	3pin Pin Header	4	Hirose Electric Co., Ltd.
8	MJ-354A0	JACK1,JACK2	2-Conductor Miniature Jack	2	MARUSHIN ELECTRIC MFG. CO., LTD.
9	MCR03EZPJ203	R1	Resistor 20kΩ ±5%	1	Rohm Co., Ltd.
10	MCR03EZPJ103	R2	Resistor 10kΩ ±5%	1	Rohm Co., Ltd.
11	MCR03EZPJ104	R3,R4	Resistor 100kΩ ±5%	2	Rohm Co., Ltd.
12	-	SAD0,SAD1,SAD2	Select pad	3	-
13	IC610-0324-007	U1	QFN P0.50 32P Socket	1	YAMAICHI ELECTRONICS Co., Ltd.
14	LM4890MM/NOPB	U2	Audio Power Amplifier	1	Texas Instruments Incorporated
15	TXS0108EPWR	U3	Voltage level translation	1	Texas Instruments Incorporated
16	MT25QL128ABA1ESE	U4	128Mb Serial NOR Flash Memory	1	Micron Technology, Inc.
17	BU30SD2MG-MTR	U5	LDO Regulator	1	Rohm Co., Ltd.
18	TC7SH125FU	U6	Bus Buffer with 3-State Output	1	Toshiba Corporation
19	HIF3GA-2.54SP	-	Short Pin	4	Hirose Electric Co., Ltd.
20	-	CN2	Unmounted	1	-
21	-	J1,J2,J3,J4,J5,J6	Unmounted	6	-
22	-	SPVDD	Unmounted	1	-
23	-	TH1,TH2,TH3,TH4	Unmounted	4	-
24	-	XT1	Unmounted	1	-



TITLE	RB-S22660GD32
APPLICATION	ML22660GD Reference Board
DWG No.	QTS-11775
SHEET	1 of 1

5. 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJBL22660GDRB-01	2020.03.09	—	—	初版発行
FJBL22660GDRB-02	2021.02.05	ご注意	ご注意	記載内容変更
				会社名をラピスセミコンダクタ株式会社からラピステクノロジー株式会社に変更
		1	1	2. 取扱注意事項 LOUT ジャック, SP ジャックにはモノラルスピーカを接続することを追加
		-	2	3.1 EROFF ジャンパピン 新規追加
				3.2 OE ジャンパピン 新規追加
				3.3 IOVDD ジャンパピン 新規追加
				3.4 OUT ジャンパピン 新規追加
		-	3	3.5 LOUT ジャック 章番号を変更 使用時の SDCB Controller の設定を追加 モノラルスピーカを接続を追加
				3.6 SP ジャック 章番号を変更 使用時の SDCB Controller の設定を追加 モノラルスピーカを接続を追加
				3.7 AIN スルーホール 章番号を変更 章名称を変更 接続図を追加
				3.8 SPVDD ジャンパ端子, EXT スルーホール 新規追加
		-	4	3.9 SAD2-0 新規追加
				3.9 XT1 ランド, J1 ランド 章番号を変更 章名称を変更 RC 発振で動作していることを追加
		-	5	3.10 CN1 コネクタ 章番号を変更
		-	6	3.11 CN2 コネクタ 章番号を変更 SDCB3 接続時, 単体使用時の入出力方向を追加
		-	7	4. 付録 新規追加
				4.1 PCB layout 章番号を変更 図 8 を変更

		-	8	4.2 部品表／回路図 章番号を変更 部品表中の会社名をラピスセミコンダクタ株式 会社からラピステクノロジー株式会社に變更
		-	9	4.2 部品表／回路図 章番号を変更 回路図中のラピスセミコンダクタ株式会社からラ ピステクノロジー株式会社に變更