お客様各位

資料中の「ラピステクノロジー」等名称の
ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

２０２４年４月１日
ローム株式会社

ROHM GROUP
LAPIS TECHNOLOGY

FJBL22Q394RBV2-01

RB-S22Q394TD20 V2
取扱説明書

発行日 2021 年 2 月 24 日

ROHM SEMICONDUCTOR

ご注意

1) 本資料の記載内容は改良などのため予告なく変更することがあります。

2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。

3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。

4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがいまして、 当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。

5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。

6) 本資料に掲載されております製品は、耐放射線設計がなされておりません。

7) 本資料に記載されております情報は、正確を期すため慎重に作成したものですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。

8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。

9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。

10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。

11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2021 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社
〒222-8575 神奈川県横浜市港北区新横浜 2-4-8
https://www.lapis-tech.com

目次

1. 概要 1
2. 取扱注意事項 1
3. 仕様 2
3.1 SPVDD ジャンパピン, EXT スルーホール 2
3.2 ジャック 2
3.3 JP1 ジャンパ端子 2
3.4 R6, R7 ランド 2
3.5 CN1 コネクタ 3
3.6 CN2 コネクタ 3
4. 付録 4
4.1 PCB layout 4
4.2 部品表／回路図 5
5. 改版履歴 7

1. 概要

本説明書は，ML22Q394 (以下「音声合成 LSI」という) のリファレンスボードである RB-S22Q394TD20 V2 (以下「本ボード」という) の取扱説明書です。

本ボードと Sound Device Control Board 3（以下「SDCB3」という）を組み合わせることにより，以下のことを行えます。

- ML22Q394 デバイスによる音声再生
- ML22Q394 デバイスへの音声コードデータの書き込み

2. 取扱注意事項

本ボードの取り扱い時の注意事項を以下に記載します。

- SDCB3 に本ボードを搭載する際には，SDCB3 の電源を切った状態で行ってください。
- 本ボードに音声合成 LSI をセットする際には，電源を切った状態で行ってください。1 ピンはソケット開口部に対して向かって左下，基板シルク▲の位置です。音声合成 LSI のセット方向を図 1 に示します。
- ML22Q394 の電源電圧は 2.0～5.5V ですが，本ボードは電源電圧 3.0～5.5V で使用します。
  SDCB3 と接続する場合は，本ボードの電源電圧は 3.0V で使用します。
- ジャックには，モノラルスピーカを接続してください。
- 本ボードは Speech LSI Tools のバージョン R3.6.0 以降で対応します。

- 本ボードは，研究開発の目的のため研究開発施設においてのみ使用される専門家の為のボードです。このボードは，量産製品もしくはその一部に使用することは目的としていません。
- 本書に記載された内容は，製品改善及び技術改良等により将来予告なしに変更することがあります。したがって，ご使用の際には，その情報が最新のものであることをご確認ください。
- 本ボードに関するサポートはお受けしておりません。初期不良の場合に限り交換いたします。

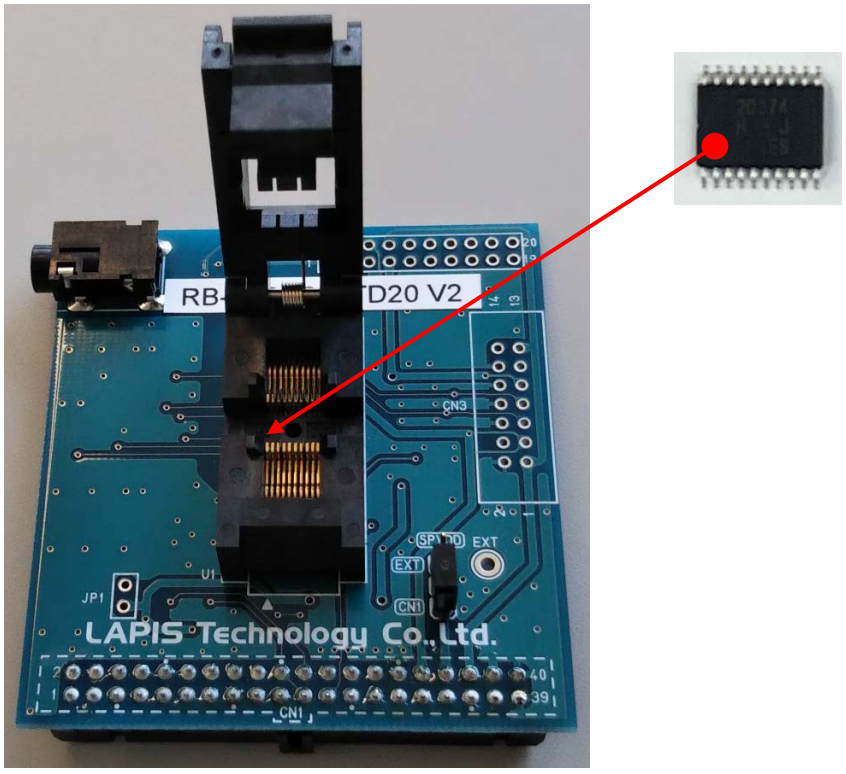


図 1 外観

3. 仕様

3.1 SPVDDジャンパピン，EXTスルーホール

SPVDD ジャンパピンは，音声合成 LSI の SPVDD 端子の接続先を切り換えるジャンパピンです。

SPVDD	内容
CN1	SPVDD 端子は CN1 の 34pin に接続します
EXT	SPVDD 端子は EXT スルーホールに接続します

SDCB3 から供給する場合は，SPVDD ジャンパピンを CN1 側に設定してください。
外部から供給する場合は，SPVDD ジャンパピンを EXT 側に設定し，EXT スルーホールから入力してください。

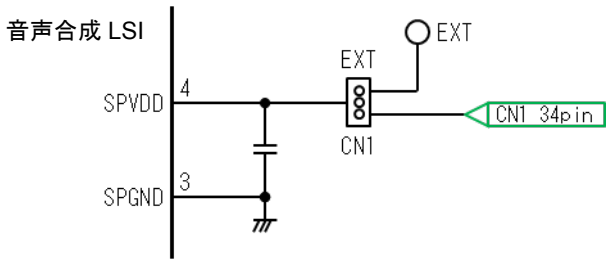


図 2 SPVDD ジャンパピン，EXT スルーホール

3.2 ジャック

ジャックは音声合成 LSI の SPP，SPM 端子からの信号が出力されるジャックです。
モノラルスピーカを接続してください。

3.3 JP1 ジャンパ端子

JP1 ジャンパ端子は音声合成 LSI の入力端子（RESET_N，TEST）への CN1（SDCB3）からの信号入力の有効／無効を切り換えるジャンパ端子です。

JP1 端子間	内容
未接続	有効：音声合成 LSI の入力端子に CN1 から信号が入力されます
接続	無効：音声合成 LSI の入力端子に CN1 から信号が入力されません

SDCB3 と接続して使用する場合は，JP1 ジャンパ端子の 1-2pin は未接続にしてください。
単体で使用する場合は，JP1 ジャンパ端子の 1-2pin を接続してください。
本ボード出荷時は JP1 ジャンパ端子の端子間は未接続です。

3.4 R6，R7 ランド

R6 は音声合成 LSI の BUSYB 端子のプルアップ抵抗実装用ランドです。
R7 は音声合成 LSI の BUSYB 端子のプルダウン抵抗実装用ランドです。
本ボード出荷時は R6，R7 は未実装です。

音声合成 LSI の BUSYB 端子は Code Option の設定により端子状態を COMS 出力，Nch オープンドレイン出力，Pch オープンドレイン出力，Hi-Z 出力から選択します。Code Option は Speech LSI Utility で設定します。（参照：Speech LSI Utility ユーザーズマニュアル）
BUSYB 端子を Nch オープンドレイン出力で使用する場合は，ボード裏面の R6 に抵抗（抵抗値：10kΩ以下，サイズ：1608）を実装してください。

BUSYB 端子を Pch オープンドレイン出力で使用する場合は，ボード裏面の R7 に抵抗（抵抗値：1kΩ以下，サイズ：1608）を実装してください。

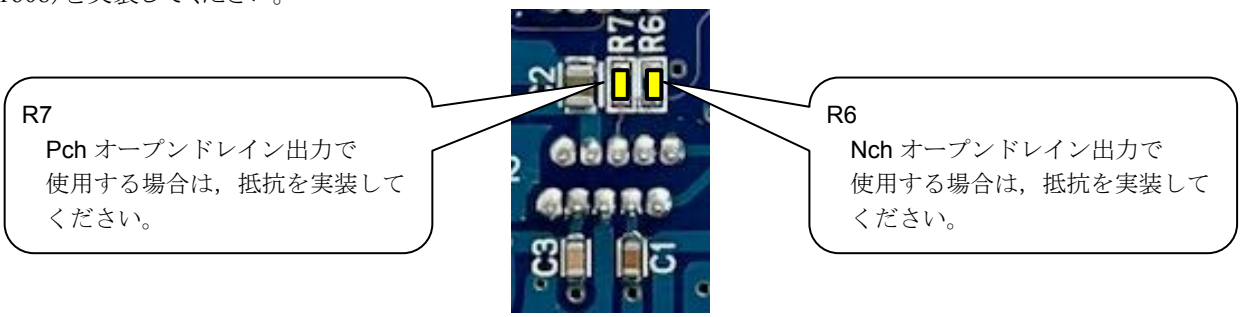


図 3 R6，R7 ランド

3.5 CN1 コネクタ

CN1 コネクタは SDCB3 との接続用コネクタです。

3.6 CN2 コネクタ

CN2 コネクタは音声合成 LSI の端子との接続用コネクタです。

CN2 Pin No	LSI		I/O	
	Pin No	Pin Name	SDCB3 接続時	単体使用時*2
1	1	SPP	O	O
2	2	SPM	O	O
3	3	SPGND	-	-
4	4	SPVDD *1	O	I
5	5	BUSYB	O	O
6	6	DGND	-	-
7	7	VDDL	O	O
8	8	DVDD *1	O	I
9	9	-	-	-
10	10	-	-	-
11	11	-	-	-
12	12	-	-	-
13	13	CSB	O	I
14	14	SDA	O	I
15	15	SCL	O	I
16	16	-	-	-
17	17	-	-	-
18	18	VPP	O	I
19	19	TEST	O	I
20	20	RESET_N	O	I

*1 SDCB3 に本ボードを搭載する際は，CN2 から DVDD，SPVDD を供給しないでください。
*2 単体使用時は，JP1 ジャンパ端子の端子間を接続してください。（参照：3.3 JP1 ジャンパ端子）

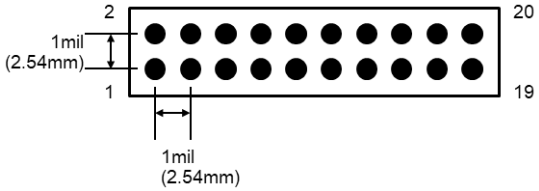


図 4 CN2 スルーホール形状

4. 付録

4.1 PCB layout

本ボードの配置図を図 5 に示します。

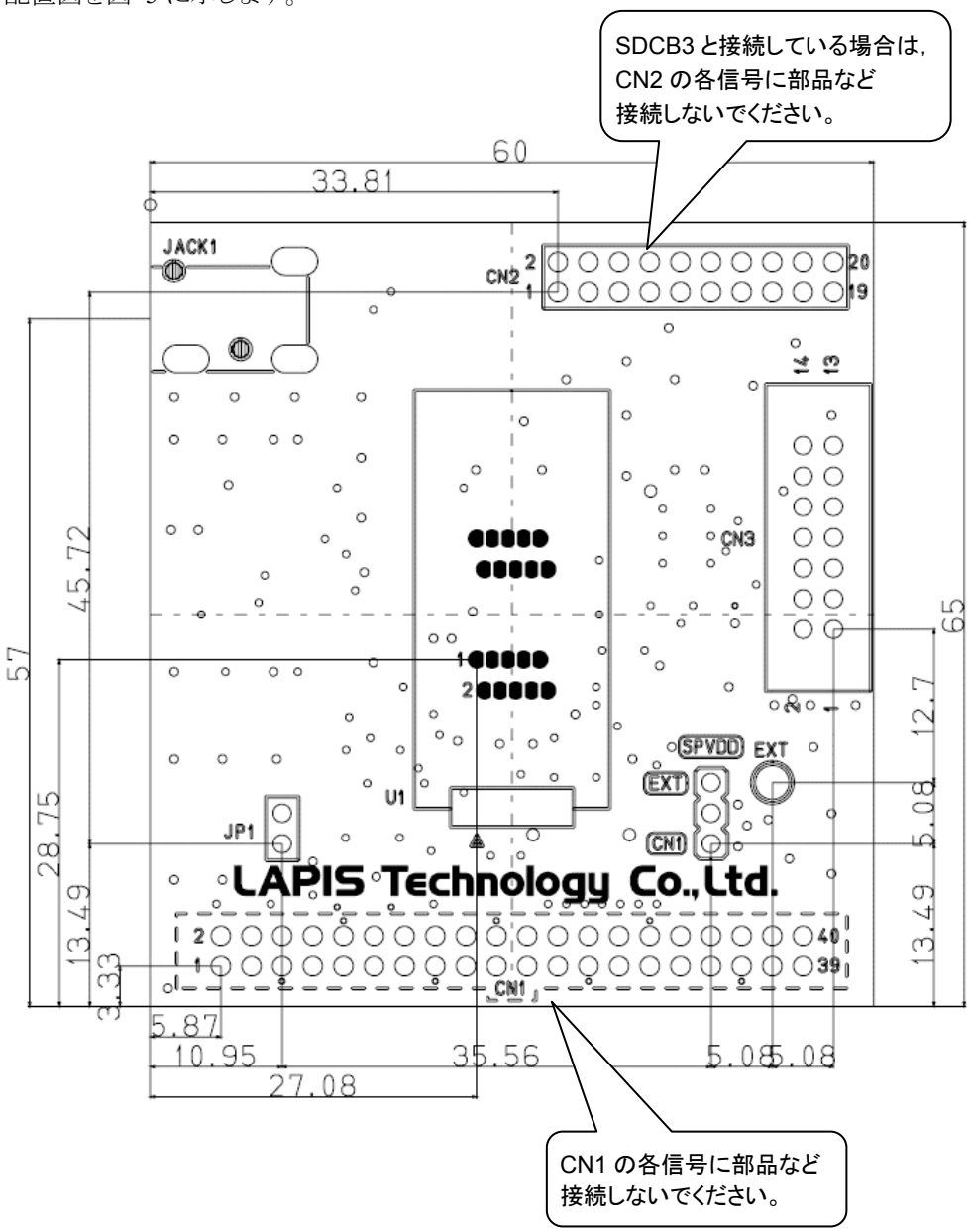
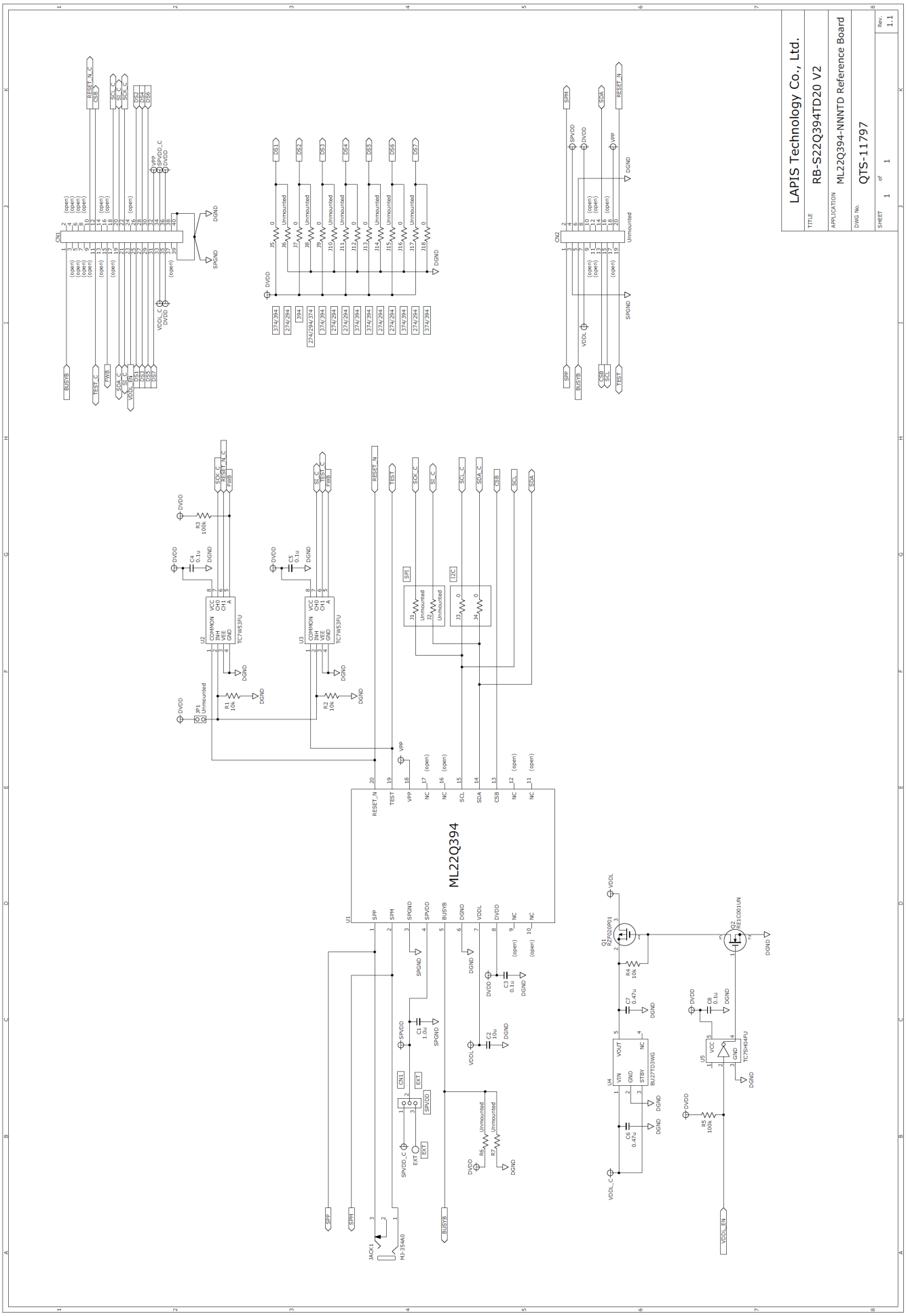


図 5 配置図

4.2 部品表／回路図

	Parts Number	Symbol	Contents	Qty.	Vendor
1	QTU-11923	RB-S22Q394TD20 V2	PCB	1	LAPIS Technology Co., Ltd.
2	CGA3E1X7R1C105K080AC	C1	Ceramic Capacitor 1.0μF/16V X7R	1	TDK Corporation
3	EMK212ABJ106KD-T	C2	Ceramic Capacitor 10uF/16V X5R	1	TAIYO YUDEN Co., Ltd.
4	CGA3E2X7R1E104K080AA	C3,C4,C5,C8	Ceramic Capacitor 0.1μF/25V X7R	4	TDK Corporation
5	CGA3E1X7R1C474K080AC	C6,C7	Ceramic Capacitor 0.47μF/16V X7R	2	TDK Corporation
6	HIF3FB-40DA-2.54DSA(71)	CN1	40pin Receptacle	1	Hirose Electric Co., Ltd.
7	-	CN2	Unmounted	1	-
8	-	CN3	Unmounted	1	-
9	-	EXT	Unmounted	1	-
10	MCR01MZPJ000	J3,J4, J5,J7,J9,J12, J13,J16,J18	Resistor 0Ω	9	ROHM Co., Ltd.
11	-	J1,J2, J6,J8,J10,J11, J14,J15,J17	Unmounted	9	-
12	MJ-354A0	JACK1	2-Conductor Miniature Jack	1	MARUSHIN ELECTRIC MFG. Co., Ltd.
13	-	JP1	Unmounted	1	-
14	RZF020P01TL	Q1	Pch MOSFET	1	ROHM Co., Ltd.
15	RE1C001UNTCL	Q2	Nch MOSFET	1	ROHM Co., Ltd.
16	MCR03EZPJ103	R1,R2,R4	Resistor 10kΩ ±5%	3	ROHM Co., Ltd.
17	MCR03EZPJ104	R3,R5	Resistor 100kΩ ±5%	2	ROHM Co., Ltd.
18	-	R6,R7	Unmounted	2	-
19	A2-3PA-2.54DSA(71)	SPVDD	3pin Pin Header	1	Hirose Electric Co., Ltd.
20	IC51-0202-779	U1	TSSOP20 Socket	1	YAMAICHI ELECTRONICS Co., Ltd.
21	TC7W53FU	U2,U3	2-Channel Multiplexer/Demultiplexer	2	Toshiba Corporation
22	BU27TD3WG-TR	U4	LDO Regulators	1	ROHM Co., Ltd.
23	TC7SH04FU	U5	Inverter	1	Toshiba Corporation
24	HIF3GA-2.54SP	-	Short Pin	1	Hirose Electric Co., Ltd.


LAPIS Technology Co., Ltd.
TITLE
RB-S22Q394TD20 V2
APPLICATION
ML22Q394-NNNTD Reference Board
DWG No.
QTS-11797
SHEET
1 of 1
Rev.
1.1
ML22Q394
U1
U2
TC7W53FU
U3
TC7W53FU
U4
BU27TD3WG
U5
TC7SH04FU
Q1
RZF020P01
Q2
RE1C001UN
JACK1
MJ-354A0
CN1
CN2
CN3
JP1
Unmounted
DVDD
DGND
SPVDD
SPGND
VDDL
VDDL_C
VPP
BUSYB
TEST_C
FWE
SCK_C
SDA_C
SI_C
SCL_C
CSB
RESET_N_C
RESET_N
TEST
SCK_C
SI_C
SCL_C
SDA_C
CSB
SCL
SDA
SPF
I2C
SPP
SPM
VDDL_EN
EXT
DS1
DS2
DS3
DS4
DS5
DS6
DS7
R1 10k
R2 10k
R3 100k
R4 10k
R5
R6 100k
R7
C1 1.0u
C2 10u
C3 0.1u
C4 0.1u
C5 0.1u
C6 0.47u
C7 0.47u
C8 0.1u
J1 Unmounted
J2 Unmounted
J3 0
J4 0
J5 0
J6 Unmounted
J7 0
J8 Unmounted
J9 0
J10 Unmounted
J11 0
J12 Unmounted
J13 0
J14 Unmounted
J15 0
J16 Unmounted
J17 0
J18 0
274/394
274/294
394
274/294/374
374/394
274/294
374/394
274/294
374/394
274/294
374/394
274/294
374/394
274/294
374/394

5. 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJBL22Q394RBV2-01	2021.02.24	－	－	初版発行