

ML7414

アプリケーションノート

ハードウェア動作詳細

2 版 発行日 2022 年 6 月 27 日

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用したことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続きを行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2021 - 2022 LAPIS Technology Co., Ltd.**ラピステクノロジー株式会社**

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>

はじめに

本ユーザーズマニュアルでは低消費電力対応サブ GHz 帯 RF トランシーバ ML7414 のハードウェア動作詳細(レジスタ仕様、制御手順、動作説明等)について記述されています。

対象商品: ML7414, ML7446, ML7456

別ドキュメント「ML7446 データシート」「ML7456 データシート」で使用する以下の文言は本マニュアルでは下表に従い読み替えてご使用ください。

データシートの文言	本マニュアルの文言
RESETN_RF	RESETN
RF_SLEEP	SLEEP
GPIO_RF0	GPIO0
GPIO_RF1	GPIO1
GPIO_RF2	GPIO2
GPIO_RF3	GPIO3

関連文書

関連するマニュアルについては、別ドキュメント「関連文書・ソフト・ツール一覧」をご確認ください。

■ ML7414 データシート

表記法

分類	表記法	説明
□数値	0xnn 0bnnnn	16 進数を表します。 2 進数を表します。
□アドレス	0xnnnn_nnnn	16 進数を表します。(0xnnnnnnnnn を示します)
□単位	ワード, WORD バイト, BYTE メガ, M キロ, K (大文字) キロ, k (小文字) ミリ, m マイクロ, u ナノ, n セカンド, s (小文字)	1 ワード = 32 ビット 1 バイト = 8 ビット 10^6 $2^{10}=1024$ $10^3=1000$ 10^{-3} 10^{-6} 10^{-9} 秒
□用語	“H”レベル “L”レベル	電圧の高い側の信号レベルで、電気的特性で規定された V_{IH} 、 V_{OH} の電圧レベルを示します。 電圧の低い側の信号レベルで、電気的特性で規定された V_{IL} 、 V_{OL} の電圧レベルを示します。

●レジスタ説明図

読み書き属性: R は読み出し可能、W は書き込み可能なことを表します。

MSB: 8 ビットのレジスタ(メモリ)の最上位ビット

LSB: 8 ビットのレジスタ(メモリ)の最下位ビット

目次

はじめに.....	2
関連文書.....	2
表記法	3
目次	4
■LSI 調整項目と調整方法	12
●PA の調整	12
●I/Q の調整	13
●VCO の調整	15
○VCO 下限周波数の設定	18
○VCO 上限周波数の設定	19
●電力検出値(ED 値)の調整	20
●発振回路の調整	21
●送受信周波数の調整	22
■その他の設定	23
●初期化設定	23
●BER 測定時の設定	23
●WIRELESS M-BUS モード設定	23
●IEEE802.15.4G モード設定	24
■フローチャート	26
●電源投入時	27
(1) 初期化フロー	27
●送信/受信共通	28
(1) RF 状態遷移待ち	28
●送信時	31
(1) DIO モード	31
(2) FIFO モード (64byte 以下の場合)	32
(3) FIFO モード (65byte 以上の場合)	33
(4) 自動送信時 (64byte 以下の場合)	34
●受信時	35
(1) DIO モード	35
(2) FIFO モード (64byte 以下の場合)	38
(3) FIFO モード (65byte 以上の場合)	39
(4) ACK 送信	40
(5) Field チェック	41
(6) CCA の実行	42
(7) 高速電波チェックモード	45
(8) ED-SCAN	46
(9) アンテナダイバーシティ	47
●SLEEP	48
(1) SLEEP	48
(2) ウェイクアップタイム	49
●エラー発生時の処理	50
(1) Sync エラー	50
(2) 送信 FIFO アクセスエラー	51
(3) PLL ロック外れ検出	52
■タイムチャート	54
●起動時	54
●送信時	56
●受信時	57

●送信から受信への移行.....	58
●受信から送信への移行.....	58
●IDLE から SLEEP への移行.....	59
●送信/受信状態から SLEEP への移行.....	59
●SLEEP から IDLE への移行.....	60
●高速電波チェックモード時.....	61
■レジスタ.....	63
●レジスタ一覧.....	63
BANK0.....	64
BANK1.....	67
BANK2.....	69
BANK3.....	69
BANK6.....	69
BANK7.....	69
BANK10.....	71
●レジスタ BANK0.....	73
0x00【BANK_SEL】.....	73
0x01【RST_SET】.....	74
0x02【CLK_SET1】.....	75
0x03【CLK_SET2】.....	76
0x04【PKT_CTRL1】.....	77
0x05【PKT_CTRL2】.....	78
0x06【DRATE_SET】.....	79
0x07【DATA_SET1】.....	80
0x08【DATA_SET2】.....	81
0x09【CH_SET】.....	81
0x0A【RF_STATUS_CTRL】.....	82
0x0B【RF_STATUS】.....	83
0x0C【DIO_SET】.....	84
0x0D【INT_SOURCE_GRP1】.....	85
0x0E【INT_SOURCE_GRP2】.....	86
0x0F【INT_SOURCE_GRP3】.....	87
0x10【INT_EN_GRP1】.....	88
0x11【INT_EN_GRP2】.....	89
0x12【INT_EN_GRP3】.....	89
0x13【CRC_ERR_H】.....	90
0x14【CRC_ERR_M】.....	91
0x15【CRC_ERR_L】.....	92
0x16【STATE_CLR】.....	93
0x17【TXFIFO_THRH】.....	94
0x18【TXFIFO_THRL】.....	94
0x19【RXFIFO_THRH】.....	95
0x1A【RXFIFO_THRL】.....	95
0x1B【C_CHECK_CTRL】.....	96
0x1C【M_CHECK_CTRL】.....	97
0x1D【A_CHECK_CTRL】.....	97
0x1E【C_FIELD_CODE1】.....	98
0x1F【C_FIELD_CODE2】.....	98
0x20【C_FIELD_CODE3】.....	98
0x21【C_FIELD_CODE4】.....	98
0x22【C_FIELD_CODE5】.....	99
0x23【M_FIELD_CODE1】.....	99
0x24【M_FIELD_CODE2】.....	99
0x25【M_FIELD_CODE3】.....	99
0x26【M_FIELD_CODE4】.....	100

0x27【A_FIELD_CODE1】	100
0x28【A_FIELD_CODE2】	100
0x29【A_FIELD_CODE3】	100
0x2A【A_FIELD_CODE4】	101
0x2B【A_FIELD_CODE5】	101
0x2C【A_FIELD_CODE6】	101
0x2D【SLEEP/WU_SET】	102
0x2E【WUT_CLK_SET】	103
0x2F【WUT_INTERVAL_H】	104
0x30【WUT_INTERVAL_L】	104
0x31【WU_DURATION】	104
0x32【GT_SET】	105
0x33【GT_CLK_SET】	106
0x34【GT1_TIMER】	106
0x35【GT2_TIMER】	107
0x36【CCA_IGNORE_LVL】	108
0x37【CCA_LVL】	108
0x38【CCA_ABORT】	108
0x39【CCA_CTRL】	109
0x3A【ED_RSLT】	110
0x3B【IDLE_WAIT_H】	110
0x3C【IDLE_WAIT_L】	111
0x3D【CCA_PROG_H】	111
0x3E【CCA_PROG_L】	112
0x3F【PREAMBLE_SET】	112
0x40【VCO_VTRSLT】	112
0x41【ED_CTRL】	113
0x42【TXPR_LEN_H】	114
0x43【TXPR_LEN_L】	114
0x44【POSTAMBLE_SET】	114
0x45【SYNC_CONDITION1】	115
0x46【SYNC_CONDITION2】	115
0x47【SYNC_CONDITION3】	115
0x48【2DIV_CTRL】	116
0x49【2DIV_RSLT】	116
0x4A【ANT1_ED】	117
0x4B【ANT2_ED】	117
0x4C【ANT_CTRL】	118
0x4D【MON_CTRL】	119
0x4E【GPIO0_CTRL】	120
0x4F【GPIO1_CTRL】	121
0x50【GPIO2_CTRL】	122
0x51【GPIO3_CTRL】	123
0x52【EXTCLK_CTRL】	124
0x53【SPI/EXT_PA_CTRL】	125
0x54【CHFIL_BW】	126
0x55【DC_I_ADJ_H】	126
0x56【DC_I_ADJ_L】	126
0x57【DC_Q_ADJ_H】	127
0x58【DC_Q_ADJ_L】	127
0x59【DC_FIL_ADJ】	127
0x5A【IQ_MAG_ADJ_H】	128
0x5B【IQ_MAG_ADJ_L】	129
0x5C【IQ_PHASE_ADJ_H】	129
0x5D【IQ_PHASE_ADJ_L】	130

0x5E【IQ_ADJ_WAIT】	130
0x5F【IQ_ADJ_TARGET】	130
0x60【DEC_GAIN】	131
0x61【IF_FREQ】	131
0x62【OSC_ADJ1】	132
0x63【OSC_ADJ2】	132
0x64【Reserved】	133
0x65【OSC_ADJ4】	133
0x66【RSSI_ADJ】	133
0x67【PA_REG_ADJ_H】	134
0x68【PA_REG_ADJ_L】	134
0x69【Reserved】	135
0x6A【CHFIL_BW_CCA】	135
0x6B【CHFIL_BW_OPTION】	135
0x6C【DC_FIL_ADJ2】	136
0x6D【DEC_GAIN_CCA】	136
0x6E【VCO_CAL】	137
0x6F【VCO_CAL_START】	137
0x70【CLK_CAL_SET】	138
0x71【CLK_CAL_TIME】	138
0x72【CLK_CAL_H】	139
0x73【CLK_CAL_L】	139
0x74【Reserved】	139
0x75【SLEEP_INT_CLR】	140
0x76【RF_TEST_MODE】	140
0x77【STM_STATE】	141
0x78【FIFO_SET】	142
0x79【RX_FIFO_LAST】	143
0x7A【TX_PKT_LEN_H】	143
0x7B【TX_PKT_LEN_L】	143
0x7C【WR_TX_FIFO】	144
0x7D【RX_PKT_LEN_H】	144
0x7E【RX_PKT_LEN_L】	144
0x7F【RD_FIFO】	145
●レジスタ BANK1	146
0x00【BANK_SEL】	146
0x01【CLK_OUT】	147
0x02【TX_RATE_H】	147
0x03【TX_RATE_L】	147
0x04【RX_RATE1_H】	148
0x05【RX_RATE1_L】	148
0x06【RX_RATE2】	148
0x07【Reserved】	149
0x08【OSC_W_SEL】	149
0x09-0x0A【Reserved】	149
0x0B【PLL_LOCK_DETECT】	150
0x0C-0x0D【Reserved】	150
0x0E【GAIN_HOLD】	151
0x0F【RSSI_STABLE_RES】	151
0x10【GC_MODE_DIV】	151
0x11【Reserved】	152
0x12【RSSI_STABLE_TIME】	152
0x13【RSSI_MAG_ADJ】	153
0x14【Reserved】	153
0x15【AFC/GC_CTRL】	154

0x16【CRC_POLY3】	155
0x17【CRC_POLY2】	155
0x18【CRC_POLY1】	155
0x19【CRC_POLY0】	155
0x1A【PLL_DIV_SET】	156
0x1B【TXFREQ_I】	156
0x1C【TXFREQ_FH】	156
0x1D【TXFREQ_FM】	157
0x1E【TXFREQ_FL】	157
0x1F【RXFREQ_I】	157
0x20【RXFREQ_FH】	158
0x21【RXFREQ_FM】	158
0x22【RXFREQ_FL】	158
0x23【CH_SPACE_H】	159
0x24【CH_SPACE_L】	159
0x25【SYNC_WORD_LEN】	159
0x26【SYNC_WORD_EN】	160
0x27【SYNCWORD1_SET0】	160
0x28【SYNCWORD1_SET1】	160
0x29【SYNCWORD1_SET2】	161
0x2A【SYNCWORD1_SET3】	161
0x2B【SYNCWORD2_SET0】	161
0x2C【SYNCWORD2_SET1】	161
0x2D【SYNCWORD2_SET2】	162
0x2E【SYNCWORD2_SET3】	162
0x2F【FSK_CTRL】	163
0x30【GFSK_DEV_H】	163
0x31【GFSK_DEV_L】	164
0x32【FSK_DEV0_H/GFIL0】	164
0x33【FSK_DEV0_L/GFIL1】	165
0x34【FSK_DEV1_H/GFIL2】	165
0x35【FSK_DEV1_L/GFIL3】	166
0x36【FSK_DEV2_H/GFIL4】	166
0x37【FSK_DEV2_L/GFIL5】	167
0x38【FSK_DEV3_H/GFIL6】	167
0x39【FSK_DEV3_L】	168
0x3A【FSK_DEV4_H】	168
0x3B【FSK_DEV4_L】	168
0x3C【FSK_TIM_ADJ4】	169
0x3D【FSK_TIM_ADJ3】	169
0x3E【FSK_TIM_ADJ2】	169
0x3F【FSK_TIM_ADJ1】	170
0x40【FSK_TIM_ADJ0】	170
0x41【4FSK_DATA_MAP】	170
0x42【FREQ_ADJ_H】	171
0x43【FREQ_ADJ_L】	171
0x44-0x47【Reserved】	171
0x48【2DIV_MODE】	172
0x49【2DIV_SEARCH1】	173
0x4A【2DIV_SEARCH2】	173
0x4B【2DIV_FAST_LVL】	173
0x4C【Reserved】	174
0x4D【VCO_CAL_MIN_I】	174
0x4E【VCO_CAL_MIN_FH】	175
0x4F【VCO_CAL_MIN_FM】	175

0x50【VCO_CAL_MIN_FL】	175
0x51【VCO_CAL_MAX_N】	176
0x52【VCAL_MIN】	176
0x53【VCAL_MAX】	177
0x54-0x55【Reserved】	177
0x56【DEMOD_SET0】	178
0x57【DEMOD_SET1】	178
0x58【DEMOD_SET2】	179
0x59【DEMOD_SET3】	179
0x5A-0x5B【Reserved】	180
0x5C【DEMOD_SET6】	180
0x5D【DEMOD_SET7】	180
0x5E【DEMOD_SET8】	180
0x5F【DEMOD_SET9】	181
0x60【DEMOD_SET10】	181
0x61【DEMOD_SET11】	181
0x62【ADDR_CHK_CTR_H】	182
0x63【ADDR_CHK_CTR_L】	182
0x64【WHT_INIT_H】	182
0x65【WHT_INIT_L】	183
0x66【WHT_CFG】	183
0x67-0x7A【Reserved】	183
0x7B【TX_RATE2_EN】	183
0x7C【TX_RATE2_H】	184
0x7D【TX_RATE2_L】	184
0x7E【Reserved】	184
0x7F【ID_CODE】	184
●レジスタ BANK2	185
0x00【BANK_SEL】	185
0x01-0x3F【Reserved】	185
0x40【VTUNE_COMP_ON】	185
0x41-0x75【Reserved】	185
0x76【GAIN_HHTOH】	186
0x77【GAIN_HTOHH】	186
0x78【GAIN_HTOM】	186
0x79【GAIN_MTOH】	187
0x7A【GAIN_MTOL】	187
0x7B【GAIN_LTOM】	188
0x7C【RSSI_ADJ_H】	188
0x7D【RSSI_ADJ_M】	188
0x7E【RSSI_ADJ_L】	189
0x7F【Reserved】	189
●レジスタ BANK3	190
0x00【BANK_SEL】	190
0x01-0x22【Reserved】	190
0x23【2MODE_DET】	190
0x24-0x40【Reserved】	190
0x41【RAMP_CTRL1】	191
0x42【RAMP_CTRL2】	191
0x43【RAMP_CTRL3】	192
0x44-0x4F【Reserved】	192
0x50【EXT_WU_CTRL】	193
0x51【EXT_WU_INTERVAL】	193
0x52-0x7F【Reserved】	193
●レジスタ BANK6	194

0x00【BANK_SEL】.....	194
0x01【MOD_CTRL】.....	194
0x02-0x7A【Reserved】.....	194
0x7B【BPSK_PLL_CTRL】.....	195
0x7C【BPSK_P_START_H】.....	195
0x7D【BPSK_P_START_L】.....	195
0x7E【BPSK_P_HOLD_H】.....	195
0x7F【BPSK_P_HOLD_L】.....	195
●レジスタ BANK7.....	196
0x00【BANK_SEL】.....	196
0x01【DIFF_ENC_CTRL】.....	196
0x02-0x7F【Reserved】.....	196
●レジスタ BANK10.....	197
0x00【BANK_SEL】.....	197
0x01【BPSK_STEP_CTRL】.....	197
0x02【BPSK_STEP_CLK_SET】.....	197
0x03【Reserved】.....	197
0x04【BPSK_STEP_SET0】.....	198
0x05【BPSK_STEP_SET1】.....	198
0x06【BPSK_STEP_SET2】.....	198
0x07【BPSK_STEP_SET3】.....	199
0x08【BPSK_STEP_SET4】.....	199
0x09【BPSK_STEP_SET5】.....	199
0x0A【BPSK_STEP_SET6】.....	200
0x0B【BPSK_STEP_SET7】.....	200
0x0C【BPSK_STEP_SET8】.....	200
0x0D【BPSK_STEP_SET9】.....	201
0x0E【BPSK_STEP_SET10】.....	201
0x0F【BPSK_STEP_SET11】.....	201
0x10【BPSK_STEP_SET12】.....	202
0x11【BPSK_STEP_SET13】.....	202
0x12【BPSK_STEP_SET14】.....	202
0x13【BPSK_STEP_SET15】.....	203
0x14【BPSK_STEP_SET16】.....	203
0x15【BPSK_STEP_SET17】.....	203
0x16【BPSK_STEP_SET18】.....	203
0x17【BPSK_STEP_SET19】.....	204
0x18【BPSK_STEP_SET20】.....	204
0x19【BPSK_STEP_SET21】.....	204
0x1A【BPSK_STEP_SET22】.....	204
0x1B【BPSK_STEP_SET23】.....	205
0x1C【BPSK_STEP_SET24】.....	205
0x1D【BPSK_STEP_SET25】.....	205
0x1E【BPSK_STEP_SET26】.....	205
0x1F【BPSK_STEP_SET27】.....	206
0x20【BPSK_STEP_SET28】.....	206
0x21【BPSK_STEP_SET29】.....	206
0x22【BPSK_STEP_SET30】.....	206
0x23【BPSK_STEP_SET31】.....	207
0x24【BPSK_STEP_SET32】.....	207
0x25【BPSK_STEP_SET33】.....	207
0x26【BPSK_STEP_SET34】.....	207
0x27【BPSK_STEP_SET35】.....	208
0x28【BPSK_STEP_SET36】.....	208
0x29【BPSK_STEP_SET37】.....	208

0x2A【BPSK_STEP_SET38】	208
0x2B【BPSK_STEP_SET39】	209
0x2C【BPSK_STEP_SET40】	209
0x2D【BPSK_STEP_SET41】	209
0x2E【BPSK_STEP_SET42】	209
0x2F【BPSK_STEP_SET43】	210
0x30【BPSK_STEP_SET44】	210
0x31【BPSK_STEP_SET45】	210
0x32【BPSK_STEP_SET46】	210
0x33【BPSK_STEP_SET47】	211
0x34【BPSK_STEP_SET48】	211
0x35【BPSK_STEP_SET49】	211
0x36【BPSK_STEP_SET50】	211
0x37【BPSK_STEP_SET51】	212
0x38【BPSK_STEP_SET52】	212
0x39【BPSK_STEP_SET53】	212
0x3A【BPSK_STEP_SET54】	212
0x3B【BPSK_STEP_SET55】	213
0x3C【BPSK_STEP_SET56】	213
0x3D【BPSK_STEP_SET57】	213
0x3E【BPSK_STEP_SET58】	213
0x3F【BPSK_STEP_SET59】	214
0x40【PADRV_CTRL】	214
0x41【PADRV_ADJ1】	214
0x42【PADRV_ADJ2_H】	215
0x43【PADRV_ADJ2_L】	215
0x44【PADRV_CLK_SET_H】	216
0x45【PADRV_CLK_SET_L】	216
0x46【PADRV_UP_ADJ】	216
0x47-0x4F【Reserved】	217
0x50【PA_LEVEL_ADJ_H】	217
0x51【PA_LEVEL_ADJ_L】	218
0x52-0x7F【Reserved】	218
改版履歴	219

■LSI 調整項目と調整方法

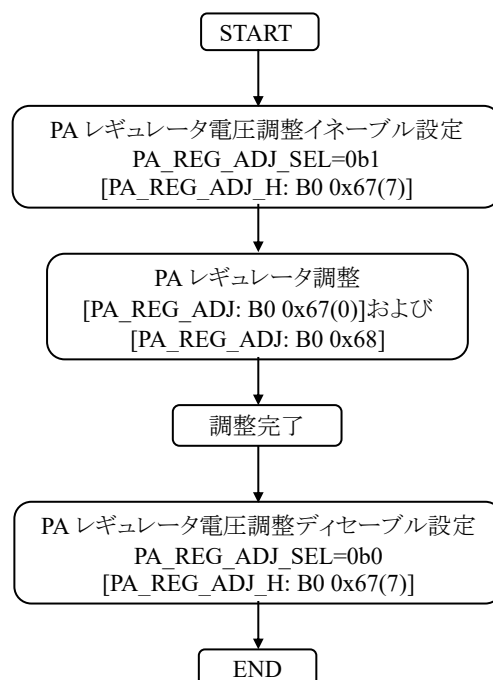
●PA の調整

本 LSI は最大 50mW 出力回路を有しており、PA レギュレータ電圧を調整することにより出力パワーを調整することが可能です。PA レギュレータ電圧は PA_REG_ADJ([PA_REG_ADJ_H/L: B0 0x67/68]) 全 511 階調にて調整可能です。ただし、PA レギュレータ電圧値は、[VDD_PA 印加電圧 - 0.3V] 以下となるように設定してください。

【出力電力調整のフロー】

○FSK の場合

PA レギュレータ電圧調整イネーブル設定(PA_REG_ADJ_SEL([PA_REG_ADJ_H: B0 0x67(7)]))を 0b1 に設定することにより、PA レギュレータ出力電圧設定(PA_REG_ADJ[8:0]([PA_REG_ADJ_H/L: B0 0x67/68]))が出力パワーに反映されます。



○PSK の場合

T.B.D

●I/Q の調整

内部 IQ 信号のバランスを調整することによりイメージ除去比を調整することができます。調整は以下の手順で実施することができます。

1. SG よりチャンネル周波数の信号を ANT 端子から入力します。

入力信号源: 無変調波

入力周波数: チャンネル周波数

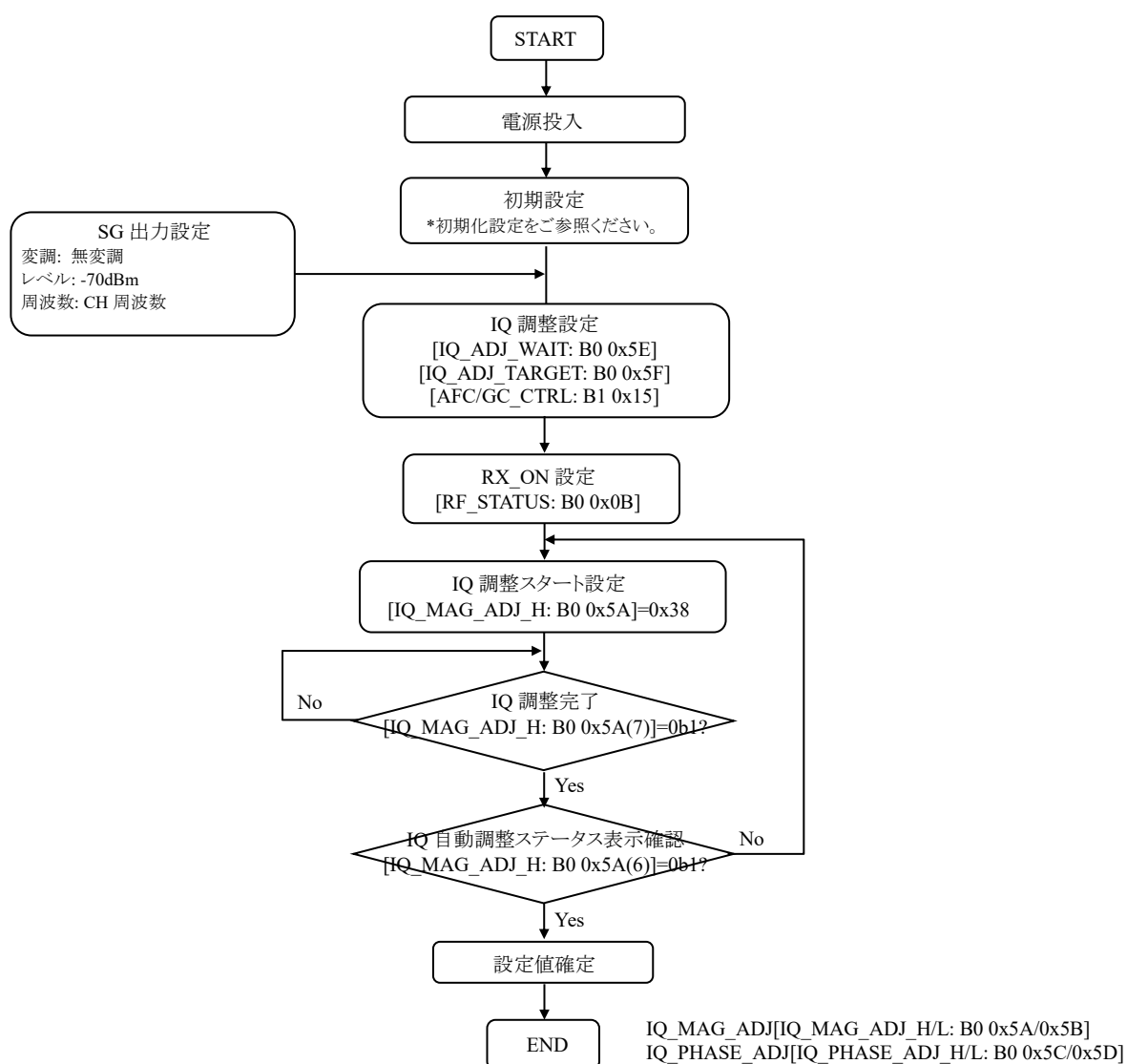
入力レベル: -70dBm

2. IQ 調整時の設定として、下記レジスタを設定します。

レジスタ名	設定値
[CHFIL_BW: B0 0x54]	0x14
[DEC_GAIN: B0 0x60]	0x0C
[IQ_ADJ_WAIT: B0 0x5E]	0x00
[IQ_ADJ_TARGET: B0 0x5F]	ご使用の条件に合わせて調整ください
[AFC/AGC_CTRL: B1 0x15]	0x02

3. RX_ON 後、IQ_ADJ_START([IQ_MAG_ADJ_H: B0 0x5A(4)])=0b1 および LOCAL_SEL([IQ_MAG_ADJ_H: B0 0x5A(5)])=0b1(Upper Local 設定)に設定し、調整開始します。
4. 調整完了を IQ_ADJ_DONE([IQ_MAG_ADJ_H: B0 0x5A(7)])=0b1 にて示します。調整完了後、調整値が確定し IQ_MAG_ADJ([IQ_MAG_ADJ_H/L: B0 0x5A/0x5B])および IQ_PHASE_ADJ([IQ_PHASE_ADJ_H/L: B0 0x5C/0x5D])に格納されます。また、IQ 自動調整の結果、調整後の RSSI 値と IQ 自動調整 RSSI 判定閾値との比較結果を IQ_ADJ_RSLT([IQ_MAG_ADJ_H: B0 0x5A(6)])に表示されます。IQ_ADJ_RSLT=0b0 を示し調整後の RSSI 値が IQ 自動調整 RSSI 判定閾値より大きい場合は、再度 IQ 調整を実施してください。
ただし、IQ 調整機構を繰り返し実施した場合であっても、必ず IQ 自動調整 RSSI 判定閾値以下となる IQ 調整値を探索できるというものではありませんのでご注意ください。

【I/Q 調整フロー】



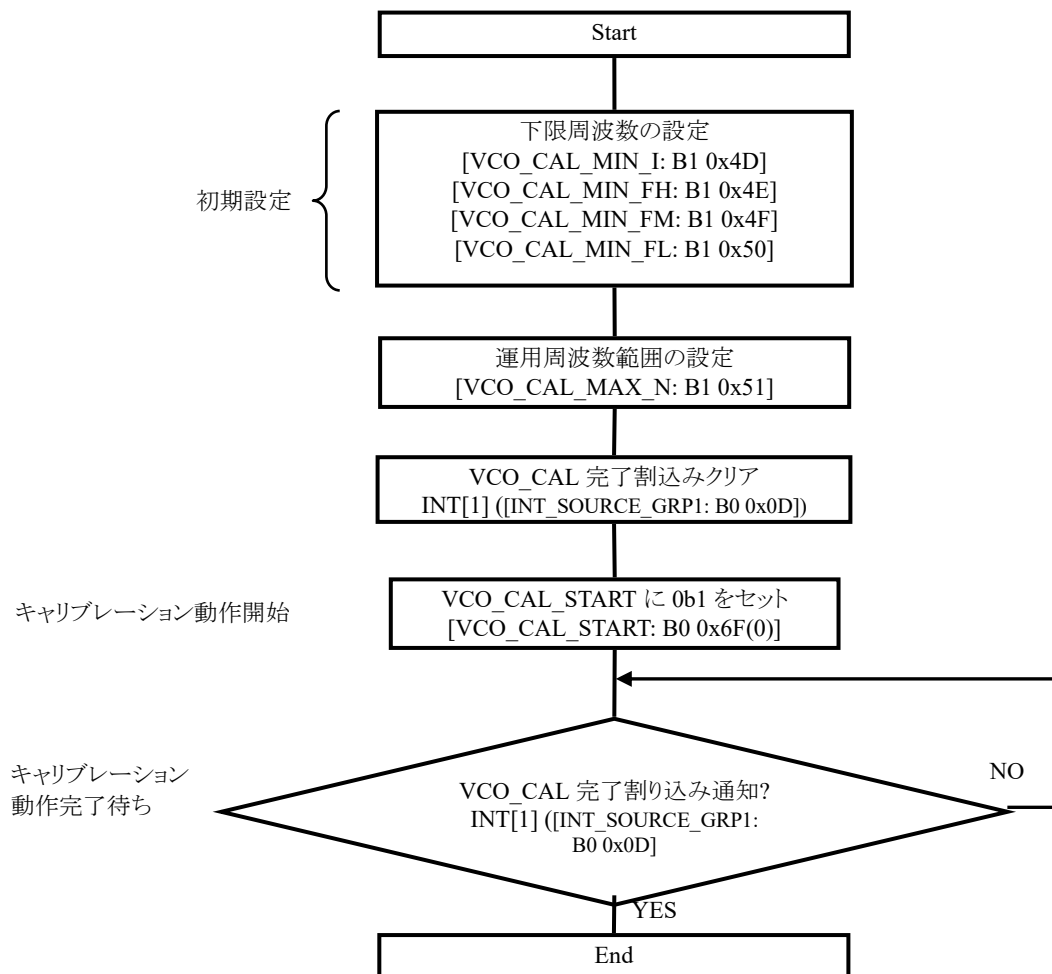
●VCO の調整

VCO 動作マージンを補償するために、設定周波数毎に最適な容量補正值を設定する必要があります。この容量補正值は VCO キャリブレーションの実行により取得することができます。

起動時やリセット時等にあらかじめ VCO キャリブレーションを実行することで、送信/受信毎に運用周波数範囲の下限/上限における 2 点の容量補正值を取得しておき、運用時にはこれらの容量補正值を元に、設定周波数での最適な容量補正值を LSI 内部で自動計算して使用します。

【VCO 調整フロー】

起動時およびリセット時の容量補正值の取得の流れを下記に示します。



【ご注意】

VCO キャリブレーションの実行は必ず IDLE 状態で行ってください。

VCO キャリブレーションの実行には 2.6ms～8.8ms が必要です。
完了後は以下のレジスタにそれぞれの条件の容量補正値が保存されます。
下限周波数での容量補正値: [VCAL_MIN: B1 0x52]
上限周波数での容量補正値: [VCAL_MAX: B1 0x53]

実際の運用時には、送受信それぞれ二つの容量補正値から、設定された周波数(チャンネル)に最適な容量補正値を計算して適用されます。計算後の値は[VCO_CAL: B0 0x6E]に表示されます。

なお、事前の評価段階で以下のレジスタの値を MCU 側のメモリで保持し、起動時やリセット時に保持した値をレジスタに設定することで、キャリブレーション動作を省略することができます。

・保持しておくべきレジスタ

[VCO_CAL_MIN_I: B1 0x4D]
[VCO_CAL_MIN_FH: B1 0x4E]
[VCO_CAL_MIN_FM: B1 0x4F]
[VCO_CAL_MIN_FL: B1 0x50]
[VCO_CAL_MAX_N: B1 0x51]
[VCAL_MIN: B1 0x52]
[VCAL_MAX: B1 0x53]

VCO キャリブレーションを行った場合であっても、キャリブレーション実行時からの温度変化により VCO 調整電圧値が VCO の最適動作範囲から外れる場合があります。本 LSI は VCO 調整電圧値が最適動作範囲外であるか否かを検出し、レジスタ表示する機能および割込みとして MCU に通知する機能を持っています。本機能は VTUNE_COMP_ON[VTUNE_COMP_ON: B2 0x40(5)]= 0b1 に設定することにより有効となります。

VCO 調整電圧下限閾値比較結果表示: VTUNE_COMP_L[VCO_VTRSLT: B0 0x40(0)]
VCO 調整電圧上限閾値比較結果表示: VTUNE_COMP_H[VCO_VTRSLT: B0 0x40(1)]
VCO 調整電圧範囲外検出割込み通知設定: VTUNE_INT_ENB[VCO_VTRSLT: B0 0x40(2)]
PLL ロック判定設定: PLL_LD_EN[PLL_LOCK_DETECT: B1 0x0B(7)]

VTUNE_COMP_L [VCO_VTRSLT: B0 0x40(0)]	VTUNE_COMP_H [VCO_VTRSLT: B0 0x40(1)]	VCO 調整電圧値の状態
0	0	最適動作範囲内
0	1	最適動作範囲外(上限以上)
1	0	最適動作範囲外(下限未満)
1	1	異常状態

VCO 調整電圧範囲外検出時の割込み通知は、PLL ロック外れ検出割込み(INT2[INT_SOURCE_GRP1: B0 0x0D(2)])にて通知します。

【ご注意】

1. 下限周波数には、実際に運用する下限周波数に対して 400kHz 以上低い値を設定してください。
2. 上限値の設定は、実際に運用する周波数範囲が完全に含まれるように設定してください。
3. チャンネル設定の変更などで、キャリブレーション実行時に設定した周波数範囲外の周波数を使用する場合は、再度適切な周波数範囲を設定して、キャリブレーションを再実行してください。
4. VCO が最適動作範囲から外れた場合、すなわち VTUNE_COMP_L/VTUNE_COMP_H のいずれかが 0b1 を示した時、その状態で RF 動作を行いますと VCO の動作マージンがなくなり、PLL ロック外れを引き起こす可能性があります。必ずキャリブレーションを再実行するか、VCO 動作マージンを確保するようキャリブレーション値を変更してください。
5. PLL ロック外れ検出割込み(INT2[INT_SOURCE_GRP1: B0 0x0D(2)])は以下の 2 つの要因により発生します。そのときの PLL ロック判定設定(PLL_LD_EN[PLL_LOCK_DETECT: B1 0x0B(7)]、それぞれの要因の検出タイミングと割込み発生後の LSI 動作の関係は以下の通りとなります。

・PLL ロック外れが発生した場合

LSI 状態	PLL ロック外れ 監視期間	PLL ロック判定設定と PLL ロック外れ検出割込み発生後の LSI 動作	
		PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b1	PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b0
送信	PA_ON="H"の期間	割込み発生し、強制送信停止	割込み発生し、送信継続
受信	RX イネーブル="H"の 期間	割込み発生し、受信継続	割込み発生し、受信継続

・VCO 調整電圧値が最適動作範囲外となった場合

LSI 状態	VCO 調整電圧値 判定タイミング	PLL ロック判定設定と PLL ロック外れ検出割込み発生後の LSI 動作	
		PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b1	PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b0
送信	PA_ON の立上り時	割込み発生し、強制送信停止	割込み発生し、送信継続
受信	RX イネーブルの 立上り時	割込み発生し、受信継続	割込み発生し、受信継続

○VCO 下限周波数の設定

VCO 下限周波数は「チャンネル周波数の設定」で示した I を[VCO_CAL_MIN_I: B0 0x4D]レジスタで設定し、 F を MSB から[VCO_CAL_MIN_FH: B1 0x4E]、[VCO_CAL_MIN_FM: B1 0x4F]、[VCO_CAL_MIN_FL: B1 0x50]レジスタの順で設定します。

N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

VCO 下限周波数設定は次式にて求められます。

$$I = \frac{f_{rf}}{f_{ref} / N_{div}} \text{ の整数部分}$$

$$F = \left\{ \frac{f_{rf}}{f_{ref} / N_{div}} - I \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで、

- f_{rf} : VCO 下限周波数(チャンネル#0 周波数 - 400kHz)
- f_{ref} : PLL リファレンス周波数(=マスタークロック周波数:F_{MCK1})
- I : 整数部周波数設定
- F : 小数部周波数設定
- N_{div} : 分周設定(1 or 2)

例) 運用下限周波数(チャンネル#0 周波数)を 920MHz で使用する場合、設定値はそれよりも 400kHz 以上低い値とする必要があるため、例では下限周波数 919.6MHz、マスタークロック周波数 36MHz、 $N_{div}=1$ とします。

$$I = \frac{919.6MHz}{(36MHz/1)} \text{ の整数部 } = 25(0x19)$$

$$F = \left\{ \frac{919.6MHz}{(36MHz/1)} - 25 \right\} \cdot 2^{20} \text{ の整数部 } = 570891(0x08B60B)$$

それぞれのレジスタへの設定値は以下の通りです。

[VCO_CAL_MIN_I: B1 0x1B] =	0x19
[VCO_CAL_MIN_FH: B1 0x1C] =	0x08
[VCO_CAL_MIN_FM: B1 0x1D] =	0xB6
[VCO_CAL_MIN_FL: B1 0x1E] =	0x0B

となります。

○VCO 上限周波数の設定

VCO 上限周波数は、下限周波数設定値と VCO_CAL_MAX_N[3:0]([VCO_CAL_MAX_N: B1 0x51(3-0)])により、下記に示す計算式にて算出されます。下式を満たす上限周波数を選択してください。

[PLL_DIV_SET: B1 0x1A]で分周設定をした場合、以下の算出式で fref を FMCK1/N_{div}として計算してください。
N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

$$\text{VCO 上限周波数} = \{\text{運用上限周波数} - (\text{運用下限周波数} - 400\text{kHz})\} \times N_{\text{div}}$$

VCO 上限周波数(VCO_CAL_MAX_N[3:0])は以下の通り設定されます。

VCO_CAL_MAX_N[3:0]	VCO 上限周波数[MHz]
0b0000	0
0b0001	1.125
0b0010	2.25
0b0011	4.5
0b0100	9
0b0101	18
0b0110	36
0b0111	72
0b1000	114.75
0b1001	144
上記以外	設定禁止

●電力検出値(ED 値)の調整

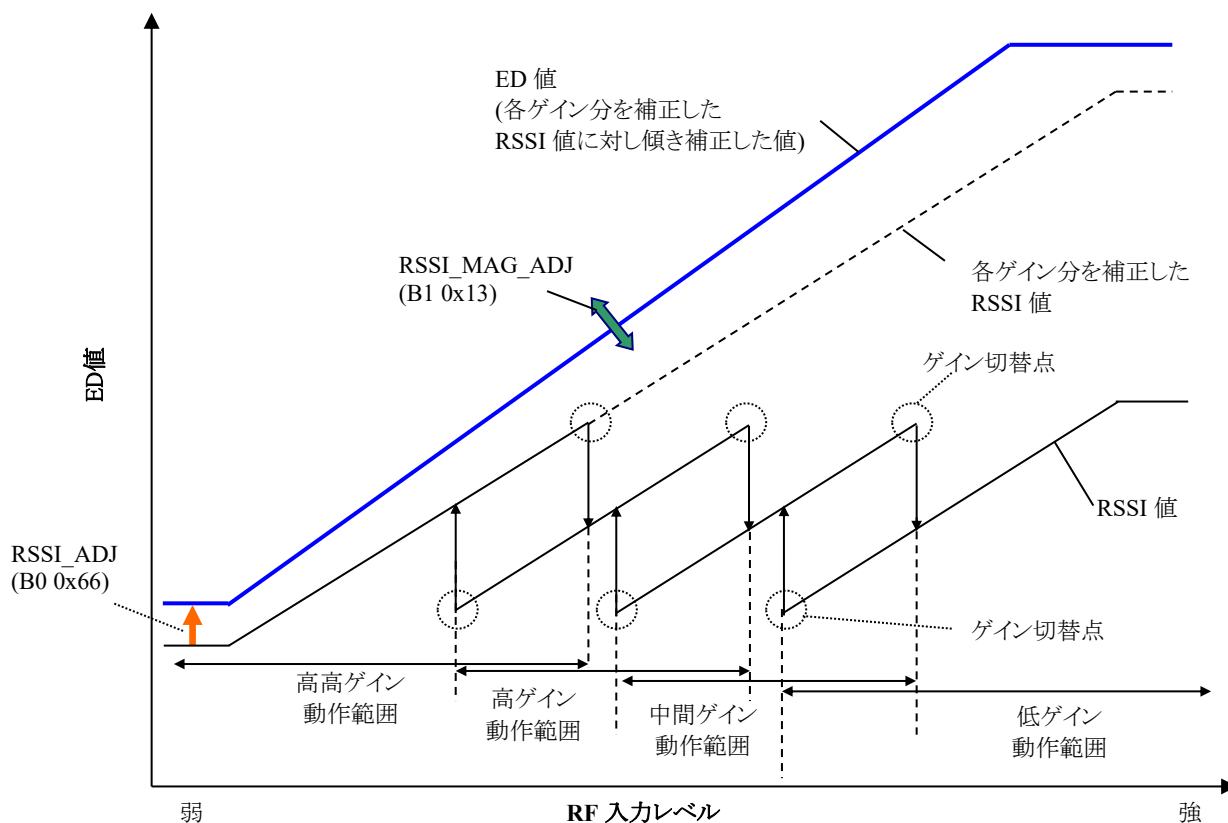
RF 信号から、本節で説明する演算を行い、ED 値として算出致します。
本調節を行うことで、個体間のバラツキを補正することが可能となります。

広い入力レンジをカバーするため、4 つのゲイン状態を切り替え、RF 入力レベルに応じた ED 値(下図の青線)を算出します。ED 値を得るため、レジスタにより以下の調整が可能です。

調整項目		レジスタ	備考
ゲイン切替点	高高ゲイン⇒高ゲイン	[GAIN_HHTOH: B2 0x76]	-
	高ゲイン⇒高高ゲイン	[GAIN_HTOHH: B2 0x77]	-
	高ゲイン⇒中間ゲイン	[GAIN_HTOM: B2 0x78]	-
	中間ゲイン⇒高ゲイン	[GAIN_MTOH: B2 0x79]	-
	中間ゲイン⇒低ゲイン	[GAIN_MTOL: B2 0x7A]	-
	低ゲイン⇒中間ゲイン	[GAIN_LTOM: B2 0x7B]	-
線形性	-	[RSSI_ADJ_H: B2 0x7C]	-
	-	[RSSI_ADJ_M: B2 0x7D]	-
	-	[RSSI_ADJ_L: B2 0x7E]	-
RSSI 傾き	-	[RSSI_MAG_ADJ: B1 0x13]	-
ED 値バラつき (同一入力レベル)	-	[RSSI_ADJ: B0 0x66]	-

[RSSI_ADJ: B0 0x66]では、同一入力レベルに対する上下バラツキを調整します。ただし、[RSSI_MAG_ADJ: B1 0x13]による傾き設定前の値に対する補正となります。なお、正の値を設定すると低入力レベル時に ED 値が 0x00 まで下がらなくなります。また、負の値を設定すると高入力レベル時に 0xFF まで上がらなくなることがあります。

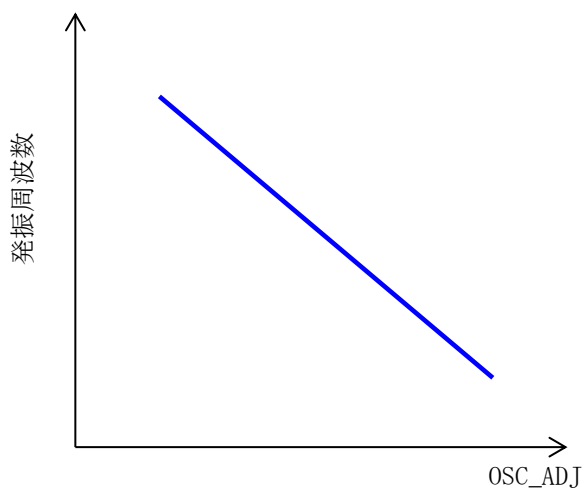
RSSI_ADJ の値はチャンネルフィルタ帯域幅および内部ゲイン設定によって変わります。従いまして、データレートまたはチャンネルフィルタ帯域設定毎に調整が必要です。なお、データレート毎の初期値については初期設定レジスタで指定する値を推奨します。ゲイン切替点については正常にゲインが切り替わらなくなる恐れがあるため、“初期設定レジスタ”で指定する値を設定し、調整用に設定を変えないでください。



●発振回路の調整

水晶振動子を使用する場合、XIN 端子(ピン#5)と XOUT 端子(ピン#6)に付く付加容量を調整することで水晶振動子の偏差を調整することができます。付加容量の調整は[OSC_ADJ1: B0 0x62]と[OSC_ADJ2: B0 0x63]を変更することで可能です。[OSC_ADJ1: B0 0x62]が粗調、[OSC_ADJ2: B0 0x63]が微調になります。

調整レジスタの値と発振周波数の関係は下図の通りです。



●送受信周波数の調整

マスタークロック偏差による送受信周波数のずれは $FREQ_ADJ_SIGN([FREQ_ADJ_H: B1\ 0x42(7)])$ および $FREQ_ADJ[9:0]([FREQ_ADJ_H/L: B1\ 0x42(1-0)/0x43])$ にて調整することができます。

N_{div} の値については、「チャネル周波数の設定」をご参照ください。

$FREQ_ADJ[9:0]$ の設定値は、下記の式で求められます。

$$FREQ_ADJ = round \left[\left\{ \frac{f_{adj}}{f_{ref} / N_{div}} \right\} \cdot 2^{20} \right]$$

ここで

$FREQ_ADJ$: 周波数ずれ調整設定

f_{adj} : 周波数ずれ調整周波数[MHz]

f_{ref} : PLL リファレンス周波数 (=マスタークロック周波数: FMCK1)

N_{div} : 分周設定(1 or 2)

$round[]$: 一番近い整数への丸め

例) 周波数ずれ調整周波数+1kHz の場合 (マスタークロック 36MHz、 $N_{div}=1$ 時)、以下のようになります。

$$FREQ_ADJ = round \left[\left\{ \frac{0.001MHz}{36MHz/1} \right\} \cdot 2^{20} \right] = 29\ (0x01D)$$

$[FREQ_ADJ_H: B1\ 0x42] = 0x80$

$[FREQ_ADJ_L: B1\ 0x43] = 0x1D$

となります。

マスタークロック偏差の調整は「発振回路の調整」によって調整することもできます。

■その他の設定

●初期化設定

初期化に必要なレジスタ設定値については、”ML7414_初期設定レジスタ”と”ML7414_RegisterSettingTool”をご参照ください。

●BER 測定時の設定

本 LSI で BER を測定する際には、被試験器(受信)側で以下のレジスタを設定変更する必要があります。

[DIO_SET: B0 0x0C]に 0x40 を設定
[MON_CTRL: B0 0x4D]に 0x80 を設定
[GPIO0_CTRL: B0 0x4F]～[GPIO3_CTRL: B0 0x52]にて DCLK/DIO 出力設定を行う
[GAIN_HOLD: B1 0x0E]に 0x00 を設定

BER 測定を完了し、受信を停止する場合は Force_TRX_OFF(SET_TRX[RF_STATUS: B0 0x0B(3-0)]を 0b0011 に設定) を実行してください。

●Wireless M-Bus モード設定

Wireless M-Bus に規定されるモード(S/T/C/R/F)設定については、”ML7414_初期設定レジスタ”をご参照ください。

●IEEE802.15.4g モード設定

IEEE802.15.4g に規定されるパケットフォーマットに対し、本 LSI で設定が必要なレジスタは以下の通りです。

○送受共通

パラメータ	レジスタ		設定値
	名称	アドレス	
同期ワード長設定	SYNCWORD_LEN	B1 0x25	0x10
同期ワードパターン設定 1	SYNCWORD1_SET0	B1 0x27	0x00
	SYNCWORD1_SET1	B1 0x28	0x00
	SYNCWORD1_SET2	B1 0x29	0x90
	SYNCWORD1_SET3	B1 0x2A	0x4E
同期ワードパターン設定 2	SYNCWORD2_SET0	B1 0x2B	0x00
	SYNCWORD2_SET1	B1 0x2C	0x00
	SYNCWORD2_SET2	B1 0x2D	0x7A
	SYNCWORD2_SET3	B1 0x2E	0x0E
Whitening 初期状態設定 1	WHT_INIT_H	B1 0x64	0x00
Whitening 初期状態設定 2	WHT_INIT_L	B1 0x65	0xF0
Whitening 生成多項式設定	WHT_CFG	B1 0x66	0x10

○送信

(1) CRC16, Whitening なしの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0x5D
Whitening 設定	DATA_SET2	B0 0x08	0x00
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0010
CRC 生成多項式	CRC_POLY3	B1 0x16	0x00
	CRC_POLY2	B1 0x17	0x00
	CRC_POLY1	B1 0x18	0x08
	CRC_POLY0	B1 0x19	0x10

(2) CRC16, Whitening ありの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0x5D
Whitening 設定	DATA_SET2	B0 0x08	0x01
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0011
CRC 生成多項式	CRC_POLY3	B1 0x16	0x00
	CRC_POLY2	B1 0x17	0x00
	CRC_POLY1	B1 0x18	0x08
	CRC_POLY0	B1 0x19	0x10

(3) CRC32, Whitening なしの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0xAD
Whitening 設定	DATA_SET2	B0 0x08	0x00
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0000
CRC 生成多項式	CRC_POLY3	B1 0x16	0x02
	CRC_POLY2	B1 0x17	0x60
	CRC_POLY1	B1 0x18	0x8E
	CRC_POLY0	B1 0x19	0xDB

(4) CRC32, Whitening ありの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0xAD
Whitening 設定	DATA_SET2	B0 0x08	0x01
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0001
CRC 生成多項式	CRC_POLY3	B1 0x16	0x02
	CRC_POLY2	B1 0x17	0x60
	CRC_POLY1	B1 0x18	0x8E
	CRC_POLY0	B1 0x19	0xDB

○受信

IEEE802_15_4G_EN[PKT_CTRL1: B0 0x04(2)]=0b1 設定することで、受信した PHR から FCS 情報、Whitening 情報を自動判定し受信します。

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0x5D/0xAD
Whitening 設定	DATA_SET2	B0 0x08	0x01/0x00

■フローチャート

カテゴリ	条件 1	条件 2	フロー名
電源投入時	-	-	(1) 初期化フロー
送信受信共通	RF 状態遷移待ち	-	(1) RF 状態遷移待ち
送信時	DIO モード	-	送信時(1) DIO モード
	FIFO モード	64 バイト以下	送信時(2) FIFO モード
		65 バイト以上(FAST_TX)	送信時(3) FIFO モード
	自動送信	-	送信時(4) 自動送信時
受信時	DIO モード	-	受信時(1) DIO モード
	FIFO モード	64 バイト以下	受信時(2) FIFO モード
		65 バイト以上	受信時(3) FIFO モード
	ACK 送信	-	受信時(4) ACK 送信
	Field チェック	-	受信時(5) Field チェック
	CCA	通常モード	受信時(6) CCA 通常モード
		無限実行モード	受信時(6) CCA 無限実行モード
		IDLE 検出モード	受信時(6) CCA IDLE 検出モード
	高速電波チェック	-	受信時(7) 高速電波チェック
	ED-SCAN	-	受信時(8) ED-SCAN
	アンテナダイバーシティ	ダイバーシティ実行	受信時(9) アンテナダイバーシティ
SLEEP	SLEEP	-	(1) SLEEP
	ウェイクアップタイマ	-	(2) ウェイクアップタイマ
エラー発生時	Sync エラー	-	(1) CRC/Sync エラー
	送信 FIFO アクセスエラー	-	(2) 送信 FIFO アクセスエラー
	PLL ロック外れ	-	(3) PLL ロック外れ
データレート変更時	-	-	(1) データレート変更

●電源投入時

(1) 初期化フロー

初期化フローでは割り込み処理、レジスタ設定、VCO キャリブレーションが必要です。

(1) 割り込み処理

初期値ではクロック安定化完了割り込み通知設定 (INT_EN[0]([INT_EN_GRP1: B0 0x10(0)])) のみイネーブル設定となっております。ハードリセット解除後はクロック安定化完了割り込み (INT[0]:割り込みグループ 1) が検出されます。

(2) レジスタ設定

① 水晶発振回路使用時

FIFO アクセスレジスタ([WR_TX_FIFO: B0 0x7C], [RD_FIFO: B0 0x7F])を除く BANK0 および BANK1 の全レジスタはクロック安定化完了割り込みが通知されるまで十分時間経過後に INT0[INT_SOURCE_GRP1: B0 0x0D(0)]をリードし、クロック安定化完了割り込み INT[0]の通知確認後、レジスタアクセスしてください。初期化に必要なレジスタ設定の詳細は、「初期設定レジスタ」をご参照ください。

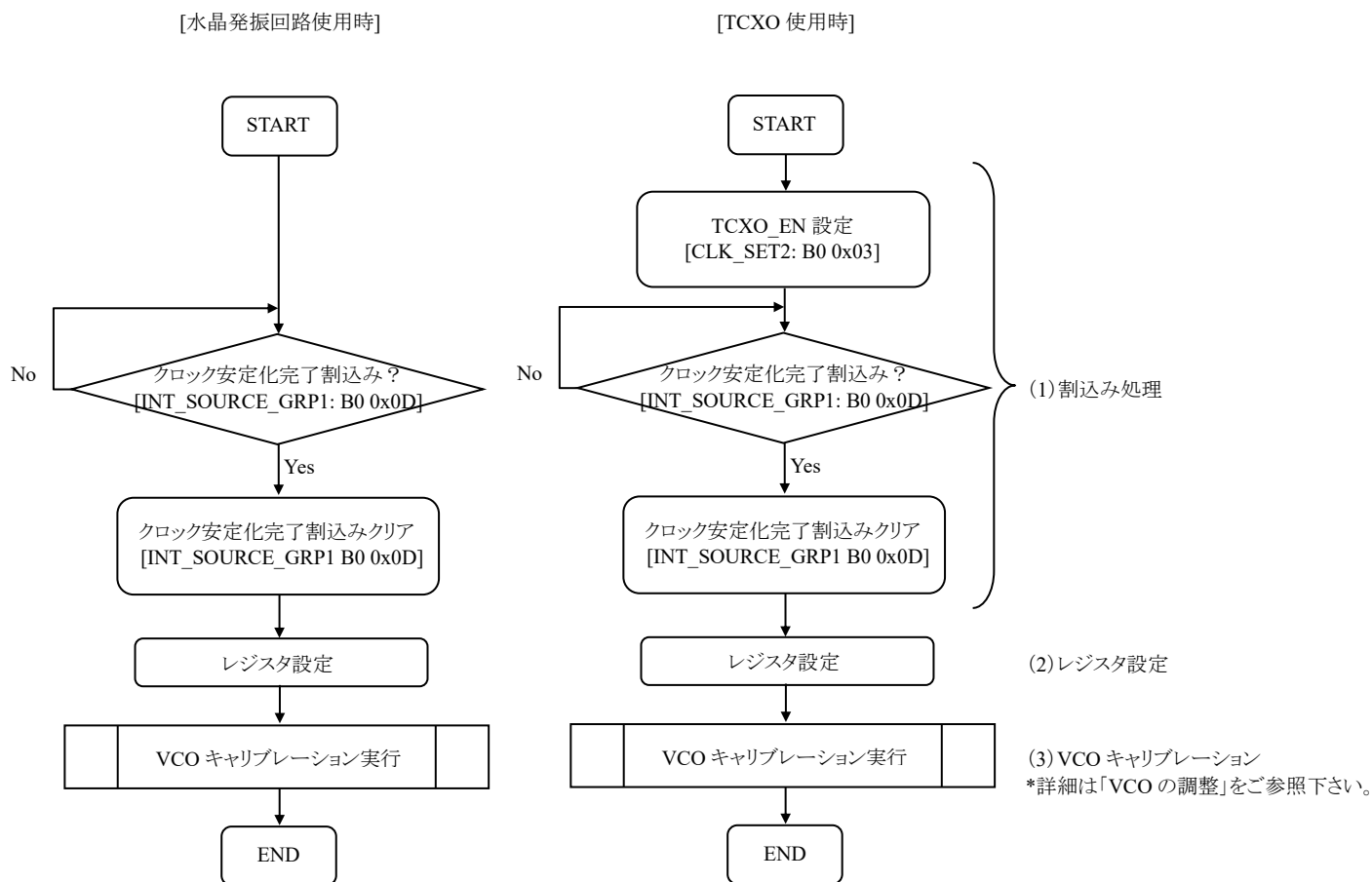
② TCXO 使用時

TCXO_EN([CLK_SET2: B0 0x03(6)])=0b1 設定後、FIFO アクセスレジスタ([WR_TX_FIFO: B0 0x7C], [RD_FIFO: B0 0x7F])を除く全レジスタはINT[0]の通知後、レジスタアクセスが可能です。初期化に必要なレジスタ設定の詳細は、「初期設定レジスタ」をご参照ください。

(3) VCO キャリブレーション

運用周波数の下限周波数と上限周波数を設定し、VCO キャリブレーションを実行します。

VCO キャリブレーションの実行方法については「VCO の調整」をご参照下さい。



●送信/受信共通

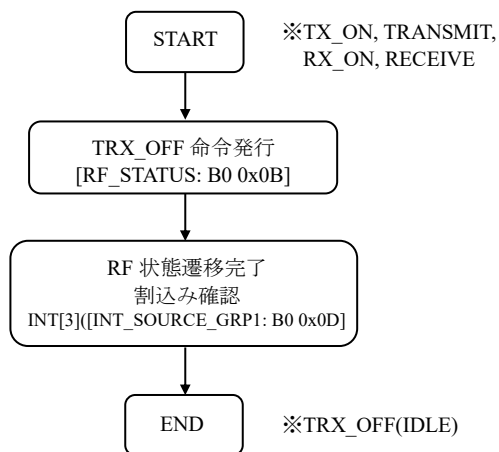
(1) RF 状態遷移待ち

以下の RF 状態が変更する設定を行った場合、その後 RF 状態遷移が完了したことを RF 状態遷移完了割り込み(INT[3]: 割り込みグループ 1)にて確認を行ってください。

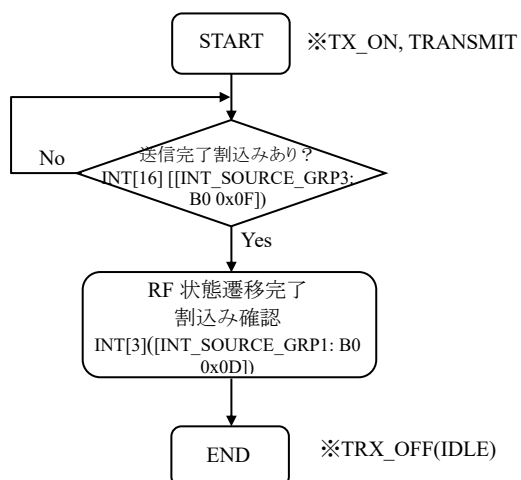
- [RF_STATUS: B0 0x0B]により RF 状態変更
- [RF_STATUS_CTRL: B0 0x0A]による RF 状態変更
 - ・FAST_TX モード設定
 - ・自動送信設定
 - ・送信完了後の RF 状態設定
 - ・受信完了後の RF 状態設定
- ウェイクアップタイマ設定による RF 状態変更

①TRX_OFF フロー

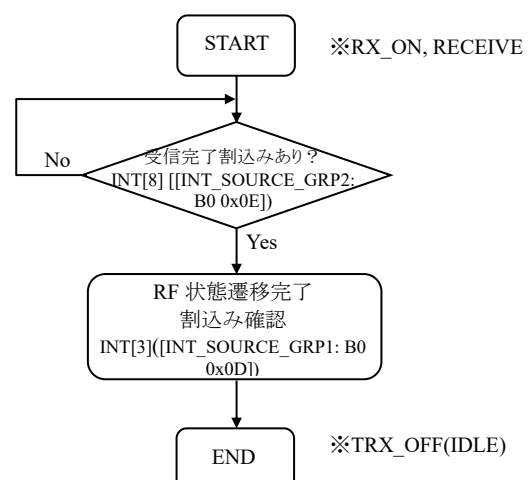
[RF_STATUS: B0 0x0B]により RF 状態変更
SET_TRX[3:0]=0b1000



[RF_STATUS_CTRL: B0 0x0A]による RF 状態変更
TXDONE_MODE[1:0]=0b00



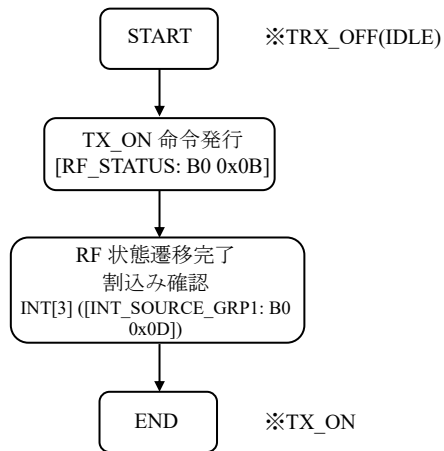
RXDONE_MODE[1:0]=0b00



②TX_ON フロー

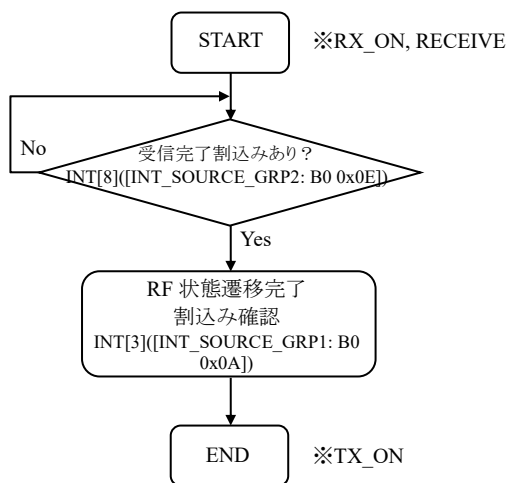
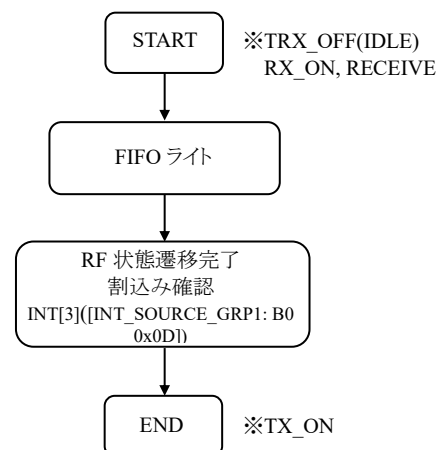
[RF_STATUS: B0 0x0B]により RF 状態変更

SET_TRX[3:0]=0b1001



[RF_STATUS_CTRL: B0 0x0A]による RF 状態変更

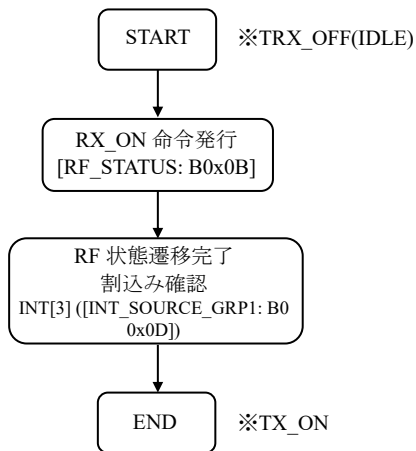
RXDONE_MODE[1:0]=0b10

FAST_TX_EN=0b1 かつ
AUTO_TX_EN=0b1

③RX_ON フロー

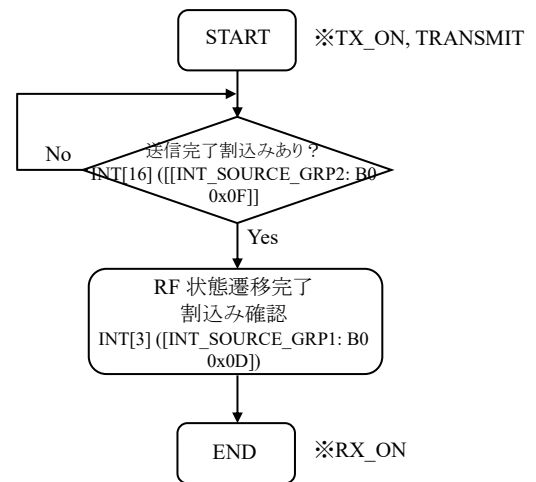
[RF_STATUS: B0 0x0B]により RF 状態変更

SET_TRX[3:0]=0b0110



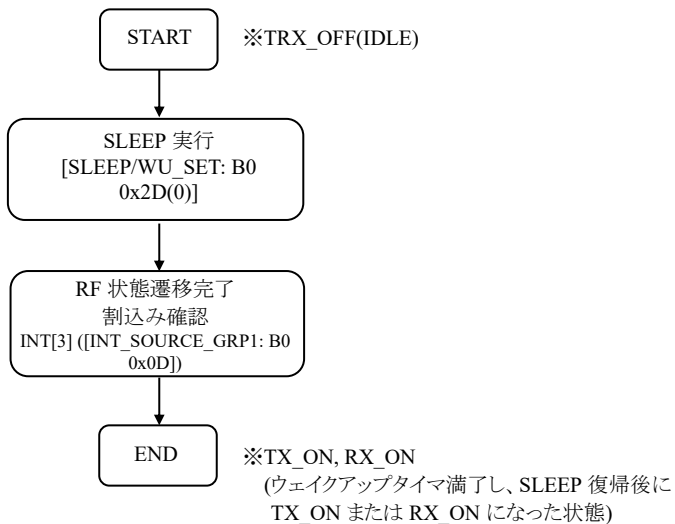
[RF_STATUS_CTRL: B0 0x0A]による RF 状態変更

TXDONE_MODE[1:0]=0b10



④ウェイクアップフロー

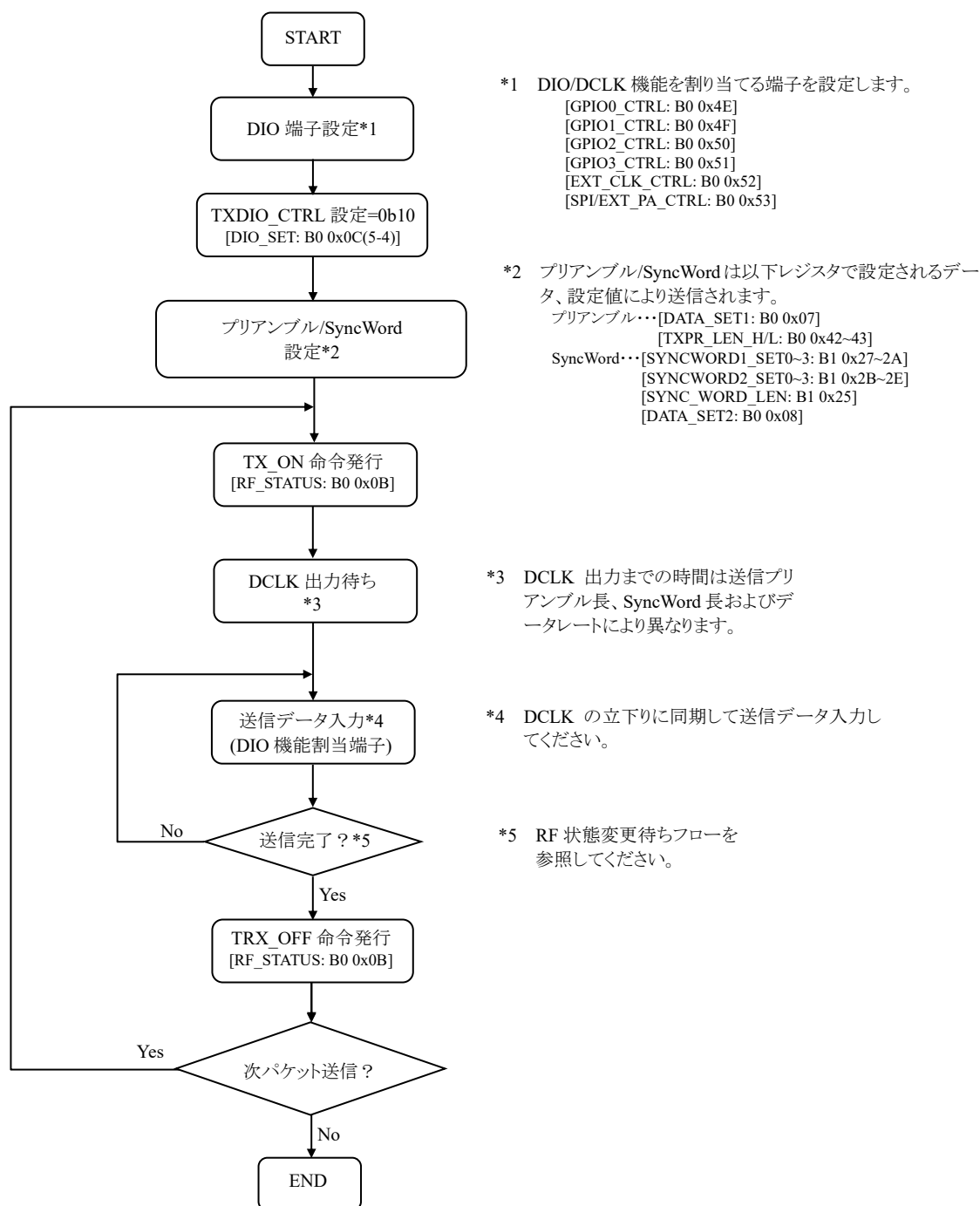
ウェイクアップ後割り込みグループ 2 の INT[13] (SyncWord 検出割込み)を待つ場合は以下の限りではありません)



●送信時

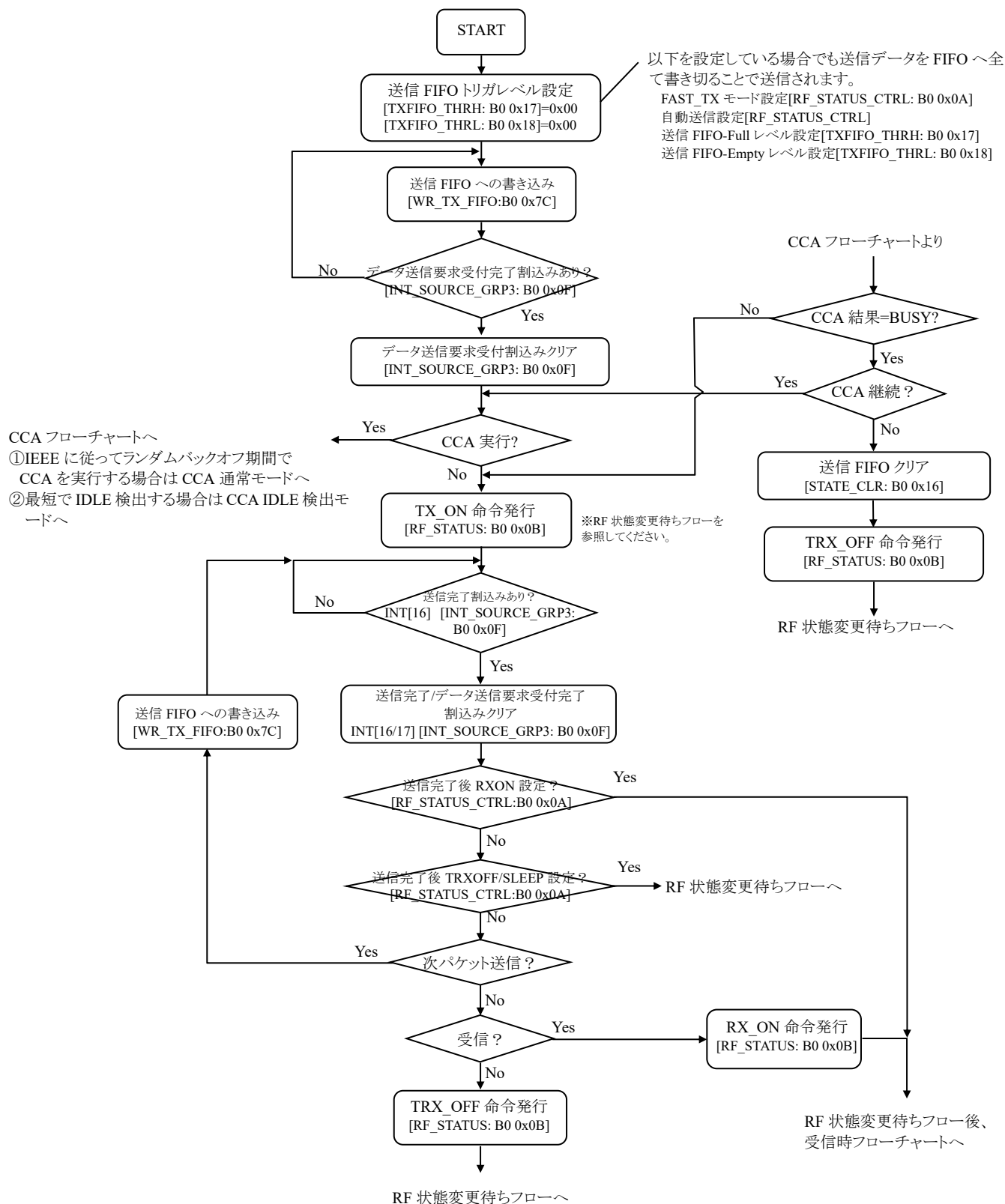
(1) DIO モード

DIO(送信)モードは、TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])=0b01 または 0b10 を書き込むことで設定できます。DIO モードで[RF_STATUS:B0 0x0B]レジスタで TX_ON 命令を発行すると、DIO 機能を割り当てた端子から入力されたデータを送信データとして Air に出力します。送信完了時は[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行します。



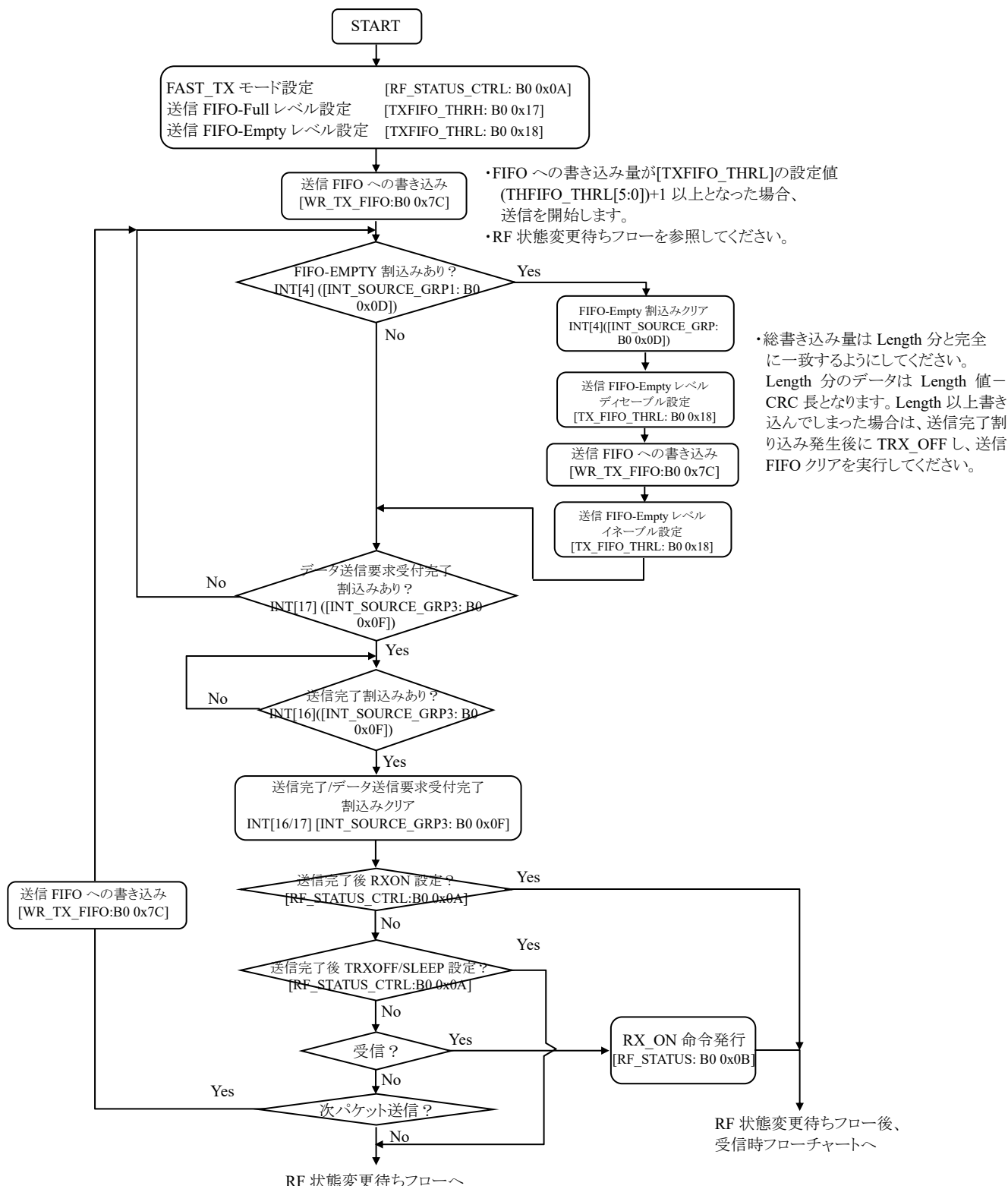
(2) FIFO モード (64byte 以下の場合)

FIFO モードは、TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])=0b00 を書き込むことで設定できます。FIFO モードではパケット毎に[WR_TX_FIFO: B0 0x7C]レジスタでデータを送信 FIFO へ書き込みます。1 パケット分のデータを送信 FIFO へ書き込み後、[RF_STATUS: B0 0x0B]レジスタでTX_ON 命令を発行します。プリアンプル/SyncWordに続き、送信 FIFO データが送信されます。送信完了割り込み(INT[16]:割り込みグループ 3)が発生したら、割り込みをクリアします。次の送信パケットを送信する場合は送信データを送信 FIFO へ書き込みます。また、送信後に受信を行う場合は[RF_STATUS: B0 0x0B]レジスタで RX_ON 命令を発行します。送信を終了する場合は TRX_OFF を発行します。



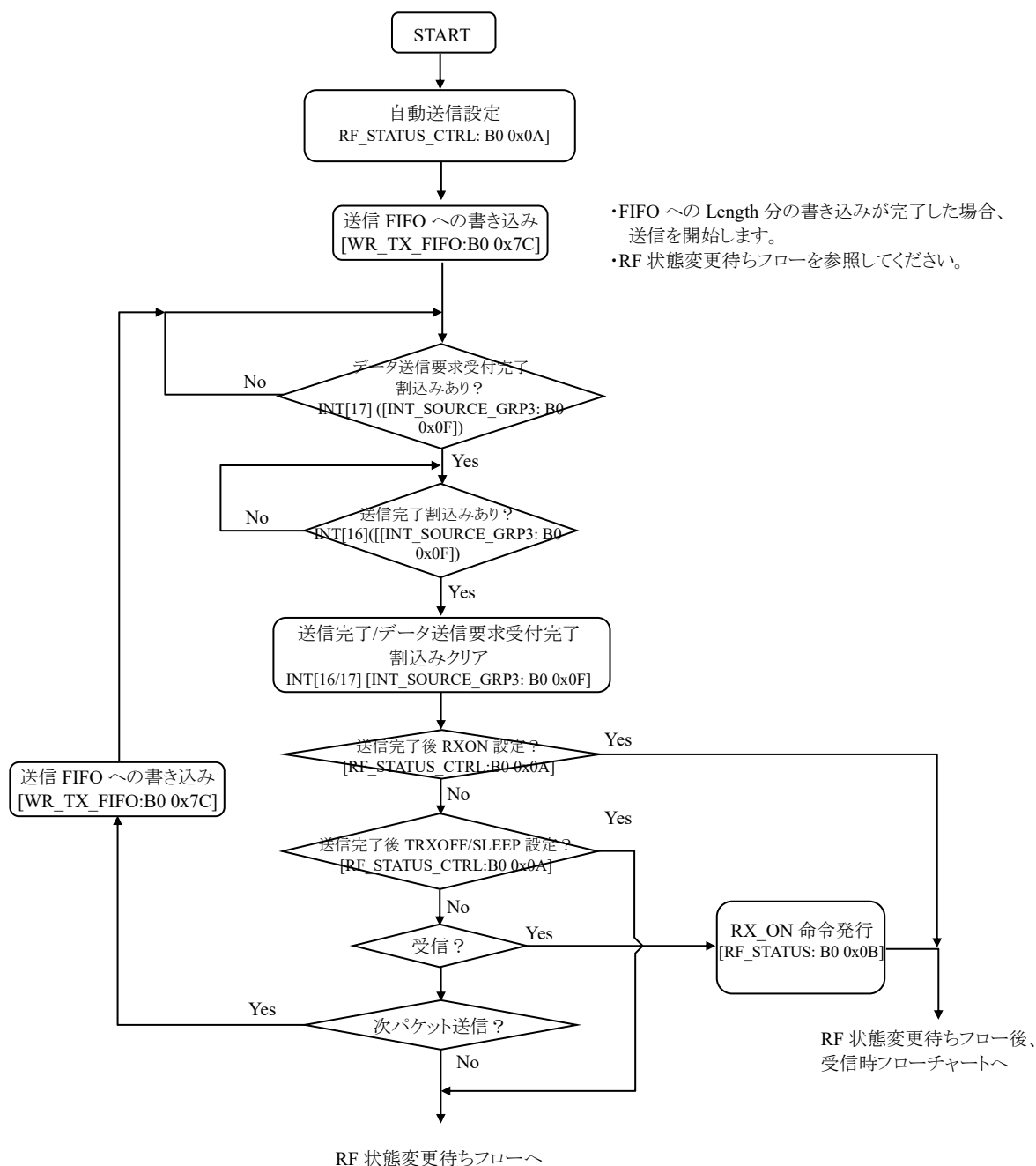
(3) FIFO モード (65byte 以上の場合)

TX_FIFO がオーバーランまたはアンダーランしないように割り込みグループ 1 の INT[5] (FIFO-Full 割り込み)と INT[4] (FIFO-Empty 割り込み)を確認しながら TX_FIFO へ送信データを書き込みます。その他動作は FIFO モード 64byte 以下の場合と同様です。FAST_TX_EN ([RF_STATUS_CTRL: B0 0x0A(5)] に 0b1 を書き込み FAST_TX モードを設定している場合は、FIFO へのデータ書き込み量が[TXFIFO_THRL: B0 0x18]レジスタで設定されるバイト数+1 バイト以上となってから、送信動作を開始します。



(4) 自動送信時 (64byte 以下の場合)

AUTO_TX_EN([RF_STATUS_CTRL: B0 0x0A(4)])に 0b1 を書き込んだ場合は、FIFO に Length 分のデータを書き込み完了した場合、送信動作を開始します。送信完了後の RF 状態遷移設定は TXDONE_MODE ([RF_STATUS_CTRL: B0 0x0A(1-0)])により設定します。



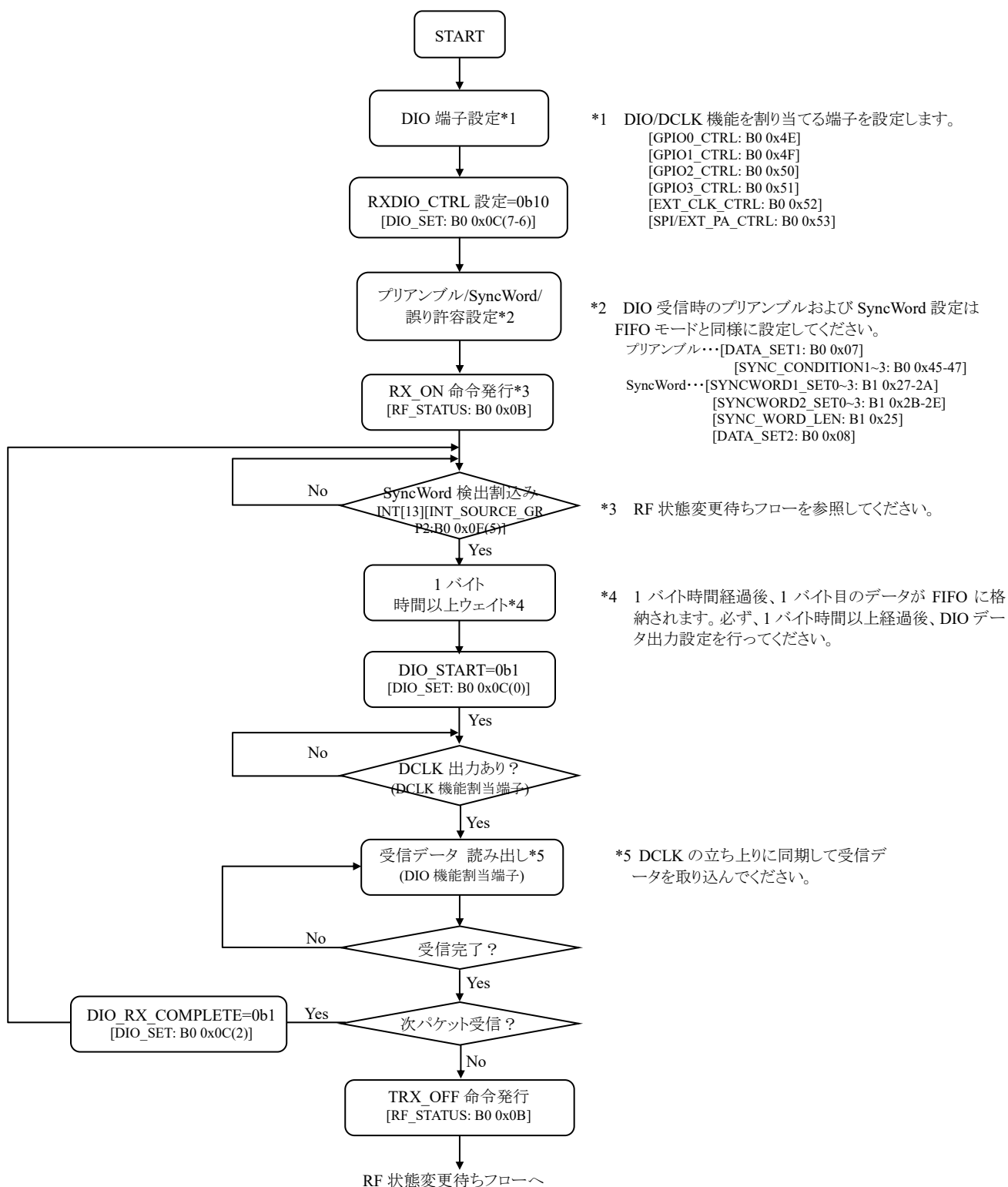
●受信時

(1) DIO モード

RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])=0b10/0b11 を書き込むことで設定できます。DIO モード設定後、RX_ON 命令発行後、SyncWord パターン検出を開始します。

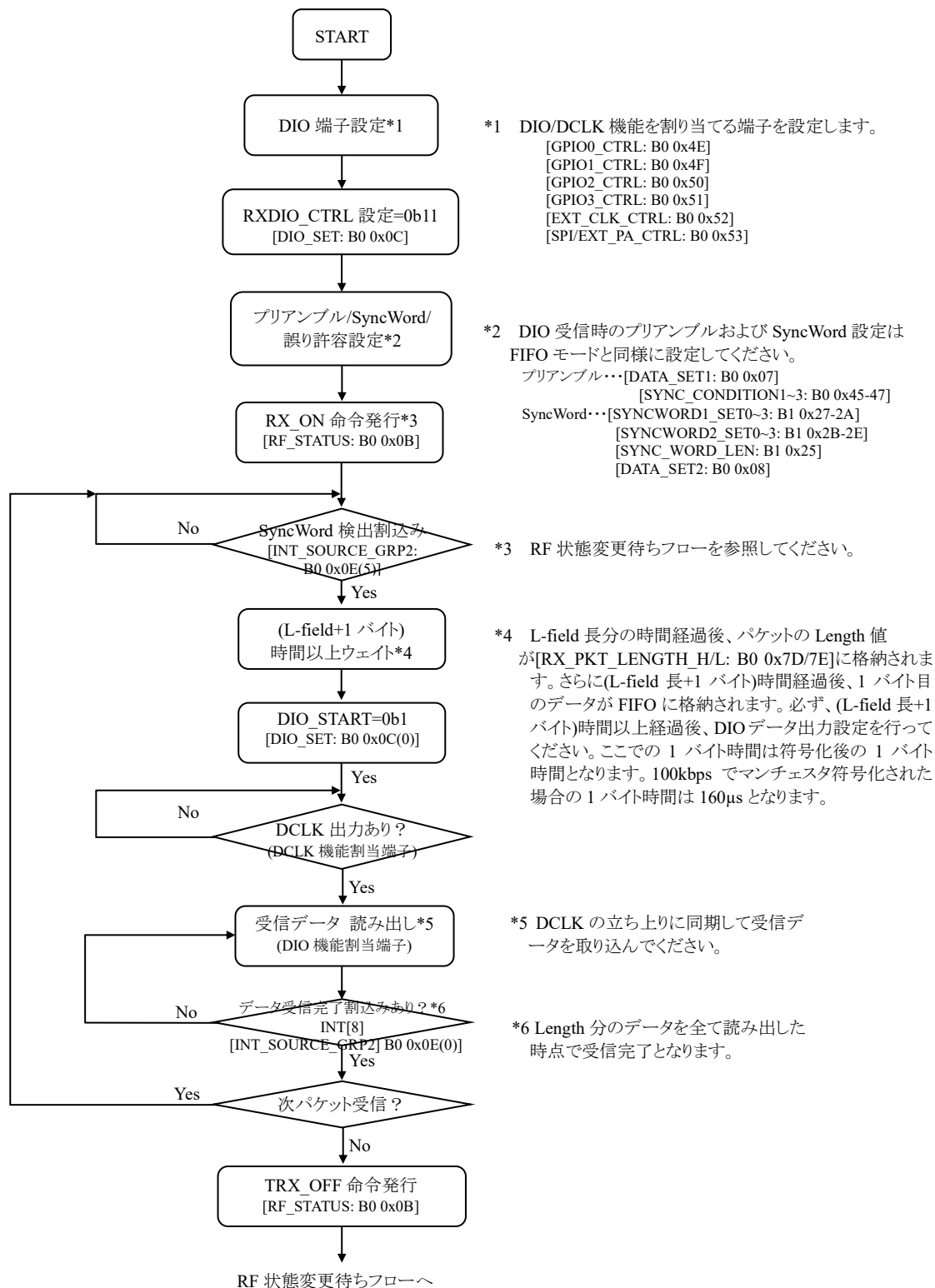
①データ出力モード 1 設定時

RXDIO_CTRL[1:0]=0b10 設定します。SyncWord パターン検出後、受信データを受信 FIFO へバッファリングします。DIO_START ([DIO_SET: B0 0x0C(0)])を 0b1 に設定すると、受信 FIFO にバッファリングされた受信データを DIO 端子より出力します。受信完了後、続けて受信する場合は DIO_RX_COMPLETE([DIO_SET: B0 0x0C(2)])に 0b1(DIO 受信完了設定)を設定することで次パケット受信待ち状態となります。TRX_OFF する場合は[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行します。



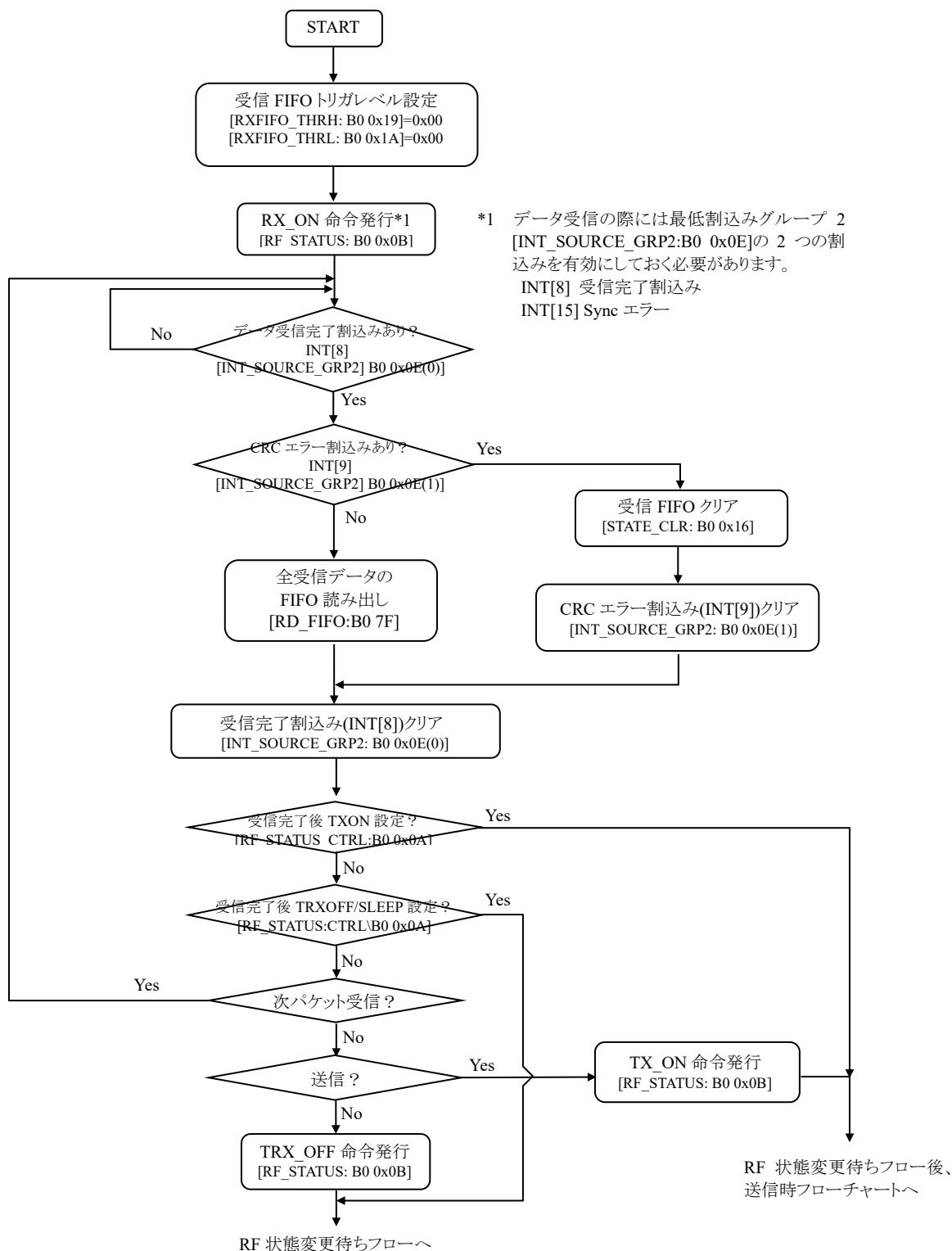
②データ出力モード 2 設定時

RXDIO_CTRL[1:0]=0b11 設定では L-field 以降の受信データを受信 FIFO へバッファリングします。DIO_START ([DIO_SET: B0 0x0C(0)])に 0b1 を設定すると、受信 FIFO にバッファリングされた受信データを DIO 端子より出力します。Length 分のデータを出力した時点で受信完了となり、受信完了割り込み(INT[8]: 割り込みグループ 2)を発生します。TRX_OFF する場合は[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行します。



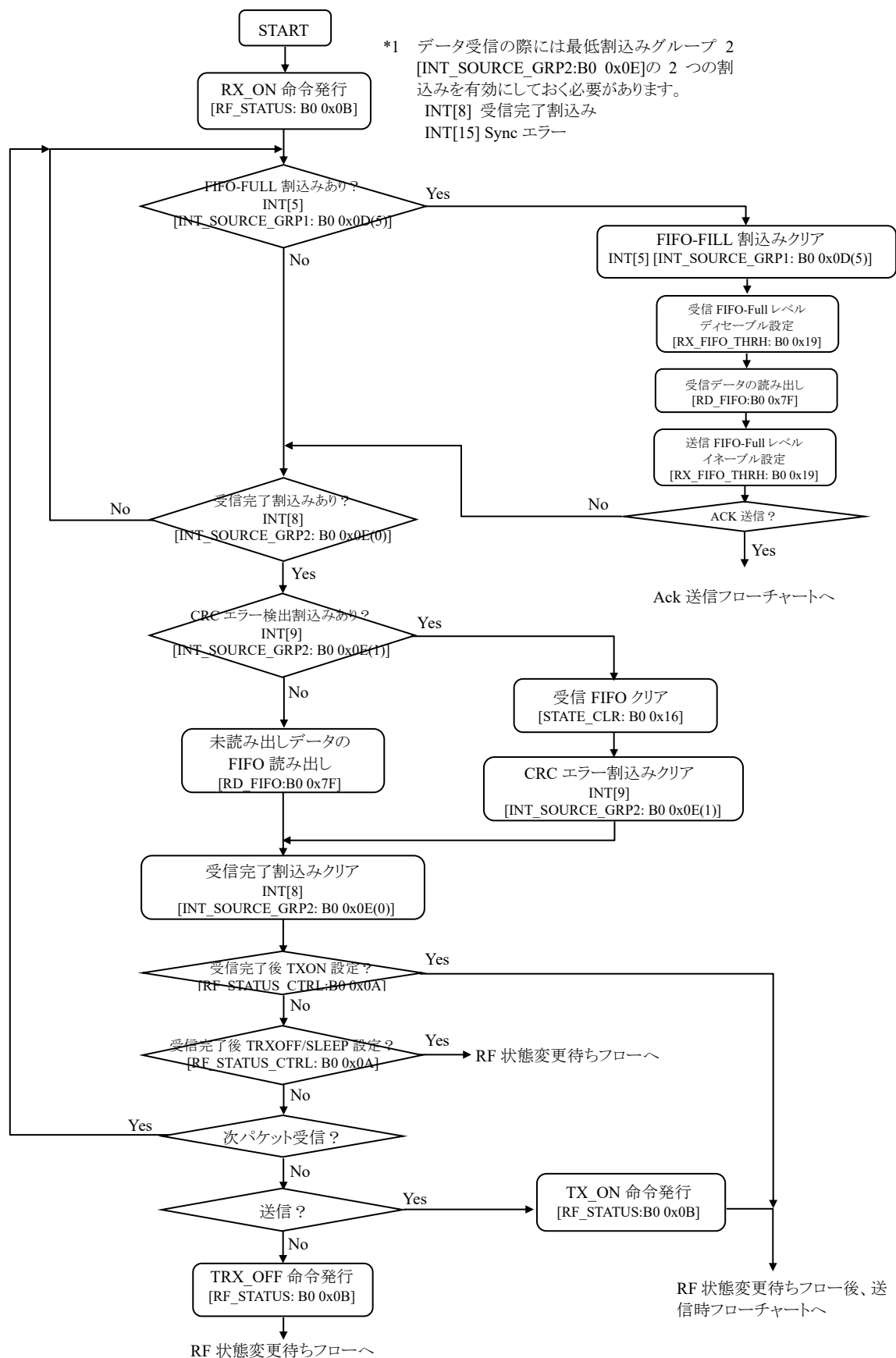
(2) FIFO モード(64byte 以下の場合)

FIFO モードは、RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])=0b00 を書き込むことで設定できます。SyncWord 検出後、受信データを RX_FIFO へ格納します。データ受信完了割り込み(INT[8];割り込みグループ 2)後、受信データを [RD_FIFO:B0 0x7F]レジスタから読み出します。また、CRC エラー割り込み(INT[9];割り込みグループ 2)が発生した場合は STATE_CLR1 [STATE_CLR: B0 0x16(1)] (受信 FIFO クリア)でクリアすることで、受信データを全て読み出すことなく次パケットを受信できます。受信 FIFO-Full トリガおよび FIFO-Empty トリガを使用しない場合は、RXFIFO_THRH_EN([RXFIFO_THRH: B0 0x19(7)])および RXFIFO_THRL_EN([RXFIFO_THRL: B0 0x1A(7)])を 0b0 に設定して下さい。



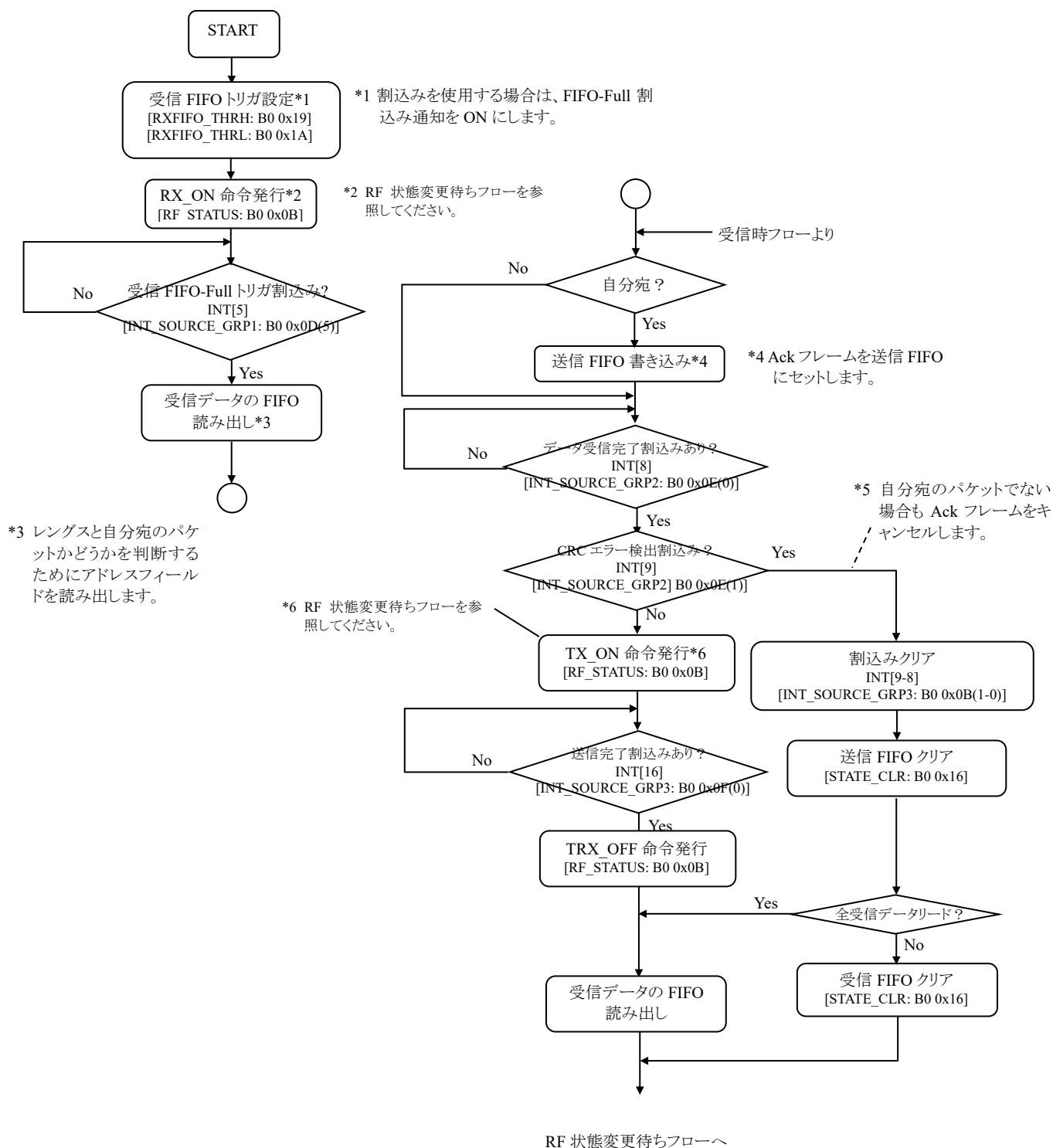
(3) FIFO モード(65byte 以上の場合)

RX_FIFO がオーバーランまたはアンダーランしないように割り込みグループ 1 の INT[5] (FIFO-Full 割り込み)と INT[4] (FIFO-Empty 割り込み)を確認しながら RX_FIFO から受信データを読み出します。その他動作は(2)と同様です。



(4) ACK 送信

ACK 送信フローを以下に示します。受信 FIFOトリガを使用して受信中に送信 FIFOに ACK フレームをセットし、受信完了後、送信 FIFO にセットした ACK フレームを送信します。

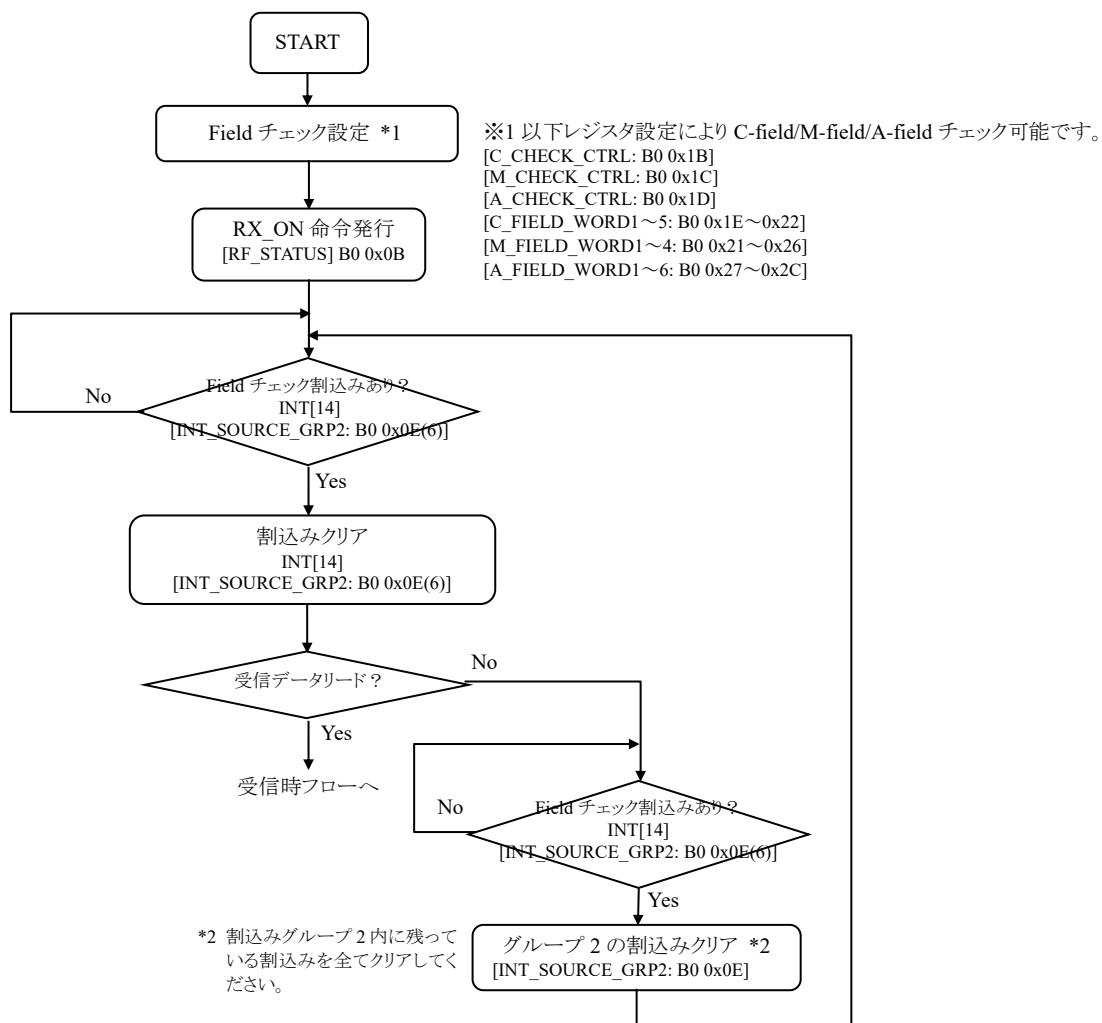


【ご注意】

[RF_STATUS_CTRL:B0 0x0A]レジスタで、FAST_TX モード、自動送信、パケット受信完了後の TX 状態遷移設定を有効に設定している場合は、上記のフローで受信完了後に自動で送信状態へ移行します。割り込みグループ 2 の CRC エラー割り込み(INT[9])と受信完了割り込み(INT[8])は、ほぼ同時期に発生するため、CRC エラーが発生した場合は、受信から送信への以降期間(1.188ms)内で、[RF_STATUS:B0 0x0B]レジスタで Forece_TRX_OFF を行い、[STATE_CLR:B0 0x16]レジスタで送信 FIFO のクリアをする必要があります。ホスト MCU の処理能力上、期間内の送信停止が難しい場合は、FAST_TX モード、自動送信、パケット受信完了後の TX 状態遷移設定を非有効に設定してください。(FAST_TX モードは [TXFIFO_THRL:B0 0x18]レジスタの設定によります。)

(5) Field チェック

Filed チェック機能をイネーブルとし、[RF_STATUS:B0 0x0B]レジスタで RX_ON 命令を発行します。CA_INT_CTRL ([C_CHECK_CTRL:B0 0x1B(6)])の設定に従い、Filed チェックの一致または不一致で、割り込みグループ 2 の INT[14] ([INT_SOURCE_GRP2: B0 0x0E(6)])にて通知します。なお、Field チェックの結果、不一致であったパケット数をカウントし、[ADDR_CHK_CTR_H/L: B1 0x62/0x63])に表示します。このカウンタは STATE_CLR4[STATE_CLR: B0 0x16(4)](アドレスチェックカウンタクリア)にてクリアできます。



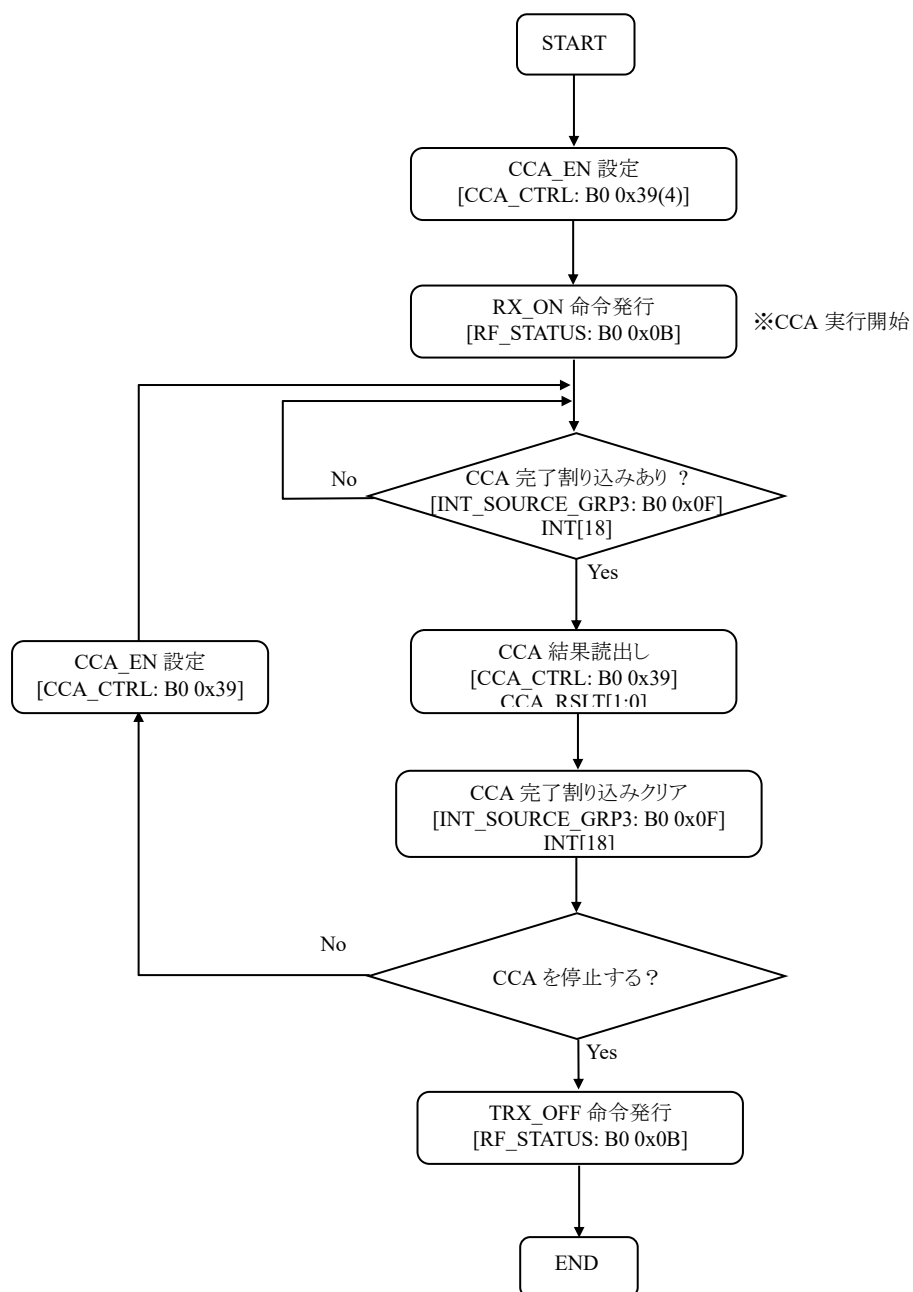
(6) CCA の実行

○通常モード

CCA_EN([CCA_CTRL: B0 0x39(4)])に 0b1 を設定し、[RF_STATUS:B0 0x0B]レジスタで RX_ON 状態に設定すると取得した ED 値の平均値と[CCA_LVL: B0 0x37]に設定した CCA_閾値の大小比較を実行し、結果を通知します。CCA 実行後、CCA_EN はディセーブルにセットされ RF は RX_ON 状態を維持します。

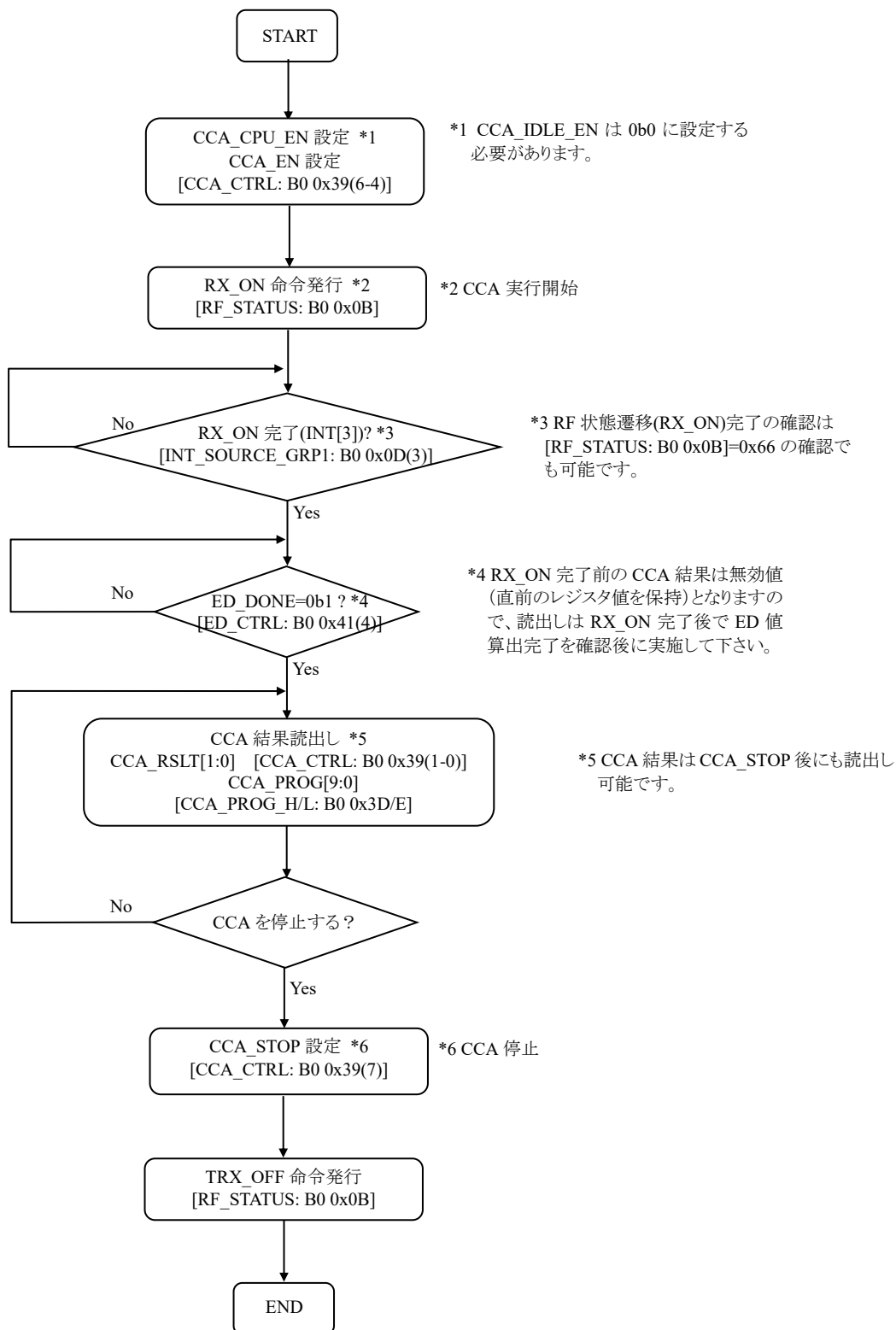
RX_ON 状態で CCA_EN に 0b1 を設定した場合でも CCA 実行可能です。

また、ダイバーシティサーチ中も CCA 実行可能です。この場合、CCA 完了後、自動でダイバーシティサーチが再開します。



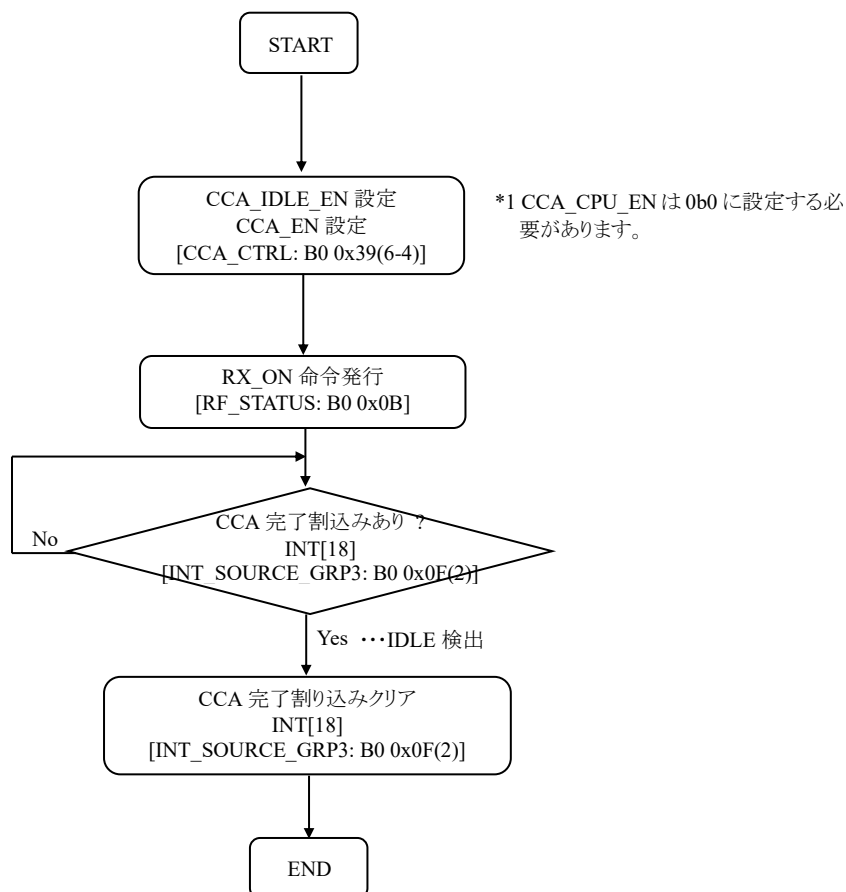
○無限実行モード

CCA_EN([CCA_CTRL: B0 0x39(4)])に 0b1 および CCA_CPU_EN([CCA_CTRL: B0 0x39(5)])に 0b1 を設定し、[RF_STATUS: B0 0x0B]レジスタで RX_ON 状態に設定すると CCA の無限実行モードが実行されます。本モードでは、自動停止せずに CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 をセットするまで CCA 継続します。本モードでは CCA 完了割り込み(INT[18]:割り込みグループ 3)は通知されません。CCA 実行中、CCA_RSLT([CCA_CTRL: B0 0x39(1-0)]、[CCA_PROG_L: B0 0x3E]、[CCA_PROG_H: B0 0x3D] は常に更新され、CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 がセットされると値を保持します。



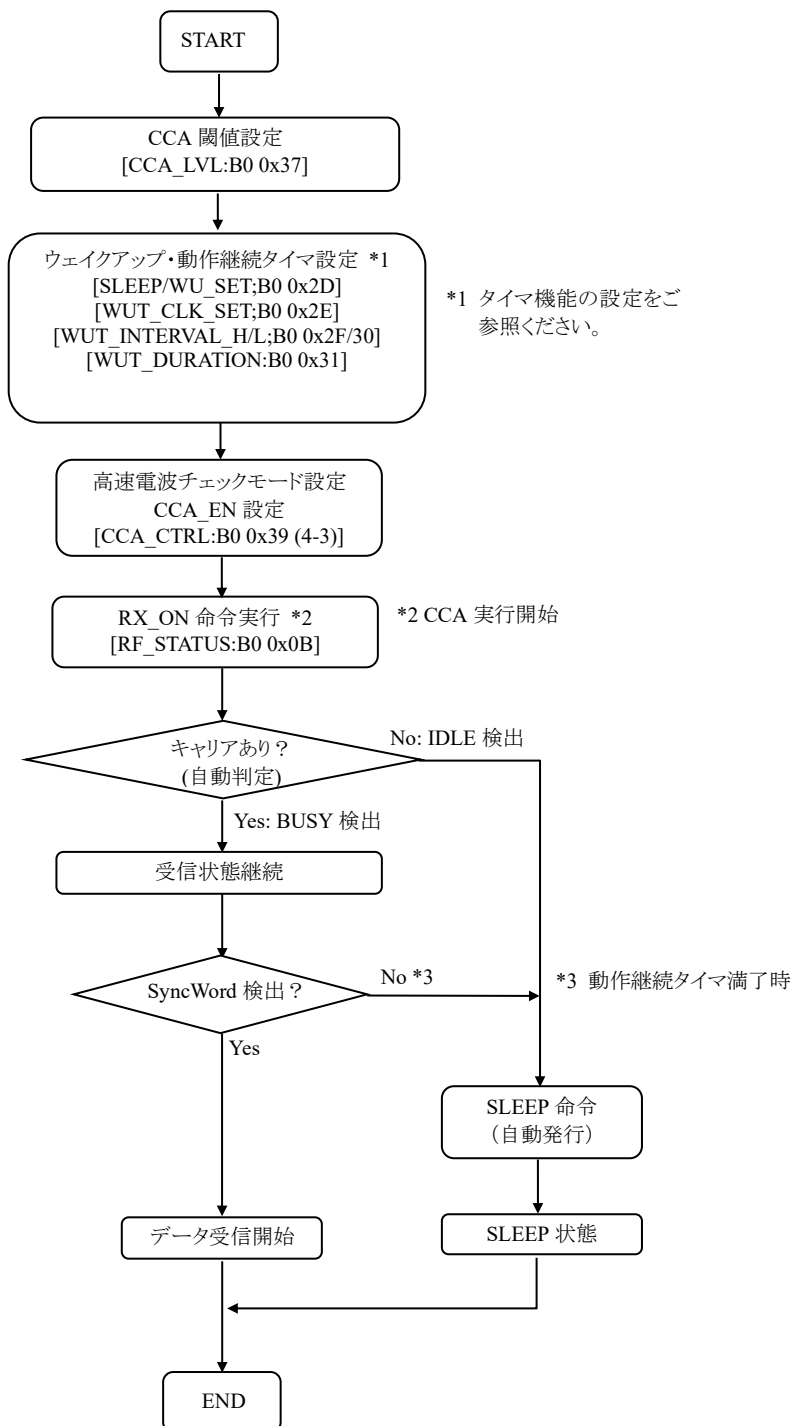
○IDLE 検出モード

IDLE 検出するまで CCA を継続するモードです。CCA_EN([CCA_CTRL: B0 0x39(4)])=0b1、CCA_IDLE_EN([CCA_CTRL: B0 0x39(6)])=0b1 を設定し、RFを受信状態(RX_ON)に設定するとCCA(IDLE 検出モード)が実行されます。



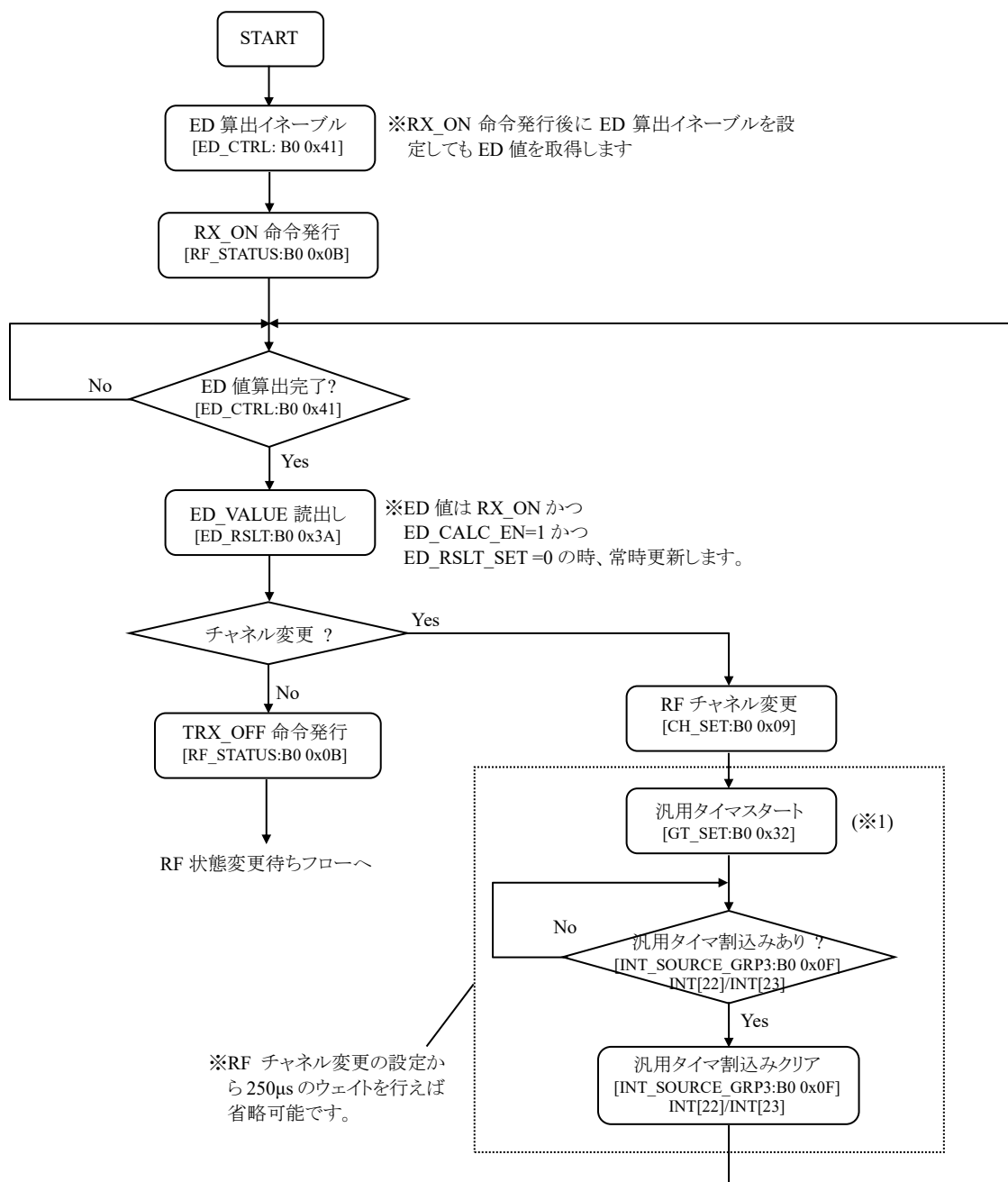
(7) 高速電波チェックモード

本モードは受信状態へ移行後、RSSI レベルと SyncWord 検出までの時間について判定を行い、受信状態の継続または中止を行います。RSSI レベル判定には[CCA_LVL:B0 0x37]レジスタに設定した閾値を使用し、SyncWord 検出時間判定は動作継続タイマ機能を使用します。判定後の動作は自動で切り替わる為、最終状態は SLEEP 状態か受信中のどちらかになります。



(8) ED-SCAN

ED_CALC_EN ([ED_CTRL: B0 0x41(7)])に 0b1 が設定されている状態で、[RF_STATUS:B0 0x0B]レジスタで RX_ON 状態に設定すると、ED 値の自動取得を開始します。ED_RSLT_SET([ED_CTRL:B0 0x41(3)])=0b0 に設定すると、ED 値は常に最新の値に更新されます。



(※1)汎用タイマ設定例

250μs のウェイトを汎用タイマ 1 を使ってウェイトする場合、以下のレジスタを設定します。

[GT_CLK_SET: B0 0x33]... 0x01(128 分周)

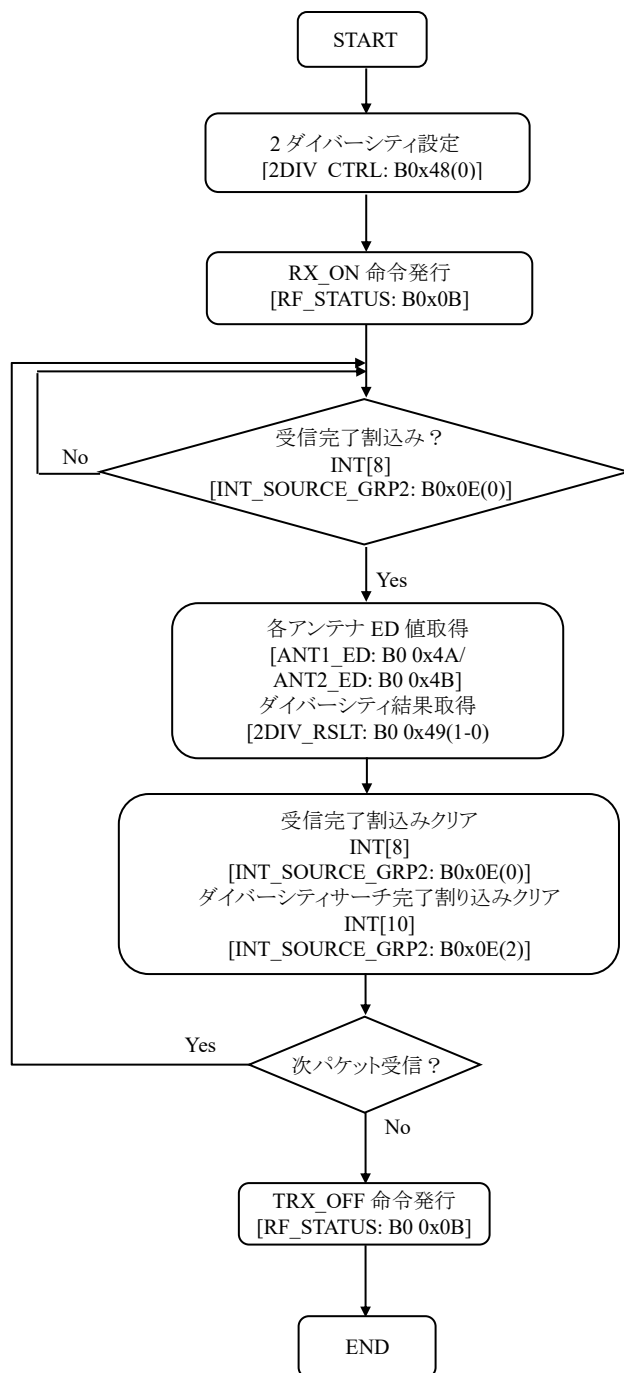
[GT_INTERVAL1: B0 0x34]... 0x04(タイマ設定)

[GT_SET: B0 0x32]... 0x03(2MHz クロック選択、タイマスタート)

(9) アンテナダイバーシティ

2DIV_EN([2DIV_CTRL:B0 0x48(0)])に 0b1 が設定されている状態で RX_ON 状態に設定すると、受信データを検出時にアンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナを使用するよう制御します。

ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A/ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果 2DIV_RSLT([2DIV_RSLT: B0 0x49(1-0)])は SyncWord 検出時に上書き更新されます。また、ダイバーシティ検出完了割り込み INT[10]([INT_SOURCE_GRP2: B0x0E(2)])をクリアした場合、ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A/ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果 2DIV_RSLT([2DIV_RSLT: B0 0x49(1-0)])はクリアされます。

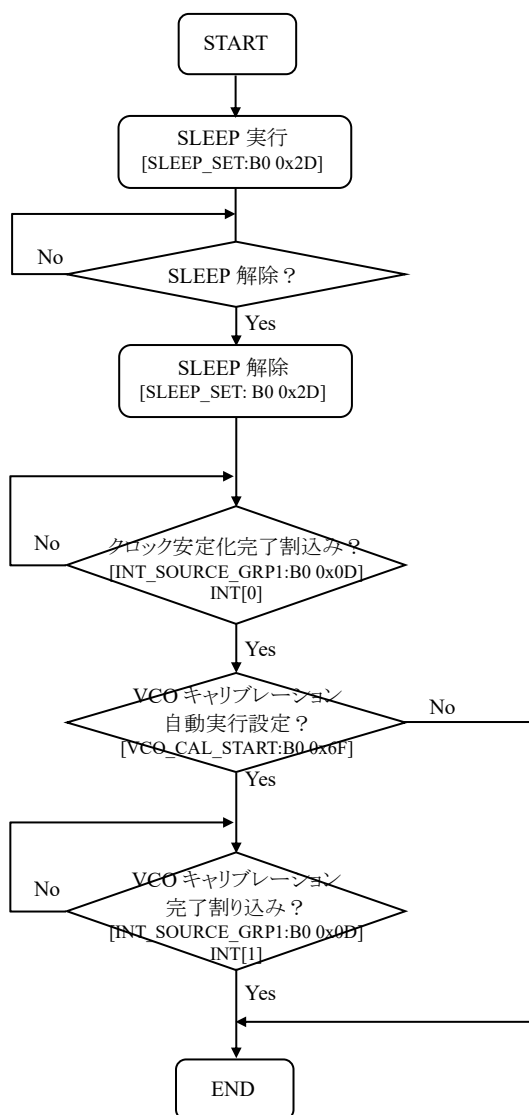


●SLEEP

(1) SLEEP

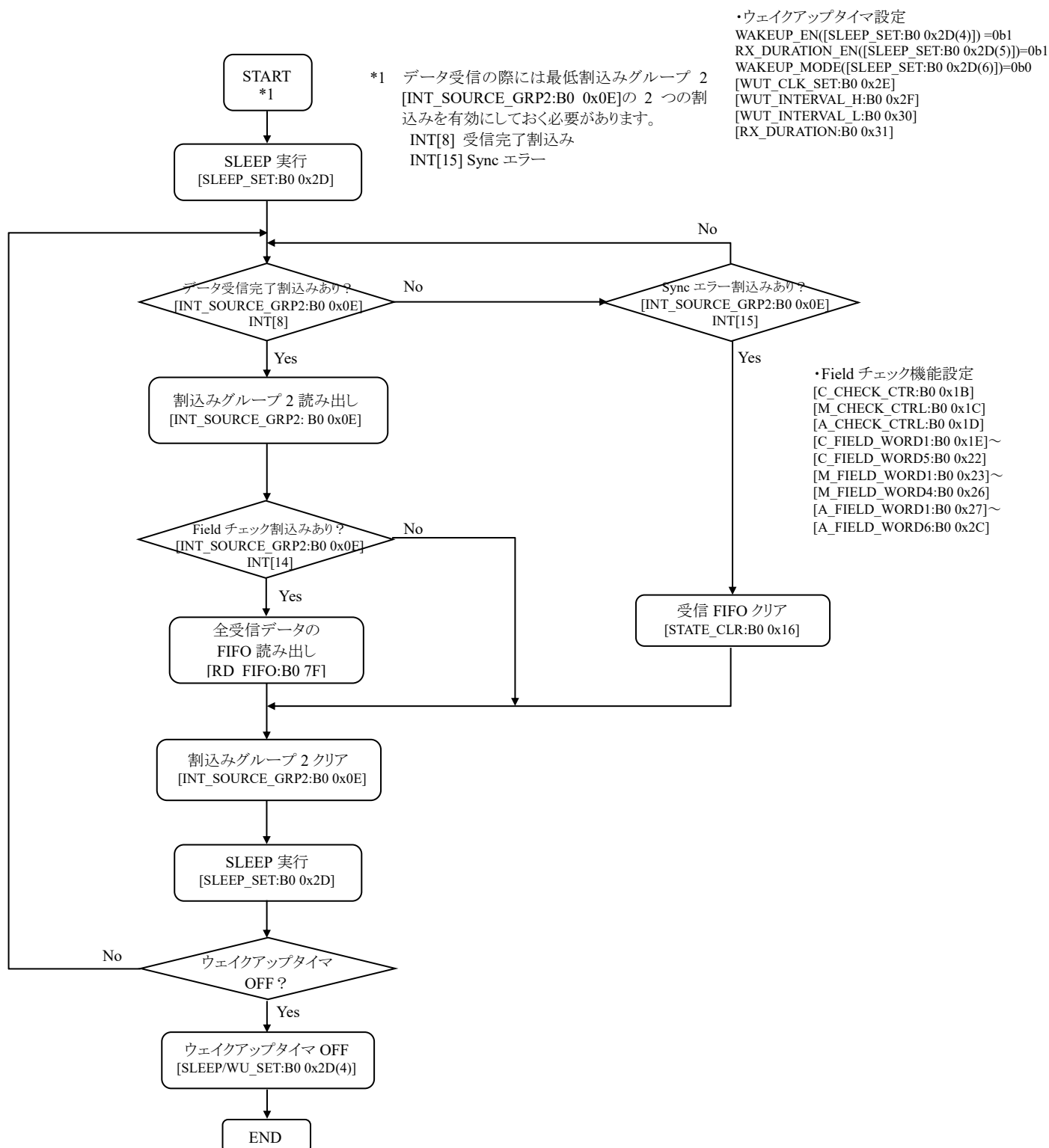
SLEEP_EN([SLEEP/WU_SET:B0 0x2D(0)])を0b1に設定することによりSLEEPが実行されます。また、SLEEP_ENを0b0に設定することによりSLEEPが解除されます。

VCO キャリブレーション自動実行設定 AUTO_VCOCAL_EN([VCO_CAL_START:B0 0x6F (4)])を0b1に設定した場合、SLEEP 解除後のクロック安定化完了割り込み(INT[0]:割り込みグループ 1)発生後、VCO キャリブレーションを自動実行します。



(2) ウェイクアップタイマ

以下レジスタを設定することにより SLEEP 実行後、自動でウェイクアップし RX_ON 状態となります。SyncWord 検出割込み (INT[13]:割り込みグループ 2)発生後、受信完了割込み(INT[8]:割り込みグループ 2)を待ち、受信完了後に Field チェック割込み(INT[14]:割り込みグループ 2)を確認します。Field チェックの結果、アドレス一致している場合は受信データリード処理を行い、アドレス不一致時は STATE_CLR1([STATE_CLR: B0 0x16(1)])(受信 FIFO クリア)を実行してください。割り込みグループ 2 のクリア後、SLEEP 実行(SLEEP_EN[SLEEP/WU_SET: B0 0x2D(0)]) することにより SLEEP 状態となり、タイマ動作を継続します。なお、RX_ON 後の動作継続タイマが満了時に SyncWord 検出していなかった場合、自動で SLEEP 状態へ戻ります。



●エラー発生時の処理

(1) Sync エラー

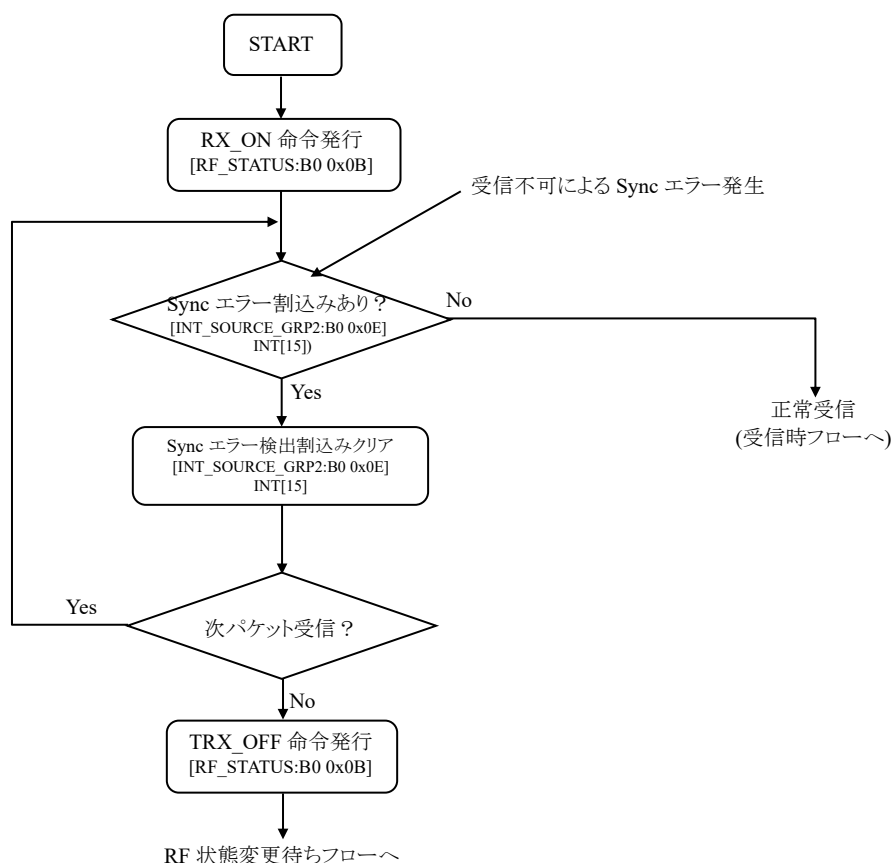
SyncWord 検出以降のデータ受信中に同期が外れた場合、Sync エラー割り込み(INT[15]:割り込みグループ 2)を通知し、データ受信完了割り込み(INT[8]:割り込みグループ 2)は通知されません。データ受信完了割り込みが通知されず Sync エラー割り込みが通知された場合には、Sync エラー割り込みをクリアしてください。

”データ受信”とは SyncWord 以降のデータ(L-field、データ、CRC 領域)を受信しているときを示します。

【ご注意】

本 LSI は FIFO モードにおいて Sync エラーを検出した場合、Sync エラー発生パケットは無効であると判断し、受信データの FIFO への格納を停止し、受信 FIFO 制御情報(受信データ数、FIFO リード数等)をクリアします。この状態で FIFO リードを行った場合、受信データがない状態での FIFO リードとなり、無効な FIFO 使用量を示します。次のパケットを正常に受信するためには受信 FIFO クリア([STATE_CLR:B0 0x16])を実行した後、受信開始してください。

Sync エラー発生時、RF の状態は RXON を継続し、Sync エラー通知直後から次パケット受信に備え、SyncWord 検出待ち状態となります。なお、次パケットを正常に受信するためには受信 FIFO クリア([STATE_CLR:B0 0x16])および受信関連割り込み([INT_SOURCE_GRP2:B0 0x0E])を全てクリアしてください。



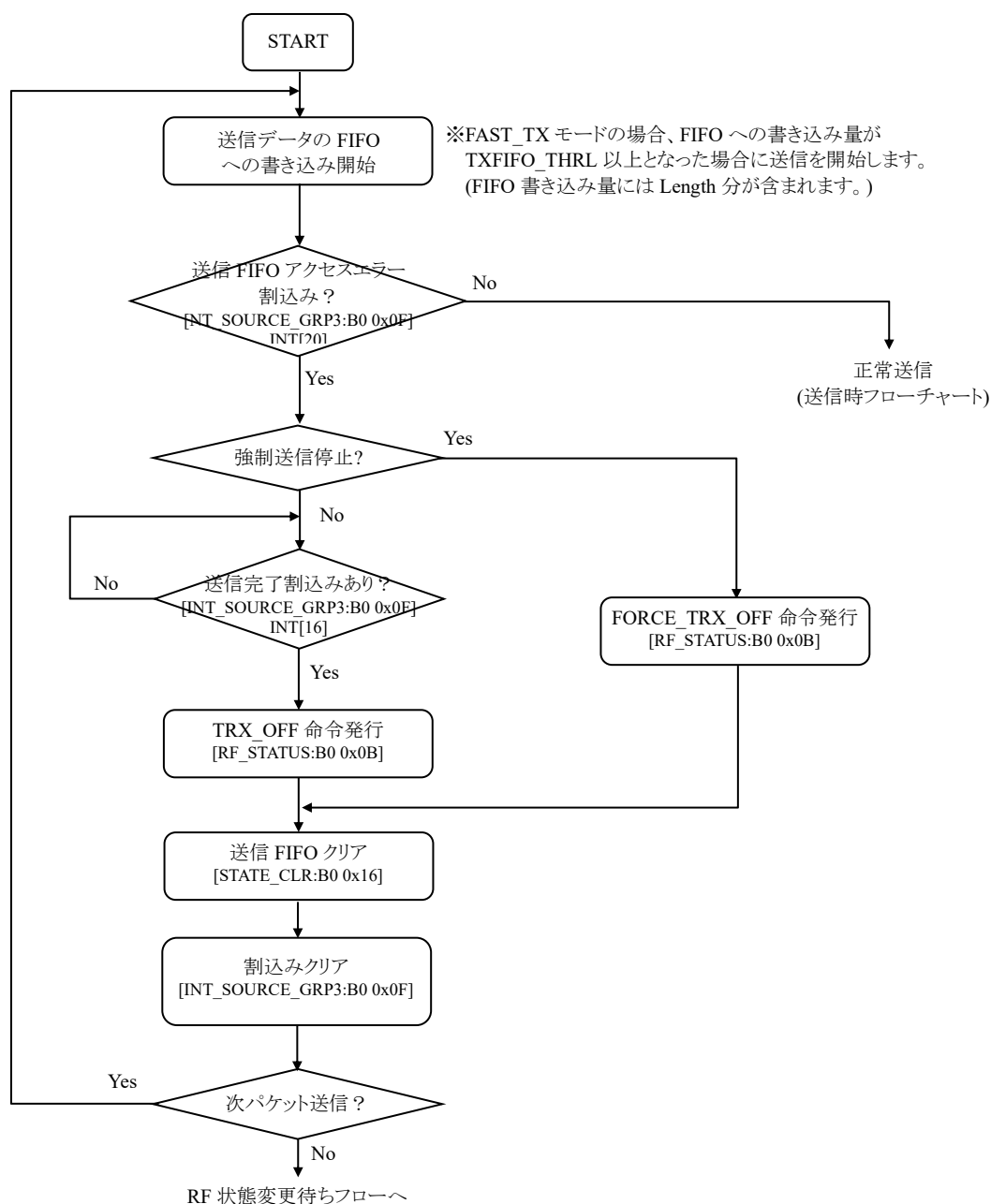
(2) 送信 FIFO アクセスエラー

以下の条件を満たしたとき送信 FIFO アクセスエラー割り込み(INT[20]:割り込みグループ 3)が発生します。

- ・データ送信要求受付完了割り込み(INT[17]:割り込みグループ 3)発生後、送信せずに次パケットのデータ書き込みを行ったとき
- ・TX_FIFO に対してデータ書き込みによりオーバーフローが発生したとき、または
- ・送信途中で TX_FIFO に送信すべきデータがなくなったとき

このとき、送信完了割り込み(INT[16]:割り込みグループ 3)を待つて[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行するか、送信完了割り込みを待たずに Force_TRX_OFF を実施します。その後[STATE_CLR:B0 0x16]レジスタで送信 FIFO クリアしたのち割り込みグループ 3[INT_SOURCE_GRP3:B0 0x0F]の送信関連割り込みのクリアを実行してください。

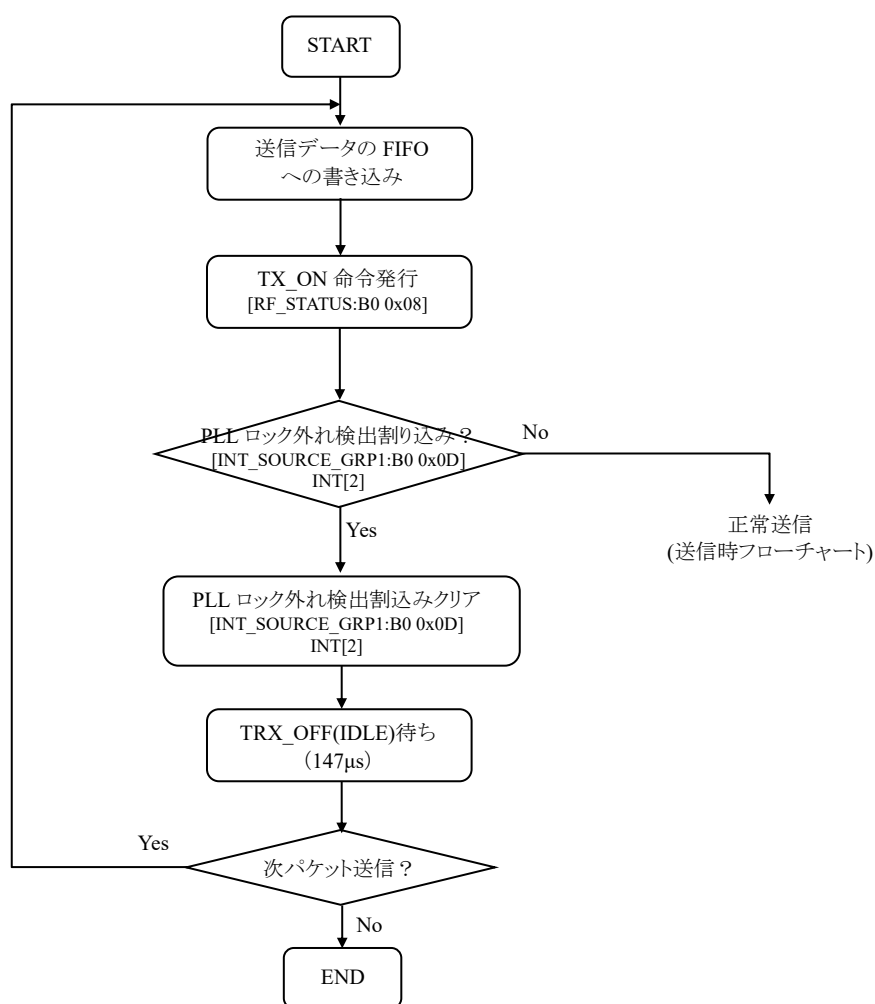
また、本 LSI は送信中に送信 FIFO アクセスエラーが発生した場合、その後の送信データを反転処理します。送信完了割り込みを待つて TRX_OFF 命令を発行する場合においても、受信側では CRC エラーとなります。



(3) PLL ロック外れ検出

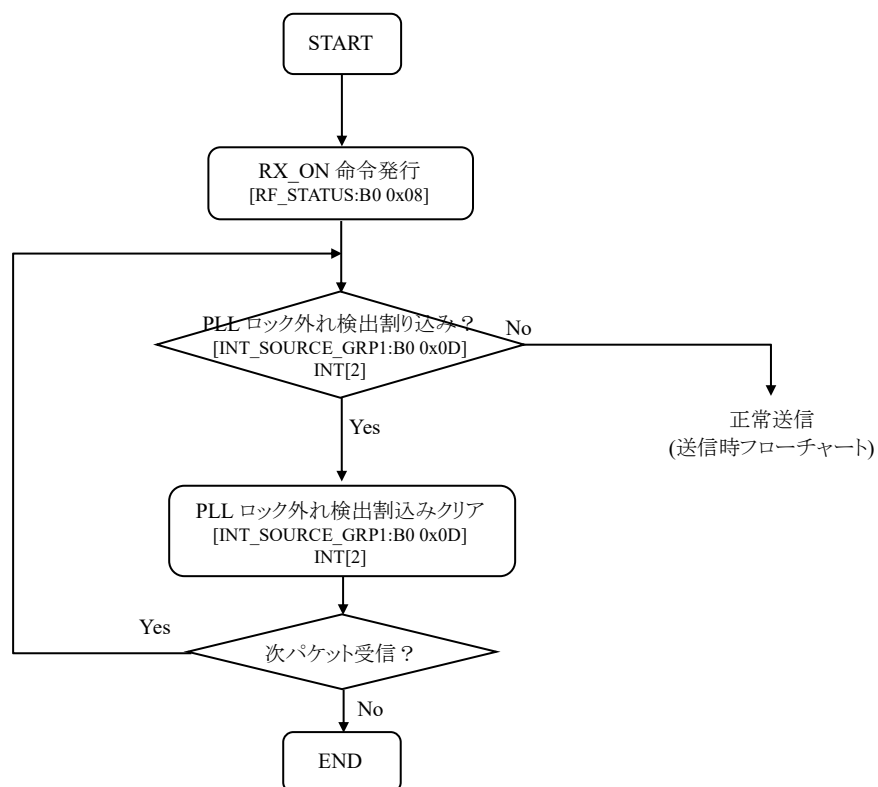
①送信時

送信中に PLL ロック外れを検出した場合、送信状態を停止し IDLE 状態へ強制移行します。PLL ロック外れは VCO キャリブレーション値が適切でない状態で発生する可能性があります。VCO キャリブレーションの確認または VCO キャリブレーションを再実行してください。PLL ロック外れ検出割込み通知後、IDLE 状態へ移行するまでに最大 147 μ s の時間が必要です。次の送信、受信または VCO キャリブレーションを行う前に必ず 147 μ s 以上の WAIT を行ってください。



②受信時

受信中に PLL ロック外れを検出した場合、IDLE 状態へ強制移行せず、受信状態を継続します。PLL ロック外れ検出割り込み ([INT_SOURCE_GRP1:B0 0x0D] INT[2]) をクリアしてください。



■タイムチャート

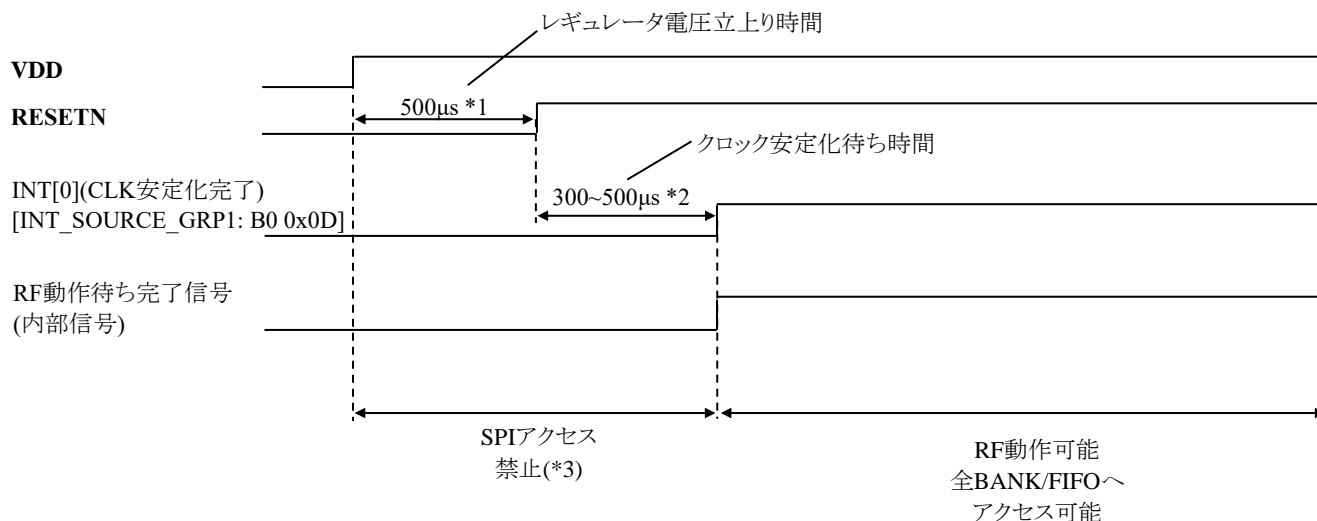
本 LSI の主な動作タイミングを示します。太字はピン入出力関連を示します。

【ご注意】

太字の信号名は端子名を、細字の信号名は内部信号または内部状態を示します。

●起動時

[水晶発振回路使用時]

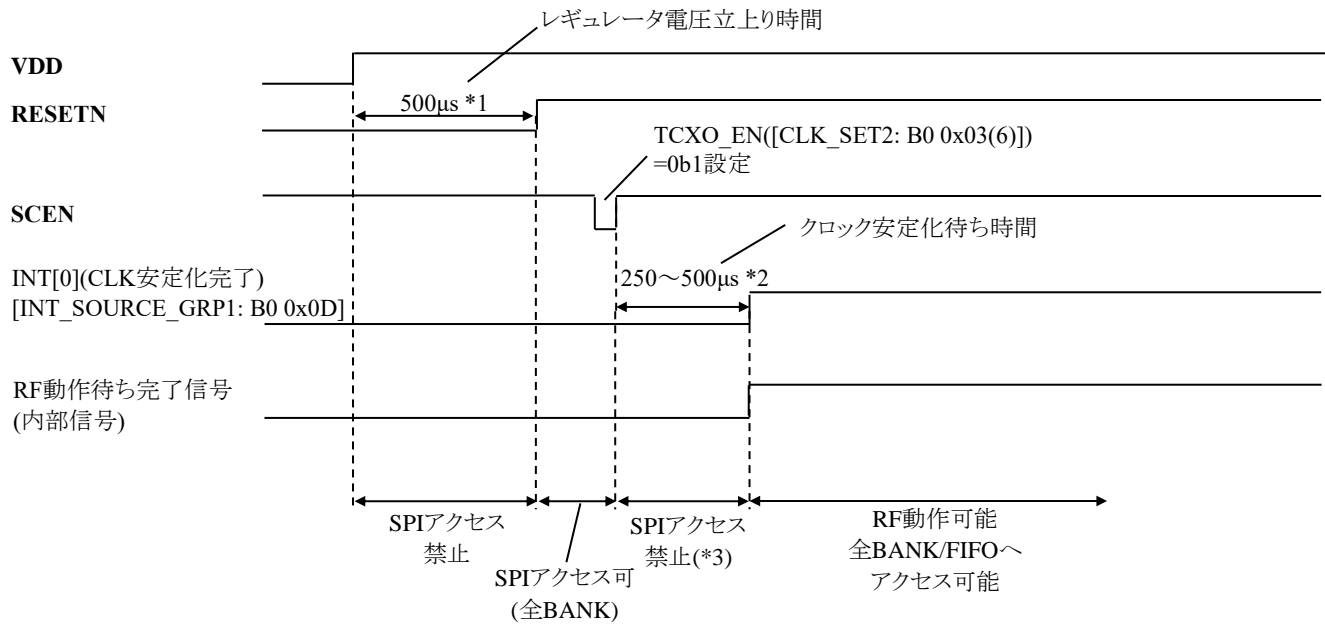


*1: 起動時の VDD と RESETN のタイミングについては「リセット特性」をご参照下さい。

*2: OSC_W_SEL[1:0]([OSC_W_SEL: B1 0x08(6-5)])の設定により 10μs/50μs/250μs/500μs に調整可能です。

*3: ハードリセット解除(RESETN 端子="H")後、クロック安定化完了割込みが通知されるまで十分時間経過後に INT0[INT_SOURCE_GRP1: B0 0x0D(0)]をリードし、クロック安定化割込みが通知されていることを確認した後 SPI アクセスをしてください。

[TCXO 使用時]

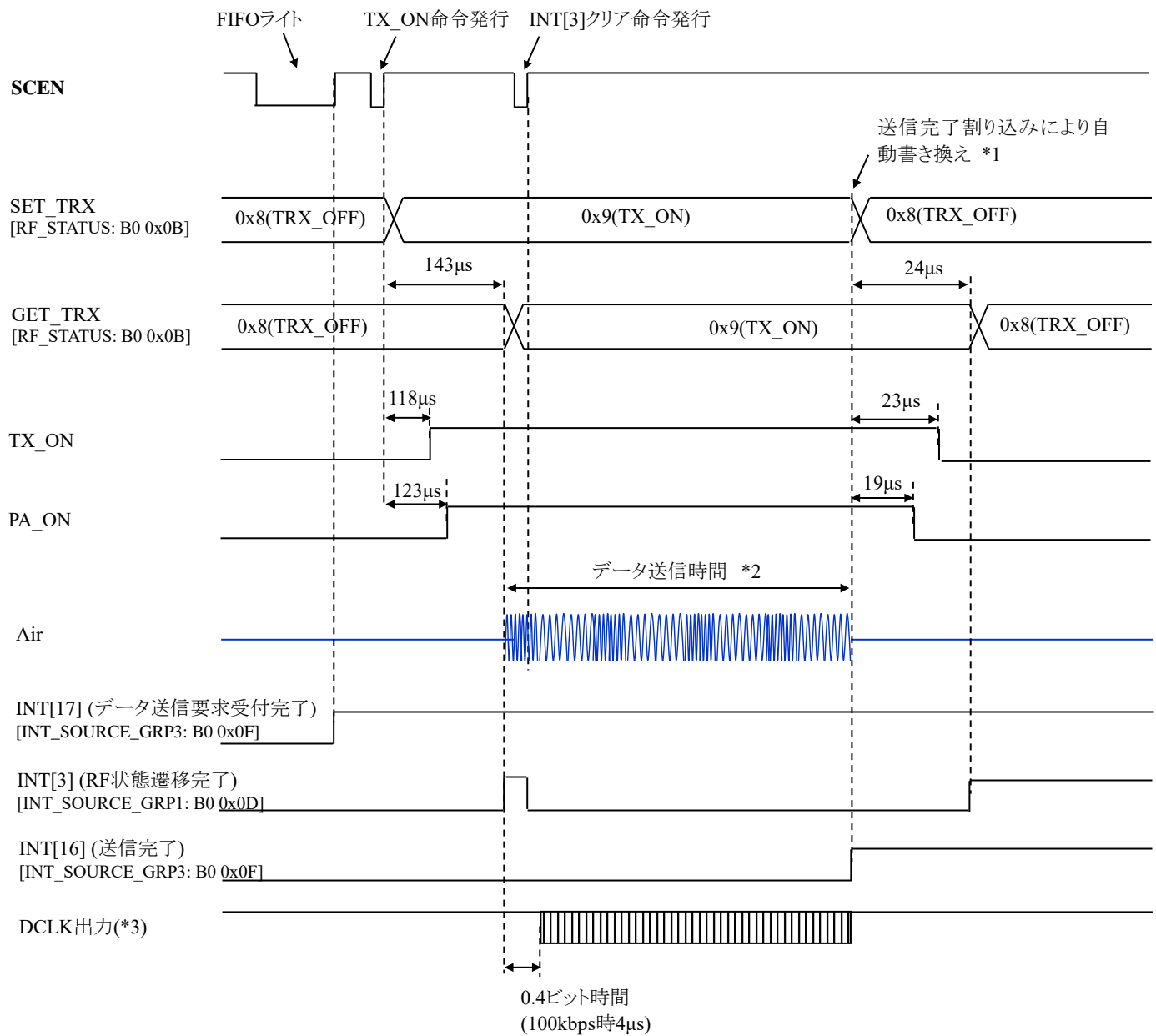


*1: 起動時の VDD と RESETN のタイミングについては「リセット特性」をご参照下さい。

*2: OSC_W_SEL[1:0]([OSC_W_SEL: B1 0x08(6-5)])の設定により 250μs/500μs に調整可能です。

*3: クロック安定化割込み通知後 SPI アクセスをしてください。詳細はフローチャートの「電源投入時 (1)初期化フロー」をご参照ください。

●送信時



*1 : TXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(1-0)])が 0b00(default)設定の場合、送信完了割り込み検出により自動で SET_TRX([RF_STATUS: B0 0x0B(3-0)])を 0x8(TRX_OFF)に書き換えます。

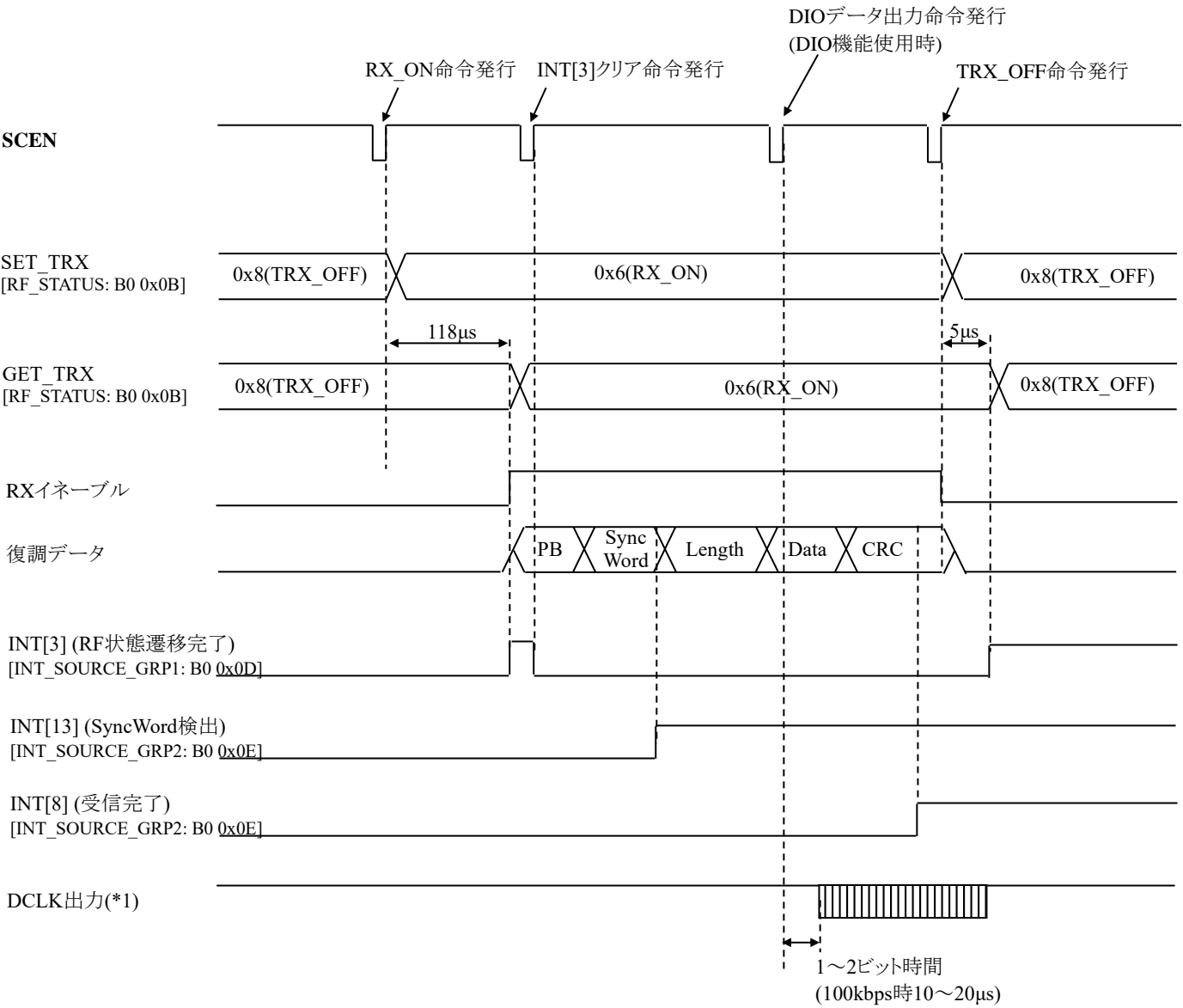
*2 : データ送信時間は次式で計算されます。

$$\text{データ送信時間[s]} = (\text{送信ビット数} + 3) \times 1 \text{ ビット送信時間[s]}$$

$$1 \text{ ビット送信時間[s]} = 1 / \text{データレート[bps]}$$

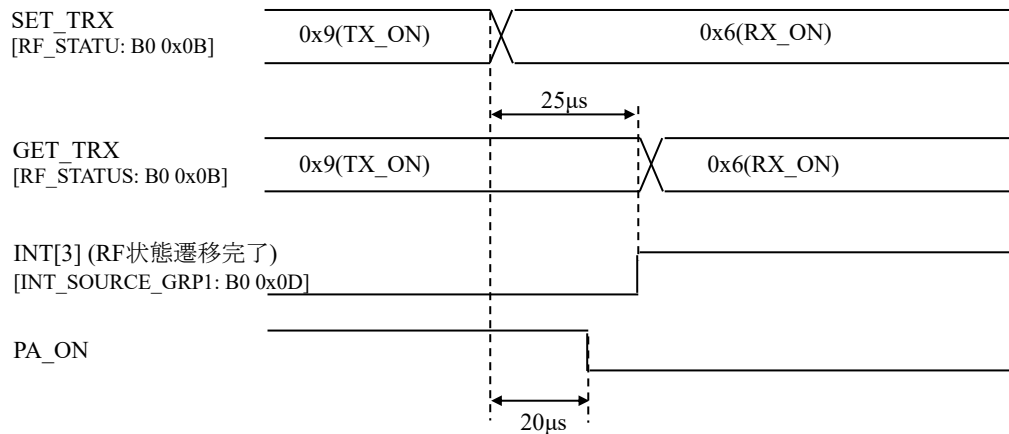
*3 : TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])=0b01 に設定した場合

●受信時

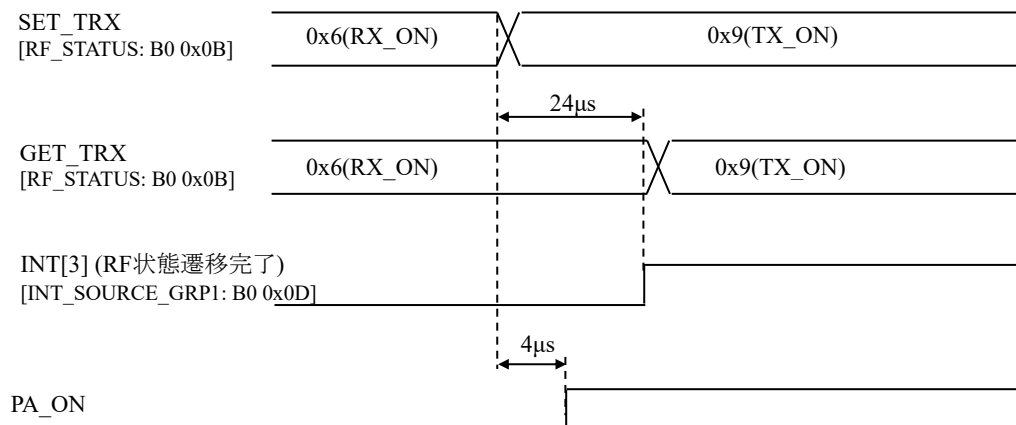


*1 : RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])=0b10 または 0b11 に設定した場合

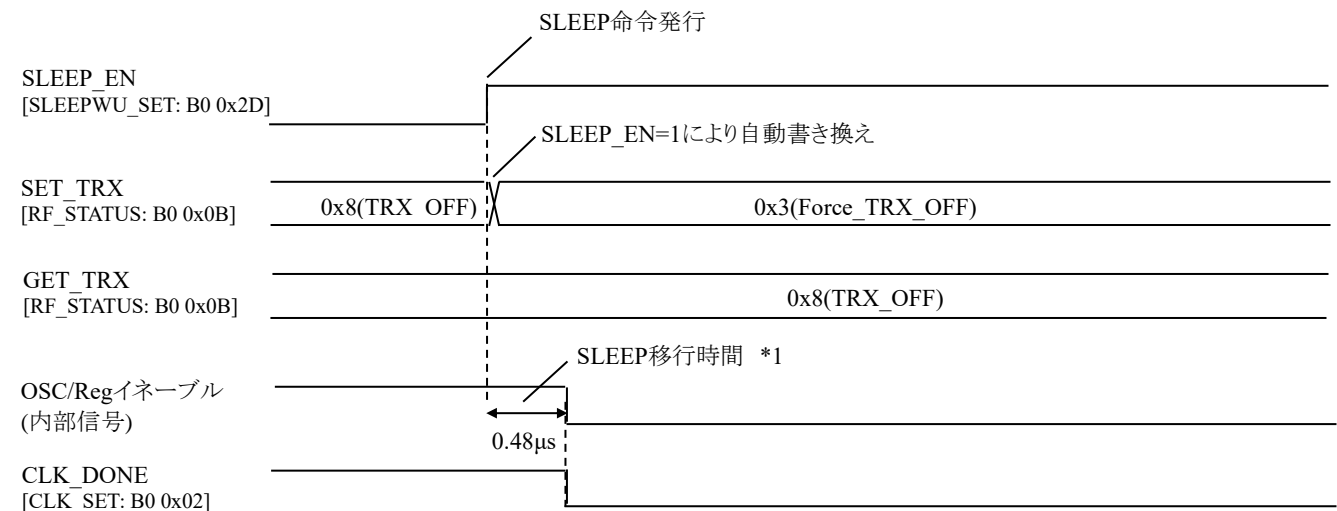
●送信から受信への移行



●受信から送信への移行

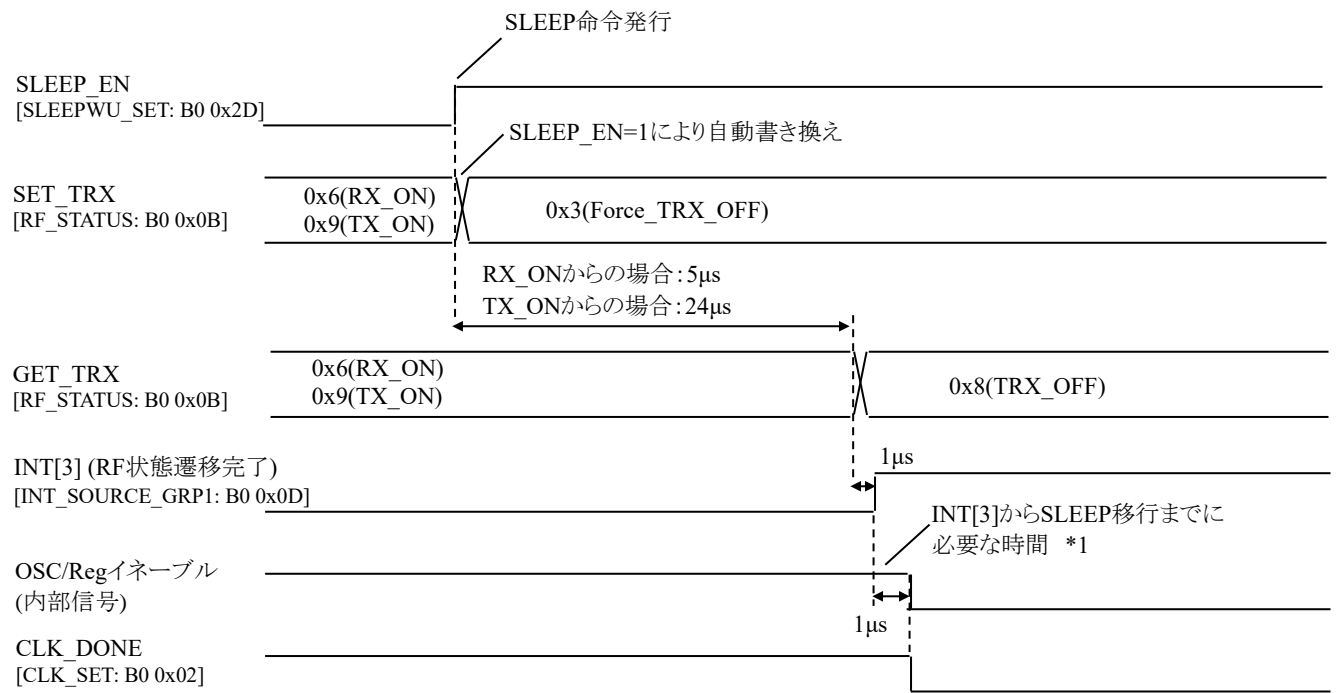


●IDLE から SLEEP への移行



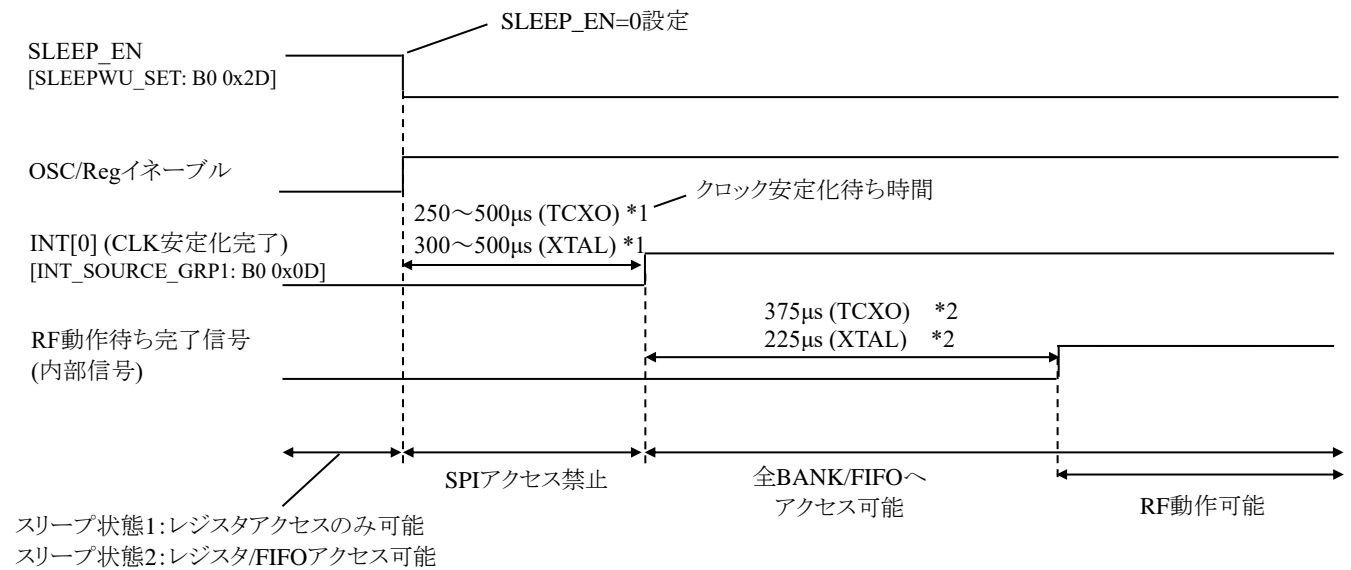
*1 : SLEEP 移行時間。SLEEP 移行の期間は内部クロックが必要なため、TCXO を停止させる場合は、SLEEP 命令発行 (SLEEP_EN ([SLEEP/WU_SET: B0 0x2D(0)])=0b1) 後、1μs 以上経過後にしてください。

●送信/受信状態から SLEEP への移行



*1 : TCXO を使用している場合は、SLEEP 命令発行 (SLEEP_EN ([SLEEP/WU_SET: B0 0x2D(0)])=1) による INT[3]の通知 から 2μs 以上経過後に TCXO 入力を停止して下さい。

●SLEEP から IDLE への移行



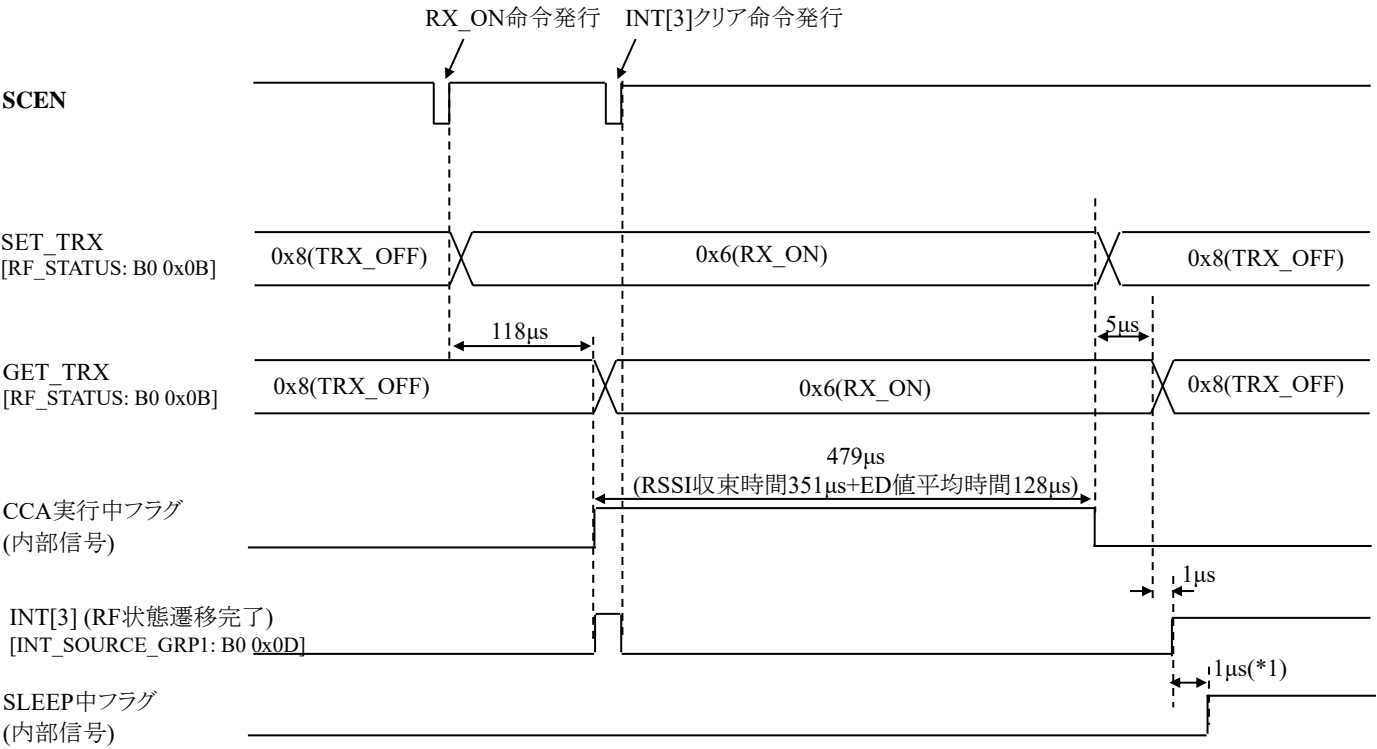
*1: OSC_W_SEL[1:0]([OSC_W_SEL: B1 0x08(6-5)])の設定により 10/50/250/500 μ s に調整可能です。 α は発振回路起動時間で、最大 500 μ s です。

*2: [VCO_CAL_START:B0 0x6F]および[SET_TRX:B00x0B]レジスタは設定可能ですが、RF 動作待ち完了信号がアサートされるまで処理されません。

●高速電波チェックモード時

以下の条件でのタイムチャートです。

- 条件)
- ED値平均回数: 8回
- チャンネルフィルタ帯域: 10kHz



*1 : INT[3]から SLEEP 移行までに必要な時間。TCXO を使用している場合は、INT[3]の通知から 2us 以上経過後に TCXO 入力を停止して下さい。

■レジスタ

●レジスタ一覧

各バンクのレジスタ配置アドレス範囲は 0x00－0x7F の合計 128 バイトです。表中ビット配置のグレーのハッチング箇所は LSI に非搭載または予約ビットとなります。予約ビットの中には非公開機能のビットを含むため、予約ビットへの書き込みは必ず初期値を設定してください。また名称が“Reserved”と記載されているアドレスについても非公開レジスタが含まれており、誤動作につながる可能性があるためアクセス(書き込み)は行わないでください。[Reserved]のレジスタの読み出し値は不定です。”Reserved”のビットの読み出し値は不定です。

各 BANK には、[BANK_SEL]レジスタ(B0 0x00, B1 0x00, B2 0x00, B3 0x00, B6 0x00, B7 0x00, B10 0x00)の bit7-4 (BANK_ACEN)に 0b1 を書き込み、bit3-0 にて該当する BANK を設定することで各 BANK にアクセスすることが可能です。

別途レジスタ一覧表に設定値が記載されているレジスタは、一覧表の値を設定し変更しないでください。

BANK0

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	RST_SET	リセット制御
02	CLK_SET1	クロック制御 1
03	CLK_SET2	クロック制御 2
04	PKT_CTRL1	パケットフォーマット設定 1
05	PKT_CTRL2	パケットフォーマット設定 2
06	DRATE_SET	データレート設定
07	DATA_SET1	送受信データ各種設定 1
08	DATA_SET2	送受信データ各種設定 2
09	CH_SET	RF チャンネル設定
0A	RF_STATUS_CTRL	RF 状態変更設定
0B	RF_STATUS	RF 状態設定
0C	DIO_SET	DIO 設定
0D	INT_SOURCE_GRP1	割り込み表示 1
0E	INT_SOURCE_GRP2	割り込み表示 2
0F	INT_SOURCE_GRP3	割り込み表示 3
10	INT_EN_GRP1	割り込み通知イネーブル 1
11	INT_EN_GRP2	割り込み通知イネーブル 2
12	INT_EN_GRP3	割り込み通知イネーブル 3
13	CRC_ERR_H	CRC エラー表示 1
14	CRC_ERR_M	CRC エラー表示 2
15	CRC_ERR_L	CRC エラー表示 3
16	STATE_CLR	状態クリア制御
17	TXFIFO_THRH	送信 FIFO-Full 閾値
18	TXFIFO_THRL	送信 FIFO-Empty 閾値、FAST_TX イネーブル時の閾値
19	RXFIFO_THRH	受信 FIFO-Full 閾値
1A	RXFIFO_THRL	受信 FIFO-Empty 閾値
1B	C_CHECK_CTRL	C-field チェックイネーブル
1C	M_CHECK_CTRL	M-field チェックイネーブル
1D	A_CHECK_CTRL	A-field チェックイネーブル
1E	C_FIELD_CODE1	C-field 設定コード 1
1F	C_FIELD_CODE2	C-field 設定コード 2
20	C_FIELD_CODE3	C-field 設定コード 3
21	C_FIELD_CODE4	C-field 設定コード 4
22	C_FIELD_CODE5	C-field 設定コード 5
23	M_FIELD_CODE1	M-field 1st バイト設定コード 1
24	M_FIELD_CODE2	M-field 1st バイト設定コード 2
25	M_FIELD_CODE3	M-field 2nd バイト設定コード 1
26	M_FIELD_CODE4	M-field 2nd バイト設定コード 2
27	A_FIELD_CODE1	A-field 1st バイト設定
28	A_FIELD_CODE2	A-field 2nd バイト設定
29	A_FIELD_CODE3	A-field 3rd バイト設定
2A	A_FIELD_CODE4	A-field 4th バイト設定
2B	A_FIELD_CODE5	A-field 5th バイト設定
2C	A_FIELD_CODE6	A-field 6th バイト設定
2D	SLEEP/WU_SET	SLEEP/WakeUP タイマ設定
2E	WUT_CLK_SET	WakeUP タイマ用クロック分周設定
2F	WUT_INTERVAL_H	WakeUP タイマインターバル設定(上位バイト)
30	WUT_INTERVAL_L	WakeUP タイマインターバル設定(下位バイト)
31	WU_DURATION	WakeUP 後の動作継続タイマ稼働時間設定
32	GT_SET	汎用タイマ設定
33	GT_CLK_SET	汎用タイマ用クロック分周設定
34	GT1_TIMER	汎用タイマ 1 タイマ設定

BANK0 続き

アドレス [HEX]	レジスタ名称	機能概要
35	GT2_TIMER	汎用タイマ 2 タイマ設定
36	CCA_IGNORE_LVL	CCA の判定除外 ED 値設定
37	CCA_LVL	CCA 閾値設定
38	CCA_ABORT	CCA ABORT 時間設定
39	CCA_CTRL	CCA 制御設定
3A	ED_RSLT	ED 値表示
3B	IDLE_WAIT_H	IDLE 検出期間設定(上位バイト)
3C	IDLE_WAIT_L	IDLE 検出期間設定(下位バイト)
3D	CCA_PROG_H	IDLE 検出期間結果表示(上位バイト)
3E	CCA_PROG_L	IDLE 検出期間結果表示(下位バイト)
3F	PREAMBLE_SET	プリアンブルパターン設定
40	VCO_VTRSLT	VCO 調整電圧結果表示
41	ED_CTRL	ED 値平均回数設定数
42	TXPR_LEN_H	送信プリアンブル長設定(上位バイト)
43	TXPR_LEN_L	送信プリアンブル長設定(下位バイト)
44	POSTAMBLE_SET	ポストアンブル設定
45	SYNC_CONDITION1	受信プリアンブル設定
46	SYNC_CONDITION2	同期検出時の ED 閾値
47	SYNC_CONDITION3	誤り許容設定
48	2DIV_CTRL	アンテナダイバーシティ設定
49	2DIV_RSLT	アンテナダイバーシティ結果表示
4A	ANT1_ED	アンテナ 1 の取得 ED 値表示
4B	ANT2_ED	アンテナ 2 の取得 ED 値表示
4C	ANT_CTRL	送受信時のアンテナ強制設定
4D	MON_CTRL	モニタ出力信号選択設定
4E	GPIO0_CTRL	GPIO0 端子(ピン#16)制御設定
4F	GPIO1_CTRL	GPIO1 端子(ピン#17)制御設定
50	GPIO2_CTRL	GPIO2 端子(ピン#18)制御設定
51	GPIO3_CTRL	GPIO3 端子(ピン#19)制御設定
52	EXTCLK_CTRL	EXT_CLK 端子(ピン#10)制御設定
53	SPI/EXT_PA_CTRL	SPI インタフェース IO /外部 PA 制御設定
54	CHFIL_BW	チャンネルフィルタ帯域幅設定
55	DC_I_ADJ_H	I 相 DC オフセット調整設定(上位 6 ビット)
56	DC_I_ADJ_L	I 相 DC オフセット調整設定(下位バイト)
57	DC_Q_ADJ_H	Q 相 DC オフセット調整設定(上位 6 ビット)
58	DC_Q_ADJ_L	Q 相 DC オフセット調整設定(下位バイト)
59	DC_FIL_ADJ	DC オフセット調整フィルタ設定
5A	IQ_MAG_ADJ_H	IF の IQ 振幅バランス調整(上位 4 ビット)
5B	IQ_MAG_ADJ_L	IF の IQ 振幅バランス調整(下位バイト)
5C	IQ_PHASE_ADJ_H	IF の IQ 位相バランス調整(上位 4 ビット)
5D	IQ_PHASE_ADJ_L	IF の IQ 位相バランス調整(下位バイト)
5E	IQ_ADJ_WAIT	IF の IQ 自動調整用 RSSI 取得ウェイト時間
5F	IQ_ADJ_TARGET	IF の IQ 自動調整用 RSSI 判定閾値
60	DEC_GAIN	デシメーションゲイン設定
61	IF_FREQ	IF 周波数選択
62	OSC_ADJ1	発振回路制御(粗調)
63	OSC_ADJ2	発振回路制御(微調)
64	Reserved	予約
65	OSC_ADJ4	高速起動時発振回路バイアス設定
66	RSSI_ADJ	RSSI 値の調整
67	PA_REG_ADJ_H	PA レギュレータ調整(上位バイト)
68	PA_REG_ADJ_L	PA レギュレータ調整(下位バイト)
69	Reserved	予約
6A	CHFIL_BW_CCA	CCA 時チャンネルフィルタ帯域幅設定

BANK0 続き

アドレス [HEX]	レジスタ名称	機能概要
6B	CHFIL_BW_OPTION	チャンネルフィルタ帯域幅オプション設定
6C	DC_FIL_ADJ2	DC オフセット調整フィルタ設定 2
6D	Reserved	予約
6E	VCO_CAL	VCO キャリブレーション値表示または設定
6F	VCO_CAL_START	VCO キャリブレーション実行
70	CLK_CAL_SET	低速クロックキャリブレーション制御
71	CLK_CAL_TIME	低速クロックキャリブレーション時間設定
72	CLK_CAL_H	低速クロックキャリブレーション値表示(上位バイト)
73	CLK_CAL_L	低速クロックキャリブレーション値表示(下位バイト)
74	Reserved	予約
75	SLEEP_INT_CLR	SLEEP 時割込みクリア設定
76	RF_TEST_MODE	送信テストパターン設定
77	STM_STATE	ステートマシン状態表示
78	FIFO_SET	FIFO リード設定
79	RD_FIFO_LAST	受信時 FIFO 使用量表示
7A	TX_PKT_LEN_H	送信パケット長設定
7B	TX_PKT_LEN_L	送信パケット長設定
7C	WR_TX_FIFO	送信 FIFO
7D	RX_PKT_LEN_H	受信パケット長表示
7E	RX_PKT_LEN_L	受信パケット長表示
7F	RD_FIFO	FIFO リード

BANK1

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	CLK_OUT	CLK_OUT(GPIO _n) 出力周波数設定
02	TX_RATE_H	送信データレート変換設定(上位バイト)
03	TX_RATE_L	送信データレート変換設定(下位バイト)
04	RX_RATE1_H	受信データレート変換設定 1(上位バイト)
05	RX_RATE1_L	受信データレート変換設定 1(下位バイト)
06	RX_RATE2	受信データレート変換設定 2
07	Reserved	予約
08	OSC_W_SEL	クロック安定化待ち時間設定
09-0A	Reserved	予約
0B	PLL_LOCK_DETECT	PLL ロック判定設定
0C-0D	Reserved	予約
0E	GAIN_HOLD	ゲイン切り替え設定
0F	Reserved	予約
10	GC_CTRL_DIV	ダイバーシティ時のゲイン制御設定
11	Reserved	予約
12	RSSI_STABLE_TIME	RSSI 安定化待ち時間設定
13	RSSI_MAG_ADJ	ED 変換用 RSSI 補正設定
14	Reserved	予約
15	AFC/GC_CTRL	AFC/ゲイン制御設定
16	CRC_POLY3	CRC 生成多項式 3
17	CRC_POLY2	CRC 生成多項式 2
18	CRC_POLY1	CRC 生成多項式 1
19	CRC_POLY0	CRC 生成多項式 0
1A	PLL_DIV_SET	PLL 出力 2 分周切り替え設定
1B	TXFREQ_I	送信周波数 I カウンタ設定
1C	TXFREQ_FH	送信周波数 F カウンタ設定(上位 4 ビット)
1D	TXFREQ_FM	送信周波数 F カウンタ設定(中位 8 ビット)
1E	TXFREQ_FL	送信周波数 F カウンタ設定(下位 8 ビット)
1F	RXFREQ_I	受信周波数 I カウンタ設定
20	RXFREQ_FH	受信周波数 F カウンタ設定(上位 4 ビット)
21	RXFREQ_FM	受信周波数 F カウンタ設定(中位 8 ビット)
22	RXFREQ_FL	受信周波数 F カウンタ設定(下位 8 ビット)
23	CH_SPACE_H	チャンネル間隔設定(上位バイト)
24	CH_SPACE_L	チャンネル間隔設定(下位バイト)
25	SYNC_WORD_LEN	SYNC_WORD 長設定
26	SYNC_WORD_EN	SYNC_WORD イネーブル設定
27	SYNCWORD1_SET0	SYNC_WORD1 設定 1
28	SYNCWORD1_SET1	SYNC_WORD1 設定 2
29	SYNCWORD1_SET2	SYNC_WORD1 設定 3
2A	SYNCWORD1_SET3	SYNC_WORD1 設定 4
2B	SYNCWORD2_SET0	SYNC_WORD2 設定 1
2C	SYNCWORD2_SET1	SYNC_WORD2 設定 2
2D	SYNCWORD2_SET2	SYNC_WORD2 設定 3
2E	SYNCWORD2_SET3	SYNC_WORD2 設定 4
2F	FSK_CTRL	GFSK/FSK 変調タイミング分解能設定
30	GFSK_DEV_H	GFSK 時周波数偏位設定(上位 6 ビット)
31	GFSK_DEV_L	GFSK 時周波数偏位設定(下位バイト)
32	FSK_DEV0_H/GFIL0	FSK 周波数偏位設定 0/ガウシアンフィルタ係数設定 1
33	FSK_DEV0_L/GFIL1	FSK 周波数偏位設定 0/ガウシアンフィルタ係数設定 2
34	FSK_DEV1_H/GFIL2	FSK 周波数偏位設定 1/ガウシアンフィルタ係数設定 3
35	FSK_DEV1_L/GFIL3	FSK 周波数偏位設定 1/ガウシアンフィルタ係数設定 4

BANK1 続き

アドレス [HEX]	レジスタ名称	機能概要
36	FSK_DEV2_H/GFIL4	FSK 周波数偏位設定 2/ガウシアンフィルタ係数設定 5
37	FSK_DEV2_L/GFIL5	FSK 周波数偏位設定 2/ガウシアンフィルタ係数設定 6
38	FSK_DEV3_H/GFIL6	FSK 周波数偏位設定 3/ガウシアンフィルタ係数設定 7
39	FSK_DEV3_L	FSK 周波数偏位設定 3
3A	FSK_DEV4_H	FSK 周波数偏位設定 4
3B	FSK_DEV4_L	FSK 周波数偏位設定 4
3C	FSK_TIM_ADJ4	FSK 第 4 周波数偏位の保持時間設定
3D	FSK_TIM_ADJ3	FSK 第 3 周波数偏位の保持時間設定
3E	FSK_TIM_ADJ2	FSK 第 2 周波数偏位の保持時間設定
3F	FSK_TIM_ADJ1	FSK 第 1 周波数偏位の保持時間設定
40	FSK_TIM_ADJ0	FSK 周波数無偏位(キャリア周波数)の保持時間設定
41	4FSK_DATA_MAP	4FSK 時のデータマッピング
42	FREQ_ADJ_H	送受信周波数微調整設定(上位バイト)
43	FREQ_ADJ_L	送受信周波数微調整設定(下位バイト)
44-47	Reserved	予約
48	2DIV_MODE	アンテナダイバーシティモード設定
49	2DIV_SEARCH1	アンテナダイバーシティサーチ時間設定
4A	2DIV_SEARCH2	アンテナダイバーシティサーチ時間設定
4B	2DIV_FAST_LVL	アンテナダイバーシティ FAST モードの ED 閾値設定
4C	Reserved	予約
4D	VCO_CAL_MIN_I	VCO_CAL 下限周波数 I カウンタ設定
4E	VCO_CAL_MIN_FH	VCO_CAL 下限周波数 F カウンタ設定(上位 6 ビット)
4F	VCO_CAL_MIN_FM	VCO_CAL 下限周波数 F カウンタ設定(中位 8 ビット)
50	VCO_CAL_MIN_FL	VCO_CAL 下限周波数 F カウンタ設定(下位 8 ビット)
51	VCO_CAL_MAX_N	VCO_CAL_Max 周波数設定
52	VCAL_MIN	VCO キャリブレーション下限値
53	VCAL_MAX	VCO キャリブレーション上限値
54-55	Reserved	予約
56	DEMOD_SET0	復調器設定 0
57	DEMOD_SET1	復調器設定 1
58	DEMOD_SET2	復調器設定 2
59	DEMOD_SET3	復調器設定 3
5A-5B	Reserved	予約
5C	DEMOD_SET6	復調器設定 6
5D	DEMOD_SET7	復調器設定 7
5E	DEMOD_SET8	復調器設定 8
5F	DEMOD_SET9	復調器設定 9
60	DEMOD_SET10	復調器設定 10
61	DEMOD_SET11	復調器設定 11
62	ADDR_CHK_CTR_H	アドレスチェックカウンタ表示(上位 3 ビット)
63	ADDR_CHK_CTR_L	アドレスチェックカウンタ表示(下位バイト)
64	WHT_INIT_H	Whitening 初期状態設定(上位 1 ビット)
65	WHT_INIT_L	Whitening 初期状態設定(下位 8 ビット)
66	WHT_CFG	Whitening 生成多項式設定
67-7A	Reserved	予約
7B	TX_RATE2_EN	送信データレート設定イネーブル
7C	TX_RATE2_H	送信データレート設定 2(上位バイト)
7D	TX_RATE2_L	送信データレート設定 2(下位バイト)
7E	Reserved	予約
7F	ID_CODE	ID コード表示

BANK2

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01-3F	Reserved	予約
40	VTUNE_COMP_ON	VCO 調整電圧閾値比較結果表示イネーブル
41-75	Reserved	予約
76	GAIN_HHHTH	高高ゲインから高ゲインへの切り替え閾値設定
77	GAIN_HTOHH	高ゲインから高高ゲインへの切り替え閾値設定
78	GAIN_HTOM	高ゲインから中間ゲインへの切り替え閾値設定
79	GAIN_MTOH	中間ゲインから高ゲインへの切り替え閾値設定
7A	GAIN_MTOL	高ゲインから低ゲインへの切り替え閾値設定
7B	GAIN_LTOM	低ゲインから中間ゲインへの切り替え閾値設定
7C	RSSI_ADJ_H	高ゲイン動作時の RSSI オフセット値設定
7D	RSSI_ADJ_M	中間ゲイン動作時の RSSI オフセット値設定
7E	RSSI_ADJ_L	低ゲイン動作時の RSSI オフセット値設定
7F	Reserved	予約

BANK3

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01-22	Reserved	予約
23	2MODE_DET	ModeT/C 同時受信設定
24-40	Reserved	予約
41	RAMP_CTRL1	PA ランプ制御設定 1
42	RAMP_CTRL2	PA ランプ制御設定 2
43	RAMP_CTRL3	PA ランプ制御設定 3
44-4F	Reserved	予約
50	EXT_WU_CTRL	外部ウェイクアップ制御設定
51	EXT_WU_INTERVAL	外部ウェイクアップインターバル設定
52-7F	Reserved	予約

BANK6

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	MOD_CTRL	変調方式設定
02	FEC_CTRL	FEC 設定
03-7A	Reserved	予約
7B	BPSK_PLL_CTRL	BPSK 方式設定
7C	BPSK_P_START_H	BPSK 周波数制御時の周波数偏位開始時間設定(上位 3 ビット)
7D	BPSK_P_START_L	BPSK 周波数制御時の周波数偏位開始時間設定(下位 バイト)
7E	BPSK_P_HOLD_H	BPSK 周波数制御時の周波数偏位保持時間設定(上位 4 ビット)
7F	BPSK_P_HOLD_H	BPSK 周波数制御時の周波数偏位保持時間設定(下位 バイト)

BANK7

アドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	DIFF_ENC_CTRL	差動符号化設定
02-7F	Reserved	予約

BANK10

ドレス [HEX]	レジスタ名称	機能概要
00	BANK_SEL	BANK 切り替え
01	BPSK_STEP_CTRL	BPSK ステップ制御設定
02	BPSK_STEP_CLK_SET	BPSK ステップ制御クロック設定
03	Reserved	予約
04	BPSK_SETP_SET0	BPSK ステップ制御設定 0
05	BPSK_SETP_SET1	BPSK ステップ制御設定 1
06	BPSK_SETP_SET2	BPSK ステップ制御設定 2
07	BPSK_SETP_SET3	BPSK ステップ制御設定 3
08	BPSK_SETP_SET4	BPSK ステップ制御設定 4
09	BPSK_SETP_SET5	BPSK ステップ制御設定 5
0A	BPSK_SETP_SET6	BPSK ステップ制御設定 6
0B	BPSK_SETP_SET7	BPSK ステップ制御設定 7
0C	BPSK_SETP_SET8	BPSK ステップ制御設定 8
0D	BPSK_SETP_SET9	BPSK ステップ制御設定 9
0E	BPSK_SETP_SET10	BPSK ステップ制御設定 10
0F	BPSK_SETP_SET11	BPSK ステップ制御設定 11
10	BPSK_SETP_SET12	BPSK ステップ制御設定 12
11	BPSK_SETP_SET13	BPSK ステップ制御設定 13
12	BPSK_SETP_SET14	BPSK ステップ制御設定 14
13	BPSK_SETP_SET15	BPSK ステップ制御設定 15
14	BPSK_SETP_SET16	BPSK ステップ制御設定 16
15	BPSK_SETP_SET17	BPSK ステップ制御設定 17
16	BPSK_SETP_SET18	BPSK ステップ制御設定 18
17	BPSK_SETP_SET19	BPSK ステップ制御設定 19
18	BPSK_SETP_SET20	BPSK ステップ制御設定 20
19	BPSK_SETP_SET21	BPSK ステップ制御設定 21
1A	BPSK_SETP_SET22	BPSK ステップ制御設定 22
1B	BPSK_SETP_SET23	BPSK ステップ制御設定 23
1C	BPSK_SETP_SET24	BPSK ステップ制御設定 24
1D	BPSK_SETP_SET25	BPSK ステップ制御設定 25
1E	BPSK_SETP_SET26	BPSK ステップ制御設定 26
1F	BPSK_SETP_SET27	BPSK ステップ制御設定 27
20	BPSK_SETP_SET28	BPSK ステップ制御設定 28
21	BPSK_SETP_SET29	BPSK ステップ制御設定 29
22	BPSK_SETP_SET30	BPSK ステップ制御設定 30
23	BPSK_SETP_SET31	BPSK ステップ制御設定 31
24	BPSK_SETP_SET32	BPSK ステップ制御設定 32
25	BPSK_SETP_SET33	BPSK ステップ制御設定 33
26	BPSK_SETP_SET34	BPSK ステップ制御設定 34
27	BPSK_SETP_SET35	BPSK ステップ制御設定 35
28	BPSK_SETP_SET36	BPSK ステップ制御設定 36
29	BPSK_SETP_SET37	BPSK ステップ制御設定 37
2A	BPSK_SETP_SET38	BPSK ステップ制御設定 38
2B	BPSK_SETP_SET39	BPSK ステップ制御設定 39
2C	BPSK_SETP_SET40	BPSK ステップ制御設定 40
2D	BPSK_SETP_SET41	BPSK ステップ制御設定 41
2E	BPSK_SETP_SET42	BPSK ステップ制御設定 42
2F	BPSK_SETP_SET43	BPSK ステップ制御設定 43
30	BPSK_SETP_SET44	BPSK ステップ制御設定 44
31	BPSK_SETP_SET45	BPSK ステップ制御設定 45
32	BPSK_SETP_SET46	BPSK ステップ制御設定 46
33	BPSK_SETP_SET47	BPSK ステップ制御設定 47
34	BPSK_SETP_SET48	BPSK ステップ制御設定 48

BANK10 続き

アドレス [HEX]	レジスタ名称	機能概要
35	BPSK_SETP_SET49	BPSK ステップ制御設定 49
36	BPSK_SETP_SET50	BPSK ステップ制御設定 50
37	BPSK_SETP_SET51	BPSK ステップ制御設定 51
38	BPSK_SETP_SET52	BPSK ステップ制御設定 52
39	BPSK_SETP_SET53	BPSK ステップ制御設定 53
3A	BPSK_SETP_SET54	BPSK ステップ制御設定 54
3B	BPSK_SETP_SET55	BPSK ステップ制御設定 55
3C	BPSK_SETP_SET56	BPSK ステップ制御設定 56
3D	BPSK_SETP_SET57	BPSK ステップ制御設定 57
3E	BPSK_SETP_SET58	BPSK ステップ制御設定 58
3F	BPSK_SETP_SET59	BPSK ステップ制御設定 59
40	PADRV_CTRL	PA ドライバ制御設定
41	PADRV_ADJ1	PA ドライバ調整 1
42	PADRV_ADJ2_H	PA ドライバ調整 1(上位バイト)
43	PADRV_ADJ2_L	PA ドライバ調整 1(下位バイト)
44	PADRV_CLK_SET_H	PA ドライバ制御用クロック設定(上位バイト)
45	PADRV_CLK_SET_L	PA ドライバ制御用クロック設定(下位バイト)
46	PADRV_UP_ADJ	BPSK ドライバ制御立上り開始時間設定
47-7F	Reserved	予約

●レジスタ BANK0

0x00【BANK_SEL】

機能:レジスタアクセス先選択

アドレス:0x00 (BANK0)

初期値:0x11

Bit	ビット名	初期値	R/W	説明
7-4	BANK_ACEN	0001	R/W	レジスタアクセスイネーブル 0001: BANK0 アクセス許可 0010: BANK1 アクセス許可 0100: BANK2 アクセス許可 1000: BANK3 アクセス許可 0011: BANK6 アクセス許可 0101: BANK7 アクセス許可 1001: BANK10 アクセス許可 上記以外: アクセス禁止
3-0	BANK[3:0]	0001	R/W	BANK 切り替え 0001: BANK0 アクセス 0010: BANK1 アクセス 0100: BANK2 アクセス 1000: BANK3 アクセス 0011: BANK6 アクセス 0101: BANK7 アクセス 1001: BANK10 アクセス 上記以外: 設定禁止

【説明】

1. VCO キャリブレーション実行中は BANK1 のレジスタにアクセスしないでください。
2. SPI アクセスは CLK_INIT_DONE([CLK_SET1: B0 0x02(7)])が 0b0 でも実行できますが、RF 動作は必ず CLK_INIT_DONE が 0b1 であることを確認した後に実行してください。

0x01【RST_SET】

機能:ソフトリセット設定

アドレス:0x01 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	RST3_EN	0	R/W	リセット3 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に0になります)
6	RST2_EN	0	R/W	リセット2 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に0になります)
5	RST1_EN	0	R/W	リセット1 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に0になります)
4	RST0_EN	0	R/W	リセット0 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に0になります)
3	RST3	0	R/W	PHY 機能リセット bit7(RST3_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に0になります)
2	RST2	0	R/W	RF 状態制御機能リセット bit6(RST2_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に0になります)
1	RST1	0	R/W	MODEM 機能リセット bit5(RST1_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に0になります)
0	RST0	0	R/W	コンフィグレーション機能リセット bit4(RST0_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に0になります) ※[CLK_SET2]レジスタ(B0 0x03)の bit6-4 を除く全レジスタ値は初期値に戻ります。 ※本リセット後、FIFO 格納データは保証されません。

【説明】

- イネーブルビット(bit7 から bit4)と実行ビット(bit3 から bit0)は同時に設定してください。リセット実行後は状態を保持せず、自動的に各ビットは 0b0 に上書きされます。
- 実行ビット(bit3 から bit0)書き込み後、2μsec 以内にリセットが完了します。ただし、SLEEP 中 (SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])=0b1 時)にリセットを実行設定した場合、SLEEP 解除後のクロック安定化完了割込み INT[0]([INT_SOURCE_GRP1: B0 0x0D(0)])発生時にリセットが実行され、各ビットが 0b0 に上書きされます。リセット実行までに設定状態を変更した場合、変更後の設定が有効となります。

0x02【CLK_SET1】

機能:クロック設定

アドレス:0x02 (BANK0)

初期値:0x3F

Bit	ビット名	初期値	R/W	説明
7	CLK_INIT_DONE	0	R	クロック安定化完了フラグ
6:5	Reserved	00	R	予約
4	CLK4_EN	1	R/W	ADC のクロック制御 0: クロック停止 1: クロック供給
3	CLK3_EN	1	R/W	RF 機能(RF 状態制御)のクロック制御 0: クロック停止 1: クロック供給
2	CLK2_EN	1	R/W	送信機能(MOD)のクロック制御 0: クロック停止 1: クロック供給
1	CLK1_EN	1	R/W	受信機能(DEMOD)のクロック制御 0: クロック停止 1: クロック供給
0	CLK0_EN	1	R/W	PHY 機能のクロック制御 0: クロック停止 1: クロック供給

0x03【CLK_SET2】

機能: クロック設定 2

アドレス: 0x03 (BANK0)

初期値: 0x9B

Bit	ビット名	初期値	R/W	説明
7	MSTR_CLK_EN	1	R/W	ロジック領域クロック供給制御 0: ディセーブル 1: イネーブル
6	TCXO_EN	0	R/W	TCXO 入力制御 (1) (2) (3) 0: ディセーブル 1: イネーブル
5	Reserved	0	R	予約
4	XTAL_EN	1	R/W	水晶発振回路制御 (1) (2) 0: ディセーブル 1: イネーブル
3	RC32K_EN	1	R/W	内蔵 RC 発振回路制御 0: ディセーブル 1: イネーブル
2	Reserved	0	R/W	予約
1	REG_PA_ENB	1	R/W	PA レギュレータ制御 0: 常時動作 1: 受信時 OFF
0	LOW_RATE_EN	1	R/W	受信部クロック低速化設定 0: ディセーブル 1: イネーブル ※0b1 設定時、“電源電流特性”の受信状態の電流値が得られます。

【ご注意】

- (1) TCXO をお使いになる場合は、TCXO_EN を 0b1 に設定してください。また、必ず TCXO_EN、XTAL_EN のいずれか 1 つのみ 0b1 となるように設定してください。
- (2) RST0([RST_SET: B0 0x01(0)])ではクリアされません。クリア時は本ビットを SPI アクセスにより変更するか、ハードリセット(RESETN 端子="L")を実行してください。
- (3) TCXO をお使いになる場合は、本ビットを最初に設定してください。途中でイネーブル設定(本ビット設定前に他のレジスタ設定)をした場合でも、その他レジスタ設定値は初期化されません。

0x04【PKT_CTRL1】

機能: パケット制御 1

アドレス: 0x04 (BANK0)

初期値: 0x03

Bit	ビット名	初期値	R/W	説明
7:6	EXT_PKT_MODE[1:0]	00	R/W	パケット拡張モード設定(Wireless M-Bus 対応) 00: 拡張しない 01: 2 バイト拡張(Extended Link Layer CI=0x8C) 10: 8 バイト拡張(Extended Link Layer CI=0x8D) 上記以外: 予約 ※「パケットフォーマット」を参照してください。 ※ 10/16 バイト拡張を行う場合は 0b00 に設定し、 EXT_PKT_MODE2[DATA_SET2: B0 0x08(7-6)]を設定してください。
5	LEN_LF_EN	0	R/W	Length 領域送出順設定 0: MSB ファースト 1: LSB ファースト
4	DAT_LF_EN	0	R/W	データ領域送出順設定 0: MSB ファースト 1: LSB ファースト
3	RX_EXTPKT_OFF	0	R/W	受信時パケット拡張モードオフ設定(Wireless M-Bus 対応) 0: 拡張パケットを自動認識する 1: 拡張パケットを自動認識しない
2	IEEE802_15_4G_EN	0	R/W	IEEE802.15.4g モード設定 0: IEEE802_15.4g モード無効 1: IEEE802_15.4g モード有効 ※0b1 設定時、受信時の L-field の bit12(CRC 設定)、bit11(Whitening 設定)を自動判定し、Whitening/CRC 処理を行います。 LENGTH_MODE([PKT_CTRL2: B0 0x05(0)])を 0b1(2 バイトモード)設定が必要です。 ※送信時の自動認識機能はありません。各レジスタにて WHIT_SET([DATA_SET2: B0 0x08(0)])と CRC_LEN[1:0]([PKT_CTRL2: B0 0x05(5-4)])設定が必要となります。 ※詳細は「IEEE802.15.4g モード設定」をご参照ください。
1:0	PKT_FORMAT	11	R/W	パケットフォーマット設定 00: FormatA(Wireless M-Bus 対応) 01: FormatB(Wireless M-Bus 対応) 10: FormatC(汎用フォーマット) 11: FormatD(汎用フォーマット) ※「パケットフォーマット」を参照してください。

0x05【PKT_CTRL2】

機能: パケット制御 2

アドレス: 0x05 (BANK0)

初期値: 0x10

Bit	ビット名	初期値	R/W	説明
7	CRC_INIT_SEL	0	R/W	CRC 演算初期値選択設定 0: ALL0 1: ALL1
6	CRC_COMP_OFF	0	R/W	CRC 補数出力 OFF 設定 0: 補数出力する 1: 補数出力しない
5:4	CRC_LEN[1:0]	01	R/W	CRC 長設定 00: CRC8 01: CRC16 10: CRC32 上記以外: 予約 ※0b00(CRC8)および 0b10(CRC32)は Format C のみ有効です。 ※詳細は「CRC 機能」を参照してください。
3	RX_CRC_EN	0	R/W	受信 CRC 設定 0: ディセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、受信データに対して CRC 演算結果を [CRC_ERR_H/M/L: B0 0x13/14/15] に表示します。
2	TX_CRC_EN	0	R/W	送信 CRC 設定 0: ディセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、送信データに対して CRC を付加します。
1:0	LENGTH_MODE[1:0]	00	R/W	Length フィールド長設定 00: 1 バイトモード 01: 2 バイトモード (Length 領域を上位に 3bit 拡張します)

【説明】

1. 送信時、[TX_PKT_LEN_H/L: B0 0x7A/7B]で設定される Length 値からトータル Length を算出します。トータル Length 分の送信後、送信完了となります。
2. 受信時、受信した Length 値が示す Length 値からトータル Length を算出します。トータル Length 分のデータ受信後、受信完了となります。
3. 詳細は「パケットフォーマット」を参照してください。

0x06【DRATE_SET】

機能: データレート設定

アドレス: 0x06 (BANK0)

初期値: 0xBB

Bit	ビット名	初期値	R/W	説明
7:4	RX_DRATE [3:0]	1011	R/W	受信データレート設定 ※LOW_RATE_EN ([CLK_SET2:B0 0x03(0)])=0b1 の時、本ビット設定により[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]が各レートに応じた最適値を自動的に設定されます。 ※但し、LOW_RATE_EN=0b0 の時、最適値は設定されません。直接[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]を「初期設定レジスタ」に従って設定してください。 ※RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])が 0b10 または 0b11 を設定したDIOモードでは、9.6kbps 以下のデータレートは本レジスタにより設定できません。DIO モードを使用する場合は、直接[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]を「初期設定レジスタ」に従って設定してください。
				設定値 データレート
				0000 1.2kbps
				0001 2.4kbps
				0010 4.8kbps
				0011 9.6kbps
				0100 10kbps
				0101 19.2kbps
				0110 15kbps
				0111 20kbps
				1000 32.768kbps
				1001 40kbps
				1010 50kbps
				1011 100kbps
3:0	TX_DRATE [3:0]	1011	R/W	送信データレート設定 ※本ビット設定により[TX_RATE_H/L: B1 0x02/03]が各レートに応じた最適値を自動的に設定されます。
				設定値 データレート
				0000 1.2kbps
				0001 2.4kbps
				0010 4.8kbps
				0011 9.6kbps
				0100 10kbps
				0101 19.2kbps
				0110 15kbps
				0111 20kbps
				1000 32.768kbps
				1001 40kbps
				1010 50kbps
				1011 100kbps

【説明】

- データレート変更時は、関連するレジスタの設定も必要です。詳細は「データレート変更時の設定」をご参照ください。
- 4FSK/4GFSK 設定時はビットレートを設定します。Air 上では設定レートの 1/2 となります。

0x07【DATA_SET1】

機能: 送受信データ各種設定 1

アドレス: 0x07 (BANK0)

初期値: 0x15

Bit	ビット名	初期値	R/W	説明
7	PB_PAT	0	R/W	送受信極性設定 0: 正極性 1: 負極性 ※0b1 設定時、PR_PAT[PREAMBLE_SET: B0 0x3F(3-0)]の極性を反転します。
6	TX_FSK_POL	0	R/W	送信データ極性設定 0: データ“1”=高い周波数に偏位、データ“0”=低い周波数に偏位 1: データ“1”=低い周波数に偏位、データ“0”=高い周波数に偏位
5	RX_FSK_POL	0	R/W	受信データ極性設定 0: 高い周波数偏位=データ“1”、低い周波数偏位=データ“0” 1: 低い周波数偏位=データ“0”、高い周波数偏位=データ“1”
4	GFSK_EN	1	R/W	ガウシアンフィルタ設定 0: ディセーブル 1: イネーブル ※詳細は「FSK 変調」をご参照ください。 ※BPSK 変調時は本ビットは必ず 0b1 に設定してください。
3:2	RX_DEC_SCHEME [1:0]	01	R/W	受信符号化モード設定 00: マンチェスタ符号化 01: NRZ 10: 3-out-of-6 符号化 11: 予約 ※マンチェスタ符号化は、データ“0”に対して“10”、データ“1”に対して“01”に符号化します。
1:0	TX_DEC_SCHEME [1:0]	01	R/W	送信符号化モード設定 00: マンチェスタ符号化 01: NRZ 10: 予約 11: 予約 ※マンチェスタ符号化は、データ“0”に対して“10”、データ“1”に対して“01”に符号化します。

0x08【DATA_SET2】

機能: 送受信データ各種設定 2

アドレス: 0x08 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	EXT_PKT_MODE2[1:0]	00	R/W	パケット拡張モード設定 2(Wireless M-Bus2013 対応) 00: 拡張しない 01: 10 バイト拡張(Extended Link Layer CI=0x8E) 10: 16 バイト拡張(Extended Link Layer CI=0x8F) 上記以外: 予約 ※「パケットフォーマット」を参照してください。 ※ 2/8 バイト拡張を行う場合は、0b00 設定し、 EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]を設定してください。
5	FSK_SEL	0	R/W	FSK 多値化設定 0: 2 値 FSK モード 1: 4 値 FSK モード
4	SYNCWORD_SEL	0	R/W	同期ワードパターン選択設定 0: 同期ワードパターン 1 を選択する 1: 同期ワードパターン 2 を選択する ※詳細は「SyncWord 検出機能」をご参照ください。
3	2SW_DET_EN	0	R/W	SyncWord2 面待ち設定 0: 2 面待ちしない 1: 2 面待ちする ※詳細は「SyncWord 検出機能」をご参照ください。
2	2PB_DET_EN	0	R/W	受信プリアンプル 2 面待ち設定 0: 2 面待ちしない(“01”パターンと”10”パターンの区別をする) 1: 2 面待ちする(“01”パターンと”10”パターンの区別をしない)
1	MAN_POL	0	R/W	マンチェスタ極性設定 0: 極性を反転しない 1: 極性を反転する
0	WHT_SET	0	R/W	Whitening 設定 0: Whitening 無効 1: Whitening 有効

0x09【CH_SET】

機能: 送受信チャンネル設定

アドレス: 0x09 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	RF_CH[7:0]	0000_0000	R/W	送受信チャンネル設定(設定範囲 0~255) ※詳細は「チャンネル周波数の設定」をご参照ください。

0x0A【RF_STATUS_CTRL】

機能:RF 状態変更制御

アドレス:0x0A (BANK0)

初期値:0x08

Bit	ビット名	初期値	R/W	説明
7	INFINITE_TX	0	R/W	繰り返し送信モード設定 0: 1 パケット送信 1: 繰り返し送信(無限) ※0b1 設定時、プリアンブル～パケット最終データ送信後、プリアンブル送信に戻り、送信を繰り返します。送信を終了する場合、Force_TRX_OFF を実行します。
6	AUTO_DATA_REQ	0	R/W	自動送信要求設定 0: ディセーブル 1: イネーブル ※0b1 設定時、TX_ON 命令発行により自動でデータ送信要求受付完了割込みを発生し、送信します。このとき、送信されるデータは送信 FIFO に書き込んだ最新のデータが送信されます。
5	FAST_TX_EN	0	R/W	FAST_TX モード設定 0: FAST_TX モードで送信を行わない 1: FAST_TX モードで送信を行う ※0b1 設定時、送信データの書き込み量が[TXFIFO_THRL: B0 0x18(5-0)]で設定される値より大きくなった場合、送信状態へ遷移します。
4	AUTO_TX_EN	0	R/W	自動送信設定 0: 自動送信を行わない 1: 自動送信を行う ※0b1 設定時、Length 分の送信データの書き込みを完了した場合、送信状態へ遷移します。
3:2	RXDONE_MODE[1:0]	10	R/W	パケット受信完了後の RF 状態設定 00: IDLE 状態へ遷移(TRX_OFF します) 01: TX 状態へ遷移 10: RX 状態を継続 11: SLEEP 状態へ遷移
1:0	TXDONE_MODE[1:0]	00	R/W	パケット送信完了後の RF 状態設定 00: IDLE 状態へ遷移(TRX_OFF します) 01: TX 状態を継続 10: RX 状態へ遷移 11: SLEEP 状態へ遷移

【説明】

1. 詳細は「LSI 状態制御」をご参照ください。

0x0B【RF_STATUS】

機能:RF 部動作設定と状態表示
アドレス:0x0B (BANK0)
初期値:0x88

Bit	ビット名	初期値	R/W	説明
7:4	GET_TRX[3:0]	1000	R	RF 部動作状態表示 0110: RX_ON(受信状態) 1000: TRX_OFF(RF OFF 状態) 1001: TX_ON(送信状態) 上記以外: 予約
3:0	SET_TRX[3:0]	1000	R/W	RF 部動作状態設定 0011: Force_TRX_OFF(強制 RF OFF 設定) 0110: RX_ON(受信設定) (*1) 1000: TRX_OFF(RF OFF 設定) (*3) 1001: TX_ON(送信設定) (*2) 上記以外: 設定無効で状態を変更しない ※1 送信中に RX_ON 設定可能です。その場合、送信完了後に RX_ON へ遷移します。 ※2 受信中に TX_ON 設定可能です。その場合、受信完了後に TX_ON へ遷移します。 ※3 TRX_OFF 設定した場合、送信または受信完了後に RF を OFF しま す。Force_TRX_OFF 設定した場合、送信中または受信中でも強制的 に RF を OFF します。

【説明】

- 1. 詳細は「LSI 状態制御」をご参照ください。

0x0C【DIO_SET】

機能:DIO 制御

アドレス:0x0C (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	RXDIO_CTRL[1:0]	00	R/W	受信 DIO モード設定 00: DIO ディセーブル(FIFO モード) 01: 常時出力モード (DIO/DCLK を常時出力する(復調データ/クロック出力モード)) 10: データ出力モード 1 (復号化前 DIO/DCLK を SyncWord 以降に出力する) 11: データ出力モード 2 (復号化後 DIO/DCLK を SyncWord 以降に出力する) ※0b00 設定時のみ、FIFO が使用可能です。 ※0b01 設定時は BER 測定時に使用します。 ※0b10 設定時、受信データを FIFO にバッファリングするため、FIFO は使用できません。bit0(DIO_START)を 0b1 に設定することにより DIO/DCLK が出力されます。FIFO へのバッファリングは L-field 以降のデータをバッファリングします。 ※0b11 設定時、受信データを FIFO にバッファリングするため、FIFO は使用できません。bit0(DIO_START)を 0b1 に設定することにより DIO/DCLK が出力されます。Length 分のデータ出力後、DIO/DCLK 出力が停止します。FIFO へのバッファリングは Data-field のデータをバッファリングします。
5:4	TXDIO_CTRL[1:0]	00	R/W	送信 DIO モード設定 00: DIO ディセーブル(FIFO モード) 01: 常時入力モード(DCLK を常時出力する) 10: データ入力モード(DCLK を SyncWord 以降に出力する) 上記以外: 予約 ※0b01/10 設定時、FIFO は使用できません。DCLK の立下りに同期して符号化後の送信データを入力してください。
3	Reserved	0	R	予約
2	DIO_RX_COMPLETE	0	R/W	DIO 受信完了設定 0: 受信完了しない 1: 受信完了する ※0b1 設定後、自動的に 0 に戻ります。
1	Reserved	0	R	予約
0	DIO_START	0	R/W	DIO 受信データ出力開始設定 0: 出力しない 1: 出力する ※同期解除により 0 に戻ります。

【説明】

1. 詳細は“DIO 機能”をご参照ください。

0x0D【INT_SOURCE_GRP1】

機能:割込み表示

アドレス:0x0D (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	INT[7]	0	R/W	クロックキャリブレーション完了割込み 0: 割込みなし 1: 割込みあり
6	INT[6]	0	R/W	ウェイクアップ割込み 0: 割込みなし 1: 割込みあり ※SLEEP 中に本割込みをクリアした場合、ウェイクアップタイマによるウェイクアップ時に割込みは発生しません。 【ご注意】3を参照してください。
5	INT[5]	0	R/W	FIFO-Full 割込み 0: 割込みなし 1: 割込みあり ※FIFO 使用量が[TXFIFO_THRH: B0 0x17(5-0)]、または受信 FIFO の残量が[RXFIFO_THRH: B0 0x19(5-0)]で設定される閾値を越えた場合に割込みを発生します。
4	INT[4]	0	R/W	FIFO-Empty 割込み 0: 割込みなし 1: 割込みあり ※送信 FIFO 使用量が[TXFIFO_THRL: B0 0x18]、または受信 FIFO の残量が[RXFIFO_THRL: B0 0x1A]で設定される閾値を下回った場合に割込みを発生します。
3	INT[3]	0	R/W	RF 状態遷移完了割込み 0: 割込みなし 1: 割込みあり
2	INT[2]	0	R/W	PLL ロック外れ割込み 0: 割込みなし 1: 割込みあり ※VTUNE_INT_ENB [PLL_VTRSLT: B0 0x40(2)]=0b0 設定時、本割込みは、PLL ロック外れ時または VCO 調整電圧範囲外検出時に割り込みが発生します。
1	INT[1]	0	R/W	VCO キャリブレーション完了割込み または Fuse アクセス完了割込み または IQ 自動調整完了割込み 0: 割込みなし 1: 割込みあり ※RESETN 端子解除(RESETN="H")後、または PDN_EN([SLEEP/WU_SET: B0 0x2D(2)]=0b1 設定し、SLEEP 状態からの復帰した場合、Fuse アクセス完了割込みが発生します。VCO キャリブレーションは、INT[1]クリア後に実行してください。
0	INT[0]	0	R/W	クロック安定化完了割込み 0: 割込みなし 1: 割込みあり

【ご注意】

1. [INT_EN_GRP1: B0 0x10]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
2. マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
3. SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みを即時にクリアする場合は SLEEP_INT_CLR[SLEEP_INT_CLR: B0 0x75]を実行してください。

0x0E【INT_SOURCE_GRP2】

機能: 割込み表示(受信関連)

アドレス: 0x0E (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	INT[15]	0	R/W	Sync エラー割込み 0: 割込みなし 1: 割込みあり ※SyncWord 検出以降、L-field で指定されるパケット長受信中に受信同期が外れた場合に割込みを発生します。
6	INT[14]	0	R/W	Field チェック割込み 0: 割込みなし 1: 割込みあり
5	INT[13]	0	R/W	SyncWord 検出割込み 0: 割込みなし 1: 割込みあり
4	INT[12]	0	R/W	予約
3	INT[11]	0	R/W	受信 Length エラー割込み (1) 0: 割込みなし 1: 割込みあり
2	INT[10]	0	R/W	ダイバーシティサーチ完了割込み 0: 割込みなし 1: 割込みあり ※ダイバーシティサーチが完了した場合、SyncWord 検出タイミングで割込みを発生します。
1	INT[9]	0	R/W	CRC エラー割込み 0: 割込みなし 1: 割込みあり ※CRC エラ検出時、割込みを発生します。Format A/B についてはCRC-field を複数持つため、エラーが発生した CRC ブロックを[CRC_ERR_H/M/L: B0 0x13/14/15]に表示します。Format C についてはCRC-field は 1 つのみのため、本割込みで結果は判断することができます。
0	INT[8]	0	R/W	受信完了割込み 0: 割込みなし 1: 割込みあり ※L-field が示す Length 分のデータを受信した場合、割込みを通知します。

【説明】

- 以下に示す L-field を受信した場合、受信 Length エラー割込みを発生します。

パケットフォーマット [PKT_CTRL1: B0 0x04]	拡張フォーマット [PKT_CTRL1: B0 0x04]	受信 Length エラーを示す Length 値
Format A	拡張なし	8 バイト以下
	2 バイト拡張	12 バイト以下
	8 バイト拡張	16 バイト以下
Format B	拡張なし	10 バイト以下、128～129 バイト
	2 バイト拡張	
	8 バイト拡張	17 バイト以下、19～20 バイト、128～129 バイト
Format C	-	0 バイト(CRC8) 1 バイト(CRC16) 2 バイト(CRC32)

【ご注意】

- [INT_EN_GRP2: B0 0x11]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
- マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。

3. SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みを即時にクリアする場合は SLEEP_INT_CLR[SLEEP_INT_CLR: B0 0x75]を実行してください。
4. INT[12](INT_SOURCE_GRP2: B0 0x0E(4))は、受信中の FIFO 読み出し時に 1 になる場合があります。INT[12]は無視してご使用ください。なお、INT_EN[12]([INT_EN_GRP2: B0 0x11(4)])を 0b1 に設定し、かつ INT[12]=0b1 になった場合、割込み通知されますので必ず INT_EN[12]=0b0 に設定してご使用ください。

0x0F【INT_SOURCE_GRP3】

機能:割込み表示(送信関連)

アドレス:0x0F (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	INT[23]	0	R/W	汎用タイマ 2 割込み 0: 割込みなし 1: 割込みあり
6	INT[22]	0	R/W	汎用タイマ 1 割込み 0: 割込みなし 1: 割込みあり
5	Reserved	0	R/W	予約
4	INT[20]	0	R/W	送信 FIFO アクセスエラー割込み 0: 割込みなし 1: 割込みあり ※FIFO モードを用いたデータ送信中に送信 FIFO のオーバーラン、アンダーランが生じた場合、およびデータ送信要求受付完了後、データ送信せずに次バケットの送信 FIFO ライトを行った場合に割込みを発生します。
3	INT[19]	0	R/W	送信 Length エラー割込み (1) 0: 割込みなし 1: 割込みあり
2	INT[18]	0	R/W	CCA 完了割込み 0: 割込みなし 1: 割込みあり ※CCA_INT_SEL([PREAMBLE_SET: B0 0x3F(7-6)])にて CCA 完了時、CCA キャリアあり時、CCA キャリアなし時の割込み通知を選択可能です。
1	INT[17]	0	R/W	データ送信要求受付完了割込み 0: 割込みなし 1: 割込みあり ※[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]に示す Length 分のデータを送信 FIFO にライトした場合、割込みを通知します。
0	INT[16]	0	R/W	送信完了割込み 0: 割込みなし 1: 割込みあり ※[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]に示す Length 分のデータを送信した場合、割込みを通知します。

【説明】

- 以下に示す L-field を[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]にライトした場合、送信 Length エラー割込みが発生します。

パケットフォーマット [PKT_CTRL1: B0 0x04]	拡張フォーマット [PKT_CTRL1: B0 0x04]	送信 Length エラーを示す Length 値
Format A	拡張なし	8 バイト以下
	2 バイト拡張	12 バイト以下
	8 バイト拡張	16 バイト以下
Format B	拡張なし	10 バイト以下、128～129 バイト
	2 バイト拡張	
	8 バイト拡張	17 バイト以下、19～20 バイト、128～129 バイト
Format C	-	0 バイト(CRC8) 1 バイト(CRC16) 2 バイト(CRC32)

【ご注意】

- [INT_EN_GRP3: B0 0x12]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
- マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
- SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みを即時にクリアする場合は SLEEP_INT_CLR[SLEEP_INT_CLR: B0 0x75]を実行してください。

0x10【INT_EN_GRP1】

機能:割込み要因 0～7 の許可設定

アドレス:0x10 (BANK0)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:0	INT_EN[7:0]	0000_0001	R/W	割込み要因 0 から割込み要因 7 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う

【説明】

- 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 各割り込みの詳細は[INT_SOURCE_GRP1: B0 0x0D]を参照してください。

0x11【INT_EN_GRP2】

機能:割込み要因 8～15 の許可設定

アドレス:0x11 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	INT_EN[15:13]	000	R/W	割込み要因 13 から割込み要因 15 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う
4	Reserved	0	R/W	予約 ※必ず 0b0 に設定してください。
3:0	INT_EN[11:8]	0000	R/W	割込み要因 8 から割込み要因 11 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う

【説明】

1. 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
2. 各割り込みの詳細は[INT_SOURCE_GRP2: B0 0x0E]を参照してください。

【ご注意】

1. INT[12](INT_SOURCE_GRP2: B0 0x0E(4))は、受信中の FIFO 読み出し時に 1 になる場合があります。INT[12]は無視してご使用ください。なお、INT_EN[12](INT_EN_GRP2: B0 0x11(4))を 0b1 に設定し、かつ INT[12]=0b1 になった場合、割込み通知されますので必ず INT_EN[12]=0b0 に設定してご使用ください。

0x12【INT_EN_GRP3】

機能:割込み要因 16～23 の許可設定

アドレス:0x12 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	INT_EN[23:22]	00	R/W	割込み要因 22 から割込み要因 23 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う
5	Reserved	0	R/W	予約
4:0	INT_EN[20:16]	0_0000	R/W	割込み要因 16 から割込み要因 20 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う

【説明】

1. 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
2. 各割り込みの詳細は[INT_SOURCE_GRP3: B0 0x0F]を参照してください。

0x13【CRC_ERR_H】

機能: CRC エラー表示(上位バイト)

アドレス: 0x13 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	CRC_LEN2_EN	0	R/W	CRC 長設定 2 イネーブル 0: イネーブル 1: ディセーブル
6:5	CRC_LEN2[1:0]	00	R/W	CRC 長設定 2 00: CRC8 01: CRC16 10: CRC32 11: 予約 ※CRC_LEN2_EN=0b1 設定時に有効になり、CRC は本設定に従い演算されます。ただし、パケットに付加する、またはパケットの CRC をチェックする CRC 長は CRC_LEN([PKT_CTRL2: B0 0x05(5-4)])によって決定されます。
4	CRC_INT_SET	0	R/W	CRC チェック割込み選択設定 0: CRC エラー時に割り込み通知する 1: CRC OK 時に割り込み通知する
3:1	Reserved	000	R	予約
0	CRC_ERR[16]	0	R	17th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x14【CRC_ERR_M】

機能: CRC エラー表示(中位バイト)

アドレス: 0x14 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	CRC_ERR[15]	0	R	16th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
6	CRC_ERR[14]	0	R	15th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
5	CRC_ERR[13]	0	R	14th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
4	CRC_ERR[12]	0	R	13th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
3	CRC_ERR[11]	0	R	12th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
2	CRC_ERR[10]	0	R	11th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
1	CRC_ERR[9]	0	R	10th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
0	CRC_ERR[8]	0	R	9th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x15【CRC_ERR_L】

機能: CRC エラー表示(下位バイト)

アドレス: 0x15 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	CRC_ERR[7]	0	R	8th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
6	CRC_ERR[6]	0	R	7th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
5	CRC_ERR[5]	0	R	6th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
4	CRC_ERR[4]	0	R	5th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
3	CRC_ERR[3]	0	R	4th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
2	CRC_ERR[2]	0	R	3rd CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
1	CRC_ERR[1]	0	R	2nd CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
0	CRC_ERR[0]	0	R	1st CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x16【STATE_CLR】

機能: 状態クリア設定

アドレス: 0x16 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	STATE_CLR_EN	0	R/W	ステートクリアイネーブル設定 0: ステートクリア禁止 1: ステートクリア許可 bit0~4 のステートクリアは本ビットがステートクリア許可設定時のみ実行します。クリア実行後、本ビットは自動的に 0 に戻ります。
6:5	Reseverd	00	R	予約
4	STATE_CLR4	0	R/W	アドレスチェックカウンタクリア 1: [ADDR_CHK_CTR_H/L: B1 0x62/63]で表示するアドレスチェックカウンタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
3	STATE_CLR3	0	R/W	ダイバーシティステートクリア 1: ダイバーシティステートをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
2	STATE_CLR2	0	R/W	PHY ステートクリア 1: PHY ステートをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
1	STATE_CLR1	0	R/W	受信 FIFO ポインタクリア 1: ライトポインタ/リードポインタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
0	STATE_CLR0	0	R/W	送信 FIFO ポインタクリア 1: ライトポインタ/リードポインタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。

【説明】

1. イネーブルビット(bit7)と実行ビット(bit4 から bit0)は同時に設定してください。クリア実行後、自動的に各ビットに 0b0 が書き込まれます。
2. 実行ビット(bit4 から bit0)書き込み後、マスタークロック周期×[RX_RATE1_H/L: B1 0x04/05]設定値×2[usec]後クリアが完了します。

0x17【TXFIFO_THRH】

機能: 送信 FIFO の Full レベル設定

アドレス: 0x17 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	TXFIFO_THRH_EN	0	R/W	送信 FIFO の Full レベルイネーブル 0: ディセーブル 1: イネーブル
6	Reserved	0	R	予約
5:0	TXFIFO_THRH[5:0]	00_0000	R/W	送信 FIFO の Full レベル設定 ※bit7(TXFIFO_THRH_EN)=0b1 設定時のみ有効です。

【説明】

1. 詳細な使い方は「送信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値以上となった場合に割り込みグループ1の INT[5]にて通知します。

0x18【TXFIFO_THRL】

機能: 送信 FIFO の Empty レベル設定および FAST_TX モード時の送信トリガレベル設定

アドレス: 0x18 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	TXFIFO_THRL_EN	0	R/W	送信 FIFO の Empty レベルイネーブル 0: ディセーブル 1: イネーブル
6	Reserved	0	R	予約
5:0	TXFIFO_THRL[5:0]	00_0000	R/W	送信 FIFO の Empty レベル設定および FAST_TX モード時の送信トリガレベル設定 ※bit7(TXFIFO_THRH_EN)=0b1 設定時のみ有効です。 ※TXFIFO_THRL[5:0]は 1 以上の値を設定してください。 ※FAST_TX モード時の送信トリガレベルとして動作させる場合は、FAST_TX_EN([RF_STATUS_CTRL: B0 0x0A(5)])を 0b1 に設定し、TXFIFO_THRL[5:0]は送信データの総書き込み量より 3 以上少ない値を設定してください。

【説明】

1. 詳細な使い方は「送信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値を下回った場合に割り込みグループ1の INT[4]にて通知します。

0x19【RXFIFO_THRH】

機能:受信 FIFO の Full レベルイネーブルとレベル設定

アドレス:0x19 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	RXFIFO_THRH_EN	0	R/W	受信 FIFO の Full レベルイネーブル 0: ディセーブル 1: イネーブル
6	Reserved	0	R	予約
5:0	RXFIFO_THRH[5:0]	00_0000	R/W	受信 FIFO の Full レベル設定 ※bit7(RXFIFO_THRH_EN)=0b1 設定時のみ有効です。

【説明】

1. 詳細な使い方は「受信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値以上となった場合に割り込みグループ1の INT[5]にて通知します。

0x1A【RXFIFO_THRL】

機能:受信 FIFO の Full レベルイネーブルとレベル設定(上位バイト)

アドレス:0x1A (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	RXFIFO_THRL_EN	0	R/W	受信 FIFO の Empty レベルイネーブル 0: ディセーブル 1: イネーブル
6	Reserved	0	R	予約
5:0	RXFIFO_THRL[5:0]	00_0000	R/W	受信 FIFO の Empty レベル設定 ※bit7(RXFIFO_THRL_EN)=0b1 設定時のみ有効です。 ※RXFIFO_THRL[5:0]は 2 以上の値を設定してください。

【説明】

1. 詳細な使い方は「受信 FIFO の残量告知機能の使用方法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値を下回った場合に割り込みグループ1の INT[4]にて通知します。

0x1B【C_CHECK_CTRL】

機能:コントロールフィールド検出設定

アドレス:0x1B (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CA_RXD_CLR	0	R/W	Field 不一致時の受信データ処理設定 0: 受信データを破棄しない 1: 受信データを破棄する ※0b1 設定時、不一致検出後直ちに受信データを破棄し、次パケット受信待ちを行います
6	CA_INT_CTRL	0	R/W	Field チェック割込み設定 0: 一致時に割込みを通知する 1: 不一致時に割込みを通知する
5	Reserved	0	R	予約
4	C_FIELD_CODE5_EN	0	R/W	コントロールフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする ※受信したコントロールフィールドデータが C_FIELD_CODE5 と一致した場合、他のフィールドデータ(マニファクチャID フィールド/アドレスフィールド)が不一致であった場合でも Field チェック結果は一致となります。
3	C_FIELD_CODE4_EN	0	R/W	コントロールフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	C_FIELD_CODE3_EN	0	R/W	コントロールフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	C_FIELD_CODE2_EN	0	R/W	コントロールフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	C_FIELD_CODE1_EN	0	R/W	コントロールフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

0x1C【M_CHECK_CTRL】

機能: マニファクチャードフィールド検出設定

アドレス: 0x1C (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:4	RCV_CONT_SEL[1:0]	00	R/W	動作継続タイマ満了時の受信継続条件設定 00: SyncWord 検出割込み発生時に受信継続する 01: Field チェック割込み発生時に受信継続する 10: 受信同期確立状態時に受信継続する 11: 予約
3	M_FIELD_CODE4_EN	0	R/W	マニファクチャードフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	M_FIELD_CODE3_EN	0	R/W	マニファクチャードフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	M_FIELD_CODE2_EN	0	R/W	マニファクチャードフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	M_FIELD_CODE1_EN	0	R/W	マニファクチャードフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

【説明】

- 詳細は「Field チェック機能」を参照してください。
- Field チェック機能は L-field の判別を行う FIFO モード(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

0x1D【A_CHECK_CTRL】

機能: アドレスフィールド検出設定

アドレス: 0x1D (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	A_FIELD_CODE6_EN	0	R/W	アドレスフィールドパターン 6 チェックイネーブル 0: チェックしない 1: チェックする
4	A_FIELD_CODE5_EN	0	R/W	アドレスフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする
3	A_FIELD_CODE4_EN	0	R/W	アドレスフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	A_FIELD_CODE3_EN	0	R/W	アドレスフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	A_FIELD_CODE2_EN	0	R/W	アドレスフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	A_FIELD_CODE1_EN	0	R/W	アドレスフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

0x1E【C_FIELD_CODE1】

機能:コントロールフィールド設定(コード#1)

アドレス:0x1E (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE1[7:0]	0000_0000	R/W	C-field 設定 コード#1

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x1F【C_FIELD_CODE2】

機能:コントロールフィールド設定(コード#2)

アドレス:0x1F (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE2[7:0]	0000_0000	R/W	C-field 設定 コード#2

【説明】

1. 詳細な使い方は「Field チェック機能」を参照してください。

0x20【C_FIELD_CODE3】

機能:コントロールフィールド設定(コード#3)

アドレス:0x20 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE3[7:0]	0000_0000	R/W	C-field 設定 コード#3

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x21【C_FIELD_CODE4】

機能:コントロールフィールド設定(コード#4)

アドレス:0x21 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE4[7:0]	0000_0000	R/W	C-field 設定 コード#4

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x22【C_FIELD_CODE5】

機能:コントロールフィールド設定(コード#5)

アドレス:0x22 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE5[7:0]	0000_0000	R/W	C-field 設定 コード#5

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x23【M_FIELD_CODE1】

機能:マニファクチャード ID 1st バイト設定(コード#1)

アドレス:0x23 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE1[7:0]	0000_0000	R/W	M-field 1st バイト設定 コード#1

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x24【M_FIELD_CODE2】

機能:マニファクチャード ID 1st バイト設定(コード#2)

アドレス:0x24 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE2[7:0]	0000_0000	R/W	M-field 1st バイト設定 コード#2

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x25【M_FIELD_CODE3】

機能:マニファクチャード ID 2nd バイト設定(コード#1)

アドレス:0x25 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE3[7:0]	0000_0000	R/W	M-field 2nd バイト設定 コード#1

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x26【M_FIELD_CODE4】

機能: マニファクチャID 2nd バイト設定(コード#2)

アドレス: 0x26 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE4[7:0]	0000_0000	R/W	M-field 2nd バイト設定 コード#2

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x27【A_FIELD_CODE1】

機能: アドレスフィールド 1st バイト設定(1 バイト目)

アドレス: 0x27 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE1[7:0]	0000_0000	R/W	A-field 設定(1 バイト目)

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x28【A_FIELD_CODE2】

機能: アドレスフィールド 2nd バイト設定

アドレス: 0x28 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE2[7:0]	0000_0000	R/W	A-field 設定(2 バイト目)

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x29【A_FIELD_CODE3】

機能: アドレスフィールド 3rd バイト設定

アドレス: 0x29 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE3[7:0]	0000_0000	R/W	A-field 設定(3 バイト目)

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x2A【A_FIELD_CODE4】

機能: アドレスフィールド 4th バイト設定

アドレス: 0x2A (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE4[7:0]	0000_0000	R/W	A-field 設定(4 バイト目)

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x2B【A_FIELD_CODE5】

機能: アドレスフィールド 5th バイト設定

アドレス: 0x2B (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE5[7:0]	0000_0000	R/W	A-field 設定(5 バイト目)

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x2C【A_FIELD_CODE6】

機能: アドレスフィールド 6th バイト設定

アドレス: 0x2C (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE6[7:0]	0000_0000	R/W	A-field 設定(6 バイト目)

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x2D【SLEEP/WU_SET】

機能:SLEEP の実行およびウェイクアップ動作設定

アドレス:0x2D (BANK0)

初期値:0x06

Bit	ビット名	初期値	R/W	説明
7	WUT_1SHOT_MODE	0	R/W	ウェイクアップタイマ動作モード設定 0: インターバル動作を継続する 1: 1SHOT 動作後、ウェイクアップタイマを停止する
6	WAKEUP_MODE	0	R/W	ウェイクアップ後の動作設定 0: RX_ON 状態にする 1: TX_ON 状態にする ※動作継続タイマ満了した場合 SLEEP 状態となります。 ※SLEEP 中に FIFO ライトした場合、SLEEP 復帰後にデータ送信要求受付完了割込みが発生します。 ※0b1 設定時、動作継続タイマ満了した場合には強制的に SLEEP に移行するため、動作継続タイマ満了前に送信完了するように設定してください。
5	WU_DURATION_EN	0	R/W	ウェイクアップ後の動作継続タイマイネーブル設定 0: ウェイクアップ後、動作継続タイマを動作させない 1: ウェイクアップ後、動作継続タイマを動作させる ※本ビットが 0b1 設定時で WAKEUP_MODE=0b0 の場合、動作継続タイマ満了までに受信(SyncWord 検出、または Field 検出設定している場合は Field 検出)できなかった場合、自動で SLEEP 状態に移行します。
4	WAKEUP_EN	0	R/W	ウェイクアップイネーブル 0: SLEEP 後、自動ウェイクアップしない 1: SLEEP 後、自動ウェイクアップする ※0b1 設定時、ウェイクアップタイマ満了後、自動で SLEEP から復帰し、bit6(WAKEUP_MODE)で設定される状態となります。
3	RCOSC_MODE	0	R/W	RC 発振回路動作モード設定 0: 常時動作する 1: SLEEP 設定時のみ動作する ※詳細は「SLEEP 設定」をご参照ください。 ※間欠動作として動作継続タイマを使用する場合は本ビットが 0b0 になっている場合、タイマは動作しません。この場合、本設定は 0b1 に設定してください。
2	WUT_CLK_SOURCE	1	R/W	ウェイクアップタイマ用クロックソース設定 0: 外部入力クロック(EXT_CLK Pin#10)を使用する 1: 内蔵 RC 発振回路出力を使用する ※詳細は「SLEEP 設定」をご参照ください。
1	PDN_EN	1	R/W	SLEEP 時の電源制御イネーブル 0: ロジック全領域電源 ON 1: ロジック一部領域のみ電源 ON(送信 FIFO は電源 OFF されます) ※詳細は「SLEEP 設定」をご参照ください。
0	SLEEP_EN	0	R/W	SLEEP モード制御 0: SLEEP 状態から復帰する(通常動作) 1: SLEEP 状態にする ※詳細は「SLEEP 設定」をご参照ください。

【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

0x2E【WUT_CLK_SET】

機能: ウェイクアップタイマ分周設定

アドレス: 0x2E (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:4	WUDT_CLK_SET[3:0]	0000	R/W	<p>動作継続タイマ分周設定</p> <p>0000: 分周なし(TCXO_EN([CLK_SET2: B0 0x02(6)])=0b1 設定時) 設定禁止(XTAL_EN([CLK_SET2: B0 0x02(4)])=0b1 設定時)</p> <p>0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 2 分周 1010: 4 分周 1011: 8 分周 1100: 16 分周 1101: 32 分周 1110: 64 分周 上記以外: 16384 分周</p> <p>※WUT_CLK_SOURCE([SLEEP/WU_SET:B0 0x2D(2)])にて選択するクロックの分周値を設定します。 ※動作継続タイマを使用する場合、本設定は WUT_CLK_SET と同じ設定値にしてください。</p>
3:0	WUT_CLK_SET[3:0]	0000	R/W	<p>ウェイクアップタイマ分周設定</p> <p>0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 2 分周 1010: 4 分周 1011: 8 分周 1100: 16 分周 1101: 32 分周 1110: 64 分周 上記以外: 16384 分周</p> <p>※WUT_CLK_SOURCE([SLEEP/WU_SET:B0 0x2D(2)])にて選択するクロックの分周値を設定します。</p>

【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

0x2F【WUT_INTERVAL_H】

機能:ウェイクアップタイマ設定(上位バイト)

アドレス:0x2F (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	WUT_INTERVAL[15:8]	0000_0000	R/W	ウェイクアップタイマ間隔設定(上位バイト) [WUT_INTERVAL_L]レジスタの8ビットと共に全16ビットから算出されます。タイマ間隔は次式の通りとなります。 ウェイクアップタイマ間隔 = ウェイクアップタイマ用クロック周期([SLEEP/WU_SET: B0 0x2D(2)]) * 分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) * (ウェイクアップタイマ間隔設定([WUT_INTERVAL_H/L: B0 0x2F/30])+1) ※本設定値 WUT_INTERVAL[15:0]は2以上の値を設定してください。

【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

0x30【WUT_INTERVAL_L】

機能:ウェイクアップタイマ設定(下位バイト)

アドレス:0x30 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	WUT_INTERVAL[7:0]	0000_0000	R/W	ウェイクアップタイマ間隔設定(下位バイト) ※詳細は[TIMER_INTERVAL_H: B0 0x2F]をご参照ください。

【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

0x31【WU_DURATION】

機能:ウェイクアップ後の動作継続タイマ設定

アドレス:0x31 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	WU_DURATION[7:0]	0000_0000	R/W	ウェイクアップ後の動作継続タイマ設定 動作継続タイマ間隔 = ウェイクアップタイマ用クロック周期([SLEEP/WU_SET: B0 0x2D(2)]) * 分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) * (動作継続タイマ間隔設定[WU_DURATION: B0 0x31] - 1) ※本設定値 WU_DURATION[7:0]は1以上の値を設定してください。

【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

0x32【GT_SET】

機能: 汎用タイマ設定
アドレス: 0x32 (BANK0)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	GT2_CLK_SOURCE	0	R/W	汎用タイマ 2 クロックソース設定 0: ウェイクアップタイマ用クロック 1: 2MHz クロック
4	GT2_START	0	R/W	汎用タイマ 2 実行設定 0: タイマ中断 1: タイマスタート、再開 ※タイマ満了後、自動的に 0 に戻ります。 ※GT2_CLK_SOURCE=0b0 設定時、タイマ満了後に再スタートする場合、ウェイクアップタイマ用クロック 2 サイクル以上経過後に再スタートしてください。
3:2	Reserved	00	R	予約
1	GT1_CLK_SOURCE	00	R/W	汎用タイマ 1 クロックソース設定 0: ウェイクアップタイマ用クロック 1: 2MHz クロック
0	GT1_START	0	R/W	汎用タイマ 1 実行設定 0: タイマ中断 1: タイマスタート、再開 ※タイマ満了後、自動的に 0 に戻ります。 ※GT1_CLK_SOURCE=0b0 設定時、設定時、タイマ満了後に再スタートする場合、ウェイクアップタイマ用クロック 2 サイクル以上経過後に再スタートしてください。

【説明】

1. 詳細は「汎用タイマ」を参照してください。

0x33【GT_CLK_SET】

機能: 汎用タイマクロック分周設定

アドレス: 0x33 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:4	GT2_CLK_SET[3:0]	0000	R/W	汎用タイマ用クロック 2 分周設定 汎用タイマ用クロック 2 の分周値を設定します。 0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 32768 分周 上記以外: 65536 分周 ※GT2_CLK_SOURCE([GT_SET:B0 0x32(5)])のクロックを下記の分周値に設定します。
3:0	GT1_CLK_SET[3:0]	0000	R/W	汎用タイマ用クロック 1 分周設定 汎用タイマ用クロック 1 の分周値を設定します。 0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 32768 分周 上記以外: 65536 分周 ※GT1_CLK_SOURCE([GT_SET:B0 0x32(1)])のクロックを下記の分周値に設定します。

【説明】

1. 詳細は「汎用タイマ」を参照してください。

0x34【GT1_TIMER】

機能: 汎用タイマ 1 間隔設定

アドレス: 0x34 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	GT1_TIMER[7:0]	0000_0000	R/W	汎用タイマ 1 間隔設定 汎用タイマ 1 間隔 = 汎用タイマ用クロック周期([GT_SET:B0 0x32(1)]) * 分周設定([GT_CLK_SET:B0 0x33(3-0)]) * 汎用タイマ 1 間隔設定(GT1_TIMER[7:0])

【説明】

1. 詳細は「汎用タイマ」を参照してください。

0x35【GT2_TIMER】

機能: 汎用タイマ 2 間隔設定
アドレス: 0x35 (BANK0)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	GT2_TIMER[7:0]	0000_0000	R/W	汎用タイマ 2 間隔設定 汎用タイマ 2 間隔 = 汎用タイマ用クロック周期([GT_SET:B0 0x32(5)]) * 分周設定([GT_CLK_SET:B0 0x33(7-4)]) * 汎用タイマ 2 間隔設定(GT2_TIMER[7:0])

【説明】

1. 詳細は「汎用タイマ」を参照してください。

0x36【CCA_IGNORE_LVL】

機能:CCA の判定除外 ED 値設定

アドレス:0x36 (BANK0)

初期値:0xFE

Bit	ビット名	初期値	R/W	説明
7:0	CCA_IGNORE_LVL [7:0]	1111_1110	R/W	CCA の移動平均判定から除外する ED レベル設定 ※ED 値が、本レジスタ設定値を超えた場合、ED_AVG([ED_CTRL: B0 0x41(2-0)])で設定される平均化から除外され、新たに平均回数に達する ED 値を取得するまで CCA 結果を判定せず CCA_RST ([CCA_CTRL: B0 0x39(1-0)])に 0b11(判定中)を設定します。

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x37【CCA_LVL】

機能:CCA の閾値設定

アドレス:0x37 (BANK0)

初期値:0x5C

Bit	ビット名	初期値	R/W	説明
7:0	CCA_LVL[7:0]	0101_1100	R/W	CCA 閾値レベル設定(設定範囲:0~255) ※ED 値が本レジスタの設定値を超えると CCA_RST ([CCA_CTRL: B0 0x39(1-0)])に 0b01(キャリアあり)が立ちます。

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x38【CCA_ABORT】

機能:CCA 動作の強制終了時間設定

アドレス:0x38 (BANK0)

初期値:0xFF

Bit	ビット名	初期値	R/W	説明
7:0	CCA_ABORT[7:0]	1111_1111	R/W	CCA 強制終了時間設定(設定範囲:0~255) ※0b0000_0000 設定では強制終了時間は無効となります。 ※設定値の 1bit あたりの分解能は 128μs となります。 ※CCA のキャリアあり判定のために CCA 完了しない状態を防ぐためのタイムアウト機能です。本レジスタの設定値 * RSSI 平均間隔(16μs) の期間 CCA を実行した場合、IDLE 検出を終了し、パケットを破棄して RF 状態は TRX_OFF に移ります。

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x39【CCA_CTRL】

機能:CCA 制御設定および結果表示

アドレス:0x39 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CCA_STOP	0	R/W	CCA 無限実行終了設定(1 で停止します) ※CCA_CPU_EN が実行されると本ビットで停止されるまで CCA を実行します。
6	CCA_IDLE_EN	0	R/W	CCA アイドル検出モード設定 0: アイドル検出を行わない 1: アイドル検出を行う
5	CCA_CPU_EN	0	R/W	CCA 無限実行モード設定 0: CCA 無限実行を行わない 1: CCA 無限実行を行う ※本ビットを実行した場合、CCA_STOP ビットで停止されるまで CCA を継続します。
4	CCA_EN	0	R/W	CCA 実行命令 0: CCA を実行しない 1: CCA を実行する ※CCA 完了後、本ビットは自動的に 0 に戻ります。
3	FAST_DET_MODE_EN	0	R/W	高速電波チェックモード設定 0: RX_ON 時 CCA を実行しない 1: RX_ON 時 CCA を自動実行する ※CCA の結果、電波なしと判定した場合、自動的に SLEEP 状態へ移行します。また、タイマ機能と組合せ動作が可能です。詳細は「ウェイクアップタイマ」を参照してください。
2	CCA_ABORT_EN	0	R/W	CCA 強制終了設定 0:CCA を強制終了しない 1:CCA を強制終了する ※本ビットは CCA_IDLE_EN に 1 が設定されているときのみ有効となります。
1:0	CCA_RSLT[1:0]	0	R/W	CCA 結果 00: キャリアなし 01: キャリアあり 10: CCA 判定中(アイドル判定中) 11: CCA 判定中(判定除外の ED 値取得) ※自動クリアされません。CCA にてキャリアありと判定される毎にクリアする必要があります。クリアは CCA 完了割込み([INT_SOURCE_GRP3: B0 0x0F(2)])クリアにてクリアされます。CCA 完了は[INT_SOURCE_GRP3: B0 0x0F(2)]にて通知します。

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。
2. bit6 (CCA_IDLE_EN)と bit5(CCA_CPU_EN)を同時に 0b1 に設定しないでください。

0x3A【ED_RSLT】

機能:ED 値表示
アドレス:0x3A (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ED_VALUE[7:0]	0000_0000	R	ED 値表示 ※ED 値は、ED_RSLT_SET([ED_CTRL: B0 0x41(3)])=0b0 設定されている場合、RX_ON 中に常時更新されます。ED_RSLT_SET=0b1 設定では SyncWord 検出時に ED 値を獲得し、受信データの FIFO リード開始により値が更新されます。

- 【説明】
- ED 値の取得動作の詳細は、「電力検出値(ED 値)取得機能」を参照してください。

0x3B【IDLE_WAIT_H】

機能:CCA 時の IDLE 継続時間設定(上位バイト)
アドレス:0x3B (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1:0	IDLE_WAIT[9:8]	00	R/W	IDLE 判定の最大待ち時間設定(上位バイト) ※CCA の IDLE 判定動作において、長い IDLE(キャリアなし)期間の判定を行う場合に使用します。[IDLE_WAIT_L]レジスタの 8 ビットと共に全 10 ビットから算出されます。IDLE 判定待ち時間は次式の通りとなり、この期間 CCA を実行し IDLE 判定を待ちます。 IDLE 判定待ち時間 = ED 値平均化(8 回平均時)時間(128μs)+(設定値 * 16μs)

- 【説明】
- CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3C【IDLE_WAIT_L】

機能:CCA 時の IDLE 継続時間設定(下位バイト)
アドレス:0x3C (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	IDLE_WAIT[7:0]	0000_0000	R/W	IDLE 判定の最大待ち時間設定(下位バイト) ※詳細は[IDLE_WAIT_H: B0 0x3B]をご参照ください。

【説明】

- 1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3D【CCA_PROG_H】

機能:CCA 時の IDLE 判定経過時間表示(上位バイト)
アドレス:0x3D (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1:0	CCA_PROG[9:8]	00	R	CCA 時の IDLE 判定経過時間表示(上位バイト) ※[CCA_PROG_L]レジスタの 8 ビットと共に全 10 ビットから算出されます。 IDLE 判定経過時間は次式で計算できます。 IDLE 判定経過時間＝ ED 値平均化(8 回平均時)時間(128μs)+(設定値 * 16μs)

【説明】

- 1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3E【CCA_PROG_L】

機能:CCA 時の IDLE 判定経過時間表示(下位バイト)

アドレス:0x3E (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	CCA_PROG[7:0]	0000_0000	R	CCA 時の IDLE 判定経過時間表示(下位バイト) ※詳細は[CCA_PROG_H: B0 0x3D]をご参照ください。

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3F【PREAMBLE_SET】

機能:プリアンプルパターン設定

アドレス:0x3F (BANK0)

初期値:0x05

Bit	ビット名	初期値	R/W	説明
7:6	CCA_INT_SEL[1:0]	00	R/W	CCA 割り込み選択設定 00: CCA 完了時に割り込み通知 01: CCA キャリアあり時に割り込み通知 10: CCA キャリアなし時に割り込み通知 11: 予約
5:4	Reserved	00	R	予約
3:0	PR_PAT[3:0]	0101	R/W	プリアンプルパターン設定 ※MSB 側から順に送出されます。

0x40【VCO_VTRSLT】

機能:VCO 調整電圧結果表示

アドレス:0x40 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2	VTUNE_INT_ENB	0	R/W	VCO 調整電圧範囲外検出割り込み通知設定 0: PLL ロック外れ検出割り込み(INT2[INT_SOURCE_GRP1: B0 0x0D(2)])にて通知する 1: 割り込み通知しない ※0b1 設定時、PLL ロック外れ割り込みは、PLL ロック外れ時または VCO 調整電圧範囲外検出時に割り込みが発生します。
1	VTUNE_COMP_H	0	R	VCO 調整電圧上限閾値比較結果表示 0: 調整電圧が上限未満 1: 調整電圧が上限以上
0	VTUNE_COMP_L	0	R	VCO 調整電圧下限閾値比較結果表示 0: 調整電圧が下限以上 1: 調整電圧が下限未満

0x41【ED_CTRL】

機能:ED 設定

アドレス:0x41 (BANK0)

初期値:0x80

Bit	ビット名	初期値	R/W	説明
7	ED_CALC_EN	1	R/W	ED 値算出イネーブル設定 0: ED 値算出を行わない 1: ED 値算出を行う
6	CCADONE_MODE	0	R/W	高速電波チェック時の RF 状態設定 0: 電波なし判定時、SLEEP へ移行 電波あり判定時、受信継続 1: 電波なし判定時、TX_ON へ移行 電波あり判定時、SLEEP へ移行 ※本機能はFAST_DET_MODE_EN[CCA_CTRL: B0 0x39(4)]=0b1 設定時に有効です。
5	CCA_ED_SEL	0	R/W	高速電波チェック時の ED 値算出信号選択設定 0: チャンネルフィルタ帯域通過信号から ED 値を算出する 1: チャンネルフィルタ 2(チャンネルフィルタの帯域 2 倍)通過信号 ※0b1 設定時、チャンネルフィルタは CHFIL_BW_ADJ[CHFIL_BW: B0 0x54(6-0)]にて設定するフィルタ帯域の 2 倍の帯域で ED 値を算出します。
4	ED_DONE	0	R/W	ED 値算出完了フラグ 0: ED 値算出中(未完了) 1: ED 値算出完了
3	ED_RSLT_SET	0	R	ED 表示設定 [ED_RSLT: B0 0x3A]レジスタに表示する ED 値を選択します。 0: 常時更新する ED 値 1: SyncWord 検出タイミング毎に獲得した ED 値 ※0b1 設定時、受信データの FIFO リード開始により値が更新されます。 FIFO リード後、[ED_RSLT: B0 0x3A]を確認してください。
2:0	ED_AVG[2:0]	000	R/W	ED 値算出時の平均回数設定 000: 1 回平均 001: 2 回平均 010: 4 回平均 011: 8 回平均 100: 16 回平均 101: 32 回平均 上記以外: 16 回平均 ※ED_AVG は ED 値算出停止状態で(TRX_OFF 状態または TX_ON 状態または bit7(ED_CALC_EN)=0b0 時)設定して下さい。

【説明】

- ED 値の取得動作の詳細は、「電力検出値(ED 値)取得機能」を参照してください。

0x42【TXPR_LEN_H】

機能: 送信プリアンブル長設定(上位バイト)

アドレス: 0x42 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	TXPR_LEN[15:8]	0000_0000	R/W	送信プリアンブル長設定(上位バイト) 送信プリアンブル長を設定します。送信プリアンブル長は(設定値 x2)ビットとなります。 ※[TXPR_LEN_L: B0 0x43]の8ビットと共に全16ビットにより設定します。 ※TXPR_LEN[15:0]には、0x0010 より小さい値を設定しないでください。 本 LSI は受信時の同期確立において 0x0010 以上のプリアンブルを必要とします。 ※ダイバーシティ使用時は本設定値をデータレートの設定に応じて変更する必要があります。データレートに対応する設定値は「初期設定レジスタ」を参照してください。

0x43【TXPR_LEN_L】

機能: 送信プリアンブル長設定(下位バイト)

アドレス: 0x43 (BANK0)

初期値: 0x08

Bit	ビット名	初期値	R/W	説明
7:0	TXPR_LEN[7:0]	0000_1000	R/W	送信プリアンブル長設定(下位バイト) ※詳細は[TXPR_LEN_H: B0 0x42]レジスタをご参照ください。

0x44【POSTAMBLE_SET】

機能: ポスタアンブル長およびパターン設定

アドレス: 0x44 (BANK0)

初期値: 0x12

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:4	POSTAMBLE_LEN[2:0]	001	R/W	ポスタアンブル長設定 ポスタアンブル長は(設定値 x2)ビットとなります。
3	Reserved	0	R	予約
2:1	POSTAMBLE_PAT[1:0]	01	R/W	ポスタアンブルパターン設定 00: “01”パターンの繰り返し 01: “10”パターンの繰り返し 10: CRC 最終パターンと CRC 最終パターンの反転の繰り返し 11: “11”パターンの繰り返し
0	POSTAMBLE_EN	0	R/W	ポスタアンブルイネーブル 0: ポスタアンブルを付加しない 1: ポスタアンブルを付加する

0x45【SYNC_CONDITION1】

機能:受信時のプリアンブル比較長および同期検出時の ED 閾値判定設定
アドレス:0x45 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	SYNC_ED_EN	0	R/W	ED 値を使用した同期判定のイネーブル 0: 同期判定に ED 値を使用しない 1: 同期判定に ED 値を使用する ※ED 値閾値は[SYNC_CONDITION2: B0 0x46]により設定します。
6	Reserved	0	R	予約
5:0	RXPR_LEN[5:0]	00_0000	R/W	受信時のプリアンブル比較長設定(設定範囲:0~32、単位:ビット) ※0b10_0000 以上の設定は、0b10_0000 として動作します。 ※本レジスタに 1 以上を設定した場合、SyncWord 検出において、設定したプリアンブル数だけ SyncWord パターンに追加してパターン(プリアンブル+SyncWord)で SyncWord 検出を行います。SyncWord 長だけでは SyncWord 誤検出確率が高い場合、本機能によりプリアンブルを追加することにより SyncWord 誤検出確率を低減することが可能です。 ※RXPR_LEN[5:0]で設定するプリアンブル比較範囲が AFC 収束時間(最大 24 ビット)と重なった場合、SyncWord 検出できなくなります。本設定値は送信プリアンブルから AFC 収束時間を引いたバイト数以下の値を設定してください。

0x46【SYNC_CONDITION2】

機能:同期検出時の ED 閾値
アドレス:0x46 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_ED_TH[7:0]	0000_0000	R/W	同期判定時の ED 閾値設定 ※SYNC_ED_EN ([SYNC_CONDITION1: B0 0x45(7)])が 0b1 設定時、ED 閾値が有効となります。 ※取得 ED 値が閾値を超えない場合、同期が取れたとみなしません。

0x47【SYNC_CONDITION3】

機能:受信時のプリアンブル検出および SyncWord 検出の誤り許容値設定
アドレス:0x47 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	SW_RCV[3:0]	0000	R/W	SyncWord 検出時の誤り許容ビット数設定(設定範囲 0~15)
3:0	PB_RCV[3:0]	0000	R/W	プリアンブル検出時の誤り許容ビット数設定(設定範囲 0~15)

0x48【2DIV_CTRL】

機能: アンテナダイバーシティ設定

アドレス: 0x48 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	ANT_CTRL1	0	R/W	ANT 制御ビット 1
4	ANT_CTRL0	0	R/W	ANT 制御ビット 0
3	INV_ANT_SW	0	R/W	ANT_SW 極性設定
2	INV_TRX_SW	0	R/W	TRX_SW 極性設定
1	2PORT_SW	0	R/W	アンテナスイッチ設定 0: SPDT スイッチ使用 1: DPDT スイッチ使用
0	2DIV_EN	0	R/W	アンテナダイバーシティ設定 0: ダイバーシティを行わない 1: ダイバーシティを行う

【説明】

1. 本レジスタの設定の使用方法に関しては、「ダイバーシティ機能」を参照してください。

0x49【2DIV_RSLT】

機能: アンテナダイバーシティ結果表示

アドレス: 0x49 (BANK0)

初期値: 0x01

Bit	ビット名	初期値	R/W	説明
7	2DIV_DONE	0	R	アンテナダイバーシティサーチ完了表示 0: ダイバーシティサーチ中(未完了) 1: ダイバーシティサーチ完了
6:2	Reserved	0_0000	R	予約
1:0	2DIV_RSLT[1:0]	01	R	アンテナダイバーシティ結果表示 01: アンテナ 1 10: アンテナ 2 上記以外: 予約

【説明】

1. 本レジスタの使用方法に関しては、「ダイバーシティ機能」を参照してください。
2. 本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。

0x4A【ANT1_ED】

機能:アンテナ 1 の取得 ED 値表示
アドレス:0x4A (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ANT1_ED[7:0]	0000_0000	R	アンテナ 1 の取得 ED 値 ※2DIV_EN([2DIV_CTRL: B0 0x48(0)])が 0b1 に設定する必要があります。本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。ただし、ダイバーシティ完了割込み ([INT_SOURCE_GRP2: B0 0x0D(2)])をクリアすると本レジスタ値がクリアされます。

0x4B【ANT2_ED】

機能:アンテナ 2 の取得 ED 値表示
アドレス:0x4B (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ANT2_ED[7:0]	0000_0000	R	アンテナ 2 の取得 ED 値 ※2DIV_EN([2DIV_CTRL: B0 0x48(0)])が 0b1 に設定する必要があります。本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。ただし、ダイバーシティ完了割込み ([INT_SOURCE_GRP2: B0 0x0D(2)])をクリアすると本レジスタ値がクリアされます。

0x4C【ANT_CTRL】

機能: 送受信時のアンテナ強制設定

アドレス: 0x4C (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	RX_ANT	0	R/W	受信時のアンテナ設定 0: アンテナ 1 1: アンテナ 2 ※bit4(RX_ANT_EN)が 0b01 設定時のみ有効で、TX_ON 時のアンテナを本ビットにて固定します。
4	RX_ANT_EN	0	R/W	受信時のアンテナ設定イネーブル 0: ディセーブル 1: イネーブル
3:2	Reserved	00	R	予約
1	TX_ANT	0	R/W	送信時のアンテナ設定 0: アンテナ 1 1: アンテナ 2 ※bit0(TX_ANT_EN)が 0b01 設定時のみ有効で、RX_ON 時のアンテナを本ビットにて固定します。
0	TX_ANT_EN	0	R/W	送信時のアンテナ設定イネーブル 0: ディセーブル 1: イネーブル

【説明】

1. 本ビットの使用方法に関しては、「ダイバーシティ機能」を参照してください。

0x4D【MON_CTRL】

機能:アナログ/デジタルモニタ設定

アドレス:0x4D (BANK0)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	BER_MODE	0	R/W	BER 測定モード設定 0: 通常動作モードにする 1: BER 測定モードにする ※BER 測定モード設定により復調データ/クロックを DIO/DCLK から出力します。詳細は「BER 測定時の設定」を参照してください。
6	FIFOMODE_MON	0	R/W	FIFO モードモニタ設定 0: FIFO モードで DIO/DCLK を出力しない 1: FIFO モードで DIO/DCLK を出力する ※DIO/DCLK は復調データ/クロックが出力されます。
5:4	DMON_SET2[1:0]	00	R/W	デジタルモニタ出力信号選択設定 00: L 出力 上記以外: 予約
3:0	DMON_SET	0001	R/W	デジタルモニタ出力信号選択設定 0000: L 出力 0001: CLK_OUT 出力 0010: PLL ロック検出信号出力 0011:同期完了信号出力 上記以外: 予約

0x4E【GPIO0_CTRL】

機能:GPIO0 端子(ピン#16)制御
アドレス:0x4E (BANK0)
初期値:0x07

Bit	ビット名	初期値	R/W	説明
7	GPIO0_INV	0	R/W	GPIO0 出力信号極性設定
6	GPIO0_OD	0	R/W	GPIO0 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO0_FORCEOUT	0	R/W	GPIO0 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO0_INV)の設定に影響されません。
4	GPIO0_FORCEOUTEN	0	R/W	GPIO0 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO0_FOCEOUT)に設定した値を出力する)
3:0	GPIO0_IO_CFG[3:0]	0111	R/W	GPIO0 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ(DIO) 0101: [出力] データクロック(DCLK) 0110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1001: [出力] デジタルモニタ信号 2

0x4F【GPIO1_CTRL】

機能:GPIO1 端子(ピン#17)制御
アドレス:0x4F (BANK0)
初期値:0x06

Bit	ビット名	初期値	R/W	説明
7	GPIO1_INV	0	R/W	GPIO1 出力信号極性設定
6	GPIO1_OD	0	R/W	GPIO1 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO1_FORCEOUT	0	R/W	GPIO1 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO1_INV)の設定に影響されません。
4	GPIO1_FORCEOUTEN	0	R/W	GPIO1 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO1_FOCEOUT)に設定した値を出力する)
3:0	GPIO1_IO_CFG [3:0]	0110	R/W	GPIO1 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ(DIO) 0101: [出力] データクロック(DCLK) 0110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1000: [入力]SLEEP 解除信号 1001: [出力] デジタルモニタ信号 2

0x50【GPIO2_CTRL】

機能:GPIO2 端子(ピン#18)制御
アドレス:0x50 (BANK0)
初期値:0x02

Bit	ビット名	初期値	R/W	説明
7	GPIO2_INV	0	R/W	GPIO2 出力信号極性設定
6	GPIO2_OD	0	R/W	GPIO2 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO2_FORCEOUT	0	R/W	GPIO2 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO1_INV)の設定に影響されません。
4	GPIO2_FORCEOUTEN	0	R/W	GPIO2 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO2_FOCEOUT)に設定した値を出力する)
3:0	GPIO2_IO_CFG [3:0]	0010	R/W	GPIO2 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ(DIO) 0101: [出力] データクロック(DCLK) 0110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1001: [出力] デジタルモニタ信号 2

0x51【GPIO3_CTRL】

機能:GPIO3 端子(ピン#19)制御
アドレス:0x51 (BANK0)
初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	GPIO3_INV	0	R/W	GPIO3 出力信号極性設定
6	GPIO3_OD	0	R/W	GPIO3 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	GPIO3_FORCEOUT	0	R/W	GPIO3 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO3_INV)の設定に影響されません。
4	GPIO3_FORCEOUTEN	0	R/W	GPIO1 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO3_FOCEOUT)に設定した値を出力する)
3:0	GPIO3_IO_CFG [3:0]	0001	R/W	GPIO3 入出力信号選択設定 0000: [出力]”L”レベル 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ(DIO) 0101: [出力] データクロック(DCLK) 0110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1001: [出力] デジタルモニタ信号 2

0x52【EXTCLK_CTRL】

機能: EXT_CLK 端子(ピン#10)制御
アドレス:0x52 (BANK0)
初期値:0x03

Bit	ビット名	初期値	R/W	説明
7	EXTCLK_INV	0	R/W	EXT_CLK 出力信号極性設定
6	EXTCLK_OD	0	R/W	EXT_CLK 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
5	EXTCLK_FORCEOUT	0	R/W	EXT_CLK 強制出力値設定 0: “L”出力 1: ”H”出力 ※ bit7(EXTCLK_INV)の設定に影響されません。
4	EXTCLK_FORCEOUTEN	0	R/W	EXT_CLK 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(EXTCLK_FORCEOUT)に設定した値を出力する)
3:0	EXTCLK_IO_CFG [3:0]	0011	R/W	EXT_CLK 入出力信号選択設定 0000: [入力]外部クロック (32 kHz) 0001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 0010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 0011: [出力]外部 PA 制御信号 0100: [入出力]データ (DIO) 0101: [出力]データクロック (DCLK) 0110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 0111: [出力]割込み通知信号(SINTN) 1001: [出力] デジタルモニタ信号 2

0x53【SPI/EXT_PA_CTRL】

機能: SPI インタフェース (SDI/SDO) 端子/外部 PA 制御

アドレス: 0x53 (BANK0)

初期値: 0x80

Bit	ビット名	初期値	R/W	説明
7	SDO_OD	1	R/W	SDO 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力
6	Reserved	0	R	予約
5	SDO_CFG	0	R/W	SDO 端子(ピン#12)の入出力信号選択設定 0: [出力]SDO(SPI インタフェース) 1: [出力] SDO 出力(SCEN 端子(ピン#14)='L'時) DCLK 出力(SCEN 端子='H'時) ※詳細は「DIO 機能」を参照してください。
4	SDI_CFG	0	R/W	SDI 端子(ピン#15)の入出力信号選択設定 0: [入力]SDI(SPI インタフェース) 1: [入力] SDI 入力(SCEN 端子(ピン#14)='L'時) [入出力] DIO 出力(SCEN 端子='H'時) ※詳細は「DIO 機能」を参照してください。
3:2	Reserved	00	R	予約
1	EXT_PA_CNT	0	R/W	外部 PA 制御信号の制御タイミング設定 0: 送信回路起動タイミングで信号を出力する 1: PA の立ち上がりと同一タイミングで信号を出力する ※送信回路起動タイミング(TX_ON)および PA の立ち上がりタイミング(PA_ON)は、「タイムチャート-送信時」をご参照ください。
0	EXT_PA_EN	0	R/W	外部 PA 制御信号の制御設定イネーブル 0: ディセーブル (L 出力) 1: イネーブル (bit1(EXT_PA_CNT)の設定が有効となります)

0x54【CHFIL_BW】

機能:チャンネルフィルタ帯域幅設定

アドレス:0x54 (BANK0)

初期値:0x81

Bit	ビット名	初期値	R/W	説明
7	CHFIL_WIDE_SET	1	R/W	チャンネルフィルタ広帯域設定 0: 常時 CHFIL_BW_ADJ で設定した帯域 1: 常時 CHFIL_BW_ADJ で設定した帯域の 2 倍帯域
6:0	CHFIL_BW_ADJ[6:0]	000_0001	R/W	チャンネルフィルタ帯域幅調整設定 (設定範囲:1~127) チャンネルフィルタ帯域幅[Hz] = マスタークロック周波数[Hz] / 設定値 / 180 ※初期値では 400kHz となります。 ※詳細は「チャンネルフィルタ帯域幅の設定」を参照してください。

0x55【DC_I_ADJ_H】

機能:I 相 DC オフセット調整設定(上位 6 ビット)

アドレス:0x55 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	DC_ADJ_SET	0	R/W	DC オフセット補正設定 0: 自動調整 1: マニュアル調整
6	DC_ADJ_HOLD	0	R/W	DC オフセット補正ホールド設定 0: 常時更新 1: 同期確立後に DC オフセット値を固定する
5:0	DC_I_ADJ[13:8]	00_0000	R/W	I 相 DC オフセット調整設定 ※bit7 が 0b1 設定時に本調整値が有効となります。 ※設定値はマイナスの値は 2 の補数表現で設定します。 ※[DC_I_ADJ_L:B0 0x56]レジスタの 8 ビットと共に全 14 ビットから構成されます。

0x56【DC_I_ADJ_L】

機能:I 相 DC オフセット調整設定(下位バイト)

アドレス:0x56 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	DC_I_ADJ[7:0]	0000_0000	R/W	I 相 DC オフセット調整設定 ※[DC_I_ADJ_H:B0 0x55]レジスタの 6 ビットと共に全 14 ビットから構成されます。

0x57【DC_Q_ADJ_H】

機能: Q 相 DC オフセット調整設定(上位 6 ビット)

アドレス: 0x57 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	DC_Q_ADJ[13:8]	00_0000	R/W	Q 相 DC オフセット調整設定 ※bit7 が 0b1 設定時に本調整値が有効となります。 ※設定値はマイナスの値は 2 の補数表現で設定します。 ※[DC_Q_ADJ_L:B0 0x58]レジスタの 8 ビットと共に全 14 ビットから構成されます。

0x58【DC_Q_ADJ_L】

機能: Q 相 DC オフセット調整設定(下位バイト)

アドレス: 0x58 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	DC_Q_ADJ[7:0]	0000_0000	R/W	Q 相 DC オフセット調整設定 ※[DC_Q_ADJ_H:B0 0x57]レジスタの 6 ビットと共に全 14 ビットから構成されます。

0x59【DC_FIL_ADJ】

機能: DC オフセット調整フィルタ設定

アドレス: 0x59 (BANK0)

初期値: 0xD5

Bit	ビット名	初期値	R/W	説明
7:6	DC_FIL_ADJ2[1:0]	11	R/W	DC オフセット調整用フィルタ設定 2 00: ディセーブル 01: 1/16 10: 1/32 11: 1/64
5	DC_FIL_MODE	0	R/W	DC オフセット調整フィルタモード設定 0: 初期状態から開始する 1: 前パケット受信時の DC オフセット値から開始する
4	DC_FIL_ON	1	R/W	DC オフセット調整フィルタイネーブル設定 0: ディセーブル 1: イネーブル
3	Reserved	0	R	予約
2:0	DC_FIL_SEL[2:0]	101	R/W	DC オフセット調整用フィルタ設定 000: 1/4 001: 1/8 010: 1/16 011: 1/32 100: 1/64 ※DC_ADJ_SET[DC_I_ADJ_H: B0 0x55(7)]が 0b0 設定(自動調整)時の調整フィルタ時定数を設定します。

0x5A【IQ_MAG_ADJ_H】

機能:IF の IQ 振幅バランス調整(上位 4 ビット)

アドレス:0x5A (BANK0)

初期値:0x08

Bit	ビット名	初期値	R/W	説明
7	IQ_ADJ_DONE	0	R	IQ 自動調整完了表示 0: 未完了 1: 完了
6	IQ_ADJ_RSLT	0	R	IQ 自動調整ステータス表示 0: IQ 自動調整後の RSSI 値が[IQ_ADJ_TARGET: B0 0x5F]で設定する RSSI 閾値より大きい 1: IQ 自動調整後の RSSI 値が[IQ_ADJ_TARGET: B0 0x5F]で設定する RSSI 閾値より小さい
5	LOCAL_SEL	0	R/W	受信ローカル周波数設定 0: Lower-Local 設定 1: Upper-Local 設定
4	IQ_ADJ_START	0	R/W	IQ 自動調整実行 0: 実行完了 1: 実行開始 ※自動調整後の結果は、IQ_MAG_ADJ[11:0]、IQ_PHASE_ADJ_SIGN [IQ_PHASE_ADJ_H: B0 0x5C(4)]および IQ_PHASE_ADJ [IQ_PHASE_ADJ_H/L: B0 0x5C(3-0)/0x5D(7-0)]に格納されます。
3:0	IQ_MAG_ADJ[11:8]	1000	R/W	IQ 信号の振幅調整設定(上位 4 ビット) ※[IQ_MAG_ADJ_L:B0 0x5B]レジスタの 8 ビットと共に全 12 ビットから算出されます。 bit11: x1 bit10: x1/2 bit9: x1/4 bit8: x1/8 bit7: x1/16 bit6: x1/32 bit5: x1/64 bit4: x1/128 bit3: x1/256 bit2: x1/512 bit1: x1/1024 bit0: x1/2048

【説明】

1. IQ_MAG_ADJ[11:0]でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x5B【IQ_MAG_ADJ_L】

機能:IF の IQ 振幅バランス調整(下位バイト)

アドレス:0x5B (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	IQ_MAG_ADJ[7:0]	0000_0000	R/W	IQ 信号の振幅調整設定(下位バイト) ※[IQ_MAG_ADJ_H:B0 0x5A]レジスタの 4 ビットと共に全 12 ビットから算出されます。

【説明】

1. IQ_MAG_ADJ[11:0]でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x5C【IQ_PHASE_ADJ_H】

機能:IF の IQ 位相バランス調整(上位 4 ビット)

アドレス:0x5C (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	IQ_PHASE_ADJ_SIGN	0	R/W	IQ 信号の位相調整符号ビット 0: プラス 1: マイナス
3	Reserved	0	R	予約
2:0	IQ_PHASE_ADJ[10:8]	000	R/W	IQ 信号の位相調整設定(上位 3 ビット) ※[IQ_PHASE_ADJ_L:B0 0x5D]レジスタの 8 ビットと共に全 11 ビットから算出されます。 bit10: x1/2 bit9 : x1/4 bit8 : x1/8 bit7 : x1/16 bit6 : x1/32 bit5 : x1/64 bit4 : x1/128 bit3 : x1/256 bit2 : x1/512 bit1 : x1/1024 bit0 : x1/2048

【説明】

1. IQ_PHASE_ADJ [10:0]および IQ_PHASE_ADJ_SIGN でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x5D【IQ_PHASE_ADJ_L】

機能:IF の IQ 位相バランス調整(下位バイト)

アドレス:0x5D (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	IQ_PHASE_ADJ[7:0]	0000_0000	R/W	IQ 信号の位相調整設定(下位バイト) ※[IQ_PHASE_ADJ_H:B0 0x5C]レジスタの 3 ビットと共に全 11 ビットから算出されます。

【説明】

1. IQ_PHASE_ADJ [10:0]および IQ_PHASE_ADJ_SIGN でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x5E【IQ_ADJ_WAIT】

機能:IF の IQ 自動調整用 RSSI 取得ウェイト時間

アドレス:0x5E (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	IQ_ADJ_MODE	0	R/W	IQ 自動調整モード設定 0: ベスト調整モード 1: 簡易調整モード ※0b1 設定時、自動調整において[IQ_ADJ_TARGET: B0 0x5F]で指定した閾値以下の RSSI が検出した時点で IQ 自動調整を終了します。
3:2	Reserved	00	R	予約
1:0	IQ_ADJ_WAIT[1:0]	00	R/W	IQ 自動調整用 RSSI 取得ウェイト時間設定 00: 1ms 01: 750us 10: 500us 11: 250us

【説明】

1. 詳細は[I/Q 調整値の設定]を参照してください。

0x5F【IQ_ADJ_TARGET】

機能:IF の IQ 自動調整用 RSSI 判定閾値

アドレス:0x5F (BANK0)

初期値:0x38

Bit	ビット名	初期値	R/W	説明
7:0	IQ_ADJ_TARGET[7:0]	0011_1000	R/W	IQ 自動調整用 RSSI 判定閾値 ※IQ 自動調整後の最終 RSSI 値と本設定値との比較結果を IQ_ADJ_RSLT[IQ_MAG_ADJ_H: B0 0x5A(6)]に表示します。

【説明】

1. 詳細は[I/Q 調整値の設定]を参照してください。

0x60【DEC_GAIN】

機能: デシメーションゲイン設定

アドレス: 0x60 (BANK0)

初期値: 0x18

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4:0	DEC_GAIN[4:0]	1_1000	R/W	デシメーションゲイン設定 ゲイン = $1/2^{(設定値 - 21)}$

0x61【IF_FREQ】

機能: IF 周波数選択

アドレス: 0x61 (BANK0)

初期値: 0x77

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:4	IF_FREQ_CCA[2:0]	111	R/W	CCA 時の IF 周波数選択 000: 225kHz 001: 150kHz 010: 設定禁止 011: 112.5Hz 100: 設定禁止 101: 75kHz 110: 180kHz 111: 0kHz
3	Reserved	0	R	予約
2:0	IF_FREQ[2:0]	111	R/W	IF 周波数選択 000: 225kHz 001: 150kHz 010: 設定禁止 011: 112.5Hz 100: 設定禁止 101: 75kHz 110: 180kHz 111: 0kHz

【説明】

1. 本レジスタへの設定方法は、「IF 周波数の設定」を参照してください。

0x62【OSC_ADJ1】

機能:発振回路端子の負荷容量粗調整
アドレス:0x62 (BANK0)
初期値:0x88

Bit	ビット名	初期値	R/W	説明
7:4	OSC_ADJ_CORSE_XO [3:0]	1000	R/W	XO 容量負荷粗調整
3:0	OSC_ADJ_CORSE_XI [3:0]	1000	R/W	XI 容量負荷粗調整 約 0.7pF/step

- 【説明】
1. 本レジスタへの設定方法は、「発振回路の調整」を参照してください。

0x63【OSC_ADJ2】

機能:発振回路端子の負荷容量微調整
アドレス:0x63 (BANK0)
初期値:0x80

Bit	ビット名	初期値	R/W	説明
7:0	OSC_ADJ_FINE[7:0]	1000_0000	R/W	容量負荷微調整 約 0.02pF/step (調整範囲 0x00～0xFF)

- 【説明】
1. 本レジスタへの設定方法は、「発振回路の調整」を参照してください。

0x64【Reserved】

機能: 予約

アドレス: 0x64 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x65【OSC_ADJ4】

機能: 発振回路バイアス調整(起動時)

アドレス: 0x65 (BANK0)

初期値: 0x0F

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	OSC_START_SET	0	R/W	OSC 起動モード設定 0: 通常起動モード [OSC_ADJ1: B0 0x62]、[OSC_ADJ1: B0 0x63]で設定する値から起動する 1: 高速起動モード [OSC_ADJ1: B0 0x62]=0x00、[OSC_ADJ1: B0 0x63]=0x00 設定から起動する
4:0	Reserved	0_1111	R	予約

0x66【RSSI_ADJ】

機能: RSSI 値の調整

アドレス: 0x66 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	RSSI_ADD	0	R/W	RSSI 調整 0: -に設定する 1: +に設定する
6	Reserved	0	R	予約
5:0	RSSI_ADJ[5:0]	00_0000	R/W	RSSI 補正值設定

【説明】

1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。

0x67【PA_REG_ADJ_H】

機能: PA 用レギュレータの出力電圧調整(上位ビット)

アドレス: 0x67 (BANK0)

初期値: 0x01

Bit	ビット名	初期値	R/W	説明
7	PA_REG_ADJ_SEL	0	R/W	PA レギュレータの出力電圧調整イネーブル設定 0: ディセーブル 1: イネーブル ※調整時のみ 0b1 に設定してください。0b1 設定時、PA_REG_ADJ[8:0]にて PA レギュレータ出力電圧が可能になります。 ※調整時以外は[PA_AMP15_H/L: B6 0x50/51]に設定した値が PA レギュレータ出力電圧に反映されます。
6:1	Reserved	00_0000	R	予約
0	PA_REG_ADJ[8]	1	R/W	PA レギュレータの出力電圧調整設定 ※[PA_REG_ADJ_L: B0 0x68]レジスタの 8 ビットと共に全 9 ビットから算出されます。

【説明】

1. 本レジスタを使用した調整の仕方に関しては「PA の調整」を参照してください。

PA_REG_ADJ と PA レギュレータ出力電圧の目安は以下の通りです。

PA_REG_ADJ[8:0]	PA レギュレータ 出力電圧[V]
0x000	0.00
...	...
0x082	0.84
...	...
0x0E6	1.48
...	...
0x140	2.06
...	...
0x1FF	3.29

0x68【PA_REG_ADJ_L】

機能: PA 用レギュレータの出力電圧調整(下位バイト)

アドレス: 0x68 (BANK0)

初期値: 0x40

Bit	ビット名	初期値	R/W	説明
7:0	PA_REG_ADJ[7:0]	0100_0000	R/W	PA レギュレータの出力電圧調整設定 ※[PA_REG_ADJ_H: B0 0x67]レジスタの 1 ビットと共に全 9 ビットから算出されます。

【説明】

1. 本レジスタを使用した調整の仕方に関しては「PA の調整」を参照してください。

0x69【Reserved】

機能: 予約
アドレス: 0x69 (BANK0)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x6A【CHFIL_BW_CCA】

機能: CCA 時チャンネルフィルタ帯域幅設定
アドレス: 0x6A (BANK0)
初期値: 0x01

Bit	ビット名	初期値	R/W	説明
7	CHFIL_WIDE_EN_CCA	0	R/W	CCA 時チャンネルフィルタ広帯域設定 0: 常時 CHFIL_BW_ADJ で設定した帯域 1: 常時 CHFIL_BW_ADJ で設定した帯域の 2 倍帯域
6:0	CHFIL_BW_ADJ_CCA [6:0]	000_0001	R/W	CCA 時チャンネルフィルタ帯域幅調整設定 (設定範囲: 1 ~ 127) チャンネルフィルタ帯域幅[Hz] = マスタークロック周波数[Hz] / 設定値 / 180 ※初期値では 200kHz となります。 ※詳細は「チャンネルフィルタ帯域幅の設定」を参照してください。

0x6B【CHFIL_BW_OPTION】

機能: チャンネルフィルタ帯域幅オプション設定
アドレス: 0x6B (BANK0)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	CHFIL_BW_OPTION	000	R/W	チャンネルフィルタ帯域幅オプション設定 000: 1 倍 001: 0.56 倍 010: 0.67 倍 011: 0.77 倍 100: 0.83 倍 101: 0.91 倍 ※[CHFIL_BW: B0 0x54] および[CHFIL_BW_CCA: B0 0x6A]で設定するチャンネルフィルタ帯域幅の倍率を変更します。

0x6C【DC_FIL_ADJ2】

機能: DC オフセット調整フィルタ設定 2
アドレス:0x6C (BANK0)
初期値:0x03

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	DC_FIL_SEL2[2:0]	011	R/W	DC オフセット引込み用フィルタ設定 000: 1/4 001: 1/8 010: 1/16 011: 1/32 100: 1/64 ※DC_ADJ_SET[DC_I_ADJ_H: B0 0x55(7)]が 0b0 設定(自動調整)時の フィルタ時定数を設定します。

0x6D【DEC_GAIN_CCA】

機能:CCA 時デシメーションゲイン設定
アドレス:0x6D (BANK0)
初期値:0x18

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4:0	DEC_GAIN_CCA[4:0]	1_1000	R/W	CCA 時デシメーションゲイン設定 ゲイン = 1/2^(設定値 - 21)

0x6E【VCO_CAL】

機能: VCO キャリブレーション値の表示と設定

アドレス: 0x6E (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	CAL_WR_EN	0	R/W	VCO キャリブレーションモード設定 0: 自動設定モード 1: 強制書き込みモード
6:0	VCO_CAL[6:0]	000_0000	R/W	現在の VCO キャリブレーション値 ※自動設定モードでは、現在適用されている VCO キャリブレーション値を表示します。 強制書き込みモードを設定した場合、キャリブレーション値は VCO_CAL[6:0] に書き込んだ値が強制的に適用されます。 (CAL_WR_EN に 0b0 を設定した場合は値は反映されません。) ※初期値はクロック安定化完了後、0b100_0000 になります。

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x6F【VCO_CAL_START】

機能: VCO キャリブレーション実行

アドレス: 0x6F (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	AUTO_VCO_CAL_EN	0	R/W	自動 VCO キャリブレーション実行設定 0: VCO キャリブレーションを自動実行しない 1: SLEEP 復帰時に自動で VCO キャリブレーションを実行する
3:1	Reserved	000	R	予約
0	VCO_CAL_START	0	R/W	VCO キャリブレーション実行 0: 実行完了 1: 実行開始 ※実行完了後、自動的に 0 に戻ります。

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x70【CLK_CAL_SET】

機能: 低速クロックキャリブレーション制御

アドレス: 0x70 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:4	CLK_CAL_DIV[3:0]	0000	R/W	キャリブレーション用クロック分周設定 0000: 分周なし 0001: 分周なし 上記以外: 設定値分周
3:1	Reserved	000	R	予約
0	CLK_CAL_START	0	R/W	低速クロックキャリブレーション実行 0: 実行完了 1: 実行開始 ※実行完了後、自動的に 0 に戻ります。

【説明】

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x71【CLK_CAL_TIME】

機能: クロックキャリブレーション時間設定

アドレス: 0x71 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	CLK_CAL_TIME [5:0]	00_0000	R/W	クロックキャリブレーション時間設定 キャリブレーション時間 = ウェイクアップタイム用クロック周期([SLEEP/WU_SET: B0 0x2D(2)]) * 設定値 ※マスタークロックが 36MHz 時、CLK_CAL_TIME=0x3F 設定した場合、 クロックキャリブレーション結果表示値([CLK_CAL_H/L: B0 0x72/73]) の上限を超えるため、0x3E 以下の値を設定してください。

【説明】

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x72【CLK_CAL_H】

機能: 低速クロックキャリブレーション結果表示 (上位バイト)
アドレス: 0x72 (BANK0)
初期値: 0xFF

Bit	ビット名	初期値	R/W	説明
7:0	CLK_CAL [15:8]	1111_1111	R	クロックキャリブレーション (上位バイト)

- 【説明】
1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x73【CLK_CAL_L】

機能: 低速クロックキャリブレーション結果表示 (下位バイト)
アドレス: 0x73 (BANK0)
初期値: 0xFF

Bit	ビット名	初期値	R/W	説明
7:0	CLK_CAL [7:0]	1111_1111	R	クロックキャリブレーション (下位バイト)

- 【説明】
1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x74【Reserved】

機能: 予約
アドレス: 0x74 (BANK0)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x75【SLEEP_INT_CLR】

機能:SLEEP 時割込みクリア設定

アドレス:0x75 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1	AUTO_SLEEP_INT_CLR	0	R/W	自動 SLEEP 時割り込みクリア設定 0: 割込みクリアしない 1: 割込みクリアする ※ウェイクアップタイム動作中のウェイクアップ時に自動で割り込みをクリアします。
0	SLEEP_INT_CLR	0	R/W	SLEEP 時割込みクリア設定 0: 割込みクリアしない 1: 割込みクリアする ※SLEEP 中は[INT_SOURCE_GRP*: B0 0x0D/0E/0F]での割込みクリアはできません。本ビットを 0b1 に設定することにより、SLEEP 中に割込みをクリアすることができます。SLEEP 中のみ書き込み可能で、SLEEP 解除により 0b0 に戻ります。 ※対象となる割込みは全割込み([INT_SOURCE_GRP*: B0 0x0D/0E/0F])です。

0x76【RF_TEST_MODE】

機能:送信テストパターン設定

アドレス:0x76 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5	TEST5	0	R/W	CW 出力設定
4	TEST4	0	R/W	“01”パターン出力設定
3	TEST3	0	R/W	ALL”0”出力設定
2	TEST2	0	R/W	ALL”1”出力設定
1	TEST1	0	R/W	PN9 出力設定
0	TEST_EN	0	R/W	テストモードイネーブル制御 0: テスト設定を無効にする 1: テスト設定を有効にする

【説明】

- 通常動作時には、必ず本レジスタの全てのビットを 0b0 にしてください。
- 複数のテストパターンが有効に設定された場合は、ビット番号の低い設定が有効となります。
- データレートは、TX_DRATE[3:0]([DRATA_SET: B0 0x06(3-0)])の設定値が適用されます。
- PN9 出力設定時の PN9 生成回路は、[WHT_CFG: B1 0x66]にて任意の生成多項式に設定可能です。
市販 BER 計の多くで対応している PN9 の生成多項式は x^9+x^4+1 であり、[WHT_CFG: B1 0x66]を 0x08 に設定することで対応可能です。
- FSK モード([GFSK_EN]([DATA_SET1: B0 0x07(4)])=0b0)を選択している場合、下記手順にて送信テストパターンを設定し、送信してください。
 - ① 本レジスタにて送信テストパターンを設定します。
 - ② 送信状態([SET_TRX[3:0]]([RF_STATUS: B0 0x0B(3-0)])=0b1001)にします。
 - ③ MODEM リセット([RST_SET: B0 0x01]=0x22)します。

0x77【STM_STATE】

機能: ステートマシン状態表示/プリアンブル検出状態表示

アドレス: 0x77 (BANK0)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	MODE_DET_RSLT	0	R	Mode T/C 受信結果表示 0: Mode T 受信 1: Mode C 受信 ※本ビットは 2MODE_DET_EN([2MODE_DET: B3 0x23(0)])=0b1 設定時に有効です。 ※SyncWord 検出後、本表示値が有効となります。SyncWord 検出毎に更新されます。
6	SYNC_STATE	0	R	受信同期検出状態表示 0: 未同期状態 1: 同期状態
5	SW_DET_RSLT	0	R	SyncWord 検出状態表示 0: 同期ワードパターン 1(FormatA)検出 1: 同期ワードパターン 2(FormatB)検出 ※Wireless M-Bus 対応パケットフォーマット(FormatA/B)設定 (PKT_FORMAT[PKT_CTRL1: B0 0x04(1-0)]=0b00 または 0b01) 時のみ有効です。 ※SyncWord 検出後、本表示値が有効となります。SyncWord 検出毎に更新されます。 ※2MODE_DET_EN([2MODE_DET: B3 0x23(0)])=0b1 設定時、Modet T で受信した場合、本表示値は無効となります。
4:0	PHY_STATE[4:0]	0_0000	R	ステートマシン状態表示 0_0000: IDLE 状態 0_0001: プリアンブル送信ステート 0_0010: SyncWord 送信ステート 0_0011: L-field 送信ステート 0_0100: Data 領域送信ステート 0_0101: ポストアンブル送信ステート 0_0110: 送信遅延待ちステート 0_0111: DIO 送信ステート 1_0010: SyncWord 検出待ちステート 1_0011: L-field 受信ステート 1_0100: データ領域受信ステート 1_0111: DIO 受信ステート

0x78【FIFO_SET】

機能:FIFO リード設定

アドレス:0x78 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3	CLKINIT_TRX_SET	0	R/W	クロック安定後 RF 状態設定 0: クロック安定化後、RX_ON へ移行 1: クロック安定化後、TX_ON へ移行 ※CLKINIT_TRX_EN([FIFO_SET: B0 0x78(2)])=0b1 設定時のみ有効となります。
2	CLKINIT_TRX_EN	0	R/W	クロック安定後 RF 状態設定イネーブル 0: ディセーブル 1: イネーブル
1	FAST_CCA_LC	0	R/W	高速電波チェック時の低消費電力モード設定 0: ディセーブル 1: イネーブル ※高速電波チェック中は復調器動作を停止します。
0	FIFO_R_SEL	0	R/W	FIFO リード設定 0: 受信 FIFO をリードする 1: 送信 FIFO をリードする ※送信、受信バッファをリードする場合、[RD_FIFO:B0 0x7F]レジスタを共用します。そのため、0b1 設定し送信 FIFO をリードする場合、[TX_PKT_LEN_H/L: B0 0x7A/7B]で設定する Length 分のデータを FIFO リードするか、読み出し後に STATE_CLR1([STATE_CLR: B0 0x16(1)])=0b1 を設定して、受信 FIFO ポインタのクリアを実行してください。途中で読み出しを停止して、受信 FIFO のリードに切り替えた場合、停止させたポインタから読み出しを開始するため、受信データを正常に読み出せなくなります。

0x79【RX_FIFO_LAST】

機能:受信 FIFO の使用量表示(上位バイト)

アドレス:0x79 (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	RX_FIFO_LAST[5:0]	00_0000	R	受信時 FIFO データ使用量表示(表示範囲 0～63) ※詳細は「FIFO 制御機能」を参照してください。

0x7A【TX_PKT_LEN_H】

機能:送信パケット Length 設定(上位バイト)

アドレス:0x7A (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_PKT_LEN[15:8]	0000_0000	R/W	送信パケット Length 値設定(上位バイト) ※送信する Length を設定します。 FormatA・・・L-field/CRC-field を除く Length を設定します。 FormatB/C・・・L-field を除く Length を設定します。 FormatD・・・Data-field から CRC-field までのデータ長を設定します。 ※[TX_PKT_LEN_L: B0 0x7B]レジスタの 8 ビットと共に全 16 ビットから算出されます。上位バイトは LENGTH_MODE([PKT_CTRL: B0 0x05(1-0)])=0b01 設定時のみ有効となります。 ※詳細は「FIFO 制御機能」を参照してください。

0x7B【TX_PKT_LEN_L】

機能:送信パケット Length 設定(下位バイト)

アドレス:0x7B (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_PKT_LEN[7:0]	0000_0000	R/W	設定パケット Length 値設定(下位バイト) ※詳細は[PKT_LEN_H: B0 0x7A]レジスタをご参照ください。

0x7C【WR_TX_FIFO】

機能:送信 FIFO

アドレス:0x7C (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_FIFO[7:0]	0000_0000	W	送信 FIFO ※本 LSI に格納できる送信データはパケット長に関係なく 1 パケットまでとなります。1 パケットのデータを格納した状態(データ送信要求受付完了割込み INT[17]発生後から送信完了割込み INT16 発生まで)で、次の書き込み動作を行うと FIFO は上書きされ、送信 FIFO アクセスエラー割込み(INT[20])が発生します。送信 FIFO アクセスエラーが発生した場合、送信 FIFO クリア STATE_CLR0([STATE_CLR: B0 0x16(0)])を 0b1 に設定し、送信 FIFO ポインタのクリアを実行してください。 ※詳細は「FIFO 制御機能」を参照してください。

0x7D【RX_PKT_LEN_H】

機能:受信パケット Length 設定/表示(上位バイト)

アドレス:0x7D (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RX_PKT_LEN[15:8]	0000_0000	R/W	受信パケット Length 値設定/表示(上位バイト) ※FormatA/B/C・・・L-field を除くパケット Length を表示します。 ※FormatD・・・L-field がないパケット構成のため、本設定値を受信 Length 値として FIFO 制御(FIFO からのデータ読み出し制御)が行われます。Data-field から CRC-field までのデータ長を設定してください。

0x7E【RX_PKT_LEN_L】

機能:受信パケット Length 設定/表示(下位バイト)

アドレス:0x7E (BANK0)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RX_PKT_LEN[7:0]	0000_0000	R/W	受信パケット Length 値設定/表示(下位バイト) ※詳細は[RX_PKT_LEN_H: B0 0x7D]レジスタをご参照ください。

0x7F【RD_FIFO】

機能: FIFO リード
アドレス: 0x7F (BANK0)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	RD_FIFO[7:0]	0000_0000	R	FIFO リード ※FIFO_R_SEL([FIFO_SET: B0 0x78])で設定した FIFO 面をリードします。 ※受信時、本 LSI に格納できる受信データはパケット長に関係なく 1 パケットまでとなります。1 パケットのデータが格納されている状態で次のパケットを受信した場合、FIFO は上書きされます。 ※FIFO データを全て読み出す必要がない場合、受信 FIFO クリア STATE_CLR1([STATE_CLR: B0 0x16(1)])を 0b1 に設定し、受信 FIFO ポインタのクリアを実行してください。 ※詳細は「FIFO 制御機能」を参照してください。 ※スリープ中に FIFO をリードした場合は、受信 FIFO クリア STATE_CLR1([STATE_CLR: B0 0x16(1)])を 0b1 に設定し、受信 FIFO ポインタのクリアを実行してください。

●レジスタ BANK1

0x00【BANK_SEL】

【説明】

[BANK_SEL:B0 0x00]を参照ください。

0x01【CLK_OUT】

機能: CLKOUT の出力クロック周波数設定

アドレス: 0x01 (BANK1)

初期値: 0x05

Bit	ビット名	初期値	R/W	説明
7:0	CLK_DIV[7:0]	0000_0101	R/W	<p>出力クロック周波数設定 下記計算式で出力されます</p> <p>0000_0000: 36MHz 0000_0001: 18MHz 0000_0010: 12MHz(デューティ比・・・High:Low=1:2) 0000_0011: 9MHz 0000_0100: 6MHz 0000_0101: 4.5MHz 0000_0110: 3.6MHz 0000_0111: 1.0MHz 0000_1000: 600kHz 0000_1001: 246.5kHz</p> <p>上記以外: 下記の計算式で出力周波数が決定されます。 出力周波数 = $36 / (16 * [\text{設定値}] + 2)$ [MHz] 例えば、0x0A を設定した場合は、 出力周波数 = $36 / (16 * 10 + 2) = 222\text{kHz}$ となります。</p>

0x02【TX_RATE_H】

機能: 送信データレート設定(上位バイト)

アドレス: 0x02 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_RATE[15:8]	0000_0000	R/W	<p>送信データレート変換設定(上位バイト) ※[TX_RATE_L: B1 0x03]レジスタの 8 ビットと共に全 16 ビットから算出されます。 任意のレートを設定する場合、下式から算出される値を設定します。</p> <p>設定値 = round (マスタークロック周波数 / 10 / [任意のビットレート])</p> <p>※詳細は「データレート設定機能」を参照してください。</p>

0x03【TX_RATE_L】

機能: 送信データレート変換設定(下位バイト)

アドレス: 0x03 (BANK1)

初期値: 0x12

Bit	ビット名	初期値	R/W	説明
7:0	TX_RATE[7:0]	0001_0010	R/W	<p>送信データレート変換設定(下位バイト) ※詳細は[TX_RATE_H]レジスタをご参照ください。</p>

0x04【RX_RATE1_H】

機能:受信データレート設定 1(上位バイト)
アドレス:0x04 (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RX_RATE1[15:8]	0000_0000	R/W	受信データレート変換設定(上位バイト) ※[RX_RATE_L: B1 0x05]レジスタの 8 ビットと共に全 16 ビットから算出されます。 任意のレートを設定する場合、下式から算出される値を設定します。 設定値 = round (マスタークロック周波数/ {[任意のビットレート] * [RX_RATE2: B1 0x06]レジスタ})) ※詳細は「データレート設定機能」を参照してください。

0x05【RX_RATE1_L】

機能:受信データレート設定 1(下位バイト)
アドレス:0x05 (BANK1)
初期値:0x09

Bit	ビット名	初期値	R/W	説明
7:0	RX_RATE1[7:0]	0000_1001	R/W	受信データレート変換設定(下位バイト) ※詳細は[RX_RATE1_L]レジスタをご参照ください。

0x06【RX_RATE2】

機能:受信データレート設定 2
アドレス:0x06 (BANK1)
初期値:0x0A

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RX_RATE2[6:0]	000_1010	R/W	受信データレート変換設定 2(設定範囲: 30～127) ※RX_RATE1 と組み合わせて任意のレートを設定します。詳細は [RATE_SET1_H/L]レジスタをご参照ください。 ※0x01 以上 0x1D 以下の値は設定しないでください。ただし、0x00 設定時は 128 と認識します。

0x07【Reserved】

機能: 予約

アドレス: 0x07 (BANK1)

初期値: 0x5E

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0101_1110	R/W	予約

0x08【OSC_W_SEL】

機能: クロック安定化待ち時間設定

アドレス: 0x08 (BANK1)

初期値: 0x20

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:5	OSC_W_SEL[1:0]	01	R/W	クロック安定化待ち時間設定 00: 500μsec 01: 250μsec 10: 50μsec 11: 10μsec ※本ビットにて電源投入後の起動時、または SLEEP からの復帰時のクロック安定化待ち時間を設定できます。クロック安定化待ち時間のタイミングは「タイムチャート-起動時」を参照してください。
4:0	Reserved	0_0000	R/W	予約

0x09-0x0A【Reserved】

機能: 予約

アドレス: 0x09-0x0A (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x0B【PLL_LOCK_DETECT】

機能:PLL ロック判定設定

アドレス:0x0B (BANK1)

初期値:0x81

Bit	ビット名	初期値	R/W	説明
7	PLL_LD_EN	1	R/W	送信時の PLL ロック外れ検出後の状態設定 0: 送信状態を維持する 1: Force_TRX_OFF により送信強制停止する ※ロック外れを検出すると INT2 (INT_SOURCE_GRP1)を発生させ、設定した状態へ移行します。 ※受信時に PLL ロック外れを検出した場合は、INT[2]発生後に受信状態を継続します。
6:0	TIM_PLL_LD[6:0]	000_0001	R/W	PLL ロック判定時間調整 PLL ロック検出信号の”H”期間が下記で設定される時間以上となったときにロック状態とみなします。ロック外れ状態は”L”を検出した時点で判断します。 判定時間 = 設定値 * 8μsec + 1 (デフォルト: 9μsec)

【ご注意】

- PLL ロック外れを検出してIDLE状態へ強制移行した場合は、次の送受信を行う前に INT[2][INT_SOURCE_GRP1: B0 0x0D(2)]のクリアを必ず行ってください。また、[RF_STATUS:B0 0x0B]レジスタへの書き込みアクセスは 5μsec 以上経過してから実行してください。
- PLL ロック外れ検出の条件、検出タイミングについては「VCO の調整」をご参照ください。

0x0C-0x0D【Reserved】

機能:予約

アドレス:0x0C-0x0D (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x0E【GAIN_HOLD】

機能:ゲイン切替え設定

アドレス:0x0E (BANK1)

初期値:0x80

Bit	ビット名	初期値	R/W	説明
7	GAIN_SYNC_HOLD	1	R/W	ゲイン切り替え設定 0: 常時更新 1: 同期確立後にゲイン固定する ※BER 測定時には 0b0 に設定してください。
6:0	Reserved	000_0000	R	予約

0x0F【RSSI_STABLE_RES】

機能:RSSI 安定化待ち時間分解能設定

アドレス:0x0F (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	0000_000	R	予約
0	RSSI_STABLE_RES	0	R/W	RSSI 安定待ち時間分解能設定 0: 1 倍 1: 1/2 倍 ※[RSSI_STABLE: B1 0x12]で設定する待ち時間に対し、本レジスタにて設定した値の倍率をかけたサンプル数分だけ RSSI 安定待ちを行います。

0x10【GC_MODE_DIV】

機能:ダイバーシティ時のゲイン制御モード設定

アドレス:0x10 (BANK1)

初期値:0x0F

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	GC_MODE_DIV [3:0]	1111	R/W	ダイバーシティ時のゲイン制御モード設定 0001: HH ゲイン固定 0010: H ゲイン固定 0011: H⇔HH ゲイン遷移 0100: M ゲイン固定 0110: M⇔H ゲイン遷移 0111: M⇔H⇔HH ゲイン遷移 1000: L ゲイン固定 1100: L⇔M ゲイン遷移 1110: L⇔M⇔H ゲイン遷移 1111: L⇔M⇔H⇔HH ゲイン遷移 上記以外: H ゲイン固定

0x11【Reserved】

機能: 予約

アドレス: 0x11 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x12【RSSI_STABLE_TIME】

機能: RSSI 安定化待ち時間設定

アドレス: 0x12 (BANK1)

初期値: 0x23

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:4	RSSI_STABLE2[2:0]	010	R/W	<p>高速電波チェック時ゲイン切替後の RSSI 安定待ち時間設定 ※本レジスタで設定された期間は、ゲイン切替に伴う RSSI の収束、安定の時間とし、この期間内の RSSI 値は ED 値算出の対象外となります。 ウェイト時間[s] = 1/{マスタークロック周波数 / CHFIL_BW_ADJ[CHFIL_BW: B0 0x54]設定値 / 8} × 待ち時間サンプル数 × [RSSI_STABLE_RES: B1 0x12]設定倍率</p> <p>設定値と待ち時間サンプル数との関係は以下となります。 000: 50 サンプル 001: 100 サンプル 010: 125 サンプル 011: 150 サンプル 100: 175 サンプル 101: 200 サンプル 110: 225 サンプル 111: 250 サンプル</p>
3	Reserved	0	R	予約
2:0	RSSI_STABLE[2:0]	011	R/W	<p>ゲイン切替後の RSSI 安定待ち時間設定 ※本レジスタで設定された期間は、ゲイン切替に伴う RSSI の収束、安定の時間とし、この期間内の RSSI 値は ED 値算出の対象外となります。 ウェイト時間[s] = 1/{マスタークロック周波数 / CHFIL_BW_ADJ[CHFIL_BW: B0 0x54]設定値 / 8} × 待ち時間サンプル数 × [RSSI_STABLE_RES: B1 0x12]設定倍率</p> <p>設定値と待ち時間サンプル数との関係は以下となります。 000: 50 サンプル 001: 100 サンプル 010: 125 サンプル 011: 150 サンプル 100: 175 サンプル 101: 200 サンプル 110: 225 サンプル 111: 250 サンプル</p>

【ご注意】

1. 本レジスタへは 0x00 を設定しないでください。また、「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x13【RSSI_MAG_ADJ】

機能:ED 変換用 RSSI 補正設定

アドレス:0x13 (BANK1)

初期値:0x0C

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4	RSSI_MAG_D4	0	R/W	RSSI 倍率 2 倍設定 0: 適用しない 1: 適用する
3	RSSI_MAG_D3	1	R/W	RSSI 倍率 1 倍設定 0: 適用しない 1: 適用する
2	RSSI_MAG_D2	1	R/W	RSSI 倍率 1/2 倍設定 0: 適用しない 1: 適用する
1	RSSI_MAG_D1	0	R/W	RSSI 倍率 1/4 倍設定 0: 適用しない 1: 適用する
0	RSSI_MAG_D0	0	R/W	RSSI 倍率 1/8 倍設定 0: 適用しない 1: 適用する

【ご注意】

1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。
2. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
3. 本レジスタは 0b1 が設定された倍率の総和によりトータルの倍率が計算されます(例 bit3 と bit1 に 0b1 が書き込まれている場合は、1 倍と 1/4 倍の和からトータル倍率は 1.25 倍となります。)。計算後、値が 0xFF 以上となる場合は 0xFF に制限されます。

0x14【Reserved】

機能:予約

アドレス:0x14 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x15【AFC/GC_CTRL】

機能:AFC /ゲイン制御設定
アドレス:0x15 (BANK1)
初期値:0x8F

Bit	ビット名	初期値	R/W	説明
7	AFC_EN	1	R/W	AFC 制御設定 0: AFC 無効にする 1: AFC 有効にする
6:4	Reserved	000	R	予約
3:0	GC_MODE [3:0]	1111	R/W	ゲイン制御モード設定 0001: HH ゲイン固定 0010: H ゲイン固定 0011: H⇔HH ゲイン遷移 0100: M ゲイン固定 0110: M⇔H ゲイン遷移 0111: M⇔H⇔HH ゲイン遷移 1000: L ゲイン固定 1100: L⇔M ゲイン遷移 1110: L⇔M⇔H ゲイン遷移 1111: L⇔M⇔H⇔HH ゲイン遷移 上記以外: H ゲイン固定

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x16【CRC_POLY3】

機能: CRC 生成多項式設定 3

アドレス: 0x16 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	CRC_POLY [30:24]	000_0000	R/W	CRC 生成多項式設定

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x17【CRC_POLY2】

機能: CRC 生成多項式設定 2

アドレス: 0x17 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	CRC_POLY [23:16]	0000_0000	R/W	CRC 生成多項式設定

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x18【CRC_POLY1】

機能: CRC 生成多項式設定 1

アドレス: 0x18 (BANK1)

初期値: 0x1E

Bit	ビット名	初期値	R/W	説明
7:0	CRC_POLY [15:8]	0001_1110	R/W	CRC 生成多項式設定

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x19【CRC_POLY0】

機能: CRC 生成多項式設定 0

アドレス: 0x19 (BANK1)

初期値: 0xB2

Bit	ビット名	初期値	R/W	説明
7:0	CRC_POLY [7:0]	1011_0010	R/W	CRC 生成多項式設定

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x1A【PLL_DIV_SET】

機能:PLL 周波数分周設定

アドレス:0x1A (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1:0	PLL_MODE	00	R/W	PLL モード設定 00: 分周なし 10: 2 分周 上記以外: 予約 ※0b10 設定時、PLL 周波数関連の設定は所望の周波数の 2 倍の周波数を設定してください。PLL 周波数関連のレジスタは「周波数設定機能」をご参照ください。

0x1B【TXFREQ_I】

機能:送信周波数設定(N および A カウンタ)

アドレス:0x1B (BANK1)

初期値:0x19

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	TXFREQ_I [5:0]	01_1001	R/W	送信周波数設定 I カウンタ ※初期設定は 920.7MHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x1C【TXFREQ_FH】

機能:送信周波数設定(F カウンタ上位 4 ビット)

アドレス:0x1C (BANK1)

初期値:0x09

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	TXFREQ_F[19:16]	1001	R/W	送信周波数設定 F カウンタ(上位 4 ビット) ※初期設定は 920.7MHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x1D【TXFREQ_FM】

機能:送信周波数設定(F カウンタ中位 8 ビット)

アドレス:0x1D (BANK1)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:0	TXFREQ_F[15:8]	0011_0011	R/W	送信周波数設定 F カウンタ(中位 8 ビット) ※初期設定は 920.7MHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x1E【TXFREQ_FL】

機能:送信周波数設定(F カウンタ下位 8 ビット)

アドレス:0x1E (BANK1)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:0	TXFREQ_F[7:0]	0011_0011	R/W	送信周波数設定 F カウンタ(下位 8 ビット) ※初期設定は 920.7MHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x1F【RXFREQ_I】

機能:受信周波数設定(I カウンタ)

アドレス:0x1F (BANK1)

初期値:0x19

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	RXFREQ_I[5:0]	01_1001	R/W	受信周波数設定 I カウンタ ※初期設定は 920.7MHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x20【RXFREQ_FH】

機能:受信周波数設定(F カウンタ上位 4 ビット)

アドレス:0x20 (BANK1)

初期値:0x09

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	RXFREQ_F[19:16]	1001	R/W	受信周波数設定 F カウンタ(上位 4 ビット) ※初期設定は 920.7MHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x21【RXFREQ_FM】

機能:受信周波数設定(F カウンタ中位 8 ビット)

アドレス:0x21 (BANK1)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:0	RXFREQ_F[15:8]	0011_0011	R/W	受信周波数設定 F カウンタ(中位 8 ビット) ※初期設定は 920.7MHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x22【RXFREQ_FL】

機能:受信周波数設定(F カウンタ下位 8 ビット)

アドレス:0x22 (BANK1)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:0	RXFREQ_F[7:0]	0011_0011	R/W	受信周波数設定 F カウンタ(下位 8 ビット) ※初期設定は 920.7MHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x23【CH_SPACE_H】

機能:チャンネル間隔設定(上位バイト)

アドレス:0x23 (BANK1)

初期値:0x2D

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	CH_SPACE[14:8]	010_1101	R/W	チャンネル間隔設定(上位バイト) ※初期設定は 400kHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル間隔の設定」を参照してください。

0x24【CH_SPACE_L】

機能:チャンネル間隔設定(下位バイト)

アドレス:0x24 (BANK1)

初期値:0x83

Bit	ビット名	初期値	R/W	説明
7:0	CH_SPACE[7:0]	1000_0011	R/W	チャンネル間隔設定(下位バイト) ※初期設定は 400kHz となります。

【説明】

1. 本レジスタの設定方法は、「チャンネル間隔の設定」を参照してください。

0x25【SYNC_WORD_LEN】

機能:同期ワード長設定

アドレス:0x25 (BANK1)

初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	SYNC_WORD_LEN[5:0]	00_1000	R/W	同期ワード長設定(設定範囲:8~32、単位:ビット) ※0b00_0111 以下の設定は、0b00_1000 として動作します。 ※0b10_0000 以上の設定は、0b10_0000 として動作します。

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x26【SYNC_WORD_EN】

機能:同期ワードイネーブル設定

アドレス:0x26 (BANK1)

初期値:0x0F

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3	SYNC_WORD_EN3	1	R/W	SYNC_WORD[31:24]イネーブル 0: 検出対象としない 1: 検出対象とする
2	SYNC_WORD_EN2	1	R/W	SYNC_WORD[23:16]イネーブル 0: 検出対象としない 1: 検出対象とする
1	SYNC_WORD_EN1	1	R/W	SYNC_WORD[15:8]イネーブル 0: 検出対象としない 1: 検出対象とする
0	SYNC_WORD_EN0	1	R/W	SYNC_WORD[7:0]イネーブル 0: 検出対象としない 1: 検出対象とする

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x27【SYNCWORD1_SET0】

機能:同期ワードパターン設定 1(ビット 24～31)

アドレス:0x27 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[31:24]	0000_0000	R/W	同期ワードパターン設定 1

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x28【SYNCWORD1_SET1】

機能:同期ワードパターン設定 1(ビット 16～23)

アドレス:0x28 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[23:16]	0000_0000	R/W	同期ワードパターン設定 1

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x29【SYNCWORD1_SET2】

機能:同期ワードパターン設定 1(ビット 8～15)

アドレス:0x29 (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[15:8]	0000_0000	R/W	同期ワードパターン設定 1

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2A【SYNCWORD1_SET3】

機能:同期ワードパターン設定 1(ビット 0～7)

アドレス:0x2A (BANK1)

初期値:0x38

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[7:0]	0011_1000	R/W	同期ワードパターン設定 1

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2B【SYNCWORD2_SET0】

機能:同期ワードパターン設定 2(ビット 24～31)

アドレス:0x2B (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[31:24]	0000_0000	R/W	同期ワードパターン設定 2

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2C【SYNCWORD2_SET1】

機能:同期ワードパターン設定 2(ビット 16～23)

アドレス:0x2C (BANK1)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[23:16]	0000_0000	R/W	同期ワードパターン設定 2

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2D【SYNCWORD2_SET2】

機能:同期ワードパターン設定 2(ビット 8～15)
アドレス:0x2D (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[15:8]	0000_0000	R/W	同期ワードパターン設定 2

【説明】

- 1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2E【SYNCWORD2_SET3】

機能:同期ワードパターン設定 2(ビット 0～7)
アドレス:0x2E (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[7:0]	0000_0000	R/W	同期ワードパターン設定 2

【説明】

- 1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2F【FSK_CTRL】

機能: FSK 変調タイミング分解能設定

アドレス: 0x2F (BANK1)

初期値: 0x02

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:4	BT_SEL[1:0]	00	W	BT 選択設定 00: 係数任意設定([FSK_D0_H/GFIL0: B1 0x32]～[FSK_D0_H/GFIL6: B1 0x38])の値が有効となります) 01: BT=0.3 10: BT=0.4 上記以外: 予約
3:1	GFSK_CLKX	001	R/W	GFSK クロック設定 000: 1 倍クロック動作 001: 2 倍クロック動作 010: 4 倍クロック動作 100: 8 倍クロック動作 上記以外: 予約 ※データレートによっては設定可能値に制約があります。設定値については「初期設定レジスタ」をご参照ください。
0	FSK_CLK_SET	0	R/W	2FSK 時の変調タイミング分解能設定 0: 4MHz 分解能 1: 12MHz 分解能 ※本 LSI では 0b0 を設定してください。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

0x30【GFSK_DEV_H】

機能: GFSK 時の周波数偏位設定(上位 6 ビット)

アドレス: 0x30 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	GFSK_DEV[13:8]	00_0000	R/W	GFSK 時の周波数偏位設定(上位 6 ビット)/ BPSK(周波数制御)時の周波数偏位設定(上位 6 ビット) ※初期設定は 50kHz となります。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

0x31【GFSK_DEV_L】

機能:GFSK 時の周波数偏位設定(下位バイト)
アドレス:0x31 (BANK1)
初期値:0x1D

Bit	ビット名	初期値	R/W	説明
7:0	GFSK_DEV[7:0]	0001_1101	R/W	GFSK 時の周波数偏位設定(下位バイト)/ BPSK(周波数制御)時の周波数偏位設定(下位バイト) ※初期設定は 50kHz となります。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。

0x32【FSK_DEV0_H/GFIL0】

機能:FSK 時の第 1 周波数偏位設定(上位 6 ビット)/GFSK 時のガウシアンフィルタ係数設定 0
アドレス:0x32 (BANK1)
初期値:0x30

Bit	ビット名	初期値	R/W	説明
7:6	GFIL0[7:6]	00	R/W	ガウシアンフィルタ係数設定 0 ※ガウシアンフィルタ係数のビット範囲は bit7-0 です。
5:0	FSK_DEV0[13:8]/ GFIL0[5:0]	11_0000	R/W	FSK 時の第 1 周波数偏位設定(上位 6 ビット)/ ガウシアンフィルタ係数設定 0 ※FSK 第 1 周波数偏位は[FSK_DEV0_L/GFIL1:B1 0x33]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。
3. [BPSK_STEP_SET0: B10 0x04]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x33【FSK_DEV0_L/GFIL1】

機能:FSK 時の第 1 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 1

アドレス:0x33 (BANK1)

初期値:0x11

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV0[7:0]/ GFIL1[7:0] / PA_AMP0[7:0]	0001_0001	R/W	FSK 時の第 1 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 1 ※FSK 第 1 周波数偏位は[FSK_DEV0_H/GFIL0:B1 0x32]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。
3. [BPSK_STEP_SET1: B10 0x05]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x34【FSK_DEV1_H/GFIL2】

機能:FSK 時の第 2 周波数偏位設定(上位バイト) /GFSK 時のガウシアンフィルタ係数設定 2

アドレス:0x34 (BANK1)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	FSK_DEV1[13:8]/ GFIL2[4:0]	10_0010	R/W	FSK 時の第 2 周波数偏位設定(上位バイト) / ガウシアンフィルタ係数設定 2 ※FSK 第 2 周波数偏位は[FSK_DEV1_L/GFIL3:B1 0x35]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。
3. [BPSK_STEP_SET2: B10 0x06]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x35【FSK_DEV1_L/GFIL3】

機能:FSK 時の第 2 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 3

アドレス:0x35 (BANK1)

初期値:0x29

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV1[7:0]/ GFIL3[5:0]	0010_1001	R/W	FSK 時の第 2 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 3 ※FSK 第 2 周波数偏位は[FSK_DEV1_H/GFIL2:B1 0x34]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。
3. [BPSK_STEP_SET3: B10 0x07]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x36【FSK_DEV2_H/GFIL4】

機能:FSK 時の第 3 周波数偏位設定(上位バイト) /GFSK 時のガウシアンフィルタ係数設定 4

アドレス:0x36 (BANK1)

初期値:0x11

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	FSK_DEV2[13:8]/ GFIL4[5:0]	01_0001	R/W	FSK 時の第 3 周波数偏位設定(上位バイト) / ガウシアンフィルタ係数設定 4 ※FSK 第 3 周波数偏位は[FSK_DEV2_L/GFIL5:B1 0x37]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。
3. [BPSK_STEP_SET4: B10 0x08]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x37【FSK_DEV2_L/GFIL5】

機能:FSK 時の第 3 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 5

アドレス:0x37 (BANK1)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV2[7:0]/ GFIL5[6:0]	0010_0010	R/W	FSK 時の第 3 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 5 ※FSK 第 3 周波数偏位は[FSK_DEV2_H/GFIL4:B1 0x36]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。
3. [BPSK_STEP_SET5: B10 0x09]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x38【FSK_DEV3_H/GFIL6】

機能:FSK 時の第 4 周波数偏位設定(上位 6 ビット) /GFSK 時のガウシアンフィルタ係数設定 6

アドレス:0x38 (BANK1)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:6	GFIL6[7:6]	00	R/W	ガウシアンフィルタ係数設定 6 ※ガウシアンフィルタ係数のビット範囲は bit7-0 です。
5:0	FSK_DEV3[13:8]/ GFIL6[5:0]	10_0010	R/W	FSK 時の第 4 周波数偏位設定(上位 6 ビット) / ガウシアンフィルタ係数設定 6 ※FSK 第 4 周波数偏位は[FSK_DEV3_L:B1 0x39]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ BT=0.5 設定です。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。
3. [BPSK_STEP_SET6: B10 0x0A]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x39【FSK_DEV3_L】

機能:FSK 時の第 4 周波数偏位設定(下位バイト)

アドレス:0x39 (BANK1)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV3[7:0]	0010_0010	R/W	FSK 時の第 4 周波数偏位設定(下位バイト) ※[FSK_DEV3_H/GFIL6:B1 0x38]レジスタの 6 ビットと共に全 14 ビットから算出されます。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. [BPSK_STEP_SET7: B10 0x0B]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x3A【FSK_DEV4_H】

機能:FSK 時の第 5 周波数偏位設定(上位 6 ビット)

アドレス:0x3A (BANK1)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	FSK_DEV4[13:8]	10_0010	R/W	FSK 時の第 5 周波数偏位設定(上位バイト) ※[FSK_DEV4_L:B1 0x3B]レジスタの 8 ビットと共に全 14 ビットから算出されます。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. [BPSK_STEP_SET8: B10 0x0C]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x3B【FSK_DEV4_L】

機能:FSK 時の第 5 周波数偏位設定(下位バイト)

アドレス:0x3B (BANK1)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV4[7:0]	0010_0010	R/W	FSK 時の第 5 周波数偏位設定(下位バイト) ※[FSK_DEV4_H:B1 0x3A]レジスタの 6 ビットと共に全 14 ビットから算出されます。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. [BPSK_STEP_SET9: B10 0x0D]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x3C【FSK_TIM_ADJ4】

機能:FSK 時の第 4 周波数偏位の保持時間設定

アドレス:0x3C (BANK1)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ4[7:0]	0010_0010	R/W	FSK 時の第 4 周波数偏位保持時間

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. [BPSK_STEP_SET10: B10 0x0E]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x3D【FSK_TIM_ADJ3】

機能:FSK 時の第 3 周波数偏位の保持時間設定

アドレス:0x3D (BANK1)

初期値:0x32

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ3[7:0]	0011_0010	R/W	FSK 時の第 3 周波数偏位保持時間設定

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. [BPSK_STEP_SET11: B10 0x0F]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x3E【FSK_TIM_ADJ2】

機能:FSK 時の第 2 周波数偏位の保持時間設定

アドレス:0x3E (BANK1)

初期値:0x32

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ2[7:0]	0011_0010	R/W	FSK 時の第 2 周波数偏位保持時間設定

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. [BPSK_STEP_SET12: B10 0x10]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x3F【FSK_TIM_ADJ1】

機能:FSK 時の第 1 周波数偏位の保持時間設定

アドレス:0x3F (BANK1)

初期値:0x32

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ1[7:0]	0011_0010	R/W	FSK 時の第 1 周波数偏位保持時間設定

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. [BPSK_STEP_SET13: B10 0x11]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x40【FSK_TIM_ADJ0】

機能:FSK 時の周波数無偏位(キャリア周波数)の保持時間設定

アドレス:0x40 (BANK1)

初期値:0x35

Bit	ビット名	初期値	R/W	説明
7:0	FSK_TIM_ADJ0[7:0]	0011_0101	R/W	FSK 時の無周波数偏位(キャリア周波数)保持時間

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. [BPSK_STEP_SET14: B10 0x12]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x41【4FSK_DATA_MAP】

機能:4FSK 時のデータマッピング設定

アドレス:0x41 (BANK1)

初期値:0xE1

Bit	ビット名	初期値	R/W	説明
7:6	FSK4_FREQ3[1:0]	11	R/W	第 4 周波数偏位時のデータ設定 ※プラス側への最大周波数偏位時の設定です。
5:4	FSK4_FREQ2[1:0]	10	R/W	第 3 周波数偏位時のデータ設定
3:2	FSK4_FREQ1[1:0]	00	R/W	第 2 周波数偏位時のデータ設定
1:0	FSK4_FREQ0[1:0]	01	R/W	第 1 周波数偏位時のデータ設定 ※マイナス側への最大周波数偏位時の設定です。

【説明】

1. 本レジスタの設定方法は、「FSK 変調」を参照してください。
2. デフォルト値は Wireless M-Bus のデータマッピングとなっています。

0x42【FREQ_ADJ_H】

機能: 送信受信周波数微調整設定(上位バイト)

アドレス: 0x42 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7	FREQ_ADJ_SIGN	0	R/W	送信受信周波数微調整の符号設定 0: マイナス 1: プラス
6:2	Reserved	0_0000	R	予約
1:0	FREQ_ADJ[9:8]	00	R/W	送信受信周波数微調整設定 (上位 2 ビット) ※[FREQ_ADJ_L:B1 0x43]レジスタの 8 ビットと共に全 10 ビットから算出されます。

【説明】

1. 本レジスタの設定方法は、「送受信周波数の調整」を参照してください。

0x43【FREQ_ADJ_L】

機能: 送受信周波数調整設定(下位バイト)

アドレス: 0x43 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	FREQ_ADJ[7:0]	0000_0000	R/W	送受信周波数微調整設定 (下位バイト) ※[FREQ_ADJ_H:B1 0x42]レジスタの 7 ビットと共に全 15 ビットから算出されます。

【説明】

1. 本レジスタの設定方法は、「送受信周波数の調整」を参照してください。

0x44-0x47【Reserved】

機能:

アドレス: 0x44-0x47 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x48【2DIV_MODE】

機能:アンテナダイバーシティモード設定
アドレス:0x48 (BANK1)
初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	000	R/W	予約
4	SEARCH_MODE	0	R/W	アンテナダイバーシティモード設定 0: アンテナダイバーシティ FAST モードを使用しない 1: アンテナダイバーシティ FAST モードを使用する ※FAST モード設定時、SEARCH_TIME1([2DIV_SEARCH1: B1 0x49(6-0)])での ANT サーチで取得した ED 値が[2DIV_FAST_LVL: B1 0x4B]を超えていた場合、以降のサーチはせず、ANT を確定します。
3	Reserved	0	R	予約
2:0	2DIV_ED_AVG [2:0]	001	R/W	アンテナダイバーシティ時の ED 値算出時の平均回数設定 000: 1 回平均 001: 2 回平均 010: 4 回平均 011: 8 回平均 100: 16 回平均 101: 32 回平均 上記以外: 16 回平均

【説明】

1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

0x49【2DIV_SEARCH1】

機能: アンテナダイバーシティサーチ時間設定

アドレス: 0x49 (BANK1)

初期値: 0x8E

Bit	ビット名	初期値	R/W	説明
7	SEARCH_TIME_SET	1	R/W	アンテナダイバーシティサーチ時間分解能設定 0: 16μsec 1: 256μsec ※bit6-0 の SEARCH_TIME1 および[2DIV_SEARCH2]レジスタ bit6-0(SEARCH_TIME2)にて設定するダイバーシティサーチ時間の時 間分解能を設定します。
6:0	SEARCH_TIME1[6:0]	000_1110	R/W	アンテナダイバーシティサーチ時間設定 1 サーチ時間 = (設定値+1)×サーチ時間時間分解能 ※最初の同期検出までの ANT1 または ANT2 のサーチ時間を設定しま す。

【説明】

1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

0x4A【2DIV_SEARCH2】

機能: アンテナダイバーシティサーチ時間設定

アドレス: 0x4A (BANK1)

初期値: 0x0E

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	SEARCH_TIME2[6:0]	000_1110	R/W	アンテナダイバーシティサーチ時間設定 2 サーチ時間 = 設定値×サーチ時間時間分解能 ※同期検出後、直前の ANT とは異なる ANT でのサーチ時間を設定しま す。

【説明】

1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

0x4B【2DIV_FAST_LVL】

機能: アンテナダイバーシティ FAST モードの ED 閾値設定

アドレス: 0x4B (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	2DIV_FAST_LVL[7:0]	0000_0000	R/W	アンテナダイバーシティ FAST モードの ED 閾値

0x4C【Reserved】

機能: 予約

アドレス: 0x4C (BANK1)

初期値: 0x06

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0110	R/W	予約

0x4D【VCO_CAL_MIN_I】

機能: VCO キャリブレーション下限周波数設定(I カウンタ)

アドレス: 0x4D (BANK1)

初期値: 0x19

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	VCO_CAL_MIN_I[5:0]	01_1001	R/W	VCO キャリブレーション下限周波数設定 (I カウンタ)

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 400kHz 低い値を設定してください。

0x4E【VCO_CAL_MIN_FH】

機能: VCO キャリブレーション下限周波数設定(F カウンタ上位 4 ビット)

アドレス: 0x4E (BANK1)

初期値: 0x09

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	VCO_CAL_MIN_F[19:16]	1001	R/W	VCO キャリブレーション下限周波数設定 (F カウンタ上位 4 ビット)

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 400kHz 低い値を設定してください。

0x4F【VCO_CAL_MIN_FM】

機能: VCO キャリブレーション下限周波数設定(F カウンタ中位 8 ビット)

アドレス: 0x4F (BANK1)

初期値: 0xB0

Bit	ビット名	初期値	R/W	説明
7:0	VCO_CAL_MIN_F[15:8]	1011_0000	R/W	VCO キャリブレーション下限周波数設定 (F カウンタ中位 8 ビット)

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 400kHz 低い値を設定してください。

0x50【VCO_CAL_MIN_FL】

機能: VCO キャリブレーション下限周波数設定(F カウンタ下位 8 ビット)

アドレス: 0x50 (BANK1)

初期値: 0x5B

Bit	ビット名	初期値	R/W	説明
7:0	VCO_CAL_MIN_F[7:0]	0101_1011	R/W	VCO キャリブレーション下限周波数設定 (F カウンタ下位 8 ビット)

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 400kHz 低い値を設定してください。

0x51【VCO_CAL_MAX_N】

機能: VCO キャリブレーションの上限周波数設定

アドレス: 0x51 (BANK1)

初期値: 0x02

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	VCO_CAL_MAX_N[3:0]	0101	R/W	VCO キャリブレーション上限周波数範囲(下限周波数からの ΔF) 0000: 0MHz 0001: 1.125MHz 0010: 2.25MHz 0011: 4.5MHz 0100: 9 MHz 0101: 18 MHz 0110: 36 MHz 0111: 72MHz 1000: 114.75MHz 1001: 144MHz 上記以外: 設定禁止

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 上限周波数の設定」を参照してください。

【ご注意】

1. 上限値の設定は、実際に運用する周波数範囲が完全に含まれるように設定してください。

0x52【VCAL_MIN】

機能: 下限側 VCO キャリブレーション値表示と設定

アドレス: 0x52 (BANK1)

初期値: 0x40

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	VCAL_MIN[6:0]	100_0000	R/W	下限側 VCO キャリブレーション値 ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x53【VCAL_MAX】

機能: 上限側 VCO キャリブレーション値表示と設定
アドレス: 0x53 (BANK1)
初期値: 0x40

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	VCAL_MAX[6:0]	100_0000	R/W	上限側 VCO キャリブレーション値 ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。

【説明】

- 1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x54-0x55【Reserved】

機能: 予約
アドレス: 0x54-0x55 (BANK1)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x56【DEMOD_SET0】

機能: 復調器設定 0

アドレス: 0x56 (BANK1)

初期値: 0x50

Bit	ビット名	初期値	R/W	説明
7	CHFIL_WIDE_SYNC	0	R/W	未同期時のチャネルフィルタ広帯域設定 0: 常時に CHFIL_BW_ADJ で設定した帯域 1: 非同期時に CHFIL_BW_ADJ で設定した帯域の 2 倍帯域 同期時は CHFIL_BW_ADJ で設定した帯域
6	IQ_INV	1	R/W	IQ 反転機能 0: 反転しない 1: 反転する
5	Reserved	0	R	予約
4	STR_LIM_ON	1	R/W	シンボルタイミングリカバリリミッタ設定 0: リミッタを OFF にする 1: リミッタを ON にする
3	STR_HOLD_ON	0	R/W	シンボルタイミングリカバリ設定 0: シンボルタイミング追従を常時行う 1: SFD 検出後シンボルタイミングを保持する
2	AFC_LIM_OFF	0	R/W	AFC リミッタ設定 0: AFC リミッタを ON にする 1: AFC リミッタを OFF にする
1	AFC_HOLD_ON	0	R/W	AFC モード設定 0: AFC を常時行う 1: SFD 検出後 AFC を保持する
0	AFC_OFF_EN	0	R/W	AFC 制御 0: AFC を行う 1: AFC を行わない

0x57【DEMOD_SET1】

機能: 復調器設定 1

アドレス: 0x57 (BANK1)

初期値: 0x04

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:4	DEM_FIL2[1:0]	00	R/W	復調器フィルタ設定 2 00: 平均なし 01: 2 回平均 10: 4 回平均 11: 8 回平均
3	Reserved	0	R	予約
2:0	DEM_FIL[2:0]	0100	R/W	復調器フィルタ帯域幅設定 000: マスタークロック周波数/8×(1/120) 001: マスタークロック周波数/8×(1/100) 010: マスタークロック周波数/8×(7/600) 011: マスタークロック周波数/8×(1/75) 100: マスタークロック周波数/8×(3/200) 101: マスタークロック周波数/8×(1/60) 110: マスタークロック周波数/8×(1/30) 111: マスタークロック周波数/8×(1/30)

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x58【DEMOD_SET2】

機能:復調器設定 2
アドレス:0x58 (BANK1)
初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	DEM_GAIN[2:0]	001	R/W	復調器ゲイン設定 ゲイン = (設定値+1)/2

- 【ご注意】
1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x59【DEMOD_SET3】

機能:復調器設定 3
アドレス:0x59 (BANK1)
初期値:0x10

Bit	ビット名	初期値	R/W	説明
7:0	DEM_4FSK_TH[7:0]	0001_0000	R/W	4FSK 時閾値設定

- 【ご注意】
1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x5A-0x5B【Reserved】

機能: 予約

アドレス: 0x5A-0x5B (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x5C【DEMOD_SET6】

機能: 復調器設定 6

アドレス: 0x5C (BANK1)

初期値: 0x15

Bit	ビット名	初期値	R/W	説明
7:0	RXDEV_RANGE[7:0]	0001_0101	R/W	受信周波数偏位範囲設定 設定値 = 受信周波数偏位範囲[Hz]*512 / {マスタークロック周波数[Hz]/8/CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)])}

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x5D【DEMOD_SET7】

機能: 復調器設定 7

アドレス: 0x5D (BANK1)

初期値: 0x03

Bit	ビット名	初期値	R/W	説明
7:0	AFC_LIM[7:0]	0000_0011	R/W	AFC 追従レンジ設定 設定値 = 設定追従レンジ[Hz]*1024 / {マスタークロック周波数[Hz]/8/CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)])} * 復調器ゲイン(DEM_GAIN([DEMOD_SET: B1 0x58(2-0)]) ※AFC_LIM_OFF([DEMOD_SET0: B1 0x56(2)])を 0b0 に設定した場合本設定が有効となります。

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x5E【DEMOD_SET8】

機能: 復調器設定 8

アドレス: 0x5E (BANK1)

初期値: 0x05

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	PLL_AFC_SHIFT[2:0]	101	R/W	PLL-AFC 倍率調整設定 1

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x5F【DEMOD_SET9】

機能:復調器設定 9

アドレス:0x5F (BANK1)

初期値:0x19

Bit	ビット名	初期値	R/W	説明
7:0	PLL_AFC_CO[7:0]	0001_1001	R/W	PLL-AFC 倍率調整設定 2

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x60【DEMOD_SET10】

機能:復調器設定 10

アドレス:0x60 (BANK1)

初期値:0x0C

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4:0	STR_PB_LEN[4:0]	0_1100	R/W	復調器プリアンブル検出閾値設定

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x61【DEMOD_SET11】

機能:復調器設定 11

アドレス:0x61 (BANK1)

初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R	予約
4:0	STR_PB_LEN_DIV[4:0]	0_1000	R/W	復調器プリアンブル検出閾値設定(ダイバーシティ時)

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x62【ADDR_CHK_CTR_H】

機能: アドレスチェックカウンタの表示(上位 3 ビット)

アドレス: 0x62 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	ADDR_CHK_CTR[10:8]	000	R	Field チェックでのアドレス不一致パケット数表示(上位 3 ビット) ※[ADDR_CHK_CTR_L: B1 0x63]レジスタの 8 ビットと共に全 11 ビットで表示します。 ※最大 2047 個までカウントできます。本レジスタをクリアする場合は、STATE_CLR4([STATE_CLR: B0 0x16(4)])のアドレスチェックカウンタクリアを実行してください。

【説明】

1. アドレスフィルタ機能の詳細に関しては、「Field チェック機能」を参照してください。

0x63【ADDR_CHK_CTR_L】

機能: アドレスチェックカウンタの表示(下位バイト)

アドレス: 0x63 (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	ADDR_CHK_CTR[7:0]	0000_0000	R	Field チェックでのアドレス不一致パケット数表示(下位バイト) ※詳細は、[ADDR_CHK_CTR_H: B1 0x62]をご参照ください。

【説明】

1. アドレスフィルタ機能の詳細に関しては、「Field チェック機能」を参照してください。

0x64【WHT_INIT_H】

機能: Whiteing 初期状態設定(上位 1 ビット)

アドレス: 0x64 (BANK1)

初期値: 0x01

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	000_0000	R/W	予約
0	WHT_INIT[8]	1	R/W	Whiteing 初期状態設定(上位 1 ビット)

【説明】

1. 詳細は、「DataWhitening 機能」を参照してください。

0x65【WHT_INIT_L】

機能: Whiteing 初期状態設定((下位バイト)

アドレス: 0x65 (BANK1)

初期値: 0xFF

Bit	ビット名	初期値	R/W	説明
7:0	WHT_INIT[7:0]	1111_1111	R/W	Whiteing 初期状態設定(下位バイト)

【説明】

1. 詳細は、「DataWhitening 機能」を参照してください。

0x66【WHT_CFG】

機能: Whiteing 生成多項式設定

アドレス: 0x66 (BANK1)

初期値: 0x08

Bit	ビット名	初期値	R/W	説明
7:0	WHT_CFG[7:0]	0000_1000	R/W	Whiteing 生成多項式設定

【説明】

1. 詳細は、「DataWhitening 機能」を参照してください。

0x67-0x7A【Reserved】

機能: 予約

アドレス: 0x67-0x7A (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x7B【TX_RATE2_EN】

機能: 送信データレート設定 2 イネーブル

アドレス: 0x7B (BANK1)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	000_0000	R	予約
0	TX_RATE2_EN	0	R/W	送信データレート変換設定 2 イネーブル 0: ディセーブル 1: イネーブル ※0b1 設定時、[TX_RATE2_H/L: B1 0x7C/7D]の送信データレート変換設定が有効となります。

0x7C【TX_RATE2_H】

機能:送信データレート設定 2(上位バイト)
アドレス:0x7C (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_RATE2[15:8]	0000_0000	R/W	送信データレート変換設定 2(上位バイト) ※[TX_RATE2_L: B1 0x7D]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※TX_RATE2_EN([TX_RATE2_EN: B1 0x7B(0)])=0b1 設定時のみ有効です。 [TX_RATE_H/L: B1 0x02/03]によるデータレート設定ではデータレート偏差が大きくなる場合、下式により算出される値を設定し、データレート偏差を調整します。 $\text{設定値} = \text{round} \left[\left\{ \frac{1}{\text{データレート(bps)}} - \frac{1}{(\text{マスタークロック周波数(Hz)} / \text{TX_RATE}[13:0]) \times 9} \right\} / \frac{1}{\text{マスタークロック周波数(Hz)}} \right]$ ※詳細は「データレート設定機能」を参照してください。

0x7D【TX_RATE2_L】

機能:送信データレート変換設定 2(下位バイト)
アドレス:0x7D (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_RATE2[7:0]	0000_0000	R/W	送信データレート変換設定 2(下位バイト) ※詳細は[TX_RATE2_H: B1 0x7C]レジスタをご参照ください。

0x7E【Reserved】

機能:予約
アドレス:0x7E (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x7F【ID_CODE】

機能:ID コード表示
アドレス:0x7F (BANK1)
初期値:0xA0

Bit	ビット名	初期値	R/W	説明
7:0	ID[7:0]	1010_0000	R	ID コード

●レジスタ BANK2

0x00【BANK_SEL】

【説明】
[BANK_SEL:B0 0x00]を参照ください。

0x01-0x3F【Reserved】

機能: 予約
アドレス: 0x01-0x3F (BANK2)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x40【VTUNE_COMP_ON】

機能: VCO 調整電圧閾値比較結果表示イネーブル
アドレス: 0x40 (BANK2)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5	VTUNE_COMP_ON	0	R/W	VCO 調整電圧閾値比較結果表示イネーブル 0: ディセーブル 1: イネーブル
4:0	Reserved	0	R/W	予約

【説明】
1. 本レジスタを使用した VCO 調整電圧閾値比較結果表示の詳細は、「VCO の調整」を参照してください。

0x41-0x75【Reserved】

機能: 予約
アドレス: 0x41-0x75 (BANK2)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x76【GAIN_HHTOH】

機能: 高高ゲインから高ゲインへの切り替え閾値設定

アドレス: 0x76 (BANK2)

初期値: 0x8E

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_HHTOH[7:0]	1000_1110	R/W	ゲイン切り替え閾値(高高ゲイン⇒高ゲイン)

【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN_HTOHH]レジスタで設定される値の関係が、[GAIN_HHTOH] > [GAIN_HTOHH] の関係になるように設定してください。

0x77【GAIN_HTOHH】

機能: 高ゲインから高高ゲインへの切り替え閾値設定

アドレス: 0x77 (BANK2)

初期値: 0x32

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_HTOHH[7:0]	0011_0010	R/W	ゲイン切り替え閾値(高ゲイン⇒高高ゲイン)

【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN_HHTOH]レジスタで設定される値の関係が、[GAIN_HHTOH] > [GAIN_HTOHH] の関係になるように設定してください。

0x78【GAIN_HTOM】

機能: 高ゲインから中間ゲインへの切り替え閾値設定

アドレス: 0x78 (BANK2)

初期値: 0x8E

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_HTOM[7:0]	1000_1110	R/W	ゲイン切り替え閾値(高ゲイン⇒中間ゲイン)

【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN_HTOM]レジスタで設定される値の関係が、[GAIN_HTOM] > [GAIN_MTOH] の関係になるように設定してください。

0x79【GAIN_MTOH】

機能: 中間ゲインから高ゲインへの切り替え閾値設定
アドレス: 0x79 (BANK2)
初期値: 0x32

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_MTOH [7:0]	0011_0010	R/W	ゲイン切り替え閾値(中間ゲイン⇒高ゲイン)

【説明】

- 1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
- 2. 本レジスタの設定値と[GAIN_HTOM]レジスタで設定される値の関係が、[GAIN_HTOM] > [GAIN_MTOH] の関係になるように設定してください。

0x7A【GAIN_MTOL】

機能: 高ゲインから低ゲインへの切り替え閾値設定
アドレス: 0x7A (BANK2)
初期値: 0x8E

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_MTOL[7:0]	1000_1110	R/W	ゲイン切り替え閾値(中間ゲイン⇒低ゲイン)

【説明】

- 1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
- 2. 本レジスタの設定値と[GAIN_LTOM]レジスタで設定される値の関係が、[GAIN_MTOL] > [GAIN_LTOM] の関係になるように設定してください。

0x7B【GAIN_LTOM】

機能: 低ゲインから中間ゲインへの切り替え閾値設定

アドレス: 0x7B (BANK2)

初期値: 0x32

Bit	ビット名	初期値	R/W	説明
7:0	GCTRIM_LTOM[7:0]	0011_0010	R/W	ゲイン切り替え閾値(低ゲイン⇒中間ゲイン)

【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN_MTOL]レジスタで設定される値の関係が、[GAIN_MTOL] > [GAIN_LTOM] の関係になるように設定してください。

0x7C【RSSI_ADJ_H】

機能: 高ゲイン動作時の RSSI オフセット値設定

アドレス: 0x7C (BANK2)

初期値: 0x22

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RSSI_ADJ_H [6:0]	010_0010	R/W	高ゲイン動作時の RSSI オフセット値

【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x7D【RSSI_ADJ_M】

機能: 中間ゲイン動作時の RSSI オフセット値設定

アドレス: 0x7D (BANK2)

初期値: 0x47

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RSSI_ADJ_M [6:0]	100_0111	R/W	中間ゲイン動作時の RSSI オフセット値

【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

2. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x7E【RSSI_ADJ_L】

機能: 低ゲイン動作時の RSSI オフセット値設定
アドレス: 0x7E (BANK2)
初期値: 0x6E

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RSSI_ADJ_L [6:0]	110_1110	R/W	低ゲイン動作時の RSSI オフセット値

【説明】

- 1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

- 3. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x7F【Reserved】

機能: 予約
アドレス: 0x7F(BANK2)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

●レジスタ BANK3

0x00【BANK_SEL】

【説明】
[BANK_SEL:B0 0x00]を参照ください。

0x01-0x22【Reserved】

機能：
アドレス:0x01-0x22 (BANK3)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x23【2MODE_DET】

機能:ModeT/C 同時受信設定
アドレス:0x23 (BANK3)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	000_0000	R	予約
0	2MODE_DET	0	R/W	ModeT/C(Wireless M-Bus)同時受信モード設定 0: Mode C パケットのみ受信する 1: ModeT と ModeC の両パケットを受信する ※RX_ON 状態での受信モード切替えは禁止です。受信モードを切替える場合、必ず TRX_OFF 状態にしてください。

0x24-0x40【Reserved】

機能：
アドレス:0x24-0x40 (BANK3)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約



0x41【RAMP_CTRL1】

機能:PA ランプ制御設定 1

アドレス:0x41 (BANK3)

初期値:0x04

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2	RAMP_CLK_STEP	1	R/W	ランプ制御基準クロック周期設定 0: マスタークロック周期×2(18MHz) 1: マスタークロック周期×32(18MHz の 16 分周)
1:0	RAMP_INC [1:0]	00	R/W	ランプ制御カウンタインクリメント設定 00: 1 01: 2 10: 4 11: 8 ※9 ビットカウンタ(0～511)において、設定数に従いインクリメントまたはデクリメント数を変更することにより、ランプアップ/ダウン時間を制御します。

【説明】

1. 詳細は、「ランプ制御機能」を参照してください。
2. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x42【RAMP_CTRL2】

機能:PA ランプ制御設定 2

アドレス:0x42 (BANK3)

初期値:0x3F

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RAMP_CLK_SET_R [6:0]	011_1111	R/W	ランプアップ時間設定 ランプアップ時間 = ランプ制御基準クロック周期 (RAMP_CLK_STEP[RAMP_CTRL1: B3 0x41(2)]) * 設定値 * [PA_REG_ADJ_H/L: B0 0x67/68] / ランプ制御インクリメント設定(RAMP_INC[RAMP_CTRL1: B3 0x41(1-0)])

【説明】

1. 詳細は、「ランプ制御機能」を参照してください。
2. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x43【RAMP_CTRL3】

機能:PA ランプ制御設定 3
アドレス:0x43 (BANK3)
初期値:0x3F

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6:0	RAMP_CLK_SET_F[6:0]	011_1111	R/W	ランプダウン時間設定 ランプダウン時間 = ランプ制御基準クロック周期 (RAMP_CLK_STEP[RAMP_CTRL1: B3 0x41(2)]) * 設定値 * [PA_REG_ADJ_H/L: B0 0x67/68] / ランプ制御インクリメント設定(RAMP_INC[RAMP_CTRL1: B3 0x41(1-0)])

【説明】

- 1. 詳細は、「ランプ制御機能」を参照してください。
- 2. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x44-0x4F【Reserved】

機能:
アドレス:0x44-0x4F (BANK3)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x50【EXT_WU_CTRL】

機能: 外部ウェイクアップ制御設定
アドレス: 0x50 (BANK3)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1	INT_CLR_WU_EN	0	R/W	ウェイクアップ時の割込みクリア設定 0: ディセーブル 1: イネーブル
0	EXT_WU_EN	0	R/W	外部ウェイクアップイネーブル 0: ディセーブル 1: イネーブル ※0b1 設定時、GPIO1 端子から入力した信号の立上りエッジを検出し、SLEEP 状態から IDLE 状態に遷移(ウェイクアップ)します。ここで、ウェイクアップ動作は[EXT_WU_INTERVAL: B3 0x51]設定値に 1 回ウェイクアップします。

0x51【EXT_WU_INTERVAL】

機能: 外部ウェイクアップ制御設定
アドレス: 0x51 (BANK3)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	EXT_WU_INTERVAL [7:0]	0000_0000	R/W	外部ウェイクアップインターバル設定 ※EXT_WU_EN([EXT_WU_CTRL: B3 0x50(0)])=0b1 設定時、設定値のうち 1 回ウェイクアップします。

0x52-0x7F【Reserved】

機能:
アドレス: 0x52-0x7F (BANK3)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

●レジスタ BANK6

0x00【BANK_SEL】

【説明】
[BANK_SEL:B0 0x00]を参照ください。

0x01【MOD_CTRL】

機能:変調方式設定
アドレス:0x01 (BANK6)
初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1:0	MOD_TYPE[1:0]	01	R/W	変調方式設定 00: FSK 01: BPSK 上記以外: 予約

【説明】
1. 本レジスタの設定方法は、「FSK 変調・BPSK 変調」を参照してください。

0x02-0x7A【Reserved】

機能:予約
アドレス:0x02-0x7A (BANK6)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x7B【BPSK_PLL_CTRL】

機能: BPSK 方式設定

アドレス: 0x7B (BANK6)

初期値: 0x01

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1	BSPK_P_CLKSEL	0	R/W	BPSK PLL 制御時の周波数偏位時間算出用クロック選択 0: 450kHz 1: 4MHz
0	BPSK_PLL_CTRL	1	R/W	BPSK 方式選択設定 0: セレクタ方式 1: 周波数制御方式

0x7C【BPSK_P_START_H】

機能: BSPK 周波数制御時の周波数偏位開始時間設定(上位 3 ビット)

アドレス: 0x7C (BANK6)

初期値: 0x03

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2:0	BPSK_P_START[10:8]	011	R/W	BPSK 周波数制御時の周波数偏位開始時間(上位 3 ビット)

0x7D【BPSK_P_START_L】

機能: BSPK 周波数制御時の周波数偏位開始時間設定(下位 バイト)

アドレス: 0x7D (BANK6)

初期値: 0x28

Bit	ビット名	初期値	R/W	説明
7:0	BPSK_P_START[7:0]	0010_1000	R/W	BPSK 周波数制御時の周波数偏位開始時間(下位 バイト)

0x7E【BPSK_P_HOLD_H】

機能: BSPK 周波数制御時の周波数偏位保持時間設定(上位 4 ビット)

アドレス: 0x7E (BANK6)

初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R	予約
3:0	BPSK_P_HOLD[11:8]	0000	R/W	BPSK 周波数制御時の周波数偏位保持時間(上位 4 ビット)

0x7F【BPSK_P_HOLD_L】

機能: BSPK 周波数制御時の周波数偏位保持時間設定(下位 バイト)

アドレス: 0x7F (BANK6)

初期値: 0xE0

Bit	ビット名	初期値	R/W	説明
7:0	BPSK_P_HOLD[7:0]	1110_0000	R/W	BPSK 周波数制御時の周波数偏位保持時間(下位 バイト)

●レジスタ BANK7

0x00【BANK_SEL】

【説明】
[BANK_SEL:B0 0x00]を参照ください。

0x01【DIFF_ENC_CTRL】

機能: 差動符号化設定
アドレス: 0x01 (BANK7)
初期値: 0x04

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R	予約
2	DIFF_ENC_EN	1	R/W	差動符号化イネーブル設定 0: ディセーブル 1: イネーブル
1:0	Reserved	00	R	予約

0x02-0x7F【Reserved】

機能:
アドレス: 0x02-0x7F (BANK7)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

●レジスタ BANK10

0x00【BANK_SEL】

【説明】
[BANK_SEL:B0 0x00]を参照ください。

0x01【BPSK_STEP_CTRL】

機能:ステップ制御設定
アドレス:0x01 (BANK10)
初期値:0x71

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R	予約
6	BPSK_CLK_SEL	1	R/W	ステップ制御クロック選択設定 0: マスタークロック周波数/2 (18MHz) 1: マスタークロック周波数/4 (9MHz)
5	BPSK_STEP_SEL	1	R/W	ステップ制御機能選択設定 0: アップ/ダウン個別設定 1: アップ/ダウン共通設定
4	BPSK_STEP_EN	1	R/W	ステップ制御イネーブル設定 0: ディセーブル 1: イネーブル
3:1	Reserved	000	R	予約
0	BPSK_CLK_SET[7]	1	0	ステップ制御クロック周期設定 ステップ制御クロック周期 = ステップ制御用クロック周期(BPSK_CLK_SEL) * 設定値

【説明】
1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x02【BPSK_STEP_CLK_SET】

機能:ステップ制御クロック設定
アドレス:0x02 (BANK10)
初期値:0x74

Bit	ビット名	初期値	R/W	説明
7:0	BPSK_CLK_SET[7:0]	0111_0100	R/W	ステップ制御クロック周期設定

【説明】
1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x03【Reserved】

機能:予約
アドレス:0x03 (BANK10)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x04【BPSK_STEP_SET0】

機能:BPSK ステップ制御設定 0

アドレス:0x04 (BANK10)

初期値:0x30

Bit	ビット名	初期値	R/W	説明
7:4	STEP1[3:0]	0011	R/W	BPSK ステップ制御 1
3:0	STEP0[3:0]	0000	R/W	BPSK ステップ制御 0

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV0_H/GFIL0: B1 0x32]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x05【BPSK_STEP_SET1】

機能:BPSK ステップ制御設定 1

アドレス:0x05 (BANK10)

初期値:0x11

Bit	ビット名	初期値	R/W	説明
7:4	STEP3[3:0]	0001	R/W	BPSK ステップ制御 3
3:0	STEP2[3:0]	0001	R/W	BPSK ステップ制御 2

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV0_L/GFIL1: B1 0x33]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x06【BPSK_STEP_SET2】

機能:BPSK ステップ制御設定 2

アドレス:0x06 (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP5[3:0]	0010	R/W	BPSK ステップ制御 5
3:0	STEP4[3:0]	0010	R/W	BPSK ステップ制御 4

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV1_H/GFIL2: B1 0x34]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x07【BPSK_STEP_SET3】

機能:BPSK ステップ制御設定 3

アドレス:0x07 (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP7[3:0]	0010	R/W	BPSK ステップ制御 7
3:0	STEP6[3:0]	0010	R/W	BPSK ステップ制御 6

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV1_L/GFIL3: B1 0x35]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x08【BPSK_STEP_SET4】

機能:BPSK ステップ制御設定 4

アドレス:0x08 (BANK10)

初期値:0x11

Bit	ビット名	初期値	R/W	説明
7:4	STEP9[3:0]	0001	R/W	BPSK ステップ制御 9
3:0	STEP8[3:0]	0001	R/W	BPSK ステップ制御 8

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV2_H/GFIL4: B1 0x36]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x09【BPSK_STEP_SET5】

機能:BPSK ステップ制御設定 5

アドレス:0x09 (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP11[3:0]	0010	R/W	BPSK ステップ制御 11
3:0	STEP10[3:0]	0010	R/W	BPSK ステップ制御 10

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV2_L/GFIL5: B1 0x37]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x0A【BPSK_STEP_SET6】

機能:BPSK ステップ制御設定 6

アドレス:0x0A (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP13[3:0]	0010	R/W	BPSK ステップ制御 13
3:0	STEP12[3:0]	0010	R/W	BPSK ステップ制御 12

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV3_H/GFIL6: B1 0x38]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(ガウシアンフィルタ係数、FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x0B【BPSK_STEP_SET7】

機能:BPSK ステップ制御設定 7

アドレス:0x0B (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP15[3:0]	0010	R/W	BPSK ステップ制御 15
3:0	STEP14[3:0]	0010	R/W	BPSK ステップ制御 14

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV3_L: B1 0x39]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x0C【BPSK_STEP_SET8】

機能:BPSK ステップ制御設定 8

アドレス:0x0C (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP17[3:0]	0010	R/W	BPSK ステップ制御 17
3:0	STEP16[3:0]	0010	R/W	BPSK ステップ制御 16

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV4_H: B1 0x3A]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x0D【BPSK_STEP_SET9】

機能:BPSK ステップ制御設定 9

アドレス:0x0D (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP19[3:0]	0010	R/W	BPSK ステップ制御 19
3:0	STEP18[3:0]	0010	R/W	BPSK ステップ制御 18

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_DEV4_L: B1 0x3B]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x0E【BPSK_STEP_SET10】

機能:BPSK ステップ制御設定 10

アドレス:0x0E (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP21[3:0]	0010	R/W	BPSK ステップ制御 21
3:0	STEP20[3:0]	0010	R/W	BPSK ステップ制御 20

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_TIM_ADJ4: B1 0x3C]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x0F【BPSK_STEP_SET11】

機能:BPSK ステップ制御設定 11

アドレス:0x0F (BANK10)

初期値:0x32

Bit	ビット名	初期値	R/W	説明
7:4	STEP23[3:0]	0011	R/W	BPSK ステップ制御 23
3:0	STEP22[3:0]	0010	R/W	BPSK ステップ制御 22

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_TIM_ADJ3: B1 0x3D]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x10【BPSK_STEP_SET12】

機能:BPSK ステップ制御設定 12

アドレス:0x10 (BANK10)

初期値:0x32

Bit	ビット名	初期値	R/W	説明
7:4	STEP25[3:0]	0011	R/W	BPSK ステップ制御 25
3:0	STEP24[3:0]	0010	R/W	BPSK ステップ制御 24

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_TIM_ADJ2: B1 0x3E]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x11【BPSK_STEP_SET13】

機能:BPSK ステップ制御設定 13

アドレス:0x11 (BANK10)

初期値:0x32

Bit	ビット名	初期値	R/W	説明
7:4	STEP27[3:0]	0011	R/W	BPSK ステップ制御 27
3:0	STEP26[3:0]	0010	R/W	BPSK ステップ制御 26

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_TIM_ADJ1: B1 0x3F]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x12【BPSK_STEP_SET14】

機能:BPSK ステップ制御設定 14

アドレス:0x12 (BANK10)

初期値:0x35

Bit	ビット名	初期値	R/W	説明
7:4	STEP29[3:0]	0011	R/W	BPSK ステップ制御 29
3:0	STEP28[3:0]	0101	R/W	BPSK ステップ制御 28

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。
2. [FSK_TIM_ADJ0: B1 0x40]とレジスタを共用しています。どちらのレジスタからも設定可能ですが、それぞれのレジスタは異なる機能ため、用途(FSK または BPSK ステップ制御)に合わせて適切な値を設定してください。

0x13【BPSK_STEP_SET15】

機能:BPSK ステップ制御設定 15

アドレス:0x13 (BANK10)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:4	STEP31[3:0]	0011	R/W	BPSK ステップ制御 31
3:0	STEP30[3:0]	0011	R/W	BPSK ステップ制御 30

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x14【BPSK_STEP_SET16】

機能:BPSK ステップ制御設定 16

アドレス:0x14 (BANK10)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:4	STEP33[3:0]	0011	R/W	BPSK ステップ制御 33
3:0	STEP32[3:0]	0011	R/W	BPSK ステップ制御 32

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x15【BPSK_STEP_SET17】

機能:BPSK ステップ制御設定 17

アドレス:0x15 (BANK10)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:4	STEP35[3:0]	0011	R/W	BPSK ステップ制御 35
3:0	STEP34[3:0]	0011	R/W	BPSK ステップ制御 34

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x16【BPSK_STEP_SET18】

機能:BPSK ステップ制御設定 18

アドレス:0x16 (BANK10)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:4	STEP37[3:0]	0011	R/W	BPSK ステップ制御 37
3:0	STEP36[3:0]	0011	R/W	BPSK ステップ制御 36

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x17【BPSK_STEP_SET19】

機能:BPSK ステップ制御設定 19

アドレス:0x17 (BANK10)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:4	STEP39[3:0]	0011	R/W	BPSK ステップ制御 39
3:0	STEP38[3:0]	0011	R/W	BPSK ステップ制御 38

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x18【BPSK_STEP_SET20】

機能:BPSK ステップ制御設定 20

アドレス:0x18 (BANK10)

初期値:0x32

Bit	ビット名	初期値	R/W	説明
7:4	STEP41[3:0]	0011	R/W	BPSK ステップ制御 41
3:0	STEP40[3:0]	0010	R/W	BPSK ステップ制御 40

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x19【BPSK_STEP_SET21】

機能:BPSK ステップ制御設定 21

アドレス:0x19 (BANK10)

初期値:0x23

Bit	ビット名	初期値	R/W	説明
7:4	STEP43[3:0]	0010	R/W	BPSK ステップ制御 43
3:0	STEP42[3:0]	0011	R/W	BPSK ステップ制御 42

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x1A【BPSK_STEP_SET22】

機能:BPSK ステップ制御設定 22

アドレス:0x1A (BANK10)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:4	STEP45[3:0]	0011	R/W	BPSK ステップ制御 45
3:0	STEP44[3:0]	0011	R/W	BPSK ステップ制御 44

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x1B【BPSK_STEP_SET23】

機能:BPSK ステップ制御設定 23

アドレス:0x1B (BANK10)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:4	STEP47[3:0]	0011	R/W	BPSK ステップ制御 47
3:0	STEP46[3:0]	0011	R/W	BPSK ステップ制御 46

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x1C【BPSK_STEP_SET24】

機能:BPSK ステップ制御設定 24

アドレス:0x1C (BANK10)

初期値:0x35

Bit	ビット名	初期値	R/W	説明
7:4	STEP49[3:0]	0011	R/W	BPSK ステップ制御 49
3:0	STEP48[3:0]	0101	R/W	BPSK ステップ制御 48

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x1D【BPSK_STEP_SET25】

機能:BPSK ステップ制御設定 25

アドレス:0x1D (BANK10)

初期値:0x43

Bit	ビット名	初期値	R/W	説明
7:4	STEP51[3:0]	0100	R/W	BPSK ステップ制御 51
3:0	STEP50[3:0]	0011	R/W	BPSK ステップ制御 50

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x1E【BPSK_STEP_SET26】

機能:BPSK ステップ制御設定 26

アドレス:0x1E (BANK10)

初期値:0x45

Bit	ビット名	初期値	R/W	説明
7:4	STEP53[3:0]	0100	R/W	BPSK ステップ制御 53
3:0	STEP52[3:0]	0101	R/W	BPSK ステップ制御 52

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x1F【BPSK_STEP_SET27】

機能:BPSK ステップ制御設定 27

アドレス:0x1F (BANK10)

初期値:0x44

Bit	ビット名	初期値	R/W	説明
7:4	STEP55[3:0]	0100	R/W	BPSK ステップ制御 55
3:0	STEP54[3:0]	0100	R/W	BPSK ステップ制御 54

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x20【BPSK_STEP_SET28】

機能:BPSK ステップ制御設定 28

アドレス:0x20 (BANK10)

初期値:0x44

Bit	ビット名	初期値	R/W	説明
7:4	STEP57[3:0]	0100	R/W	BPSK ステップ制御 57
3:0	STEP56[3:0]	0100	R/W	BPSK ステップ制御 56

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x21【BPSK_STEP_SET29】

機能:BPSK ステップ制御設定 29

アドレス:0x21 (BANK10)

初期値:0x43

Bit	ビット名	初期値	R/W	説明
7:4	STEP59[3:0]	0100	R/W	BPSK ステップ制御 59
3:0	STEP58[3:0]	0011	R/W	BPSK ステップ制御 58

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x22【BPSK_STEP_SET30】

機能:BPSK ステップ制御設定 30

アドレス:0x22 (BANK10)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:4	STEP61[3:0]	0011	R/W	BPSK ステップ制御 61
3:0	STEP60[3:0]	0011	R/W	BPSK ステップ制御 60

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x23【BPSK_STEP_SET31】

機能:BPSK ステップ制御設定 31

アドレス:0x23 (BANK10)

初期値:0x33

Bit	ビット名	初期値	R/W	説明
7:4	STEP63[3:0]	0011	R/W	BPSK ステップ制御 63
3:0	STEP62[3:0]	0011	R/W	BPSK ステップ制御 62

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x24【BPSK_STEP_SET32】

機能:BPSK ステップ制御設定 32

アドレス:0x24 (BANK10)

初期値:0x23

Bit	ビット名	初期値	R/W	説明
7:4	STEP65[3:0]	0010	R/W	BPSK ステップ制御 65
3:0	STEP7:4[3:0]	0011	R/W	BPSK ステップ制御 64

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x25【BPSK_STEP_SET33】

機能:BPSK ステップ制御設定 33

アドレス:0x25 (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP67[3:0]	0010	R/W	BPSK ステップ制御 67
3:0	STEP66[3:0]	0010	R/W	BPSK ステップ制御 66

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x26【BPSK_STEP_SET34】

機能:BPSK ステップ制御設定 34

アドレス:0x26 (BANK10)

初期値:0x42

Bit	ビット名	初期値	R/W	説明
7:4	STEP69[3:0]	0100	R/W	BPSK ステップ制御 69
3:0	STEP68[3:0]	0010	R/W	BPSK ステップ制御 68

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x27【BPSK_STEP_SET35】

機能:BPSK ステップ制御設定 35

アドレス:0x27 (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP71[3:0]	0010	R/W	BPSK ステップ制御 71
3:0	STEP70[3:0]	0010	R/W	BPSK ステップ制御 70

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x28【BPSK_STEP_SET36】

機能:BPSK ステップ制御設定 36

アドレス:0x28 (BANK10)

初期値:0x22

Bit	ビット名	初期値	R/W	説明
7:4	STEP73[3:0]	0010	R/W	BPSK ステップ制御 73
3:0	STEP72[3:0]	0010	R/W	BPSK ステップ制御 72

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x29【BPSK_STEP_SET37】

機能:BPSK ステップ制御設定 37

アドレス:0x29 (BANK10)

初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:4	STEP75[3:0]	0010	R/W	BPSK ステップ制御 75
3:0	STEP74[3:0]	0001	R/W	BPSK ステップ制御 74

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x2A【BPSK_STEP_SET38】

機能:BPSK ステップ制御設定 38

アドレス:0x2A (BANK10)

初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:4	STEP77[3:0]	0010	R/W	BPSK ステップ制御 77
3:0	STEP76[3:0]	0001	R/W	BPSK ステップ制御 76

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x2B【BPSK_STEP_SET39】

機能:BPSK ステップ制御設定 39

アドレス:0x2B (BANK10)

初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:4	STEP79[3:0]	0010	R/W	BPSK ステップ制御 79
3:0	STEP78[3:0]	0001	R/W	BPSK ステップ制御 78

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x2C【BPSK_STEP_SET40】

機能:BPSK ステップ制御設定 40

アドレス:0x2C (BANK10)

初期値:0x11

Bit	ビット名	初期値	R/W	説明
7:4	STEP81[3:0]	0001	R/W	BPSK ステップ制御 81
3:0	STEP80[3:0]	0001	R/W	BPSK ステップ制御 80

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x2D【BPSK_STEP_SET41】

機能:BPSK ステップ制御設定 41

アドレス:0x2D (BANK10)

初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:4	STEP83[3:0]	0010	R/W	BPSK ステップ制御 83
3:0	STEP82[3:0]	0001	R/W	BPSK ステップ制御 82

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x2E【BPSK_STEP_SET42】

機能:BPSK ステップ制御設定 42

アドレス:0x2E (BANK10)

初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:4	STEP85[3:0]	0010	R/W	BPSK ステップ制御 85
3:0	STEP84[3:0]	0001	R/W	BPSK ステップ制御 84

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x2F【BPSK_STEP_SET43】

機能:BPSK ステップ制御設定 43

アドレス:0x2F (BANK10)

初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:4	STEP87[3:0]	0010	R/W	BPSK ステップ制御 87
3:0	STEP86[3:0]	0001	R/W	BPSK ステップ制御 86

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x30【BPSK_STEP_SET44】

機能:BPSK ステップ制御設定 44

アドレス:0x30 (BANK10)

初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:4	STEP89[3:0]	0010	R/W	BPSK ステップ制御 89
3:0	STEP88[3:0]	0001	R/W	BPSK ステップ制御 88

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x31【BPSK_STEP_SET45】

機能:BPSK ステップ制御設定 45

アドレス:0x31 (BANK10)

初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:4	STEP91[3:0]	0010	R/W	BPSK ステップ制御 91
3:0	STEP90[3:0]	0001	R/W	BPSK ステップ制御 90

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x32【BPSK_STEP_SET46】

機能:BPSK ステップ制御設定 46

アドレス:0x32 (BANK10)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:4	STEP93[3:0]	0000	R/W	BPSK ステップ制御 93
3:0	STEP92[3:0]	0001	R/W	BPSK ステップ制御 92

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x33【BPSK_STEP_SET47】

機能:BPSK ステップ制御設定 47

アドレス:0x33 (BANK10)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:4	STEP95[3:0]	0000	R/W	BPSK ステップ制御 95
3:0	STEP94[3:0]	0001	R/W	BPSK ステップ制御 94

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x34【BPSK_STEP_SET48】

機能:BPSK ステップ制御設定 48

アドレス:0x34 (BANK10)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:4	STEP97[3:0]	0000	R/W	BPSK ステップ制御 97
3:0	STEP96[3:0]	0001	R/W	BPSK ステップ制御 96

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x35【BPSK_STEP_SET49】

機能:BPSK ステップ制御設定 49

アドレス:0x35 (BANK10)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:4	STEP99[3:0]	0000	R/W	BPSK ステップ制御 99
3:0	STEP98[3:0]	0001	R/W	BPSK ステップ制御 98

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x36【BPSK_STEP_SET50】

機能:BPSK ステップ制御設定 50

アドレス:0x36 (BANK10)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:4	STEP101[3:0]	0000	R/W	BPSK ステップ制御 101
3:0	STEP100[3:0]	0001	R/W	BPSK ステップ制御 100

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x37【BPSK_STEP_SET51】

機能:BPSK ステップ制御設定 51

アドレス:0x37 (BANK10)

初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:4	STEP103[3:0]	0000	R/W	BPSK ステップ制御 103
3:0	STEP102[3:0]	0001	R/W	BPSK ステップ制御 102

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x38【BPSK_STEP_SET52】

機能:BPSK ステップ制御設定 52

アドレス:0x38 (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	STEP105[3:0]	0000	R/W	BPSK ステップ制御 105
3:0	STEP104[3:0]	0000	R/W	BPSK ステップ制御 104

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x39【BPSK_STEP_SET53】

機能:BPSK ステップ制御設定 53

アドレス:0x39 (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	STEP107[3:0]	0000	R/W	BPSK ステップ制御 107
3:0	STEP106[3:0]	0000	R/W	BPSK ステップ制御 106

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x3A【BPSK_STEP_SET54】

機能:BPSK ステップ制御設定 54

アドレス:0x3A (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	STEP109[3:0]	0000	R/W	BPSK ステップ制御 109
3:0	STEP108[3:0]	0000	R/W	BPSK ステップ制御 108

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x3B【BPSK_STEP_SET55】

機能:BPSK ステップ制御設定 55

アドレス:0x3B (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	STEP111[3:0]	0000	R/W	BPSK ステップ制御 111
3:0	STEP110[3:0]	0000	R/W	BPSK ステップ制御 110

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x3C【BPSK_STEP_SET56】

機能:BPSK ステップ制御設定 56

アドレス:0x3C (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	STEP113[3:0]	0000	R/W	BPSK ステップ制御 113
3:0	STEP112[3:0]	0000	R/W	BPSK ステップ制御 112

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x3D【BPSK_STEP_SET57】

機能:BPSK ステップ制御設定 57

アドレス:0x3D (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	STEP115[3:0]	0000	R/W	BPSK ステップ制御 115
3:0	STEP114[3:0]	0000	R/W	BPSK ステップ制御 114

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x3E【BPSK_STEP_SET58】

機能:BPSK ステップ制御設定 58

アドレス:0x3E (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	STEP117[3:0]	0000	R/W	BPSK ステップ制御 117
3:0	STEP116[3:0]	0000	R/W	BPSK ステップ制御 116

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x3F【BPSK_STEP_SET59】

機能:BPSK ステップ制御設定 59

アドレス:0x3F (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	STEP119[3:0]	0000	R/W	BPSK ステップ制御 119
3:0	STEP118[3:0]	0000	R/W	BPSK ステップ制御 118

【説明】

1. 本レジスタの設定方法は、「BPSK 変調」を参照してください。

0x40【PADRV_CTRL】

機能:PA ドライバ制御設定

アドレス:0x40 (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	PADRV_DLY	0000	R/W	PA ドライバ制御遅延設定(設定範囲: 2~15) 遅延時間 = マスタークロック周期 / 2 * 設定値 ※本レジスタは 2 以上の値を設定してください。
3:2	Reserved	00	R	予約
1	PADRV_CTRL_SEL	0	R/W	PA ドライバ制御機能選択設定 0: PA レギュレータ電圧制御と連動 1: 線形制御
0	PADRV_CTRL_EN	0	R/W	PA ドライバ制御イネーブル 0: ディセーブル 1: イネーブル

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x41【PADRV_ADJ1】

機能:PA ドライバ調整 1

アドレス:0x41 (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	PADRV_ADJ1[7:0]	0000_0000	R/W	PA ドライバ調整 1 ※PADRV_CTRL_SEL((PADRV_CTRL: B10 0x40(1)))=0b0(PA レギュレータ電圧制御と連動)のとき有効です。 ※PA レギュレータ電圧制御設定に対するオフセット値を設定します。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x42【PADRV_ADJ2_H】

機能:PA ドライバ調整 1(上位バイト)
アドレス:0x42 (BANK10)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
1	PADRV_INC	0	R/W	PA ドライバ線形制御用カウンタインクリメント・デクリメント設定 0: 1step 1: 2step
0	PADRV_ADJ2[8]	0	R/W	PA ドライバ調整 2 ※PADRV_CTRL_SEL([PADRV_CTRL: B10 0x40(1)])=0b1(線形制御)のとき有効です。 ※PA レギュレータ電圧制御設定が本設定に達した場合、線形制御が開始します。

【ご注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x43【PADRV_ADJ2_L】

機能:PA ドライバ調整 2(下位バイト)
アドレス:0x43 (BANK10)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	PADRV_ADJ2[7:0]	0000_0000	R/W	PA ドライバ調整 2(下位バイト)

【ご注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x44【PADRV_CLK_SET_H】

機能:PAドライバ制御用クロック設定(上位バイト)

アドレス:0x44 (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	PADRV_CLK_STEP	0	R/W	PAドライバ線形制御クロック周波数選択設定 0: マスタークロック周波数/2 (18MHz) 1: マスタークロック周波数/32 (1.125MHz)
6:1	Reserved	00_0000	R	予約
0	PADRV_CLK_SET[8]	0	R/W	PAドライバ制御クロック周期設定 PAドライバ制御クロック周期 = PAドライバ線形制御クロック周期 (PADRV_CLK_STEP) * 設定値

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x45【PADRV_CLK_SET_L】

機能:PAドライバ制御用クロック設定(下位バイト)

アドレス:0x45 (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	PADRV_CLK_SET[7:0]	0000_0000	R/W	PAドライバ制御クロック周期設定(下位バイト)

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x46【PADRV_UP_ADJ】

機能:BPSK ステップ制御設定 2

アドレス:0x46 (BANK10)

初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R	予約
5:0	PADRV_UP_ADJ[5:0]	00_0000	R/W	PAドライバ制御立上り開始時間設定 開始時間 = PAドライバ線形制御時のクロック周期 (PADRV_CLK_STEP((PADRV_CLK_SET_H: B10 0x44(7)))) * PAドライバ制御用クロック設定(PADRV_CLK_SET_H/L: B10 0x44/45) * (設定値+1) ※PAドライバ制御が立下り切ったタイミングを起点として、立ち上がりの時間を設定します。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x47-0x4F【Reserved】

機能: 予約
アドレス: 0x47-0x4F (BANK10)
初期値: 0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

0x50【PA_LEVEL_ADJ _H】

機能: PA レベル調整(上位 4 ビット)
アドレス: 0x50 (BANK10)
初期値: 0x01

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R	予約
3:0	PA_LEVEL_ADJ[9:8]	01	R/W	<p>PA レベル調整設定(上位 2 ビット)</p> <p>※[PA_LEVEL_ADJ_L: B10 0x52]レジスタの 8 ビットと共に全 10 ビットから算出されます。</p> <p>bit9: x2 bit8: x1 bit7: x1/2 bit6 : x1/4 bit5 : x1/8 bit4 : x1/16 bit3 : x1/32 bit2 : x1/64 bit1 : x1/128 bit0 : x1/256</p> <p>※調整後の PA レベルは以下の式で算出されます。 ここで A は[PA_REG_ADJ_H/L: B0 0x67/68]の設定値とします。 調整後の PA レベル = floor(A * 2 * bit9) + floor(A * 1 * bit8) + floor(A * 1/2 * bit7) + floor(A * 1/4 * bit6) + floor(A * 1/8 * bit5) + floor(A * 1/16 * bit4) + floor(A * 1/32 * bit3) + floor(A * 1/64 * bit2) + floor(A * 1/128 * bit1) + floor(A * 1/256 * bit0)</p>

0x51【PA_LEVEL_ADJ_L】

機能:PA レベル調整(下位バイト)
アドレス:0x51 (BANK10)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	PA_LEVEL_ADJ[7:0]	0000_0000	R/W	PA レベル調整設定(下位バイト) ※[PA_LEVEL_ADJ_H:B10 0x51]レジスタの2ビットと共に全10ビットから算出されます。

0x52-0x7F【Reserved】

機能:予約
アドレス:0x52-0x7F (BANK10)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R	予約

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJXL7414_AN_HW-01	2021.04.01	-	-	初版発行
FJXL7414_AN_HW-02	2022.06.27	2	2	対象商品に ML7456 追加

(注意) 誤記、表現の変更および修正は含まれません。