

# ML5233

10 直列リチウムイオン 2 次電池保護用 IC

## ■ 概要

ML5233 は、4~10 セル・リチウムイオン 2 次電池パック用保護 IC です。各セルの過充電と過放電、過電流、および高温を検出し、外部の充放電制御用 NMOS-FET の ON/OFF 制御を自動的行います。また、カスケード接続することにより、10 セル以上の電池パックにも対応可能です。

## ■ 特長

- 4~10 セル 高精度過充電／過放電 電圧検出機能  
個別セルの電圧監視機能  
過充電検出電圧 4.25V 検出精度 :  $\pm 15\text{mV}(\text{max})$   
過放電検出電圧 2.7V 検出精度 :  $\pm 50\text{mV}(\text{max})$
- 過電流検出機能  
放電過電流検出電圧 150mV 検出精度 :  $\pm 10\text{mV}(\text{max})$   
充電過電流検出電圧 -40mV 検出精度 :  $\pm 15\text{mV}(\text{max})$
- ショート電流検出機能  
ショート検出電圧 300mV 検出精度 :  $\pm 15\text{mV}(\text{max})$   
外部容量にて検出遅延時間を調整可能
- 温度検出機能 : 外部に NTC(10k $\Omega$ 、B=3435)と 4.7k $\Omega$  抵抗を接続  
放電禁止温度 : 75℃以上  
充電禁止温度 : 55℃以上
- 外部充放電 FET 制御:NMOS-FET ドライバ内蔵  
/CFOFF、/DFOFF 端子による充放電制御 FET の OFF 制御が可能  
パワーアップ制御出力端子 VRSO 端子により、カスケード接続時の外付け回路を簡略化
- コード品対応により、接続セル数、各種検出電圧、各種検出遅延時間の変更可能
- 低消費電流  
ノーマル状態 : 25  $\mu\text{A}(\text{typ})$ 、60  $\mu\text{A}(\text{max})$   
パワーダウン状態 : 0.1  $\mu\text{A}(\text{typ})$ 、1  $\mu\text{A}(\text{max})$
- 電源電圧 : +5V~+60V
- 動作温度範囲 : -40℃~+85℃
- パッケージ : 32 ピン LQFP (P-LQFP32-0707-0.80-TK6)

## ■ 用途

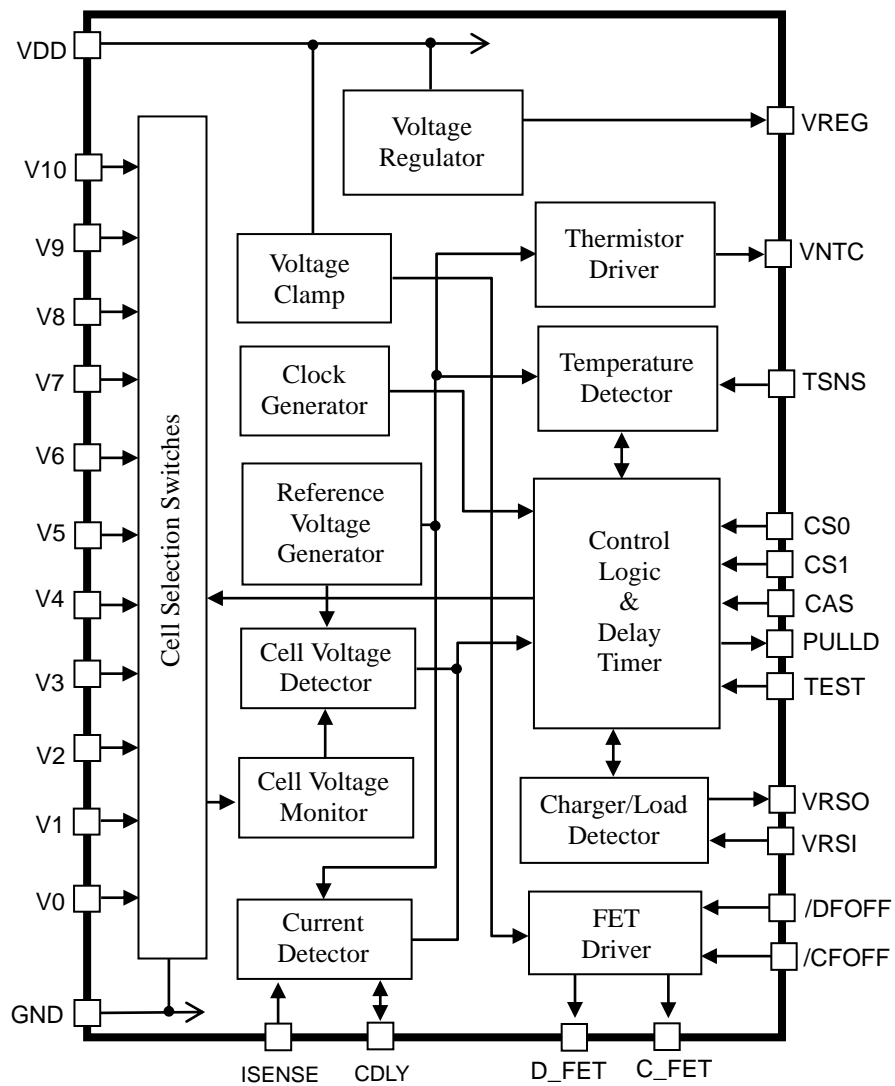
- ・電動工具／園芸用工具
- ・コードレス掃除機
- ・E-Bike／電動アシスト自転車
- ・無停電電源装置(UPS)
- ・蓄電システム(ESS)

## ■ 形名

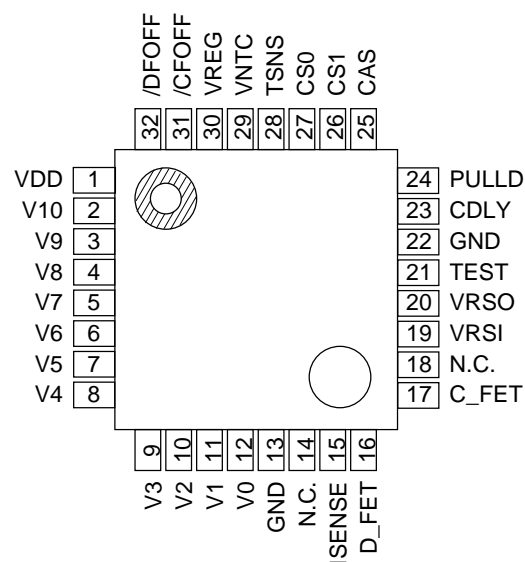
ML5233-001TC



■ ブロック図



■ 端子接続図(上面図)



## ■ 端子説明

ピン番号	端子名	I/O	説 明
1	VDD	—	電源電圧入力端子です。 外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。
2	V10	I	電池セル 10 の正極入力端子です。
3	V9	I	電池セル 10 の負極入力端子、および、電池セル 9 の正極入力端子です。
4	V8	I	電池セル 9 の負極入力端子、および、電池セル 8 の正極入力端子です。
5	V7	I	電池セル 8 の負極入力端子、および、電池セル 7 の正極入力端子です。
6	V6	I	電池セル 7 の負極入力端子、および、電池セル 6 の正極入力端子です。
7	V5	I	電池セル 6 の負極入力端子、および、電池セル 5 の正極入力端子です。 接続電池セル数が 4 セルの場合には、GND 端子に接続してください。
8	V4	I	電池セル 5 の負極入力端子、および、電池セル 4 の正極入力端子です。 接続電池セル数が 4~5 セルの場合には、GND 端子に接続してください。
9	V3	I	電池セル 4 の負極入力端子、および、電池セル 3 の正極入力端子です。 接続電池セル数が 4~6 セルの場合には、GND 端子に接続してください。
10	V2	I	電池セル 3 の負極入力端子、および、電池セル 2 の正極入力端子です。 接続電池セル数が 4~7 セルの場合には、GND 端子に接続してください。
11	V1	I	電池セル 2 の負極入力端子、および、電池セル 1 の正極入力端子です。 接続電池セル数が 4~8 セルの場合には、GND 端子に接続してください。
12	V0	I	電池セル 1 の負極入力端子です。 接続電池セル数が 4~9 セルの場合には、GND 端子に接続してください。
13, 22	GND	—	グラウンド端子です。
15	ISENSE	I	電流センス抵抗接続端子です。GND 端子間に検出電流に応じた抵抗値の抵抗を接続してください。未使用時には、GND 端子に接続してください。
16	D_FET	O	放電用 FET の制御信号出力端子です。外部 NMOS-FET のゲート端子に接続して下さい。
17	C_FET	O	充電用 FET の制御信号出力端子です。外部 NMOS-FET のゲート端子に接続してください。
19	VRSI	IO	負荷と充電器の負極側接続端子です。この端子の入力電圧により、負荷、および、充電器の接続を検出します。
20	VRSO	O	カスケード接続時のパワーアップ信号出力端子です。上段の VRSI 端子に接続してください。
21	TEST	I	LSI テスト用端子です。GND レベルに固定してください。
23	CDLY	IO	ショート電流検出遅延時間の調整端子です。GND 間に容量を接続してください。
24	PULLD	O	負荷開放検出時の外部プルダウン制御信号出力です。カスケード接続時には、外部プルダウン制御用 NMOS-FET のゲート端子に接続してください。
25	CAS	I	カスケード接続選択信号入力です。カスケード接続時には、VREG レベルに固定してください。
26	CS1	I	電池セル接続数の選択端子です。VREG 端子電圧レベル、または、GND 端子レベルを入力してください。
27	CS0	I	
28	TSNS	I	充放電禁止温度検出入力端子です。GND 間にサーミスタを接続します。 未使用時には、VNTC 端子に接続してください。
29	VNTC	O	サーミスタ駆動電圧出力です。TSNS 端子間に 4.7kΩ 抵抗を接続します。 未使用時には、GND 間に 100kΩ プルダウン抵抗を接続してください。
30	VREG	O	内蔵 4.3V レギュレータの出力端子です。GND 間に 1μF のコンデンサを接続してください。外部回路の電源として使用しないでください。
31	/CFOFF	I	充電制御用 FET の OFF 制御信号入力端子です。"L"レベル入力で、C_FET 端子出力が Hi-Z 状態になります。カスケード接続時には、外部抵抗を介して上段の C_FET 端子に接続してください。
32	/DFOFF	I	放電制御用 FET の OFF 制御信号入力端子です。"L"レベル入力で、D_FET 端子出力が "L"レベルになります。カスケード接続時には、外部抵抗を介して上段の D_FET 端子に接続してください。
14, 18	N.C.	—	未使用端子です。オープンにしてください。

## ■ 絶対最大定格

GND= 0 V, Ta = 25 °C

項 目	記 号	条 件	定格値	単 位
電源電圧	V <sub>DD</sub>	VDD 端子に適用	-0.3 ~ +86.5	V
入力電圧	V <sub>IN1</sub>	V0 ~ V10 端子に適用	-0.3 ~ V <sub>DD</sub> + 0.3	V
	V <sub>IN2</sub>	VRSI 端子に適用	V <sub>DD</sub> - 86.5 ~ V <sub>DD</sub> + 0.3	V
	V <sub>IN3</sub>	/CFOFF, /DFOFF 端子に適用	-0.3 ~ +86.5	V
	V <sub>IN4</sub>	CS0, CS1, CAS, TSNS, CDLY, ISENSE 端子に適用	-0.3 ~ V <sub>REG</sub> + 0.3	V
	V <sub>IN5</sub>	TEST 端子に適用	-0.3 ~ V <sub>DD</sub> + 0.3	V
出力電圧	V <sub>OUT1</sub>	D_FET, VRSO 端子に適用	-0.3 ~ V <sub>DD</sub> + 0.3	V
	V <sub>OUT2</sub>	C_FET 端子に適用	V <sub>DD</sub> - 86.5 ~ V <sub>DD</sub> + 0.3	V
	V <sub>OUT3</sub>	VREG 端子に適用	-0.3 ~ +6.5	V
	V <sub>OUT4</sub>	VNTC, PULLD 端子に適用	-0.3 ~ V <sub>REG</sub> + 0.3	V
許容損失	P <sub>D</sub>	—	1.0	W
出力短絡電流	I <sub>OS</sub>	VREG, VNTC, PULLD, C_FET, D_FET, VRSO 端子に適用	10	mA
保存温度	T <sub>STG</sub>	—	-55 ~ +150	°C

## ■ 推奨動作条件

GND= 0 V

項 目	記 号	条 件	範 囲	単 位
電源電圧	V <sub>DD</sub>	VDD 端子に適用	5 ~ 60	V
動作温度	T <sub>OP</sub>	—	-40 ~ +85	°C

## ■ 電気的特性

## ● 直流特性

 $V_{DD}=5V\sim 60V$ ,  $GND=0V$ ,  $T_a=-40\sim +85^{\circ}C$ 

項 目	記号	条 件	Min.	Typ.	Max.	単位
デジタル"H"入力電圧(注 1)	$V_{IH1}$	—	$0.8 \times V_{REG}$	—	$V_{REG}$	V
デジタル"L"入力電圧(注 1)	$V_{IL1}$	—	0	—	$0.2 \times V_{REG}$	V
デジタル"H"入力電流(注 1)	$I_{IH1}$	$V_{IH} = V_{REG}$	—	—	2	$\mu A$
デジタル"L"入力電流(注 1)	$I_{IL1}$	$V_{IL} = GND$	-2	—	—	$\mu A$
セルモニタ端子 入力電流(注 2)	$I_{INVC}$	ノーマル状態時 平均電流値	-0.1	0.1	3	$\mu A$
セルモニタ端子 入力リーク電流(注 2)	$I_{ILVC}$	パワーダウン状態時	—	—	2	$\mu A$
FET "H"出力電圧(注 3)	$V_{OH1}$	$I_{OH} = -10 \mu A$ $V_{DD} = 18V \sim 60V$	10	14	18	V
FET "L"出力電圧(注 4)	$V_{OL1}$	$I_{OL} = 100 \mu A$	—	—	0.2	V
C_FET 出力リーク電流	$I_{LCF}$	$V_{CFET} = 0V \sim V_{DD}$	-5	—	5	$\mu A$
/CFOFF, /DFOFF 端子 "H"入力電圧	$V_{IH2}$	—	$V_{DD}-0.1$	—	$V_{DD}+18$	V
/CFOFF, /DFOFF 端子 "L"入力電圧	$V_{IL2}$	—	0	—	$V_{DD}-1.5$	V
/CFOFF, /DFOFF 端子 "H"入力電流	$I_{IH2}$	$V_{IH2} = V_{DD}$	—	—	2	$\mu A$
/CFOFF, /DFOFF 端子 "L"入力電流	$I_{IL2}$	$V_{IL2} = 0V$	-2	—	—	$\mu A$
PULLD 端子 "H"出力電圧	$V_{OH2}$	$I_{OH} = -100 \mu A$	$V_{REG}-0.4$	—	$V_{REG}$	V
PULLD 端子 "L"出力電圧	$V_{OL2}$	$I_{OL} = 100 \mu A$	—	—	0.1	V
CDLY 端子 "L"出力電圧	$V_{OL3}$	$I_{OL} = 100 \mu A$	—	—	0.4	V
CDLY 端子プルアップ抵抗	$R_{PUC}$	シヨート電流検出時	44	63	82	k $\Omega$
VREG 端子出力電圧	$V_{REG}$	負荷電流 1mA 以下時	3.8	4.3	4.8	V
VNTC 端子出力電圧	$V_{NTC}$	14.7k $\Omega$ 抵抗接続時	2.2	2.4	2.6	V
VNTC 端子出力リーク電流	$I_{LNTC}$	$V_{NTC} = 0V \sim 3.5V$	-2	—	2	$\mu A$
TSNS 端子入力リーク電流	$I_{ILTS}$	$V_{TSNS} = 0V \sim 3.5V$	-2	—	2	$\mu A$
ISENSE 端子入力リーク電流	$I_{ILIS}$	$V_{ISENSE} = 0V \sim 3.5V$	-2	—	2	$\mu A$
TEST 端子プルダウン抵抗	$R_{PDT}$	—	50	100	200	k $\Omega$

注 1: CS0, CS1, CAS 端子に適用

注 2: V0 $\sim$ V10 端子に適用

注 3: C\_FET、D\_FET 端子に適用

注 4: D\_FET 端子に適用

注 5: C\_FET 端子に適用

## ● 消費電流特性

 $V_{DD} = 5 \sim 60V$ ,  $GND = 0V$ ,  $T_a = -40 \sim +85^{\circ}C$ 

項 目	記号	条 件	Min.	Typ.	Max.	単位
ノーマル状態時消費電流	$I_{DD}$	出力無負荷時	—	25	60	$\mu A$
パワーダウン状態時 消費電流	$I_{DDs}$	出力無負荷時	—	0.1	1.0	$\mu A$

## ● 検出電圧特性 (Ta=25°C)

V<sub>DD</sub>=36V, GND=0 V, Ta=+25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
過充電検出電圧	V <sub>OV</sub>	—	4.235	4.25	4.265	V
過充電解除電圧	V <sub>OVR</sub>	—	3.95	4.00	4.05	V
過放電検出電圧	V <sub>UV</sub>	—	2.65	2.70	2.75	V
過放電解除電圧	V <sub>UVR</sub>	—	2.95	3.00	3.05	V
放電過電流検出電圧	V <sub>OCU</sub>	—	140	150	160	mV
充電過電流検出電圧	V <sub>OCO</sub>	—	-55	-40	-25	mV
ショート電流検出電圧	V <sub>SHRT</sub>	—	285	300	315	mV
充電禁止高温検出 TSNS 端子電圧	V <sub>CHD</sub>	—	0.99	1.02	1.05	V
充電禁止高温解除 TSNS 端子電圧	V <sub>CHR</sub>	—	1.16	1.21	1.26	V
放電禁止高温検出 TSNS 端子電圧	V <sub>DHD</sub>	—	670	700	730	mV
放電禁止高温解除 TSNS 端子電圧	V <sub>DHR</sub>	—	800	850	900	mV

## ● 検出電圧特性 (Ta=0~60°C)

V<sub>DD</sub>=36V, GND=0 V, Ta=0~60°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
過充電検出電圧	V <sub>OV</sub>	—	4.225	4.25	4.275	V
過充電解除電圧	V <sub>OVR</sub>	—	3.93	4.00	4.07	V
過放電検出電圧	V <sub>UV</sub>	—	2.6	2.7	2.8	V
過放電解除電圧	V <sub>UVR</sub>	—	2.9	3.0	3.1	V
放電過電流検出電圧	V <sub>OCU</sub>	—	135	150	165	mV
充電過電流検出電圧	V <sub>OCO</sub>	—	-65	-40	-15	mV
ショート電流検出電圧	V <sub>SHRT</sub>	—	270	300	330	mV
充電禁止高温検出 TSNS 端子電圧	V <sub>CHD</sub>	—	0.97	1.02	1.07	V
充電禁止高温解除 TSNS 端子電圧	V <sub>CHR</sub>	—	1.14	1.21	1.28	V
放電禁止高温検出 TSNS 端子電圧	V <sub>DHD</sub>	—	650	700	750	mV
放電禁止高温解除 TSNS 端子電圧	V <sub>DHR</sub>	—	780	850	920	mV
VREG 低下検出電圧	V <sub>UREG</sub>	—	3.0	3.4	3.8	V
VREG 低下復帰検出電圧	V <sub>RREG</sub>	—	3.4	3.8	4.2	V

## ● 負荷開放・充電器接続／開放検出電圧特性 (Ta=25°C)

V<sub>DD</sub>=36V, GND=0 V, Ta=+25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
充電器接続検出 VRSI 端子電圧	V <sub>PC</sub>	パワーダウン状態からの パワーアップ時	V <sub>DD</sub> X0.4	V <sub>DD</sub> X0.5	V <sub>DD</sub> X0.6	V
充電器開放検出 VRSI 端子電圧	V <sub>PLU1</sub>	充電過電流状態時 CAS 端子="L"	0.1	0.2	0.3	V
	V <sub>PLU2</sub>	充電過電流状態時 CAS 端子="H"	0.3	0.4	0.5	V
	V <sub>PLD</sub>	パワーダウン移行時	V <sub>DD</sub> X0.7	V <sub>DD</sub> X0.75	V <sub>DD</sub> X0.8	V
負荷開放検出 VRSI 端子電圧	V <sub>RL</sub>	放電過電流状態時	2.2	2.4	2.6	V

## ● 負荷開放・充電器接続／開放検出電圧特性 (Ta=0~60°C)

V<sub>DD</sub>=36 V, GND=0 V, Ta=0~60°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
充電器接続検出 VRSI 端子電圧	V <sub>PC</sub>	パワーダウン状態からの パワーアップ時	V <sub>DD</sub> X0.35	V <sub>DD</sub> X0.5	V <sub>DD</sub> X0.65	V
充電器開放検出 VRSI 端子電圧	V <sub>PLU1</sub>	充電過電流状態時 CAS 端子="L"	0	0.2	0.4	V
	V <sub>PLU2</sub>	充電過電流状態時 CAS 端子="H"	0.2	0.4	0.6	V
	V <sub>PLD</sub>	パワーダウン移行時	V <sub>DD</sub> X0.65	V <sub>DD</sub> X0.75	V <sub>DD</sub> X0.85	V
負荷開放検出 VRSI 端子電圧	V <sub>RL</sub>	放電過電流状態時	2.0	2.4	2.8	V
VRSI 端子プルアップ抵抗	R <sub>PU</sub>	充電過電流状態時 パワーダウン時	200	500	1000	kΩ
VRSI 端子プルダウン抵抗	R <sub>PD</sub>	放電過電流状態時 CAS 端子="L"	0.5	2	4	MΩ
VRSI 端子入力電流	I <sub>LPS1</sub>	プルアップ・プルダウン抵抗 未接続時 CAS 端子="L"	-2	—	2	μA
	I <sub>LPS2</sub>	プルアップ・プルダウン抵抗 未接続時 CAS 端子="H"	-3	-0.2	2	μA
VRSO 端子出力電流	I <sub>OL</sub>	CAS 端子="H" VRSI 端子="L" V <sub>OL</sub> = 5V	0.5	1	2	μA
VRSO 端子出力リーク電流	I <sub>OLK</sub>	VRSI 端子="H" V <sub>RSO</sub> = 36V	0	—	2	μA
VRSO 端子プルダウン抵抗	R <sub>PDR</sub>	CAS 端子="H" パワーアップ時	200	500	1000	kΩ

## ● 検出遅延時間特性 (Ta=25°C)

V<sub>DD</sub>=36V, GND=0 V, Ta=+25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
過充電検出遅延時間 (注)	t <sub>OV</sub>	—	2.6	3.0	4.0	sec
過放電検出遅延時間 (注)	t <sub>UV</sub>	—	0.85	1.00	1.65	sec
充電過電流検出遅延時間	t <sub>OCO</sub>	—	70	100	130	ms
放電過電流検出遅延時間	t <sub>OCU</sub>	—	70	100	130	ms
ショート電流検出遅延時間	t <sub>SC</sub>	C <sub>DLY</sub> =10nF	0.7	1.0	1.3	ms
セル電圧モニタ周期	t <sub>DET</sub>	—	320	400	480	ms
温度モニタ周期	t <sub>PT</sub>	—	320	400	480	ms
温度測定時間	t <sub>TM</sub>	—	2.3	3	3.7	ms
負荷開放検出遅延時間	t <sub>ORL</sub>	—	70	100	130	ms
充電器開放検出遅延時間	t <sub>CHG</sub>	—	70	100	130	ms
内部原振クロック周期	t <sub>OSC</sub>	—	85	100	115	μs
テスト時短用 過充電検出遅延時間 (注)	t <sub>OV<sub>T</sub></sub>	TSNS 端子=V <sub>REG</sub>	70	100	610	ms
テスト時短用 過放電検出遅延時間 (注)	t <sub>UV<sub>T</sub></sub>	TSNS 端子=V <sub>REG</sub>	70	100	610	ms
テスト時短用 セル電圧モニタ周期	t <sub>DET<sub>T</sub></sub>	TSNS 端子=V <sub>REG</sub>	70	100	130	ms
テスト時短用 温度モニタ周期	t <sub>PT<sub>T</sub></sub>	TSNS 端子=V <sub>REG</sub>	70	100	130	ms
テスト時短時 TSNS 端子入力電圧	V <sub>TST</sub>	—	V <sub>REG</sub> -0.3	—	V <sub>REG</sub>	V

(注) 過充電・過放電検出遅延時間の最大値は、セル電圧モニタ周期によるタイムラグを加算した時間となります。

## ● 検出遅延時間特性 (Ta=0~60°C)

V<sub>DD</sub>=36V, GND=0 V, Ta=0~60°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
過充電検出遅延時間	t <sub>OV</sub>	—	2.4	3.0	4.2	sec
過放電検出遅延時間	t <sub>UV</sub>	—	0.80	1.00	1.75	sec
充電過電流検出遅延時間	t <sub>OCO</sub>	—	50	100	150	ms
放電過電流検出遅延時間	t <sub>OCU</sub>	—	50	100	150	ms
ショート電流検出遅延時間	t <sub>SC</sub>	C <sub>DLY</sub> =10nF	0.6	1.0	1.4	ms
セル電圧モニタ周期	t <sub>DET</sub>	—	300	400	500	ms
温度モニタ周期	t <sub>PT</sub>	—	300	400	500	ms
温度測定時間	t <sub>TM</sub>	—	2	3	4	ms
負荷開放検出遅延時間	t <sub>ORL</sub>	—	50	100	150	ms
充電器開放検出遅延時間	t <sub>CHG</sub>	—	50	100	150	ms
内部原振クロック周期	t <sub>OSC</sub>	—	80	100	120	μs

(注) 過充電・過放電検出遅延時間の最大値は、セル電圧モニタ周期によるタイムラグを加算した時間となります。

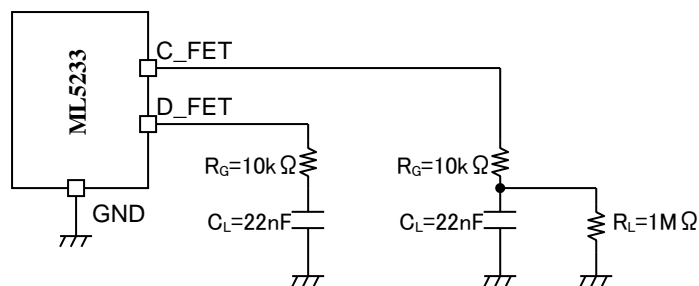


## ● 過渡特性

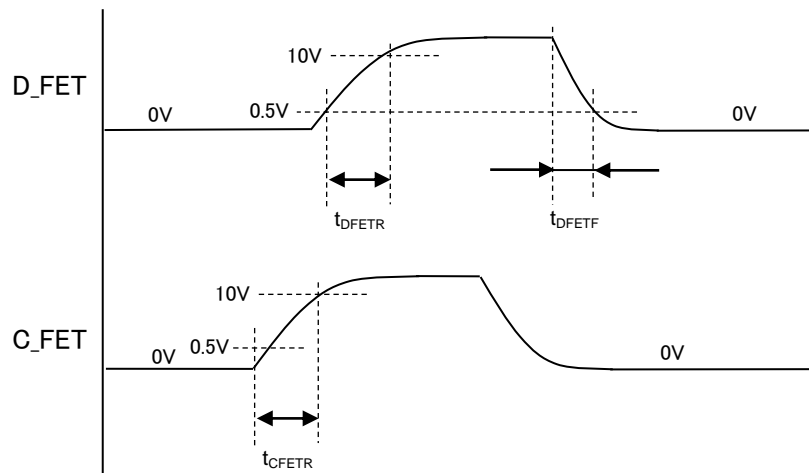
 $V_{DD}=36\text{ V}$ ,  $GND=0\text{ V}$ ,  $T_a=0\sim 60^\circ\text{C}$ 

項 目	記号	条 件	Min.	Typ.	Max.	単位
D_FET 端子 出力立上り時間	$t_{DFETR}$	$C_L=22\text{ nF}$ , $R_G=10\text{ k}\Omega$	—	95	400	$\mu\text{s}$
C_FET 端子 出力立上り時間	$t_{CFETR}$	$C_L=22\text{ nF}$ , $R_G=10\text{ k}\Omega$ $R_L=1\text{ M}\Omega$	—	95	400	$\mu\text{s}$
D_FET 端子 出力立下り時間	$t_{DFETF}$	$C_L=22\text{ nF}$ , $R_G=10\text{ k}\Omega$	—	1	150	$\mu\text{s}$

## ◆測定回路



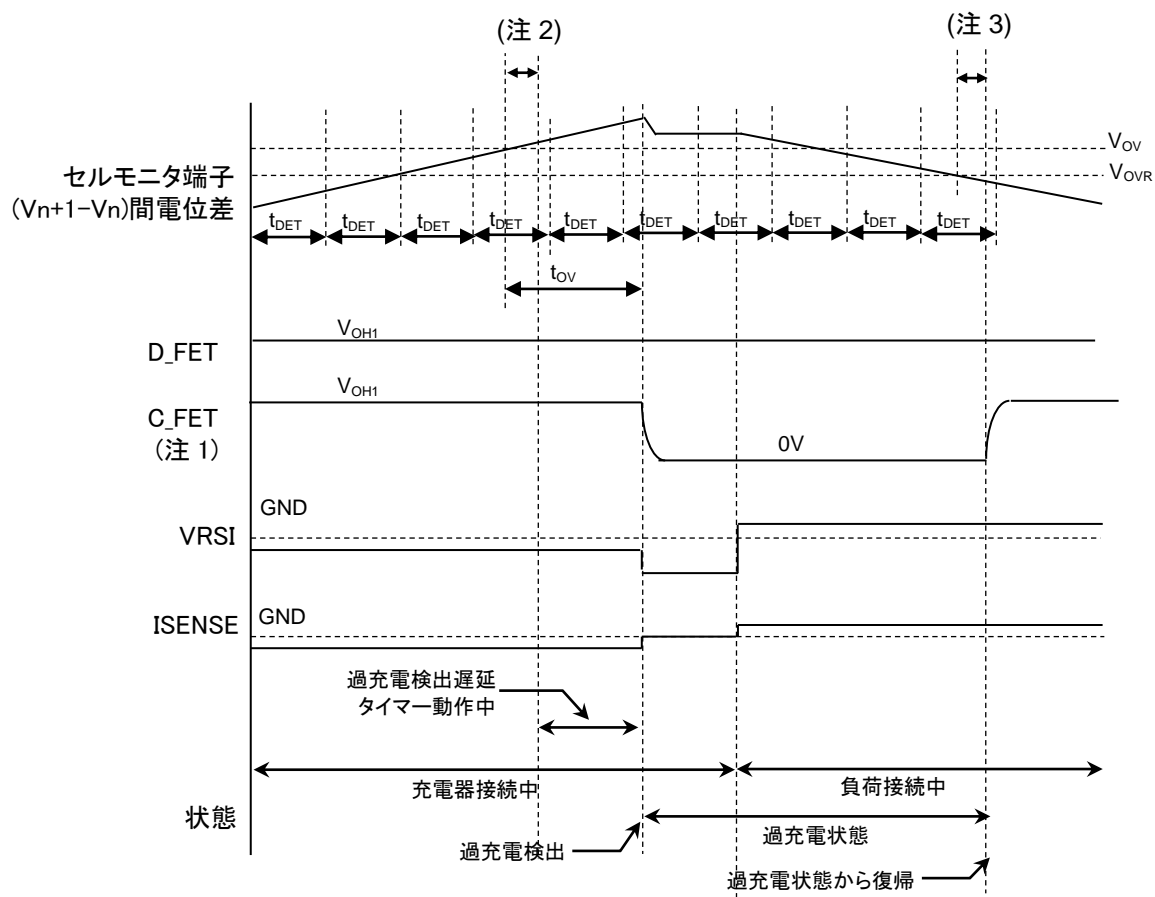
## ◆タイミングチャート

(注) C\_FET 出力立下りは、外部負荷  $R_L$  と  $C_L$  の時定数により決まります

## ■ タイミングチャート

応用回路例 1 の場合(カスケード接続なし時)のタイミングチャートを示します。

## ● 過充電検出と過充電状態からの復帰

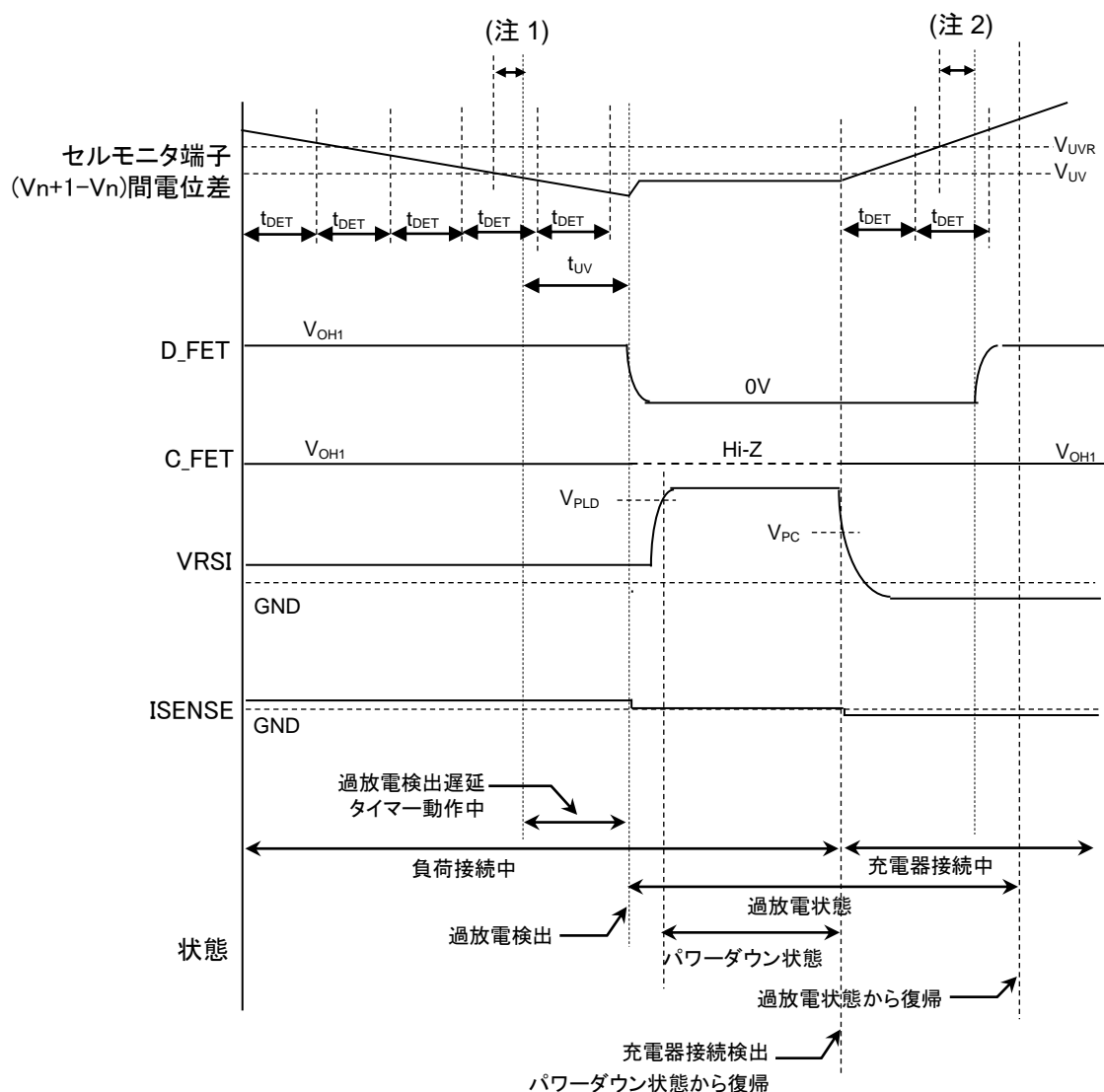


(注 1) C\_FET 端子にプルダウン抵抗接続時

(注 2) セルモニタ端子間電位差が過充電検出電圧  $V_{OV}$  以上の電圧になっても、400ms(typ)間隔でセル電圧をモニタしていますので、過充電検出遅延タイマーが動作開始するまでにタイムラグが生じます。

(注 3) セルモニタ端子間電位差が過充電解除電圧  $V_{OVR}$  以下の電圧になっても、400ms(typ)間隔でセル電圧をモニタしていますので、過充電状態から復帰するまでにタイムラグが生じます。

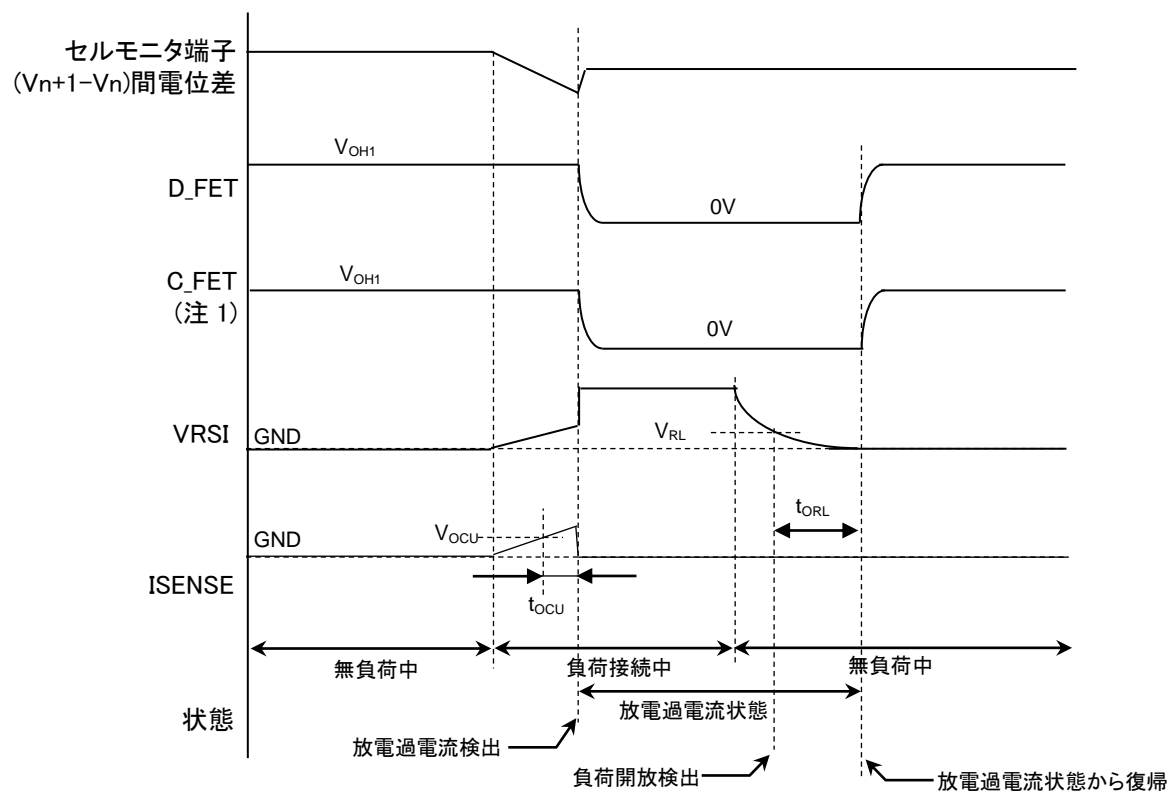
## ● 過放電検出とパワーダウン状態への移行と過放電状態からの復帰



(注 1) セルモニタ端子間電位差が過放電検出電圧  $V_{UV}$  以下の電圧になっても、400ms(typ)間隔でセル電圧をモニタしていますので、過放電検出遅延タイマーが動作開始するまでにタイムラグが生じます。

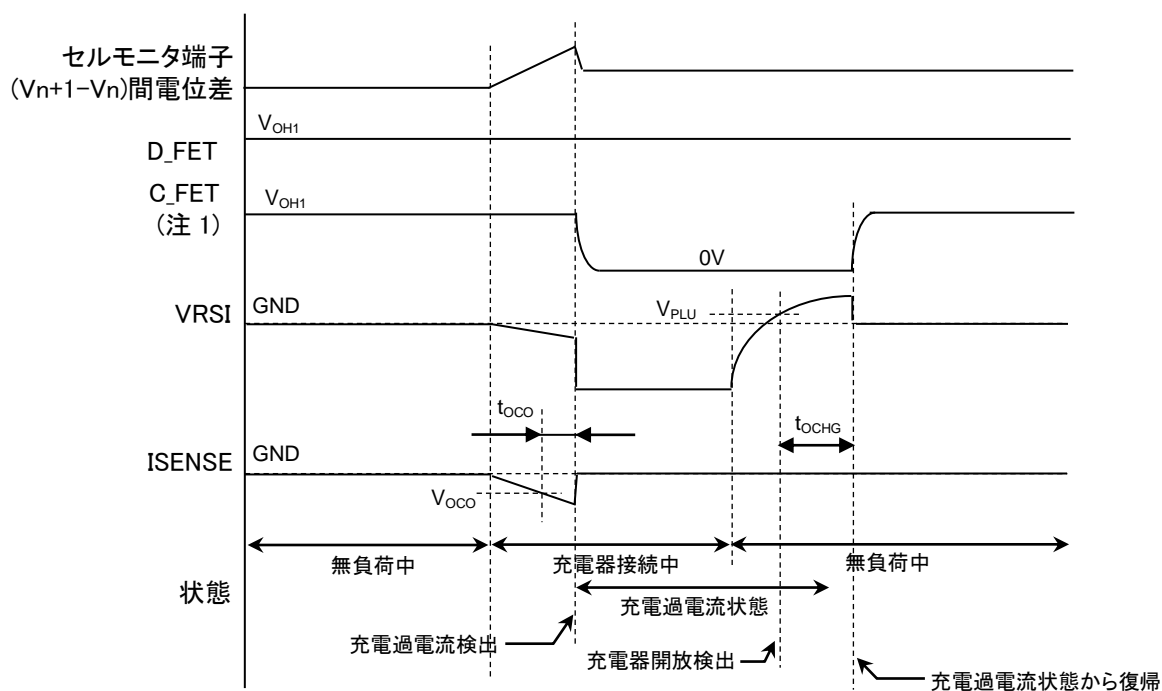
(注 2) セルモニタ端子間電位差が過放電解除電圧  $V_{UVR}$  以上の電圧になっても、400ms(typ)間隔でセル電圧をモニタしていますので、過放電状態から復帰するまでにタイムラグが生じます。

## ● 放電過電流検出と負荷開放による放電過電流状態からの復帰



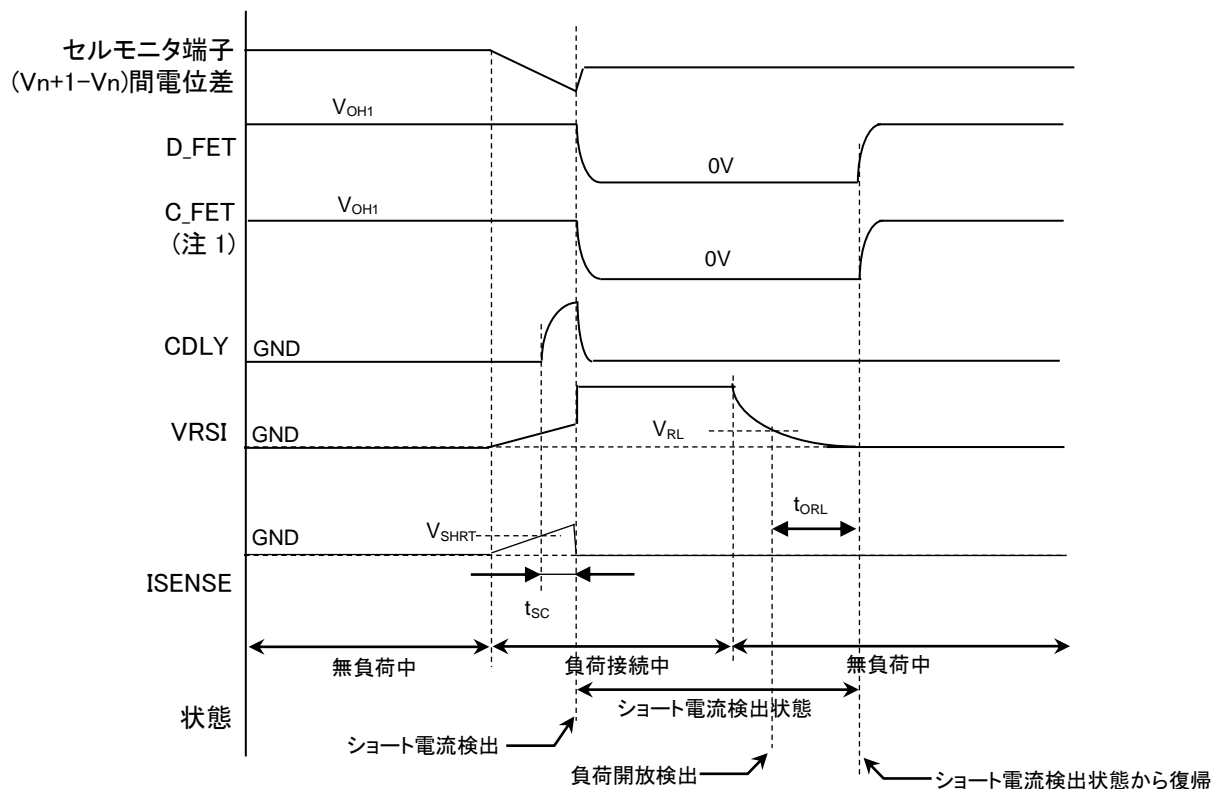
(注 1) C\_FET 端子にプルダウン抵抗接続時

## ● 充電過電流検出と充電器開放による充電過電流状態からの復帰



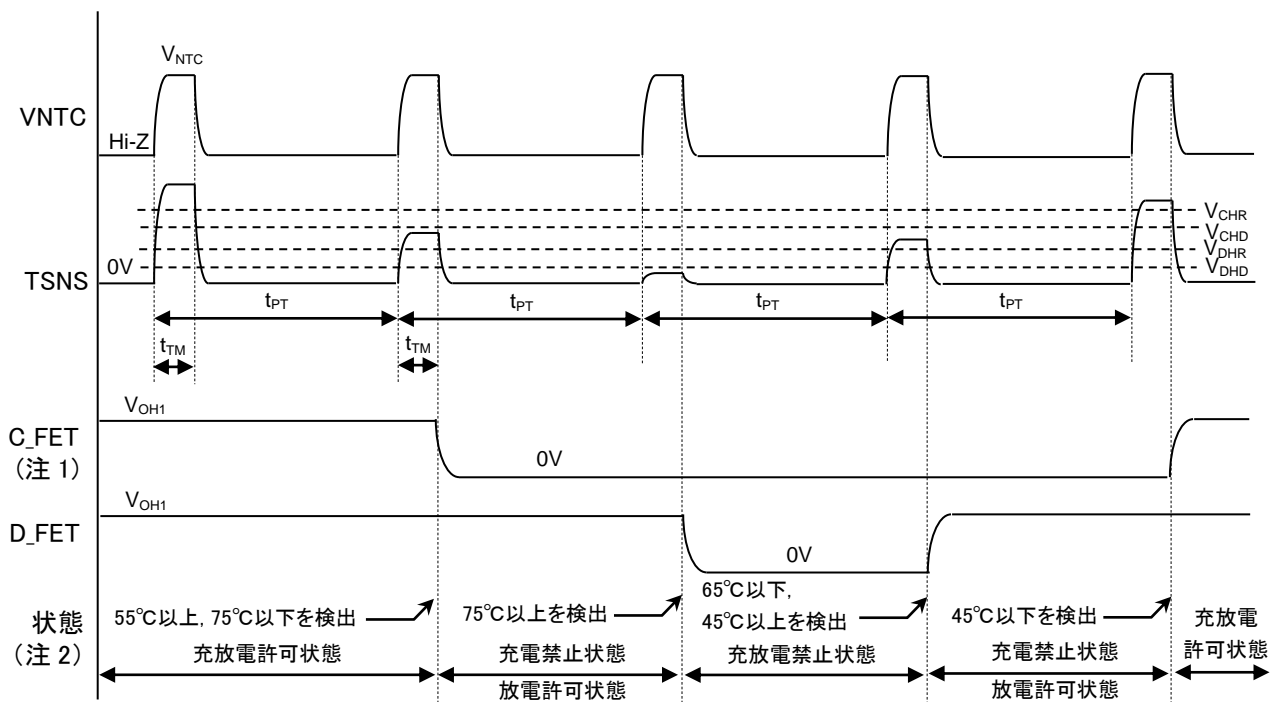
(注 1) C\_FET 端子にプルダウン抵抗接続時

## ● ショート電流検出と負荷開放によるショート電流検出状態からの復帰



(注 1) C\_FET 端子にプルダウン抵抗接続時

## ● 高温検出と高温検出状態からの復帰



(注 1) C\_FET 端子にプルダウン抵抗接続時

(注 2) NTC(10k $\Omega$ 、B=3435)と4.7k $\Omega$ 抵抗接続時

## ■ 機能説明

## ● ML5233 の各状態

ML5233 では、各電池セル電圧の状態、および、ISENSE 端子・TSNS 端子の入力電圧により、以下の 8 つの状態に区別されます。

1. イニシャル状態
2. ノーマル状態
3. 過充電状態
4. 過放電状態(パワーダウン状態を含む)
5. 放電過電流状態
6. 充電過電流状態
7. ショート電流検出状態
8. 高温検出状態

以下、カスケード接続なし(CAS 端子=GND レベル)時の各状態について説明します。

## 1. イニシャル状態

イニシャル状態とは、電池セルを ML5233 に接続開始してから CS0、CS1 端子で選択された電池セルが全て接続完了され、ノーマル状態へ移行するまでの状態です。

このイニシャル状態では、VREG 端子電圧が VREG 低下検出電圧以下の場合には、D\_FET 端子出力は“L”レベル、C\_FET 端子出力は“H”レベルとなり、放電禁止、充電可能状態となっています。

VREG 端子電圧が VREG 低下復帰検出電圧以上になると、各電池セル電圧の検出動作を開始します。CS0、CS1 端子で選択された電池セルが全て過放電解除電圧  $V_{UVR}$  以上になったことを検出すると、ノーマル状態へ移行します。なお、このとき、過充電検出、過電流検出の検出も行われます。

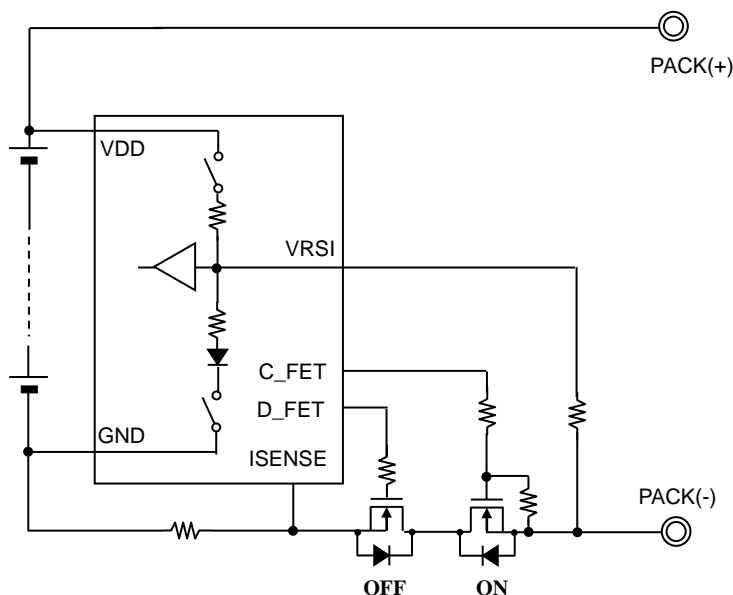


図 1. イニシャル状態

## 2. ノーマル状態

ノーマル状態とは、全ての電池セル電圧が過充電・過放電検出電圧に達しておらず、かつ、ISENSE 端子電圧が過電流検出電圧に達しておらず、かつ、TSNS 端子電圧が高温検出電圧に達していない状態です。ノーマル状態では、D\_FET 端子、C\_FET 端子出力がともに”H”レベルとなっており、放電・充電が可能となります。

各電池セルの電圧測定を 0.4 秒周期で行い、電池セルの過充電・過放電検出を行なっています。また、0.4 秒周期で外部サーミスタによる温度測定を行っています。これらと同時に、ISENSE 端子電圧を常にモニタし、過電流検出も行なっています。

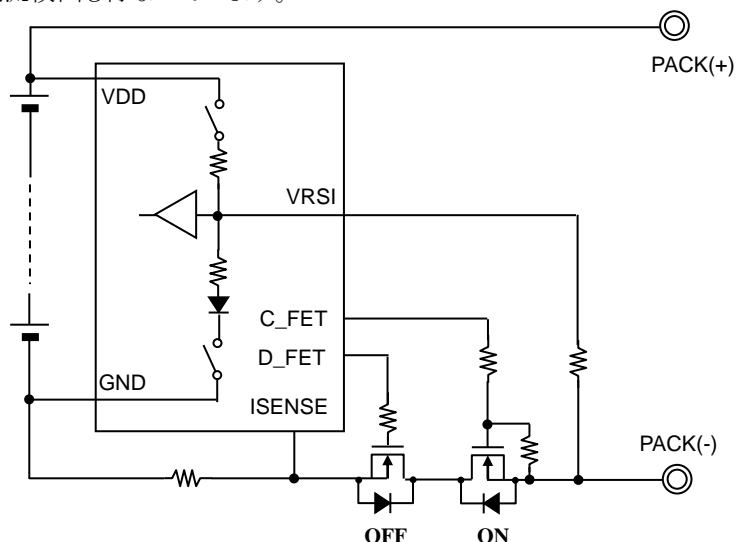


図 2. ノーマル状態

## 3. 過充電状態

いずれか 1 つ以上の電池セル電圧が過充電検出電圧  $V_{OV}$  以上となり、ML5233 がその状態を検出してから、過充電検出遅延時間  $t_{OV}$  以上継続すると過充電状態となります。

過充電状態になると、C\_FET 端子出力が”Hi-Z”状態となり、充電を禁止します。なお、D\_FET 端子出力は、過充電状態に移行しても変化せず、前の状態を保持します。

電池セル電圧が、自己放電、あるいは、軽い負荷に接続されることにより、電池セル電圧が徐々に低下し、全ての電池セル電圧が、過充電検出解除電圧  $V_{OVR}$  以下となった場合に、過充電状態から復帰します。

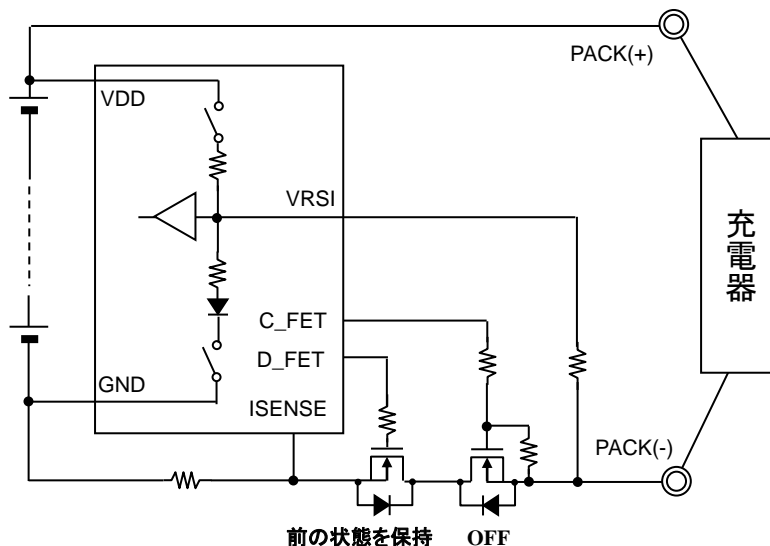


図 3. 過充電状態

## 4. 過放電状態

いずれか 1 つ以上の電池セル電圧が過放電検出電圧  $V_{UV}$  以下となり、ML5233 がその状態を検出してから、過放電検出遅延時間  $t_{UV}$  以上継続すると過放電状態となります。

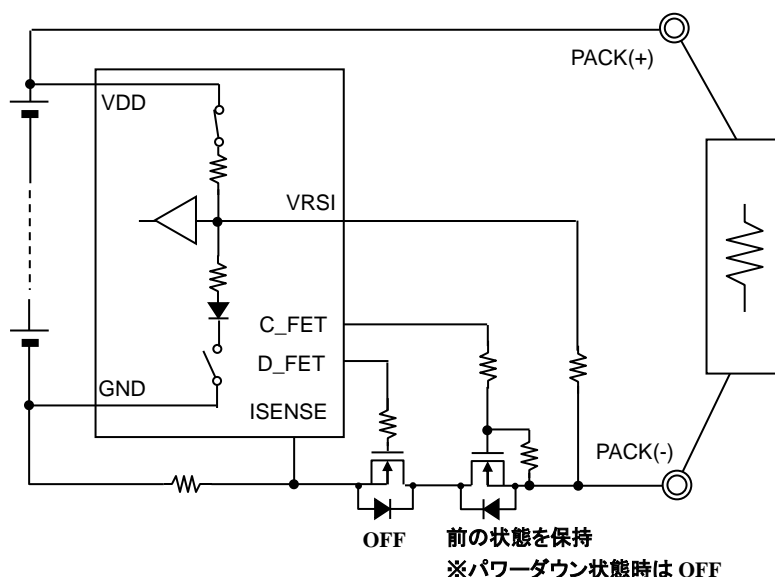
過放電状態になると、D\_FET 端子出力は“L”レベルとなり、放電を禁止します。なお、C\_FET 端子出力は、過放電状態に移行しても変化せず、前の状態を保持します。また、VRSI 端子に  $500k\Omega$  のプルアップ抵抗が VDD 間に接続されます。

過放電状態になり、外部の放電用 FET が OFF した後、VRSI 端子電圧が上昇し、充電器開放 VRSI 端子電圧  $V_{PLD}$  を検出するとパワーダウン状態に入り、低消費電流状態となります。

充電器が接続されると、VRSI 端子電圧は低下し、充電器接続検出電圧  $V_{PC}$  以下になると、ML5233 は、全ての回路を動作させ、各電池セル電圧の検出動作を開始します。

なお、パワーダウン状態以前に過充電状態・過電流状態であった場合、それら異常状態はパワーダウン状態時にクリアされ、パワーアップ後、再び過充電・過電流が検出され、各検出遅延時間が経過すると、再び各状態に移行します。

電池セル電圧が充電されて徐々に上昇し、全ての電池セル電圧が、過放電検出解除電圧  $V_{UVR}$  以上となった場合に、過放電状態から復帰します。このとき、VRSI 端子-VDD 間のプルアップ抵抗は切り離されます。





## 5. 放電過電流状態

電池セル電圧測定とは無関係に、負荷が接続され、ISENSE 端子電圧が放電過電流検出電圧  $V_{OCU}$  以上となり、その状態が放電過電流検出遅延時間  $t_{OCU}$  以上継続すると、放電過電流状態になります。放電過電流状態となると、D\_FET 端子出力が“L”レベルとなり、放電を禁止すると共に、負荷が開放されたことを検出するために C\_FET 端子出力は“Hi-Z”レベルとなり、VRSI 端子と GND 端子間に  $2M\Omega$  のプルダウン抵抗が逆流阻止用ダイオードを介して接続されます。

この状態で負荷が開放されると、VRSI 端子は GND 端子レベルに近くなります。負荷開放検出遅延時間  $t_{ORL}$  以上の間、負荷開放検出電圧  $V_{RL}$  以下となった場合に、放電過電流状態から復帰します。

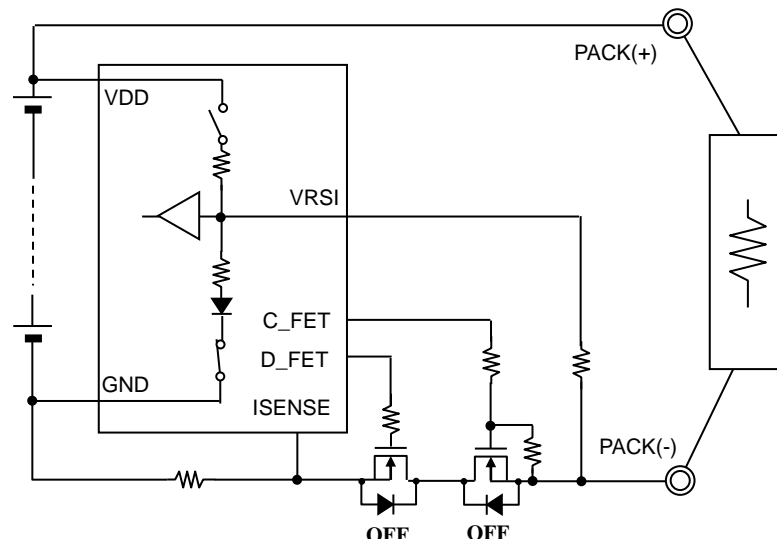


図 5. 放電過電流状態

## 6. 充電過電流状態

電池セル電圧測定とは無関係に、充電器が接続され、ISENSE 端子電圧が充電過電流検出電圧  $V_{OCO}$  以下となり、その状態が充電過電流検出遅延時間  $t_{OCO}$  以上継続すると、充電過電流状態になります。充電過電流状態となると、C\_FET 端子出力が“Hi-Z”レベルとなり、充電が禁止されます。なお、D\_FET 端子出力は、充電過電流状態に移行しても変化せず、前の状態を保持します。

充電過電流状態になると、充電器開放を検出するため、VRSI 端子と VDD 端子間に  $500k\Omega$  のプルアップ抵抗が接続されます。充電器が開放されると、VRSI 端子は上昇し、VRSI 端子電圧が、充電器開放遅延時間  $t_{CHG}$  以上の間、充電器開放検出電圧  $V_{PLU}$  以上であった場合に、充電過電流状態から復帰します。

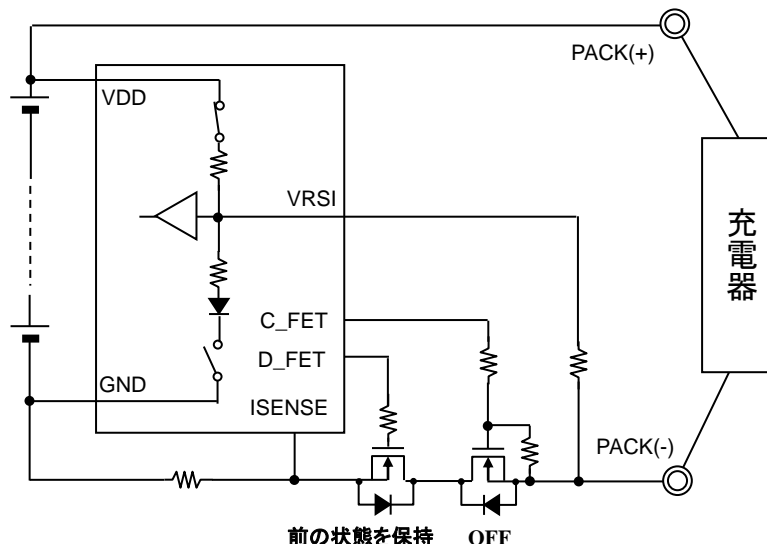


図 6. 過充電電流状態

## 7. ショート電流検出状態

電池セル電圧測定とは無関係に、過大な負荷が接続され、ISENSE 端子電圧がショート電流検出電圧  $V_{SHRT}$  以上となると、CDLY 端子に接続されたコンデンサの充電を開始します。CDLY 端子がある一定電圧以上になると、ショート電流検出状態になります。ショート電流検出状態になると、D\_FET 端子出力が“L”レベルとなり、放電を禁止すると共に、負荷が開放されたことを検出するために C\_FET 端子出力は“Hi-Z”レベルとなり、VRSI 端子と GND 端子間に  $2M\Omega$  のプルダウン抵抗が逆流阻止用ダイオードを介して接続されます。

この状態で負荷が開放されると、VRSI 端子は GND 端子レベルに近くなります。負荷開放検出遅延時間  $t_{ORL}$  以上の間、負荷開放検出電圧  $V_{RL}$  以下となった場合に、ショート電流検出状態から復帰します。

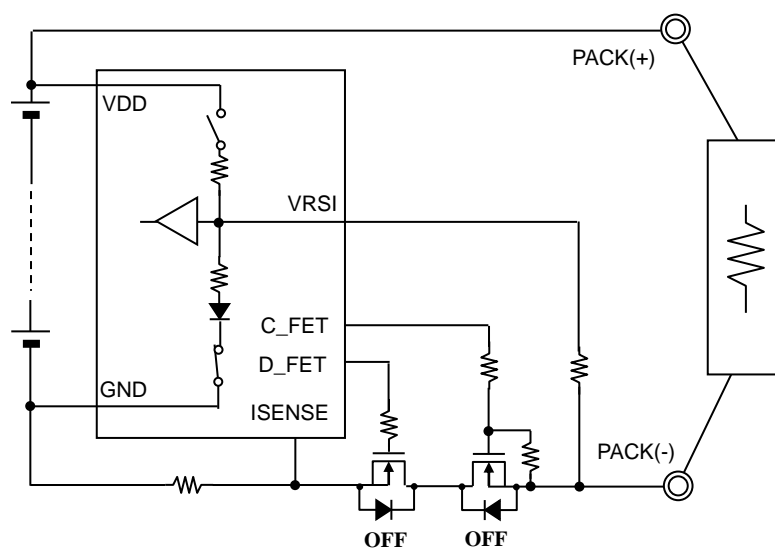


図 7. ショート電流検出状態

## 8. 高温検出状態

電池セル電圧測定、および、電流測定とは無関係に、パワーダウン状態以外の状態では、外部に接続されたサーミスタにより温度測定を 0.4 秒周期で行います。TSNS 端子電圧が充電禁止高温検出電圧  $V_{CHD}$  以下となると、C\_FET 端子出力が”Hi-Z”状態となり、充電を禁止します。

さらに温度が上昇し、TSNS 端子電圧が放電禁止高温検出電圧  $V_{DHD}$  以下となると、D\_FET 端子出力が”L”レベルとなり、放電を禁止します。

高温検出状態に入っても、0.4 秒周期で温度測定は継続され、TSNS 端子電圧がそれぞれの高温検出解除電圧以上となった場合に、高温検出状態から復帰します。

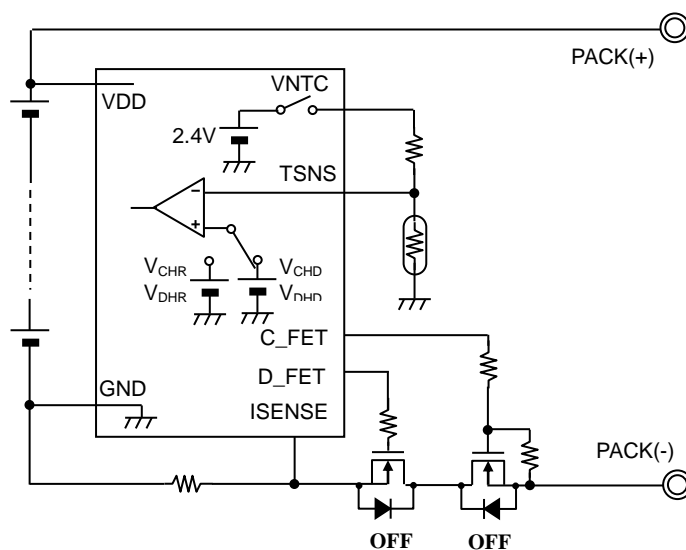


図 8. 高温検出状態

## ● 電池セル数の選択

CS0, CS1 端子により、接続する電池セル数を選択します。

CS1	CS0	電池セル数	未接続 Vn 端子
GND	GND	10 セル	なし
GND	VREG	9 セル	V0
VREG	GND	8 セル	V0～V1
VREG	VREG	7 セル	V0～V2

10 セル未満の場合の未接続 Vn 端子は、全て GND 端子に接続にしてください。

## ● 電源投入・遮断順序

各電池セルの接続順序は任意ですが、GND 端子、VDD 端子を接続後に、下部電位セルより接続することを推奨します。なお、電源投入時の電源電圧立上り時間、電源遮断順序、および、電源電圧立下り時間についての制約はありません。

なお、電源投入後は、通常ノーマル状態に移行しますが、電源投入時のチャタリング等により、過放電状態に移行する場合があります。過放電状態へ入り、パワーダウン状態となった場合には、VRSI 端子に充電器接続検出電圧  $V_{PC}$  以下の電圧を印加し、パワーアップさせてください。

## ● VDD 端子、V0～V10 端子の処理

VDD 端子は、電源入力端子ですので、誤動作防止のため、ノイズ除去用の RC フィルタを介して電源を供給してください。なお、外部充放電制御用 FET の駆動電流が大きい場合には、このノイズフィルタの抵抗値による電圧降下は 1V 以下になるように抵抗値を調整してください。

V0～V10 端子は、各電池セル電圧のモニタ端子ですので、誤検出防止のため、ノイズ除去用の RC フィルタを介して各電池セルを接続してください。また、10 セル未満の場合の未接続 Vn 端子は、全て GND 端子に接続にしてください。

## ● VREG 端子の処理

VREG 端子は、内蔵レギュレータ出力端子で、内部回路の電源となります。誤動作防止のため、GND 端子間に  $1\mu\text{F}$  以上のコンデンサを接続してください。なお、内蔵レギュレータの電流供給能力は小さいため、外部回路の電源として使用しないでください。

## ● ショート電流検出遅延時間の設定

ショート電流検出遅延時間  $t_{SC}$  は、CDLY 端子に接続されたコンデンサ  $C_{DLY}$  の充電時間により設定し、以下の式で表されます。

$$t_{SC}[\text{ms}] = C_{DLY}[\text{nF}] \times 0.1$$

コンデンサ  $C_{DLY}$  は  $1\text{nF}$  以上を推奨しますが、容量値小さい場合には、ショート電流検出コンパレータの検出遅延時間  $20\mu\text{s}(\text{typ})$  を加算してください。

また、ISENSE 端子の外部 CR フィルタによる遅延も加算されますので、ご注意ください。

## ● 充放電制御 FET の外部制御

/CFOFF、/DFOFF 端子入力により、ML5233 の異常検出状態に関係なく、C\_FET 端子、D\_FET 端子出力状態を直接制御することができます。

/CFOFF 端子入力を“L”レベルにすると、C\_FET 端子出力は Hi-Z 出力状態となります。

/DFOFF 端子入力を“L”レベルにすると、D\_FET 端子出力は GND レベル出力状態となります。

/CFOFF 端子、/DFOFF 端子入力を“H”レベルにすると、ML5233 の異常検出状態により、C\_FET 端子、D\_FET 端子出力状態は決まります。

### ● 各検出状態における出力端子の状態

下表に各検出状態における出力端子の状態を示します。

状態	D_FET	C_FET	VRSI	VREG
イニシャル状態	GND	14V	Hi-Z	4.3V
ノーマル状態	14V	14V	Hi-Z	4.3V
過充電状態	変化なし	Hi-Z	変化なし	4.3V
過放電状態	GND	変化なし	プルアップ	4.3V
パワーダウン状態	GND	Hi-Z	プルアップ	0V
放電過電流状態	GND	Hi-Z	プルダウン	4.3V
充電過電流状態	変化なし	Hi-Z	プルアップ	4.3V
ショート電流検出状態	GND	Hi-Z	プルダウン	4.3V
充電禁止高温検出状態	変化なし	Hi-Z	変化なし	4.3V
放電禁止高温検出状態	GND	Hi-Z	変化なし	4.3V

(注) “変化なし”とは、異常を検出しても、前の状態を保持したままであることを意味します。

### ● 未使用端子の処理

下表に未使用端子の処理方法を示します。

未使用端子	推奨端子処理
V0～V5	GND 端子に接続
ISENSE	GND 端子に接続
CDLY	オープン
/CFOFF、/DFOFF	VDD 端子に接続
VRSO	オープン
TSNS	VNTC 端子に接続
VNTC	GND 間に 100k $\Omega$ プルダウン抵抗を接続
PULLD	オープン

### ● 過充電・過放電検出時間の短縮

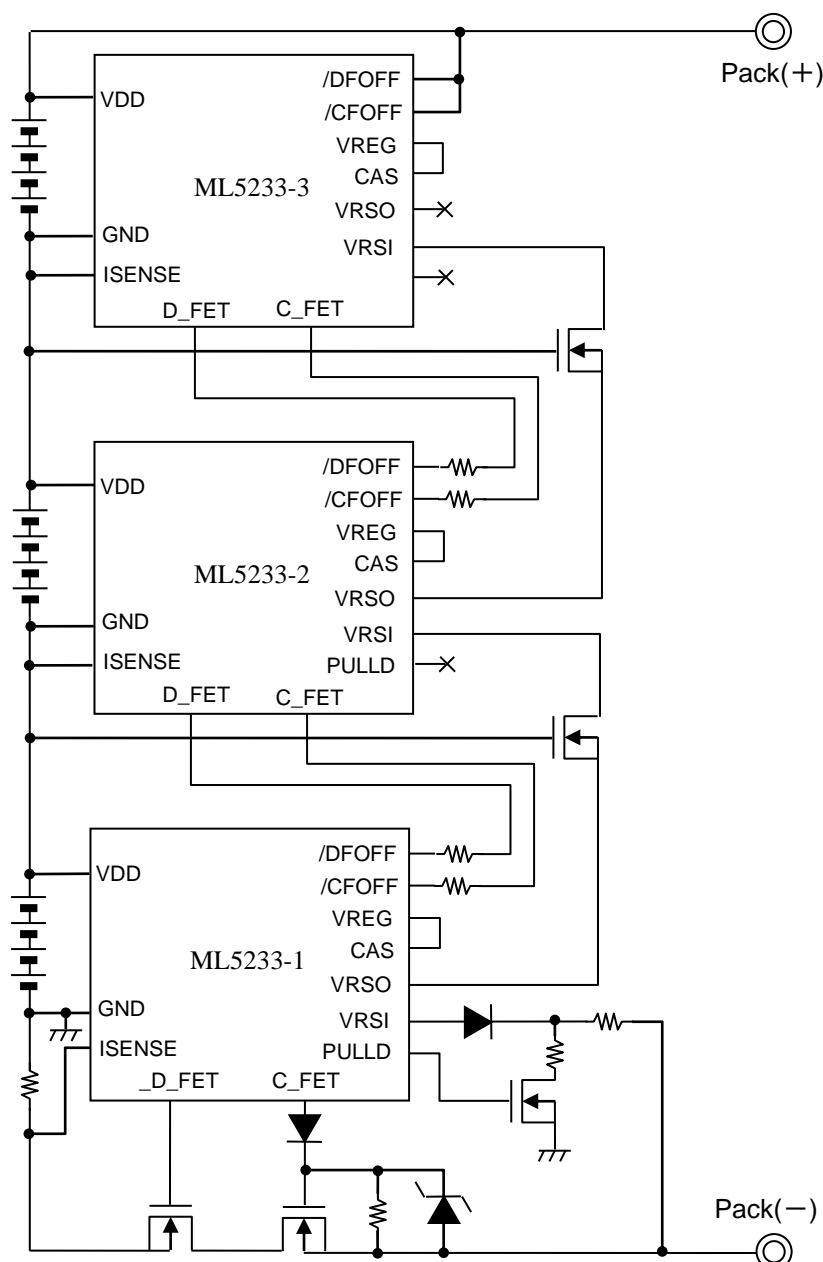
TSNS 端子に VREG レベルの電圧を入力することで、セルモニタ周期と過充電・過放電検出遅延時間は、それぞれ、100ms(typ)に短縮されます。

また、温度モニタ周期も 100ms(typ)に短縮されますが、TSNS 端子に VREG レベルを入力しているため、高温を検出することはできません。

## ● カスケード接続

3 つの ML5233 をカスケード接続する場合の接続方法を以下に示します。

1. CAS 端子を VREG レベルに固定します。
2. 上段の C\_FET 端子と下段の/CFOFF 端子を抵抗を介して接続します。
3. 上段の D\_FET 端子と下段の/DFOFF 端子を抵抗を介して接続します。
4. 最上段の/CFOFF、/DFOFF 端子は、VDD 端子に接続します。
5. 下段の VRSO 端子と上段の VRSI 端子を NMOS-FET を介して接続します。
6. 最下段の VRSI 端子は、ダイオードと抵抗を介して Pack(－)へ接続します。
7. 最上段の VRSO 端子はオープンにします。
8. 最下段の PULLD 端子は NMOS-FET のゲートに接続し、その NMOS-FET のドレインは、抵抗を介して Pack(－)へ接続します。



最下段 IC は、充放電制御 FET を駆動するため、接続セル数は大きいセル数を選択することを推奨します。例えば、7 セルと 10 セルをカスケード接続する場合には、下段 IC を 10 セル、上段 IC を 7 セルに設定します。

## ● 電池セル数の設定可能範囲

接続する電池セル数は各 CS0、CS1 の設定について下表のように変更することが可能です。

CS1	CS0	設定範囲(セル数)						
GND	GND	4	5	6	7	8	9	10
GND	VREG	4	5	6	7	8	9	10
VREG	GND	4	5	6	7	8	9	10
VREG	VREG	4	5	6	7	8	9	10

## ● 各検出電圧の設定可能範囲と設定ステップ電圧

各検出電圧は、下表のように設定を変更することが可能です。ただし、組み合わせによっては設定できない場合もありますので、問い合わせをお願いします。

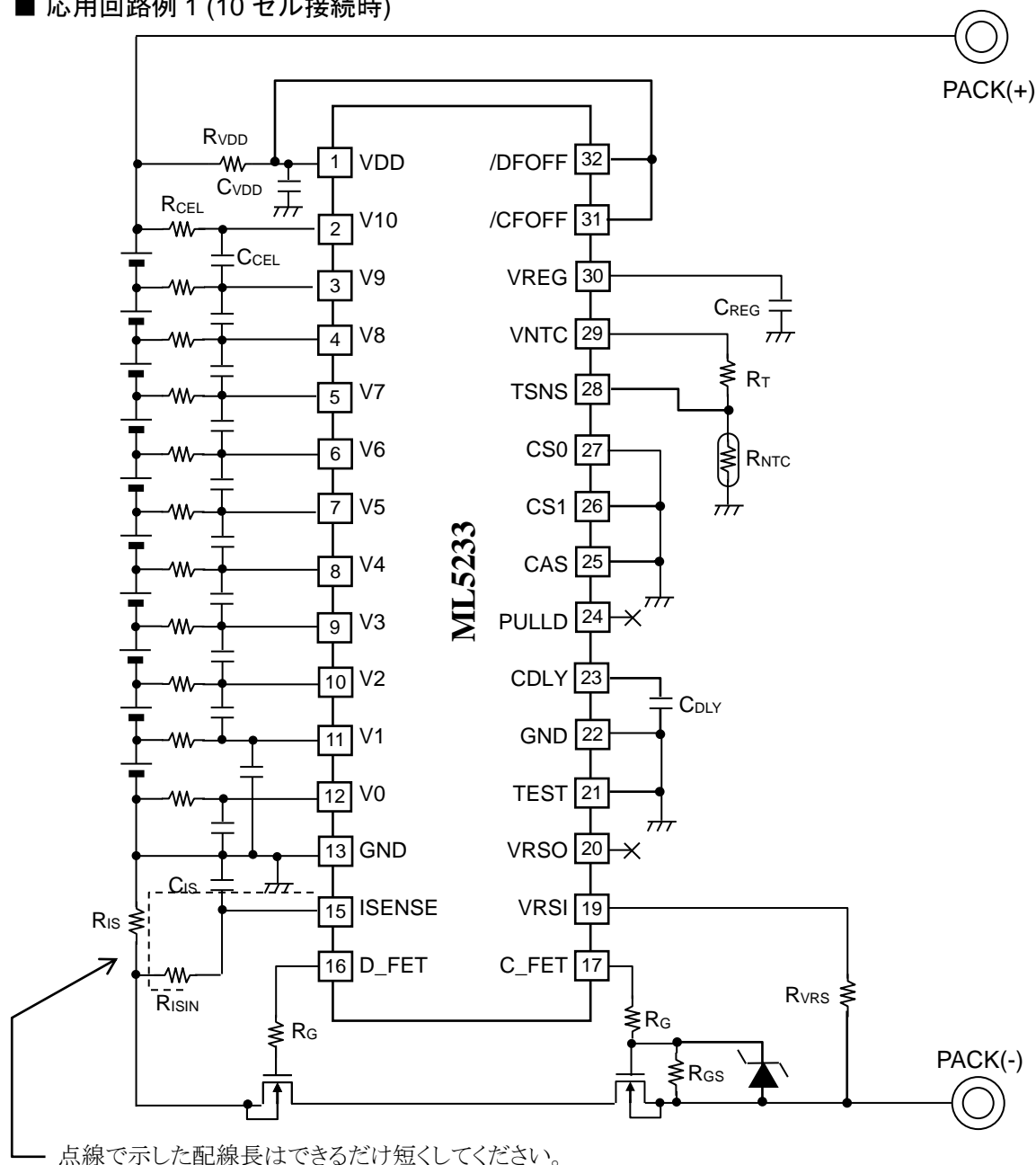
検出電圧	設定範囲	ステップ電圧
過充電検出電圧	3.65V~4.35V	25mV
過充電解除電圧	3.5V~4.25V	25mV
過放電検出電圧	1.6V~3V	100mV
過放電解除電圧	2.3V~4.3V	100mV
放電過電流検出	50mV~200mV	10mV
充電過電流検出	-60mV~-20mV	10mV
ショート電流検出電圧	100mV~500mV	10mV
高温検出電圧	0.6V~1.2V	10mV
高温検出解除電圧	0.7V~1.3V	10mV

## ● 検出遅延時間の設定可能範囲

各種検出遅延時間は、下表のように設定を変更することが可能です。

検出遅延時間	設定可能時間					単位
過充電検出遅延時間	1	2	3	4	5	sec
過放電検出遅延時間	1	2	3	4	5	sec
放電過電流検出遅延時間	25	50	100	200	400	ms
充電過電流検出遅延時間	25	50	100	200	400	ms

## ■ 応用回路例 1 (10 セル接続時)



## ■ 外付け部品推奨値

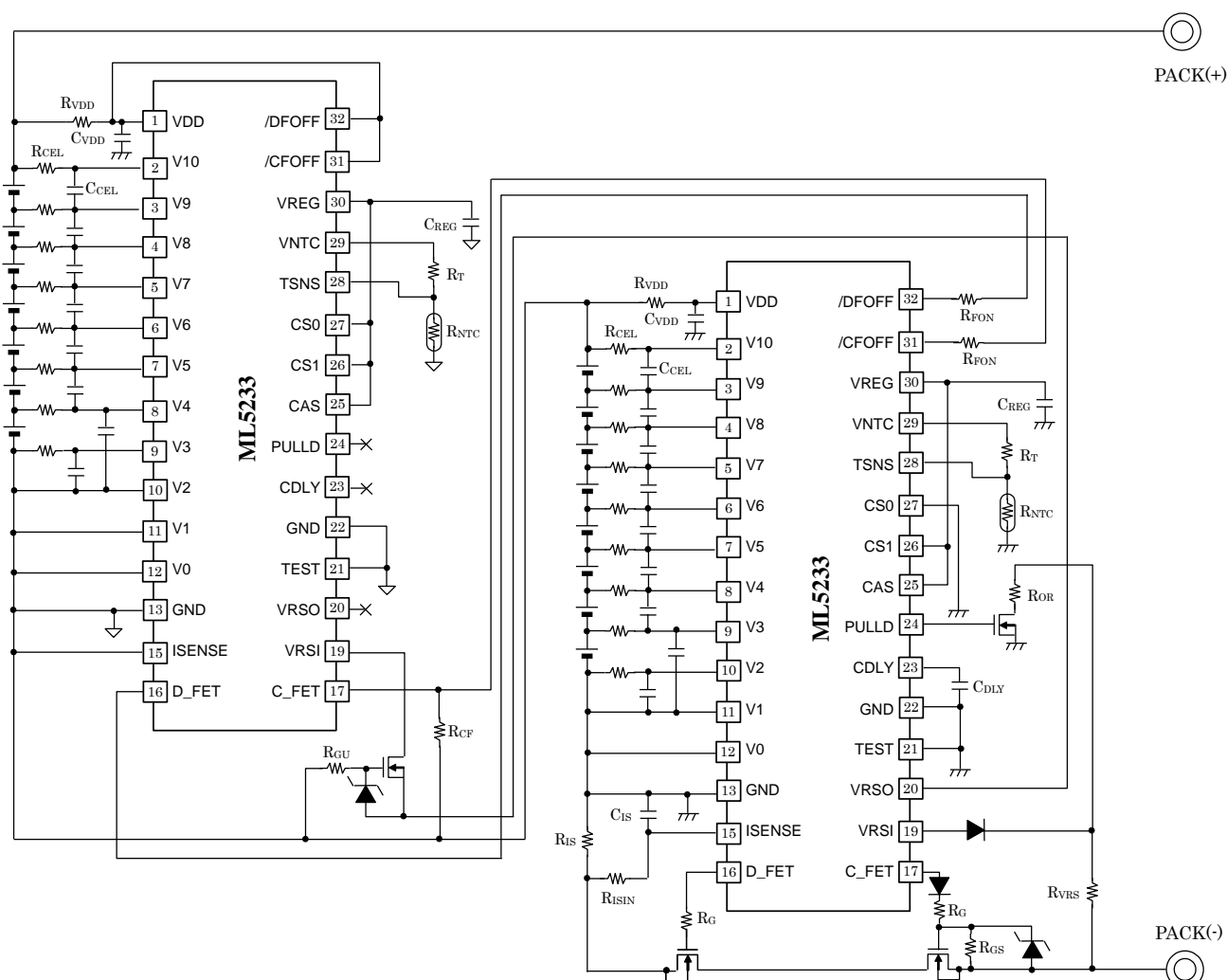
部品	推奨値
R <sub>VDD</sub>	510Ω
C <sub>VDD</sub>	10μF 以上
R <sub>CEL</sub>	1kΩ ~ 10kΩ
C <sub>CEL</sub>	0.1μF 以上
C <sub>REG</sub>	1μF
C <sub>IS</sub>	10nF
C <sub>DLY</sub>	1nF ~ 10nF

部品	推奨値
R <sub>GS</sub>	1MΩ
R <sub>G</sub>	10kΩ ~ 47kΩ
R <sub>VRS</sub>	1kΩ
R <sub>IS</sub>	1mΩ ~ 5mΩ
R <sub>ISIN</sub>	1kΩ
R <sub>T</sub>	4.7kΩ
R <sub>NTC</sub>	10kΩ、B3435

(注意) 記載の回路例、外付け部品の推奨値は、あらゆる動作条件下での動作を保証するものではありませんので、実際のアプリケーションで十分評価の上、最適な回路構成、部品定数の選択を行ってください。



■ 応用回路例 2 (8 セル+7 セル=15 セル接続時)



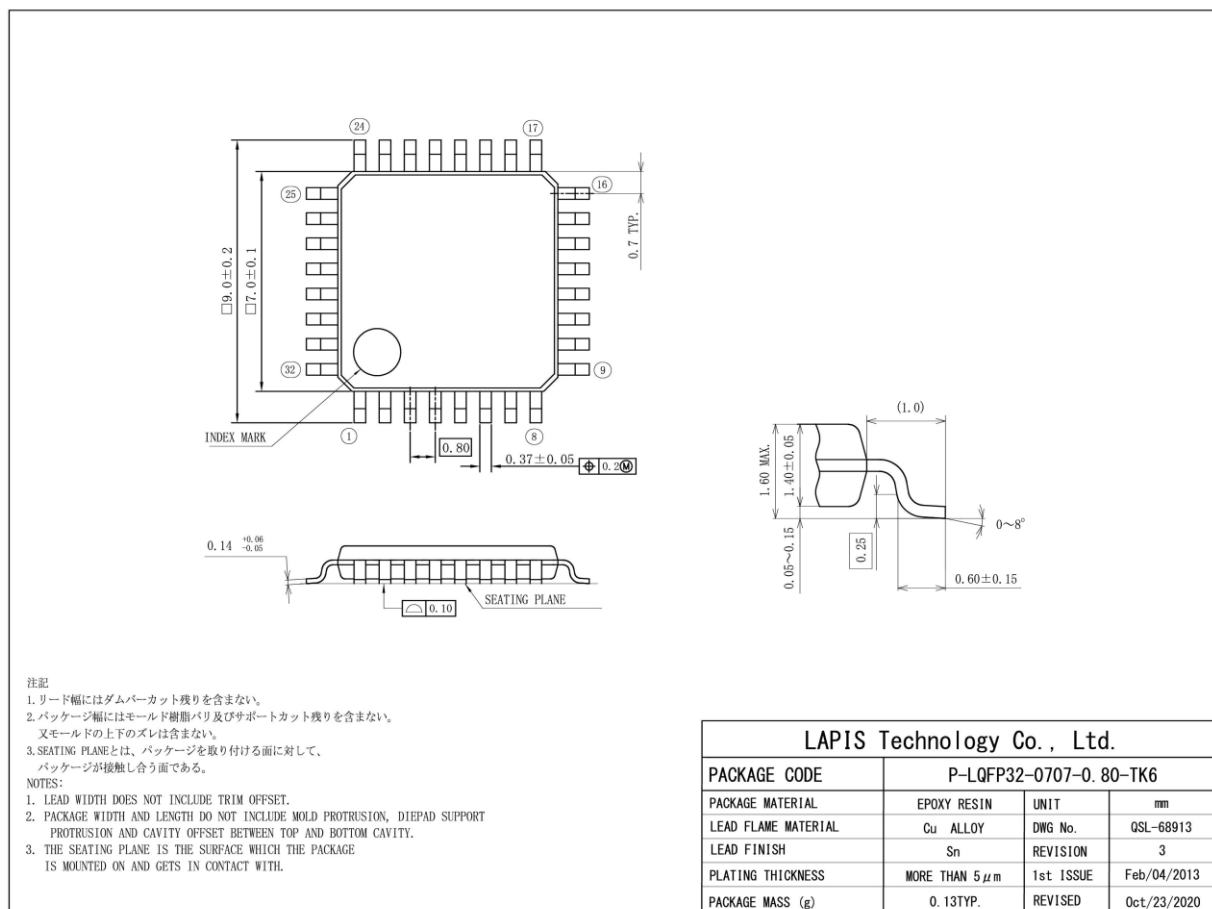
■ 外付け部品推奨値

部品	推奨値
R <sub>VDD</sub>	510Ω
C <sub>VDD</sub>	10μF 以上
R <sub>CEL</sub>	1kΩ ~ 10kΩ
C <sub>CEL</sub>	0.1μF 以上
C <sub>REG</sub>	1μF
C <sub>IS</sub>	10nF
C <sub>DLY</sub>	1nF ~ 10nF
R <sub>GS</sub>	1MΩ

部品	推奨値
R <sub>G</sub>	10kΩ ~ 47kΩ
R <sub>VRS</sub>	1kΩ
R <sub>IS</sub>	1mΩ ~ 5mΩ
R <sub>ISIN</sub>	1kΩ
R <sub>T</sub>	4.7kΩ
R <sub>NTC</sub>	10kΩ、B3435
R <sub>GU</sub> , R <sub>FON</sub>	5.1MΩ
R <sub>OR</sub>	1MΩ
R <sub>CF</sub>	1.2MΩ

(注意) 記載の回路例、外付け部品の推奨値は、あらゆる動作条件下での動作を保証するものではありませんので、実際のアプリケーションで十分評価の上、最適な回路構成、部品定数の選択を行ってください。

單位:mm



表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせ下さい。

## ■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL5233-01	2015.09.01	-	-	1 版発行
FJDL5233-02	2015.12.25	22	22	カスケード接続:誤記訂正
FJDL5233-03	2016.03.25	24, 25	24, 25	応用回路例:最下位電池セルのコンデンサ接続方法を変更
		25	25	応用回路例 2: $R_{GU}$ の抵抗値を変更
FJDL5233-04	2020.12.01	-	-	社名ロゴ変更
		28	28	「ご注意」の内容変更
FJDL5233-05	2024.01.09	1	1	■用途、■形名を追記 注釈削除
		28	28	ご注意のページ差し替え

## ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格<sup>(※1)</sup>、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後が発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。  
(※1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。  
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2015 – 2024 LAPIS Technology Co., Ltd.

## ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>