



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。

なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。

以上、ご理解の程よろしくお願いたします。

2024年4月1日
ローム株式会社

ML5236

14 直列リチウムイオン 2 次電池保護用アナログフロントエンド IC

■ 概要

ML5236 は、14 セル・リチウムイオン 2 次電池パック保護システム向けのアナログフロントエンド IC です。各セル電圧モニタ機能、および、充放電電流モニタ機能を有しており、外部制御用 MCU を用いて、各セルの過充電と過放電、および、過電流の保護を行なうことができます。

また、ショート電流検出機能を搭載しており、外部 MCU の制御なしで、外部の充放電制御用ハイサイド Nch-FET を自動的に OFF させます。

■ 特長

- 5~14 セル 高精度セル電圧測定機能
 - 12 ビット逐次比較型 ADC 内蔵
 - セル電圧測定精度 : $\pm 10\text{mV}(\text{typ})$ @セル電圧=4V
 - セル電圧測定時間 : $2\text{ms}(\text{typ})/\text{セル}$
- 充放電電流測定機能
 - ISP-ISM 端子間電位差を 12 倍/60 倍増幅した電圧を 12bit ADC で測定 (ADC は、セル電圧測定用と共用)
- ショート電流検出機能
 - 検出閾値電圧は ISP-ISM 端子間電位差=50mV/100mV/150mV/200mV(typ)から選択
 - 外部容量にて検出遅延時間を調整可能
- 各セルに対してセルバランススイッチを内蔵 : スイッチ ON 抵抗=6 Ω (typ)
- 外部充放電 FET 制御 : ハイサイド Nch-FET ドライバ内蔵
- 温度センサー測定機能 : 2 つのサーミスタ接続端子を搭載
- 過充電検出機能 : 過充電検出閾値レジスタ値と AD 変換結果の比較により、過充電を保護
- MCU インタフェース : SPI シリアルインタフェース(モード 0)
 - 専用電源端子 VSPI により、5V インタフェースに対応
- 外部 MCU 用 3.3V レギュレータ内蔵 : 出力電流 10mA(max)
 - 外部 Pch-FET による電流ブースト可能
- 低消費電流 (暫定値)
 - ノーマル状態 : 330 $\mu\text{A}(\text{typ})$ 、700 $\mu\text{A}(\text{max})$
 - パワーセーブ状態 : 120 $\mu\text{A}(\text{typ})$ 、200 $\mu\text{A}(\text{max})$
 - パワーダウン状態 : 0.1 $\mu\text{A}(\text{typ})$ 、1 $\mu\text{A}(\text{max})$
- 電源電圧 : +8V~+64V
- 動作温度範囲 : -40 $^{\circ}\text{C}$ ~+85 $^{\circ}\text{C}$
- パッケージ : 44 ピン TQFP

■ 用途

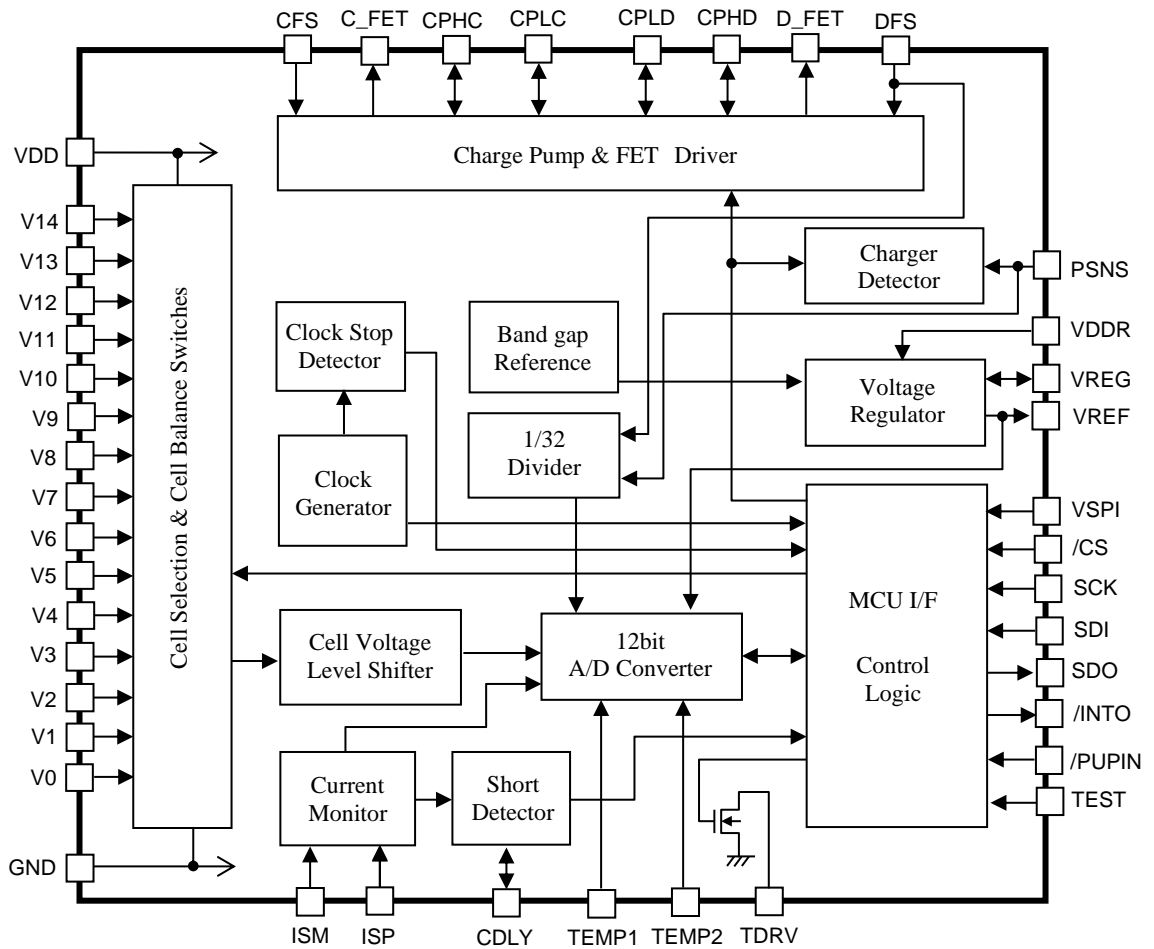
- ・電動工具/園芸用工具
- ・E-Bike/電動アシスト自転車
- ・無停電電源装置(UPS)
- ・蓄電システム(ESS)

■ 形名

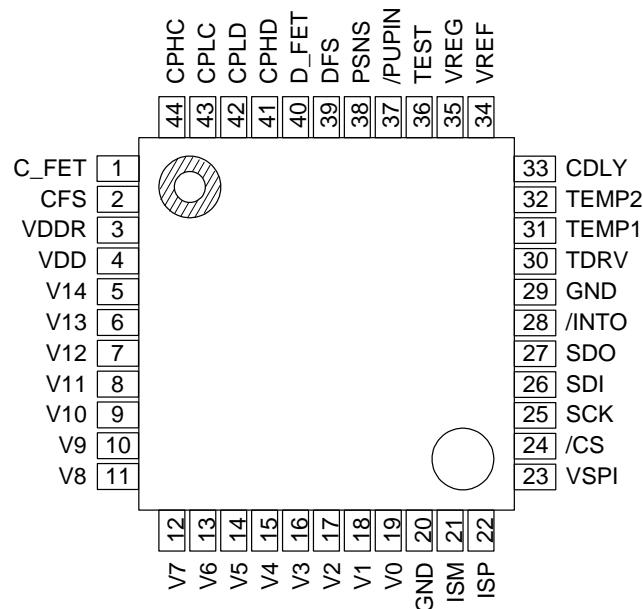
ML5236TB



■ ブロック図



■ 端子接続図(上面図)



■ 端子説明

ピン番号	端子名	I/O	説明
1	C_FET	O	充電用 Nch-FET の制御信号出力端子です。外部 Nch-FET のゲート端子に接続してください。ON 設定時には、CFS 端子電圧+12V(typ)が出力され、OFF 設定時には、CFS 端子電圧が出力されます。
2	CFS	I	C_FET 端子出力用チャージポンプの基準電圧入力端子です。充電制御用 Nch-FET のソース端子に接続します。
3	VDDR	—	内蔵レギュレータ専用電源電圧入力端子です。 外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。
4	VDD	—	電源電圧入力端子です。 外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。
5	V14	I	電池セル 14 の正極入力端子です。
6	V13	I	電池セル 14 の負極入力端子、および、電池セル 13 の正極入力端子です。
7	V12	I	電池セル 13 の負極入力端子、および、電池セル 12 の正極入力端子です。
8	V11	I	電池セル 12 の負極入力端子、および、電池セル 11 の正極入力端子です。
9	V10	I	電池セル 11 の負極入力端子、および、電池セル 10 の正極入力端子です。
10	V9	I	電池セル 10 の負極入力端子、および、電池セル 9 の正極入力端子です。
11	V8	I	電池セル 9 の負極入力端子、および、電池セル 8 の正極入力端子です。 接続電池セル数が 5 セルの場合には、GND 端子に接続してください。
12	V7	I	電池セル 8 の負極入力端子、および、電池セル 7 の正極入力端子です。 接続電池セル数が 5~6 セルの場合には、GND 端子に接続してください。
13	V6	I	電池セル 7 の負極入力端子、および、電池セル 6 の正極入力端子です。 接続電池セル数が 5~7 セルの場合には、GND 端子に接続してください。
14	V5	I	電池セル 6 の負極入力端子、および、電池セル 5 の正極入力端子です。 接続電池セル数が 5~8 セルの場合には、GND 端子に接続してください。
15	V4	I	電池セル 5 の負極入力端子、および、電池セル 4 の正極入力端子です。 接続電池セル数が 5~9 セルの場合には、GND 端子に接続してください。
16	V3	I	電池セル 4 の負極入力端子、および、電池セル 3 の正極入力端子です。 接続電池セル数が 5~10 セルの場合には、GND 端子に接続してください。
17	V2	I	電池セル 3 の負極入力端子、および、電池セル 2 の正極入力端子です。 接続電池セル数が 5~11 セルの場合には、GND 端子に接続してください。
18	V1	I	電池セル 2 の負極入力端子、および、電池セル 1 の正極入力端子です。 接続電池セル数が 5~12 セルの場合には、GND 端子に接続してください。
19	V0	I	電池セル 1 の負極入力端子です。 接続電池セル数が 5~13 セルの場合には、GND 端子に接続してください。
20	GND	—	グランド端子です。
21	ISM	I	電流センス抵抗接続端子です。最下位電池セルの負極端子に接続します。
22	ISP	I	電流センス抵抗接続端子です。放電時に ISM 端子より電圧が高くなるように接続します。
23	VSPI	—	シリアル MCU インタフェースの電源端子です。外部 MCU 電源電圧を入力します。
24	/CS	I	シリアル MCU インタフェースのチップセレクト端子です。"L"レベル入力でシリアル MCU インタフェースが有効となります。
25	SCK	I	シリアル MCU インタフェースのシリアルクロック入力端子です。SCK クロックの立上りエッジで、SDI 端子入力を LSI 内部に取り込み、SCK クロックの立下りエッジで、SDO 端子にデータが出力されます。
26	SDI	I	シリアル MCU インタフェースのデータ入力端子です。

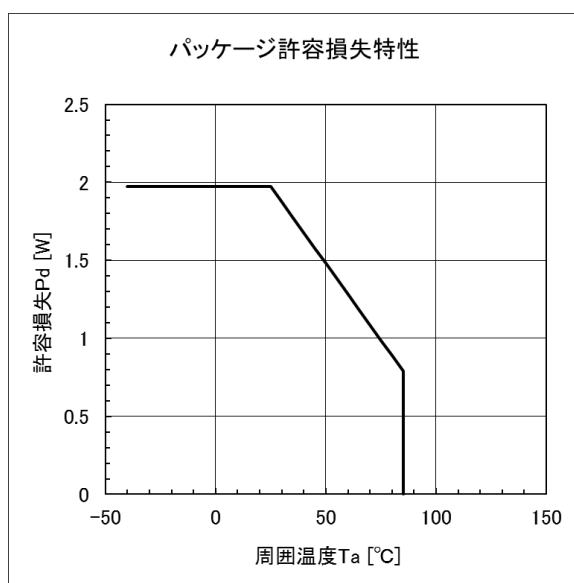
ピン番号	端子名	I/O	説明
27	SDO	O	シリアル MCU インタフェースのデータ出力端子です。/CS 端子入力が”H”レベルのときは、高インピーダンス状態となります。
28	/INTO	O	外部 CPU への割り込み信号出力です。NMOS オープンドレイン出力で、割り込み発生時に、”L”レベルを出力します。
29	GND	—	グラウンド端子です。
30	TDRV	O	サーミスタ用グラウンド端子です。温度計測時には 0V を出力し、温度計測時以外では、Hi-Z 状態にしてください。
31	TEMP1	I	温度計測用サーミスタ接続端子です。TDRV 端子間に NTC サーミスタを接続し、
32	TEMP2	I	VREF 端子間に抵抗を接続します。
33	CDLY	IO	ショート電流検出遅延時間の調整端子です。GND 間に容量を接続してください。
34	VREF	O	内蔵 ADC 用 2.5V 基準電圧出力端子です。GND 間に 4.7 μ F のコンデンサを接続してください。
35	VREG	O	内蔵 3.3V レギュレータの出力端子です。GND 間に 4.7 μ F のコンデンサを接続してください。外部 MCU の電源として使用可能です。
36	TEST	I	LSI テスト用端子です。GND レベルに固定してください。
37	/PUPIN	I	パワーアップトリガ信号入力です。”L”レベル入力により、パワーダウン状態からパワーアップ状態へ移行します。VDD 端子間に 1M Ω のプルアップ抵抗を内蔵しています。
38	PSNS	I	パワーダウン時の充電器接続検出端子です。パワーダウン時に PSNS 端子電圧が 1/2VDD 以上になるとパワーアップします。また、この端子電圧を 1/32 倍した電圧を ADC にて測定することができます。
39	DFS	I	D_FET 端子出力用チャージポンプの基準電圧入力端子です。充放電制御用 Nch-FET のソース端子に接続します。また、この端子電圧を 1/32 倍した電圧を ADC にて測定することができます。
40	D_FET	O	放電用 Nch-FET の制御信号出力端子です。外部 Nch-FET のゲート端子に接続してください。ON 設定時には、DFS 端子電圧+12V(typ)が出力され、OFF 設定時には、DFS 端子電圧が出力されません。
41	CPHD	O	D_FET 端子出力用チャージポンプのコンデンサ接続端子です。CPHD-CPLD 端子間に放電用 Nch-FET のゲート容量の 2 倍程度のコンデンサを接続してください。
42	CPLD	O	
43	CPLC	O	C_FET 端子出力用チャージポンプのコンデンサ接続端子です。CPHC-CPLC 端子間に充電用 Nch-FET のゲート容量の 2 倍程度のコンデンサを接続してください。
44	CPHC	O	

■ 絶対最大定格

GND=0V, Ta=25°C

項目	記号	条件	定格値	単位
電源電圧	V _{DD}	VDD, VDDR 端子に適用	-0.3 ~ +86.5	V
入力電圧	V _{IN1}	V14~V0 端子に適用 V _{n+1} - V _n 端子間電位差 (注 1)	-0.3 ~ +6.5	V
	V _{IN2}	CFS, DFS, PSNS 端子に適用	-0.3 ~ +86.5	V
	V _{IN3}	/PUPIN 端子に適用	-0.3 ~ V _{DD} +0.3	V
	V _{IN4}	TEMP1, TEMP2, ISM, ISP 端子に適用	-0.3 ~ V _{REG} +0.3	V
	V _{IN5}	/CS, SCK, SDI 端子に適用	-0.3 ~ V _{SPI} +0.3	V
出力電圧	V _{OUT1}	D_FET 端子に適用 V _{DFS} =DFS 端子電圧	V _{DFS} -0.3 ~ +86.5	V
	V _{OUT2}	C_FET 端子に適用 V _{CFS} =CFS 端子電圧	V _{CFS} -0.3 ~ +86.5	V
	V _{OUT3}	/INTO, TDRV, CDLY 端子に適用	-0.3 ~ +6.5	V
	V _{OUT4}	SDO 端子に適用	-0.3 ~ V _{SPI} +0.3	V
出力短絡電流	I _{OS}	VDD=50V 時 VREG, VREF, SDO, /INTO, TDRV, CDLY, C_FET, D_FET 端子に適用	20	mA
セルバランス電流	I _{CB}	セルバランススイッチ 1 個当り	100	mA
許容損失	P _D	Ta=25°C	1.9	W
ジャンクション温度	T _{JMAX}	—	125	°C
パッケージ熱抵抗	θ _{ja}	JEDEC2 層基板実装時	50.7	°C/W
保存温度	T _{STG}	—	-55 ~ +150	°C

注 1: 電池セル接続時、または、取り外し時に V_{n+1} - V_n 端子間電圧が、定格値を超え破壊を引き起こす可能性がありますので、十分ご評価の上でご使用ください。



周囲温度 Ta が高くなると、パッケージ許容損失が減少しますので、VREG 端子出力負荷電流が大きい場合には、左記の許容損失を超えないことを確認してください。

■ 推奨動作条件

(GND= 0 V)

項目	記号	条件	範囲	単位
電源電圧	V _{DD}	VDD, VDDR 端子に適用	8~64	V
	V _{SPI}	VSPI 端子に適用	2.7~5.5	V
動作温度	T _a	VREG 出力無負荷時	-40~+85	°C

■ 電気的特性

● 直流特性

V_{DD}=8~64V, V_{SPI}=2.7~5.5V, GND=0 V, T_a=-40~+85°C, VREG 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
デジタル"H"入力電圧(注 1)	V _{IH}	—	0.8 × V _{SPI}	—	V _{SPI}	V
デジタル"L"入力電圧(注 1)	V _{IL}	—	0	—	0.2 × V _{SPI}	V
/PUPIN 端子 "H"入力電圧	V _{IHP}	—	0.8 × V _{DD}	—	V _{DD}	V
/PUPIN 端子 "L"入力電圧	V _{ILP}	—	0	—	0.2 × V _{DD}	V
デジタル"H"入力電流(注 1)	I _{IH}	V _{IH} = V _{SPI}	—	—	2	μA
デジタル"L"入力電流(注 1)	I _{IL}	V _{IL} = GND	-2	—	—	μA
/PUPIN 端子 "H"入力電流	I _{IHP}	V _{IH} = V _{DD}	—	—	2	μA
/PUPIN 端子 "L"入力電流	I _{ILP}	V _{DD} =64V, V _{IL} = GND	-128	-64	-32	μA
デジタル"H"出力電圧(注 2)	V _{OH}	I _{OH} =-100μA	V _{SPI} -0.2	—	V _{SPI}	V
デジタル"L"出力電圧(注 3)	V _{OL}	I _{OL} =1mA	0	—	0.2	V
デジタル出力カリーク電流 (注 3)	I _{OLK}	V _{OH} =V _{SPI} V _{OL} =0V	-2	—	2	μA
セルモニタ端子 入力電流(注 4)	I _{INVC}	電池セル電圧測定時	-5	—	15	μA
セルモニタ端子 入力カリーク電流(注 4)	I _{ILVC}	電池セル電圧非測定時	-5	—	5	μA
FET "H"出力電圧(注 5)	V _{OHF}	I _{OH} = -1μA V _{DD} =V _S =18V~64V V _S : CFS, DFS 端子電圧	V _S +8	V _S +12	V _S +16	V
FET "L"出力電圧(注 5)	V _{OLF}	I _{OL} = 1μA V _{DD} =V _S =18V~64V V _S : CFS, DFS 端子電圧	V _S	—	V _S +0.3	V
VREG 出力電圧	V _{REG1}	V _{DD} =10V~64V 出力負荷電流<10mA	3.0	3.3	3.6	V
	V _{REG2}	V _{DD} =8V~10V 出力負荷電流<5mA	3.0	3.3	3.6	V
VREF 出力電圧	V _{REF1}	T _a =0~60°C 出力負荷電流<1mA	2.48	2.50	2.54	V
	V _{REF2}	T _a =-40~85°C 出力負荷電流<1mA	2.45	2.50	2.55	V
セルバランススイッチ ON 抵抗	R _{BL}	内蔵バランス FET V _{DS} =0.6V V _{DD} =18V~64V	3	6	30	Ω

注 1: /CS, SCK, SDI 端子に適用

注 2: SDO 端子に適用

注 3: SDO, /INTO, TDRV 端子に適用

注 4: V14~V0 端子に適用

注 5: C_FET, D_FET 端子に適用

● 消費電流特性

V_{DD}=8~64V, V_{SPI}=2.7~5.5V, GND=0 V, Ta=-40~+85°C, VREG, VREF 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
セル電圧測定状態消費電流	I _{DD1}	出力無負荷時	—	330	700	μA
パワーセーブ状態消費電流	I _{DD2}	出力無負荷時	—	120	200	μA
パワーダウン状態消費電流	I _{DD5}	出力無負荷時	—	0.1	1.0	μA
VSP1 端子スタティック消費電流	I _{VSP1}	出力無負荷時 SPI 通信なし時	—	—	10	μA

(注) 上記消費電流は、VDD 端子と VDDR 端子の両方に流れる電流の合計値で規定しています。

● セル電圧測定特性

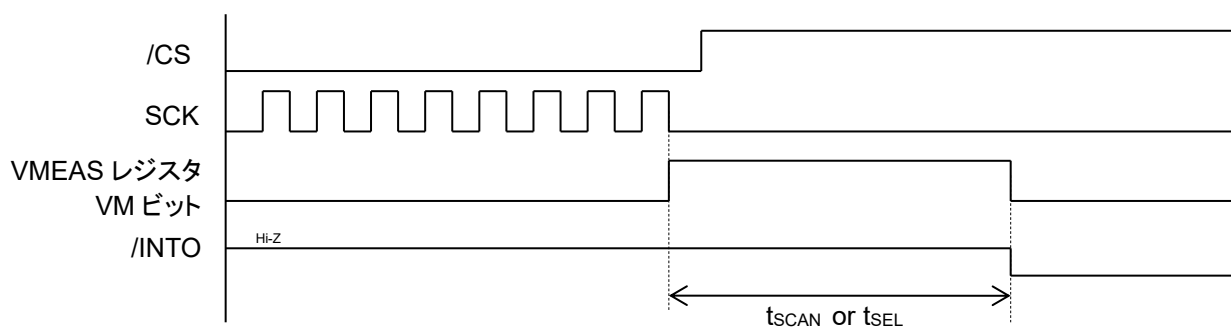
V_{DD}=8~64V, V_{SPI}=2.7~5.5V, GND=0 V, Ta=-40~+85°C, VREG 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
セル電圧測定範囲	V _{VMR}	(注 1)	0.1	—	4.5	V
セル電圧測定誤差	V _{ER1T}	セル電圧=3.8V~4.3V 時 Ta=25°C 時	-15	—	15	mV
	V _{ER2T}	セル電圧=1V 時 Ta=25°C 時	-50	—	50	mV
	V _{ER1}	セル電圧=3.8V~4.3V 時 Ta=0°C~60°C 時	-20	—	20	mV
	V _{ER2}	セル電圧=1V 時 Ta=0°C~60°C 時	-70	—	70	mV
セル電圧測定分解能	V _{LSB}	—	—	5000/4095	—	mV
セル電圧測定時間	t _{SCAN}	14 セルスキャン測定時	22	28	36	ms
	t _{SEL}	セレクト測定時	1.6	2	2.6	ms

(注 1) 電源電圧 VDD が 8V より低くなる場合は適用外です。

(注 2) セル電圧=1V~3.8V のセル電圧測定誤差は、1V 時の規定と 3.8V 時の規定を直線で結んだ範囲内になります。

セル電圧測定タイミングチャート



● 電流測定特性

$V_{DD}=8\sim 64V$, $V_{SPI}=2.7\sim 5.5V$, $GND=0V$, $T_a=-40\sim +85^{\circ}C$, シャント抵抗= $1m\Omega$, VREG 出力無負荷時

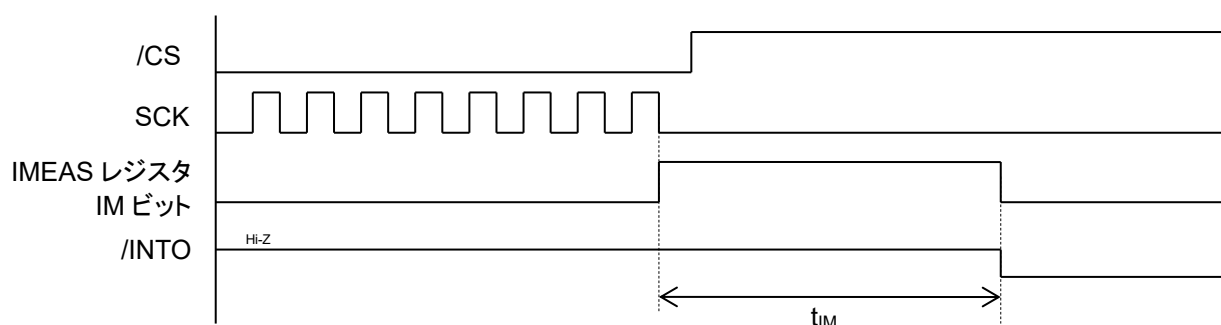
項目	記号	条件	Min.	Typ.	Max.	単位
電流測定範囲	I _{MR1}	GIM ビット="0"	-150	—	30	A
	I _{MR2}	GIM ビット="1"	-25	—	5	A
電流測定アンプゲイン (注 1)	G _{IM0}	GIM ビット="0" T _a =0°C~60°C 時	11.4	12	12.6	倍
	G _{IM1}	GIM ビット="1" T _a =0°C~60°C 時	57	60	63	倍
電流ゼロ時 電流測定 AD 変換値	V _{ZIM1}	GIM ビット="0" T _a =0°C~60°C 時	2B84	3333	3AE1	Hex
	V _{ZIM2}	GIM ビット="1" T _a =0°C~60°C 時	28F5	3333	3D70	Hex
電流測定誤差 (注 2)	I _{ER1}	GIM ビット="0" T _a =0°C~60°C 時 -50A 測定時	-2.5	—	2.5	A
	I _{ER2}	GIM ビット="1" T _a =0°C~60°C 時 -10A 測定時	-0.5	—	0.5	A
電流測定分解能	I _{LSB1}	GIM ビット="0"	—	3.1790	—	mA
	I _{LSB2}	GIM ビット="1"	—	0.6358	—	mA
電流測定設定 切り替え時安定時間	t _{STB}	GIM, ZERO ビット変更時	—	—	2	ms
電流測定時間 (注 3)	t _{IM}	—	0.8	1.0	1.3	ms

(注 1) ISP, ISM 端子にそれぞれ 1k Ω 抵抗を接続した場合に適用します。

(注 2) シャント抵抗 1m Ω の誤差はないものとし、電流ゼロ時の AD 変換値を差し引いた場合とします。ゲインを 12 倍/60 倍として計算した場合ですので、ゲイン誤差が含まれます。

(注 3) 電流測定アンプゲイン切り替え時安定時間は含まないものとします。

電流測定タイミングチャート

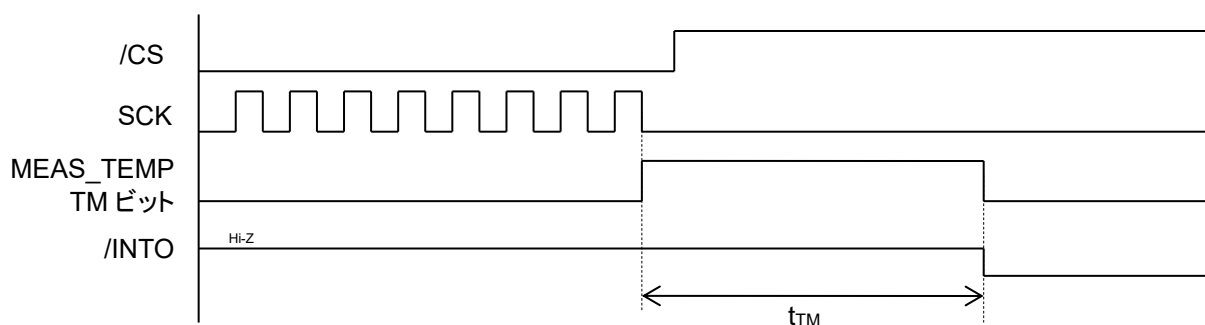


● 温度センサ測定特性

$V_{DD}=8\sim 64V$, $V_{SPI}=2.7\sim 5.5V$, $GND=0 V$, $T_a=-40\sim +85^{\circ}C$, V_{REG} 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
TEMP1, TEMP2 端子 入力電流	I_{TEMP}	$V_{IN}=0V\sim V_{REG}$	-2	—	2	μA
TEMP1, TEMP2 端子 入力電圧測定誤差	V_{TER}	TEMP 入力=0.3V~2.3V	-25	—	25	mV
温度センサ測定分解能	V_{TLSB}	—	—	2500/4095	—	mV
温度センサ測定時間	t_{TEMP}	—	0.8	1.0	1.3	ms

温度センサ測定タイミングチャート

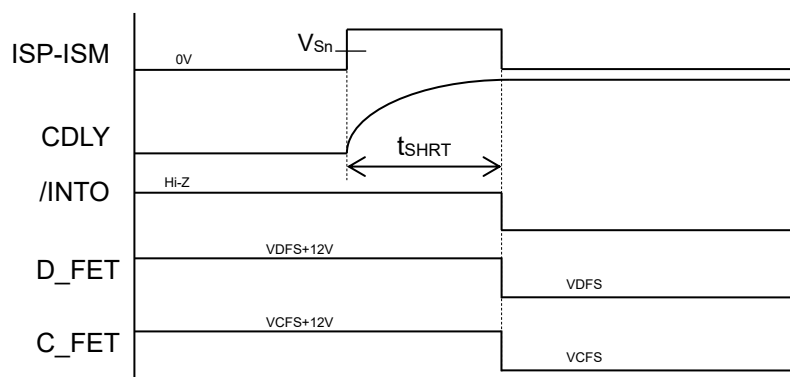


● 検出電圧特性

$V_{DD}=8\sim 64V$, $V_{SPI}=2.7\sim 5.5V$, $GND=0 V$, $T_a=-40\sim +85^{\circ}C$, V_{REG} 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
ショート電流検出電圧	V_{S0T}	SC1, SC0 ビット=(0,0) $T_a=25^{\circ}C$ 時	30	50	70	mV
	V_{S1T}	SC1, SC0 ビット=(0,1) $T_a=25^{\circ}C$ 時	75	100	125	mV
	V_{S2T}	SC1, SC0 ビット=(1,0) $T_a=25^{\circ}C$ 時	120	150	180	mV
	V_{S3T}	SC1, SC0 ビット=(1,1) $T_a=25^{\circ}C$ 時	160	200	240	mV
	V_{S0}	SC1, SC0 ビット=(0,0)	25	50	75	mV
	V_{S1}	SC1, SC0 ビット=(0,1)	65	100	135	mV
	V_{S2}	SC1, SC0 ビット=(1,0)	110	150	190	mV
	V_{S3}	SC1, SC0 ビット=(1,1)	140	200	260	mV
ショート電流検出遅延時間	t_{SHRT}	$C_{DLY}=1nF$	50	100	180	μs
VREG 低下検出電圧	V_{RD}	—	2.3	2.45	2.6	V
VREG 復帰検出電圧	V_{RR}	—	2.5	2.75	2.9	V

ショート電流検出タイミングチャート



● PSNS, DFS 端子電圧測定、充電器接続検出電圧特性

 $V_{DD}=8\sim 64V$, $V_{SPI}=2.7\sim 5.5V$, $GND=0V$, $T_a=-40\sim +85^\circ C$, VREG 出力無負荷時

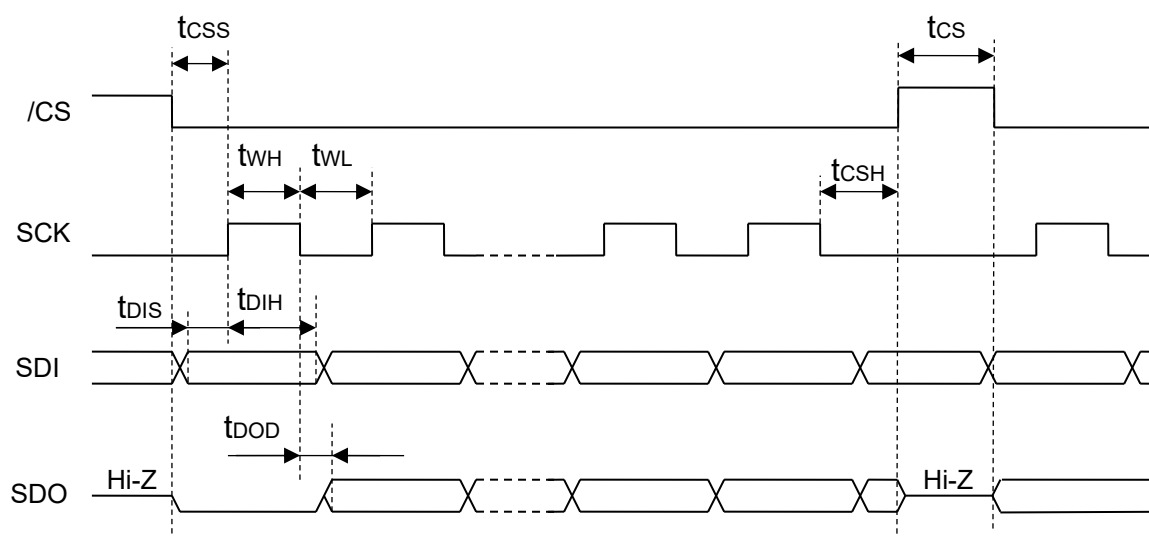
項目	記号	条件	Min.	Typ.	Max.	単位
PSNS, DFS 端子 入力電圧測定誤差	V_{ERS}	入力電圧=64V 時	-5	—	5	V
PSNS, DFS 端子 入力電圧測定分解能	V_{SLSB}	—	—	19.536	—	mV
PSNS, DFS 端子 入力電圧測定時間	t_{SM}	—	1.6	2.0	2.6	ms
充電器接続検出 PSNS 端子電圧	V_{PC}	パワーダウン状態からの パワーアップ時	$V_{DD} \times 0.2$	$V_{DD} \times 0.5$	$V_{DD} \times 0.8$	V
PSNS プルダウン抵抗	R_{PD}	PSNS 端子電圧未測定時	200	500	1000	k Ω
DFS プルアップ抵抗	R_{PU}	DFS 端子電圧未測定時	0.5	2	4	M Ω
PSNS, DFS 端子電圧 測定時プルダウン抵抗	R_{DM}	プルダウン/プルアップ抵抗 未接続時	8	20	50	M Ω
PSNS 入力リーク電流	I_{LPS}	プルダウン抵抗未接続 PSNS 端子電圧未測定時	-2	—	2	μA
DFS 入力リーク電流	I_{LFS}	プルアップ抵抗未接続 D_FET=OFF 設定 DFS 端子電圧未測定時	-2	—	2	μA

● 交流特性

$V_{DD}=8\sim 64V$, $V_{SPI}=2.7\sim 5.5V$, $GND=0V$, $T_a=-40\sim +85^{\circ}C$, VREG 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
/CS-SCK セットアップ時間	t_{CSS}	—	100	—	—	ns
SCK-/CS ホールド時間	t_{CSH}	—	100	—	—	ns
SCK “H”パルス幅	t_{WH}	—	500	—	—	ns
SCK “L”パルス幅	t_{WL}	—	500	—	—	ns
SCK-SDI セットアップ時間	t_{DIS}	—	50	—	—	ns
SCK-SDI ホールド時間	t_{DIH}	—	50	—	—	ns
SCK-SDO 出力遅延時間	t_{DOD}	—	—	—	400	ns
/CS “H”パルス幅	t_{CS}	—	500	—	—	ns
/PUPIN “L”パルス幅	t_{PUP}	—	1	—	—	ms

シリアルインタフェースタイミングチャート

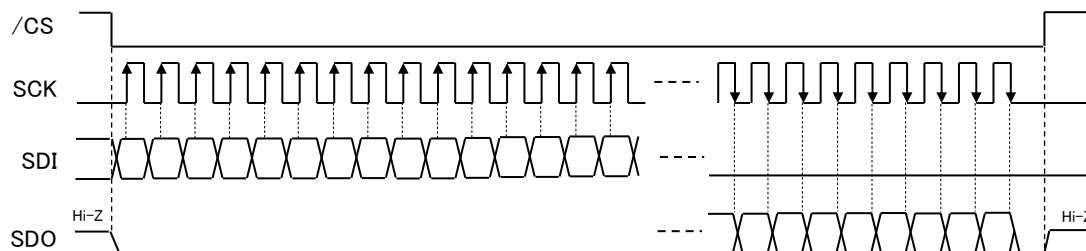


■ 機能説明

● MCU インタフェース

ML5236 には、SPI インタフェースを搭載しています。

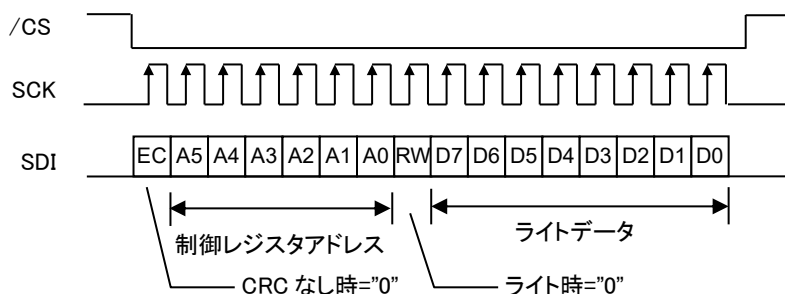
/CS 端子を”L”レベルにすることで、SPI インタフェースが有効となり、SCK 端子クロック立上りに同期して、MSB ファーストの DI 端子データを LSI 内部に取り込みます。リードデータは、SCK 端子クロック立下りに同期して MSB ファーストで SDO 端子に出力します。/CS 端子を”H”レベルにすると、SPI インタフェースは無効となり、初期状態に戻ります。1 回のデータライト・リード動作完了ごとに必ず /CS 端子を”H”レベルにしてください。



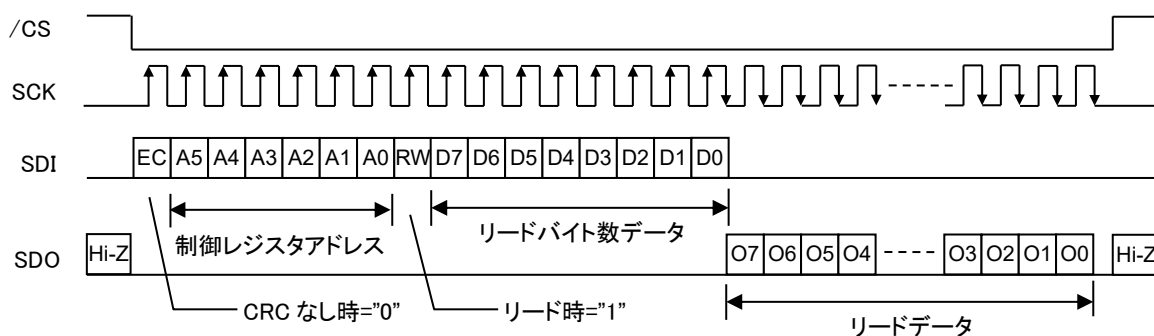
制御レジスタの各アドレスへのデータのリード・ライトを行なうことで、各種設定や制御を行います。データライトは 1 バイト単位で行い、データリードは読み出すバイト数を指定して行います。データライトの場合には、RW ビットを”0”に設定し、データリードの場合には、RW ビットを”1”に設定します。また、通信エラーを検出するための CRC コードを付加する場合には、先頭の EC ビットを”1”に設定し、CRC コードを付加しない場合には、EC ビットを”0”に設定します。

なお、VSPI 端子に外部電圧を印加して使用する場合には、パワーダウン時の /CS 端子レベルは”H”レベルにしてください。

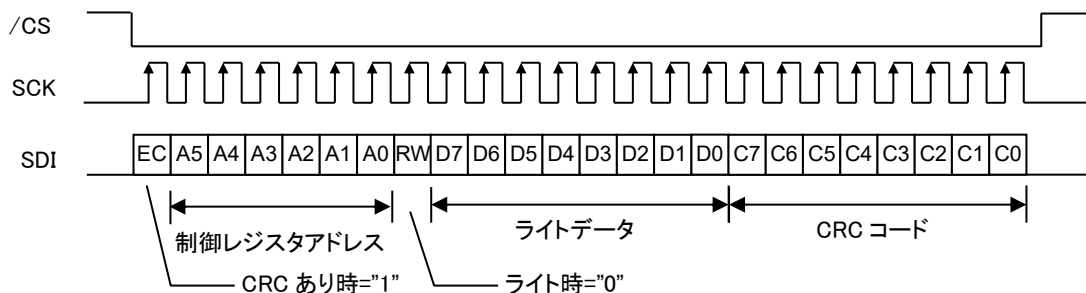
1. CRC コード付加なし：データライト時通信フォーマット



2. CRC コード付加なし：データリード時通信フォーマット



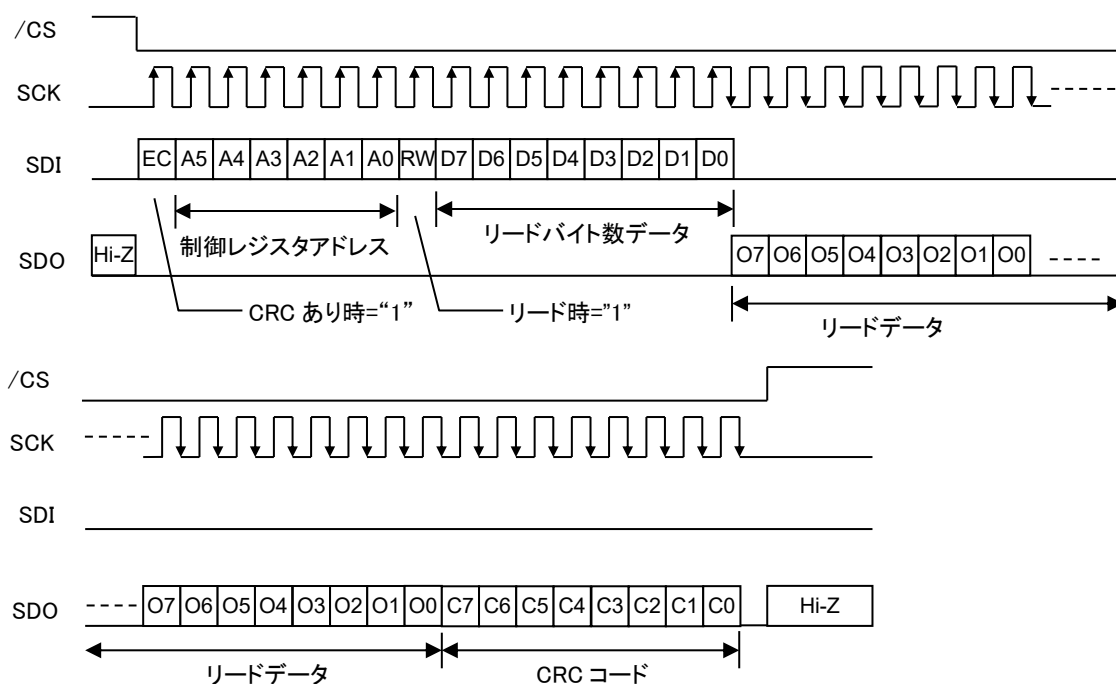
3. CRC コード付加あり：データライト時通信フォーマット



CRC コード付加ありの場合には、1 回の通信データに対して多項式 $X^8 + X^2 + X + 1$ により生成された CRC(Cycle Redundancy Code)コードを付加します。/CS 端子を”H”レベルにすると、CRC 演算は初期化され、初期値は FF [h]となります。

CRC 演算結果と受信した CRC コードが一致した場合のみ、指定された制御レジスタのデータライト動作が行われます。一致しなかった場合には、データライト動作は行われません。CRC エラーを検出すると、CRC エラーフラグがセットされ、外部 MCU への割り込み信号を/INTO 端子に出力することができます。詳細は、制御レジスタの INT_EN レジスタ、INT_REQ レジスタの項目を参照してください。

4. CRC コード付加あり：データリード時通信フォーマット



データリード動作時にも送受信データ全てに対して CRC 演算を行い、リードデータの最後に CRC 演算結果を出力しますので、外部 MCU 側でも CRC 演算結果と受信した CRC コードを比較することで、通信エラーを検出することができます。なお、CRC コードは、リードバイト数には含まれません。

● 制御レジスタ

以下に、制御レジスタマップを示します。

アドレス	レジスタ名称	R/W	初期値	レジスタ概要
00H	NOOP	R/W	00H	ユーザ用レジスタ
01H	INT_EN1	R/W	00H	割り込み許可レジスタ 1
02H	INT_EN2	R/W	00H	割り込み許可レジスタ 2
03H	INT_REQ1	R/W	00H	割り込み要求レジスタ 1
04H	INT_REQ2	R/W	00H	割り込み要求レジスタ 2
05H	VMEAS	R/W	00H	電池セル電圧測定制御レジスタ
06H	IMEAS	R/W	00H	電流測定制御レジスタ
07H	TMEAS	R/W	00H	温度センサ測定制御レジスタ
08H	SMEAS	R/W	00H	PSNS, DFS 端子電圧測定制御レジスタ
09H	FET	R/W	00H	FET 設定レジスタ
0AH	CBALL	R/W	00H	セルバランス制御レジスタ(下位 8 セル)
0BH	CBALH	R/W	00H	セルバランス制御レジスタ(上位 8 セル)
0CH	POWER	R/W	00H	パワーセーブ・パワーダウン制御レジスタ
0DH	STATUS	R	00H	ステータスレジスタ
0EH	SCWDT	R/W	00H	ショート電流検出電圧/ウォッチドッグタイマー 設定レジスタ
0FH	SETOV	R/W	00H	過充電検出動作設定レジスタ
10H	OVDETL	R/W	FFH	過充電検出データレジスタ(下位 8 ビット)
11H	OVDETH	R/W	0FH	過充電検出データレジスタ(上位 4 ビット)
12H	VCELL1L	R	00H	セル 1 測定結果レジスタ(下位 8 ビット)
13H	VCELL1H	R	00H	セル 1 測定結果レジスタ(上位 4 ビット)
14H	VCELL2L	R	00H	セル 2 測定結果レジスタ(下位 8 ビット)
15H	VCELL2H	R	00H	セル 2 測定結果レジスタ(上位 4 ビット)
16H	VCELL3L	R	00H	セル 3 測定結果レジスタ(下位 8 ビット)
17H	VCELL3H	R	00H	セル 3 測定結果レジスタ(上位 4 ビット)
18H	VCELL4L	R	00H	セル 4 測定結果レジスタ(下位 8 ビット)
19H	VCELL4H	R	00H	セル 4 測定結果レジスタ(上位 4 ビット)
1AH	VCELL5L	R	00H	セル 5 測定結果レジスタ(下位 8 ビット)
1BH	VCELL5H	R	00H	セル 5 測定結果レジスタ(上位 4 ビット)
1CH	VCELL6L	R	00H	セル 6 測定結果レジスタ(下位 8 ビット)
1DH	VCELL6H	R	00H	セル 6 測定結果レジスタ(上位 4 ビット)
1EH	VCELL7L	R	00H	セル 7 測定結果レジスタ(下位 8 ビット)
1FH	VCELL7H	R	00H	セル 7 測定結果レジスタ(上位 4 ビット)
20H	VCELL8L	R	00H	セル 8 測定結果レジスタ(下位 8 ビット)
21H	VCELL8H	R	00H	セル 8 測定結果レジスタ(上位 4 ビット)
22H	VCELL9L	R	00H	セル 9 測定結果レジスタ(下位 8 ビット)
23H	VCELL9H	R	00H	セル 9 測定結果レジスタ(上位 4 ビット)
24H	VCELL10L	R	00H	セル 10 測定結果レジスタ(下位 8 ビット)
25H	VCELL10H	R	00H	セル 10 測定結果レジスタ(上位 4 ビット)
26H	VCELL11L	R	00H	セル 11 測定結果レジスタ(下位 8 ビット)
27H	VCELL11H	R	00H	セル 11 測定結果レジスタ(上位 4 ビット)
28H	VCELL12L	R	00H	セル 12 測定結果レジスタ(下位 8 ビット)
29H	VCELL12H	R	00H	セル 12 測定結果レジスタ(上位 4 ビット)
2AH	VCELL13L	R	00H	セル 13 測定結果レジスタ(下位 8 ビット)
2BH	VCELL13H	R	00H	セル 13 測定結果レジスタ(上位 4 ビット)
2CH	VCELL14L	R	00H	セル 14 測定結果レジスタ(下位 8 ビット)

アドレス	レジスタ名称	R/W	初期値	レジスタ概要
2DH	VCELL14H	R	00H	セル 14 測定結果レジスタ(上位 4 ビット)
2EH	CURL	R	00H	電流測定結果レジスタ(下位 8 ビット)
2FH	CURH	R	00H	電流測定結果レジスタ(上位 8 ビット)
30H	TEMP1L	R	00H	温度センサ 1 測定結果レジスタ(下位 8 ビット)
31H	TEMP1H	R	00H	温度センサ 1 測定結果レジスタ(上位 4 ビット)
32H	TEMP2L	R	00H	温度センサ 2 測定結果レジスタ(下位 8 ビット)
33H	TEMP2H	R	00H	温度センサ 2 測定結果レジスタ(上位 4 ビット)
34H	SNSL	R	00H	PSNS,DFS 測定結果レジスタ(下位 8 ビット)
35H	SNSH	R	00H	PSNS,DFS 測定結果レジスタ(上位 4 ビット)

1. NOOP レジスタ (Adrs=00H)

ビット名	7	6	5	4	3	2	1	0
	NO7	NO6	NO5	NO4	NO3	NO2	NO1	NO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

NOOP レジスタには、機能は割り当てられていませんので、このレジスタへのリードライトアクセスにより、LSI 状態が変化することはありません。ライトしたデータがそのままリードできます。

2. INT_EN1 レジスタ (Adrs=01H)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	—	ESM	ETM	EIM	EVM
R/W	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

INT_EN1 レジスタは、/INTO 端子への割り込み信号の出力許可を設定するレジスタです。

EVM ビットにより、セル電圧測定完了時の割り込み許可を設定します。

EVM	セル電圧測定完了割り込み
0	禁止(初期値)
1	許可

EIM ビットにより、電流測定完了時の割り込み許可を設定します。

EIM	電流測定完了割り込み
0	禁止(初期値)
1	許可

ETM ビットにより、温度センサ測定完了時の割り込み許可を設定します。

ETM	温度センサ測定完了割り込み
0	禁止(初期値)
1	許可

ESM ビットにより、PSNS/DFS 端子電圧測定完了時の割り込み許可を設定します。

ESM	PSNS/DFS 端子電圧測定完了割り込み
0	禁止(初期値)
1	許可

3. INT_EN2 レジスタ (Adrs=02H)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	EWDT	ECKSP	ECRC	ESC	EOV
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

INT_EN2 レジスタは、/INTO 端子への割り込み信号の出力許可を設定するレジスタです。

EOV ビットにより、過充電検出時の割り込み許可を設定します。

EOV	過充電検出割り込み
0	禁止(初期値)
1	許可

ESC ビットにより、ショート電流検出時の割り込み許可を設定します。

ESC	ショート電流検出割り込み
0	禁止(初期値)
1	許可

ECRC ビットにより、CRC エラー検出時の割り込み許可を設定します。

ECRC	CRC エラー割り込み
0	禁止(初期値)
1	許可

ECKSP ビットにより、内蔵クロック停止検出時の割り込み許可を設定します。

ECKSP	内蔵クロック停止検出割り込み
0	禁止(初期値)
1	許可

EWDT ビットにより、ウォッチドッグタイマオーバーフロー時の割り込み許可を設定します。

EWDT	WDT オーバフロー割り込み
0	禁止(初期値)
1	許可

4. INT_REQ1 レジスタ (Adrs=03H)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	—	QSM	QTM	QIM	QVM
R/W	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

INT_REQ1 レジスタは、割り込み要求フラグのレジスタです。各要求フラグは、INT_EN1 レジスタの設定に関係なく、割り込み発生により”1”にセットされます。INT_EN1 レジスタで許可された割り込みが発生した場合にのみ、/INTO 端子に”L”レベルが出力されます。

データ”0”を書き込むことで、割り込みをクリアします。なお、データ”1”の書き込みは無視されますので、1 つの割り込みのみをクリアする場合には、その他のビットには”1”を書き込んでください。許可された割り込み要求フラグが全て”0”にクリアされた時点で、/INTO 端子出力は”Hi-Z”レベルになります。

QVM ビットにより、セル電圧測定完了時の割り込み発生の有無を示します。

QVM	セル電圧測定完了割り込み
0	割り込みなし(初期値)
1	割り込み発生

QIM ビットにより、電流測定完了時の割り込み発生の有無を示します。

QIM	電流測定完了割り込み
0	割り込みなし(初期値)
1	割り込み発生

QTM ビットにより、温度センサ測定完了時の割り込み発生の有無を示します。

QTM	温度センサ測定完了割り込み
0	割り込みなし(初期値)
1	割り込み発生

QSM ビットにより、PSNS/DFS 端子電圧測定完了時の割り込み発生の有無を示します。

QSM	PSNS/DFS 端子電圧測定完了割り込み
0	割り込みなし(初期値)
1	割り込み発生

5. INT_REQ2 レジスタ (Adrs=04H)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	QWDT	QCKSP	QCRC	QSC	QOV
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

INT_REQ2 レジスタは、割り込み要求フラグのレジスタです。各要求フラグは、INT_EN2 レジスタの設定に関係なく、割り込み発生により”1”にセットされます。INT_EN2 レジスタで許可された割り込みが発生した場合にのみ、/INTO 端子に”L”レベルが出力されます。

データ”0”を書き込むことで、割り込みをクリアします。なお、データ”1”の書き込みは無視されますので、1 つの割り込みのみをクリアする場合には、その他のビットには”1”を書き込んでください。許可された割り込み要求フラグが全て”0”にクリアされた時点で、/INTO 端子出力は”Hi-Z”レベルになります。

QOV ビットにより、過充電検出時の割り込み発生の有無を示します。

QOV	過充電検出割り込み
0	割り込みなし(初期値)
1	割り込み発生

QSC ビットにより、ショート電流検出時の割り込み発生の有無を示します。

QSC	ショート電流検出割り込み
0	割り込みなし(初期値)
1	割り込み発生

QCRC ビットにより、CRC エラー検出時の割り込み発生の有無を示します。

QCRC	CRC エラー割り込み
0	割り込みなし(初期値)
1	割り込み発生

QCKSP ビットにより、内蔵クロック停止検出時の割り込み発生の有無を示します。

QCKSP	内蔵クロック停止検出割り込み
0	割り込みなし(初期値)
1	割り込み発生

QWDT ビットにより、ウォッチドッグタイマオーバーフロー時の割り込み発生の有無を示します。

QWDT	WDT オーバフロー割り込み
0	割り込みなし(初期値)
1	割り込み発生

6. VMEAS レジスタ (Adrs=05H)

	7	6	5	4	3	2	1	0
ビット名	VM	—	—	SCAN	VC3	VC2	VC1	VC0
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

VMEAS レジスタは、セル電圧の測定を制御するレジスタです。

SCAN ビット、および、V0～V3 ビットにより、測定モードと測定する電池セルを選択します。

SCAN	VC3	VC2	VC1	VC0	セル電圧測定
0	0	0	0	0	セル 1 のみ測定
0	0	0	0	1	セル 2 のみ測定
0	0	0	1	0	セル 3 のみ測定
0	0	0	1	1	セル 4 のみ測定
0	0	1	0	0	セル 5 のみ測定
0	0	1	0	1	セル 6 のみ測定
0	0	1	1	0	セル 7 のみ測定
0	0	1	1	1	セル 8 のみ測定
0	1	0	0	0	セル 9 のみ測定
0	1	0	0	1	セル 10 のみ測定
0	1	0	1	0	セル 11 のみ測定
0	1	0	1	1	セル 12 のみ測定
0	1	1	0	0	セル 13 のみ測定
0	1	1	0	1	セル 14 のみ測定
0	1	1	1	0	
0	1	1	1	1	
1	0	0	0	0	
1	0	0	0	1	セル 13～セル 14 をスキャン測定
1	0	0	1	0	セル 12～セル 14 をスキャン測定
1	0	0	1	1	セル 11～セル 14 をスキャン測定
1	0	1	0	0	セル 10～セル 14 をスキャン測定
1	0	1	0	1	セル 9～セル 14 をスキャン測定
1	0	1	1	0	セル 8～セル 14 をスキャン測定
1	0	1	1	1	セル 7～セル 14 をスキャン測定
1	1	0	0	0	セル 6～セル 14 をスキャン測定
1	1	0	0	1	セル 5～セル 14 をスキャン測定
1	1	0	1	0	セル 4～セル 14 をスキャン測定
1	1	0	1	1	セル 3～セル 14 をスキャン測定
1	1	1	0	0	セル 2～セル 14 をスキャン測定
1	1	1	0	1	セル 1～セル 14 をスキャン測定
1	1	1	1	0	
1	1	1	1	1	

VM ビットにより、セル電圧測定スタート・中止を制御し、セル電圧測定完了ステータスを確認できます。セル電圧測定結果は、VCELLnL、VCELLnH レジスタ(12H～2DH)に格納されます。

ライト時		リード時	
VM	セル電圧測定	VM	セル電圧測定
0	中止 (初期値)	0	終了・停止 (初期値)
1	スタート	1	測定中

セル電圧測定中に、VM ビットに”0”を書き込むことで、セル電圧測定を中止することができますが、測定中のセル電圧の測定が完了してから停止します。停止するまでは、VM ビットの読み出し値は”1”のままで、停止後に”0”にリセットされます。

なお、測定動作中(VM ビット読み出し値が”1”の場合)には、SCAN ビット、および、VC3～VC0 ビットの設定変更は無視されます。

また、電流測定中、または、温度センサ測定中、PSNS/DFS 端子電圧測定中に VM ビットを”1”にセットしても無視されます。

7. IMEAS レジスタ (Adrs=06H)

	7	6	5	4	3	2	1	0
ビット名	IM	—	—	ENIM	—	—	ZERO	GIM
R/W	R/W	R	R	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IMEAS レジスタは、電流測定を行なうレジスタです。

GIM ビットにより、電流測定アンプの電圧増幅率を設定します。

GIM	電圧増幅率 G _{IM}
0	12 倍(初期値)
1	60 倍

ZERO ビットにより、電流測定アンプのゼロ補正の設定を行います。電流測定アンプの各電圧増幅率でゼロ補正値は異なり、また、温度の変化によってもゼロ補正値は変化しますので、各電圧増幅率で定期的なゼロ補正の測定を行ってください。

ZERO	ISP 入力	ISM 入力	状態
0	端子入力	端子入力	電流測定状態
1	GND レベル	GND レベル	ゼロ補正測定状態

ENIM ビットにより、電流測定アンプの動作/停止の設定を行います。

ENIM	電流測定アンプ
0	停止(初期値)
1	動作

IM ビットに”1”を設定することで、電流測定を 16 回連続して実行します。ゼロ補正を行なう場合も、ZERO ビットと IM ビットを”1”に設定することで、ゼロ補正用測定を 16 回連続して実行します。なお、ENIM ビットが”0”の場合に IM ビットに”1”を設定しても、測定は実行されません。

また、IM ビットを読み出すことで、電流測定状態を確認できます。

16 回の電流測定結果の総和が 16 ビットデータとして、CURL、CURH レジスタ(2EH～2FH)に格納されます。

ライト時		リード時	
IM	電流測定	IM	電流測定
0	未測定 (初期値)	0	終了 (初期値)
1	スタート	1	測定中

なお、電流測定開始後、IM ビットに”0”を書き込んでも、電流測定は中止されません。また、セル電圧測定中、または、温度センサ測定中、PSNS/DFS 端子電圧測定中に IM ビットを”1”にセットしても無視されます。

8. TMEAS レジスタ (Adrs=07H)

ビット名	7	6	5	4	3	2	1	0
	TM	—	—	—	—	—	TSEL	TDRV
R/W	R/W	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

TMEAS レジスタは、温度センサ測定を行なうレジスタです。TEMP1端子、TEMP2 端子の入力電圧を測定します。

TDRV ビットにより、TDRV 端子出力状態を設定します。

TEMP1 端子、TEMP2 端子の入力電圧が安定した後、温度センサ測定を行ってください。

TDRV	TDRV 端子状態
0	Hi-Z (初期値)
1	0V

TSEL ビットにより、測定する端子の選択を行います。

TSEL	測定 TEMP 端子
0	TEMP1 端子(初期値)
1	TEMP2 端子

TM ビットに”1”を設定することで、温度センサ測定を実行します。温度センサ測定結果は、TEMPnL、TEMPnH レジスタ(30H~33H)に格納されます。

ライト時		リード時	
TM	TEMP 端子測定	TM	TEMP 端子測定
0	未測定 (初期値)	0	終了 (初期値)
1	スタート	1	測定中

なお、温度センサ測定開始後、TM ビットに”0”を書き込んでも、温度センサ測定は中止されません。また、セル電圧測定中、または、電流測定中、PSNS/DFS 端子電圧測定中に TM ビットを”1”にセットしても無視されます。

9. SMEAS レジスタ (Adrs=08H)

ビット名	7	6	5	4	3	2	1	0
	SM	—	—	ENSM	—	SSEL	PU	PD
R/W	R/W	R	R	R/W	R	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SMEAS レジスタは、PSNS 端子、DFS 端子電圧の測定、および、PSNS 端子のプルダウン抵抗接続制御、DFS 端子のプルアップ抵抗接続制御を行なうレジスタです。PSNS 端子、DFS 端子入力電圧の 1/32 倍した電圧を測定します。

PD ビットにより、PSNS 端子のプルダウン抵抗の接続を設定します。

PD	PSNS 端子状態
0	プルダウン未接続 (初期値)
1	500kΩプルダウン

PU ビットにより、DFS 端子のプルアップ抵抗の接続を設定します。

PU	DFS 端子状態
0	プルアップ未接続 (初期値)
1	2MΩプルアップ

SSEL ビットにより、測定する端子を選択します。

SSEL	測定端子
0	PSNS 端子(初期値)
1	DFS 端子

ENSM ビットにより、PSNS 端子、DFS 端子電圧の測定回路の動作/停止を設定します。

ENSM	測定回路
0	停止(初期値)
1	動作

SM ビットに”1”を設定することで、PSNS 端子または DFS 端子電圧測定を実行します。測定結果は、SNSL、SNSH レジスタ(34H～35H)に格納されます。なお、ENSM ビットが”0”の場合に SM ビットに”1”を設定しても、測定は実行されません。

ライト時		リード時	
SM	端子電圧測定	SM	端子電圧測定
0	未測定 (初期値)	0	終了 (初期値)
1	スタート	1	測定中

なお、測定開始後、SM ビットに“0”を書き込んでも、測定は中止されません。また、セル電圧測定中、または、電流測定中、温度センサ測定中に SM ビットを”1”にセットしても無視されます。

10. FET レジスタ (Adrs=09H)

ビット名	7	6	5	4	3	2	1	0
R/W	—	—	—	—	—	—	CF	DF
初期値	R	R	R	R	R	R	R/W	R/W
	0	0	0	0	0	0	0	0

FET レジスタは、C_FET、D_FET 端子の ON/OFF 制御や出力状態の読み出しを行なうレジスタです。

DF ビットにより、D_FET 端子出力状態を設定します。ショート電流検出時には、自動的に DF ビットは”0”にリセットされますが、ショート検出状態から正常状態に復帰しても、自動的に”1”にセットされませんので、外部 MCU により ON 制御を行なってください。

DF	放電制御 FET	D_FET 端子出力状態
0	OFF(初期値)	DFS 端子電圧 V_{bFS}
1	ON	VDFS+12V(typ)

CF ビットにより、C_FET 端子出力状態を設定します。ショート電流検出時には、自動的に CF ビットは”0”にリセットされますが、ショート検出状態から正常状態に復帰しても、自動的に”1”にセットされませんので、外部 MCU により ON 制御を行なってください。

CF	充電制御 FET	C_FET 端子出力状態
0	OFF(初期値)	CFS 端子電圧 V_{cFS}
1	ON	VCFS+12V(typ)

11. CBALL レジスタ (Adrs=0AH)

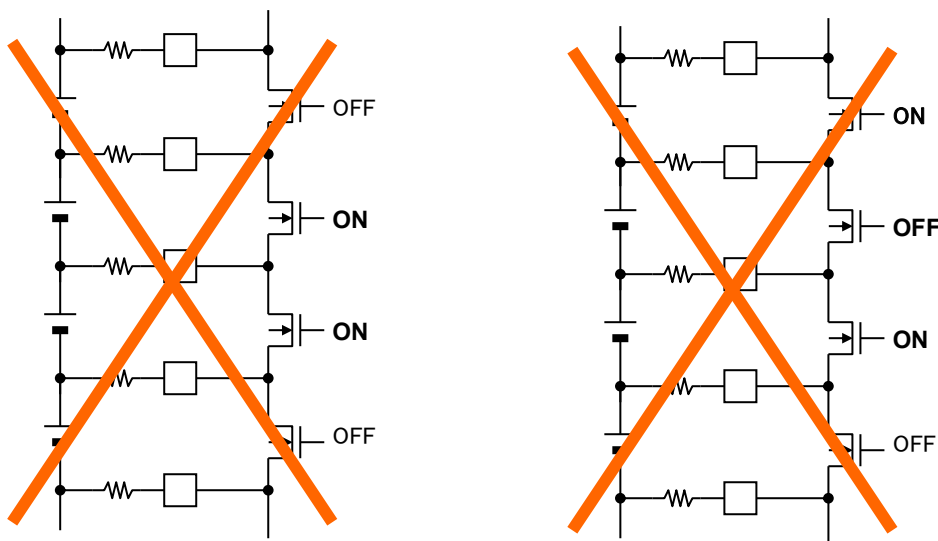
ビット名	7	6	5	4	3	2	1	0
	SW8	SW7	SW6	SW5	SW4	SW3	SW2	SW1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

CBALL レジスタは、下位 8 セルのセルバランススイッチの ON/OFF 設定を行なうレジスタです。
SW8～SW1 ビットにより、各セルの ON/OFF 設定を行います。

SW8	SW7	SW6	SW5	SW4	SW3	SW2	SW1	スイッチ ON/OFF
0	0	0	0	0	0	0	0	下位 8 セル OFF (初期値)
0	0	0	0	0	0	0	1	V1-V0 端子スイッチ ON
0	0	0	0	0	0	1	0	V2-V1 端子スイッチ ON
0	0	0	0	0	1	0	0	V3-V2 端子スイッチ ON
0	0	0	0	1	0	0	0	V4-V3 端子スイッチ ON
0	0	0	1	0	0	0	0	V5-V4 端子スイッチ ON
0	0	1	0	0	0	0	0	V6-V5 端子スイッチ ON
0	1	0	0	0	0	0	0	V7-V6 端子スイッチ ON
1	0	0	0	0	0	0	0	V8-V7 端子スイッチ ON

複数のスイッチを同時に ON することも可能ですが、内蔵セルバランススイッチ FET の破壊を引き起こす可能性がある下記の設定は禁止します。

- (1)隣接したセルバランススイッチを ON させることは禁止します。
- (2)OFF したセルバランススイッチの両側のセルバランススイッチを同時に ON させることは禁止します。



また、セルバランス電流とセルバランススイッチ ON 抵抗により発熱しますので、セルバランススイッチでの電力損失が許容損失を超えないように、ON させるスイッチ数や ON 時間に制約を設けてください。

12. CBALH レジスタ (Adrs=0BH)

	7	6	5	4	3	2	1	0
ビット名	—	—	SW14	SW13	SW12	SW11	SW10	SW9
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

CBALH レジスタは、上位 6 セルのセルバランススイッチの ON/OFF 設定を行なうレジスタです。SW14～SW9 ビットにより、各セルの ON/OFF 設定を行います。

SW14	SW13	SW12	SW11	SW10	SW9	スイッチ ON/OFF
0	0	0	0	0	0	上位 6 セル OFF (初期値)
0	0	0	0	0	1	V9-V8 端子スイッチ ON
0	0	0	0	1	0	V10-V9 端子スイッチ ON
0	0	0	1	0	0	V11-V10 端子スイッチ ON
0	0	1	0	0	0	V12-V11 端子スイッチ ON
0	1	0	0	0	0	V13-V12 端子スイッチ ON
1	0	0	0	0	0	V14-V13 端子スイッチ ON

スイッチの ON 設定の制約事項は、CBALL レジスタと同様です。

13. POWER レジスタ (Adrs=0CH)

	7	6	5	4	3	2	1	0
ビット名	PUPIN	—	—	PDWN	—	—	—	PSV
R/W	R	R	R	R/W	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0

POWER レジスタは、パワーセーブ、パワーダウン制御を行なうレジスタです。

PSV ビットにより、パワーセーブ状態への移行します。

PSV	動作状態
0	通常状態 (初期値)
1	パワーセーブ状態

パワーセーブ状態では、VREG 出力、VREF 出力に必要な回路のみ動作状態とし、電池セル電圧や電流などの測定系回路の動作を停止させ、消費電流を低減させます。セル電圧などの測定中にもパワーセーブ状態に移行し、測定は中止されます。このとき、測定完了割り込みがセットされますので、ご注意ください。また、パワーセーブ状態移行時にセルバランススイッチはすべて OFF 設定に初期化されます。その他の設定は、パワーセーブ状態移行後も保持されます。

FET 駆動回路やショート検出回路の動作はパワーセーブ状態でも継続して動作します。

ただし、消費電流低減のため、FET 駆動用チャージポンプ回路の動作周波数は通常状態の 1/4 になります。パワーセーブ状態で C_FET、D_FET 端子を OFF から ON に設定すると出力立ち上りが遅くなりますので、通常状態に移行させた後に、ON 設定することを推奨します。

パワーセーブ状態から通常状態への復帰は、PSV ビットを”0”にリセットすることで行います。

PDWN ビットにより、パワーダウン状態へ移行します。

PDWN	パワーダウン
0	通常状態 (初期値)
1	パワーダウン状態

PDWN ビットを”1”にセットすると、PSNS 端子に 500kΩ プルダウン抵抗が自動的に接続され、全ての回路動作を停止させます。

PDWN ビットを”1”にセットする前に、C_FET、D_FET 端子ともに OFF 状態に設定し、充電器が接続されていないことを PSNS 端子電圧を測定することにより確認してください。また、/PUPIN 端子入力が”L”レベルのときに、PDWN ビットを”1”にセットしても、/PUPIN 端子入力が”H”レベルになるまで、パワーダウン状態には移行しません。PUPIN ビットにより、/PUPIN 端子状態を読み出すことができますので、PDWN ビットを”1”にセットする前に、/PUPIN 端子状態が”L”レベルでないことを確認してください。

PUPIN	/PUPIN 端子状態
0	“H”レベル
1	“L”レベル

パワーダウン状態からの復帰は、PSNS 端子による充電器接続検出、もしくは、/PUPIN 端子への”L”レベル入力により行なわれます。

パワーダウン状態からの復帰時には、VREG 出力が立上った後、各種初期設定を行なってください。

14. STATUS レジスタ (Adrs=0DH)

ビット名	7	6	5	4	3	2	1	0
	INT	CKSP	WDT	OV	CBAL	PSV	CF	DF
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

STATUS レジスタは、各種状態を示すレジスタです。

DF ビットにより、D_FET 端子出力状態を示します。

DF	D_FET 端子状態
0	OFF(初期値)
1	ON

CF ビットにより、C_FET 端子出力状態を示します。

CF	C_FET 状態
0	OFF(初期値)
1	ON

PSV ビットにより、パワーセーブ状態を示します。

PSV	パワーセーブ状態
0	通常動作(初期値)
1	パワーセーブ

CBAL ビットにより、セルバランススイッチ ON 状態を示します。

CBAL	セルバランススイッチ ON 状態
0	すべて OFF(初期値)
1	1つ以上 ON

OV ビットにより、過充電検出状態を示します。

OV	過充電検出状態
0	過充電検出なし(初期値)
1	過充電検出中

WDT ビットにより、ウォッチドッグタイマオーバフロー状態を示します。

WDT	WDT オーバフロー状態
0	オーバフローなし (初期値)
1	オーバフローあり

CKSP ビットにより、クロック停止検出状態を示します。

CKSP	クロック停止検出状態
0	クロック停止検出なし (初期値)
1	クロック停止検出中

INT ビットにより、/INTO 端子出力状態を示します。

INT	/INTO 端子出力状態
0	割り込みなし (初期値)
1	割り込み発生

15. SCWDT レジスタ (Adrs=0EH)

ビット名	7	6	5	4	3	2	1	0
	ENWD	—	WDT1	WDT0	ENSC	—	SC1	SC0
R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SCWDT レジスタは、ショート電流検出回路の動作と閾値電圧の設定、および、ウォッチドッグタイマの動作/停止の設定とオーバフロー時間を設定するレジスタです。

シャント抵抗値に応じて、SC0、SC1 ビットにより、ショート電流検出電圧を選択します。動作中の設定変更は禁止します。

SC1	SC0	ショート電流検出電圧 (ISP-ISM 端子間電圧)	電流センス抵抗=1mΩ時 ショート検出電流値
0	0	50mV (初期値)	50A
0	1	100mV	100A
1	0	150mV	150A
1	1	200mV	200A

ENSC ビットにより、ショート電流検出回路の動作/停止を設定します。

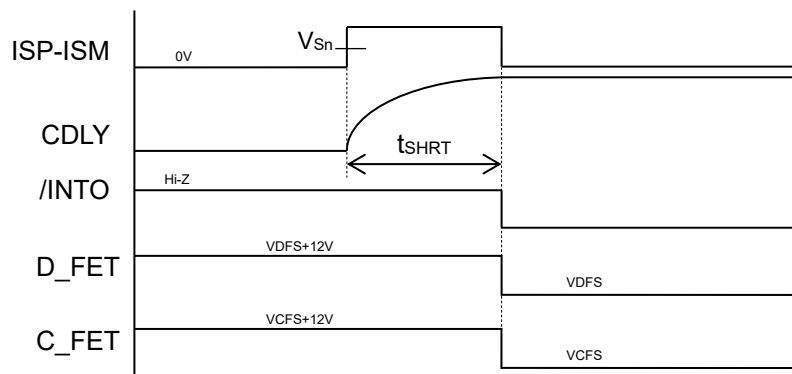
ENSC	ショート電流検出回路動作状態
0	停止 (初期値)
1	動作

ショート電流検出時のタイミングチャートを以下に示します。

ISP-ISM 端子間電位差がショート電流検出電圧 V_{sn} 以上になると、CDLY 端子に接続されたコンデンサの充電を開始します。CDLY 端子がある一定電圧以上になると、自動的に FET レジスタの DF ビットおよび CF ビットは”0”にリセットされ、充放電が禁止されます。このとき、INT_EN2 レジスタの ESC ビットを”1”に設定していた場合には、/INTO 端子に”L”レベルを出力し、外部 MCU へショート電流検出したことを知らせます。

CDLY 端子に接続されたコンデンサの充電が完了する前に、ショート電流検出状態でなくなった場合には、CDLY 端子の充電は中止され、CDLY 端子は GND レベルに戻ります。

ショート電流検出タイミングチャート



ショート電流検出遅延時間 t_{SHRT} は、CDLY 端子に接続されたコンデンサ C_{DLY} の充電時間により設定し、以下の式で表されます。

$$\text{ショート検出遅延時間 } t_{sc}[\mu\text{s}] = C_{DLY}[\text{nF}] \times 100$$

WDT0、WDT1 ビットにより、オーバフロー時間を設定します。ウォッチドッグタイマ動作中の設定変更は禁止します。

WDT1	WDT0	オーバフロー時間
0	0	1 秒(初期値)
0	1	2 秒
1	0	4 秒
1	1	8 秒

制御レジスタへのデータライト/リード動作がオーバフロー時間以上行われなかった場合に、INT_REQ2 レジスタの QWDT ビットが”1”にセットされ、/INTO 端子に”L”レベルを出力します。

また、2 回連続してオーバフローを検出した場合には、自動的に、FET レジスタの DF、CF ビットを”0”に設定し、充放電を禁止します。

ENWD ビットにより、ウォッチドッグタイマの動作/停止を設定します。

ENWD	WDT 動作状態
0	停止(初期値)
1	動作

16. SETOV レジスタ (Adrs=0FH)

	7	6	5	4	3	2	1	0
ビット名	ENOV	—	SLT1	SLT0	—	CN2	CN1	CN0
R/W	R/W	R	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SETOV レジスタは過充電検出動作の各種設定を行なうレジスタです。

CN0～CN2 ビットにより、過充電検出遅延スキャン測定回数を設定します。動作中の設定変更は禁止します。

CN2	CN1	CN0	スキャン測定回数
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

VMEAS レジスタ制御によりセル電圧をスキャン測定モードで測定し、設定したスキャン測定回数の間、いずれか 1 つ以上のセル電圧の測定結果が過充電検出コード以上であった場合に過充電検出し、INT_REQ2 レジスタの QOV ビット、STATUS レジスタの OV ビットをセットするとともに、FET レジスタの CF ビットを”0”にリセットし、充電禁止状態に移行します。なお、正常状態に復帰しても、自動的に FET レジスタの CF ビットは”1”にセットされませんので、外部 MCU により充電制御 FET の ON 制御を行なってください。

SLT0,SLT1 ビットにより、パワーセーブ状態におけるセル電圧スキャン測定インターバル時間を設定します。動作中の設定変更は禁止します。

SLT1	SLT0	インターバル時間
0	0	1 秒 (初期値)
0	1	2 秒
1	0	4 秒
1	1	8 秒

パワーセーブ状態へ移行後、設定されたインターバル時間を経過すると、自動的にセル 1～セル 14 のすべてのセル電圧のスキャン測定を行います。未接続のセルについても測定を行いますので、未使用セル接続端子は、GND 端子に固定してください。

ENOV ビットにより、過充電検出検出動作/停止を設定します。

ENOV	過充電検出動作状態
0	停止 (初期値)
1	動作

17. OVDETL レジスタ (Adrs=10H)

	7	6	5	4	3	2	1	0
ビット名	OVD7	OVD6	OVD5	OVD4	OVD3	OVD2	OVD1	OVD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

OVDETL レジスタは、過充電検出閾値データの低位 8 ビットのデータを設定するレジスタです。過充電検出検出動作を開始する前に設定します。過充電検出検出動作中の設定変更は禁止します。

18. OVDETH レジスタ (Adrs=11H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	OVD11	OVD10	OVD9	OVD8
R/W	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	1	1	1	1

OVDETH レジスタは、過充電検出閾値データの上位4ビットのデータを設定するレジスタです。過充電検出検出動作を開始する前に設定します。過充電検出検出動作中の設定変更は禁止します。

19. VCELLnL レジスタ (Adrs=12H~2CH の偶数アドレス)

	7	6	5	4	3	2	1	0
ビット名	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

VCELLnL レジスタ(n=1~14)は、各セル電圧の AD 変換結果の低位 8 ビットのデータが格納されるレジスタです。

20. VCELLnH レジスタ (Adrs=13H~2DH の奇数アドレス)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	AD11	AD10	AD9	AD8
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

VCELLnH レジスタ(n=1~14)は、各セル電圧の AD 変換結果の上位4ビットのデータが格納されるレジスタです。

21. CURL レジスタ (Adrs=2EH)

	7	6	5	4	3	2	1	0
ビット名	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

CURL レジスタは、電流測定時の AD 変換結果の下位 8 ビットのデータが格納されるレジスタです。

22. CURH レジスタ (Adrs=2FH)

	7	6	5	4	3	2	1	0
ビット名	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

CURH レジスタは、電流測定時の AD 変換結果の上位 8 ビットのデータが格納されるレジスタです。

23. TEMPnL レジスタ (Adrs=30H, 32H)

	7	6	5	4	3	2	1	0
ビット名	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TEMPnL レジスタ(n=1,2)は、TEMP1, TEMP2 端子の AD 変換結果の下位 8 ビットのデータが格納されるレジスタです。

24. TEMPnH レジスタ (Adrs=31H, 33H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	AD11	AD10	AD9	AD8
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TEMPnH レジスタ(n=1,2)は、TEMP1, TEMP2 端子の AD 変換結果の上位 4 ビットのデータが格納されるレジスタです。

25. SNSL レジスタ (Adrs=34H)

	7	6	5	4	3	2	1	0
ビット名	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SNSL レジスタは、PSNS、DFS 端子の AD 変換結果の下位 8 ビットのデータが格納されるレジスタです。

24. SNSH レジスタ (Adrs=35H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	AD11	AD10	AD9	AD8
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SNSH レジスタは、PSNS、DFS 端子の AD 変換結果の上位4ビットのデータが格納されるレジスタです。

● セル接続方法

接続セル数が 13 セル以下の場合には、下表の接続を推奨します。

接続セル数	V14~V9 端子	V8 端子	V7 端子	V6 端子	V5 端子	V4 端子	V3 端子	V2 端子	V1 端子	V0 端子
13	セル	セル	セル	セル	セル	セル	セル	セル	セル	GND
12	セル	セル	セル	セル	セル	セル	セル	セル	GND	GND
11	セル	セル	セル	セル	セル	セル	セル	GND	GND	GND
10	セル	セル	セル	セル	セル	セル	GND	GND	GND	GND
9	セル	セル	セル	セル	セル	GND	GND	GND	GND	GND
8	セル	セル	セル	セル	GND	GND	GND	GND	GND	GND
7	セル	セル	セル	GND	GND	GND	GND	GND	GND	GND
6	セル	セル	GND	GND	GND	GND	GND	GND	GND	GND
5	セル	GND	GND	GND	GND	GND	GND	GND	GND	GND

● 未使用端子の処理

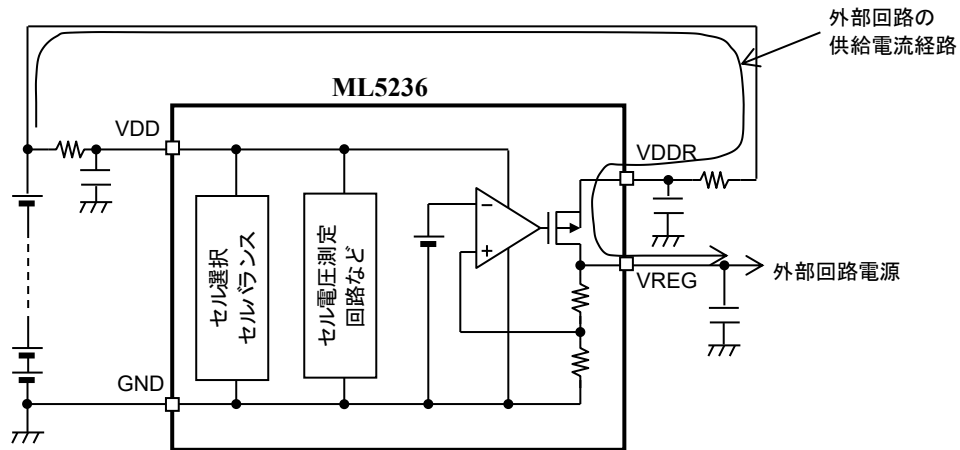
下表に未使用端子の処理方法を示します。

未使用端子	推奨端子処理
V0~V8	GND 端子に接続
TDRV	オープンまたは GND 端子に接続
TEMP1,TEMP2	GND 端子に接続
/INTO	オープン

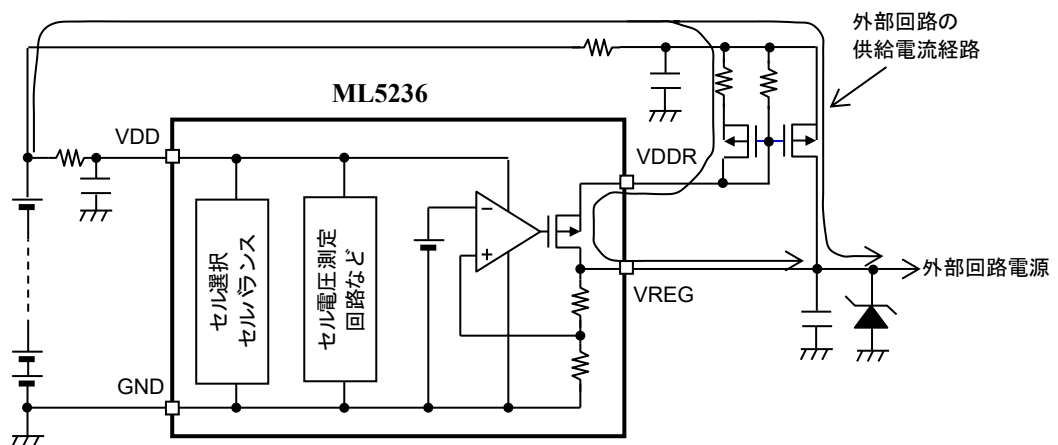
● VDDR, VDD 電源の処理

VDDR 端子は、内蔵レギュレータ(VREG 端子)の専用電源端子です。各レギュレータの出力電流が大きい場合には、VDDR 端子に接続する電源ノイズ除去用の RC フィルタの抵抗による電圧降下を 1V 以下に抑えることを推奨します。

VDD 端子は、内蔵レギュレータ以外の、全ての回路の電源端子となります。



内蔵レギュレータ(VREG 端子)の出力電流は最大 10mA です。外部回路の消費電流が 10mA を超える場合には、外付け Pch-FET を下図のように接続することで、供給電流を増加させることができます。



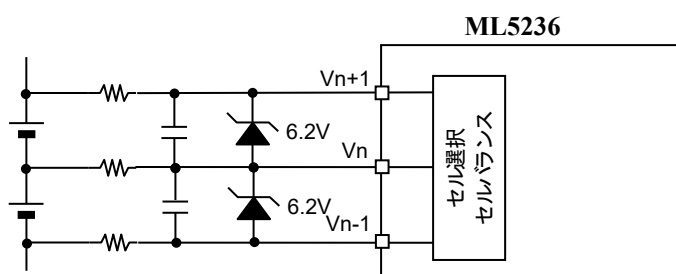
● 電源投入・遮断順序

電源投入時、各電池セルの接続順序は、GND 端子、VDD 端子、VDDR 端子を接続後に、下位セルより接続することを推奨します。この接続順序を守れない場合には、セル接続端子 $V_{n+1} - V_n$ の端子間電圧が絶対最大定格を超え、破壊に至る可能性があります。

電源遮断時においては、接続順序と逆に、上部電位セルから切り離し、最後に、VDD 端子、VDDR 端子、GND 端子の順に切り離してください。

また、バッテリシミュレータなどを用いて、評価・検査する場合においても、 $V_{n+1} - V_n$ 端子間の電圧が絶対最大定格を超えないよう、電源投入、遮断の手順についてご注意ください。

端子保護のために、下図に示すように、外部に TVS ダイオードを追加することを推奨いたします。TVS ダイオードを追加した場合も十分に評価して、ご使用ください。



電池セルをあらかじめ直列に接続した状態で、各電池セル接続端子 V_n に接続してください。電池セルを直列に接続していない状態で、電池セルを1つずつ接続することは、 $V_{n+1} - V_n$ 端子間の電圧が絶対最大定格を超え、破壊に至る可能性があるため禁止します。

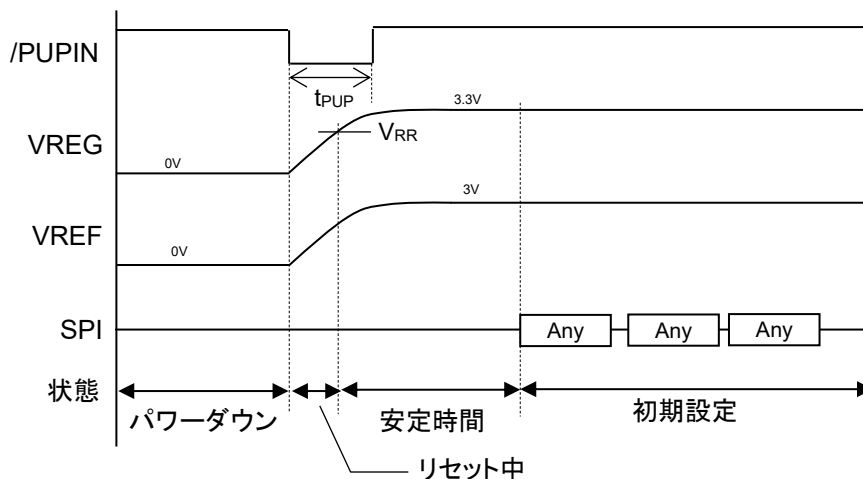
電源投入時の電源電圧立上り時間、電源遮断順序、および、電源電圧立下り時間についての制約はありません。

なお、電源投入後の初期状態は、通常動作状態となりますが、電源投入時のチャタリング等により、パワーダウン状態になる場合があります。この場合には、PSNS 端子に充電器接続検出 PSNS 端子電圧 V_{PC} 以上の電圧を入力するか、または、/PUPIN 端子に“L”レベルを入力し、パワーアップさせてください。

また、電源投入後、および、パワーアップ後には VREG 出力、VREF 出力電圧が安定した後、セル電圧や電流、温度センサの測定を行なってください。VREG 出力、VREF 出力の安定時間は、出力負荷容量等により変化しますので、実際のアプリケーションで確認してください。

パワーアップ時の動作タイミングチャートを以下に示します。

パワーアップ時動作タイミングチャート



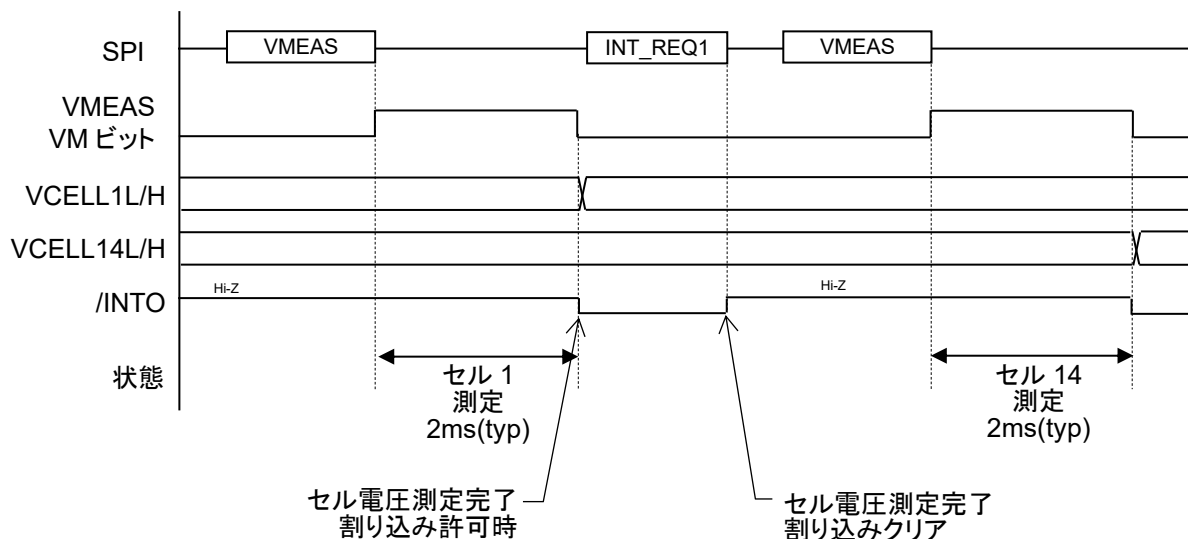
● セル電圧測定

セル電圧の測定方法には、選択した1つのセル電圧を測定するセレクト測定モードと、選択した複数のセル電圧を連続して測定するスキャン測定モードの2種類があります。

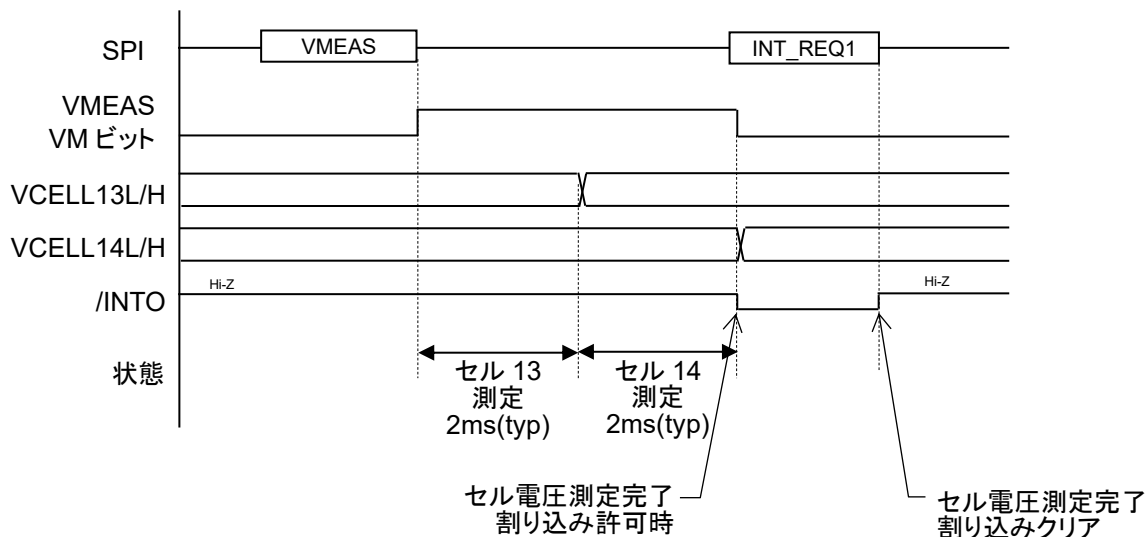
セル電圧測定モードの選択と測定の設定は、VMEASレジスタにより行います。詳細は、VMEASレジスタの項目を参照してください。

各測定モードでのセル電圧測定動作タイミングチャートを以下に示します。

セレクト測定モード時動作タイミングチャート (最下位セル1、セル14測定時)



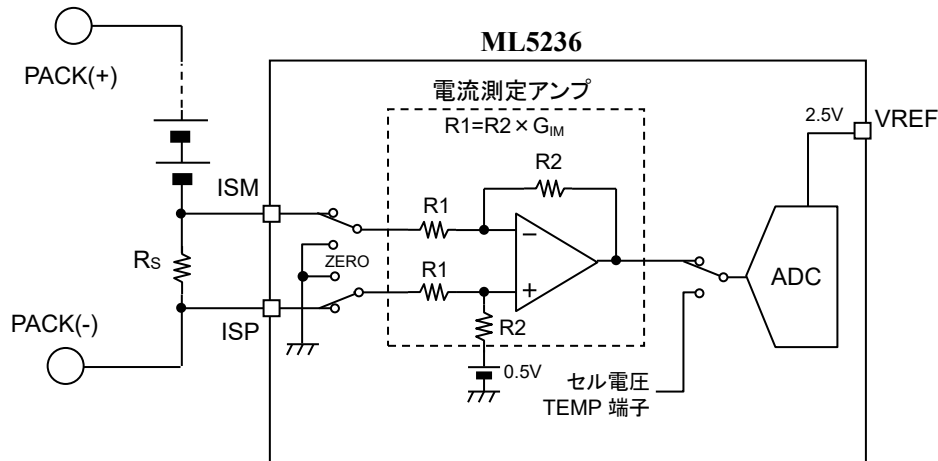
スキャン測定モード時動作タイミングチャート (セル13~14測定時)



● 電流測定

電流測定は、ISP 端子と ISM 端子間にシャント抵抗 R_s を接続し、これら端子間の入力電位差をアンプで増幅し、AD 変換器で測定することで行います。電流測定アンプの回路構成を以下に示します。

電流測定の設定は、IMEAS レジスタにより行います。詳細は、IMEAS レジスタの項目を参照してください。



AD 変換結果は、電流ゼロ時に 3333H(typ)、放電電流時に 3333H(typ)以上、充電電流時に 3333H(typ)以下となります。AD 変換結果 AD_{IM} から電流を求める計算式は、シャント抵抗 R_s 、アンプ増幅率 G_{IM} 、ゼロ補正測定結果 AD_{ZERO} とすると、次式で与えられます。

$$\text{電流[A]} = (AD_{ZERO} - AD_{IM}) \times (2.5 / 65535) / G_{IM} / R_s$$

ゲイン 12 倍時に、電流測定結果 = 3600H、ゼロ補正測定結果 = 3300H、シャント抵抗 = 1mΩ のときの電流は、

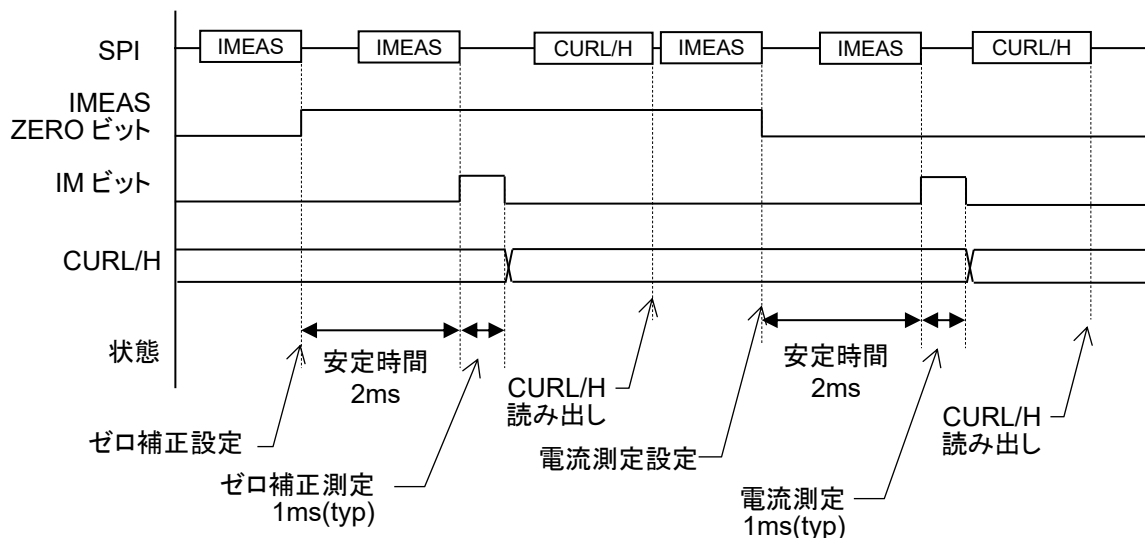
$$\text{電流[A]} = (3300H - 3600H) \times 2.5 / 65535 / 12 / 1e-3 = -768 \times 2.5 / 65535 / 12 / 1e-3 = -2.4414[A]$$

となります。

なお、アンプ増幅率 G_{IM} はサンプルによりばらつきますので、電流測定誤差低減のために、サンプル毎にアンプ増幅率を測定した結果をアンプ増幅率 G_{IM} として使用することを推奨します。

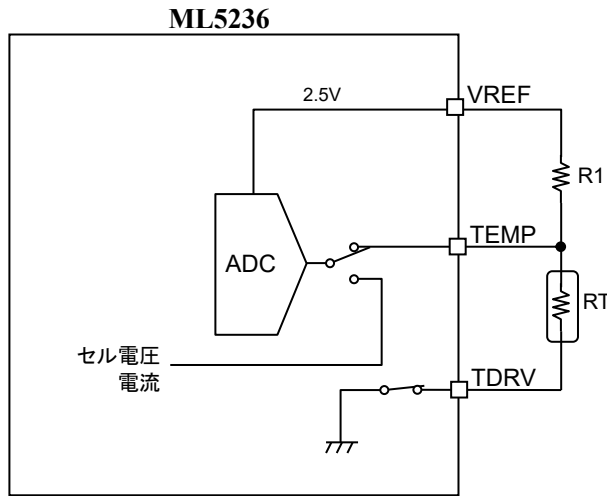
ゲイン 12 倍時のゼロ補正と電流測定の動作タイミングチャートを以下に示します。なお、/INTO 端子の割り込み信号は使用しない場合とします。

電流測定動作タイミングチャート (ゲイン 12 倍時のゼロ補正測定と電流測定)

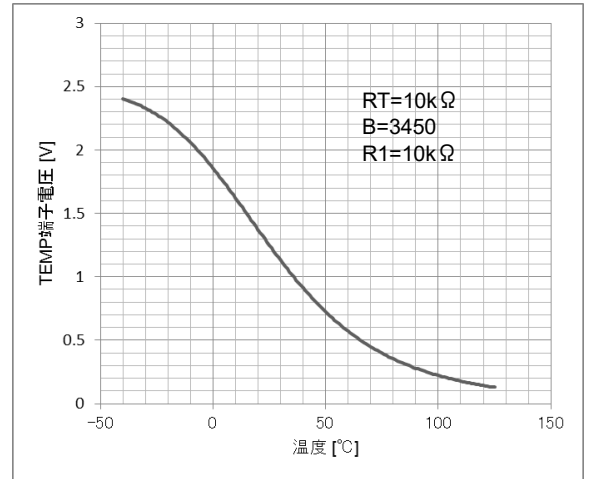


● 温度センサ測定

温度センサ(NTC サーミスタ)の接続例を以下に示します。



温度による TEMP 端子入力電圧の変化の例

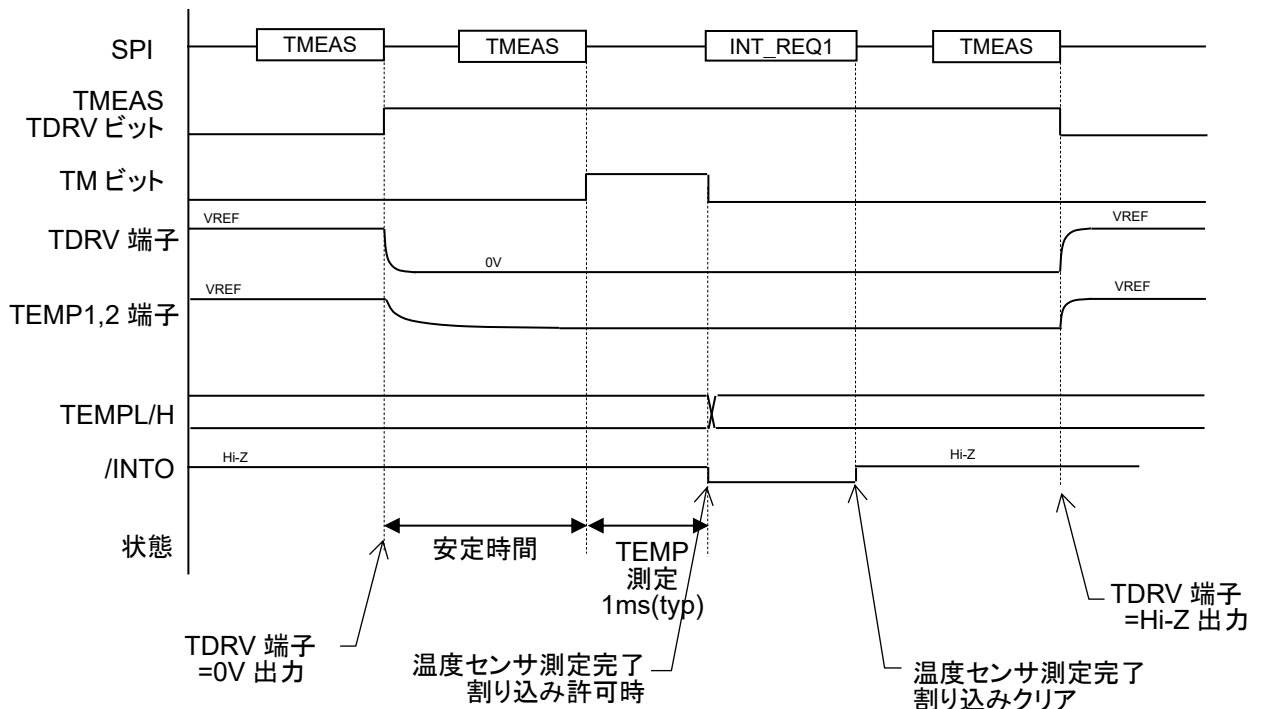


温度センサ測定の設定は、TMEAS レジスタにより行います。詳細は、TMEAS レジスタの項目を参照してください。

温度センサ測定時には、TDRV 端子に 0V を出力し、TEMP1 または、TEMP2 端子入力電圧が安定した後に測定を開始してください。温度センサ測定完了後は、TDRV 端子を Hi-Z 状態に設定し、消費電流を低減させると共に、VREF 出力電圧の低下を最小限にすることを推奨します。

温度センサ測定動作タイミングチャートを以下に示します。

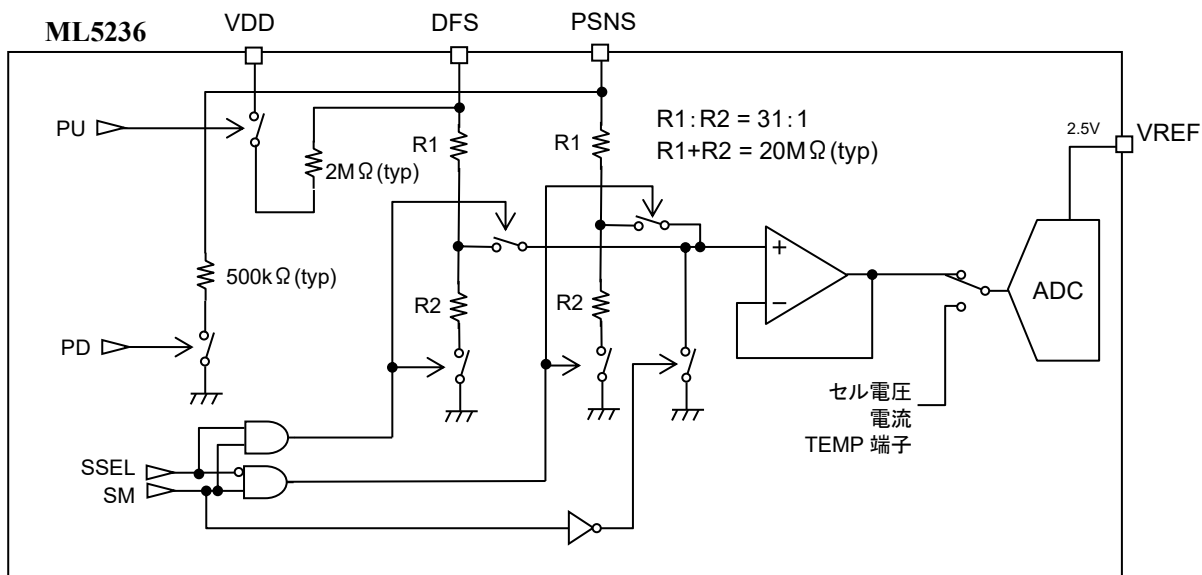
温度センサ測定タイミングチャート



● PSNS, DFS 端子電圧測定

PSNS 端子、または、DFS 端子入力電圧を 1/32 分圧した電圧を AD 変換器で測定することができます。

PSNS 端子、DFS 端子入力電圧の測定回路を以下に示します。

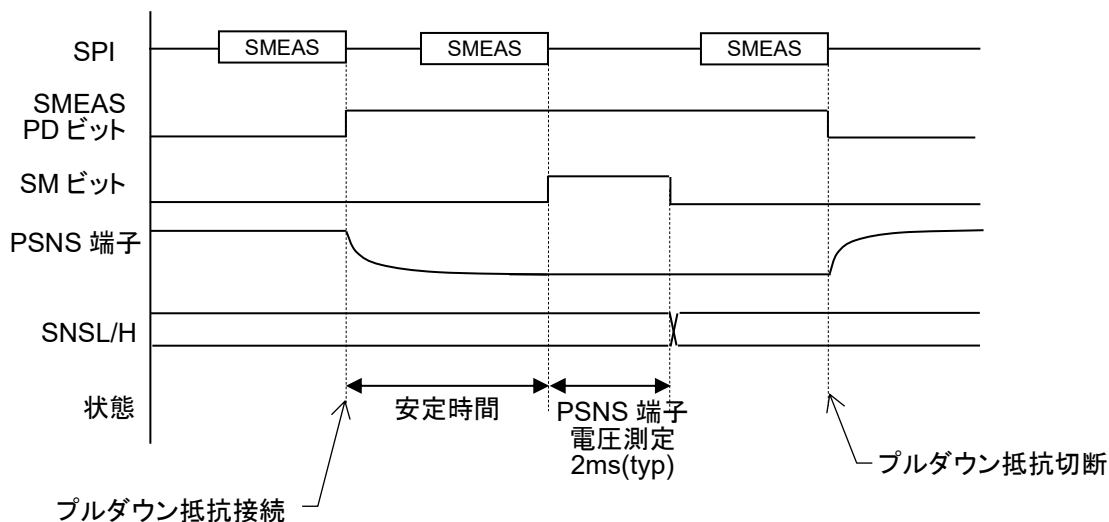


PSNS 端子、DFS 端子入力電圧の測定の設定は、SMEAS レジスタにより行います。詳細は、SMEAS レジスタの項目を参照してください。

SMEAS レジスタの SM ビットを”1”にセットすることで、PSNS 端子、または、DFS 端子に 1/32 分圧抵抗が接続され、内部電圧安定時間約 1ms 経過後に AD 変換を実行します。PSNS 端子、DFS 端子にプルダウン抵抗、プルアップ抵抗を接続する場合には、最初に PD ビット/PU ビットを”1”にセットし、PSNS 端子、DFS 端子入力電圧が安定した後、SM ビットを”1”にセットして電圧測定を開始してください。なお、測定終了後も PD ビット/PU ビットによるプルダウン/プルアップ抵抗接続状態は保持されたままとなりますので、プルダウン/プルアップ抵抗の切断処理を行ってください。

以下に PSNS 端子にプルダウン抵抗接続した時の PSNS 端子電圧測定動作タイミングチャートを以下に示します。

PSNS 端子電圧測定タイミングチャート



● パワーセーブ機能

ML5236 には、セル電圧などの測定回路の動作を停止させて消費電流を低減するパワーセーブ機能を搭載しています。

POWER レジスタの PSV ビットにより、パワーセーブ状態への移行、および、パワーセーブ状態からの復帰を制御します。

POWER レジスタの PSV ビットを”1”にセットすることで、パワーセーブ状態に移行します。

セル電圧などの測定中に PSV ビットを”1”にセットすると測定は中止され、パワーセーブ状態へ移行します。この場合には、各種測定結果レジスタ値に正常な値が格納されない可能性がありますので、各種測定が完了してから、パワーセーブ状態へ移行することを推奨します。

パワーセーブ状態における各機能の動作状態を以下に示します。

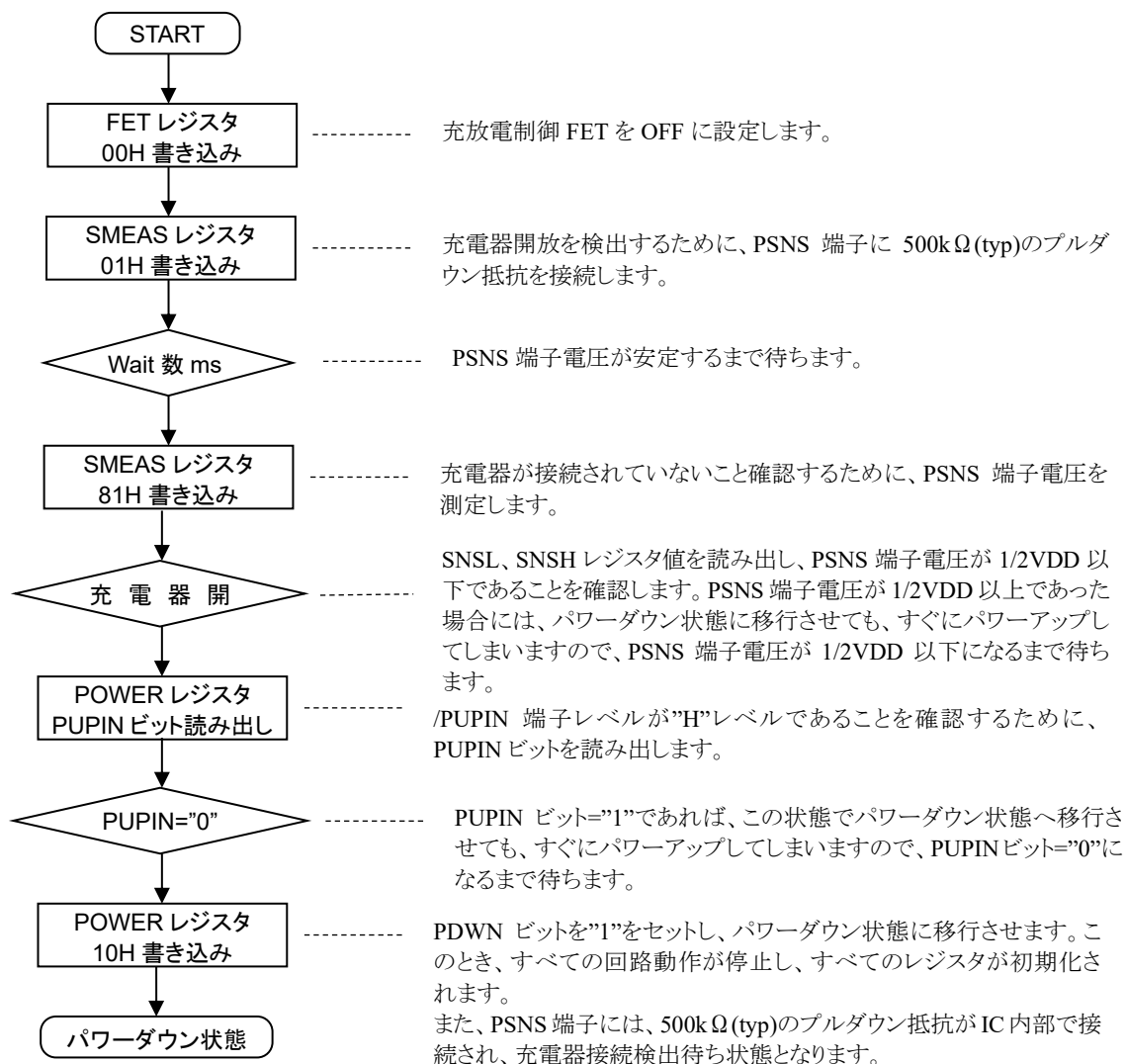
機 能	パワーセーブ時の動作状態
VREG 端子出力	通常状態と変わらず、3.3V(typ)を出力します。
VREF 端子出力	通常状態と変わらず、2.5V(typ)を出力します。
MCU シリアルインタフェース	通常状態と変わらず、正常にレジスタのリード・ライトができますが、各種測定機能やセルバランス機能の設定は無効となります。
セル電圧測定機能	動作停止します。
電流測定機能	動作停止します。
温度センサ測定機能	動作停止します。
PSNS, DFS 端子電圧測定機能	動作停止します。
セルバランス機能	動作停止します。
ショート電流検出機能	通常状態と変わらず、動作しています。
充放電制御 FET ドライバ	チャージポンプ動作周波数が通常状態の 1/4 に遅くなります。
過充電検出機能	設定されたインターバル時間で動作しています。
ウォッチドッグタイマ機能	動作停止します。
内蔵クロック停止検出回路	通常状態と変わらず、動作しています。

POWER レジスタの PSV ビットを”0”にリセットすることで、パワーセーブ状態から復帰し、各種測定回路の動作が開始されます。動作安定時間 1ms(max)経過後に、各種測定を開始してください。

● パワーダウン機能

ML5236 には、すべての回路動作を停止させ、消費電流をゼロにするパワーダウン機能を搭載しています。POWER レジスタの PDWN ビットを”1”にセットすることで、パワーダウン状態に移行します。

パワーダウン状態へ移行させる場合の制御フロー例を以下に示します。



パワーダウン状態へ移行後の各端子の出力状態を以下に示します。

端子名	パワーダウン時の状態
VREG	0V
VREF	0V
/INTO	Hi-Z
SDO	Hi-Z
C_FET	CFS 端子レベル
D_FET	DFS 端子レベル
CDLY	0V

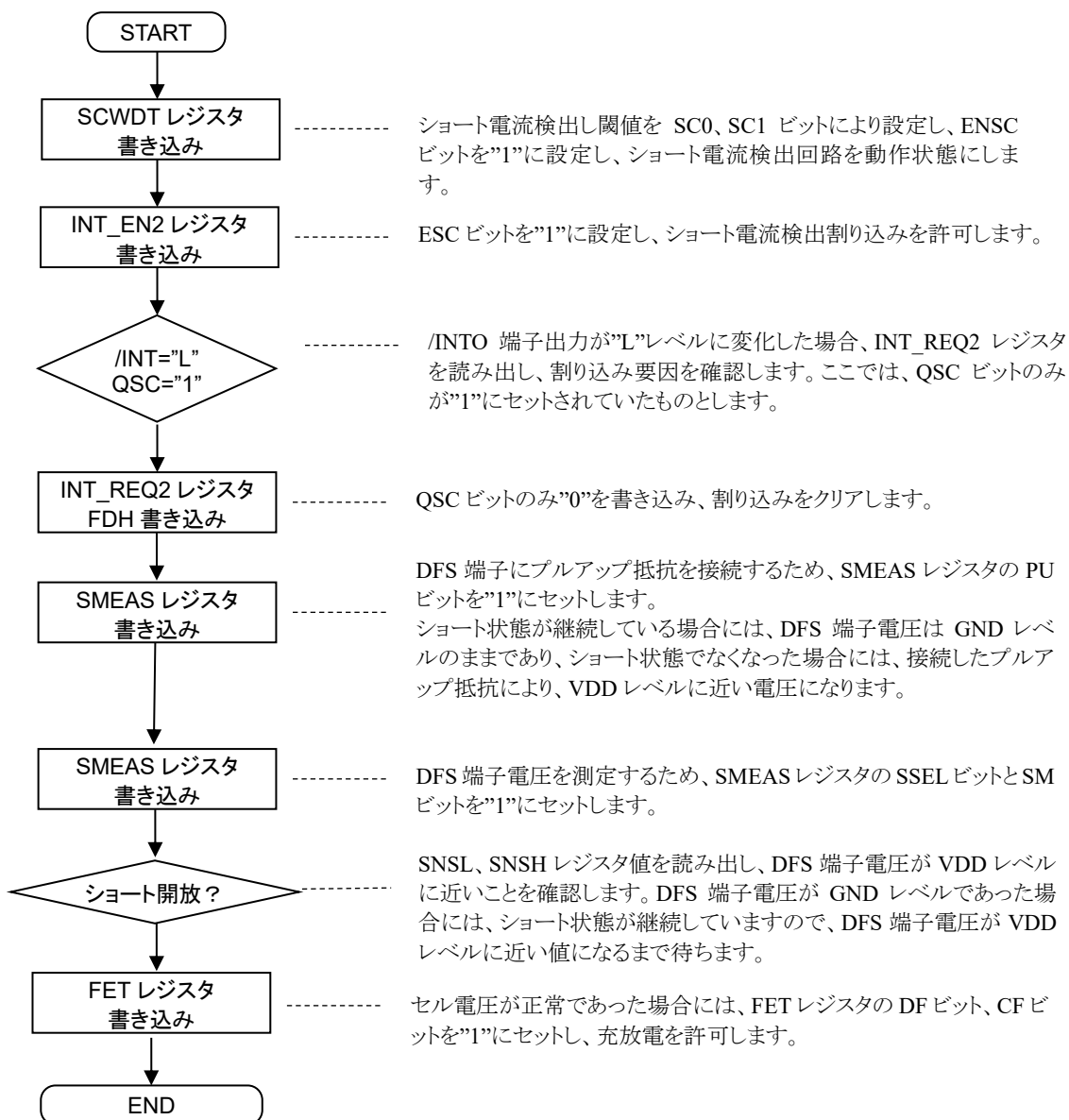
パワーダウン状態からの復帰は、PSNS 端子による充電器接続検出、もしくは、/PUPIN 端子への”L”レベル入力により行なわれます。

パワーダウン状態からの復帰時には、VREG 出力、VREF 出力が立ち上がった後、各種初期設定を行なってください。

● ショート電流検出機能

ML5236 には、ショート電流を検出すると、自動的に充放電制御 FET を OFF する機能を搭載しています。ショート電流検出機能の設定は、SCWDT レジスタにより行います。詳細は、SCWDT レジスタの項目を参照してください。

ショート電流検出設定、および、ショート電流検出後の制御フロー例を以下に示します。

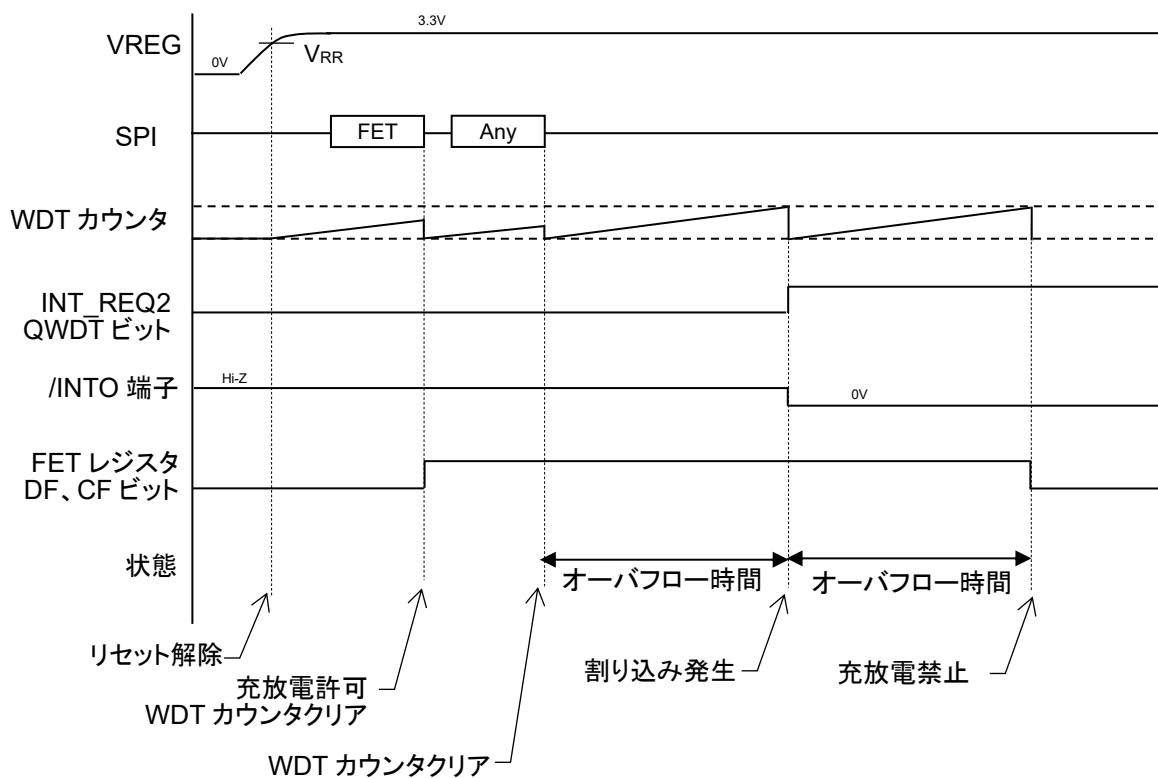


● ウォッチドッグタイマ機能

ML5236には、一定期間制御レジスタへのデータライト・リード動作が行われなかった場合に異常と検出するウォッチドッグタイマ機能を搭載しています。ウォッチドッグタイマの設定は、SCWDTレジスタにより行います。詳細は、SCWDTレジスタの項目を参照してください。

以下にウォッチドッグタイマ動作例を以下に示します。

ウォッチドッグタイマ動作例



制御レジスタへのデータライト/リード動作がオーバーフロー時間以上行われなかった場合に、INT_REQ2レジスタのQWDTビットが”1”にセットされ、/INTO端子に”L”レベルを出力します。CRCコード付加あり時にCRCエラーが発生した場合には、ウォッチドッグタイマのカウンタはクリアされません。

また、2回連続してオーバーフローを検出した場合には、自動的に、FETレジスタのDF、CFビットを”0”に設定し、充放電を禁止します。正常状態に復帰しても、自動的に元の状態には戻りませんので、外部MCUにより再度設定してください。

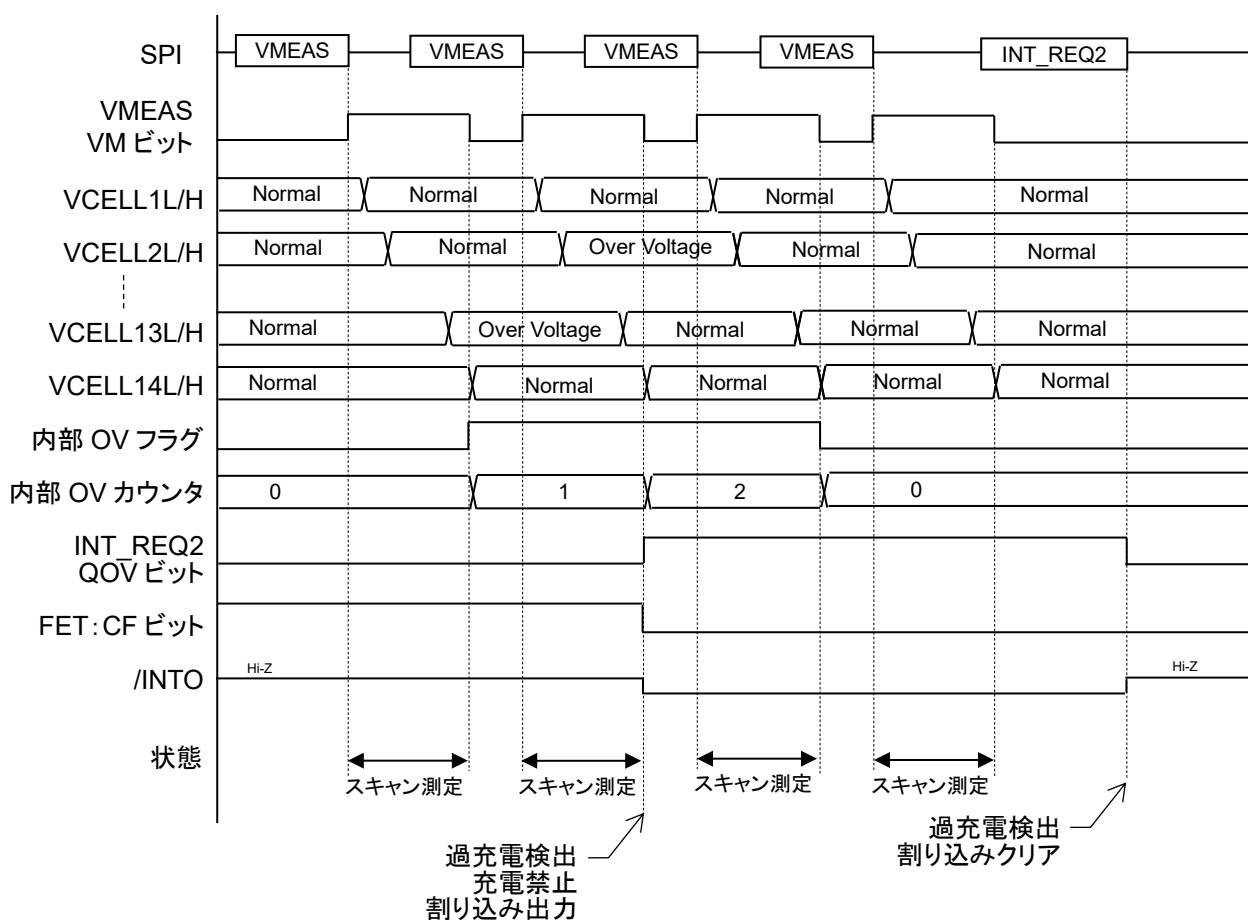
● 過充電検出機能

ML5236 には、各セル電圧測定結果レジスタ値と OVDETL/H レジスタ値を比較し、過充電検出動作を行う機能を搭載しています。

過充電検出動作の設定は、SETOV レジスタおよび、OVDETL/H レジスタで行います。詳細は、SETOV レジスタおよび、OVDETL/H レジスタの項目を参照してください。

通常動作状態における過充電検出遅延スキャン測定回数=2 回設定時の過充電検出動作タイミングチャートを以下に示します。

過充電検出動作タイミングチャート(検出遅延スキャン測定回数=2 回時)



スキャン測定完了時に OVDETL/H レジスタ値より大きい VCELLnL/H レジスタ値が 1 つ以上あった場合に、内部 OV フラグをセットし、検出遅延カウント用の内部 OV カウンタをインクリします。

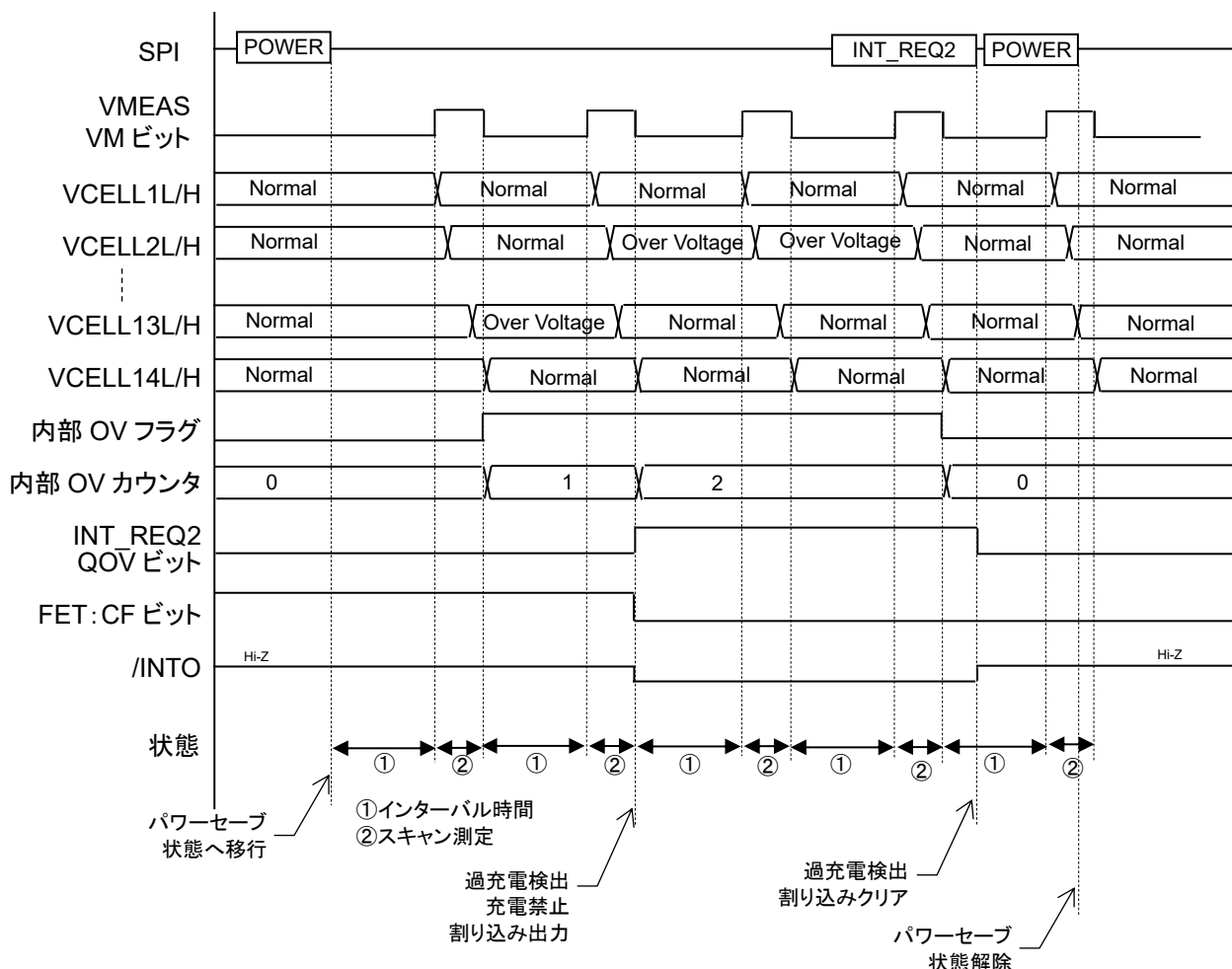
次のスキャン測定時に異なるセルで過充電が検出された場合にも、内部 OV フラグはセットされたままで、内部 OV カウンタもインクリされます。

SETOV レジスタの CN0~CN2 ビットで設定された過充電検出遅延スキャン測定回数と OV カウンタ値が一致した場合に、INT_REQ2 レジスタの QOV ビット、および、STATUS レジスタの OV ビットを"1"にセットすると同時に、FET レジスタの CF ビットを"0"にリセットし、充電禁止状態に移行します。

なお、正常状態に復帰しても、自動的に FET レジスタの CF ビットは"1"にセットされませんので、外部 MCU により充電制御 FET の ON 制御を行なってください。

パワーセーブ状態に移行した場合には、SETOVレジスタのSLT0、SLT1ビットで設定されたインターバル時間ごとに、自動的にセル1～セル14のすべてのセル電圧のスキャン測定を行います。未接続のセルについても測定を行いますので、未使用セル接続端子は、GND端子に固定してください。以下にパワーセーブ時の過充電検出動作タイミングチャートを以下に示します。

過充電検出動作タイミングチャート(パワーセーブ状態、検出遅延スキャン測定回数=2回時)



パワーセーブ状態から通常状態へ復帰する場合に、POWERレジスタのPSVビットを”0”に設定した時点で、スキャン測定が行われていた場合には、スキャン測定は途中で中止されず、セル14の測定が完了するまで継続されます。よって、パワーセーブ状態から通常状態へ復帰した後は、必ず、VMEASレジスタのVMビットが”1”にセットされていないことを確認してください。

なお、パワーセーブ状態中におけるスキャン測定の完了割り込みフラグもセットされますので、パワーセーブ状態へ移行する前にINT_EN1レジスタのEVMビットを”0”にリセットし、セル電圧測定完了割り込みの発生を禁止してください。

● 割り込み出力機能

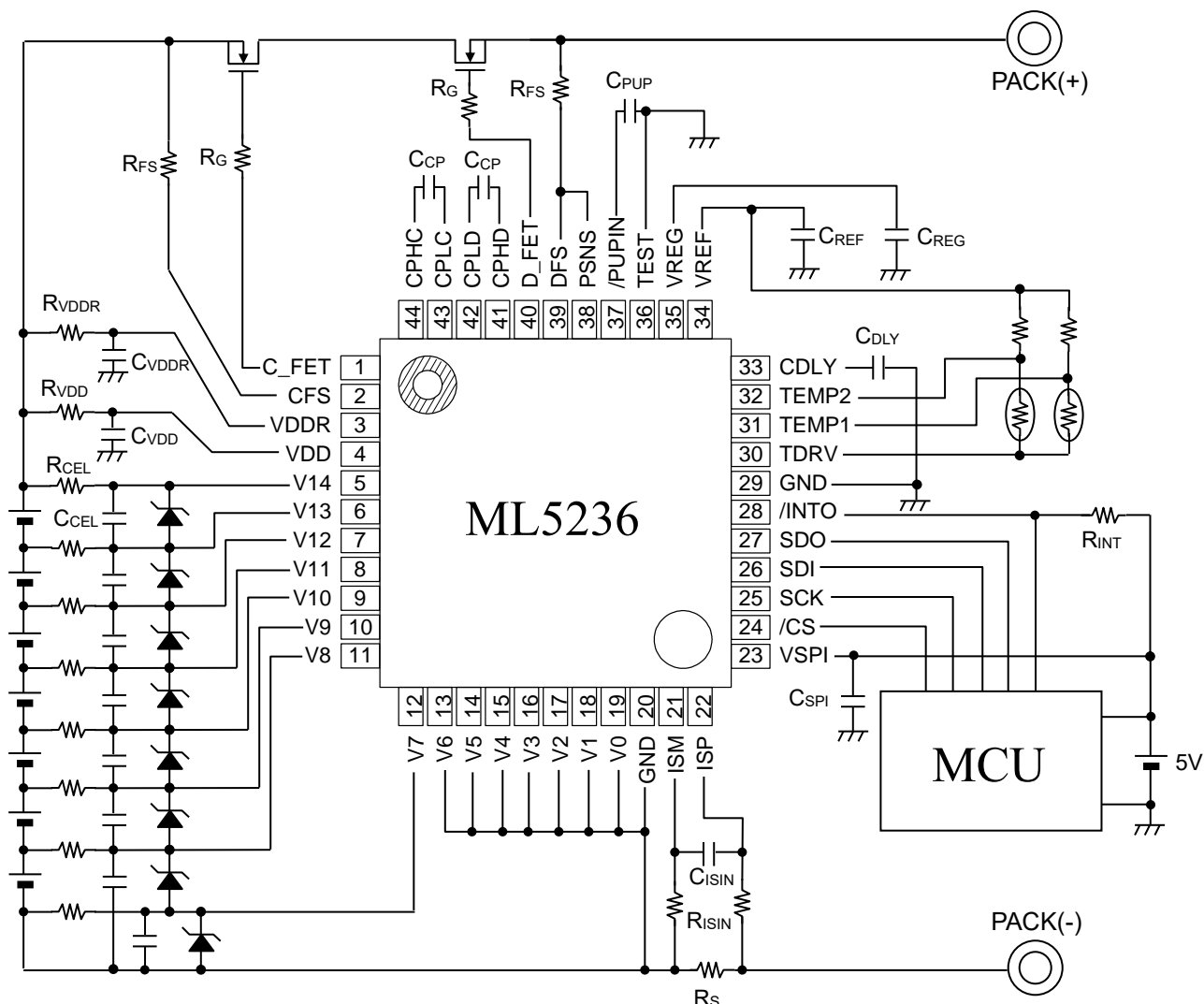
各種測定完了と異常発生を外部 MCU へ知らせるために、/INTO 端子から割り込み信号を出力します。

各種割り込みの発生許可は INT_EN1 レジスタ、および、INT_EN2 レジスタで設定し、発生した割り込みの確認とクリアは、INT_REQ1 レジスタ、および、INT_REQ2 レジスタをリード/ライトすることで行います。

割り込み要因と発生条件、発生後の状態について、下表に示します。

割り込み要因	割り込み発生条件	割り込み発生後の状態
セル電圧測定完了	VMEAS レジスタの VM ビットを”1”にセット後、セル電圧測定が完了した場合	VCELLnL/H レジスタに測定結果が格納されます。
電流測定完了	IMEAS レジスタの IM ビットを”1”にセット後、電流測定が完了した場合	CURL/H レジスタに測定結果が格納されます。
温度センサ入力測定完了	TMEAS レジスタの TM ビットを”1”にセット後、温度センサ測定が完了した場合	TEMPnL/H レジスタに測定結果が格納されます。
過充電検出	スキャンセル測定完了時に、VCELLnL/H レジスタ値 > OVDETL/H レジスタ値となった回数が SETOV レジスタの CN0~CN3 ビットで設定された検出遅延スキャン測定回数に達した場合	FET レジスタの CF ビットが自動的に”0”にリセットされます。
ショート電流検出	ISP-ISM 端子間電圧が SCWDT レジスタの SC0、SC1 ビットで設定された電圧以上となり、CDLY 端子が所定の電圧に達した場合	FET レジスタの DF ビット、および、CF ビットが自動的に”0”にリセットされます。
CRC エラー	受信した CRC コードが計算した結果と一致しなかった場合	受信した SPI 通信データは無効となります。
内蔵クロック停止検出	内蔵クロック発生回路のクロック出力が一定期間停止したことを検出した場合	FET レジスタの CF ビット、DF ビットが自動的に”0”にリセットされます。 各種測定機能が正常に動作しません。
WDT オーバフロー検出	WDT レジスタの WDT0、WDT1 ビットで設定されたオーバフロー時間以上の間、制御レジスタへのライト・リード動作が行われなかった場合	/INTO 端子に”L”レベルを出力します。
	連続 2 回のオーバフローを検出した場合	FET レジスタの DF ビット、および、CF ビットが自動的に”0”にリセットされます。

■ 応用回路例 1 (7 セル接続, MCU 電源=外部 5V の例)



■ 外付け部品推奨値

部品	推奨値
R _{VDD} (注 1)	510 Ω ~ 1.5k Ω
C _{VDD}	2.2μF ~ 10μF
R _{VDDR}	100 Ω
C _{VDDR}	2.2μF ~ 10μF
R _{CEL}	150 Ω ~ 10k Ω
C _{CEL}	0.1μF ~ 10μF
R _s	1m Ω

部品	推奨値
R _{ISIN}	1k Ω
C _{ISIN}	0.1μF
C _{REG} , C _{REF}	4.7μF
R _{INT}	51k Ω
C _{SPI}	0.1μF
C _{DLY}	1nF ~ 10nF
C _{PUP}	0.1μF

部品	推奨値
R _G	1k Ω
R _{FS}	1k Ω
C _{CP}	20nF (注 2)

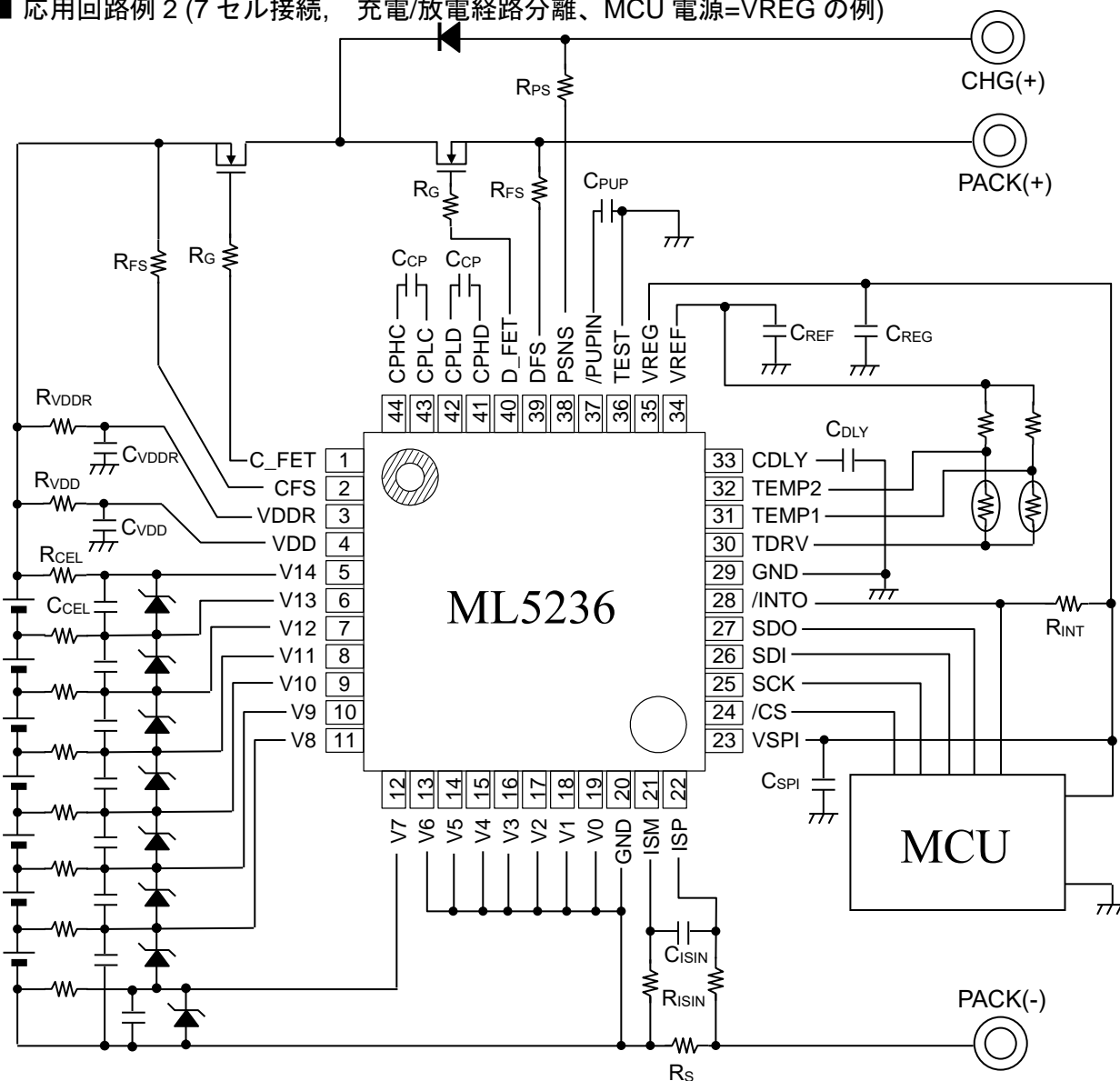
(注 1) C_{VDD}=2.2μF 時には、R_{VDD}=1.5kΩ を推奨します。

(注 2) 外部 Nch-FET のゲート容量=10nF の場合

(注 3) 電池セル電圧の急激な変化により、最下位電池セルの負極側に接続される V_n 端子が GND レベル以下にならないように、最下位電池セルの正極側に接続するコンデンサ C_{CEL} は GND 間に接続してください。

(注意) 記載の回路例、外付け部品の推奨値は、あらゆる動作条件下での動作を保証するものではありませんので、実際のアプリケーションで十分評価の上、最適な回路構成、部品定数の選択を行ってください。

■ 応用回路例 2 (7 セル接続, 充電/放電経路分離、MCU 電源=VREG の例)



■ 外付け部品推奨値

部品	推奨値
R _{VDD} (注 1)	510Ω ~ 1.5kΩ
C _{VDD}	2.2μF ~ 10μF
R _{VDDR}	100Ω
C _{VDDR}	2.2μF ~ 10μF
R _{CEL}	150Ω ~ 10kΩ
C _{CEL}	0.1μF ~ 10μF
R _S	1mΩ

部品	推奨値
R _{ISIN}	1kΩ
C _{ISIN}	0.1μF
C _{REG} , C _{REF}	4.7μF
R _{INT}	51kΩ
C _{SPI}	0.1μF
C _{DLY}	1nF ~ 10nF
C _{PUP}	0.1μF

部品	推奨値
R _G	1kΩ
R _{FS}	1kΩ
R _{PS}	1kΩ
C _{CP}	20nF (注 2)

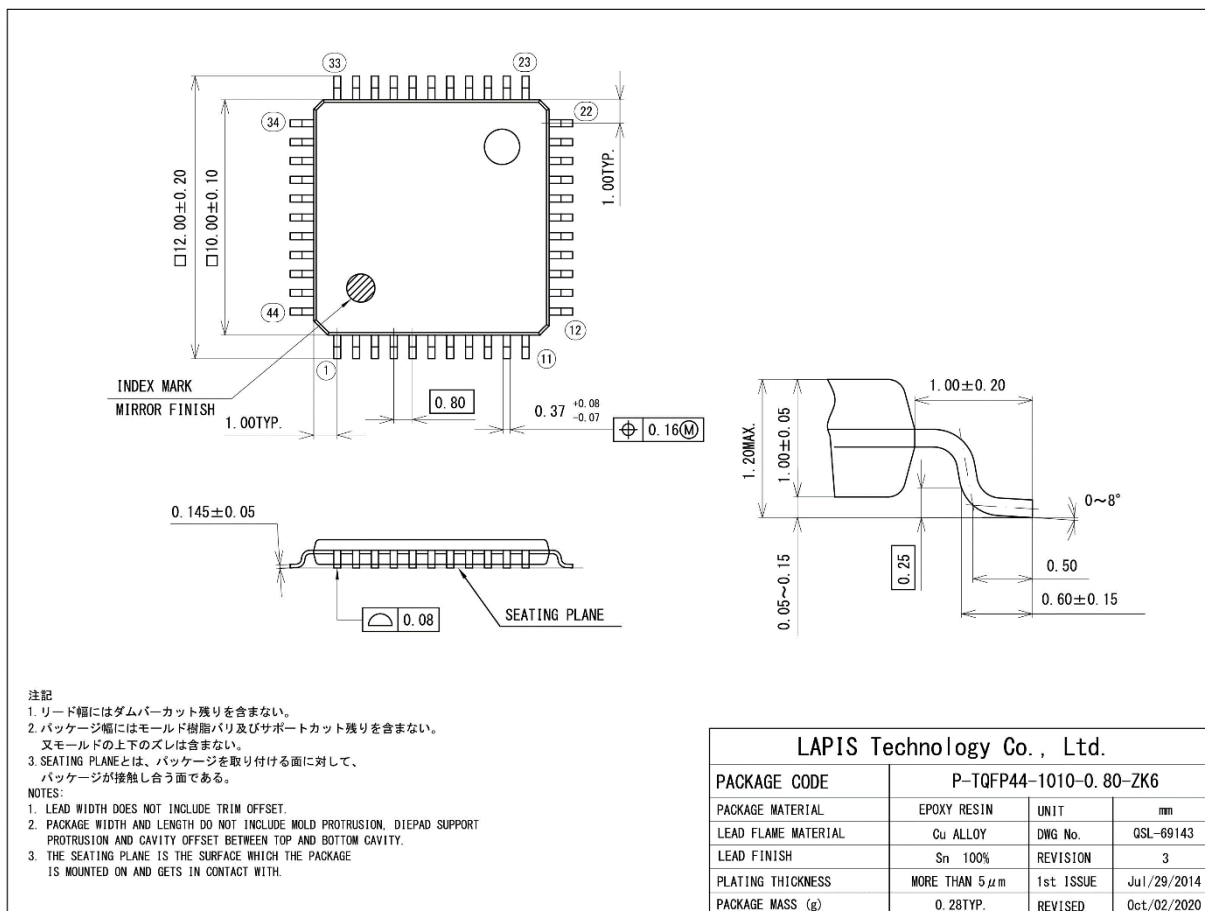
(注 1) C_{VDD}=2.2μF 時には、R_{VDD}=1.5kΩ を推奨します。

(注 2) 外部 Nch-FET のゲート容量=10nF の場合

(注 3) 電池セル電圧の急激な変化により、最下位電池セルの負極側に接続される V_n 端子が GND レベル以下にならないように、最下位電池セルの正極側に接続するコンデンサ C_{CEL} は GND 間に接続してください。

(注意) 記載の回路例、外付け部品の推奨値は、あらゆる動作条件下での動作を保証するものではありませんので、実際のアプリケーションで十分評価の上、最適な回路構成、部品定数の選択を行ってください。

■ パッケージ寸法図



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをローム営業窓口まで必ずお問い合わせ下さい。

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL5236-01	2014.09.02	—	—	初版発行
FJDL5236-02	2015.03.19	35	35	電流測定アンプ増幅率測定値の使用を推奨
FJDL5236-03	2015.12.03	12,13	12,13	MCU インタフェース: SCK クロックエッジ誤記訂正
		33	33	電源投入・遮断順序: VDDP 端子、VDD_SW 端子の誤記訂正
FJDL5236-04	2016.03.25	45, 46	45, 46	応用回路例: 最下位電池セルのコンデンサ接続方法変更
FJDL5236-05	2016.07.12	3	3	端子説明: 誤記訂正
		31	31	セル接続方法、未使用端子の処理: 誤記訂正
FJDL5236-06	2018.06.07	5	5	絶対最大定格: 出力電圧 V_{OUT3} 、出力短絡電流 I_{OS} の適用端子に CDLY 端子追加
FJDL5236-07	2019.11.21	10	10	ショート電流検出タイミングチャート: C_FET, D_FET の誤記訂正
FJDL5236-08	2020.12.1	-	-	社名ロゴ変更
		49	49	「ご注意」の内容変更
FJDL5236-09	2022.05.09	12	12	MCU インタフェース: VSPI 端子外部電圧印加時の 制約事項を追記。
FJDL5236-10	2024.01.09	1	1	■用途、■形名を追記 注釈削除
		51	51	ご注意のページ差し替え

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(※1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(※1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複製することを堅くお断りします。

Copyright 2014 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>