



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。

なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。

以上、ご理解の程よろしく願いいたします。

2024年4月1日
ローム株式会社

ML5238

16 直列リチウムイオン 2 次電池保護用アナログフロントエンド IC

■ 概要

ML5238 は、16 セル・リチウムイオン 2 次電池パック保護システム向けのアナログフロントエンド IC です。各セル電圧モニタ機能、および、充放電電流モニタ機能を有しており、外部制御用 MCU を用いて、各セルの過充電と過放電、および、過電流の保護を行なうことができます。

また、ショート電流検出機能を搭載しており、外部 MCU の制御なしで、外部の充放電制御用 NMOS-FET を自動的に OFF させます。

■ 特長

- 16 セル 高精度セル電圧モニタ機能 : セル電圧の 0.5 倍の電圧を VMON 端子に出力
- 各セルに対してセルバランススイッチを内蔵 : スイッチ ON 抵抗 = 6Ω (typ)
- 充放電電流モニタ機能 : ISP-ISM 端子間入力電圧増幅率を選択し、IMON 端子に出力
電圧増幅率選択 : 10 倍 / 50 倍
- ショート電流検出機能 : 検出閾値電圧は ISP-ISM 端子間電位差 = 0.1V/0.2V/0.3V/0.4V (typ) から選択
外部容量にて検出遅延時間を調整可能
- 外部充放電 FET 制御 : NMOS-FET ドライバ内蔵
- MCU インタフェース : SPI シリアルインタフェース (モード 0)
- 外部 MCU 用 3.3V レギュレータ内蔵 : 出力電流 10mA (max)
- 外部 ADC 用高精度基準電圧源内蔵 : 3.3V (typ), 3.28V (min), 3.34V (max) @ Ta = -10°C ~ +60°C
- 低消費電流
 - ノーマル状態 : 50μA (typ), 100μA (max)
 - パワーセーブ状態 : 25μA (typ), 50μA (max)
 - パワーダウン状態 : 0.1μA (typ), 1μA (max)
- 電源電圧 : +7V ~ +80V
- 動作温度範囲 : -40°C ~ +85°C
- パッケージ : 44 ピンプラスチック QFP

■ 用途

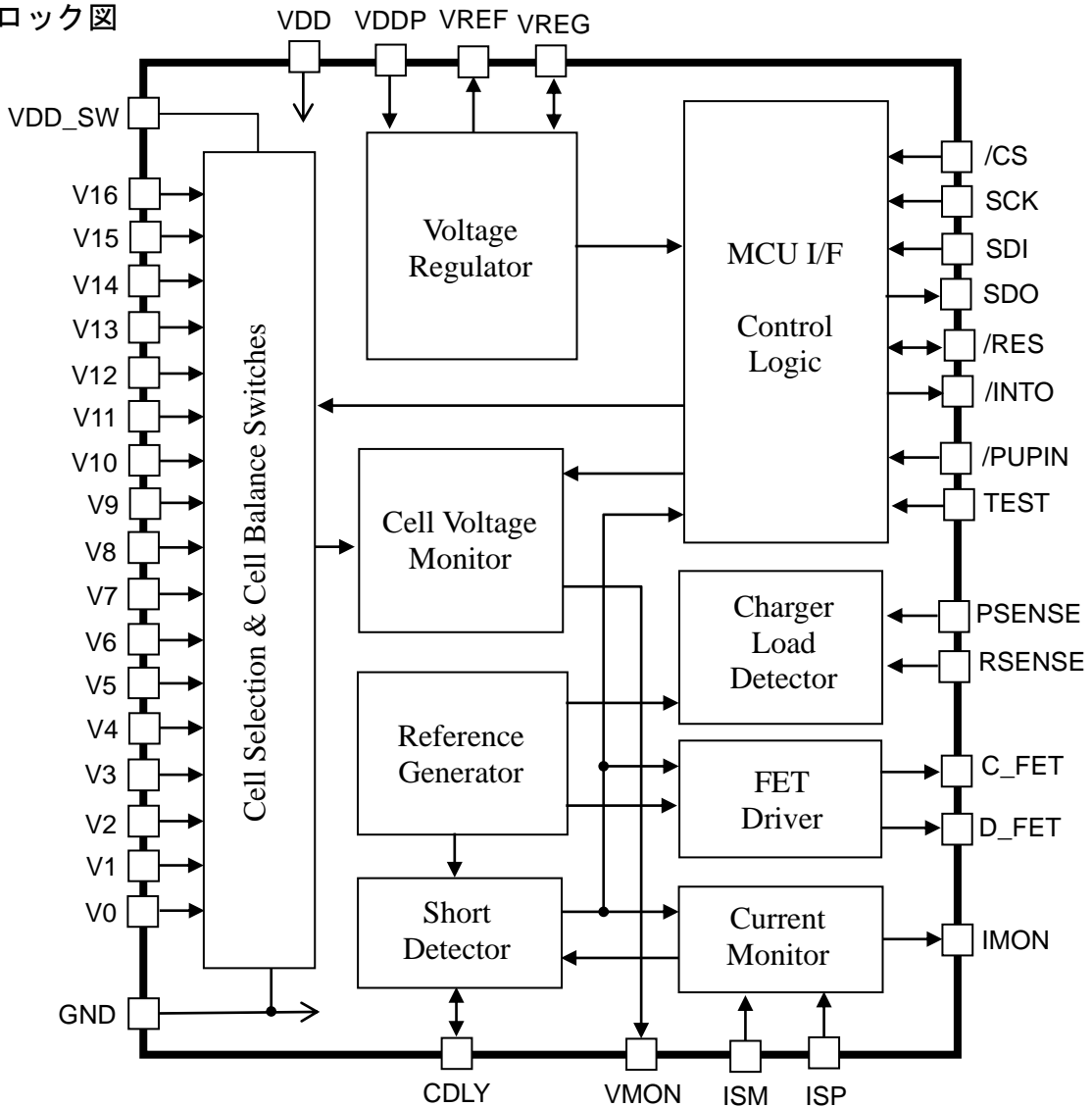
- 電動工具 / 園芸用工具
- E-Bike / 電動アシスト自転車
- 無停電電源装置 (UPS)
- 蓄電システム (ESS)



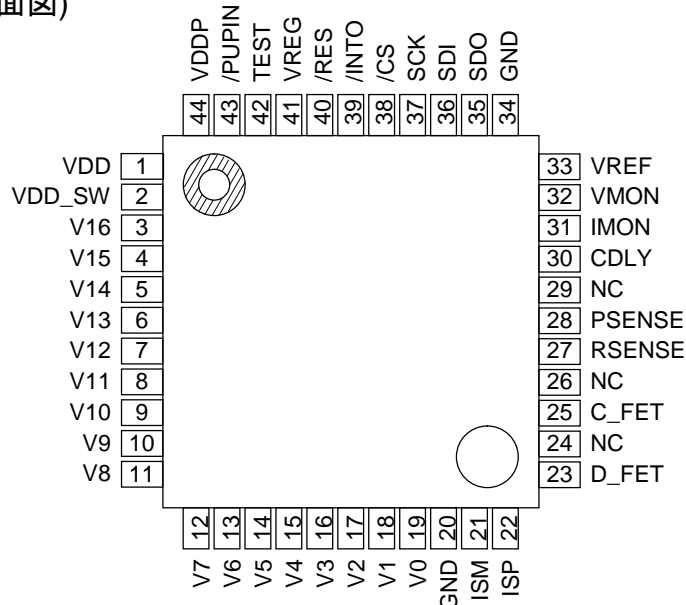
■ 形名

ML5238GA

■ ブロック図



■ 端子接続図(上面図)



■ 端子説明

ピン番号	端子名	I/O	説明
1	VDD	—	電源電圧入力端子です。 外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。
2	VDD_SW	—	電池セル選択スイッチとセルバランススイッチ用電源電圧入力端子です。 外付け抵抗を介して、VDD 端子と接続してください。
3	V16	I	電池セル 16 の正極入力端子です。 接続電池セル数が 5~15 セルの場合には、VDD_SW 端子に接続してください。
4	V15	I	電池セル 16 の負極入力端子、および、電池セル 15 の正極入力端子です。
5	V14	I	電池セル 15 の負極入力端子、および、電池セル 14 の正極入力端子です。
6	V13	I	電池セル 14 の負極入力端子、および、電池セル 13 の正極入力端子です。
7	V12	I	電池セル 13 の負極入力端子、および、電池セル 12 の正極入力端子です。
8	V11	I	電池セル 12 の負極入力端子、および、電池セル 11 の正極入力端子です。
9	V10	I	電池セル 11 の負極入力端子、および、電池セル 10 の正極入力端子です。
10	V9	I	電池セル 10 の負極入力端子、および、電池セル 9 の正極入力端子です。 接続電池セル数が 5 セルの場合には、GND 端子に接続してください。
11	V8	I	電池セル 9 の負極入力端子、および、電池セル 8 の正極入力端子です。 接続電池セル数が 5~6 セルの場合には、GND 端子に接続してください。
12	V7	I	電池セル 8 の負極入力端子、および、電池セル 7 の正極入力端子です。 接続電池セル数が 5~7 セルの場合には、GND 端子に接続してください。
13	V6	I	電池セル 7 の負極入力端子、および、電池セル 6 の正極入力端子です。 接続電池セル数が 5~8 セルの場合には、GND 端子に接続してください。
14	V5	I	電池セル 6 の負極入力端子、および、電池セル 5 の正極入力端子です。 接続電池セル数が 5~9 セルの場合には、GND 端子に接続してください。
15	V4	I	電池セル 5 の負極入力端子、および、電池セル 4 の正極入力端子です。 接続電池セル数が 5~10 セルの場合には、GND 端子に接続してください。
16	V3	I	電池セル 4 の負極入力端子、および、電池セル 3 の正極入力端子です。 接続電池セル数が 5~11 セルの場合には、GND 端子に接続してください。
17	V2	I	電池セル 3 の負極入力端子、および、電池セル 2 の正極入力端子です。 接続電池セル数が 5~12 セルの場合には、GND 端子に接続してください。
18	V1	I	電池セル 2 の負極入力端子、および、電池セル 1 の正極入力端子です。 接続電池セル数が 5~13 セルの場合には、GND 端子に接続してください。
19	V0	I	電池セル 1 の負極入力端子です。 接続電池セル数が 5~14 セルの場合には、GND 端子に接続してください。
20, 34	GND	—	グランド端子です。
21	ISM	I	電流センス抵抗接続端子です。最下位電池セルの負極端子に接続します。
22	ISP	I	電流センス抵抗接続端子です。放電時に ISM 端子より電圧が高くなるように接続します。
23	D_FET	O	放電用 NMOS-FET の制御信号出力端子です。外部 NMOS-FET のゲート端子に接続してください。ON 設定時には、14V(typ)が出力され、OFF 設定時には、0V が出力されます。
25	C_FET	O	充電用 NMOS-FET の制御信号出力端子です。外部 NMOS-FET のゲート端子に接続してください。ON 設定時には、14V(typ)が出力され、OFF 設定時には、Hi-Z 状態となります。
27	RSENSE	I	負荷開放検出用入力端子です。負荷が接続されるノード(負極側)に接続します。
28	PSENSE	I	充電器接続・開放検出用入力端子です。充電器が接続されるノード(負極側)に接続します。充電器と負荷が同じノードに接続される場合は、RSENSE 端子と PSENSE 端子をショートして下さい。

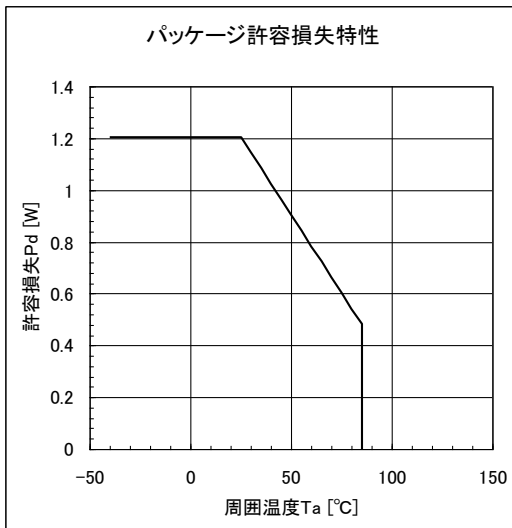
ピン番号	端子名	I/O	説明
30	CDLY	IO	ショート電流検出遅延時間の調整端子です。GND 間に容量を接続してください。
31	IMON	O	電流モニタ出力端子です。ISP-ISM 端子間入力電圧を 10 倍または 50 倍増幅した電圧を出力します。電流が流れていない場合には、1V(typ)が出力されます。
32	VMON	O	各セル電圧のモニタ出力です。セル電圧を 0.5 倍した電圧が出力されます。
33	VREF	O	外部 ADC 用 3.3V 基準電圧出力端子です。GND 間に 4.7 μ F のコンデンサを接続してください。
35	SDO	O	シリアル MCU インタフェースのデータ出力端子です。/CS 端子入力が"H"レベルのときは、高インピーダンス状態となります。
36	SDI	I	シリアル MCU インタフェースのデータ入力端子です。
37	SCK	I	シリアル MCU インタフェースのシリアルクロック入力端子です。SCK クロックの立上りエッジで、SDI 端子入力を LSI 内部に取り込み、SCK クロックの立下りエッジで、SDO 端子にデータが出力されます。
38	/CS	I	シリアル MCU インタフェースのチップセレクト端子です。"L"レベル入力でシリアル MCU インタフェースが有効となります。
39	/INTO	O	外部 CPU への割り込み信号出力です。NMOS オープンドレイン出力で、割り込み発生時に、"L"レベルを出力します。
40	/RES	IO	リセット信号入力、および、外部 MCU へのリセット信号出力です。NMOS オープンドレイン出力ですので、外部にプルアップ抵抗と GND 間に 0.1 μ F のコンデンサを接続してください。パワーダウン状態からの復帰時に、"L"リセットパルスを出し、内部状態および、外部 MCU を初期化します。
41	VREG	O	内蔵 3.3V レギュレータの出力端子です。GND 間に 4.7 μ F のコンデンサを接続してください。 外部 MCU の電源として使用可能です。また、LSI 内部の MCU インターフェース回路の電源としても使用しています。
42	TEST	I	LSI テスト用端子です。GND レベルに固定してください。
43	/PUPIN	I	パワーアップトリガ信号入力です。"L"レベル入力により、パワーダウン状態からパワーアップ状態へ移行します。VDD 端子間に 100k Ω のプルアップ抵抗を内蔵しています。
44	VDDP	—	内蔵レギュレータ専用電源電圧入力端子です。 外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。
24, 26, 29	NC	—	未使用端子です。オープンにしてください。

■ 絶対最大定格

(GND= 0 V, Ta = 25 °C)

項目	記号	条件	定格値	単位
電源電圧	V _{DD}	VDD, VDDP, VDD_SW 端子に適用	-0.3 ~ +86.5	V
入力電圧	V _{IN1}	V16~V0 端子に適用 V _{n+1} - V _n 端子間電位差 (注 1)	-0.3 ~ +6.5	V
	V _{IN2}	RSENSE, PSENSE 端子に適用	V _{DD} -86.5~V _{DD} +0.3	V
	V _{IN3}	/PUPIN 端子に適用	-0.3 ~ V _{DD} +0.3	V
	V _{IN4}	/CS, SCK, SDI, ISM, ISP 端子に適用	-0.3~V _{REG} +0.3	V
出力電圧	V _{OUT1}	D_FET 端子に適用	-0.3 ~ V _{DD} +0.3	V
	V _{OUT2}	C_FET 端子に適用	V _{DD} -86.5~V _{DD} +0.3	V
	V _{OUT3}	/RES, /INTO 端子に適用	-0.3~+6.5	V
出力短絡電流	I _{OS}	VDD=50V 時 VREG, SDO, /RES, /INTO, C_FET, D_FET 端子に適用	20	mA
セルバランス電流	I _{CB}	セルバランススイッチ 1 個当たり	200	mA
許容損失	P _D	Ta=25°C	1.2	W
ジャンクション温度	T _{JMAX}	—	125	°C
パッケージ熱抵抗	θ _{ja}	JEDEC2 層基板実装時	83	°C/W
保存温度	T _{STG}	—	-55~+150	°C

注 1: 電池セル接続時、または、取り外し時に V_{n+1}-V_n 端子間電圧が、定格値を超え破壊を引き起こす可能性がありますので、十分ご評価の上でご使用ください。



周囲温度 Ta が高くなると、パッケージ許容損失が減少しますので、VREG 端子出力負荷電流が大きい場合には、左記の許容損失を超えないことを確認してください。

■ 推奨動作条件

(GND= 0 V)

項目	記号	条件	範囲	単位
電源電圧	V _{DD}	VDD, VDDP, VDD_SW 端子に適用	7~80	V
動作温度	Ta	VREG 出力無負荷時	-40~+85	°C

■ 電気的特性

● 直流特性

V_{DD}=7~80V, GND=0 V, T_a=-40~+85°C, V_{REG} 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
デジタル"H"入力電圧(注 1)	V _{IH}	—	0.8 × V _{REG}	—	V _{REG}	V
デジタル"L"入力電圧(注 1)	V _{IL}	—	0	—	0.2 × V _{REG}	V
/PUPIN 端子 "H"入力電圧	V _{IHP}	—	0.8 × V _{DD}	—	V _{DD}	V
/PUPIN 端子 "L"入力電圧	V _{ILP}	—	0	—	0.2 × V _{DD}	V
デジタル"H"入力電流(注 1)	I _{IH}	V _{IH} = V _{REG}	—	—	2	μA
デジタル"L"入力電流(注 1)	I _{IL}	V _{IL} = GND	-2	—	—	μA
/PUPIN 端子 "H"入力電流	I _{IHP}	V _{IH} = V _{DD}	—	—	2	μA
/PUPIN 端子 "L"入力電流	I _{ILP}	V _{DD} =64V, V _{IL} = GND	-128	-64	-32	μA
デジタル"H"出力電圧(注 2)	V _{OH}	I _{OH} =-100μA	V _{REG} -0.2	—	V _{REG}	V
デジタル"L"出力電圧(注 3)	V _{OL}	I _{OL} =1mA	0	—	0.2	V
デジタル出力リーク電流 (注 3)	I _{OLK}	V _{OH} =3V V _{OL} =0V	-2	—	2	μA
セルモニタ端子 入力電流(注 4)	I _{INVC}	電池セル電圧測定時	-5	—	15	μA
セルモニタ端子 入力電流(注 4)	I _{ILVC}	電池セル電圧非測定時	-5	—	5	μA
FET "H"出力電圧(注 5)	V _{OHF}	I _{OH} =-10μA V _{DD} =18V~72V	10	14	18	V
FET "L"出力電圧(注 6)	V _{OLF}	I _{OL} = 100μA	0	—	0.3	V
C_FET 出力リーク電流	I _{LVC}	V _{CFET} =0V~V _{DD}	-5	—	5	μA
V _{REG} 出力電圧	V _{REG}	出力無負荷時	3.1	3.3	3.6	V
	V _{REG1}	10V < V _{DD} < 64V T _a = -10~60°C 出力負荷電流 < 10mA	3.1	3.3	3.5	V
	V _{REG2}	10V < V _{DD} < 64V T _a = -40~70°C 出力負荷電流 < 10mA	3.0	3.3	3.6	V
	V _{REG3}	7V < V _{DD} < 10V T _a = -10~60°C 出力負荷電流 < 5mA	3.1	3.3	3.5	V
	V _{REG4}	7V < V _{DD} < 10V T _a = -40~85°C 出力負荷電流 < 5mA	3.0	3.3	3.6	V
V _{REF} 出力電圧	V _{REF1}	T _a = -10~60°C 出力負荷電流 < 1mA	3.28	3.30	3.34	V
	V _{REF2}	T _a = -40~85°C 出力負荷電流 < 1mA	3.25	3.30	3.35	V
セルバランススイッチ ON 抵抗	R _{BL}	内蔵バランス FET V _{DS} =0.6V V _{DD} =18V~64V	3	6	12	Ω

注 1:/CS, SCK, SDI 端子に適用

注 2:SDO 端子に適用

注 3:SDO, /RES, /INTO 端子に適用

注 4:V16~V0 端子に適用

注 5:C_FET, D_FET 端子に適用

注 6:D_FET 端子に適用

● 消費電流特性

V_{DD}=7~64V, GND=0 V, Ta=-40~+85°C, VREG, VREF 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
ノーマル状態 消費電流	I _{DD1}	出力無負荷時	—	50	100	μA
パワーセーブ状態 消費電流	I _{DD2}	出力無負荷時	—	25	50	μA
パワーダウン状態 消費電流	I _{DDs}	出力無負荷時	—	0.1	1.0	μA

(注) 上記消費電流は、VDD 端子と VDDP 端子の両方に流れる電流の合計値で規定しています。

● 検出電圧特性 (Ta=25°C)

V_{DD}=48V, GND=0 V, Ta=25°C, VREG 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
ショート電流検出電圧	V _{SHRT0}	SC1,SC0ビット=(0,0)	0.06	0.1	0.14	V
	V _{SHRT1}	SC1,SC0ビット=(0,1)	0.1	0.2	0.3	V
	V _{SHRT2}	SC1,SC0ビット=(1,0)	0.2	0.3	0.4	V
	V _{SHRT3}	SC1,SC0ビット=(1,1)	0.3	0.4	0.5	V
ショート電流検出遅延時間	t _{SHRT}	C _{DLY} =1nF	50	100	200	μs
VREG 低下検出電圧	V _{RD}	—	2.3	2.45	2.6	V
VREG 復帰検出電圧	V _{RR}	—	2.5	2.75	2.9	V

● 検出電圧特性 (Ta=-10~+60°C)

V_{DD}=48V, GND=0 V, Ta=-10~+60°C, VREG 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
ショート電流検出電圧	V _{SHRT0}	SC1,SC0ビット=(0,0)	0.06	0.1	0.14	V
	V _{SHRT1}	SC1,SC0ビット=(0,1)	0.09	0.2	0.31	V
	V _{SHRT2}	SC1,SC0ビット=(1,0)	0.19	0.3	0.41	V
	V _{SHRT3}	SC1,SC0ビット=(1,1)	0.29	0.4	0.51	V
ショート電流検出遅延時間	t _{SHRT}	C _{DLY} =1nF	40	100	220	μs
VREG 低下検出電圧	V _{RD}	—	2.20	2.45	2.70	V
VREG 復帰検出電圧	V _{RR}	—	2.40	2.75	3.00	V

● 電圧・電流モニタ出力特性 (Ta=25°C)

V_{DD}=48V, GND=0 V, Ta=25°C, VREG 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
セル電圧測定範囲	V _{VMR}	—	0.1	—	4.5	V
VMON 出力電圧	V _{VMC1}	セル電圧=3.6V 時 出力無負荷時	1.79	1.80	1.81	V
	V _{VMC2}	セル電圧=1V 時 出力無負荷時	0.48	0.50	0.52	V
IMON 出力電圧	V _{IMON0}	ISP-ISM 間電位差=0V GIM ビット="0"	0.9	1.0	1.1	V
	V _{IMON1}	ISP-ISM 間電位差=0V GIM ビット="1"	0.5	1.0	1.5	V
IMON 出力電圧増幅率	G _{IM0}	GIM ビット="0"	9	10	11	V/V
	G _{IM1}	GIM ビット="1"	45	50	55	V/V

● 電圧・電流モニタ出力特性 (Ta=-10~60°C)

V_{DD}=48V, GND=0 V, Ta=-10~+60°C, VREG 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
セル電圧測定範囲	V _{VMR}	—	0.1	—	4.5	V
VMON 出力電圧	V _{VMC1}	セル電圧=3.6V 時 出力無負荷時	1.78	1.80	1.82	V
	V _{VMC2}	セル電圧=1V 時 出力無負荷時	0.47	0.50	0.53	V
IMON 出力電圧	V _{IMON0}	ISP-ISM 間電位差=0V GIM ビット="0"	0.85	1.00	1.15	V
	V _{IMON1}	ISP-ISM 間電位差=0V GIM ビット="1"	0.4	1.0	1.6	V
IMON 出力電圧増幅率	G _{IM0}	GIM ビット="0"	8.5	10.0	11.5	V/V
	G _{IM1}	GIM ビット="1"	44	50	56	V/V

● 負荷開放・充電器接続／開放検出電圧特性 (Ta=25°C)

V_{DD}=48 V, GND=0 V, Ta=+25°C

項目	記号	条件	Min.	Typ.	Max.	単位
充電器接続検出 PSENSE 端子電圧	V _{PC}	パワーダウン状態からの パワーアップ時	V _{DD} X0.2	V _{DD} X0.5	V _{DD} X0.8	V
充電器開放検出 PSENSE 端子電圧	V _{PLU}	PSENSE レジスタの PSL ビット変化閾値	0.1	0.2	0.3	V
	V _{PLD}	PSENSE レジスタの PSH ビット変化閾値	V _{DD} X0.7	V _{DD} X0.75	V _{DD} X0.8	V
負荷開放検出 RSENSE 端子電圧	V _{RL}	RSENSE レジスタの RRS ビット変化閾値	2.2	2.4	2.6	V
PSENSE プルアップ抵抗	R _{PU}	PSENSE レジスタの EPSL、EPSH ビット"1"時	300	500	850	kΩ
RSENSE プルダウン抵抗	R _{PD}	RSENSE レジスタの ERS ビット"1"時	1	2	3	MΩ
PSENSE 入力リーク電流	I _{LPS}	プルアップ抵抗接続時以外	-2	—	2	μA
RSENSE 入力リーク電流	I _{LRS}	プルダウン抵抗接続時以外	-2	—	2	μA

● 負荷開放・充電器接続／開放検出電圧特性 (Ta=-10~+60°C)

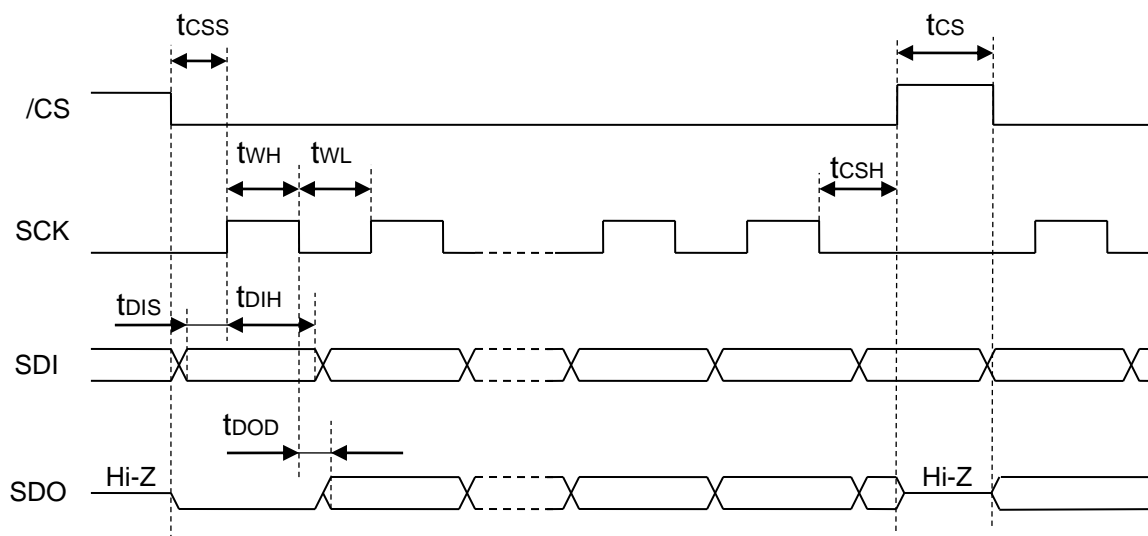
V_{DD}=48 V, GND=0 V, Ta=-10~+60°C

項目	記号	条件	Min.	Typ.	Max.	単位
充電器接続検出 PSENSE 端子電圧	V _{PC}	パワーダウン状態からの パワーアップ時	V _{DD} X0.2	V _{DD} X0.5	V _{DD} X0.8	V
充電器開放検出 PSENSE 端子電圧	V _{PLU}	PSENSE レジスタの PSL ビット変化閾値	0	0.2	0.4	V
	V _{PLD}	PSENSE レジスタの PSH ビット変化閾値	V _{DD} X0.65	V _{DD} X0.75	V _{DD} X0.85	V
負荷開放検出 RSENSE 端子電圧	V _{RL}	RSENSE レジスタの RRS ビット変化閾値	2.0	2.4	2.8	V
PSENSE プルアップ抵抗	R _{PU}	PSENSE レジスタの EPSL、EPSH ビット"1"時	200	500	1000	kΩ
RSENSE プルダウン抵抗	R _{PD}	RSENSE レジスタの ERS ビット"1"時	0.5	2	4	MΩ
PSENSE 入力リーク電流	I _{LPS}	プルアップ抵抗接続時以外	-2	—	2	μA
RSENSE 入力リーク電流	I _{LRS}	プルダウン抵抗接続時以外	-2	—	2	μA

● 交流特性

$V_{DD}=7\sim 80V$, $GND=0V$, $T_a=-40\sim +85^{\circ}C$, VREG 出力無負荷時

項目	記号	条件	Min.	Typ.	Max.	単位
/CS-SCK セットアップ時間	t_{CSS}	—	100	—	—	ns
SCK-/CS ホールド時間	t_{CSH}	—	100	—	—	ns
SCK “H”パルス幅	t_{WH}	—	500	—	—	ns
SCK “L”パルス幅	t_{WL}	—	500	—	—	ns
SCK-SDI セットアップ時間	t_{DIS}	—	50	—	—	ns
SCK-SDI ホールド時間	t_{DIH}	—	50	—	—	ns
SCK-SDO 出力遅延時間	t_{DOD}	—	—	—	400	ns
/CS “H”パルス幅	t_{CS}	—	500	—	—	ns

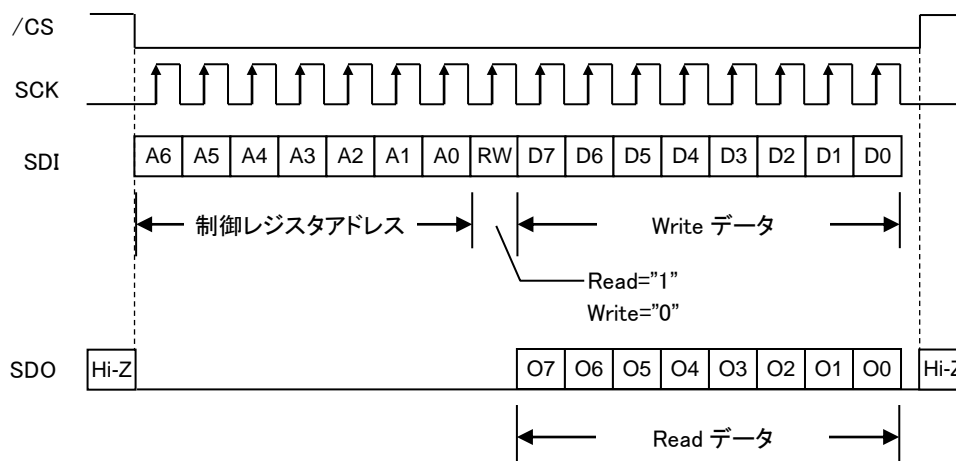


■ 機能説明

● MCU インタフェース

ML5238 には、SPI インタフェースを搭載しています。

制御レジスタの各アドレスへのデータのリード・ライトを行なうことで、各種設定や制御を行います。



データ書込みの場合には、RW ビットを"0"に設定し、データ読み出しの場合には、RW ビットを"1"に設定します。

● 制御レジスタ

以下に、制御レジスタマップを示します。

アドレス	レジスタ名称	R/W	初期値	レジスタ概要
00H	NOOP	R/W	00H	機能は割り当てられていません。
01H	VMON	R/W	00H	電池セル電圧測定
02H	IMON	R/W	00H	電流測定設定
03H	FET	R/W	00H	FET 設定
04H	PSENSE	R/W	00H	PSENSE 端子コンパレータ設定
05H	RSENSE	R/W	00H	ショート電流検出設定 RSENSE 端子コンパレータ設定
06H	POWER	R/W	00H	パワーセーブ・パワーダウン制御
07H	STATUS	R/W	00H	内部ステータス
08H	CBALH	R/W	00H	上位 8 セルバランススイッチ ON/OFF 設定
09H	CBALL	R/W	00H	下位 8 セルバランススイッチ ON/OFF 設定
0AH	SETSC	R/W	00H	ショート電流検出電圧設定
その他	TEST	R/W	00H	テスト用(使用不可)

1. NOOP レジスタ (Adrs=00H)

	7	6	5	4	3	2	1	0
ビット名	NO7	NO6	NO5	NO4	NO3	NO2	NO1	NO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

NOOP レジスタには、機能は割り当てられていませんので、このレジスタへのリードライトアクセスにより、LSI 状態が変化することはありません。ライトしたデータがそのままリードできます。

2. VMON レジスタ (Adrs=01H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	OUT	CN3	CN2	CN1	CN0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

VMON レジスタは、VMON 端子に出力する電池セルの設定レジスタです。

CN0、CN1、CN2、CN3 ビットにより、電池セルを選択し、OUT ビットにより、VMON 端子へ出力します。

OUT	CN3	CN2	CN1	CN0	選択電池セル
0	—	—	—	—	VMON 端子=0V(初期値)
1	0	0	0	0	V1 セル(最下位)
1	0	0	0	1	V2 セル
1	0	0	1	0	V3 セル
1	0	0	1	1	V4 セル
1	0	1	0	0	V5 セル
1	0	1	0	1	V6 セル
1	0	1	1	0	V7 セル
1	0	1	1	1	V8 セル
1	1	0	0	0	V9 セル
1	1	0	0	1	V10 セル
1	1	0	1	0	V11 セル
1	1	0	1	1	V12 セル
1	1	1	0	0	V13 セル
1	1	1	0	1	V14 セル
1	1	1	1	0	V15 セル
1	1	1	1	1	V16 セル(最上位)

3. IMON レジスタ (Adrs=02H)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	OUT	GCAL1	GCAL0	ZERO	GIM
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IMON レジスタは、電流測定の種類設定を行なうレジスタです。

GIM ビットにより、電流測定アンプの電圧増幅率を設定します。

GIM	電圧増幅率 G_{IM}
0	10 倍(初期値)
1	50 倍

ZERO ビットにより、電流測定アンプのゼロ補正を行います。

ZERO	ISP 入力	ISM 入力
0	端子入力	端子入力
1	GND レベル	GND レベル

GCAL0, GCAL1 ビットにより、電流測定アンプの電圧増幅率の補正を行ないます。

GCAL0 ビットにより、ISP、ISM 端子入力は、IC 内部で GND や 20mV/100mV の内部基準電圧に切り替えられ、GCAL1 ビットにより、IMON 出力は、内部基準電圧出力に切り替えられます。

GCAL1	GCAL0	ISP 入力	ISM 入力	IMON 出力	
0	0	端子入力	端子入力	増幅出力	
0	1	GIM=0	100mV	GND レベル	2V(typ)
		GIM=1	20mV	GND レベル	2V(typ)
1	0	端子入力	端子入力	増幅出力	
1	1	GIM=0	100mV	GND レベル	基準電圧出力 100mV(typ)
		GIM=1	20mV	GND レベル	基準電圧出力 20mV(typ)

ZERO ビットが”1”に設定されていた場合には、GCAL1, GCAL0 ビットの設定は無効となります。

OUT ビットにより、電流測定アンプ出力を IMON 端子へ出力します。ゼロ補正やゲイン補正を行なう場合も、OUT ビットを”1”に設定します。

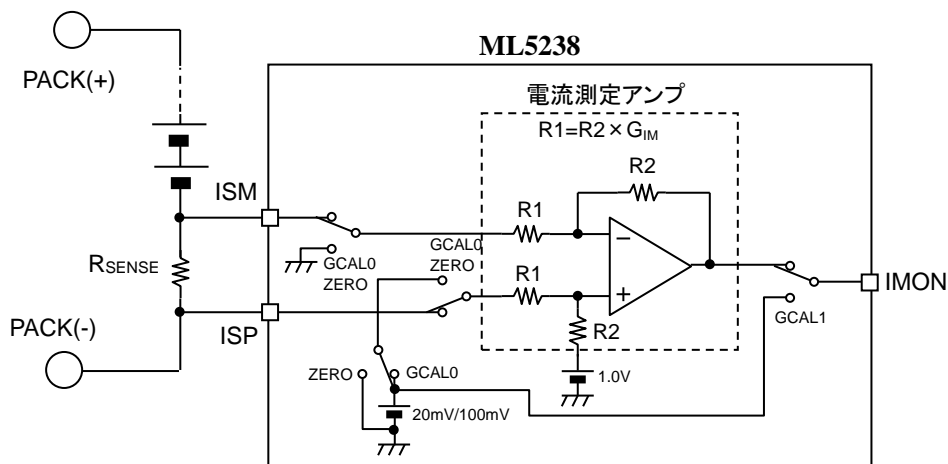
OUT	IMON 端子出力
0	0V(初期値)
1	電流測定アンプ出力

電流測定は、ISP 端子と ISM 端子間に電流センス抵抗 R_{SENSE} を接続し、これら端子間の入力電位差を測定することで行います。

ISP-ISM 端子間電位差は、1.0V(typ)中心の電圧に変換され、IMON 端子に出力されます。IMON 端子出力電圧 V_{IMON} は、電流センス抵抗 R_{SENSE} 、流れる電流 I_{SENSE} を用いて、次式で与えられます。

$$V_{IMON} = (I_{SENSE} \times R_{SENSE}) \times G_{IM} + 1.0$$

電流測定アンプの回路構成を以下に示します。



電流ゼロ時に $V_{IMON}=1.0V$ 、放電電流時に $V_{IMON} > 1.0V$ 、充電電流時に $V_{IMON} < 1.0V$ となります。

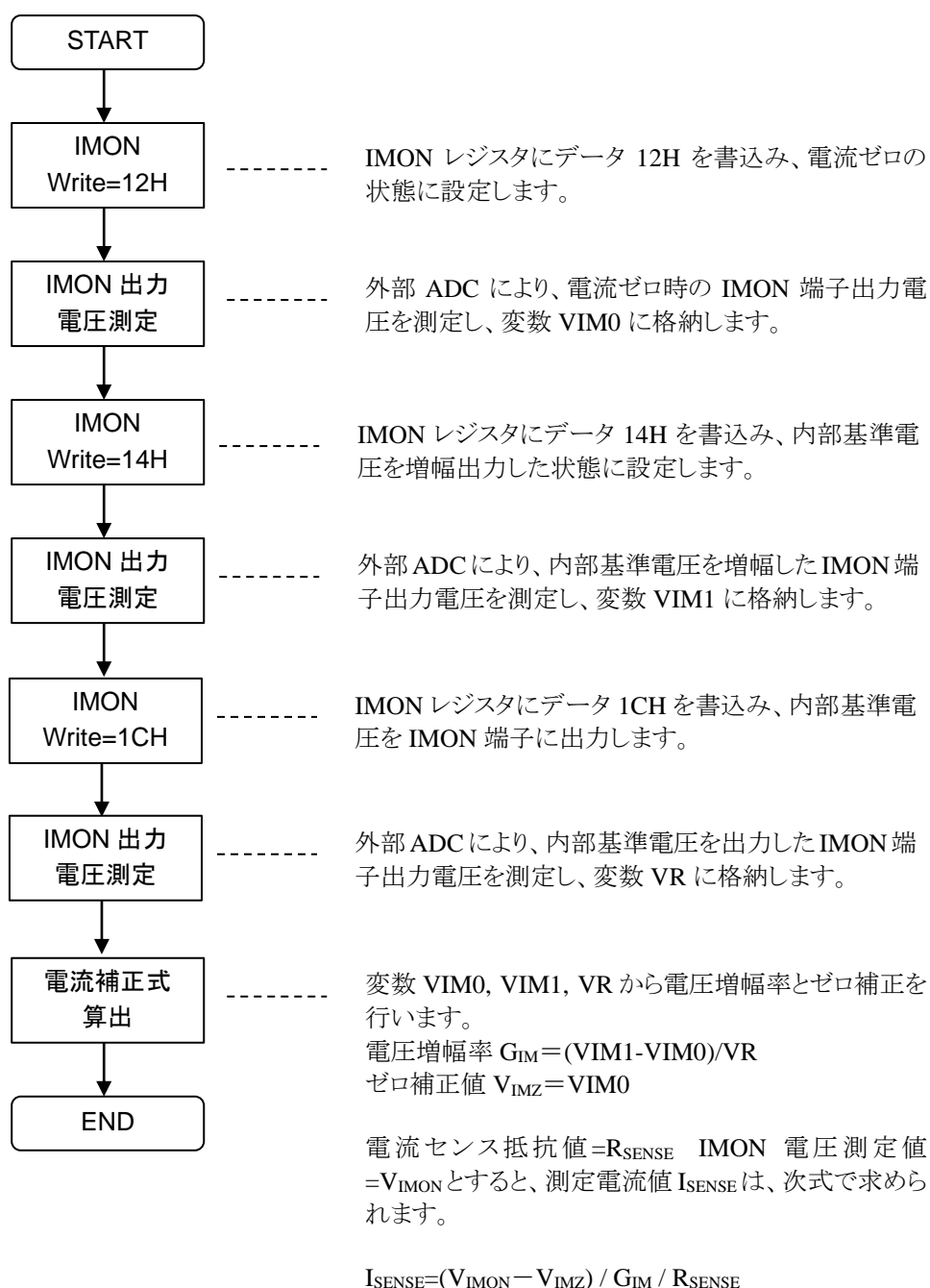
ZERO ビット="1"に設定すると、ISM 端子、ISP 端子入力は、LSI 内部で GND レベルに切り替えられ、電流測定アンプの入力電位差をゼロにします。このときの IMON 端子出力電圧を電流ゼロ時の基準電圧とすることで、内部 1.0V 基準電圧のばらつきやアンプのオフセット電圧を補正することができます。

GCAL0 ビット="1"に設定すると、ISM 端子入力は、LSI 内部で GND レベルに切り替えられ、ISP 端子入力は、GIM ビット="0"時には、LSI 内部の基準電圧 100mV に、GIM ビット="1"時には、LSI 内部の基準電圧 20mV に切り替えられます。このときの IMON 端子出力電圧と電流ゼロ時の基準電圧の電位差と IC 内部基準電圧からゲイン誤差を補正することができます。

IC 内部基準電圧は、GCAL1 ビットを="1"に設定することで、IMON 端子に出力されます。

なお、ショート電流検出特性は、IMON 端子出力設定には無関係です。

以下に、増幅率 10 倍設定時の電流測定アンプのキャリブレーション例のフローチャートを示します。



4. FET レジスタ (Adrs=03H)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	DRV	—	—	CF	DF
R/W	R	R	R	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FETレジスタは、C_FET、D_FET 端子の ON/OFF 制御や出力状態の読み出しを行なうレジスタです。

DFビットにより、D_FET 端子出力状態を設定します。ショート電流検出時には、自動的に DFビットは”0”にリセットされますが、ショート検出状態から正常状態に復帰しても、自動的に”1”にセットされませんので、外部 MCU により ON 制御を行なってください。

DF	放電制御 FET	D_FET 端子出力状態
0	OFF(初期値)	0V
1	ON	14V(typ)

CFビットにより、C_FET 端子出力状態を設定します。ショート電流検出時には、自動的に CFビットは”0”にリセットされますが、ショート検出状態から正常状態に復帰しても、自動的に”1”にセットされませんので、外部 MCU により ON 制御を行なってください。

CF	充電制御 FET	C_FET 端子出力状態
0	OFF(初期値)	Hi-Z
1	ON	14V(typ)

DRVビットにより、内蔵 FETドライブ回路の出力電流能力を設定します。DRVビットを”1”に設定することで、D_FET、C_FET 端子出力を”H”レベルに変化させる場合の D_FET、C_FET 端子出力の立ち上がり時間を短くすることができます。

D_FET、C_FET 端子の負荷容量に応じて、DRVビットを”1”に設定する時間を調整してください。D_FET、C_FET 端子出力が”H”レベルに安定した後は、必ず、DRVビットを”0”に戻してください。DRVビットを”1”に設定し続けると、消費電流、および、D_FET、C_FET 端子の”H”出力電圧が電気的特性で規定した規格以上となる可能性があります。

DRV	FETドライバ出力能力
0	通常(初期値)
1	増強

5. PSENSE レジスタ (Adrs=04H)

ビット名	7	6	5	4	3	2	1	0
	EPSH	IPSH	RPSH	PSH	EPSL	IPSL	RPSL	PSL
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R
初期値	0	0	0	0	0	0	0	0

PSENSE レジスタは、PSENSE 端子入力により充電器の接続/開放状態を検出するコンパレータの各種設定を行なうレジスタです。

PSENSE 端子には、放電制御 FET の ON/OFF 状態の両方に対応できるように、閾値の異なる 2 種類のコンパレータを搭載しています。

放電制御 FET が ON 状態で充電器開放を検出する場合は、充電制御 FET のボディダイオードにより PSENSE 端子電圧はクランプされるため、0.2V(typ)と閾値の低いコンパレータを使用します。

主に、充電過電流検出時の充電器開放を検出する場合に閾値の低いコンパレータを使用します。

閾値の低い充電器開放検出コンパレータの各種設定は、EPSL, IPSL, RPSL ビットで行い、コンパレータ出力は、PSL ビットに割り当てられています。

EPSL ビットにより、充電器開放検出コンパレータの動作/停止を設定します。動作状態に設定すると、PSENSE 端子は LSI 内部で 500kΩ プルアップ抵抗が接続されます。

EPSL	充電器開放検出 コンパレータ動作状態	PSENSE 端子状態
0	停止(初期値)	Hi-Z(初期値)
1	動作	500kΩ プルアップ

IPSL ビットにより、充電器開放検出コンパレータ出力(PSL ビット)が"0"から"1"に変化した時に、/INTO 端子への割り込み出力許可を設定します。なお、EPSL ビットを"1"に設定してから 1ms 以上経過した後に IPSL ビットを"1"に設定してください。

IPSL	割り込み許可
0	禁止(初期値)
1	許可

RPSL ビットにより、充電器開放検出コンパレータ出力(PSL ビット)が"0"から"1"に変化した時の割り込み発生の有無を示します。割り込みクリアする場合には、RPSL ビットに"0"を書き込みます。RPSL ビットへの"1"書き込みは無視されます。IPSL ビットが"0"の場合には、RPSL ビットは"0"に固定されません。

RPSL	割り込み発生有無
0	割り込みなし(初期値)
1	割り込み発生

PSL ビットにより、充電器接続状態を読み出します。EPSL ビットが"0"の場合には、PSL ビットは"0"に固定されます。PSL ビットへの"1"書き込みは無視されます。

PSL	充電器接続状態	PSENSE 端子電圧
0	充電器接続(初期値)	0.2V 以下
1	充電器開放	0.2V 以上

放電制御 FET が OFF 状態で充電器開放を検出する場合は、PSENSE 端子電圧は電源電圧 V_{DD} まで上昇することができるため、 $V_{DD} \times 0.75$ と閾値の高いコンパレータを使用します。

主に、パワーダウン状態へ移行時の充電器開放を検出する場合に閾値の高いコンパレータを使用します。

閾値の高い充電器開放検出コンパレータの各種設定は、EPSH, IPSH, RPSH ビットで行い、コンパレータ出力は、PSH ビットに割り当てられています。

EPSH ビットにより、充電器開放検出コンパレータの動作/停止を設定します。動作状態に設定すると、PSENSE 端子は LSI 内部で $500k\Omega$ プルアップ抵抗が接続されます。

EPSH	充電器開放検出 コンパレータ動作状態	PSENSE 端子状態
0	停止(初期値)	Hi-Z(初期値)
1	動作	$500k\Omega$ プルアップ

IPSH ビットにより、充電器開放検出コンパレータ出力(PSH ビット)が"0"から"1"に変化した時に、/INT0 端子への割り込み出力許可を設定します。なお、EPSH ビットを"1"に設定してから 1ms 以上経過した後 IPSH ビットを"1"に設定してください。

IPSH	割り込み許可
0	禁止(初期値)
1	許可

RPSH ビットにより、充電器開放検出コンパレータ出力(PSH ビット)が"0"から"1"に変化した時の割り込み発生の有無を示します。割り込みクリアする場合には、RPSH ビットに"0"を書き込みます。RPSH ビットへの"1"書き込みは無視されます。IPSH ビットが"0"の場合には、RPSH ビットは"0"に固定されます。

RPSH	割り込み発生有無
0	割り込みなし(初期値)
1	割り込み発生

PSH ビットにより、充電器接続状態を読み出します。EPSH ビットが"0"の場合には、PSH ビットは"0"に固定されます。PSH ビットへの"1"書き込みは無視されます。

PSH	充電器接続状態	PSENSE 端子電圧
0	充電器接続(初期値)	$V_{DD} \times 0.75$ 以下
1	充電器開放	$V_{DD} \times 0.75$ 以上

6. RSENSE レジスタ (Adrs=05H)

ビット名	7	6	5	4	3	2	1	0
	ESC	ISC	RSC	SC	ERS	IRS	RRS	RS
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R
初期値	0	0	0	0	0	0	0	0

RSENSE レジスタは、ショート電流検出の各種設定と、RSENSE 端子入力により負荷の接続/開放状態を検出するコンパレータの各種設定を行なうレジスタです。

ESC ビットにより、ショート電流検出回路の動作/停止を設定します。

ESC	ショート電流検出回路動作状態
0	停止(初期値)
1	動作

ISC ビットにより、ショート電流検出した時に、/INTO 端子への割り込み出力許可を設定します。

ISC	割り込み許可
0	禁止(初期値)
1	許可

RSC ビットにより、ショート電流検出した時の割り込み発生の有無を示します。割り込みクリアする場合には、RSC ビットに"0"を書き込みます。RSC ビットへの"1"書き込みは無視されます。ISC ビットが"0"の場合には、RSC ビットは"0"に固定されます。

RSC	割り込み発生有無
0	割り込みなし(初期値)
1	割り込み発生

SC ビットにより、ショート電流検出コンパレータの出力状態を読み出します。

SC ビットが"0"から"1"に変化すると、CDLY 端子に接続されたコンデンサの充電を開始します。充電が完了すると、RSC ビットは自動的に"1"に変化し、FET レジスタの DF ビット、CF ビットが自動的に"0"にリセットされます。CDLY 端子に接続されたコンデンサの充電が完了する前に、ショート電流検出状態でなくなった場合には、CDLY 端子の充電は中止され、CDLY 端子は GND レベルに固定されます。

ESC ビット"0"の場合には、SC ビットは"0"に固定されます。SC ビットへの"1"書き込みは無視されません。

SC	ショート電流検出コンパレータ出力状態	ISP-ISM 端子間電圧
0	ショート電流未検出(初期値)	ショート検出電圧以下
1	ショート電流検出	ショート検出電圧以上

ショート電流検出電圧は、SETSC レジスタにより設定します。

ショート電流検出遅延時間は、CDLY 端子に接続されたコンデンサ C_{DLY} の充電時間により設定し、以下の式で表されます。

$$\text{ショート検出遅延時間 } t_{sc}[\mu\text{s}] = C_{DLY}[\text{nF}] \times 100$$

ERS ビットにより、負荷開放検出コンパレータの動作/停止を設定します。動作状態に設定すると、RSENSE 端子は LSI 内部で $2M\Omega$ プルダウン抵抗が接続されます。

ERS	負荷開放検出 コンパレータ動作状態	RSENSE 端子状態
0	停止(初期値)	Hi-Z(初期値)
1	動作	$2M\Omega$ プルダウン

IRS ビットにより、負荷開放検出コンパレータ出力(RS ビット)が”0”から”1”に変化した時に、/INTO 端子への割り込み出力許可を設定します。ERS ビットを”1”に設定してから 1ms 以上経過した後に IRS ビットを”1”に設定してください。

IRS	割り込み許可
0	禁止(初期値)
1	許可

RRS ビットにより、負荷開放検出コンパレータ出力(RS ビット)が”0”から”1”に変化した時の割り込み発生の有無を示します。割り込みクリアする場合には、RRS ビットに”0”を書き込みます。RRS ビットへの”1”書き込みは無視されます。IRS ビットが”0”の場合には、RRS ビットは”0”に固定されます。

RRS	割り込み発生有無
0	割り込みなし(初期値)
1	割り込み発生

RS ビットにより、負荷接続状態を読み出します。ERS ビットが”0”の場合には、RS ビットは”0”に固定されます。RS ビットへの”1”書き込みは無視されます。

RS	負荷接続状態	RSENSE 端子電圧
0	負荷接続(初期値)	2.4V 以上
1	負荷開放	2.4V 以下

7. POWER レジスタ (Adrs=06H)

ビット名	7	6	5	4	3	2	1	0
	PUPIN	—	—	PDWN	—	—	—	PSV
R/W	R	R	R	R/W	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0

POWER レジスタは、パワーセーブ、パワーダウン制御を行なうレジスタです。

PSV ビットにより、パワーセーブ状態への移行します。

PSV	動作状態
0	通常状態(初期値)
1	パワーセーブ状態

パワーセーブ状態では、VREG 出力、VREF 出力に必要な回路のみ動作状態とし、電池セル電圧測定回路や電流測定回路の動作を停止させ、消費電流を低減させます。FET 駆動回路やショート検出回路の動作はパワーセーブ状態でも継続して動作しますが、PSENSE 端子、RSENSE 端子の各コンパレータは動作を停止します。

パワーセーブ状態から通常状態への復帰は、PSV ビットを”0”にリセットすることで行います。

PSENSE 端子、RSENSE 端子の各コンパレータを動作設定にしていた場合には、パワーセーブ状態から復帰後、再度、動作設定を行ってください。

PDWN ビットにより、パワーダウン状態へ移行します。

PDWN	パワーダウン
0	通常状態(初期値)
1	パワーダウン状態

PDWN ビットを”1”にセットすると、PSENSE 端子に 500kΩ プルアップ抵抗が自動的に接続され、全ての回路動作を停止させ、/RES 端子に”L”レベルが出力されます。

PDWN ビットを”1”にセットする前に、C_FET、D_FET 端子ともに OFF 状態に設定し、充電器が接続されていないことを PSENSE レジスタにより確認してください。また、/PUPIN 端子入力が”L”レベルのときに、PDWN ビットを”1”にセットしても、/PUPIN 端子入力が”H”レベルになるまで、パワーダウン状態には移行しません。PUPIN ビットにより、/PUPIN 端子状態を読み出すことができますので、PDWN ビットを”1”にセットする前に、/PUPIN 端子状態が”L”レベルでないことを確認してください。

PUPIN	/PUPIN 端子状態
0	”H”レベル
1	”L”レベル

パワーダウン状態からの復帰は、PSENSE 端子による充電器接続検出、もしくは、/PUPIN 端子への”L”レベル入力により行なわれます。

パワーダウン状態では、外部マイコン用電源である VREG 出力も GND レベルとなりますので、パワーダウン状態からの復帰時には、VREG 出力が立上り、/RES 端子出力が”L”レベルから”H”レベルへ変化した後、各種初期設定を行なってください。

8. STATUS レジスタ (Adrs=07H)

	7	6	5	4	3	2	1	0
ビット名	RSC	RRS	RPSH	RPSL	INT	PSV	CF	DF
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

STATUS レジスタは、各種状態を示すレジスタです。

DF ビットにより、D_FET 端子出力状態を示します。

DF	D_FET 端子状態
0	OFF(初期値)
1	ON

CF ビットにより、C_FET 端子出力状態を示します。

CF	C_FET 状態
0	OFF(初期値)
1	ON

PSV ビットにより、パワーセーブ状態を示します。

PSV	パワーセーブ状態
0	通常動作(初期値)
1	パワーセーブ

INT ビットにより、/INTO 端子出力状態を示します。

INT	/INTO 端子出力状態
0	割り込みなし(初期値)
1	割り込み発生

RPSL ビットにより、充電過電流検出時充電器開放検出割り込み発生状態を示します。

RPSL	充電過電流検出時充電器開放検出割り込み
0	割り込み発生なし(初期値)
1	充電器開放検出割り込み発生

RPSH ビットにより、パワーダウン移行時充電器開放検出割り込み発生状態を示します。

RPSH	パワーダウン移行時充電器開放検出割り込み発生状態
0	割り込み発生なし(初期値)
1	充電器開放検出割り込み発生

RRS ビットにより、負荷開放検出割り込み発生状態を示します。

RRS	負荷開放検出割り込み発生状態
0	割り込み発生なし(初期値)
1	負荷開放検出割り込み発生

RSC ビットにより、ショート電流検出割り込み発生状態を示します。

RSC	ショート電流検出割り込み発生状態
0	割り込み発生なし(初期値)
1	ショート電流検出割り込み発生

9. CBALH レジスタ (Adrs=08H)

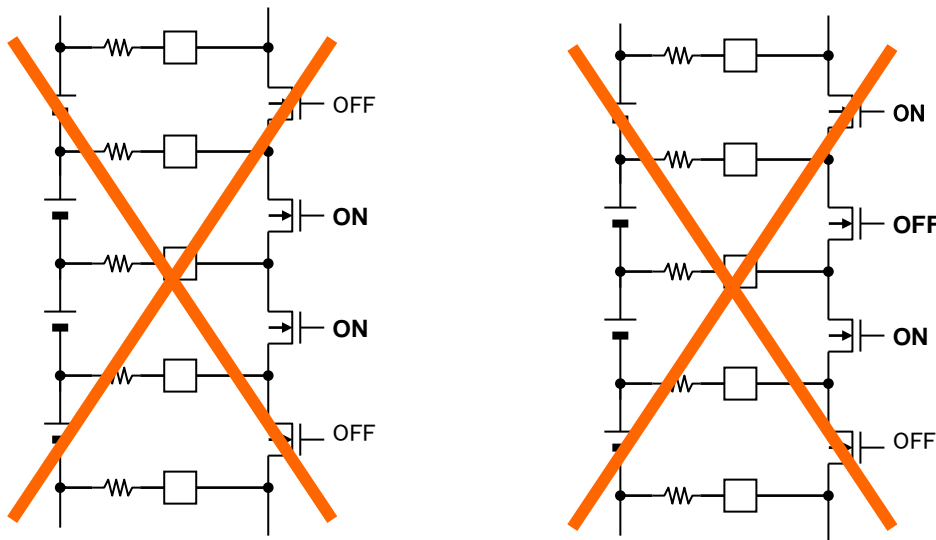
ビット名	7	6	5	4	3	2	1	0
	SW16	SW15	SW14	SW13	SW12	SW11	SW10	SW9
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

CBALH レジスタは、上位 8 セルのセルバランススイッチの ON/OFF 設定を行なうレジスタです。SW16～SW9 ビットにより、各セルの ON/OFF 設定を行います。

SW16	SW15	SW14	SW13	SW12	SW11	SW10	SW9	スイッチ ON/OFF
0	0	0	0	0	0	0	0	上位 8 セル OFF (初期値)
0	0	0	0	0	0	0	1	V9-V8 端子スイッチ ON
0	0	0	0	0	0	1	0	V10-V9 端子スイッチ ON
0	0	0	0	0	1	0	0	V11-V10 端子スイッチ ON
0	0	0	0	1	0	0	0	V12-V11 端子スイッチ ON
0	0	0	1	0	0	0	0	V13-V12 端子スイッチ ON
0	0	1	0	0	0	0	0	V14-V13 端子スイッチ ON
0	1	0	0	0	0	0	0	V15-V14 端子スイッチ ON
1	0	0	0	0	0	0	0	V16-V15 端子スイッチ ON

複数のスイッチを同時に ON することも可能ですが、内蔵セルバランススイッチ FET の破壊を引き起こす可能性がある下記の設定は禁止します。

- (1)隣接したセルバランススイッチを ON させることは禁止します。
- (2)OFF したセルバランススイッチの両側のセルバランススイッチを同時に ON させることは禁止します。



また、セルバランス電流とセルバランススイッチ ON 抵抗により発熱しますので、セルバランススイッチでの電力損失が許容損失を超えないように、ON させるスイッチ数や ON 時間に制約を設けてください。

なお、VMON 端子に各セル電圧を出力している場合には、セルバランススイッチを ON したセル電圧は、セルバランススイッチ両端の電位差の電圧が出力されます。

10. CBALL レジスタ (Adrs=09H)

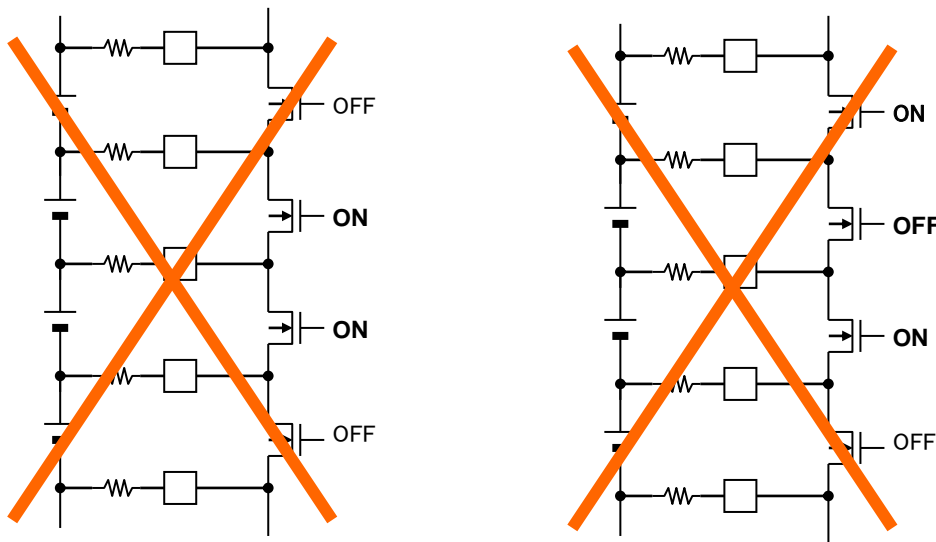
ビット名	7	6	5	4	3	2	1	0
	SW8	SW7	SW6	SW5	SW4	SW3	SW2	SW1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

CBALL レジスタは、下位 8 セルのセルバランススイッチの ON/OFF 設定を行なうレジスタです。
SW8~SW1 ビットにより、各セルの ON/OFF 設定を行います。

SW8	SW7	SW6	SW5	SW4	SW3	SW2	SW1	スイッチ ON/OFF
0	0	0	0	0	0	0	0	下位 8 セル OFF (初期値)
0	0	0	0	0	0	0	1	V1-V0 端子スイッチ ON
0	0	0	0	0	0	1	0	V2-V1 端子スイッチ ON
0	0	0	0	0	1	0	0	V3-V2 端子スイッチ ON
0	0	0	0	1	0	0	0	V4-V3 端子スイッチ ON
0	0	0	1	0	0	0	0	V5-V4 端子スイッチ ON
0	0	1	0	0	0	0	0	V6-V5 端子スイッチ ON
0	1	0	0	0	0	0	0	V7-V6 端子スイッチ ON
1	0	0	0	0	0	0	0	V8-V7 端子スイッチ ON

複数のスイッチを同時に ON することも可能ですが、内蔵セルバランススイッチ FET の破壊を引き起こす可能性がある下記の設定は禁止します。

- (1)隣接したセルバランススイッチを ON させることは禁止します。
- (2)OFF したセルバランススイッチの両側のセルバランススイッチを同時に ON させることは禁止します。



また、セルバランス電流とセルバランススイッチ ON 抵抗により発熱しますので、セルバランススイッチでの電力損失が許容損失を超えないように、ON させるスイッチ数や ON 時間に制約を設けてください。

なお、VMON 端子に各セル電圧を出力している場合には、セルバランススイッチを ON したセル電圧は、セルバランススイッチ両端の電位差の電圧が出力されます。

11. SETSC レジスタ (Adrs=0AH)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SC1	SC0
R/W	R	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SETSC レジスタは、ショート電流検出電圧の設定を行なうレジスタです。
電流センス抵抗値に応じて、SC0、SC1 ビットにより、ショート電流検出電圧を選択します。

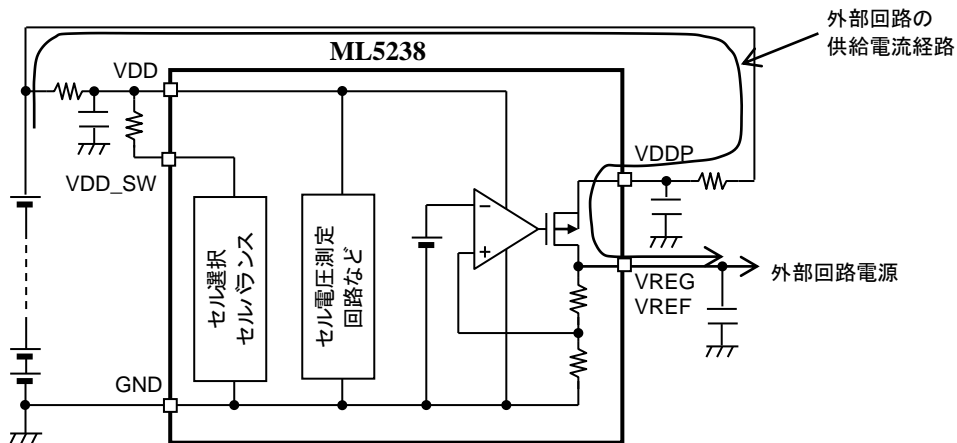
SC1	SC0	ショート電流検出電圧 (ISP-ISM 端子間電圧)	電流センス抵抗=3mΩ時 ショート検出電流値
0	0	0.1V (初期値)	33.3A
0	1	0.2V	66.6A
1	0	0.3V	100A
1	1	0.4V	133.3A

● VDDP, VDD, VDD_SW 電源の処理

VDDP 端子は、内蔵 3.3V レギュレータ(VREG 端子, VREF 端子)の専用電源端子です。3.3V レギュレータの出力電流が大きい場合には、VDDP 端子に接続する電源ノイズ除去用の RC フィルタの抵抗による電圧降下を 1V 以下に抑えることを推奨します。

VDD_SW 端子は、電池セル選択スイッチ、セルバランススイッチの専用電源端子です。51Ω 抵抗を介して VDD 端子に接続してください。

VDD 端子は、内蔵 3.3V レギュレータ、電池セル選択スイッチ、セルバランススイッチ以外の、全ての回路の電源端子となります。



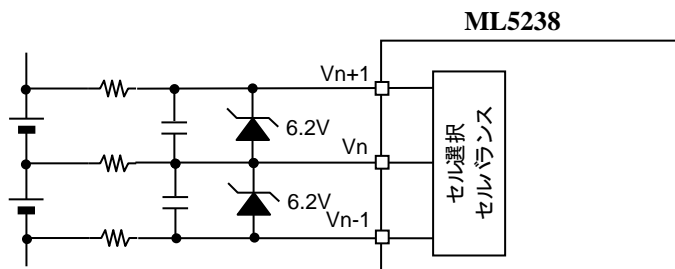
● 電源投入・遮断順序

電源投入時、各電池セルの接続順序は、GND 端子、VDD 端子、VDDP 端子、VDD_SW 端子を接続後に、下部電位セルより接続することを推奨します。この接続順序を守れない場合には、セル接続端子 $V_{n+1} - V_n$ の端子間電圧が絶対最大定格を超え、破壊に至る可能性があります。

電源遮断時においては、接続順序と逆に、上部電位セルから切り離し、最後に、VDD 端子、VDDP 端子、VDD_SW 端子、GND 端子の順に切り離してください。

また、バッテリシミュレータなどを用いて、評価・検査する場合においても、 $V_{n+1} - V_n$ 端子間の電圧が絶対最大定格を超えないよう、電源投入、遮断の手順についてご注意ください。

端子保護のために、下図に示すように、外部にツェナーダイオードを追加することを推奨いたします。ツェナーダイオードを追加した場合も十分に評価して、ご使用ください。



電池セルをあらかじめ直列に接続した状態で、各電池セル接続端子 V_n に接続してください。電池セルを直列に接続していない状態で、電池セルを1つずつ接続することは、 $V_{n+1} - V_n$ 端子間の電圧が絶対最大定格を超え、破壊に至る可能性があるため禁止します。

電源投入時の電源電圧立上り時間、および、電源電圧立下り時間についての制約はありません。

なお、電源投入後の初期状態は、通常動作状態となりますが、電源投入時のチャタリング等により、パワーダウン状態になる場合があります。この場合には、PSENSE 端子に充電器接続検出 PSENSE 端子電圧 V_{PC} 以上の電圧を入力するか、または、/PUPIN 端子に”L”レベルを入力し、パワーアップさせてください。

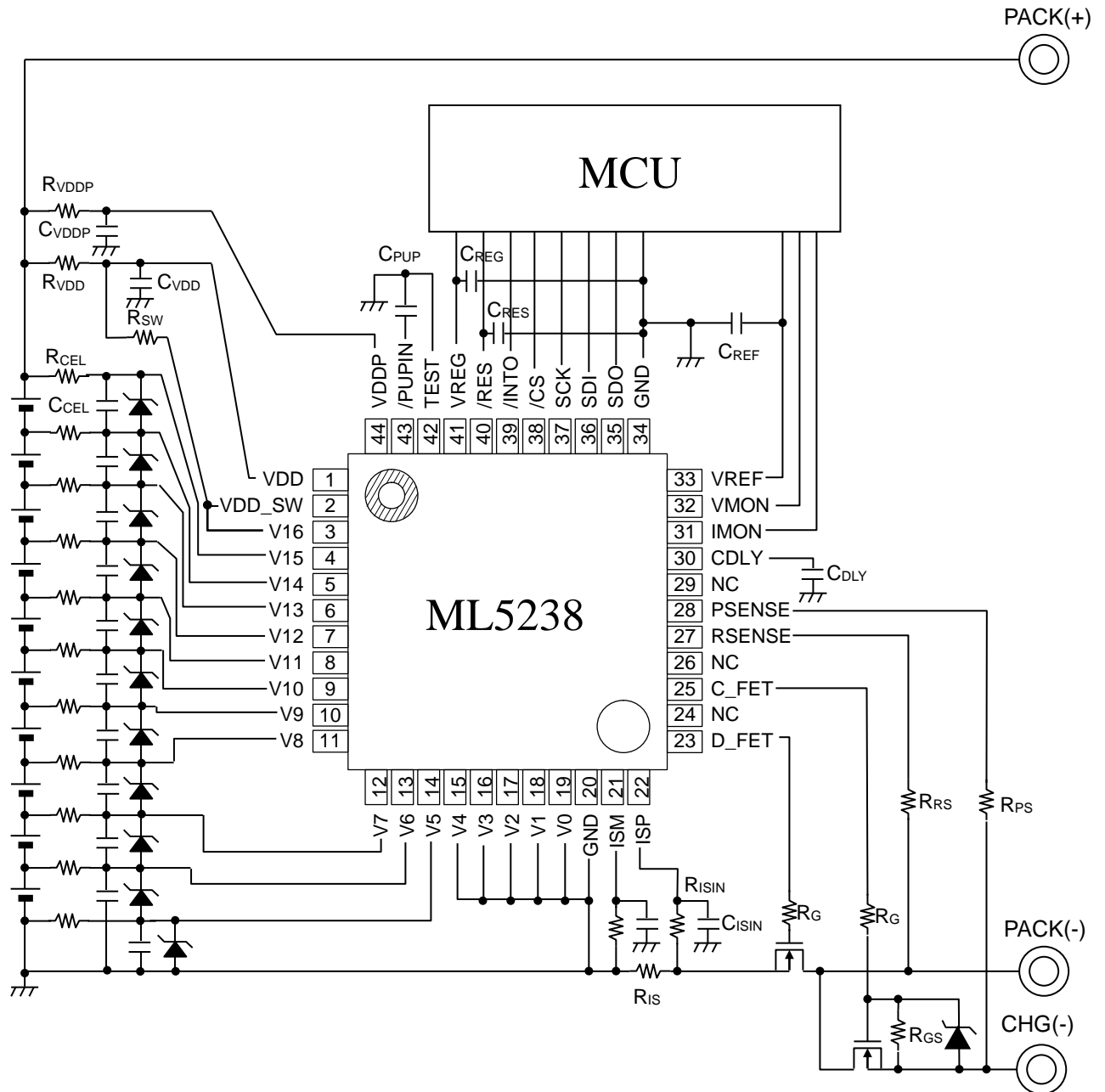
また、電源投入後、および、パワーアップ後には、内部アナログ回路が安定した後、セル電圧測定や電流測定を行なってください。内部アナログ回路の安定時間は、実際のアプリケーションで VREF 端子出力や VMON 端子出力、IMON 端子出力の安定時間を確認してください。

● セル接続方法

接続セル数が 15 セル以下の場合には、下表の接続を推奨します。

接続セル数	V16 端子	V15~V10 端子	V9 端子	V8 端子	V7 端子	V6 端子	V5 端子	V4 端子	V3 端子	V2 端子	V1 端子	V0 端子
15	VDD_SW	セル	セル	セル	セル	セル	セル	セル	セル	セル	セル	セル
14	VDD_SW	セル	セル	セル	セル	セル	セル	セル	セル	セル	セル	GND
13	VDD_SW	セル	セル	セル	セル	セル	セル	セル	セル	セル	GND	GND
12	VDD_SW	セル	セル	セル	セル	セル	セル	セル	セル	GND	GND	GND
11	VDD_SW	セル	セル	セル	セル	セル	セル	セル	GND	GND	GND	GND
10	VDD_SW	セル	セル	セル	セル	セル	セル	GND	GND	GND	GND	GND
9	VDD_SW	セル	セル	セル	セル	セル	GND	GND	GND	GND	GND	GND
8	VDD_SW	セル	セル	セル	セル	GND	GND	GND	GND	GND	GND	GND
7	VDD_SW	セル	セル	セル	GND	GND	GND	GND	GND	GND	GND	GND
6	VDD_SW	セル	セル	GND	GND	GND	GND	GND	GND	GND	GND	GND
5	VDD_SW	セル	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND

■ 応用回路例 (10 セル接続時, 放電経路と充電経路を分離した例)



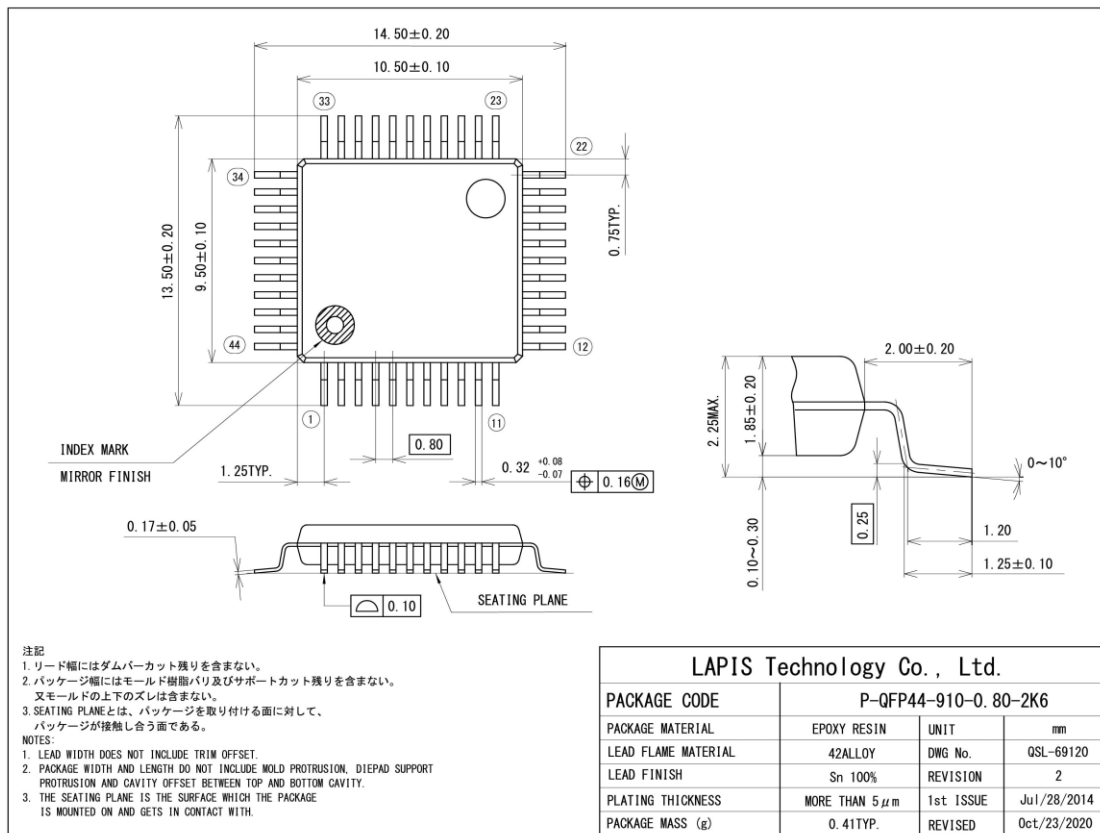
■ 外付け部品推奨値

部品	推奨値
RVDD	510Ω
CVDD	10μF 以上
RVDDP	100Ω
CVDDP	10μF 以上
RSW	51Ω
RCEL	18Ω 以上
CCEL	0.1μF 以上
RIS	3mΩ

部品	推奨値
RISIN	1kΩ
CISIN, CRES	0.1μF
CREG, CREF	4.7μF
CDLY	1nF~10nF
CPUP	1μF
RG	10kΩ
RGS	1MΩ
RRS	10kΩ
RPS	1kΩ

(注意) 記載の回路例、外付け部品の推奨値は、あらゆる動作条件下での動作を保証するものではありませんので、実際のアプリケーションで十分評価の上、最適な回路構成、部品定数の選択を行ってください。

■ パッケージ寸法図



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせ下さい。

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL5238-01	2013.04.24	—	—	初版発行
FJDL5238-02	2013.5.16	1	1	注意書きを変更
FJDL5238-03	2013.6.6	1, 30	1, 30	注意書き、ご注意を変更
FJDL5238-04	2013.09.25	5	5	絶対最大定格: 入力電圧 V_{IN1} に注記を追加。-
		26	26	電源投入・遮断順序: 破壊可能性に対する注意を追記。 $V_{n+1}-V_n$ 端子間電圧の保護回路例を追加。
		27	27	応用回路例: ツェナーダイオードを追加。
FJDL5238-05	2014.01.22	6	6	FET “H”出力電圧、FET “L”出力電圧の記号を訂正
		28	28	パッケージ寸法図を更新
FJDL5238-06	2014.03.12	7	7	検出電圧特性($T_a=25^{\circ}\text{C}$): SC1, SC0 ビット=(0,0)時ショート電流検出電圧 の Min.規格・Max.規格を変更
				検出電圧特性($T_a=-10\sim 60^{\circ}\text{C}$): SC1, SC0 ビット=(0,0)時ショート電流検出電圧 の Min.規格・Max.規格を変更
FJDL5238-07	2016.01.12	8	8	電圧・電流モニタ出力特性: セル電圧測定範囲の規定を追加
FJDL5238-08	2020.04.10	27	27	応用回路例: 最下位セルのコンデンサ接続を変更
FJDL5238-09	2020.12.1	-	-	社名ロゴ変更
		30	30	「ご注意」の内容変更
FJDL5238-10	2023.6.9	28	28	パッケージ寸法図更新
FJDL5238-11	2024.1.9	1	1	■用途、■形名を追記 注釈削除
		30	30	ご注意のページ差し替え

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(※1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(※1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複製することを堅くお断りします。

Copyright 2013 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>