

ML5239

16 直列リチウムイオン 2 次電池保護用アナログフロントエンド IC

■ 概要

ML5239 は、5～16 セル・リチウムイオン 2 次電池パック向けの電圧監視 IC です。多段直列接続ができ、17 セル以上のリチウムイオン電池の電圧監視にも対応可能です。

また、セルバランス用外付け FET の駆動端子を搭載しており、電池セル毎にバランスをとることができます。

■ 特長

- 5～16 セル電圧測定機能
 - 12 ビット逐次比較型 ADC 内蔵
 - セル電圧測定精度: $\pm 10\text{mV}$ @ 25°C 、セル電圧=3.6V
- セル電圧測定時間: $1\text{ms}(\text{typ})/\text{セル}$
- セル電圧測定端子のオープン/ショート検出機能搭載
- 多段直列 IC 間通信機能
 - MCU インタフェース: SPI シリアルインタフェース
 - CRC による通信エラー検出
- SPI 通信速度=500kHz(max)@4 段構成
- セルバランス用 FET 駆動端子搭載
- 温度センサ入力: 4 チャンネル
- 消費電流
 - セル電圧測定状態 : $1.2\text{mA}(\text{typ})$ 、 $2.4\text{mA}(\text{max})$
 - パワーダウン状態 : $0.1\text{ }\mu\text{A}(\text{typ})$ 、 $1\text{ }\mu\text{A}(\text{max})$
- 電源電圧 : $10\text{V}\sim 72\text{V}$
- 動作温度 : $-40^\circ\text{C}\sim 85^\circ\text{C}$
- パッケージ : 64 ピンプラスチック TQFP

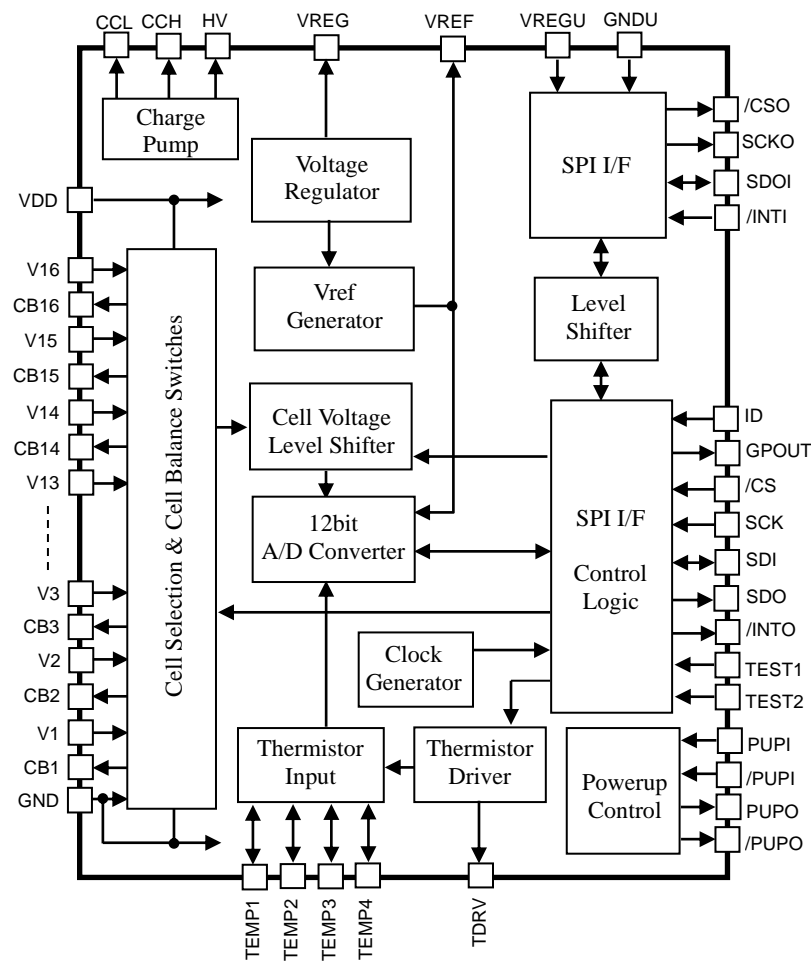
■ 用途

- ・電動工具／園芸用工具
- ・E-Bike／電動アシスト自転車
- ・無停電電源装置(UPS)
- ・蓄電システム(ESS)

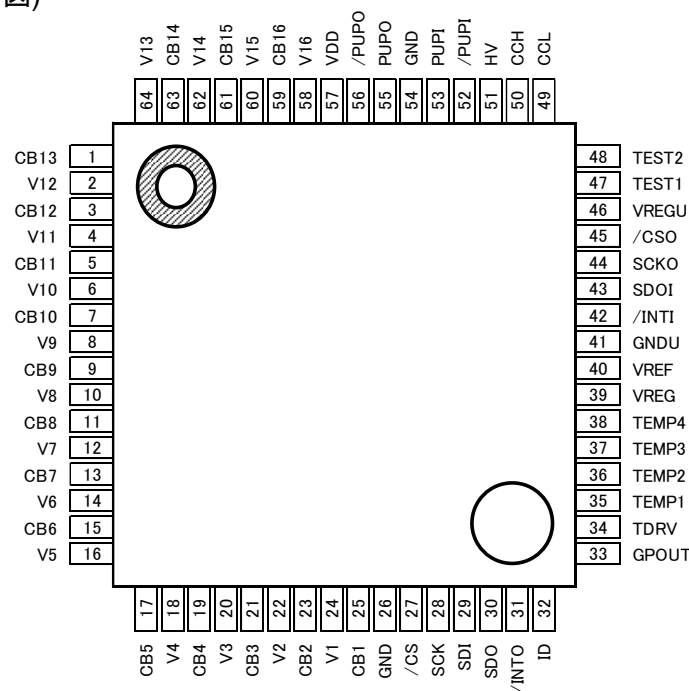
■ 形名

ML5239TB

■ ブロック図



■ 端子接続図(上面図)



■ 端子説明

ピン番号	端子名	I/O	説 明
1	CB13	O	電池セル 13 のセルバランス制御出力端子です。
2	V12	I	電池セル 13 の負極入力端子、および、電池セル 12 の正極入力端子です。 接続電池セル数が 5～11 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V11)と同じ電位を入力してください。
3	CB12	O	電池セル 12 のセルバランス制御出力端子です。
4	V11	I	電池セル 12 の負極入力端子、および、電池セル 11 の正極入力端子です。 接続電池セル数が 5～10 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V10)と同じ電位を入力してください。
5	CB11	O	電池セル 11 のセルバランス制御出力端子です。
6	V10	I	電池セル 11 の負極入力端子、および、電池セル 10 の正極入力端子です。 接続電池セル数が 5～9 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V9)と同じ電位を入力してください。
7	CB10	O	電池セル 10 のセルバランス制御出力端子です。
8	V9	I	電池セル 10 の負極入力端子、および、電池セル 9 の正極入力端子です。 接続電池セル数が 5～8 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V8)と同じ電位を入力してください。
9	CB9	O	電池セル 9 のセルバランス制御出力端子です。
10	V8	I	電池セル 9 の負極入力端子、および、電池セル 8 の正極入力端子です。 接続電池セル数が 5～7 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V7)と同じ電位を入力してください。
11	CB8	O	電池セル 8 のセルバランス制御出力端子です。
12	V7	I	電池セル 8 の負極入力端子、および、電池セル 7 の正極入力端子です。 接続電池セル数が 5～6 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V6)と同じ電位を入力してください。
13	CB7	O	電池セル 7 のセルバランス制御出力端子です。
14	V6	I	電池セル7の負極入力端子、および、電池セル 6 の正極入力端子です。 接続電池セル数が 5 セルの場合には、その IC の電池接続最上位の V 端子 (V5)と同じ電位を入力してください。
15	CB6	O	電池セル 6 のセルバランス制御出力端子です。
16	V5	I	電池セル 6 の負極入力端子、および、電池セル 5 の正極入力端子です。
17	CB5	O	電池セル 5 のセルバランス制御出力端子です。
18	V4	I	電池セル 5 の負極入力端子、および、電池セル 4 の正極入力端子です。
19	CB4	O	電池セル 4 のセルバランス制御出力端子です。
20	V3	I	電池セル 4 の負極入力端子、および、電池セル 3 の正極入力端子です。
21	CB3	O	電池セル 3 のセルバランス制御出力端子です。
22	V2	I	電池セル 3 の負極入力端子、および、電池セル 2 の正極入力端子です。
23	CB2	O	電池セル 2 のセルバランス制御出力端子です。
24	V1	I	電池セル 2 の負極入力端子、および、電池セル 1 の正極入力端子です。
25	CB1	O	電池セル 1 のセルバランス制御出力端子です。
26	GND	—	グランド端子です。
27	/CS	I	SPI インタフェースのチップセレクト端子です。"L"レベル入力で SPI インタフェースが有効となります。1 回のデータライト・リード動作完了時には、必ず"H"レベルを入力してください。
28	SCK	I	SPI インタフェースのシリアルクロック入力端子です。SCK クロックの立上りエッジで、SDI 端子入力を LSI 内部に取り込み、SCK クロックの立下りエッジで、SDO 端子、または、SDI 端子にデータが出力されます。

ピン番号	端子名	I/O	説 明
29	SDI	IO	SPI インタフェースのデータ入力端子です。 多段接続時の上位 IC ではデータ入出力端子となります。
30	SDO	O	SPI インタフェースのデータ出力端子です。/CS 端子入力が“H”レベルのときは、高インピーダンス状態となります。
31	/INTO	O	外部 MCU への割り込み信号出力です。NMOS オープンドレイン出力で、割り込み発生時に、“L”レベルを出力します。
32	ID	I	多段接続時の ID 識別端子です。多段接続しない場合、および、外部 MCU と接続する最下位 IC の場合は GND レベルに設定してください。多段接続の最下位以外の IC は、その IC の VREG レベルに設定してください
33	GPOUT	O	汎用出力端子です。NMOS オープンドレイン出力です。
34	TDRV	O	サーミスタ用グラウンド端子です。温度計測時には 0V 出力にし、温度計測時以外では、Hi-Z 状態にしてください。NMOS オープンドレイン出力です。
35	TEMP1	IO	温度計測用サーミスタ接続端子です。TDRV 端子間に NTC サーミスタを接続し、VREG 端子間に抵抗を接続します。 レジスタ設定により、汎用出力に切り替えることができます。
36	TEMP2	IO	
37	TEMP3	IO	
38	TEMP4	IO	
39	VREG	O	内蔵 5.3V レギュレータの出力端子です。GND 間に 1 μ F のコンデンサを接続してください。IC 内部回路の電源です。
40	VREF	O	内蔵 ADC 用基準電圧出力端子です。GND 間に 1 μ F のコンデンサを接続してください。
41	GNDU	—	多段接続時の上位 IC との通信回路の GND 端子です。上位 IC の GND 端子に抵抗を介して接続してください。上位 IC がいない場合には、VDD 端子に接続してください。
42	/INTI	I	多段接続時の上位 IC からの割り込み信号入力端子です。上位 IC の /INTO 端子に抵抗を介して接続してください。VREGU 端子間に 100k Ω プルアップ抵抗を内蔵しています。上位 IC がいない場合には、オープン状態にしてください。
43	SDOI	IO	多段接続時の上位 IC との SPI インタフェースのデータ入出力端子です。上位 IC の SDI 端子に抵抗を介して接続してください。上位 IC がいない場合には、オープン状態にしてください。
44	SCKO	O	多段接続時の上位 IC との SPI インタフェースのシリアルクロック出力端子です。上位 IC の SCK 端子に抵抗を介して接続してください。上位 IC がいない場合には、オープン状態にしてください。
45	/CSO	O	多段接続時の上位 IC との SPI インタフェースのチップセレクト出力端子です。上位 IC の /CS 端子に抵抗を介して接続してください。上位 IC がいない場合には、オープン状態にしてください。
46	VREGU	—	多段接続時の上位 IC との通信回路の電源端子です。上位 IC の VREG 端子に抵抗を介して接続してください。上位 IC がいない場合には、VDD 端子に接続してください。
47	TEST1	I	LSI テスト用端子です。GND レベルに固定してください。
48	TEST2	I	
49	CCL	O	内部昇圧回路用の容量接続端子です。本 IC の CCH 端子との間に 0.22 μ F のコンデンサを接続してください。
50	CCH	O	内部昇圧回路用の容量接続端子です。本 IC の CCL 端子との間に 0.22 μ F のコンデンサを接続してください。
51	HV	O	昇圧電圧平滑用端子です。本 IC の VDD 端子との間に 0.22 μ F のコンデンサを接続してください。

ピン番号	端子名	I/O	説 明
52	/PUPI	I	パワーアップトリガ信号入力(逆相)です。"L"パルス入力により、パワーダウン状態からパワーアップ状態へ移行します。多段接続しない場合、および、外部 MCU と接続する最下位 IC の場合は GND レベルに設定してください。
53	PUPI	I	パワーアップトリガ信号入力(正相)です。"H"パルス入力により、パワーダウン状態からパワーアップ状態へ移行します。
54	GND	—	グランド端子です。
55	PUPO	O	パワーアップトリガ信号の出力端子(正相)です。多段接続時の上位 IC の PUPI 端子に抵抗を介して接続してください。上位 IC がいない場合には、オープン状態にしてください。
56	/PUPO	O	パワーアップトリガ信号の出力端子(逆相)です。多段接続時の上位 IC の/PUPI 端子に抵抗を介して接続してください。上位 IC がいない場合には、オープン状態にしてください。
57	VDD	—	電源電圧入力端子です。 外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。
58	V16	I	電池セル 16 の正極入力端子です。 接続電池セル数が 5～15 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V15)と同じ電位を入力してください。
59	CB16	O	電池セル 16 のセルバランス制御出力端子です。
60	V15	I	電池セル 16 の負極入力端子、および、電池セル 15 の正極入力端子です。 接続電池セル数が 5～14 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V14)と同じ電位を入力してください。
61	CB15	O	電池セル 15 のセルバランス制御出力端子です。
62	V14	I	電池セル 15 の負極入力端子、および、電池セル 14 の正極入力端子です。 接続電池セル数が 5～13 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V13)と同じ電位を入力してください。
63	CB14	O	電池セル 14 のセルバランス制御出力端子です。
64	V13	I	電池セル 14 の負極入力端子、および、電池セル 13 の正極入力端子です。 接続電池セル数が 5～12 セルの場合には、その IC の電池接続最上位の V 端子 (V5～V12)と同じ電位を入力してください。

■ 絶対最大定格

(GND= 0 V, Ta = 25 °C)

項 目	記 号	条 件	定格値	単 位
電源電圧	V _{DD}	VDD, VREGU, GNDU, HV の各端子と GND 端子間電位差	-0.3 ~ +86.5	V
	V _{REG}	VREG-GND 端子間電圧	-0.3 ~ +6.5	V
	V _{REGU}	VREGU-GNDU 端子間電圧	-0.3 ~ +6.5	V
入力電圧	V _{IN1}	V1~V16, TEST1, TEST2 端子に適用	-0.3 ~ V _{DD} +0.3	V
	V _{IN2}	/CS, SCK, SDI, TEMP1 ~ TEMP4, ID 端子に適用	-0.3 ~ V _{REG} +0.3	V
	V _{IN3}	SDOI, /INTI の各端子と GNDU 端子間電位差	-0.3 ~ V _{REGU} +0.3	V
	V _{IN4}	PUPI, /PUPI 端子に適用	-0.5 ~ V _{DD} +0.3	V
出力短絡電流	I _{OS}	VDD=50V 時 VREG, VREF, SDI, SDO, /INTO, GPOUT, PUPO, /PUPO, SDOI, /CSO, SCKO, TDRV, TEMP1~TEMP4 端子に適用	20	mA
許容損失	P _D	Ta=25°C	3.6	W
保存温度	T _{STG}	—	-50 ~ +150	°C

■ 推奨動作条件

(GND= 0 V)

項 目	記号	条 件	範 囲	単 位
電源電圧	V _{DD}	VDD 端子に適用	10 ~ 72	V
	V _{REGU}	VREGU-GNDU 端子間電圧 (上位 IC がある場合)	5.1 ~ 5.5	V
動作温度	Ta	VREG 出力無負荷時	-40 ~ +85	°C

■ 電気的特性

● 直流特性

V_{DD}=10~72V, V_{REGU}-G_{NDU}=5.1V~5.5V, G_{ND}=0 V, T_a=-40~+85°C, V_{REG} 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
デジタル”H”入力電圧(注 1)	V _{IH}	—	0.8 × V _{REG}	—	V _{REG}	V
デジタル”L”入力電圧(注 1)	V _{IL}	—	0	—	0.2 × V _{REG}	V
デジタル”H”入力電圧(注 2)	V _{IHU}	G _{NDU} 端子基準	0.8 × V _{REGU}	—	V _{REGU}	V
デジタル”L”入力電圧(注 2)	V _{ILU}	G _{NDU} 端子基準	0	—	0.2 × V _{REGU}	V
PUPI, /PUPI 端子 ”H”入力電圧	V _{IHP}	—	3.6	—	V _{DD}	V
PUPI, /PUPI 端子 ”L”入力電圧	V _{ILP}	—	0	—	0.7	V
デジタル”H”入力電流(注 1)	I _{IH}	V _{IH} = V _{REG}	—	—	2	μA
デジタル”L”入力電流(注 1)	I _{IL}	V _{IL} = G _{ND}	-2	—	—	μA
デジタル”H”入力電流(注 2)	I _{IHU}	V _{IH} = V _{REGU}	—	—	2	μA
SDOI 端子 ”L”入力電流	I _{ILU}	V _{IL} = G _{NDU}	-2	—	—	μA
/INTI 端子 ”L”入力電流	I _{ILU}	V _{REGU} =5.3V, V _{IL} = G _{NDU}	-106	-53	-26	μA
PUPI, /PUPI 端子 ”H”入力電流	I _{IHP}	V _{IH} = 5V	—	—	2	μA
PUPI, /PUPI 端子 ”L”入力電流	I _{ILP}	V _{IL} = G _{ND}	-2	—	—	μA
デジタル”H”出力電圧(注 3)	V _{OH}	I _{OH} =-100μA	V _{REG} -0.2	—	V _{REG}	V
デジタル”L”出力電圧(注 4)	V _{OL}	I _{OL} =1mA	0	—	0.2	V
デジタル”H”出力電圧(注 5)	V _{OHU}	I _{OH} =-100μA G _{NDU} 端子基準	V _{REGU} -0.2	—	V _{REGU}	V
デジタル”L”出力電圧(注 5)	V _{OLU}	I _{OL} =1mA G _{NDU} 端子基準	0	—	0.4	V
PUPU, /PUPU 端子 ”H”出力電圧	V _{OHP}	I _{OH} =-50μA V _{DD} 端子基準	V _{HV} -0.2	—	V _{HV}	V
PUPU, /PUPU 端子 ”L”出力電圧	V _{OLP}	I _{OL} =50μA V _{DD} 端子基準	0	—	0.4	V
デジタル出力リーク電流 (注 6)	I _{OLK}	V _{OH} =V _{REG} , V _{OL} =0V	-2	—	2	μA
V _{REG} 出力電圧	V _{REG}	10V < V _{DD} 端子電圧 < 72V 出力負荷電流 < 1.5mA	5.1	5.3	5.5	V
V _{REF} 出力電圧	V _{REF1}	出力負荷電流 < 0.1μA	4.68	4.7	4.72	V
HV 端子出力電圧範囲	V _{HV}	V _{DD} 端子基準	3.3	—	5.5	V
CB 端子出力抵抗	R _{CB}	—	50	100	220	kΩ
CB 端子出力電圧	V _{CB}	CB _n 端子に適用 n=1~16	V _{n-1}	—	V _n	V
V _{REG} 低下検出電圧	V _{RGD}	—	4.0	4.3	4.6	V
V _{REG} 復帰検出電圧	V _{RGR}	—	4.3	4.7	5.1	V

注 1:/CS, SCK, SDI, ID 端子に適用

注 2:SDOI, /INTI 端子に適用

注 3:SDO, SDI, TEMP1~TEMP4 端子に適用

注 4:SDO, /INTO, GPOUT, SDI, TEMP1~TEMP4 端子に適用

注 5:/CSO, SCKO, SDOI 端子に適用

注 6:SDO, /INTO, GPOUT 端子に適用

● 消費電流特性

 $V_{DD}=10\sim 72V$, $GND=0V$, $T_a=-40\sim +85^{\circ}C$, VREG, VREF 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
セル電圧測定状態 消費電流 (注 1)	I_{DD1}	スキャン測定時 $VREGU=GNDU=VDD$	—	1.2	2.4	mA
パワーダウン状態 消費電流 (注 1)	I_{DDS}	$VREGU=GNDU=VDD$	—	0.1	1.0	μA
VREGU 電源電流	I_{REGU}	多段接続時 $VREGU-GNDU=5.3V$	—	250	500	μA

(注 1) 多段接続なし時の VDD 端子, $VREGU$ 端子に流れる電流の合計値で規定しています。

● セル電圧測定特性

 $V_{DD}=10\sim 72V$, $GND=0V$, $T_a=-40\sim +85^{\circ}C$, VREG 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
セルモニタ端子 入力電流	I_{INVC}	電池セル電圧測定時	-1	—	1	μA
セルモニタ端子 入力リーク電流	I_{ILVC}	電池セル電圧非測定時	-1	—	1	μA
セル電圧測定誤差	V_{CERT}	各セル電圧=3.6V $T_a=25^{\circ}C$	-10	—	10	mV
	V_{CER}	各セル電圧=1V~4.3V $T_a=-10^{\circ}C\sim 60^{\circ}C$	-25	—	25	mV
測定分解能	V_{LSB}	—	—	5000/4095	—	mV
セル電圧測定時間	t_{SCAN}	16 セルスキャン測定時	7.0	8.3	10.0	ms
	t_{SEL}	セレクト測定時	0.8	1	1.2	ms

● 温度センサ入力測定特性

 $V_{DD}=10\sim 72V$, $GND=0V$, $T_a=-40\sim +85^{\circ}C$, VREG 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
TEMP1~TEMP4 端子 入力電流	I_{TEMP}	TEMP 入力=0.4V~ 4.5V	-2	—	2	μA
TDRV 端子 "L" 出力電圧	V_{OLT}	TDRV ビット="0"時 $I_{OL}=1mA$	0	—	0.1	V
TDRV 端子 出力リーク電流	I_{TDRV}	TDRV ビット="1"時 TDRV 端子電圧=0V~ 3V	-2	—	2	μA
TEMP 端子 入力電圧測定誤差	V_{TER}	TEMP 入力=0.4V~ 4.5V $T_a=-10^{\circ}C\sim 60^{\circ}C$	-20	—	20	mV
測定分解能	V_{LSB}	—	—	4700/4095	—	mV
温度測定時間	t_{SCAN}	4 温度スキャン測定時	1.9	2.3	2.7	ms
	t_{SEL}	セレクト測定時	0.8	1	1.2	ms

● 交流特性

 $V_{DD}=10\sim 72V$, VREGU-GNDU=5.1V~5.5V, $GND=0V$, $T_a=-40\sim +85^{\circ}C$, VREG 出力無負荷時

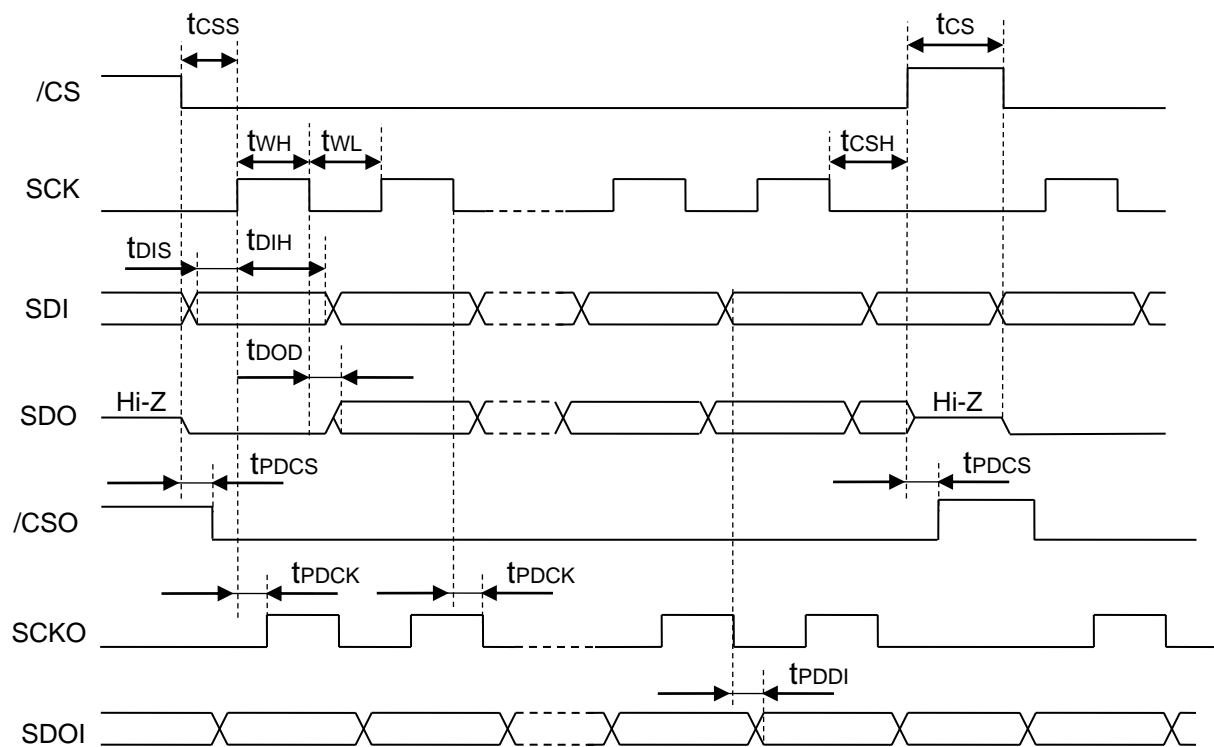
項 目	記号	条 件	Min.	Typ.	Max.	単位
通信周波数(通信時)	fck	通信時 4 段以下接続時(注 1)	100	—	500	kHz
通信周波数 (ID 自動設定時)	fckid	ID 自動設定時 2~16 段接続時(注 1)	500	—	650	kHz
/CS-SCK セットアップ時間	t_{CSS}	通信時 4 段以下接続時(注 1)	1000	—	—	ns
SCK-/CS ホールド時間	t_{CSH}		1000	—	—	ns
SCK "H"パルス幅	t_{WH}		950	—	—	ns
SCK "L"パルス幅	t_{WL}		950	—	—	ns
SCK-SDI セットアップ時間	t_{DIS}		200	—	—	ns
SCK-SDI ホールド時間	t_{DIH}		200	—	—	ns
SCK-SDO 出力遅延時間	t_{DOD}		—	—	700	ns
/CS "H"パルス幅	t_{CS}		2	—	—	μs
/CS-/CSO 出力遅延時間	t_{PDCS}		—	—	100	ns
SCK-SCKO 出力遅延時間	t_{PDCK}		—	—	100	ns
SDI-SDOI 出力遅延時間	t_{PDDI}		—	—	115	ns
/CSO-SCKO 間出力時間差	$ t_{PDCS}-t_{PDCK} $		0	—	15	ns
SCKO-SDOI 間出力時間差	$ t_{PDDI}-t_{PDCK} $		10	—	35	ns
SDOI-SDO 出力遅延時間 (上位 IC からのデータ読み出し時)	t_{PDDO}		—	—	115	ns

注 1: 本 IC の多段接続通信は同一基板での実装を想定しています。

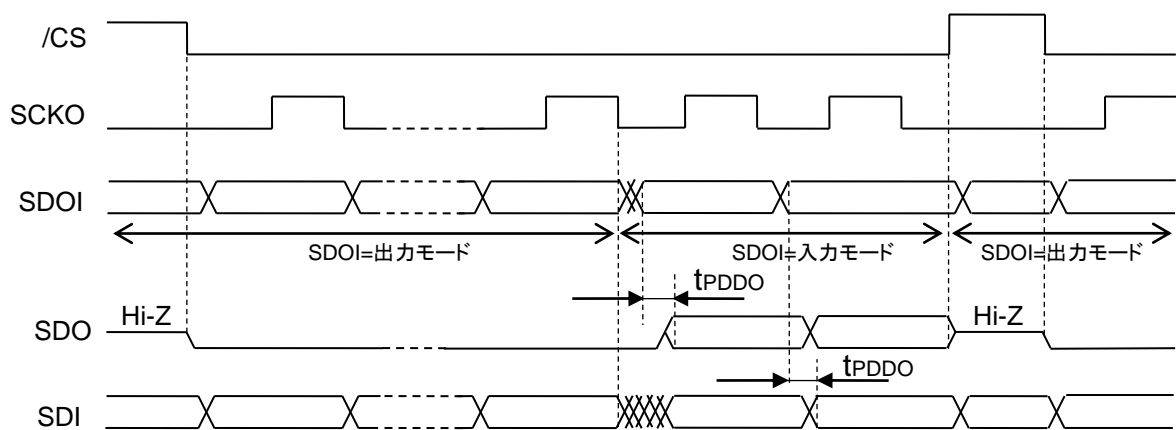
IC-IC 間の通信路の遅延時間は 10ns 以下を想定しています。

 $R_{SPI}=100\Omega\sim 330\Omega$ $R_{VREGU}=100\Omega\sim 330\Omega$ $R_{GNDU}=100\Omega\sim 330\Omega$ $C_{REGU}=10nF\sim 1.0\mu F$

データライト時タイミングチャート



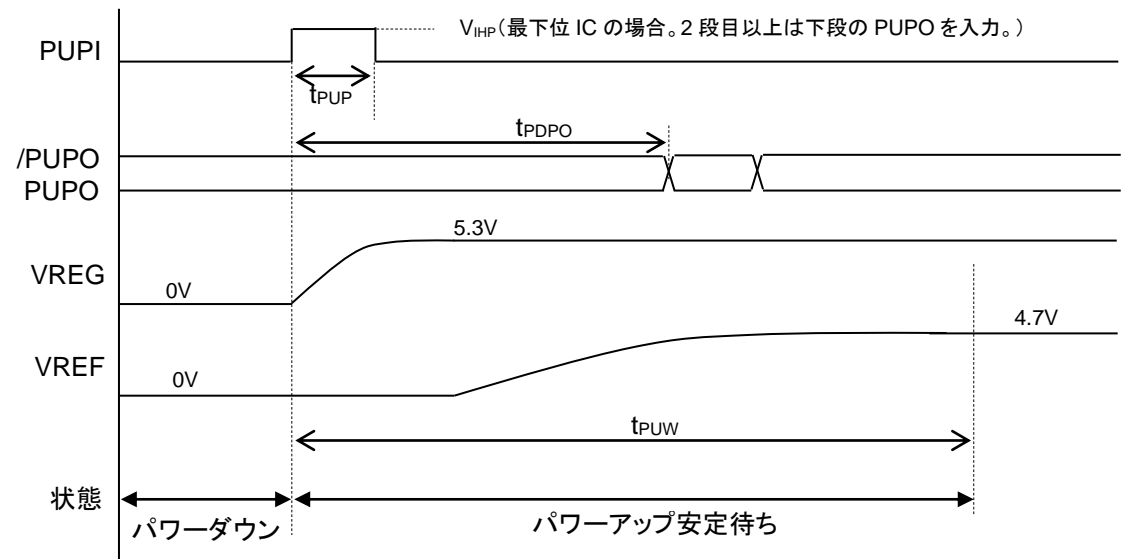
多段接続データリード時タイミングチャート



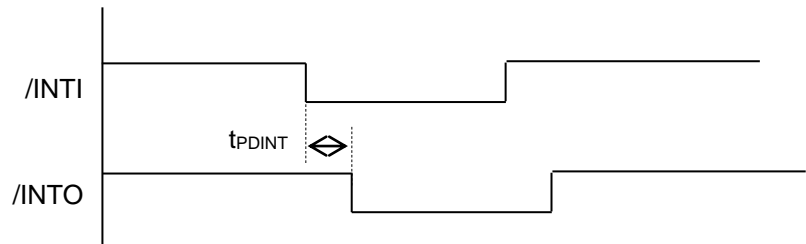
$V_{DD}=10\sim72V$, $V_{REGU-GNDU}=5.1V\sim5.5V$, $GND=0V$, $T_a=-40\sim+85^{\circ}C$, V_{REG} 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
PUPI “H”パルス幅	t_{PUP}	—	6.0	—	—	μs
PUPI-PUPO 出力遅延時間	t_{PDPO}	—	—	5	10	ms
パワーアップ待ち時間	t_{PUW}	—	20	—	—	ms
/INTI- /INTO 出力遅延時間	t_{PDINT}	—	—	—	1	μs

パワーアップ時動作タイミングチャート



割り込み出力タイミングチャート

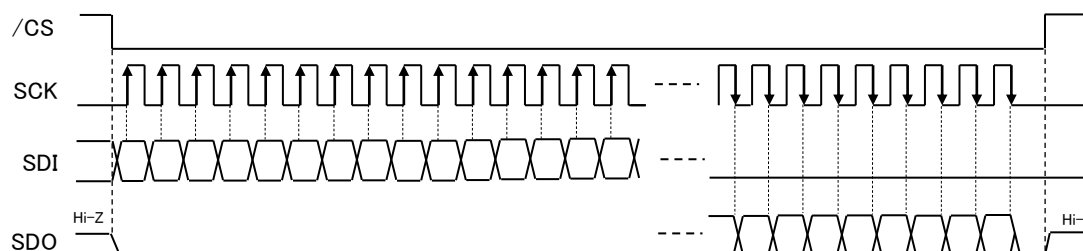


■ 機能説明

● MCU インタフェース

ML5239 には、SPI インタフェースを搭載しています。

/CS 端子を”L”レベルにすることで、SPI インタフェースが有効となり、SCK 端子クロック立上りに同期して SDI 端子データを LSI 内部に取り込みます。リードデータは、SCK 端子クロック立下りに同期して SDO 端子に出力します。/CS 端子を”H”レベルにすると、SPI インタフェースは無効となり、初期状態に戻ります。1 回のデータライト・リード動作完了ごとに必ず /CS 端子を”H”レベルにしてください。



通信フォーマットは、制御レジスタアドレス、アクセスモード・ID データ、ライトデータ/リードデータ、CRC コードから構成され、全て 8 ビット (1 バイト) 単位で MSB ファーストで通信を行います。

データライト動作は、1 バイト単位で行います。

データリード動作は、連続アドレスのデータの読み出しを 1 回のリード動作で行うことができます。

データライト時通信フォーマット

レジスタアドレス (8bit)	アクセスモード・ ID データ(8bit)	ライトデータ (8bit)	CRC コード (8bit)
--------------------	--------------------------	------------------	-------------------

データリード時通信フォーマット

レジスタアドレス (8bit)	アクセスモード・ ID データ(8bit)	データバイト数 (8bit)	リードデータ 1 (8bit)	リードデータ 2 (8bit)	-----	CRC コード (8bit)
--------------------	--------------------------	-------------------	--------------------	--------------------	-------	-------------------

➤ アクセスモード・ID データ

構成を下表に示します。

ビット名	7	6	5	4	3	2	1	0
	RD/WR	WR_ALL	—	—	ID3	ID2	ID1	ID0

ID0～ID3 ビットにより、多段接続された IC の ID アドレスを指定します。16 段接続時の各 ID は、下表のようになります。

ID3	ID2	ID1	ID0	多段接続順番
0	0	0	0	最下位 IC
0	0	0	1	2 段目 IC
0	0	1	0	3 段目 IC
⋮				⋮
1	1	0	1	14 段目 IC
1	1	1	0	15 段目 IC
1	1	1	1	16 段目 IC

WR_ALL ビットにより、多段接続された全てのICに対してデータライト動作を行うことができます。リード動作時には、WR_ALL ビットは無視され、指定された IC からデータを読み出します。

WR_ALL	アクセス IC
0	ID0～ID3 ビットで指定された IC
1	多段接続された全ての IC

RD/WR ビットにより、リード/ライトのアクセスモードを選択します。

RD/WR	アクセスモード
0	ライト
1	リード

➤ データバイト数

構成を下表に示します。

	7	6	5	4	3	2	1	0
ビット名	—	—	—	DB4	DB3	DB2	DB1	DB0

DB0～DB4 ビットにより、リードするデータのバイト数を指定します。“読み出すデータバイト数－1”を設定して下さい。(1 バイトのみの読み出しの場合は、“0”を指定して下さい。)連続読出しは最大 32 バイトまでとなっています。

➤ CRC 演算

通信のエラー検出のため、8bit の CRC 演算回路を搭載しており、1 回の通信データに対して多項式 $X^8 + X^2 + X + 1$ により生成された CRC(Cycle Redundancy Code)コードを付加します。演算対象はアドレス～ライト/リードデータの全てで、MSB ファーストで生成します。(アクセスモード・ID データのビット 4,5、データバイト数のビット 5~7、の空きビットも演算の対象となります。)/CS 端子を”H”レベルにすると、CRC 演算は初期化され、初期値は FF [h]となります。

CRC 演算結果と受信した CRC コードが一致した場合のみ、指定されたレジスタのデータライト動作が行われます。一致しなかった場合には、データライト動作は行われません。CRC エラーを検出すると、CRC エラーフラグがセットされ、外部 MCU への割り込み信号を/INTO 端子に出力することができます。詳細は、制御レジスタの INT_EN レジスタ、INT_REQ レジスタの項目を参照してください。

データリード動作時にも送受信データ全てに対して CRC 演算を行い、リードデータの最後に CRC 演算結果を出力しますので、外部 MCU 側でも CRC 演算結果と受信した CRC コードを比較することで、通信エラーを検出することができます。

● 制御レジスタ

以下に、制御レジスタマップを示します。

※注意: INT_REQ レジスタの初期値は、ソフトリセット後の値です。

アドレス	レジスタ名称	R/W	初期値	レジスタ概要
00H	NOOP	R/W	55H	ユーザ用レジスタ
01H	RSTREQ	W	00H	ソフトリセット要求レジスタ
02H	INT_EN	R/W	80H	割り込み許可レジスタ
03H	INT_REQ	R/W	00H ※	割り込み要求レジスタ
04H	PDACP	W	00H	パワーダウncコードアクセプタ
05H	POWER	R/W	00H	パワーダウnc制御レジスタ
06H	MEAS_VCELL	R/W	00H	セル電圧測定制御レジスタ
07H	MEAS_TEMP	R/W	00H	温度センサ測定制御レジスタ
08H	MEAS_VREG	R/W	00H	VREG 電圧測定制御レジスタ
09H	MEAS_VOPSH	R/W	00H	オープン/ショート検出測定制御レジスタ
0AH	STATUS	R	00H	ステータスレジスタ
0BH	STAT_VML	R	00H	セル電圧測定ステータス(下位 8 セル)
0CH	STAT_VMH	R	00H	セル電圧測定ステータス(上位 8 セル)
0DH	STAT_TM	R	00H	温度センサ測定ステータス
0EH	CBALL	R/W	00H	セルバランス制御レジスタ(下位 8 セル)
0FH	CBALH	R/W	00H	セルバランス制御レジスタ(上位 8 セル)
10H	IDSEL	R	00H	ID 格納レジスタ
11H	IDACP	W	00H	ID 自動設定コードアクセプタ
12H	IDREG	R/W	00H	ID 自動設定レジスタ
13H	WDTACP	W	00H	WDT 設定アクセプタ
14H	SETWDT	R/W	00H	WDT 設定レジスタ
15H	SELOUT	R/W	00H	端子切り替えレジスタ
16H	SETOUT	R/W	09H	端子出力設定レジスタ
17H~ 1FH	RSVD	R	00H	予約レジスタ
20H	VCELL1L	R	00H	セル 1 測定結果レジスタ(下位 8 ビット)
21H	VCELL1H	R	00H	セル 1 測定結果レジスタ(上位 8 ビット)
22H	VCELL2L	R	00H	セル 2 測定結果レジスタ(下位 8 ビット)
23H	VCELL2H	R	00H	セル 2 測定結果レジスタ(上位 8 ビット)
24H	VCELL3L	R	00H	セル 3 測定結果レジスタ(下位 8 ビット)
25H	VCELL3H	R	00H	セル 3 測定結果レジスタ(上位 8 ビット)
26H	VCELL4L	R	00H	セル 4 測定結果レジスタ(下位 8 ビット)
27H	VCELL4H	R	00H	セル 4 測定結果レジスタ(上位 8 ビット)
28H	VCELL5L	R	00H	セル 5 測定結果レジスタ(下位 8 ビット)
29H	VCELL5H	R	00H	セル 5 測定結果レジスタ(上位 8 ビット)
2AH	VCELL6L	R	00H	セル 6 測定結果レジスタ(下位 8 ビット)
2BH	VCELL6H	R	00H	セル 6 測定結果レジスタ(上位 8 ビット)
2CH	VCELL7L	R	00H	セル 7 測定結果レジスタ(下位 8 ビット)
2DH	VCELL7H	R	00H	セル 7 測定結果レジスタ(上位 8 ビット)
2EH	VCELL8L	R	00H	セル 8 測定結果レジスタ(下位 8 ビット)
2FH	VCELL8H	R	00H	セル 8 測定結果レジスタ(上位 8 ビット)
30H	VCELL9L	R	00H	セル 9 測定結果レジスタ(下位 8 ビット)
31H	VCELL9H	R	00H	セル 9 測定結果レジスタ(上位 8 ビット)
32H	VCELL10L	R	00H	セル 10 測定結果レジスタ(下位 8 ビット)
33H	VCELL10H	R	00H	セル 10 測定結果レジスタ(上位 8 ビット)
34H	VCELL11L	R	00H	セル 11 測定結果レジスタ(下位 8 ビット)

アドレス	レジスタ名称	R/W	初期値	レジスタ概要
35H	VCELL11H	R	00H	セル 11 測定結果レジスタ(上位 8 ビット)
36H	VCELL12L	R	00H	セル 12 測定結果レジスタ(下位 8 ビット)
37H	VCELL12H	R	00H	セル 12 測定結果レジスタ(上位 8 ビット)
38H	VCELL13L	R	00H	セル 13 測定結果レジスタ(下位 8 ビット)
39H	VCELL13H	R	00H	セル 13 測定結果レジスタ(上位 8 ビット)
3AH	VCELL14L	R	00H	セル 14 測定結果レジスタ(下位 8 ビット)
3BH	VCELL14H	R	00H	セル 14 測定結果レジスタ(上位 8 ビット)
3CH	VCELL15L	R	00H	セル 15 測定結果レジスタ(下位 8 ビット)
3DH	VCELL15H	R	00H	セル 15 測定結果レジスタ(上位 8 ビット)
3EH	VCELL16L	R	00H	セル 16 測定結果レジスタ(下位 8 ビット)
3FH	VCELL16H	R	00H	セル 16 測定結果レジスタ(上位 8 ビット)
40H	TEMP1L	R	00H	TEMP1 測定結果レジスタ(下位 8 ビット)
41H	TEMP1H	R	00H	TEMP1 測定結果レジスタ(上位 8 ビット)
42H	TEMP2L	R	00H	TEMP2 測定結果レジスタ(下位 8 ビット)
43H	TEMP2H	R	00H	TEMP2 測定結果レジスタ(上位 8 ビット)
44H	TEMP3L	R	00H	TEMP3 測定結果レジスタ(下位 8 ビット)
45H	TEMP3H	R	00H	TEMP3 測定結果レジスタ(上位 8 ビット)
46H	TEMP4L	R	00H	TEMP4 測定結果レジスタ(下位 8 ビット)
47H	TEMP4H	R	00H	TEMP4 測定結果レジスタ(上位 8 ビット)
48H	VREGL	R	00H	VREG 電圧測定結果レジスタ(下位 8 ビット)
49H	VREGH	R	00H	VREG 電圧測定結果レジスタ(上位 8 ビット)
その他	TEST	R/W	00H	テスト用(使用不可。使用した場合の動作は保証しません。)

1. NOOP レジスタ (Adrs=00H)

ビット名	7	6	5	4	3	2	1	0
	NO7	NO6	NO5	NO4	NO3	NO2	NO1	NO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	1	0	1	0	1	0	1

NOOP レジスタには、機能は割り当てられていませんので、このレジスタへのリードライトアクセスにより、LSI 状態が変化することはありません。ライトしたデータがそのままリードできます。

2. RSTREQ レジスタ (Adrs=01H)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RST
R/W	R	R	R	R	R	R	R	W
初期値	0	0	0	0	0	0	0	0

RSTREQ レジスタは、ソフトリセットを要求するレジスタです。

RST ビットに”1”をセットすることで、ソフトウェア要求によるリセットが実行されます。

ソフトリセット実行により、IDREG 以外の全てのレジスタが初期化されます。

ライト専用レジスタで、リードを行った場合、00H が読み出されます。

RST	ソフトリセット
0	リセット実行しない(初期値)
1	リセット実行する

3. INT_EN レジスタ (Adrs=02H)

ビット名	7	6	5	4	3	2	1	0
	EWDOV	EVRGR	EVRGD	ECRC	EID	EMVR	EMT	EMVC
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	0	0	0	0	0	0	0

INT_EN レジスタは、/INTO 端子への割り込み信号の出力許可を設定するレジスタです。

EMVC ビットにより、セル電圧測定完了時の割り込み許可を設定します。

EMVC	セル電圧測定完了割り込み
0	禁止(初期値)
1	許可

EMT ビットにより、温度センサ測定完了時の割り込み許可を設定します。

EMT	温度センサ測定完了割り込み
0	禁止(初期値)
1	許可

EMVR ビットにより、VREG 電圧測定完了時の割り込み許可を設定します。

EMVR	VREG 電圧測定完了割り込み
0	禁止(初期値)
1	許可

EID ビットにより、ID 自動設定完了時の割り込み許可を設定します。

EID	ID 自動設定完了割り込み
0	禁止(初期値)
1	許可

ECRC ビットにより、CRC エラー検出時の割り込み許可を設定します。

ECRC	CRC エラー割り込み
0	禁止(初期値)
1	許可

EVRGD ビットにより、VREG 出力電圧低下検出時の割り込み許可を設定します。

EVRGD	VREG 低下検出割り込み
0	禁止(初期値)
1	許可

EVRGR ビットにより、VREG 出力電圧復帰検出時の割り込み許可を設定します。

EVRGR	VREG 復帰検出割り込み
0	禁止(初期値)
1	許可

EWDOV ビットにより、WDT オーバーフロー時の割り込み許可を設定します。

EWDOV	WDT オーバーフロー割り込み
0	禁止
1	許可(初期値)

4. INT_REQ レジスタ (Adrs=03H)

ビット名	7	6	5	4	3	2	1	0
	QWDOV	QVRGR	QVRGD	QCRC	QID	QMVR	QMT	QMVC
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0 ※	0 ※	0	0	0	0	0

INT_REQ レジスタは、割り込み要求フラグのレジスタです。各要求フラグは、INT_EN レジスタの設定に関係なく、割り込み発生により”1”にセットされます。INT_EN レジスタで許可された割り込みが発生した場合にのみ、/INTO 端子に”L”レベルが出力されます。

データ”0”を書き込むことで、割り込みをクリアします。なお、データ”1”の書き込みは無視されますので、1 つの割り込みのみをクリアする場合には、その他のビットには”1”を書き込んでください。許可された割り込み要求フラグが全て”0”にクリアされた時点で、/INTO 端子出力は”Hi-Z”レベルになります。

※注意: QVRGR ビット、QVRGD ビットの初期値は、ソフトリセット後の値です。ご使用の際には、初期化を行って下さい。

QMVC ビットにより、セル電圧測定完了割り込み発生の有無を示します。

QMVC	セル電圧測定完了割り込み
0	割り込みなし(初期値)
1	割り込み発生

QMT ビットにより、温度センサ測定完了割り込み発生の有無を示します。

QMT	温度センサ測定完了割り込み
0	割り込みなし(初期値)
1	割り込み発生

QMVR ビットにより、VREG 電圧測定完了割り込み発生の有無を示します。

QMVR	VREG 電圧測定完了割り込み
0	割り込みなし(初期値)
1	割り込み発生

QID ビットにより、ID 自動設定完了割り込み発生の有無を示します。

QID	ID 自動設定完了割り込み
0	割り込みなし(初期値)
1	割り込み発生

QCRC ビットにより、CRC エラー検出割り込み発生の有無を示します。

QCRC	CRC エラー割り込み
0	割り込みなし(初期値)
1	割り込み発生

QVRGD ビットにより、VREG 出力電圧低下検出割り込み発生の有無を示します。

VREG 出力電圧復帰検出状態から低下検出した場合に割り込みが発生し、VREG 出力電圧低下検出状態で割り込みクリアした後は、低下検出状態にあっても割り込みは発生しません。

QVRGD	VREG 低下検出割り込み
0	割り込みなし(初期値 ※)
1	割り込み発生

QVRGR ビットにより、VREG 出力電圧復帰検出割り込み発生の有無を示します。
VREG 出力電圧低下検出状態から復帰検出した場合に割り込みが発生します。

QVRGR	VREG 復帰検出割り込み
0	割り込みなし(初期値 ※)
1	割り込み発生

QWDOV ビットにより、WDT オーバーフロー時の割り込み発生の有無を示します。

QWDOV	WDT オーバーフロー割り込み
0	割り込みなし(初期値)
1	割り込み発生

5. PDACP レジスタ (Adrs=04H)

ビット名	7	6	5	4	3	2	1	0
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

PDACPレジスタは、誤ってパワーダウンモードに入らないように、POWERレジスタのPDWNに書き込む操作を許可するためのレジスタです。本レジスタに 0x55, 0xAA を連続して書き込むことで、POWER レジスタの PDWN に”1”をセットすることが可能になります。

6. POWER レジスタ (Adrs=05H)

ビット名	7	6	5	4	3	2	1	0
R/W	R	R	R	W	R	R	R	R
初期値	0	0	0	0	0	0	0	0

POWER レジスタは、パワーダウン制御を行なうレジスタです。

PDWN ビットにより、パワーダウン状態へ移行します。

PDWN	パワーダウン
0	通常状態(初期値)
1	パワーダウン状態

7. MEAS_VCELL レジスタ (Adrs=06H)

ビット名	7	6	5	4	3	2	1	0
	MVC	—	—	SCV	C3	C2	C1	C0
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

MEAS_VCELL レジスタは、セル電圧の測定を制御するレジスタです。

SCV ビット、および、C0～C3 ビットにより、測定モードと測定する電池セルを選択します。

SCV	C3	C2	C1	C0	セル電圧測定
0	0	0	0	0	セル 1 のみ測定
0	0	0	0	1	セル 2 のみ測定
0	0	0	1	0	セル 3 のみ測定
0	0	0	1	1	セル 4 のみ測定
0	0	1	0	0	セル 5 のみ測定
0	0	1	0	1	セル 6 のみ測定
0	0	1	1	0	セル 7 のみ測定
0	0	1	1	1	セル 8 のみ測定
0	1	0	0	0	セル 9 のみ測定
0	1	0	0	1	セル 10 のみ測定
0	1	0	1	0	セル 11 のみ測定
0	1	0	1	1	セル 12 のみ測定
0	1	1	0	0	セル 13 のみ測定
0	1	1	0	1	セル 14 のみ測定
0	1	1	1	0	セル 15 のみ測定
0	1	1	1	1	セル 16 のみ測定
1	0	0	0	0	セル 1 のみ測定
1	0	0	0	1	セル 1～セル 2 をスキャン測定
1	0	0	1	0	セル 1～セル 3 をスキャン測定
1	0	0	1	1	セル 1～セル 4 をスキャン測定
1	0	1	0	0	セル 1～セル 5 をスキャン測定
1	0	1	0	1	セル 1～セル 6 をスキャン測定
1	0	1	1	0	セル 1～セル 7 をスキャン測定
1	0	1	1	1	セル 1～セル 8 をスキャン測定
1	1	0	0	0	セル 1～セル 9 をスキャン測定
1	1	0	0	1	セル 1～セル 10 をスキャン測定
1	1	0	1	0	セル 1～セル 11 をスキャン測定
1	1	0	1	1	セル 1～セル 12 をスキャン測定
1	1	1	0	0	セル 1～セル 13 をスキャン測定
1	1	1	0	1	セル 1～セル 14 をスキャン測定
1	1	1	1	0	セル 1～セル 15 をスキャン測定
1	1	1	1	1	セル 1～セル 16 をスキャン測定

MVC ビットにより、セル電圧測定スタート・中止を制御し、セル電圧測定完了ステータスを確認できます。セル電圧測定結果は、VCELLnL、VCELLnH レジスタ(20H～3FH)に格納されます。

ライト時		リード時	
MVC	セル電圧測定	MVC	セル電圧測定
0	中止 (初期値)	0	終了・停止 (初期値)
1	スタート	1	測定中

セル電圧測定中に、MVC ビットに”0”を書き込むことで、セル電圧測定を中止することができますが、測定中のセル電圧の測定が完了してから停止します。停止するまでは、MVC ビットの読み出し値は”1”のままで、停止後に”0”にリセットされます。

なお、測定動作中(MVC ビット読み出し値が”1”の場合)には、SCV ビット、および、C3～C0 ビットの設定変更は無視されます。

また、温度センサ測定中、VREG 電圧測定中、及びオープン/ショート検出測定中に MVC ビットを”1”にセットしても無視されます。

8. MEAS_TEMP レジスタ (Adrs=07H)

ビット名	7	6	5	4	3	2	1	0
	MT	—	—	SCT	—	—	T1	T0
R/W	R/W	R	R	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

MEAS_TEMP レジスタは、温度センサ (TEMP1～TEMP4 端子入力電圧) の測定を制御するレジスタです。

SCT、T0、T1 ビットにより、温度センサ測定モードを選択します。

SCT	T1	T0	温度センサ測定モード
0	0	0	TEMP1 端子入力電圧のみ測定 (初期値)
0	0	1	TEMP2 端子入力電圧のみ測定
0	1	0	TEMP3 端子入力電圧のみ測定
0	1	1	TEMP4 端子入力電圧のみ測定
1	0	0	TEMP1 端子入力電圧のみ測定
1	0	1	TEMP1～TEMP2 端子入力電圧をスキャン測定
1	1	0	TEMP1～TEMP3 端子入力電圧をスキャン測定
1	1	1	TEMP1～TEMP4 端子入力電圧をスキャン測定

MT ビットにより、温度センサ測定スタート・中止を制御し、温度センサ測定完了ステータスを確認できます。温度センサ測定結果は、TEMPnL、TEMPnH レジスタ(40H～47H)に格納されます。

ライト時		リード時	
MT	TEMP 端子電圧測定	MT	TEMP 端子電圧測定
0	中止 (初期値)	0	終了・停止 (初期値)
1	スタート	1	測定中

温度センサ測定中に、MT ビットに”0”を書き込むことで、温度センサ測定を中止することができますが、測定中の温度センサの測定が完了してから停止します。停止するまでは、MT ビットの読み出し値は”1”のままで、停止後に”0”にリセットされます。

なお、測定動作中(MT ビット読み出し値が”1”の場合)には、SCT、T0、T1 ビットの設定変更は無視されます。

また、セル電圧測定中、VREG 電圧測定中、及びオープン/ショート検出測定中に MT ビットを”1”にセットしても無視されます。

9. MEAS_VREG レジスタ (Adrs=08H)

ビット名	7	6	5	4	3	2	1	0
	MVR	—	—	—	—	—	—	—
R/W	R/W	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

MEAS_VREG レジスタは、VREG 電圧の測定を制御するレジスタです。
本レジスタによって実際に測定される電圧は、VREG そのものではなく、 $VREG \times 1/2$ です。

MVR ビットにより、VREG 電圧測定スタート・中止を制御し、VREG 電圧測定完了ステータスを確認できます。VREG 電圧測定結果は、VREGL、VREGH レジスタ(48H～49H)に格納されます。

ライト時		リード時	
MVR	VREG 電圧測定	MVR	VREG 電圧測定
0	無効 (初期値)	0	終了・停止 (初期値)
1	スタート	1	測定中

VREG 電圧測定中に MVR ビットに”0”を書き込んでも、VREG 電圧測定は中止できません。
また、セル電圧測定中、温度センサ測定中、及びオープン/ショート検出測定中に MVR ビットを”1”にセットしても無視されます。

10. MEAS_VOPSH レジスタ (Adrs=09H)

ビット名	7	6	5	4	3	2	1	0
	MOS	—	—	—	—	—	—	—
R/W	R/W	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

MEAS_VOPSH レジスタは、セル電圧測定端子のオープン/ショート検出の測定を制御するレジスタです。

MOS ビットにより、セル電圧測定端子のオープン/ショート検出の測定スタート・中止を制御し、セル電圧測定完了ステータスを確認できます。セル電圧測定結果は、VCELLnL、VCELLnH レジスタ(20H～3FH)に格納されます。

ライト時		リード時	
MOS	オープン/ショート検出測定	MOS	オープン/ショート検出測定
0	中止 (初期値)	0	終了・停止 (初期値)
1	スタート	1	測定中

セル電圧測定端子のオープン/ショート検出の測定中に、MOS ビットに”0”を書き込むことで、検出測定を中止することができますが、測定中のセル電圧の測定が完了してから停止します。停止するまでは、MOS ビットの読み出し値は”1”のままで、停止後に”0”にリセットされます。

また、セル電圧測定中、温度センサ測定中、及び VREG 電圧測定中に MOS ビットを”1”にセットしても無視されます。

11. STATUS レジスタ (Adrs=0AH)

ビット名	7	6	5	4	3	2	1	0
	—	VRGD	CBALH	CBALL	MOS	MVR	MT	MVC
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

STATUS レジスタは、各種状態を示すレジスタです。このレジスタへの書き込みは無視されます。
MVC ビットにより、セル電圧測定状態を示します。MEAS_VCELL レジスタの MVC ビットと同じです。

MVC	セル電圧測定状態
0	測定終了 (初期値)
1	測定中

MT ビットにより、温度センサ測定状態を示します。MEAS_TEMP レジスタの MT ビットと同じです。

MT	温度センサ測定状態
0	測定終了 (初期値)
1	測定中

MVR ビットにより、VREG 電圧測定状態を示します。MEAS_VREG レジスタの MVR ビットと同じです。

MVR	VREG 測定状態
0	測定終了 (初期値)
1	測定中

MOS ビットにより、セル電圧測定端子のオープン/ショート検出測定状態を示します。
MEAS_VOPSH レジスタの MOS ビットと同じです。

MOS	オープン/ショート検出測定状態
0	測定終了 (初期値)
1	測定中

CBALL ビットにより、下位 8 セルの CB 端子出力状態を示します。

CBALL	CB1~CB8 端子状態
0	全ての出力が Vn-1 端子 (初期値)
1	いずれかの出力が Vn 端子

CBALH ビットにより、上位 8 セルの CB 端子出力状態を示します。

CBALH	CB9~CB16 端子状態
0	全ての出力が Vn-1 端子 (初期値)
1	いずれかの出力が Vn 端子

VRGD ビットにより、VREG 出力電圧低下検出状態を示します。

VRGD	VREG 出力電圧低下検出状態
0	低下検出なし (初期値)
1	低下検出中

12. STAT_VML レジスタ (Adrs=0BH)

ビット名	7	6	5	4	3	2	1	0
	VC8	VC7	VC6	VC5	VC4	VC3	VC2	VC1
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

STAT_VML レジスタは、下位 8 セルのセル電圧測定状態、及びオープン/ショート検出測定状態を示すレジスタです。

MEAS_VCELL レジスタの MVC ビットを”1”にセットし、セル電圧の測定を開始すると、VC1～VC8 ビットは”0”にリセットされ、測定完了したセルに該当するビットが”1”にセットされます。このレジスタを読み出すことで、セル電圧測定の進捗状況を確認することができます。

また、MEAS_VOPSH レジスタの MOS ビットを”1”にセットし、セル電圧測定端子のオープン/ショート検出の測定を開始すると、VC1～VC8 ビットは”0”にリセットされ、測定完了したセルに該当するビットが”1”にセットされます。このレジスタを読み出すことで、オープン/ショート検出測定の進捗状況を確認することができます。

VC1～VC8 ビットにより、セル電圧測定完了状態を示します。

VCn	セル電圧測定状態
0	測定中 または 測定対象外 (初期値)
1	測定完了

13. STAT_VMH レジスタ (Adrs=0CH)

ビット名	7	6	5	4	3	2	1	0
	VC16	VC15	VC14	VC13	VC12	VC11	VC10	VC9
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

STAT_VMH レジスタは、上位 8 セルのセル電圧測定状態、及びオープン/ショート検出測定状態を示すレジスタです。

MEAS_VCELL レジスタの MVC ビットを”1”にセットし、セル電圧の測定を開始すると、VC9～VC16 ビットは”0”にリセットされ、測定完了したセルに該当するビットが”1”にセットされます。このレジスタを読み出すことで、セル電圧測定の進捗状況を確認することができます。

また、MEAS_VOPSH レジスタの MOS ビットを”1”にセットし、セル電圧測定端子のオープン/ショート検出の測定を開始すると、VC9～VC16 ビットは”0”にリセットされ、測定完了したセルに該当するビットが”1”にセットされます。このレジスタを読み出すことで、オープン/ショート検出測定の進捗状況を確認することができます。

VC9～VC16 ビットにより、セル電圧測定完了状態を示します。

VCn	セル電圧測定状態
0	測定中 または 測定対象外 (初期値)
1	測定完了

14. STAT_TM レジスタ (Adrs=0DH)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	—	TM4	TM3	TM2	TM1
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

STAT_TM レジスタは、温度センサ測定状態を示すレジスタです。

MEAS_TEMP レジスタの MT ビットを”1”にセットし、温度センサの測定を開始すると、TM1～TM4 ビットは”0”にリセットされ、測定完了した端子に該当するビットが”1”にセットされます。このレジスタを読み出すことで、温度センサ測定の進捗状況を確認することができます。

TM1～TM4 ビットにより、温度センサ測定完了状態を示します。

TMn	温度センサ測定状態
0	測定中 または 測定対象外 (初期値)
1	測定完了

15. CBALL レジスタ (Adrs=0EH)

ビット名	7	6	5	4	3	2	1	0
	SW8	SW7	SW6	SW5	SW4	SW3	SW2	SW1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

CBALL レジスタは、下位 8 セルの CBn 端子出力設定を行なうレジスタです。

SW1～SW8 ビットにより、各 CBn 端子の出力設定を行います。複数のビットを”1”に設定することもできます。

SW8	SW7	SW6	SW5	SW4	SW3	SW2	SW1	CB1～CB8 端子状態
0	0	0	0	0	0	0	0	CBn=Vn-1 (初期値)
0	0	0	0	0	0	0	1	CB1 端子=V1 端子 その他 CBn 端子=Vn-1
0	0	0	0	0	0	1	0	CB2 端子=V2 端子 その他 CBn 端子=Vn-1
0	0	0	0	0	1	0	0	CB3 端子=V3 端子 その他 CBn 端子=Vn-1
0	0	0	0	1	0	0	0	CB4 端子=V4 端子 その他 CBn 端子=Vn-1
0	0	0	1	0	0	0	0	CB5 端子=V5 端子 その他 CBn 端子=Vn-1
0	0	1	0	0	0	0	0	CB6 端子=V6 端子 その他 CBn 端子=Vn-1
0	1	0	0	0	0	0	0	CB7 端子=V7 端子 その他 CBn 端子=Vn-1
1	0	0	0	0	0	0	0	CB8 端子=V8 端子 その他 CBn 端子=Vn-1

16. CBALH レジスタ (Adrs=0FH)

	7	6	5	4	3	2	1	0
ビット名	SW16	SW15	SW14	SW13	SW12	SW11	SW10	SW9
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

CBALH レジスタは、上位 8 セルの CBn 端子出力設定を行なうレジスタです。

SW9～SW16ビットにより、各 CBn 端子の出力設定を行います。複数のビットを”1”に設定することもできます。

SW16	SW15	SW14	SW13	SW12	SW11	SW10	SW9	CB9～CB16 端子状態
0	0	0	0	0	0	0	0	CBn=Vn-1 (初期値)
0	0	0	0	0	0	0	1	CB9 端子=V9 端子 その他 CBn 端子=Vn-1
0	0	0	0	0	0	1	0	CB10 端子=V10 端子 その他 CBn 端子=Vn-1
0	0	0	0	0	1	0	0	CB11 端子=V11 端子 その他 CBn 端子=Vn-1
0	0	0	0	1	0	0	0	CB12 端子=V12 端子 その他 CBn 端子=Vn-1
0	0	0	1	0	0	0	0	CB13 端子=V13 端子 その他 CBn 端子=Vn-1
0	0	1	0	0	0	0	0	CB14 端子=V14 端子 その他 CBn 端子=Vn-1
0	1	0	0	0	0	0	0	CB15 端子=V15 端子 その他 CBn 端子=Vn-1
1	0	0	0	0	0	0	0	CB16 端子=V16 端子 その他 CBn 端子=Vn-1

17. IDSEL レジスタ (Adrs=10H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	ID
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	端子状態

IDSEL レジスタは、ID 端子の状態(入力レベル)を格納するレジスタです。

18. IDACP レジスタ (Adrs=11H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

IDACP レジスタは、誤って IDREG が書き込まれないようにするため、IDREG への書き込みを許可するためのレジスタです。本レジスタに 0x5A を書き込むことで、IDREG に書き込むことが可能になります。

19. IDREG レジスタ (Adrs=12H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	ID3	ID2	ID1	ID0
R/W	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IDREG レジスタは、多段接続された各 IC の ID の割り付けを格納するレジスタです。

自動設定される ID は、下表のとおりとなります。自動設定の方法は、「ID 自動設定機能」の章を参照してください。

ID3	ID2	ID1	ID0	多段接続順番
0	0	0	0	最下位 IC
0	0	0	1	2 段目 IC
0	0	1	0	3 段目 IC
:				:
1	1	0	1	14 段目 IC
1	1	1	0	15 段目 IC
1	1	1	1	16 段目 IC

20. WDTACP レジスタ (Adrs=13H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
R/W	W	W	W	W	W	W	W	W
初期値	0	0	0	0	0	0	0	0

WDTACPレジスタは、誤ってSETWDTが書き込まれないようにするため、SETWDTへの書き込みを許可するためのレジスタです。本レジスタに0xA5を書き込むことで、SETWDTに書き込むことが可能になります。

21. SETWDT レジスタ (Adrs=14H)

	7	6	5	4	3	2	1	0
ビット名	ENWD	—	—	—	—	—	WDT1	WDT0
R/W	R/W	R	R	R	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SETWDTレジスタは、ウォッチドッグタイマの動作/停止の設定とオーバーフロー時間を設定するレジスタです。

WDT0, WDT1 ビットにより、オーバーフロー時間を設定します。

WDT1	WDT0	オーバーフロー時間(Typ)
0	0	1 秒(初期値)
0	1	2 秒
1	0	4 秒
1	1	8 秒

ENWD ビットにより、ウォッチドッグタイマの動作/停止を設定します。

ENWD	WDT 動作状態
0	動作(初期値)
1	停止

22. SELOUT レジスタ (Adrs=15H)

ビット名	7	6	5	4	3	2	1	0
	STO4	STO3	STO2	STO1	—	—	—	—
R/W	R/W	R/W	R/W	R/W	R	R	R	R
初期値	0	0	0	0	0	0	0	0

SELOUT レジスタは、温度計測用サーミスタ接続端子を汎用出力に切り替えるレジスタです。

STO1～STO4 ビットにより、TEMPn 端子の状態を設定します。

STOn	TEMPn 端子状態
0	温度センサ測定用入力 (初期値)
1	汎用出力

23. SETOUT レジスタ (Adrs=16H)

ビット名	7	6	5	4	3	2	1	0
	TO4	TO3	TO2	TO1	GPO	—	—	TDRV
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W
初期値	0	0	0	0	1	0	0	1

SETOUT レジスタは、出力端子の出力レベルを設定するレジスタです。

TDRV ビットにより、TDRV 端子の出力状態を設定します。

TDRV	TDRV 端子出力状態
0	L 出力
1	HiZ (初期値)

GPO ビットにより、GPOUT 端子の出力状態を設定します。

GPO	GPOUT 端子出力状態
0	L 出力
1	HiZ (初期値)

TO1～TO4 ビットにより、TEMPn 端子の出力状態を設定します。

TOn	TEMPn 端子出力状態
0	L 出力 (初期値)
1	H 出力

24. RSVD レジスタ (Adrs=17H～1FH)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

RSVD レジスタは、予約レジスタです。

データライトは無効で、データ読み出し値は、00H となります。

25. VCELLnL レジスタ (Adrs=20H~3FH の偶数アドレス)

	7	6	5	4	3	2	1	0
ビット名	VAD7	VAD6	VAD5	VAD4	VAD3	VAD2	VAD1	VAD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

VCELLnL レジスタ(n=1~16)は、各セル電圧の AD 変換結果、及びオープン/ショート検出測定結果の下位 8 ビットのデータが格納されるレジスタです。

26. VCELLnH レジスタ (Adrs=20H~3FH の奇数アドレス)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	VAD11	VAD10	VAD9	VAD8
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

VCELLnH レジスタ(n=1~16)は、各セル電圧の AD 変換結果、及びオープン/ショート検出測定結果の上位 4 ビットのデータが格納されるレジスタです。

27. TEMPnL レジスタ (Adrs=40H~47H の偶数アドレス)

	7	6	5	4	3	2	1	0
ビット名	TAD7	TAD6	TAD5	TAD4	TAD3	TAD2	TAD1	TAD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TEMPnL レジスタ(n=1~4)は、TEMP1~TEMP4 端子の AD 変換結果の下位 8 ビットのデータが格納されるレジスタです。

28. TEMPnH レジスタ (Adrs=40H~47H の奇数アドレス)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	TAD11	TAD10	TAD9	TAD8
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

TEMPnH レジスタ(n=1~4)は、TEMP1~TEMP4 端子の AD 変換結果の上位 4 ビットのデータが格納されるレジスタです。

29. VREGL レジスタ (Adrs=48H)

	7	6	5	4	3	2	1	0
ビット名	RAD7	RAD6	RAD5	RAD4	RAD3	RAD2	RAD1	RAD0
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

VREGL レジスタは、 $VREG \times 1/2$ 電圧の AD 変換結果の下位 8 ビットのデータが格納されるレジスタです。

30. VREGH レジスタ (Adrs=49H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	RAD11	RAD10	RAD9	RAD8
R/W	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0

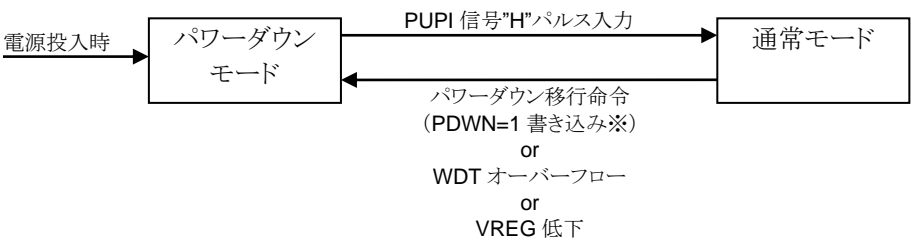
VREGH レジスタは、 $VREG \times 1/2$ 電圧の AD 変換結果の上位 4 ビットのデータが格納されるレジスタです。

● 動作モード

本 IC には、以下の動作モードがあります。

通常動作モード	全ての機能が動作するモードです。
パワーダウンモード	パワーアップ以外の回路を全て停止させ、消費電流を低減するモードです。

それぞれのモードへの移行条件は、下図のとおりです。



※PDWN=1 書き込みには、PDACP による書き込み許可の設定が、事前に必要です。

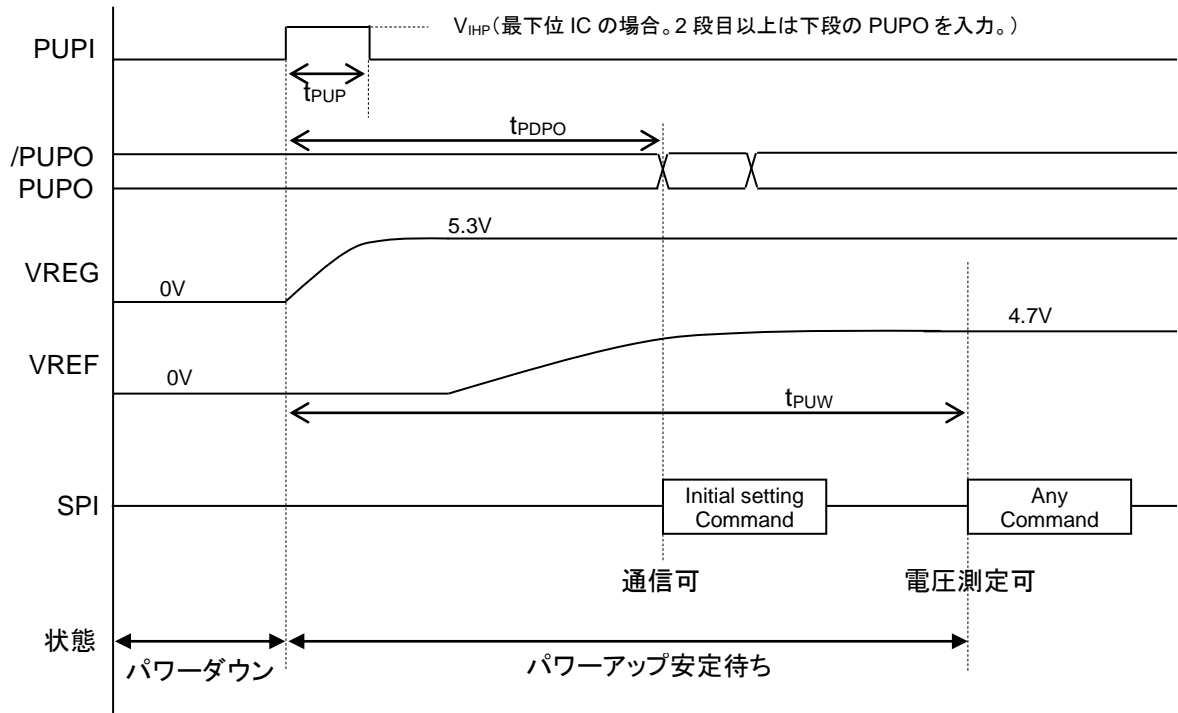
パワーダウンモードから通常モードへの移行には、PUPI 端子へ”H”パルスを入力後、内部回路が安定するまでの時間が必要です。SPI 通信ができるまでの待ち時間は、下表のとおりです。

SPI 命令	待ち時間
電圧測定以外(各種設定等)	$t_{PDPO} \times \text{多段段数}$
電圧測定(セル、温度センサ、VREG)	$t_{PUW} + t_{PDPO} \times (\text{多段段数} - 1)$

パワーアップ安定中 (t_{PUW} の区間) に電圧測定を動かした場合、測定誤差は保証できませんので、ご注意ください。

多段接続の場合、通常モードへの移行後、各 IC への ID 割り付けが必要となります。

パワーアップ時動作(SPI 通信開始)タイミングチャート



● ID 自動設定機能

ML5239 は、多段接続した際に各 IC に自動で ID を割り付ける機能を内蔵しています。

電源投入し、内部回路安定待ち時間経過後、多段接続した全ての IC の ID 自動設定レジスタ IDREG は、初期値 0x00 となります。この状態で、ID=WR_ALL を指定して SPI 通信で ID 自動設定コードアクセプタ IDACP に 0x5A を書き込み、ID 自動設定レジスタ IDREG への書き込みを許可します。

次に、ID=WR_ALL を指定して ID 自動設定レジスタ IDREG に“多段段数-1”の値を書き込むと、下表のように最下段の一つ上の IC から順番に ID が自動で設定されます。

ID3	ID2	ID1	ID0	多段接続順番
0	0	0	0	最下位 IC
0	0	0	1	2 段目 IC
0	0	1	0	3 段目 IC
:				:
1	1	0	1	14 段目 IC
1	1	1	0	15 段目 IC
1	1	1	1	16 段目 IC

ID 自動設定は、上記 IDREG への任意の値の書き込み後、多段接続 1 段につき約 170 μ s の時間を要します。ID 自動設定中は、MCU からの SPI 通信を実行しないでください。なお ID 自動設定時のクロックは MCU からの入力クロックではなく最下段の ML5239 が SCKO を生成します。

ID 自動設定の完了時に、外部 MCU への割り込み信号を /INTO 端子に出力することができます。割り込み信号を出力させたい場合は、ID 自動設定前に、ID=0 を指定して INT_EN レジスタの EID ビットにより ID 自動設定完了割り込みを許可にしておく必要があります。詳細は、制御レジスタの INT_EN レジスタ、INT_REQ レジスタの項目を参照してください。

● ウォッチドッグタイマ機能

ML5239 は、一定期間 SPI 通信が行われなかった場合に異常と検出するウォッチドッグタイマ機能を内蔵しています。

WDT のカウンタをクリアする (SPI 通信が行われたことを IC が認識する) には、/CS="L" の状態で SCK のクロックが 16CLK 入力されることが条件となります。

● 電源投入・遮断順序

各電池セルの接続順序は任意ですが、GND 端子、VDD 端子を接続後に、下位セルより接続することを推奨します。

なお、電源投入後の初期状態は、パワーダウンモードになります。PUPI 端子に "H" パルスを入力し、パワーアップさせてください。詳細は、「動作モード」の章を参照して下さい。

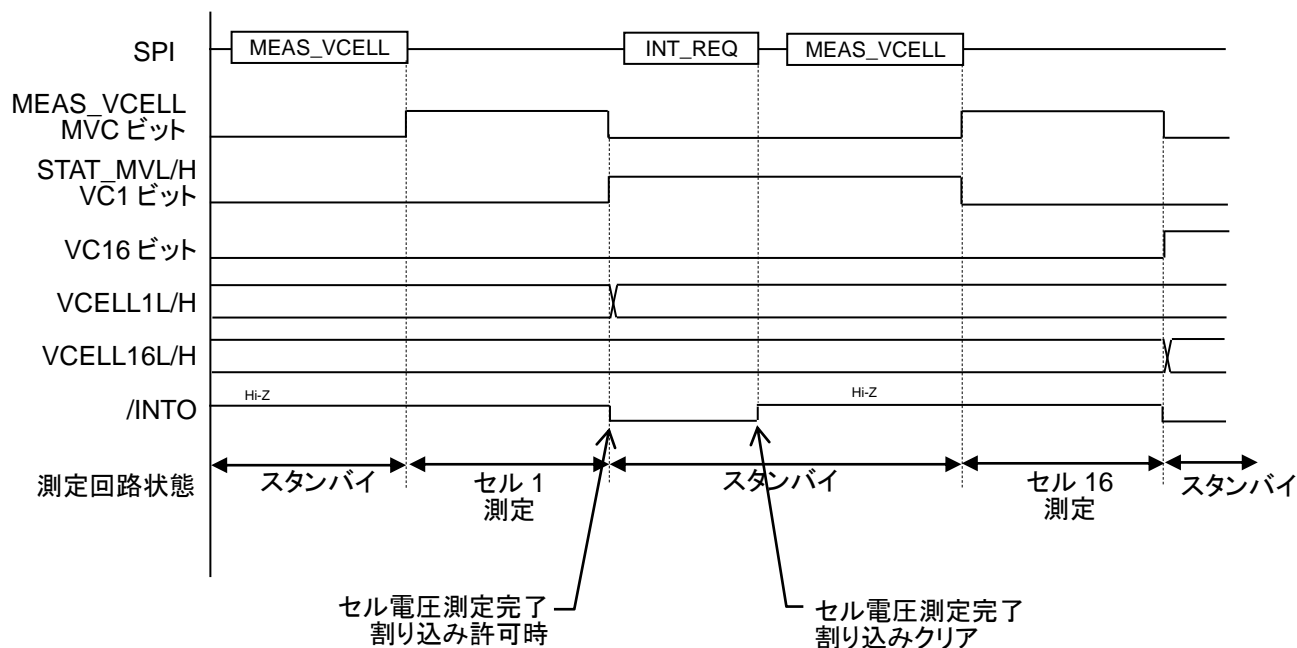
● セル電圧測定

セル電圧の測定方法には、選択した 1 つのセル電圧を測定するセレクト測定と、選択した複数のセル電圧を連続して測定するスキャン測定の 2 種類があります。

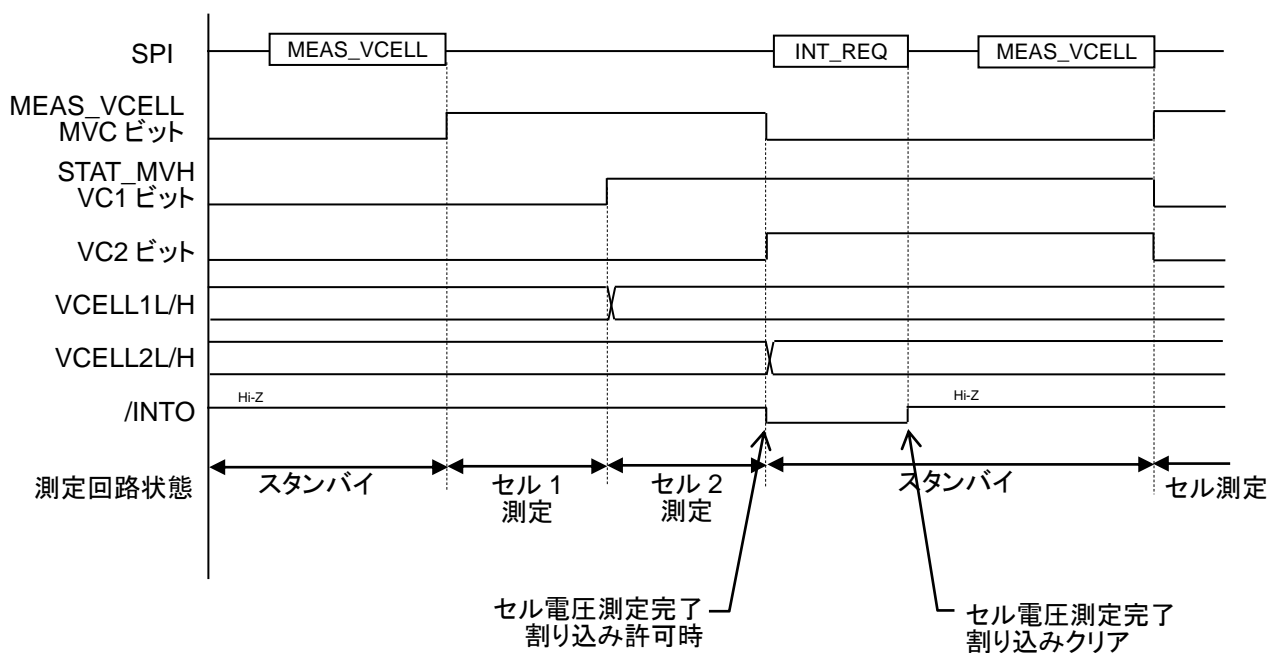
セル電圧測定モードの選択と測定の設定は、MEAS_VCELL レジスタにより行います。詳細は、MEAS_VCELL レジスタの項目を参照してください。

各測定モードでのセル電圧測定動作タイミングチャートを以下に示します。

セレクト測定モード時動作タイミングチャート (最下位セル 1、セル 16 測定時)



スキャン測定モード時動作タイミングチャート (セル 1～2 測定時)



● 温度センサ入力電圧測定

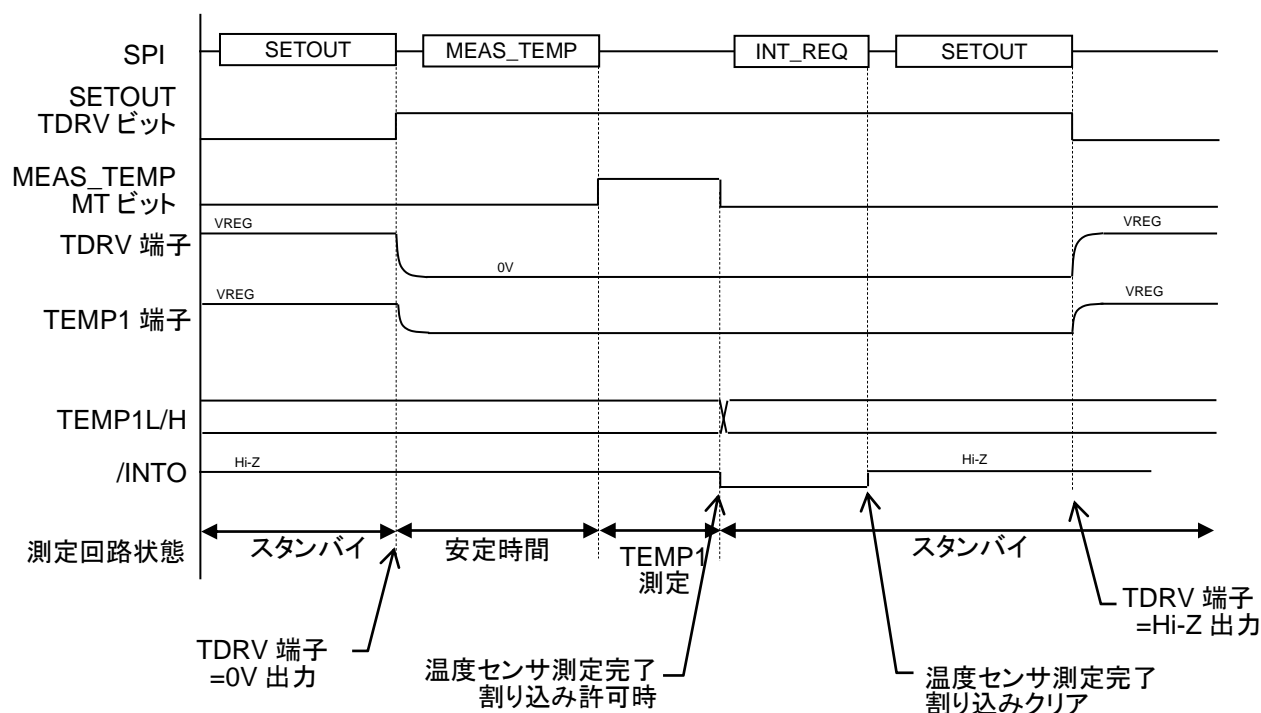
温度センサ入力電圧の測定方法には、選択した 1 つの温度センサ入力を測定するセレクト測定モードと、複数の温度センサ入力電圧を連続して測定するスキャン測定モードの 2 種類があります。

温度センサ測定モードの選択と測定の設定は、MEAS_TEMP レジスタにより行います。

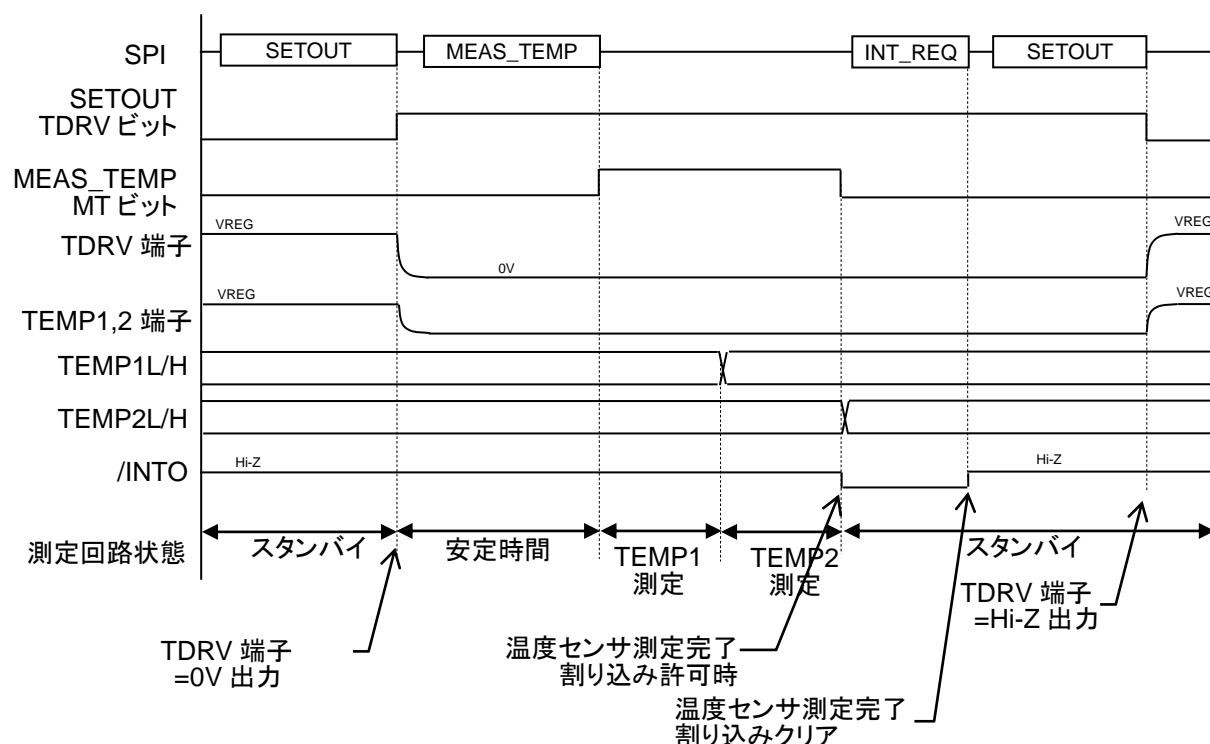
温度センサ測定時には、TDRV 端子に 0V を出力し、TEMP1～TEMP4 端子入力電圧が安定した後に測定を開始してください。詳細は、SETOUT レジスタ、及び MEAS_TEMP レジスタの項目を参照してください。温度センサ測定完了後は、TDRV 端子を Hi-Z 状態に設定し、消費電流を低減させると共に、VREG 出力電圧の低下を最小限にすることを推奨します。

各測定モードでの温度センサ入力電圧測定動作タイミングチャートを以下に示します。

セレクト測定モード時動作タイミングチャート (TEMP1 端子入力測定時)



スキャン測定モード時動作タイミングチャート (TEMP1～TEMP2 測定時)

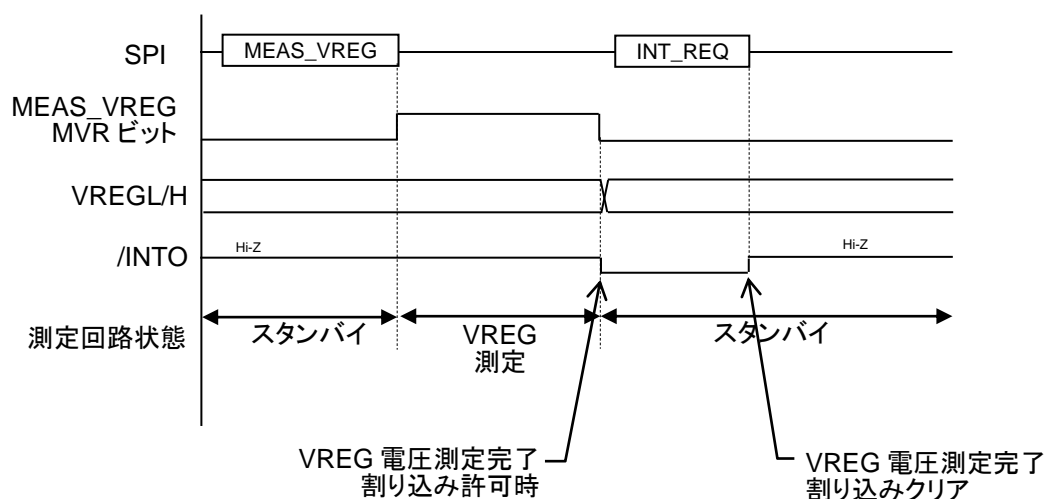


● VREG 電圧測定

VREG 電圧測定は、MEAS_VREGレジスタにより行います。詳細は、MEAS_VREGレジスタの項目を参照してください。

VREG 電圧測定動作タイミングチャートを以下に示します。

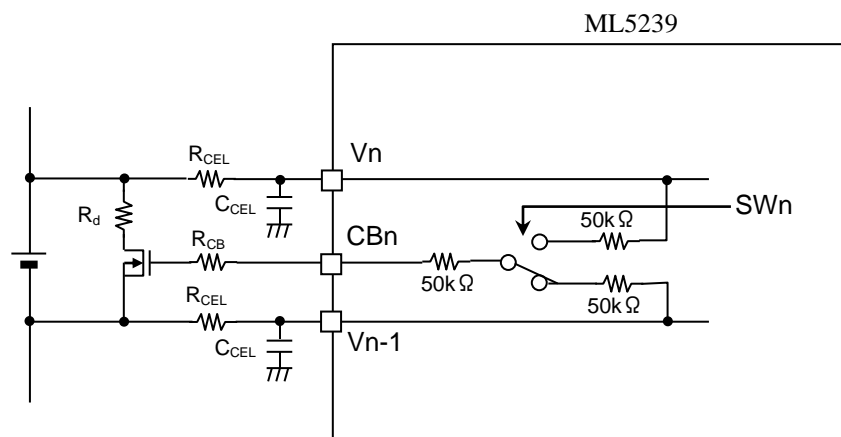
VREG 電圧測定動作タイミングチャート



● セルバランス

外付け Nch-FET を用いて、下図のようにセルバランス回路を構成します。

セルバランスを行う場合には、CBALL、CBALHレジスタのSW_nビットを”1”に設定することで、CB_n 端子と V_n 端子間に 100kΩ (typ)の抵抗が接続されます。SW_n ビットが”0”の場合には、CB_n 端子と V_{n-1} 端子間に 100kΩ (typ)の抵抗が接続されます。



● 割り込み信号出力

各種測定完了と異常発生を外部 MCU へ知らせるために、/INTO 端子から割り込み信号を出力します。
各種割り込みの発生許可は INT_EN レジスタで設定し、発生した割り込みの確認とクリアは、INT_REQ レジスタをリード/ライトすることで行います。

割り込み要因と発生条件、発生後の状態について、下表に示します。

割り込み要因	割り込み発生条件	割り込み発生後の状態
セル電圧測定完了	MEAS_VCELL レジスタの MVC ビットを"1"にセット後、セル電圧測定が完了した場合	VCELLnL/H レジスタに測定結果が格納されます。
温度センサ入力測定完了	MEAS_TEMP レジスタの MT ビットを"1"にセット後、温度センサ測定が完了した場合	TEMPnL/H レジスタに測定結果が格納されます。
VREG 電圧測定完了	MEAS_VREG レジスタの MVR ビットを"1"にセット後、VREG 電圧測定が完了した場合	VREGL/H レジスタに測定結果が格納されます。
CRC エラー	受信した CRC コードが計算した結果と一致しなかった場合	受信した SPI 通信データは無効となります。
ID 自動設定完了	ID 自動設定が完了した場合	全ての IC がスタンバイ(命令受付可)状態となります。
VREG 出力電圧低下検出	VREG 端子出力電圧が 4.3V(typ)以下に低下したことを検出した場合。	各種測定結果は正常な値ではありません。
VREG 出力電圧復帰検出	VREG 端子出力電圧が 4.85V(typ)以上になったことを検出した場合。 パワーアップ時の VREG 出力立上がり時には割り込みは発生しません。	各種測定を正常に行うことができます。
WDT	オーバーフローする時	IC はパワーダウンします。

※VREG は、推奨動作範囲を下回ると割り込みを発生します。更に、IC 内部回路が正常動作できないレベル近傍まで下がるとパワーダウンに移行します。

● セル接続方法

接続セル数が 15 セル以下の場合には、下表の接続を推奨します。

接続セル数	V16 端子	V15 端子	V14 端子	V13 端子	V12 端子	V11 端子	V10 端子	V9 端子	V8 端子	V7 端子	V6 端子	V1~V5 端子
15	V _{TOP}	セル	セル	セル	セル	セル	セル	セル	セル	セル	セル	セル
14	V _{TOP}	V _{TOP}	セル	セル	セル	セル	セル	セル	セル	セル	セル	セル
13	V _{TOP}	V _{TOP}	V _{TOP}	セル	セル	セル	セル	セル	セル	セル	セル	セル
12	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	セル	セル	セル	セル	セル	セル	セル	セル
11	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	セル	セル	セル	セル	セル	セル	セル
10	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	セル	セル	セル	セル	セル	セル
9	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	セル	セル	セル	セル	セル
8	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	セル	セル	セル	セル
7	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	セル	セル	セル
6	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	セル	セル
5	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	V _{TOP}	セル

※V_{TOP}: その IC の電池接続最上位の V 端子と同じ電位

● 多段接続方法

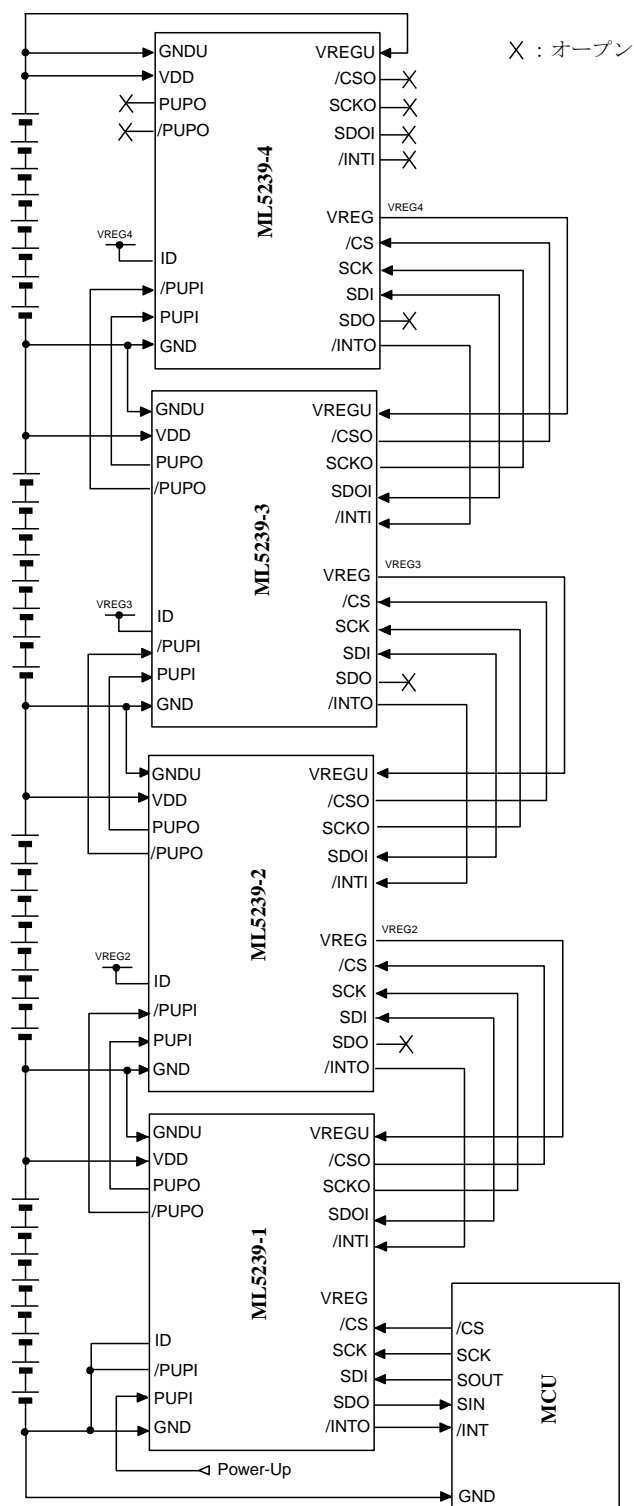
ML5239 では、最大 16 個の IC を多段接続可能です。

多段接続時には、下図のように各 IC 間を接続してください。詳細接続方法については、応用回路例を参照してください。

最下位 IC の ID 端子は”L”レベルに設定してください。上位 IC の ID 端子は、全て”H”レベルに設定してください。

SDOI 端子と上位 IC の SDI 端子は、リード/ライト動作に応じて、入出力モードが自動的に切り換ります。

IC間の配線寄生容量等により、SPI通信速度が制限されますので、実際のアプリケーションで確認してください。



● 未使用端子の処理

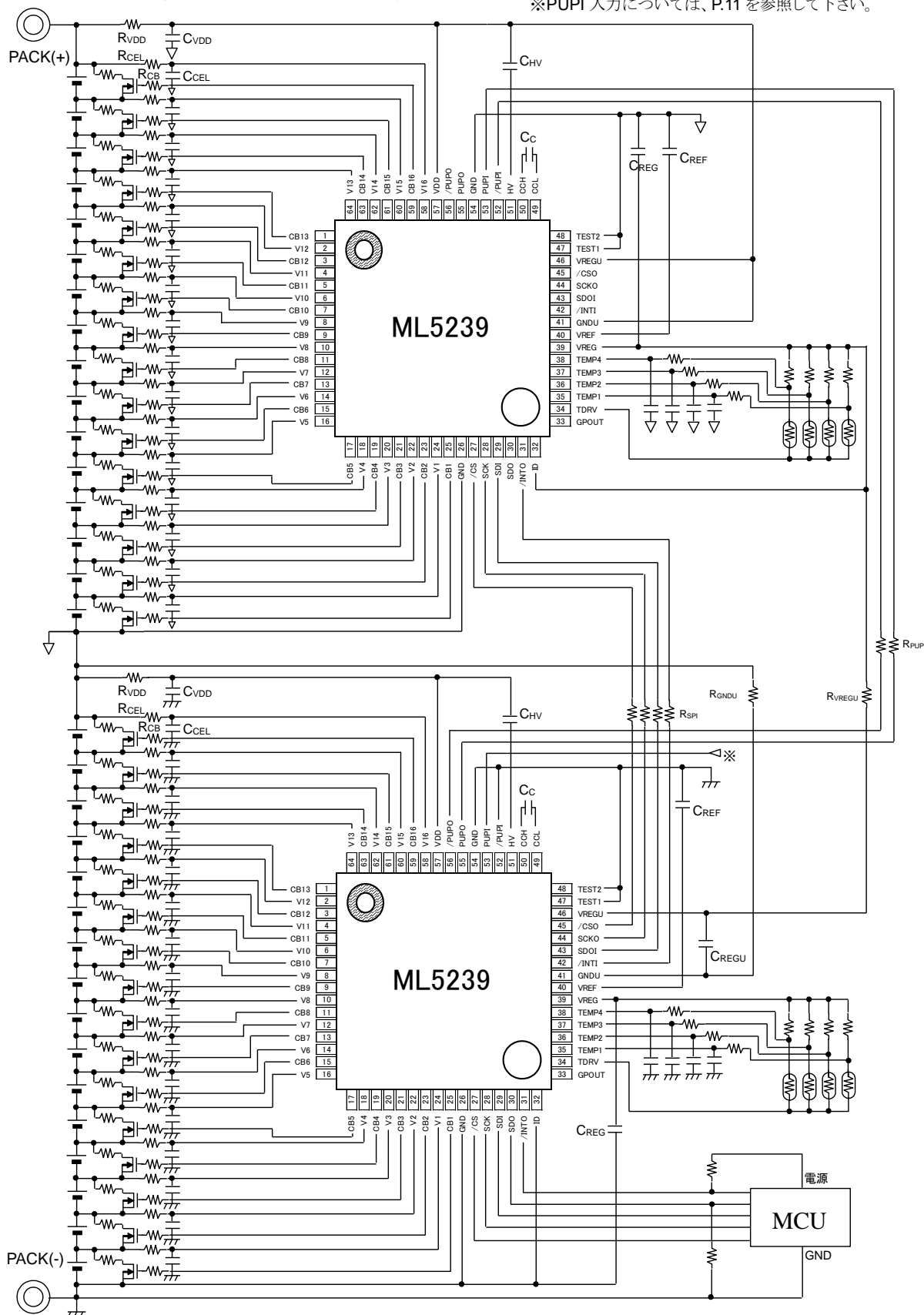
下表に未使用端子の処理方法を示します。

未使用端子	推奨端子処理
V6～V16	その IC の電池接続最上位の V 端子と同じ電位
CB1～CB16	オープン
TDRV	オープンまたは GND 端子に接続
TEMP1～TEMP4	GND 端子に接続
/INTO	オープンまたは GND 端子に接続
PUPO	オープン
/PUPO	オープン
/INTI	オープン
SDOI	オープン
SCKO	オープン
/CSO	オープン

■ 応用回路例 (16 セル接続、2 段接続)

接続の無い端子は、オープンです。

※PUPI 入力については、P.11 を参照して下さい。

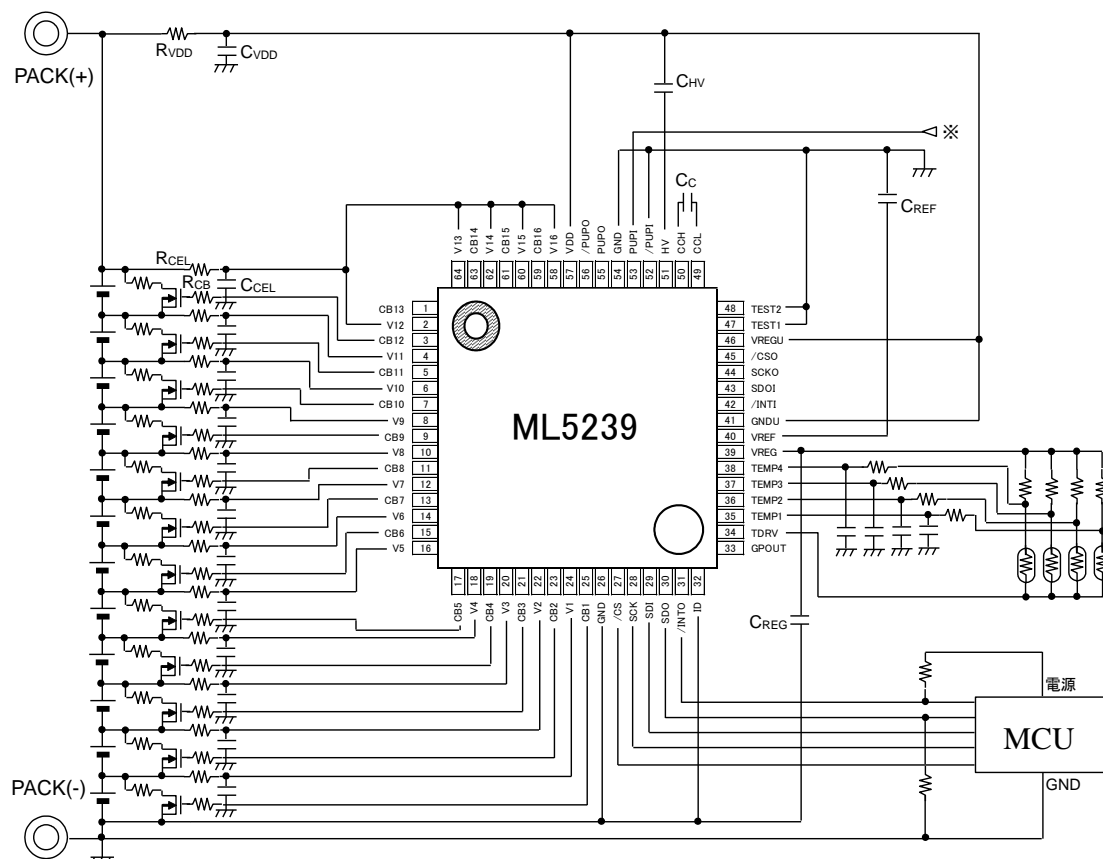


(注意)推奨する GND 配線について、セル 1 測定は ML5239 の V1 端子と GND 端子間の電圧を測定します。GND に流れる電流が大きくなるほど測定誤差が大きくなります。MCU 等電流が多く流れるような他の GND とは分離して、独立配線にすることを推奨します。

■ 応用回路例 (12 セル接続、多段接続なし)

接続の無い端子は、オープンです。

※PUPI 入力については、P.11 を参照して下さい。



(注意)推奨する GND 配線について、セル 1 測定は ML5239 の V1 端子と GND 端子間の電圧を測定します。GND に流れる電流が大きくなるほど測定誤差が大きくなります。MCU 等電流が多く流れるような他の GND とは分離して、独立配線にすることを推奨します。

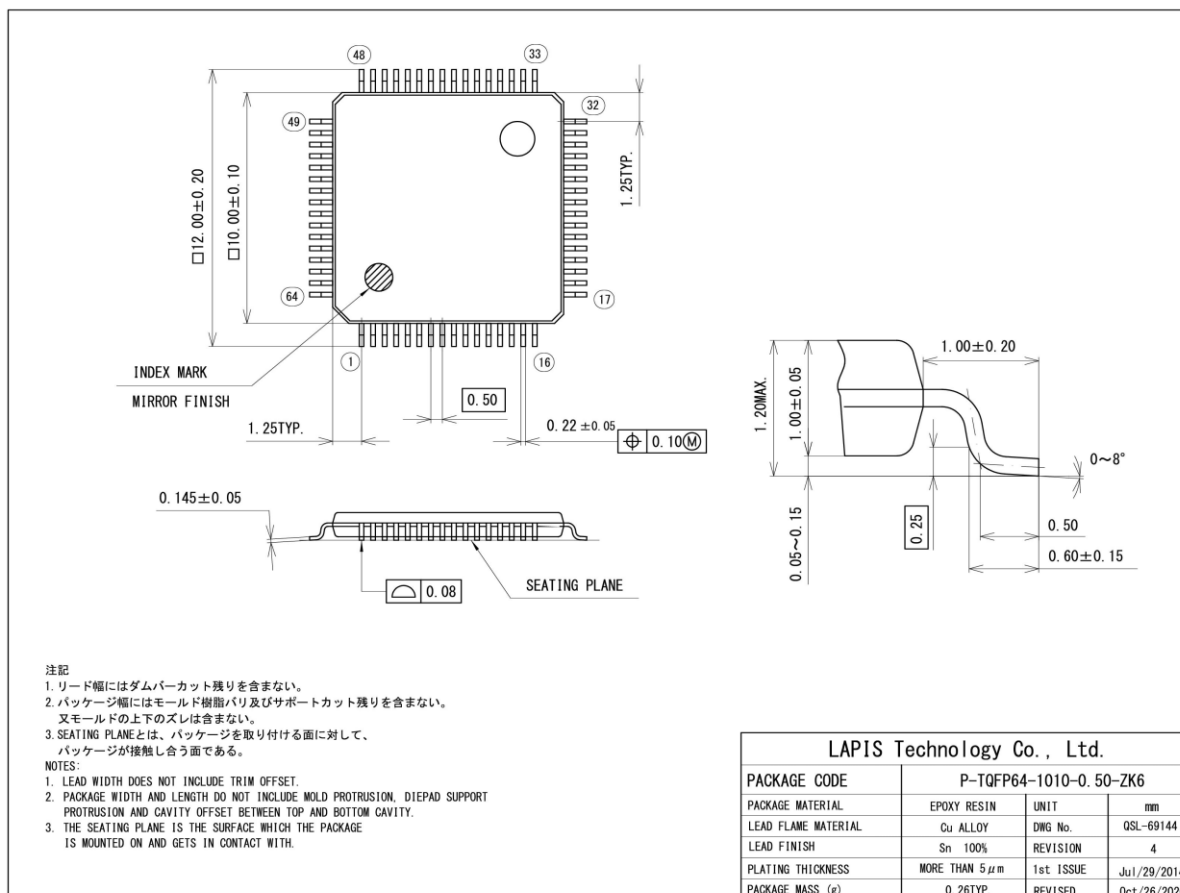
■ 外付け部品推奨値

部品	推奨値			
	耐圧[V]	Min	Typ	Max
R _{VDD}	—	100Ω	—	330Ω
C _{VDD}	100	1.0μF	—	—
R _{CEL}	—	100Ω	—	1kΩ
C _{CEL}	100	0.1μF	—	—
R _{CB}	—	1kΩ	—	—
C _C	10	—	0.22μF	—
C _{HV}	10	—	0.22μF	—
C _{REF}	10	—	1.0μF	—
C _{REG}	10	—	1.0μF	—
C _{REGU}	10	10nF	0.1μF	1.0μF
R _{VREGU}	—	100Ω	—	330Ω
R _{GNDU}	—	100Ω	—	330Ω
R _{SPI}	—	100Ω	—	330Ω
R _{PUP}	—	500Ω	—	1kΩ

(注意) 抵抗精度は±1%、容量精度は±20%とする。

記載の回路例、外付け部品の推奨値は、あらゆる動作条件下での動作を保証するものではありませんので、実際のアプリケーションで十分評価の上、最適な回路構成、部品定数の選択を行ってください。

■ パッケージ寸法図



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをROOM営業窓口まで必ずお問い合わせ下さい。

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL5239-01	2015.2.6	—	—	初版発行
FJDL5239-02	2019.2.25	9	9	交流特性の項目追加、修正。
		32	32	ID 自動設定時は最下段の ML5239 が SCKO を生成することを追記。
		40	40	外付け部品の推奨値修正。
FJDL5239-03	2019.8.8	6	6	絶対最大定格： PUP1, /PUP1 端子入力電圧の規定を変更
FJDL5239-04	2020.3.23	7	7	電気的特性： HV 端子出力電圧範囲の下限値を 3.8V から 3.3V へ変更
FJDL5239-05	2020.12.01	-	-	社名ロゴ変更
		43	43	「ご注意」の内容変更
FJDL5239-06	2022.12.07	6	6	V _{REGU} に条件を追記。
		39,40	39,40	応用回路図の修正と、推奨する GND 配線を追記。
FJDL5239-07	2024.1.9	1	1	■用途、■形名を追記 注釈削除
		43	43	ご注意のページ差し替え

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(※1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(※1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2015 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>