



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

2024 年4 月1 日
ローム株式会社

ML5248

7 直列リチウムイオン 2 次電池保護用アナログフロントエンド IC

■ 概要

ML5248 は、7 セル・リチウムイオン 2 次電池パック保護システム向けのアナログフロントエンド IC です。各セル電圧モニタ機能、および、充放電電流モニタ機能を有しており、外部制御用 MCU を用いて、各セルの過充電と過放電、および、過電流の保護を行なうことができます。

また、ショート電流検出機能を搭載しており、外部 MCU の制御なしで、外部の充放電制御用 NMOS-FET を自動的に OFF させます。

■ 特長

- 3~7 セル 高精度セル電圧モニタ機能 : セル電圧の 0.5 倍の電圧を VMON 端子に出力
- 各セルに対してセルバランススイッチを内蔵 : スイッチ ON 抵抗 = 6 Ω (typ)
- 充放電電流モニタ機能 : ISP-ISM 端子間入力電圧増幅率を選択し、IMON 端子に出力
電圧増幅率選択 : 10 倍 / 50 倍
- ショート電流検出機能 :
検出閾値電圧は ISP-ISM 端子間電位差 = 50mV/100mV/150mV/200mV (typ) から選択
- 外部充放電 FET 制御 : ハイサイド NMOS-FET ドライバ内蔵
- MCU インタフェース : I2C 互換シリアル・インタフェースを搭載
- 外部 MCU 用 3.3V レギュレータ内蔵 : 出力電流 10mA (max)
- 外部 ADC 用基準電圧源内蔵 (2.5V) : 出力電流 100μA (max)
- PSNS/DFS 端子電圧モニタ機能
- 低消費電流
動作時消費電流 : 32μA (typ)、65μA (max)
パワーセーブ時消費電流 : 2μA (typ)、10μA (max)
パワーダウン時消費電流 : 0.1μA (typ)、1μA (max)
- 電源電圧 : +5V ~ +31.5V
- 動作温度範囲 : -40°C ~ +85°C
- パッケージ : 30 ピン SSOP

■ 用途

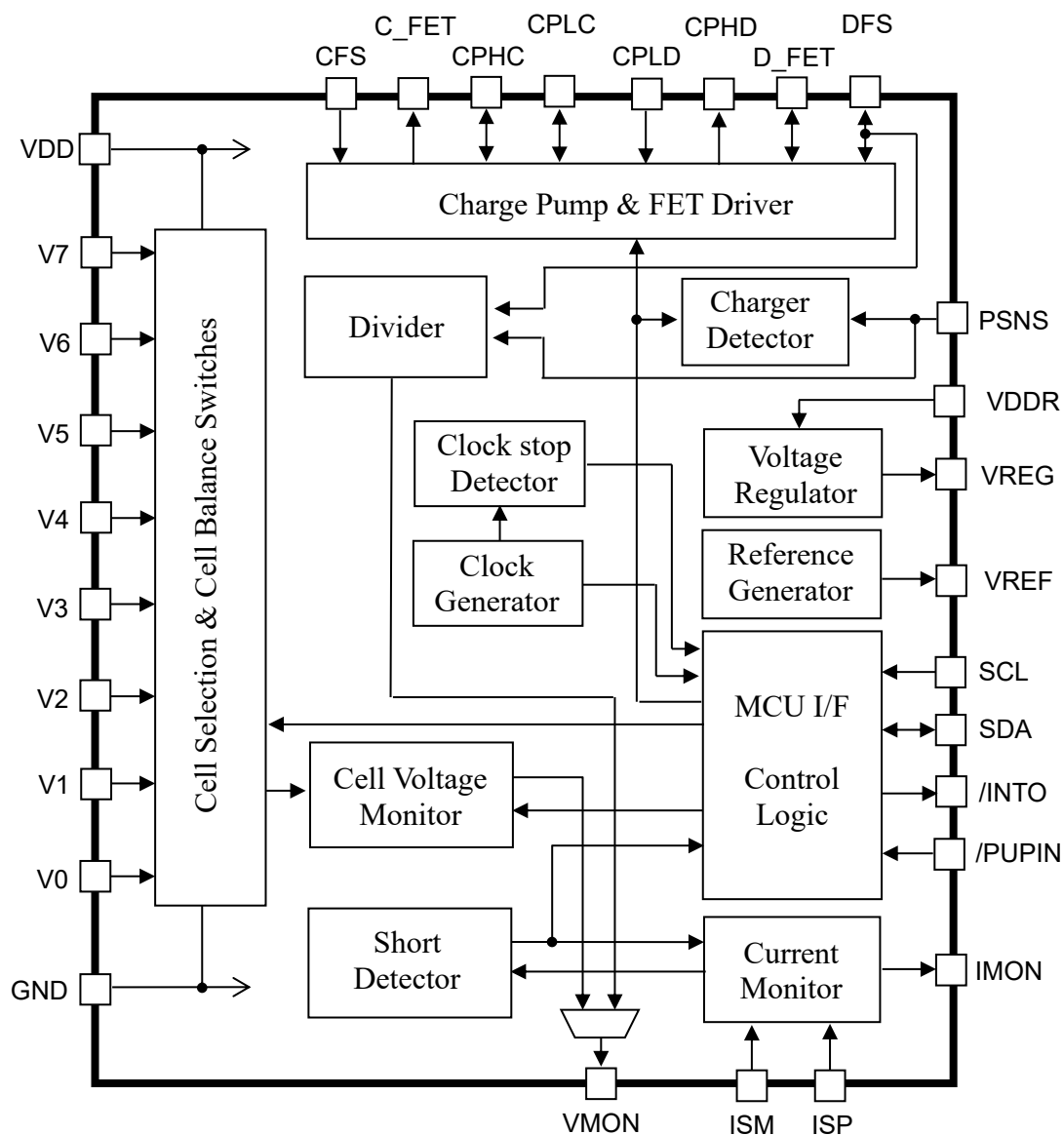
- ・電動工具 / 園芸用工具
- ・コードレス掃除機

■ 形名

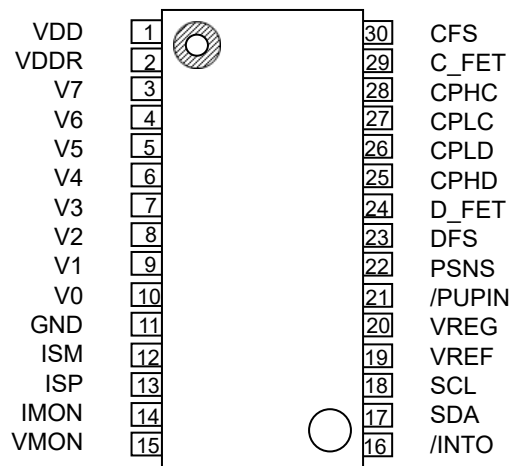
ML5248MB



■ ブロック図



■ 端子接続図(上面図)



■ 端子説明

ピン番号	端子名	I/O	説 明
1	VDD	—	電源電圧入力端子です。 外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。
2	VDDR	—	内蔵レギュレータ専用電源電圧入力端子です。 外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。
3	V7	I	電池セル 7 の正極入力端子です。
4	V6	I	電池セル 7 の負極入力端子、および、電池セル 6 の正極入力端子です。
5	V5	I	電池セル 6 の負極入力端子、および、電池セル 5 の正極入力端子です。
6	V4	I	電池セル 5 の負極入力端子、および、電池セル 4 の正極入力端子です。
7	V3	I	電池セル 4 の負極入力端子、および、電池セル 3 の正極入力端子です。 接続電池セル数が 3 セルの場合には、GND 端子に接続してください。
8	V2	I	電池セル 3 の負極入力端子、および、電池セル 2 の正極入力端子です。 接続電池セル数が 3~4 セルの場合には、GND 端子に接続してください。
9	V1	I	電池セル 2 の負極入力端子、および、電池セル 1 の正極入力端子です。 接続電池セル数が 3~5 セルの場合には、GND 端子に接続してください。
10	V0	I	電池セル 1 の負極入力端子です。 接続電池セル数が 3~6 セルの場合には、GND 端子に接続してください。
11	GND	—	グランド端子です。
12	ISM	I	電流センス抵抗接続端子です。最下位電池セルの負極端子に接続します。
13	ISP	I	電流センス抵抗接続端子です。放電時に ISM 端子より電圧が高くなるように接続します。
14	IMON	O	電流モニタ出力端子です。ISP 端子-ISM 端子間の入力電圧を 10 倍/50 倍増幅した電圧を出力します。
15	VMON	O	セル電圧モニタ出力および、PSNS と DFS 端子電圧モニタ出力端子です。セル電圧モニタでは、指定したセル電圧の 1/2 倍の電圧を出力し、PSNS と DFS 端子のモニタでは、各端子の 1/16 倍の電圧を出力します。
16	/INTO	O	外部 MCU への割り込み信号出力です。NMOS オープンドレイン出力で、割り込み発生時に、“L”レベルを出力します。
17	SDA	IO	シリアルデータ入出力端子です。外部にプルアップ抵抗を接続してください。
18	SCL	I	シリアルクロック入力端子です。外部にプルアップ抵抗を接続してください。
19	VREF	O	2.5V 基準電圧出力端子です。GND 間に 4.7uF のコンデンサを接続してください。
20	VREG	O	内蔵 3.3V レギュレータの出力端子です。GND 間に 4.7uF のコンデンサを接続してください。外部 MCU の電源として使用可能です。
21	/PUPIN	I	パワーアップトリガ信号入力です。“L”レベル入力により、パワーダウン状態からパワーアップ状態へ移行します。VDD 端子間に 1M Ω のプルアップ抵抗を内蔵しています。GND 間に 0.1uF 以上のコンデンサを接続してください。
22	PSNS	I	パワーダウン時の充電器接続検出端子です。パワーダウン時に PSNS 端子電圧が 1/2VDD 以上になるとパワーアップします。また、この端子電圧を 1/16 倍した電圧を VMON 端子から出力することができます。
23	DFS	I	D_FET 端子出力用チャージポンプの基準電圧入力端子です。充放電制御用 Nch-FET のソース端子に接続します。また、この端子電圧を 1/16 倍した電圧を VMON 端子から出力することができます。
24	D_FET	O	放電用 Nch-FET の制御信号出力端子です。外部 Nch-FET のゲート端子に接続してください。ON 設定時には、DFS 端子電圧+11V(typ)が出力され、OFF 設定時には、DFS 端子電圧が出力されます。

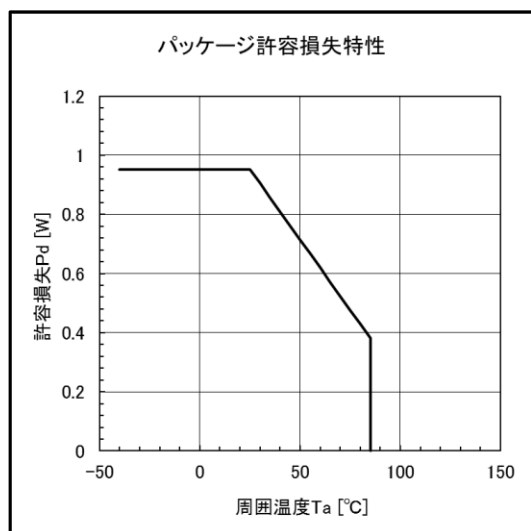
ピン番号	端子名	I/O	説 明
25	CPHD	O	D_FET 端子出力チャージポンプのコンデンサ接続端子です。CPHD-CPLD 端子間に放電用 Nch-FET のゲート容量の 2 倍程度のコンデンサを接続してください。
26	CPLD	O	
27	CPLC	O	C_FET 端子出力チャージポンプのコンデンサ接続端子です。CPHD-CPLD 端子間に放電用 Nch-FET のゲート容量の 2 倍程度のコンデンサを接続してください。
28	CPHC	O	
29	C_FET	O	充電用 Nch-FET の制御信号出力端子です。外部 Nch-FET のゲート端子に接続してください。ON 設定時には、CFS 端子電圧+11V(typ)が出力され、OFF 設定時には、CFS 端子電圧が出力されます。
30	CFS	I	C_FET 端子出力用チャージポンプの基準電圧入力端子です。充放電制御用 Nch-FET のソース端子に接続します。

■ 絶対最大定格

(GND= 0 V, Ta = 25 °C)

項 目	記 号	条 件	定格値	単 位
電源電圧	V _{DD}	VDD, VDDR 端子に適用	-0.3 ~ +50	V
入力電圧	V _{IN1}	V7~V0 端子に適用 V _{n+1} - V _n 端子間電位差 (注 1) V0 - GND 端子間電位差	-0.3 ~ +6.5	V
	V _{IN2}	CFS, DFS, PSNS 端子に適用	-0.3 ~ +50	V
	V _{IN3}	/PUPIN 端子に適用	-0.3 ~ V _{DD} +0.3	V
	V _{IN4}	ISM, ISP 端子に適用	-0.3 ~ V _{REG} +0.3	V
	V _{IN5}	SCL, SDA 端子に適用	-0.3 ~ +4.8	V
出力電圧	V _{OUT1}	D_FET 端子に適用 V _{DFS} =DFS 端子電圧	V _{DFS} -0.3 ~ +50	V
	V _{OUT2}	C_FET 端子に適用 V _{CFS} =CFS 端子電圧	V _{CFS} -0.3 ~ +50	V
	V _{OUT3}	SDA, /INTO, VREG 端子に適用	-0.3 ~ +4.8	V
	V _{OUT4}	VMON, IMON, VREF 端子に適用	-0.3 ~ V _{REG} +0.3	V
出力短絡電流	I _{OS}	VDD=36.5V 時 VREG, VREF, SDA, /INTO, VMON, IMON, C_FET, D_FET 端子に適用	20	mA
セルバランス電流	I _{CB}	セルバランススイッチ 1 個当たり	100	mA
許容損失	P _D	Ta=25°C	0.95	W
ジャンクション温度	T _{JMAX}	—	125	°C
パッケージ熱抵抗	θ _{ja}	JEDEC2 層基板実装時	105	°C/W
保存温度	T _{STG}	—	-55 ~ +150	°C

注 1: 電池セル接続時、または、取り外し時に V_{n+1}-V_n 端子間電圧が、定格値を超え破壊を引き起こす可能性がありますので、十分ご評価の上でご使用ください。



周囲温度 Ta が高くなると、パッケージ許容損失が減少しますので、VREG 端子出力負荷電流が大きい場合には、左記の許容損失を超えないことを確認してください。

■ 推奨動作条件

(GND= 0 V)

項 目	記 号	条 件	範 囲	単 位
電源電圧	V _{DD}	VDD, VDDR 端子に適用	5~31.5	V
動作温度	Ta	VREG 出力無負荷時	-40~85	°C

■ 電気的特性

● 直流特性

V_{DD}=5~31.5V, GND=0 V, Ta=-40~85°C, VREG 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
デジタル"H"入力電圧(注 1)	V _{IH}	—	0.8 × V _{REG}	—	V _{REG}	V
デジタル"L"入力電圧(注 1)	V _{IL}	—	0	—	0.2 × V _{REG}	V
/PUPIN 端子 "H"入力電圧	V _{IHP}	—	0.8 × V _{DD}	—	V _{DD}	V
/PUPIN 端子 "L"入力電圧	V _{ILP}	—	0	—	0.2 × V _{DD}	V
デジタル"H"入力電流(注 1)	I _{IH}	V _{IH} = V _{REG}	—	—	2	μA
デジタル"L"入力電流(注 1)	I _{IL}	V _{IL} = GND	-2	—	—	μA
/PUPIN 端子 "H"入力電流	I _{IHP}	V _{IH} = V _{DD}	—	—	2	μA
/PUPIN 端子 "L"入力電流	I _{ILP}	V _{DD} =31.5V, V _{IL} = GND	-70	-32	-11	μA
デジタル"L"出力電圧(注 2)	V _{OL}	I _{OL} =1mA	0	—	0.2	V
デジタル出力リーク電流 (注 2)	I _{OLK}	V _{OH} =3V V _{OL} =0V	-2	—	2	μA
セルモニタ端子 入力電流(注 3)	I _{INVC}	電池セル電圧測定時 セルバランススイッチ OFF 時	-1.5	—	5	μA
セルモニタ端子 入力リーク電流(注 3)	I _{ILVC}	電池セル電圧非測定時 セルバランススイッチ OFF 時	-1.5	—	1.5	μA
FET "H"出力電圧(注 4)	V _{OHF}	I _{OH} =-1μA V _{DD} =V _S =16V~31.5V V _S : CFS, DFS 端子電圧	V _S +8	V _S +11	V _S +13.5	V
FET "L"出力電圧(注 4)	V _{OLF}	I _{OL} =1μA V _{DD} =V _S =16V~31.5V V _S : CFS, DFS 端子電圧	V _S	—	V _S +0.3	V
VREG 出力電圧	V _{REG}	出力無負荷時	3.0	3.3	3.6	V
	V _{REG1}	10V < V _{DD} < 31.5V 出力負荷電流 < 10mA	3.0	3.3	3.6	V
	V _{REG2}	5V < V _{DD} < 10V 出力負荷電流 < 5mA	3.0	3.3	3.6	V
VREF 出力電圧	V _{REF1}	Ta=0~60°C 出力負荷電流 < 100μA	2.485	2.50	2.515	V
	V _{REF2}	Ta=-40~85°C 出力負荷電流 < 100μA	2.45	2.50	2.55	V
VREG 低下検出電圧	V _{RD}	—	2.2	2.45	2.7	V
VREG 復帰検出電圧	V _{RR}	—	2.4	2.75	3.0	V
セルバランススイッチ ON 抵抗	R _{BL}	内蔵 バランス FET V _{DS} =0.3V V _{DD} =16V~31.5V	2.5	6	12	Ω

注 1: SCL, SDA 端子に適用

注 2: SDA, /INTO 端子に適用

注 3: V7~V0 端子に適用

注 4: C_FET, D_FET 端子に適用

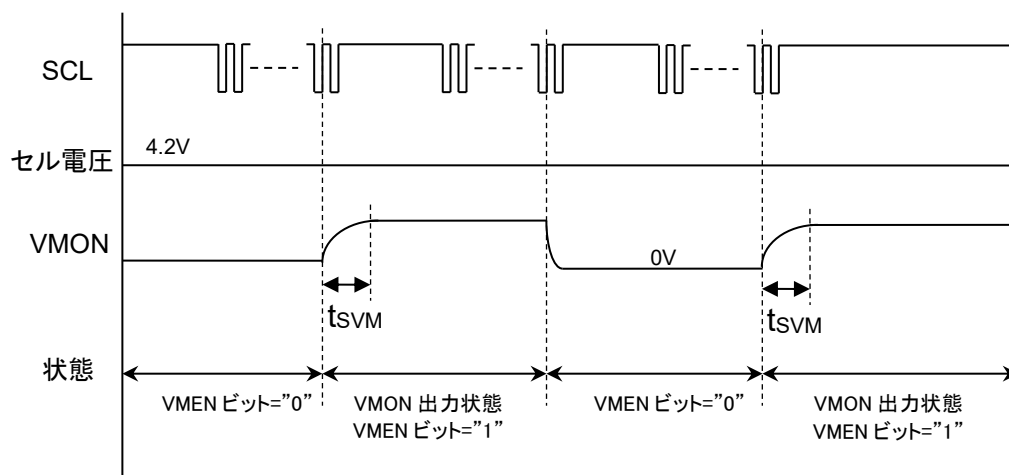
● 消費電流特性

 $V_{DD}=5\sim 31.5V$, $GND=0V$, $T_a=-40\sim 85^{\circ}C$, V_{REG} , V_{REF} 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
動作時消費電流	I_{DD1}	出力無負荷時 VMEN ビット="1" IMEN ビット="1" ENSC ビット="1"	—	32	65	μA
パワーセーブ時消費電流	I_{DD2}	出力無負荷時	—	2	10	μA
パワーダウン時消費電流	I_{DD5}	出力無負荷時	—	0.1	1.0	μA

(注) 上記消費電流は、 V_{DD} 端子と V_{DDR} 端子の両方に流れる電流の合計値で規定しています。● セル電圧モニタ出力特性 ($T_a=0\sim 60^{\circ}C$) $V_{DD}=28V$, $GND=0V$, $T_a=0\sim 60^{\circ}C$, V_{MON} ・ V_{REG} 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
セル電圧モニタ範囲	V_{VMR}	—	0.1	—	4.5	V
VMON 出力電圧 (セル電圧モニタ時)	V_{VMC4}	セル電圧=4.2V 時 出力無負荷時	2.05	2.10	2.15	V
	V_{VMC1}	セル電圧=1V 時 出力無負荷時	0.4	0.50	0.6	V
セル電圧測定誤差 (注 1)	V_{ECEL4}	セル電圧=4.2V 時 出力無負荷時	-20	—	+20	mV
	V_{ECEL1}	セル電圧=1V 時 出力無負荷時	-30	—	+30	mV
VMON 出力電流能力	I_{OVM}	—	-100	—	+100	μA
VMON 出力安定時間 (セル電圧モニタ時)	t_{sVM}	出力無負荷時	—	—	1	ms

(注 1) V_{GAIN} レジスタ、 $OFFSET$ レジスタに格納された係数により下記の補正演算を行った場合
セル電圧 = $V_{GAIN} \times [VMON \text{ 出力電圧}] + OFFSET$ 

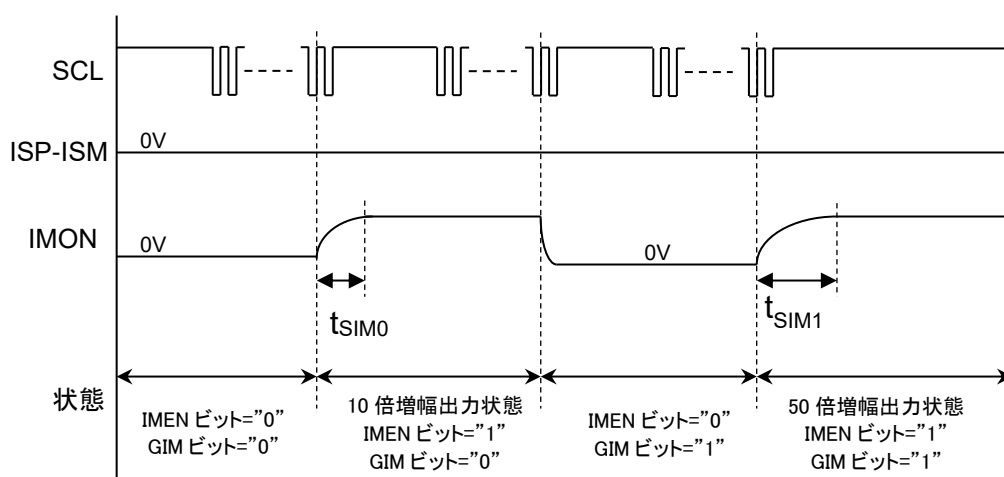
● 電流モニタ出力特性 (Ta=0~60°C)

V_{DD}=28V, GND=0V, Ta=0~60°C, シャント抵抗=1mΩ, IMON・VREG 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
電流測定範囲(注 1)	I _{MR1}	GIM ビット="0"	-180	—	36	A
	I _{MR0}	GIM ビット="1"	-30	—	6	A
IMON 出力電圧	V _{IMON0}	ISP-ISM 間電位差=0V GIM ビット="0"	0.4	0.5	0.6	V
	V _{IMON1}	ISP-ISM 間電位差=0V GIM ビット="1"	0.2	0.5	0.8	V
IMON 出力電圧増幅率 (注 2)	G _{IM0}	GIM ビット="0"	9.5	10	10.5	V/V
	G _{IM1}	GIM ビット="1"	47.5	50	52.5	V/V
IMON 出力電流能力	I _{OIM}	—	-100	—	+100	μA
ISP、ISM 端子入力電流 (注 2)	I _{IS}	ISP=ISM=0V GIM ビット="0" ZERO ビット="0"	0.05	0.46	1.2	μA
IMON 出力安定時間	t _{SIM0}	GIM ビット="0"	—	—	1	ms
	t _{SIM1}	GIM ビット="1"	—	—	3	ms

(注 1) 電流測定範囲は充電時が+側になります。

(注 2) ISP 端子、ISM 端子にそれぞれ 1kΩ 抵抗を接続した場合に適用します。



● 検出電圧特性 (Ta=25°C)

V_{DD}=31.5V, GND=0 V, Ta=25°C, VREG 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
ショート電流検出電圧	V _{SHRT0}	SC1,SC0 ビット=(0,0)	30	50	70	mV
	V _{SHRT1}	SC1,SC0 ビット=(0,1)	85	100	115	mV
	V _{SHRT2}	SC1,SC0 ビット=(1,0)	135	150	165	mV
	V _{SHRT3}	SC1,SC0 ビット=(1,1)	185	200	215	mV
ショート電流検出遅延時間 (注1)	t _{SHRT0}	TD1,TD0 ビット=(0,0)	75	100	125	μs
	t _{SHRT1}	TD1,TD0 ビット=(0,1)	150	200	250	μs
	t _{SHRT2}	TD1,TD0 ビット=(1,0)	225	300	375	μs
	t _{SHRT3}	TD1,TD0 ビット=(1,1)	300	400	500	μs

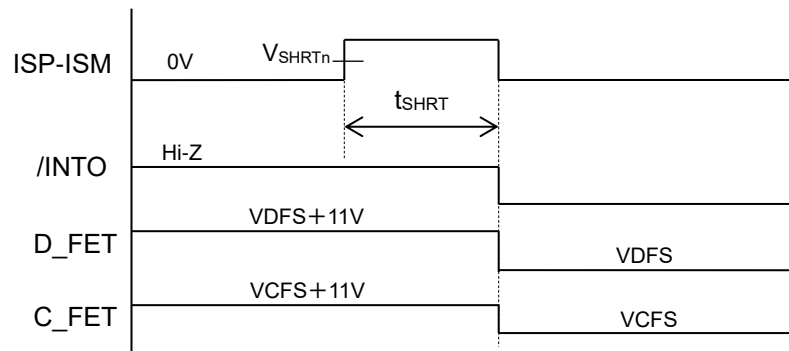
(注1) ショート電流検出遅延時間は、ISM-ISP 間コンデンサ無しの場合

● 検出電圧特性 (Ta=0~60°C)

V_{DD}=31.5V, GND=0 V, Ta=0~60°C, VREG 出力無負荷時

項 目	記号	条 件	Min.	Typ.	Max.	単位
ショート電流検出電圧	V _{SHRT0}	SC1,SC0 ビット=(0,0)	30	50	70	mV
	V _{SHRT1}	SC1,SC0 ビット=(0,1)	80	100	120	mV
	V _{SHRT2}	SC1,SC0 ビット=(1,0)	130	150	170	mV
	V _{SHRT3}	SC1,SC0 ビット=(1,1)	180	200	220	mV
ショート電流検出遅延時間 (注1)	t _{SHRT0}	TD1,TD0 ビット=(0,0)	50	100	150	μs
	t _{SHRT1}	TD1,TD0 ビット=(0,1)	100	200	300	μs
	t _{SHRT2}	TD1,TD0 ビット=(1,0)	150	300	450	μs
	t _{SHRT3}	TD1,TD0 ビット=(1,1)	200	400	600	μs

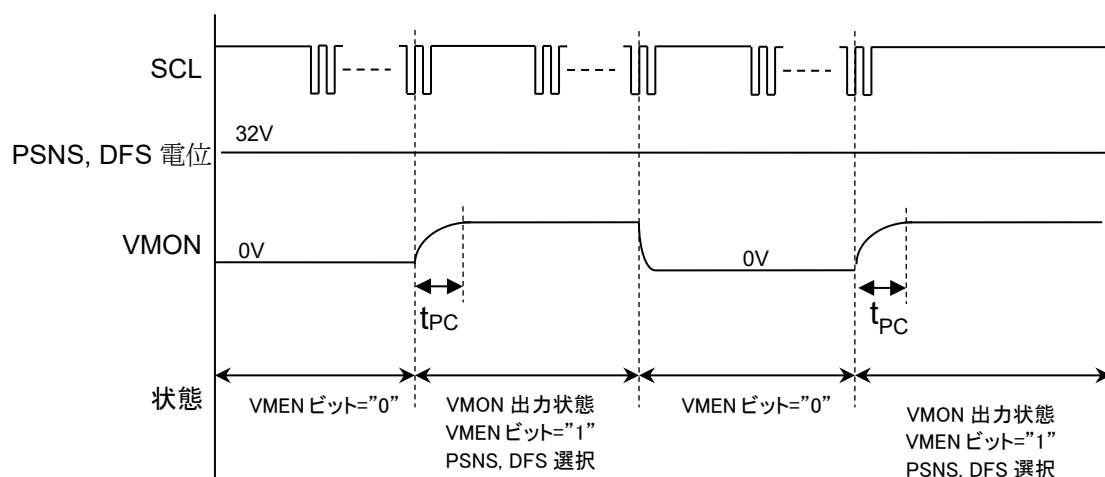
(注1) ショート電流検出遅延時間は、ISM-ISP 間コンデンサ無しの場合



● PSNS、DFS 端子モニタ出力特性、充電器接続検出電圧特性 (Ta=0~60°C)

V_{DD}=31.5V, GND=0 V, Ta=0~60°C, VREG 出力無負荷時

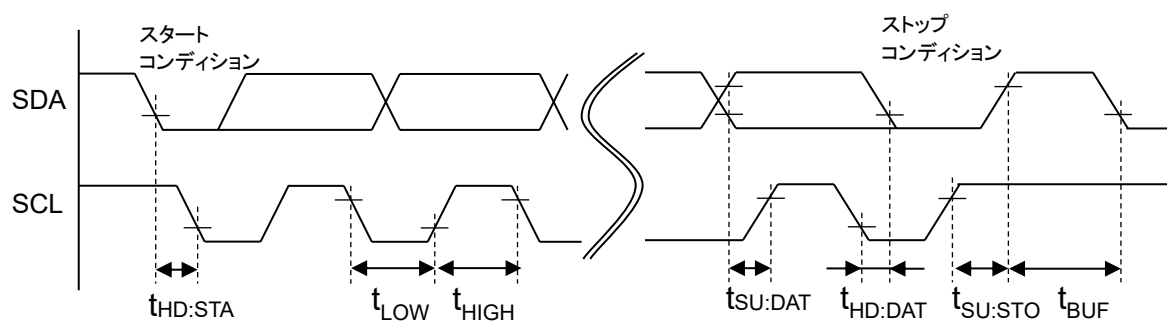
項 目	記号	条 件	Min.	Typ.	Max.	単位
VMON 電圧出力 (PSNS, DFS 端子モニタ時)	V _{PCO}	入力電圧=32V 時	1.9	2.0	2.1	V
VMON 電圧出力安定時間 (PSNS, DFS 端子モニタ時)	t _{PC}	入力電圧=32V 時	—	—	3	ms
充電器接続検出 PSNS 端子電圧	V _{PC}	パワーダウン状態からの パワーアップ時	V _{DD} X0.2	V _{DD} X0.5	V _{DD} X0.8	V
PSNS プルダウン抵抗	R _{PD}	PSNS 端子電圧非測定時	200	500	1000	kΩ
DFS プルアップ抵抗	R _{PU}	DFS 端子電圧非測定時	0.5	2	4	MΩ
PSNS 端子電圧 測定時プルダウン抵抗	R _{DM1}	プルダウン抵抗未接続時 (レジスタ PD="0"設定時)	8	20	50	MΩ
DFS 端子電圧 測定時プルダウン抵抗	R _{DM2}	プルアップ抵抗未接続時 (レジスタ PU="0"設定時)	8	20	50	MΩ
PSNS 入力リーク電流	I _{LPS}	プルダウン抵抗未接続 PSNS 端子電圧未測定時	-2	—	2	μA
DFS 入力リーク電流	I _{LFS}	プルアップ抵抗未接続 D_FET=OFF 設定 DFS 端子電圧未測定時	-2	—	2	μA



● 交流特性

 $V_{DD}=5\sim 31.5V$, $GND=0V$, $T_a=-40\sim 85^{\circ}C$, VREG 出力無負荷時

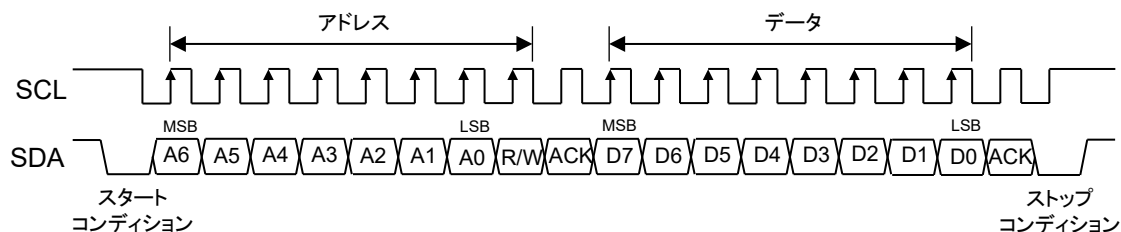
項 目	記号	条 件	Min.	Typ.	Max.	単位
SCL クロック周波数	f_{SCL}	—	—	—	400	kHz
SCL ホールド時間 (スタートコンディション)	$t_{HD:STA}$	—	0.6	—	—	μs
SCL “L”ホールド時間	t_{LOW}	—	1.3	—	—	μs
SCL “H”ホールド時間	t_{HIGH}	—	0.6	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	μs
バスフリー時間	t_{BUF}	—	1.3	—	—	μs
/PUPIN “L”パルス幅	t_{PUP}	—	1	—	—	ms



■ 機能説明

● I2C 互換シリアルインターフェース

ML5248 には、I2C 互換シリアルインターフェースを搭載しています。制御レジスタの各アドレスへのデータのリード・ライトを行なうことで、各種設定や制御を行います。なお、I2C 通信フォーマットには準拠しておらず、スレーブアドレスは持っておりませんので、マイコンとの 1 対 1 通信となります。



データ書込みの場合には、RW ビットを”0”に設定し、データ読み出しの場合には、RW ビットを”1”に設定します。

● 制御レジスタ

以下に、制御レジスタマップを示します。

アドレス	レジスタ名称	R/W	初期値	レジスタ概要
00H	NOOP	R/W	00H	機能は割り当てられていません。
01H	VMON	R/W	00H	電池セル電圧、PSNS/DFS 端子電圧モニタ制御
02H	IMON	R/W	00H	電流測定設定
03H	FET_INT	R/W	00H	FET 設定、割り込み制御
04H	POWER	R/W	00H	パワーセーブ・パワーダウン制御
05H	CBAL	R/W	00H	セルバランススイッチ ON/OFF 設定
06H	SETSC	R/W	00H	ショート電流検出設定
07H	VGAIN	R	—	VMON 出力電圧ゲイン補正值
08H	OFFSET	R	—	VMON 出力電圧オフセット補正值
09H	VREFOF	R	—	VREF 出力電圧オフセット補正值
その他	TEST	R/W	00H	テスト用(使用不可)

1. NOOP レジスタ (Adrs=00H)

	7	6	5	4	3	2	1	0
ビット名	NO7	NO6	NO5	NO4	NO3	NO2	NO1	NO0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

NOOP レジスタには、機能は割り当てられていませんので、このレジスタへのリードライトアクセスにより、LSI 状態が変化することはありません。ライトしたデータがそのままリードできます。

2. VMON レジスタ (Adrs=01H)

	7	6	5	4	3	2	1	0
ビット名	—	—	—	VMEN	VM3	VM2	VM1	VM0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

VMON レジスタは、VMON 端子から出力する電池セルや、PSNS 端子、DFS 端子電圧の選択制御を行います。

VM0、VM1、VM2、VM3 ビットにより、電池セルおよび PSNS 端子または DFS 端子電圧の 1/16 倍した電圧を選択し、VMEN ビットにより、VMON 端子への出力を許可します。

VMEN	VM3	VM2	VM1	VM0	選択電池セル
0	—	—	—	—	VMON 端子=0V(初期値)
1	0	0	0	0	VMON 端子=0V
1	0	0	0	1	V1 セル(最下位)
1	0	0	1	0	V2 セル
1	0	0	1	1	V3 セル
1	0	1	0	0	V4 セル
1	0	1	0	1	V5 セル
1	0	1	1	0	V6 セル
1	0	1	1	1	V7 セル(最上位)
1	1	0	0	0	PSNS 分圧
1	1	0	0	1	DFS 分圧

3. IMON レジスタ (Adrs=02H)

ビット名	7	6	5	4	3	2	1	0
	—	—	—	IMEN	—	—	ZERO	GIM
R/W	R	R	R	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

IMON レジスタは、電流測定の種類設定を行なうレジスタです。
GIM ビットにより、電流測定アンプの電圧増幅率を設定します。

GIM	電圧増幅率 G_{IM}
0	10 倍(初期値)
1	50 倍

ZERO ビットにより、電流測定アンプのゼロ補正を行います。

ZERO	ISP 入力	ISM 入力
0	端子入力	端子入力
1	GND レベル	GND レベル

IMEN ビットにより、電流測定アンプ出力を IMON 端子へ出力します。ゼロ補正やゲイン補正を行なう場合も、IMEN ビットを”1”に設定します。

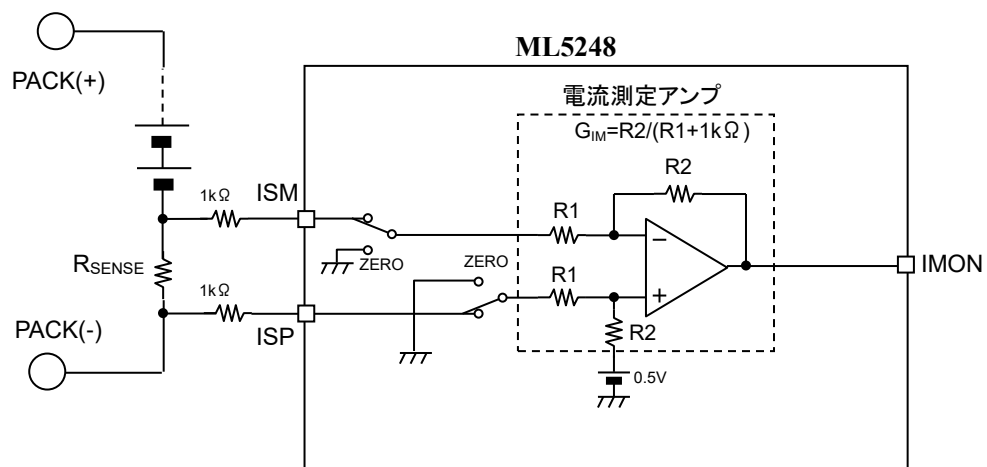
IMEN	IMON 端子出力
0	0V(初期値)
1	電流測定アンプ出力

電流測定は、ISP 端子と ISM 端子間に電流センス抵抗 R_{SENSE} を接続し、これら端子間の入力電位差を測定することで行います。

ISP-ISM 端子間電位差は、0.5V(typ)中心の電圧に変換され、IMON 端子に出力されます。IMON 端子出力電圧 V_{IMON} は、電流センス抵抗 R_{SENSE} 、流れる電流 I_{SENSE} を用いて、次式で与えられます。

$$V_{IMON} = (I_{SENSE} \times R_{SENSE}) \times G_{IM} + 0.5$$

電流測定アンプの回路構成を以下に示します。

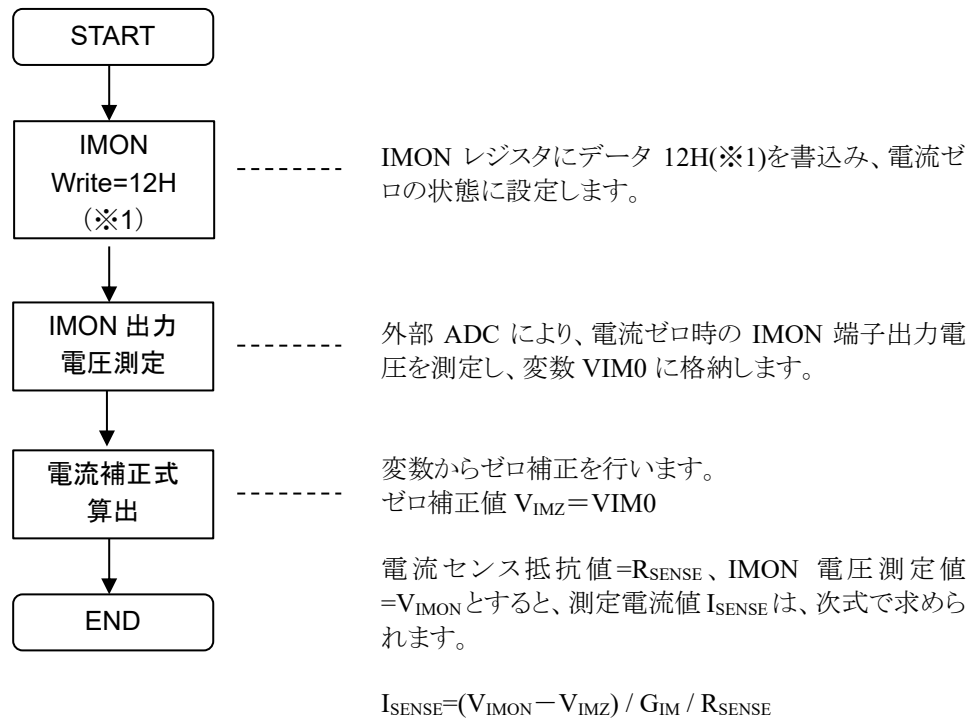


電流ゼロ時に $V_{IMON}=0.5V$ 、放電電流時に $V_{IMON} > 0.5V$ 、充電電流時に $V_{IMON} < 0.5V$ となります。

ZERO ビット="1"に設定すると、ISM 端子、ISP 端子入力は、LSI 内部で GND レベルに切り替えられ、電流測定アンプの入力電位差をゼロにします。このときの IMON 端子出力電圧を電流ゼロ時の基準電圧とすることで、内部 0.5V 基準電圧のばらつきやアンプのオフセット電圧を補正することができます。

なお、ショート電流検出特性は、IMON レジスタ設定には無関係です。

以下に、増幅率 10 倍設定時の電流測定アンプのキャリブレーション例のフローチャートを示します。



※1 増幅率 50 倍を設定する時は、IMON レジスタにデータ 13H を書込む設定をします。

4. FET_INT レジスタ (Adrs=03H)

ビット名	7	6	5	4	3	2	1	0
	INTO	—	DEDCK	DETSC	PU	PD	CF	DF
R/W	R	R	R	R	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

FET_INT レジスタは、C_FET、D_FET 端子の ON/OFF 制御、PSNS 端子のプルダウン抵抗接続制御、DFS 端子のプルアップ抵抗接続制御の制御を行うとともに、割り込み発生要因を示すレジスタです。

DF ビットにより、D_FET 端子出力状態を設定します。ショート電流検出時には、自動的に DF ビットは”0”にリセットされますが、ショート検出状態から正常状態に復帰しても、自動的に”1”にセットされませんので、外部 MCU により ON 制御を行なってください。

DF	放電制御 FET	D_FET 端子出力状態
0	OFF(初期値)	DFS 端子電圧 V_{DFS}
1	ON	$V_{DFS}+11V(\text{typ})$

CF ビットにより、C_FET 端子出力状態を設定します。ショート電流検出時には、自動的に CF ビットは”0”にリセットされますが、ショート検出状態から正常状態に復帰しても、自動的に”1”にセットされませんので、外部 MCU により ON 制御を行なってください。

CF	充電制御 FET	C_FET 端子出力状態
0	OFF(初期値)	CFS 端子電圧 V_{CFS}
1	ON	$V_{CFS}+11V(\text{typ})$

PD ビットにより、PSNS 端子のプルダウン抵抗の接続を設定します。

PD	PSNS 端子状態
0	プルダウン未接続 (初期値)
1	500k Ω プルダウン

PU ビットにより、DFS 端子のプルアップ抵抗の接続を設定します。

PU	DFS 端子状態
0	プルアップ未接続 (初期値)
1	2M Ω プルアップ

DETSC ビットにより、ショート電流検出に伴う/INTO 端子出力状態を示します。

DETSC	ショート電流検出割り込み発生状態
0	割り込みなし(初期値)
1	割り込み発生(ショート電流検出発生)

DEDCK ビットにより、内蔵クロック停止検出に伴う/INTO 端子出力状態を示します。クロック停止検出すると、自動的に DF ビット、CF ビットは”0”にリセットされます。クロック停止が検出されなくなっても、自動的に”1”にセットされませんので、外部 MCU により ON 制御を行なってください。

DEDCK	クロック停止検出割り込み発生状態
0	割り込みなし(初期値)
1	割り込み発生(クロック停止検出発生)

INTO ビットにより、/INTO 端子出力状態を示します。

INTO	/INTO 端子出力状態
0	割り込みなし(初期値)
1	割り込み発生

なお、FET_INT レジスタのリードを行うと、INTO、DETSC、DEDCK の各ビットは、初期値にリセットされ、/INTO 端子出力は、Hi-Z 状態に戻ります。

5. POWER レジスタ (Adrs=04H)

ビット名	7	6	5	4	3	2	1	0
	PUPIN	—	—	PDWN	—	—	—	PSV
R/W	R	R	R	R/W	R	R	R	R/W
初期値	0	0	0	0	0	0	0	0

POWER レジスタは、パワーセーブ、および、パワーダウン制御を行なうレジスタです。

PSV ビットにより、パワーセーブへ移行します。

PSV	パワーセーブ
0	通常状態(初期値)
1	パワーセーブ

PSV ビットを”1”にセットすると、パワーセーブに移行します。パワーセーブ中では、VMON、IMON、FET_INT、CBAL、SETSC の各レジスタは初期化され、これらのレジスタの設定値を変更することはできません。

PSV ビットを”0”に設定することで、パワーセーブ状態から通常動作状態に復帰し、VMON、IMON、FET_INT、CBAL、SETSC の各レジスタ値の設定が許可されます。なお、各種測定は、VREF 出力が安定するのを待って、開始してください。

また、パワーダウンへ移行する際は、パワーセーブを解除し通常動作状態に復帰してから、パワーダウンへ移行してください。

以下に、パワーセーブ時の各機能の動作状態を示します。

機能	パワーセーブ時の動作状態
VREG 端子出力	通常状態と変わらず、3.3V(typ)を出力します。
VREF 端子出力	動作停止し、0V(typ)を出力します。
MCU シリアルインタフェース	通常状態と変わらず、正常にレジスタのリード・ライトができますが、VMON、IMON、FET_INT、CBAL、SETSC の各ビットは初期値となり、ライトできません。
セル電圧モニタ機能	動作停止します。
電流モニタ機能	動作停止します。
ショート電流検出機能	動作停止します。
PSNS、DFS 端子モニタ機能	動作停止します。
充放電 FET 制御機能	動作停止します。
内蔵クロック停止検出回路	動作停止します。
セルバランススイッチ機能	全セル OFF 設定になります。

PDWN ビットにより、パワーダウンへ移行します。

PDWN	パワーダウン
0	通常状態(初期値)
1	パワーダウン

PDWN ビットを”1”にセットすると、PSNS 端子に 500k Ω プルダウン抵抗が自動的に接続され、全ての回路動作を停止させます。

PDWN ビットを”1”にセットする前に、C_FET、D_FET 端子ともに OFF 状態に設定し、充電器が接続されていないことを PSNS 端子電圧を測定することにより確認してください。また、/PUPIN 端子入力が”L”レベルのときに、PDWN ビットを”1”にセットしても、/PUPIN 端子入力が”H”レベルになるまで、パワーダウンには移行しません。PUPIN ビットにより、/PUPIN 端子状態を読み出すことができますので、PDWN ビットを”1”にセットする前に、/PUPIN 端子状態が”L”レベルでないことを確認してください。

PUPIN	/PUPIN 端子状態
0	“H”レベル
1	“L”レベル

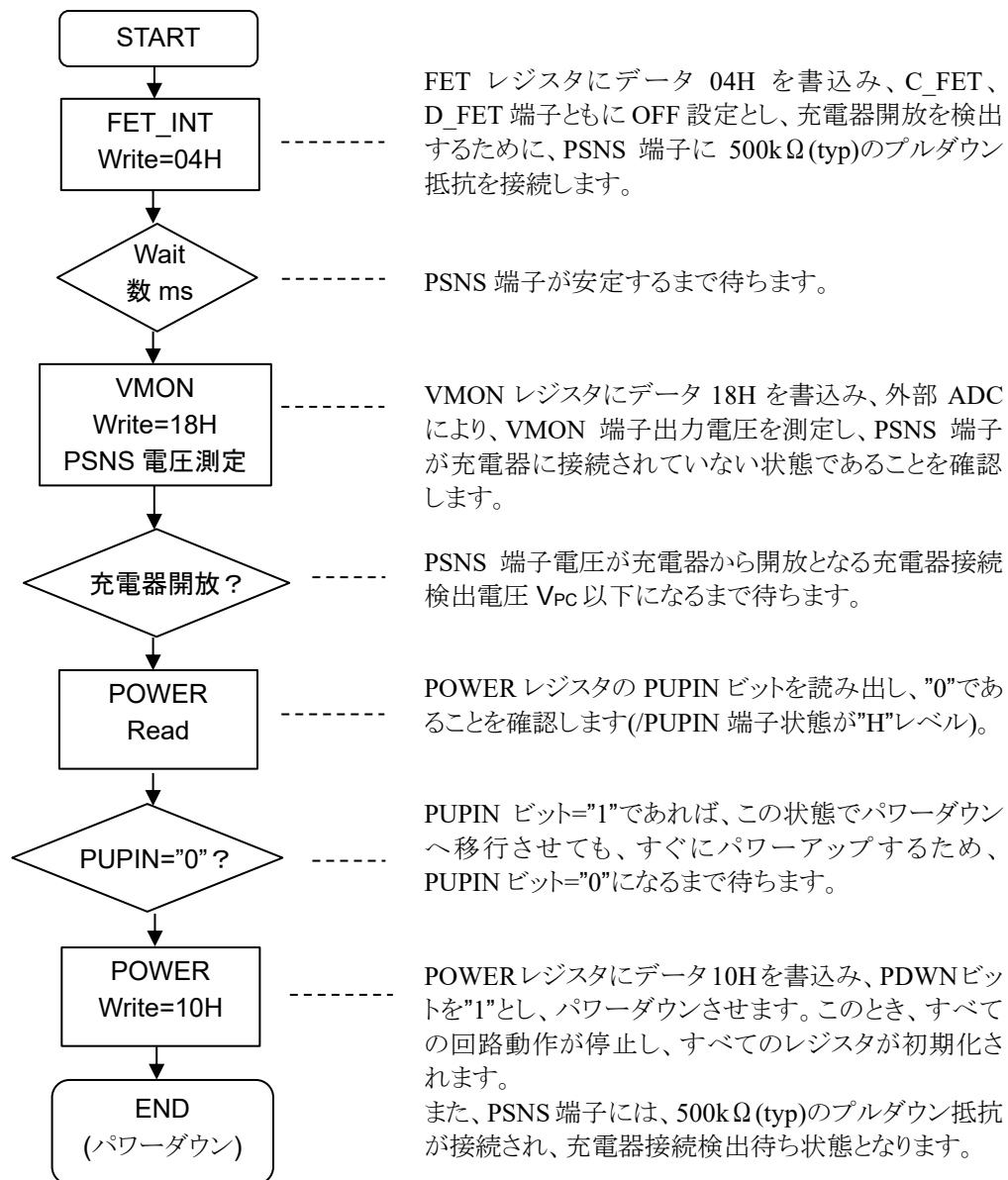
パワーダウンからの復帰は、PSNS 端子による充電器接続検出、もしくは、/PUPIN 端子への”L”レベル入力により行なわれます。

パワーダウンでは、外部マイコン用電源である VREG 出力も GND レベルとなりますので、パワーダウンからの復帰時には、VREG 出力が立上った後、各種初期設定を行なってください。

パワーダウンへ移行後の各端子の出力状態を以下に示します。

端子名	パワーダウン時の状態
VREG	0V
VREF	0V
/INTO	Hi-Z
C_FET	CFS 端子レベル
D_FET	DFS 端子レベル

以下に、パワーダウン移行時の制御フロー例を以下に示します。



6. CBAL レジスタ (Adrs=05H)

ビット名	7	6	5	4	3	2	1	0
	—	SW7	SW6	SW5	SW4	SW3	SW2	SW1
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

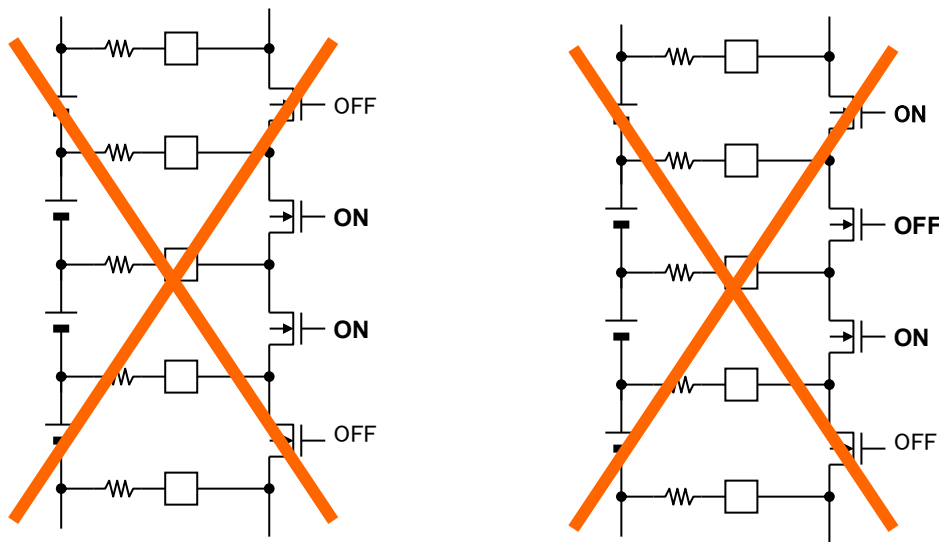
CBALL レジスタは、セルバランススイッチの ON/OFF 設定を行なうレジスタです。

SW7～SW1 ビットにより、各セルの ON/OFF 設定を行います。

SW7	SW6	SW5	SW4	SW3	SW2	SW1	スイッチ ON/OFF
0	0	0	0	0	0	0	下位 7 セル OFF (初期値)
0	0	0	0	0	0	1	V1-V0 端子スイッチ ON
0	0	0	0	0	1	0	V2-V1 端子スイッチ ON
0	0	0	0	1	0	0	V3-V2 端子スイッチ ON
0	0	0	1	0	0	0	V4-V3 端子スイッチ ON
0	0	1	0	0	0	0	V5-V4 端子スイッチ ON
0	1	0	0	0	0	0	V6-V5 端子スイッチ ON
1	0	0	0	0	0	0	V7-V6 端子スイッチ ON

複数のスイッチを同時に ON することも可能ですが、内蔵セルバランススイッチ FET の破壊を引き起こす可能性がある下記の設定は禁止します。

- (1)隣接したセルバランススイッチを ON させることは禁止します。
- (2)OFF したセルバランススイッチの両側のセルバランススイッチを同時に ON させることは禁止します。



また、セルバランス電流とセルバランススイッチ ON 抵抗により発熱しますので、セルバランススイッチでの電力損失が許容損失を超えないように、ON させるスイッチ数や ON 時間に制約を設けてください。

なお、VMON 端子に各セル電圧を出力している場合には、セルバランススイッチを ON したセル電圧は、セルバランススイッチ両端の電位差の電圧が出力されます。

7. SETSC レジスタ (Adrs=06H)

ビット名	7	6	5	4	3	2	1	0
	ENSC	—	TD1	TD0	—	—	SC1	SC0
R/W	R/W	R	R/W	R/W	R	R	R/W	R/W
初期値	0	0	0	0	0	0	0	0

SETSC レジスタは、ショート電流検出電圧、および、ショート電流検出遅延時間の設定を行なうレジスタです。

電流センス抵抗値に応じて、SC0、SC1ビットにより、ショート電流検出電圧を選択します。動作中の設定変更は禁止します。

SC1	SC0	ショート電流検出電圧 (ISP-ISM 端子間電圧)	電流センス抵抗=1mΩ 時 ショート検出電流値
0	0	50mV (初期値)	50A
0	1	100mV	100A
1	0	150mV	150A
1	1	200mV	200A

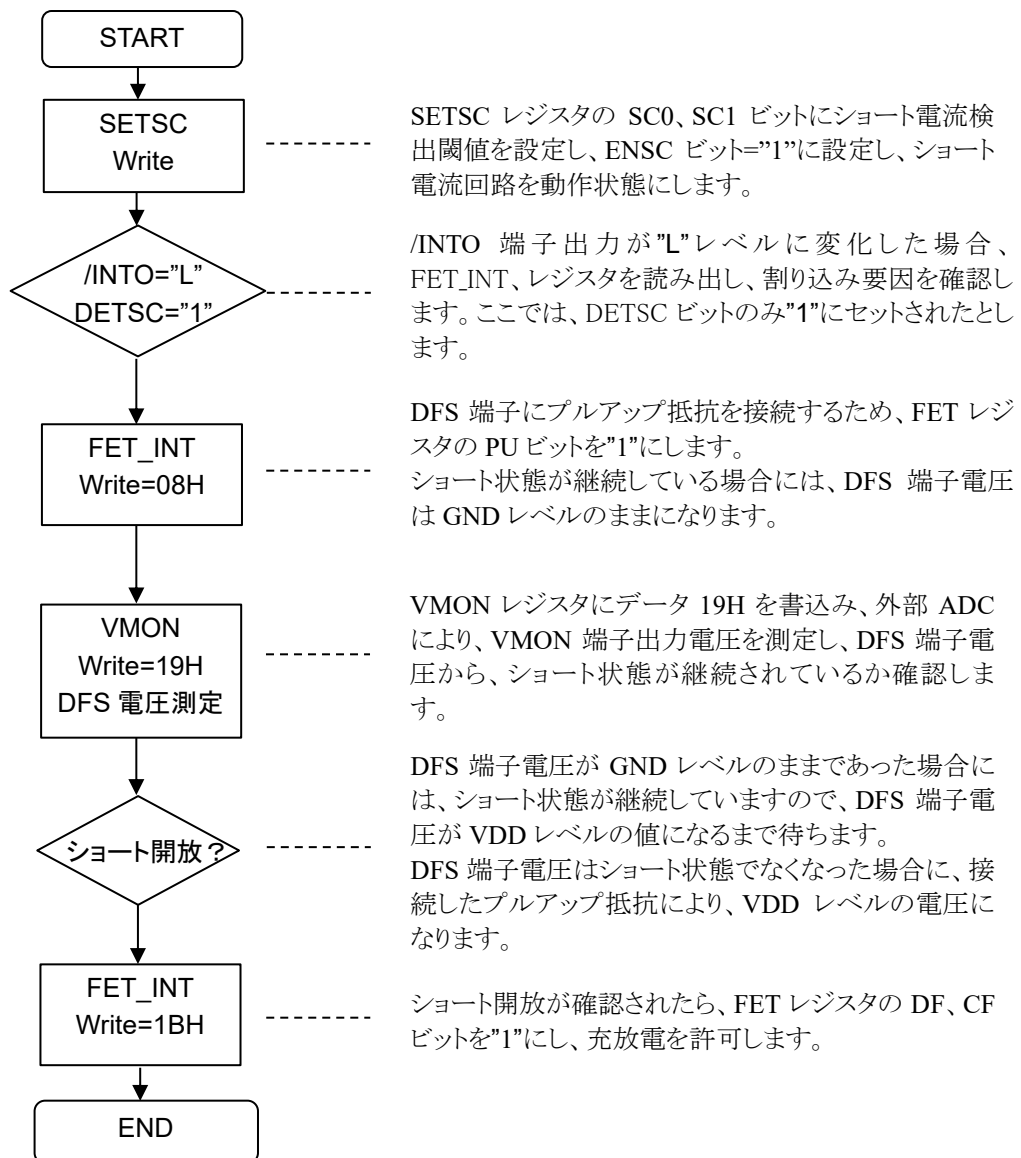
TD0、TD1 ビットにより、ショート電流検出遅延時間を選択します。動作中の設定変更は禁止します。

TD1	TD0	ショート電流検出遅延時間
0	0	100μs(初期値)
0	1	200μs
1	0	300μs
1	1	400μs

ENSC ビットにより、ショート電流検出回路の動作/停止を設定します。

ENSC	ショート電流検出回路動作状態
0	停止(初期値)
1	動作

以下に、ショート電流検出設定、および、ショート電流検出後の制御フロー例を以下に示します。



8. VGAIN レジスタ (Adrs=07H)

ビット名	7	6	5	4	3	2	1	0
	—	VG6	VG5	VG4	VG3	VG2	VG1	VG0
R/W	R	R	R	R	R	R	R	R
初期値	—	—	—	—	—	—	—	—

VGAIN レジスタは、VMON 出力電圧のゲイン補正値が格納されているレジスタです。
測定セル電圧は、VMON 出力電圧の測定値に以下の補正演算を行うことで求めます。

$$\text{セル電圧} = \text{VGAIN} \times [\text{VMON 出力電圧}] + \text{OFFSET}$$

VGAIN: VGAIN レジスタのゲイン補正値 OFFSET: OFFSET レジスタのオフセット補正値

VGAIN レジスタ値とゲイン補正値の関係を下表に示します。

レジスタ値[Hex]	ゲイン補正値	レジスタ値[Hex]	ゲイン補正値
00	2.000	40	1.936
01	2.001	41	1.937
02	2.002	42	1.938
03	2.003	43	1.939
04	2.004	44	1.940
05	2.005	45	1.941
06	2.006	46	1.942
07	2.007	47	1.943
...	...	...	...
0F	2.015	4F	1.951
10	2.016	50	1.952
...	...	...	...
1F	2.031	5F	1.967
20	2.032	60	1.968
...	...	...	...
2F	2.047	6F	1.983
30	2.048	70	1.984
...	...	...	...
3F	2.063	7F	1.999

9. OFFSET レジスタ (Adrs=08H)

ビット名	7	6	5	4	3	2	1	0
	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0
R/W	R	R	R	R	R	R	R	R
初期値	—	—	—	—	—	—	—	—

OFFSET レジスタは、VMON 出力電圧のオフセット補正值が格納されているレジスタです。
測定セル電圧は、VMON 出力電圧の測定値に以下の補正演算を行うことで求めます。

$$\text{セル電圧} = \text{VGAIN} \times [\text{VMON 出力電圧}] + \text{OFFSET}$$

VGAIN: VGAIN レジスタのゲイン補正值 OFFSET: OFFSET レジスタのオフセット補正值

OFFSET レジスタ値とオフセット補正值の関係を下表に示します。

レジスタ値[Hex]	オフセット補正值 [mV]
00	+0
01	+1
02	+2
03	+3
...	...
7F	+127
80	−128
81	−127
82	−126
83	−125
...	...
FD	−3
FE	−2
FF	−1

10. VREFOF レジスタ (Adrs=09H)

	7	6	5	4	3	2	1	0
ビット名	VOF7	VOF6	VOF5	VOF4	VOF3	VOF2	VOF1	VOF0
R/W	R	R	R	R	R	R	R	R
初期値	—	—	—	—	—	—	—	—

VREFOF レジスタは、VREF 出力電圧の 2.5V からのオフセット電圧が格納されているレジスタです。実際に出力されている VREF 電圧は、以下の式で求められます。

$$\text{VREF 出力電圧[mV]} = 2500[\text{mV}] + \text{VREFOF}$$

VREFOF: VREFOF レジスタのオフセット補正值

また、VREF 出力電圧を外部 A/D コンバータの基準電圧として使用し、VMON 出力電圧を外部 A/D コンバータで測定する場合は、以下の演算式によりセル電圧を求めます。

$$\text{セル電圧[mV]} = \text{VGAIN} \times \text{ADC 測定コード} \times \text{LSB} + \text{OFFSET}$$

VGAIN: VGAIN レジスタのゲイン補正值

OFFSET: OFFSET レジスタのオフセット補正值

LSB: 外部 N-bit ADC の分解能 $= (2500[\text{mV}] + \text{VREFOF}) / (2^N - 1)$

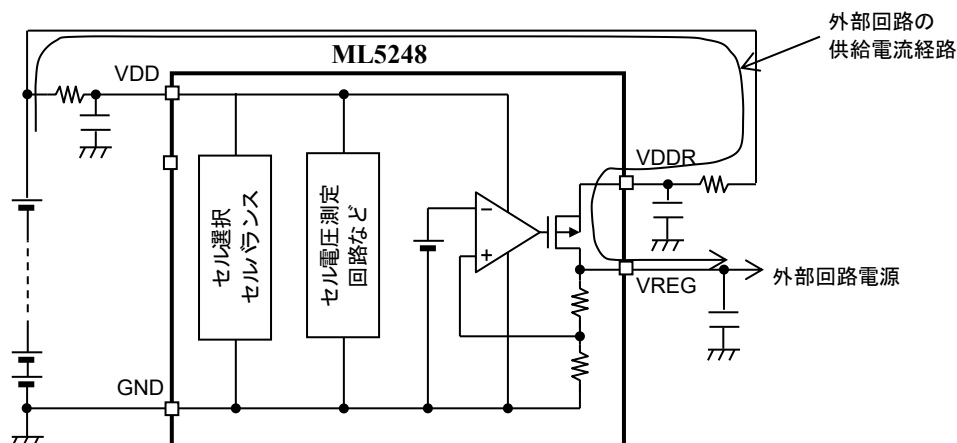
VREFOF レジスタ値とオフセット補正值の関係を下表に示します。

レジスタ値[Hex]	オフセット補正值 [mV]
00	+0
01	+1
02	+2
03	+3
...	...
7F	+127
80	−128
81	−127
82	−126
83	−125
...	...
FD	−3
FE	−2
FF	−1

● VDDR, VDD 電源の処理

VDDR 端子は、内蔵 3.3V レギュレータ(VREG 端子)の専用電源端子です。3.3V レギュレータの出力電流が大きい場合には、VDDR 端子に接続する電源ノイズ除去用の RC フィルタの抵抗による電圧降下を 1V 以下に抑えることを推奨します。

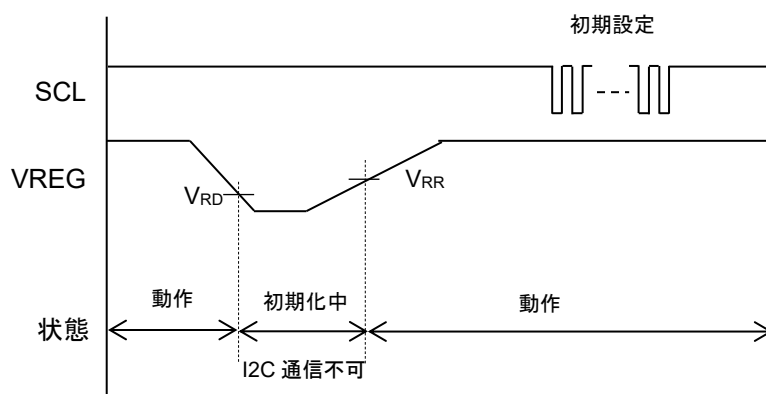
VDD 端子は、内蔵 3.3V レギュレータ以外の、全ての回路の電源端子となります。



● VREG 低下検出機能

出力負荷が大きくなることで、VREG 端子電圧が、VREG 低下検出電圧 V_{RD} 以下になると、各レジスタは初期化されます。

VREG 端子電圧が VREG 復帰検出電圧 V_{RR} 以上になると、I2C インタフェースによるレジスタ設定が有効となります。VREG 出力、VREF 出力電圧が安定した後、初期設定、および、各種測定を行ってください。



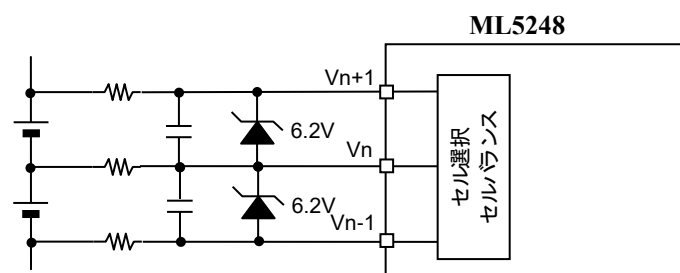
● 電源投入・遮断順序

電源投入時、各電池セルの接続順序は、GND 端子、VDD 端子、VDDR 端子を接続後に、下部電位セルより接続することを推奨します。この接続順序を守れない場合には、セル接続端子 $V_{n+1}-V_n$ の端子間電圧が絶対最大定格を超え、破壊に至る可能性があります。

電源遮断時においては、接続順序と逆に、上部電位セルから切り離し、最後に、VDD 端子、VDDR 端子、GND 端子の順に切り離してください。

また、バッテリシミュレータなどを用いて、評価・検査する場合においても、 $V_{n+1}-V_n$ 端子間の電圧が絶対最大定格を超えないよう、電源投入、遮断の手順についてご注意ください。

端子保護のために、下図に示すように、外部にツェナーダイオードを追加することを推奨いたします。ツェナーダイオードを追加した場合も十分に評価して、ご使用ください。



電池セルをあらかじめ直列に接続した状態で、各電池セル接続端子 V_n に接続してください。電池セルを直列に接続していない状態で、電池セルを1つずつ接続することは、 $V_{n+1}-V_n$ 端子間の電圧が絶対最大定格を超え、破壊に至る可能性があるため禁止します。

電源投入時の電源電圧立上り時間、および、電源電圧立下り時間についての制約はありません。

なお、電源投入後の初期状態は、通常動作状態となりますが、電源投入時のチャタリング等により、パワーダウン状態になる場合があります。この場合には、PSNS 端子に充電器接続検出 PSNS 端子電圧 V_{PC} 以上の電圧を入力するか、または、/PUPIN 端子に“L”レベルを入力し、パワーアップさせてください。

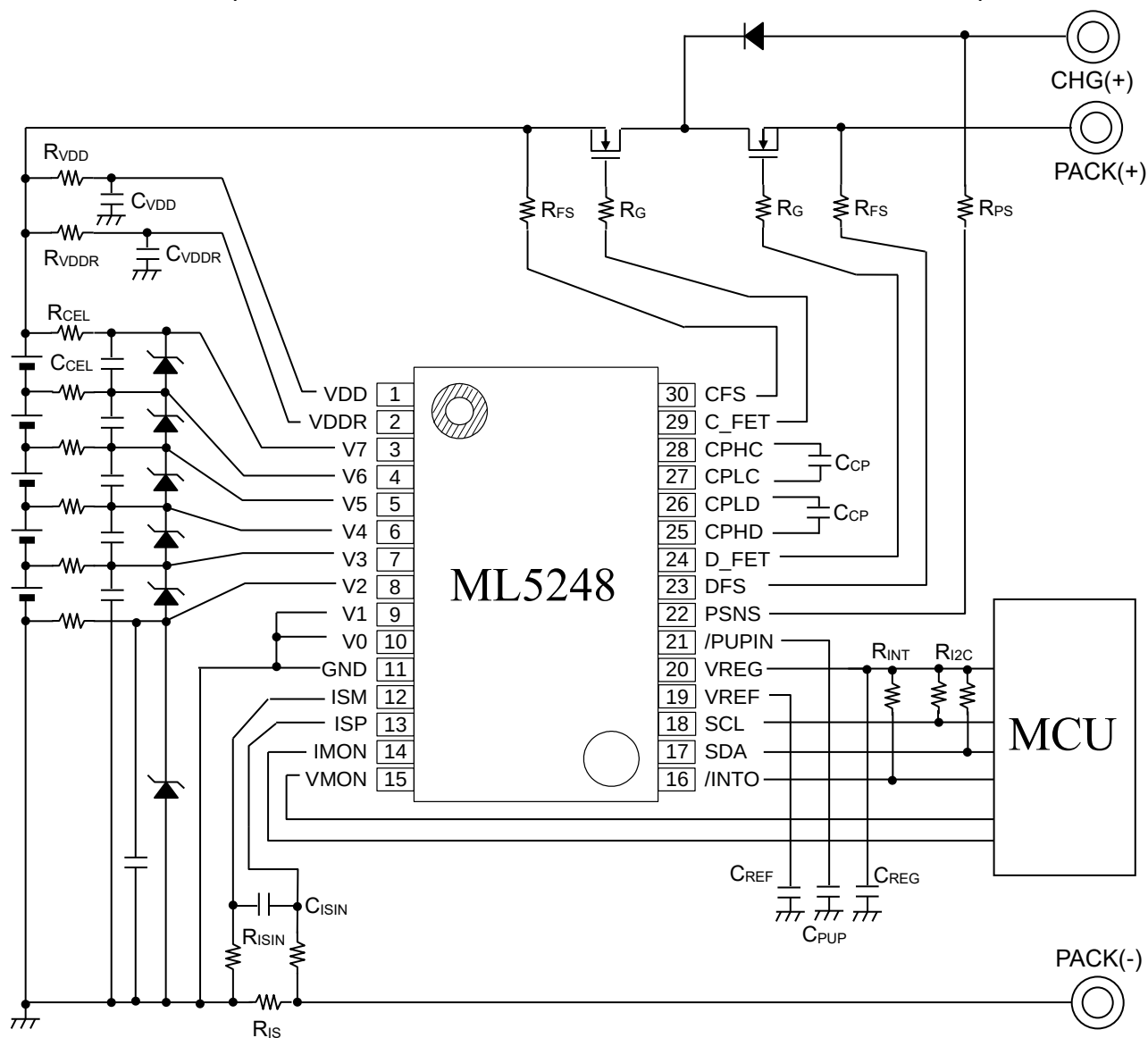
また、電源投入後、および、パワーアップ後には、内部アナログ回路が安定した後、セル電圧測定や電流測定を行なってください。内部アナログ回路の安定時間は、実際のアプリケーションで VREF 端子出力や VMON 端子出力、IMON 端子出力の安定時間を確認してください。

● セル接続方法

セル数が 3~6 セルの場合には、下表の接続を推奨します。

接続 セル数	V7 端子	V6 端子	V5 端子	V4 端子	V3 端子	V2 端子	V1 端子	V0 端子
6	セル	セル	セル	セル	セル	セル	セル	GND
5	セル	セル	セル	セル	セル	セル	GND	GND
4	セル	セル	セル	セル	セル	GND	GND	GND
3	セル	セル	セル	セル	GND	GND	GND	GND

■ 応用回路例 (5 セル接続時, 充電/放電経路分離, MCU 電源=VREG とした例)



■ 外付け部品推奨値

部品	推奨値
RVDD (注 1)	510 Ω
CVDD	2.2 μ F~10 μ F
RVDDR	100 Ω
CVDDR	2.2 μ F~10 μ F
RCEL	150 Ω ~10k Ω
CCEL	0.1 μ F 以上
RIS	1m Ω

部品	推奨値
RISIN	1k Ω
CISIN, CRES	0.1 μ F
CREG, CREF	4.7 μ F
CCP	20nF (注 2)
CPUP	1 μ F
RG	1k Ω
RFS	1k Ω

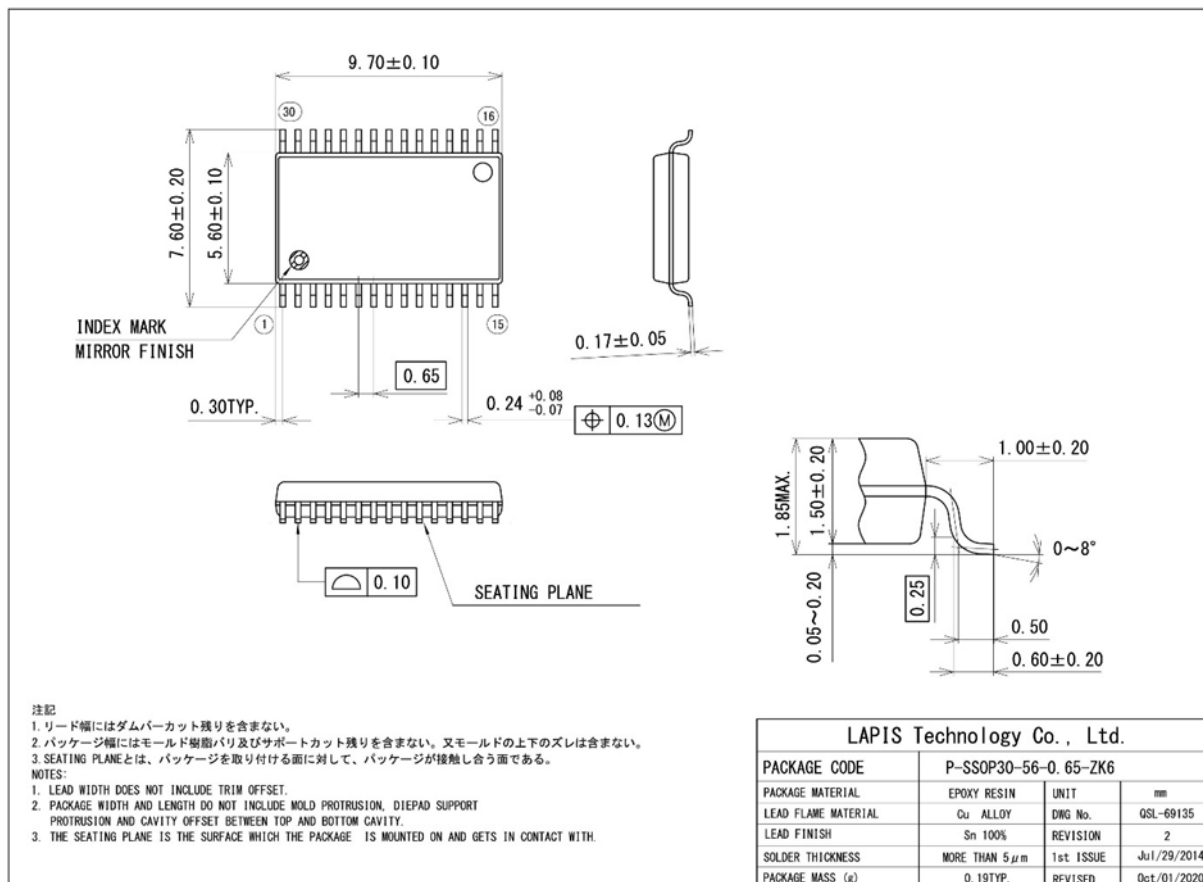
部品	推奨値
RPS	1k Ω
RI2C	47k Ω
RINT	51k Ω

(注 1) CVDD=2.2 μ F 時には、RVDD=1.5k Ω を推奨します。

(注 2) 外部 Nch-FET ゲート容量=10nF の場合

(注意) 記載の回路例、外付け部品の推奨値は、あらゆる動作条件下での動作を保証するものではありませんので、実際のアプリケーションで十分評価の上、最適な回路構成、部品定数の選択を行ってください。

■ パッケージ寸法図



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などを弊社担当営業まで必ずお問い合わせ下さい。

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL5248-01	2018.5.21	—	—	初版発行
FJDL5248-02	2020.11.30	—	—	社名ロゴ変更
		17	17	FET__INT レジスタ:DEDCK ビット説明追加
		33	33	「ご注意」の内容変更
FJDL5248-03	2024.1.9	1	1	■用途、■形名を追記 注釈削除
		33	33	ご注意のページ差し替え

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(※1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後が発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(※1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2018 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>