

# 4～10 直列リチウムイオン 2 次電池保護用 アナログフロントエンド IC

## ML5262

### 概要

ML5262 は、4～10 セル・リチウムイオン 2 次電池パック保護システム向け IC です。各セル電圧モニタ、および、充放電電流モニタ、温度モニタを自動的に行い、各種保護機能を搭載しています。また、外部制御用 MCU を用いて、残量管理や、各セルの過充電と過放電、および、過電流の保護を行なうことができます。

### 特長

- 高精度セル電圧測定機能  
12 ビット逐次比較型 ADC で測定
- 充放電電流測定機能  
ISP-ISM 端子間電位差を 16bit  $\Delta\Sigma$ ADC で測定  
1 倍、4 倍に電流ゲイン調整可能
- オートセルバランス機能  
セル電位差を検出してセルバランスを自動的に実行  
セルバランススイッチ ON 抵抗=25 $\Omega$  (typ.)
- 温度センサー測定機能
- 1 次保護機能：過充電、過放電、充電過電流、放電過電流、ショート電流、高温/低温検出機能
- 2 次保護機能：過充電、過放電、充電過電流、放電過電流、高温検出、FET 故障検出
- 外部ヒューズ切断機能  
2 次保護検出時に、FUSE 端子に 3.3V 出力
- ウェイクアップ検出機能  
スリープ状態時に所定の放電電流が流れると外部 MCU へ割り込み信号を出力
- SPI/I2C シリアルインターフェース
- 外部 MCU 用 5V/3.3V レギュレータ内蔵  
5V レギュレータ：外付け NPN トランジスタで構成、出力電流=65mA  
3.3V レギュレータ：出力電流=30mA

### 製品名

- ML5262-001TBZ  
(MCU インターフェース: SPI、セル数出荷時設定: 10 セル)
  - ML5262-101TBZ  
(MCU インターフェース: I2C、セル数出荷時設定: 10 セル)
  - ML5262-102TBZ  
(MCU インターフェース: I2C、セル数出荷時設定: 4 セル)
- その他設定値はコードリストを参照してください。

### 用途

- 電動工具／園芸用工具
- コードレス掃除機
- E-Bike／電動アシスト自転車

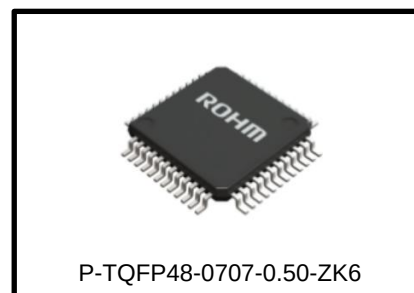
### 重要特性

- 入力電圧範囲： +4.5V～+58V
- 消費電流：  
ノーマル状態 300 $\mu$ A (typ.)  
パワーセーブ状態 285 $\mu$ A (typ.)  
スリープ状態 20 $\mu$ A (typ.)  
パワーダウン状態 1 $\mu$ A (typ.)
- 動作温度範囲： -40℃～+85℃
- セル電圧測定精度：  $\pm 5$ mV (typ.) @セル電圧=4V

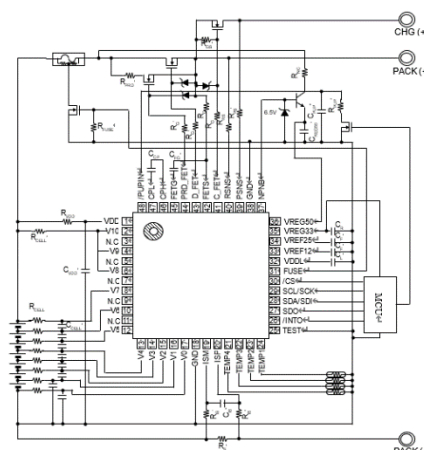
### パッケージ

W (typ.) x D (typ.) x H (max.)

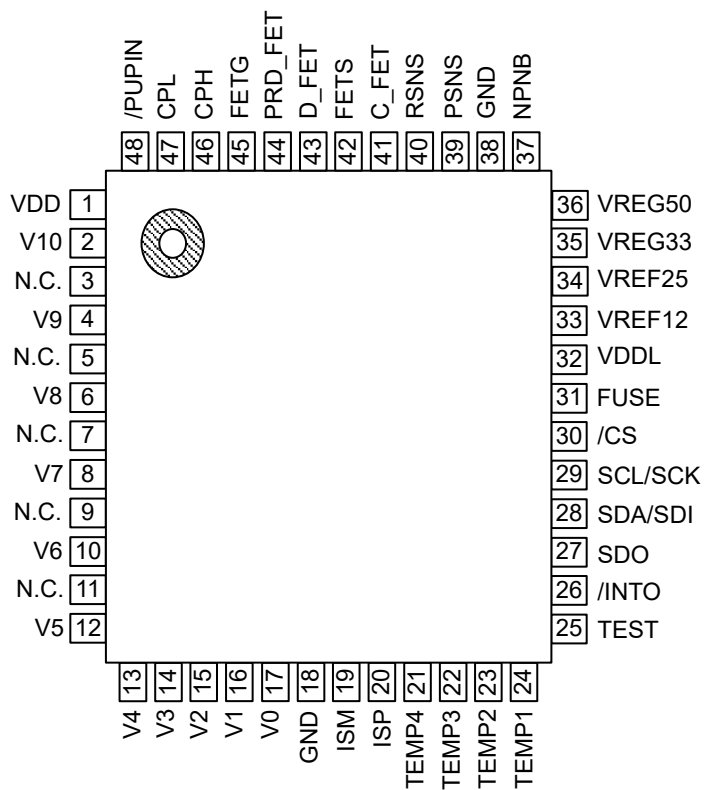
P-TQFP48-0707-0.50-ZK6 9.0 mm x 9.0 mm x 1.20 mm



### 基本アプリケーション



端子配置図



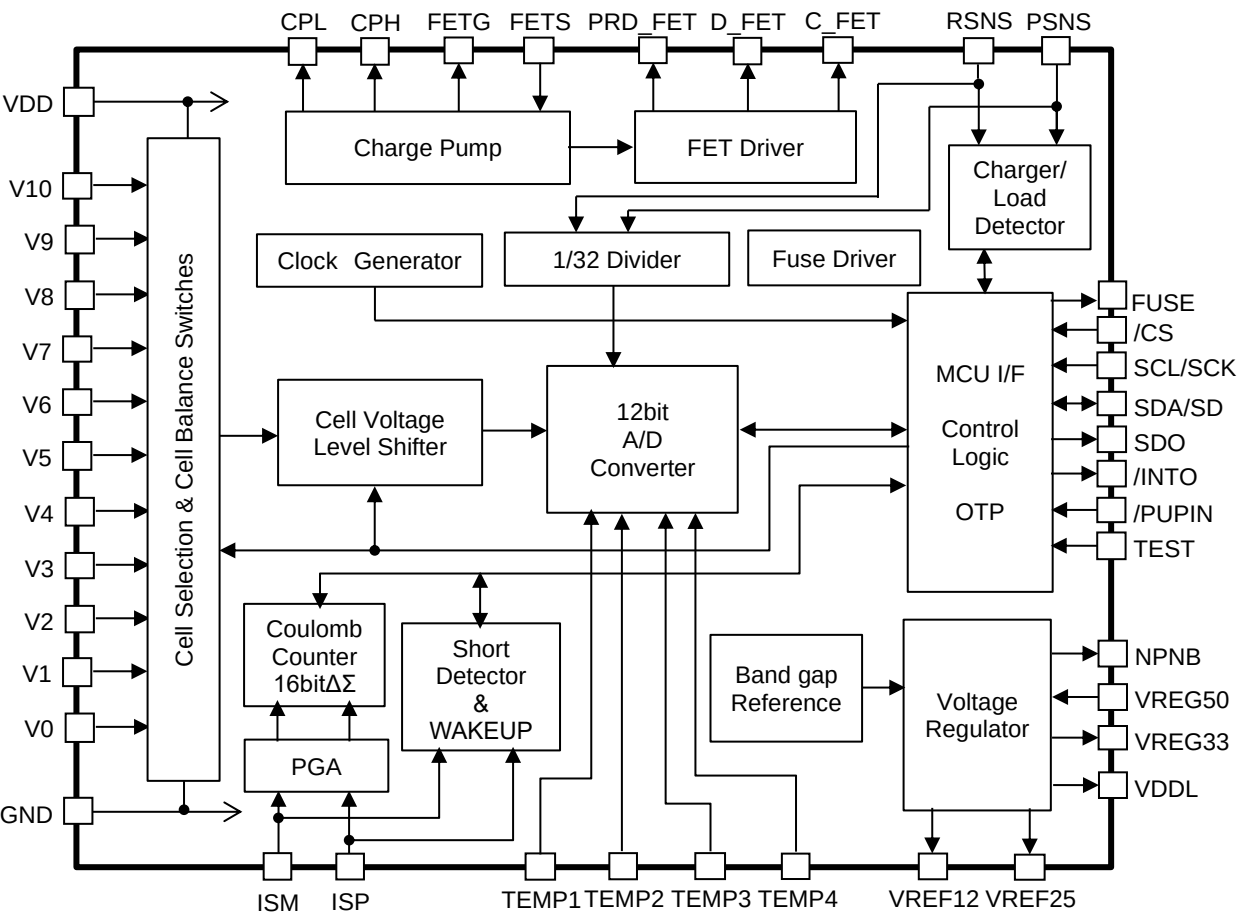
## 端子説明

| ピン番号 | 端子名   | I/O | 説明                                                                                                                                 |
|------|-------|-----|------------------------------------------------------------------------------------------------------------------------------------|
| 1    | VDD   | -   | 電源電圧入力端子です。<br>外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。                                                                                 |
| 2    | V10   | I   | 電池セル 10 の正極入力端子です。<br>未使用の場合、最上位セルに抵抗 $R_{CELL}$ を介して接続して下さい。                                                                      |
| 3    | N.C.  | -   | 未使用端子です。オープン状態にしてください。                                                                                                             |
| 4    | V9    | I   | 電池セル 10 の負極入力端子、および、電池セル 9 の正極入力端子です。<br>未使用の場合、最上位セルに抵抗 $R_{CELL}$ を介して接続して下さい。                                                   |
| 5    | N.C.  | -   | 未使用端子です。オープン状態にしてください。                                                                                                             |
| 6    | V8    | I   | 電池セル 9 の負極入力端子、および、電池セル 8 の正極入力端子です。<br>未使用の場合、最上位セルに抵抗 $R_{CELL}$ を介して接続して下さい。                                                    |
| 7    | N.C.  | -   | 未使用端子です。オープン状態にしてください。                                                                                                             |
| 8    | V7    | I   | 電池セル 8 の負極入力端子、および、電池セル 7 の正極入力端子です。<br>未使用の場合、最上位セルに抵抗 $R_{CELL}$ を介して接続して下さい。                                                    |
| 9    | N.C.  | -   | 未使用端子です。オープン状態にしてください。                                                                                                             |
| 10   | V6    | I   | 電池セル 7 の負極入力端子、および、電池セル 6 の正極入力端子です。<br>未使用の場合、最上位セルに抵抗 $R_{CELL}$ を介して接続して下さい。                                                    |
| 11   | N.C.  | -   | 未使用端子です。オープン状態にしてください。                                                                                                             |
| 12   | V5    | I   | 電池セル 6 の負極入力端子、および、電池セル 5 の正極入力端子です。<br>未使用の場合、最上位セルに抵抗 $R_{CELL}$ を介して接続して下さい。                                                    |
| 13   | V4    | I   | 電池セル 5 の負極入力端子、および、電池セル 4 の正極入力端子です。                                                                                               |
| 14   | V3    | I   | 電池セル 4 の負極入力端子、および、電池セル 3 の正極入力端子です。                                                                                               |
| 15   | V2    | I   | 電池セル 3 の負極入力端子、および、電池セル 2 の正極入力端子です。                                                                                               |
| 16   | V1    | I   | 電池セル 2 の負極入力端子、および、電池セル 1 の正極入力端子です。                                                                                               |
| 17   | V0    | I   | 電池セル 1 の負極入力端子です。                                                                                                                  |
| 18   | GND   | -   | グランド端子です。                                                                                                                          |
| 19   | ISM   | I   | 電流センス抵抗接続端子です。最下位電池セルの負極端子に接続します。<br>未使用の場合、GND 端子に接続して下さい。                                                                        |
| 20   | ISP   | I   | 電流センス抵抗接続端子です。放電時に ISM 端子より電圧が高くなるように接続します。<br>未使用の場合、GND 端子に接続して下さい。                                                              |
| 21   | TEMP4 | I   | 温度計測用サーミスタ接続端子です。TEMP4 端子と GND 間に NTC サーミスタを接続します。<br>VREF25 端子と TEMP4 端子間に 10k $\Omega$ 抵抗が内蔵されています。<br>未使用の場合、VREF25 端子に接続して下さい。 |
| 22   | TEMP3 | I   | 温度計測用サーミスタ接続端子です。TEMP3 端子と GND 間に NTC サーミスタを接続します。<br>VREF25 端子と TEMP3 端子間に 10k $\Omega$ 抵抗が内蔵されています。<br>未使用の場合、VREF25 端子に接続して下さい。 |
| 23   | TEMP2 | I   | 温度計測用サーミスタ接続端子です。TEMP2 端子と GND 間に NTC サーミスタを接続します。<br>VREF25 端子と TEMP2 端子間に 10k $\Omega$ 抵抗が内蔵されています。<br>未使用の場合、VREF25 端子に接続して下さい。 |
| 24   | TEMP1 | I   | 温度計測用サーミスタ接続端子です。TEMP1 端子と GND 間に NTC サーミスタを接続します。<br>VREF25 端子と TEMP1 端子間に 10k $\Omega$ 抵抗が内蔵されています。<br>未使用の場合、VREF25 端子に接続して下さい。 |
| 25   | TEST  | I   | LSI テスト用端子です。GND レベルに固定してください。                                                                                                     |
| 26   | /INTO | O   | 外部 MCU への割り込み信号出力です。NMOS オープンドレイン出力で、割り込み発生時に、<br>"L"レベルを出力します。未使用の場合、オープン状態にして下さい。                                                |
| 27   | SDO   | O   | SPI インターフェース選択時のシリアルデータ出力端子です。/CS 端子入力が高レベルの時は、<br>高インピーダンス状態となります。未使用の場合、オープン状態にして下さい。                                            |

| ピン番号 | 端子名     | I/O | 説明                                                                                                                                                      |
|------|---------|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------|
| 28   | SDA/SDI | IO  | SPI インターフェース選択時にはシリアルデータ入力端子、I2C インターフェース選択時にはシリアルデータ入出力端子となります。I2C インターフェース選択時には外部にプルアップ抵抗を接続してください。未使用の場合、VREG33 端子に接続して下さい。                          |
| 29   | SCL/SCK | I   | シリアルクロック入力端子です。I2C インターフェース選択時には外部にプルアップ抵抗を接続してください。未使用の場合、VREG33 端子に接続して下さい。                                                                           |
| 30   | /CS     | I   | SPI インターフェース選択時のチップセレクト端子です。"L"レベル入力で SPI インターフェースが有効となります。未使用の場合、VREG33 端子に接続して下さい。                                                                    |
| 31   | FUSE    | O   | 外部ヒューズ切断用 Nch-FET 制御信号出力です。外部ヒューズ切断用 Nch-FET のゲート端子に接続してください。ヒューズ切断時に 3.3V (typ.) を出力します。未使用の場合、オープン状態にして下さい。                                           |
| 32   | VDDL    | O   | 内蔵 1.5V レギュレータの出力端子です。外部電源としての使用は禁止です。GND 間に 1μF のコンデンサを接続してください。                                                                                       |
| 33   | VREF12  | O   | ΔΣADC 用の 1.2V 基準電圧出力端子です。GND 間に 3.3μF のコンデンサを接続してください。                                                                                                  |
| 34   | VREF25  | O   | 逐次比較型 ADC 用 2.5V 基準電圧出力端子です。GND 間に 3.3μF のコンデンサを接続してください。                                                                                               |
| 35   | VREG33  | O   | 内蔵 3.3V レギュレータの出力端子です。MCU インターフェースの電源として使用されます。GND 間に 4.7μF のコンデンサを接続してください。外部 MCU の電源として使用可能です。                                                        |
| 36   | VREG50  | I   | VREG33 端子の電流供給端子です。外付け NPN トランジスタのエミッタに接続してください。GND 間に 10μF のコンデンサを接続してください。5V レギュレータ出力として使用可能です。                                                       |
| 37   | NPNB    | O   | 外付け NPN トランジスタで構成される 5V レギュレータの NPN トランジスタのベース制御出力です。外付け NPN トランジスタのベースに接続してください。                                                                       |
| 38   | GND     | -   | グランド端子です。                                                                                                                                               |
| 39   | PSNS    | I   | 充電器の接続/開放検出用端子です。PSNS 端子電圧を 1/32 倍した電圧を ADC にて測定することができます。未使用の場合、VDD 端子に接続して下さい。(注 1)                                                                   |
| 40   | RSNS    | I   | 負荷の接続/開放検出用端子です。RSNS 端子電圧を 1/32 倍した電圧を ADC にて測定することができます。未使用の場合、VDD 端子に接続して下さい。                                                                         |
| 41   | C_FET   | O   | 充電用 Nch-FET の制御信号出力端子です。充電用 Nch-FET のゲート端子に接続してください。ON 設定時には、FETS 端子電圧+11.4V (typ.) が出力され、OFF 設定時には、FETS 端子電圧が出力されます。未使用の場合、オープン状態にして下さい。               |
| 42   | FETS    | I   | ハイスайд Nch-FET ドライバ用チャージポンプのコンデンサ接続端子です。FETG-FETS 端子間に 470nF のコンデンサを接続し、充放電用 Nch-FET のソースに接続してください。未使用の場合、オープン状態にして下さい。                                 |
| 43   | D_FET   | O   | 放電用 Nch-FET の制御信号出力端子です。放電用 Nch-FET のゲート端子に接続してください。ON 設定時には、FETS 端子電圧+11.4V (typ.) が出力され、OFF 設定時には、FETS 端子電圧が出力されます。未使用の場合、オープン状態にして下さい。               |
| 44   | PRD_FET | O   | プリディスチャージ用 Nch-FET の制御信号出力端子です。プリディスチャージ用 Nch-FET のゲート端子に接続してください。ON 設定時には、FETS 端子電圧+11.4V (typ.) が出力され、OFF 設定時には、FETS 端子電圧が出力されます。未使用の場合、オープン状態にして下さい。 |
| 45   | FETG    | O   | ハイスайд Nch-FET ドライバ用チャージポンプのコンデンサ接続端子です。FETG-FETS 端子間に 470nF のコンデンサを接続してください。未使用の場合、オープン状態にして下さい。                                                       |
| 46   | CPH     | O   | ハイスайд Nch-FET ドライバ用チャージポンプのコンデンサ接続端子です。CPH-CPL 端子間に 20nF のコンデンサを接続してください。未使用の場合、オープン状態にして下さい。                                                          |
| 47   | CPL     | O   | ハイスайд Nch-FET ドライバ用チャージポンプのコンデンサ接続端子です。CPH-CPL 端子間に 20nF のコンデンサを接続してください。未使用の場合、オープン状態にして下さい。                                                          |
| 48   | /PUPIN  | I   | パワーアップトリガ信号入力です。"L"レベル入力により、パワーダウン状態からパワーアップ状態へ、スリープ状態からノーマル状態へ移行します。VDD 端子間に 1MΩ のプルアップ抵抗を内蔵しています。                                                     |

(注 1) VDD 固定の場合、本 IC はスリープ状態、および、パワーダウン状態に移行することができませんので、スリープ状態、パワーダウン状態へ移行させる場合には、外部回路でオープン/VDD に切り替えてください。

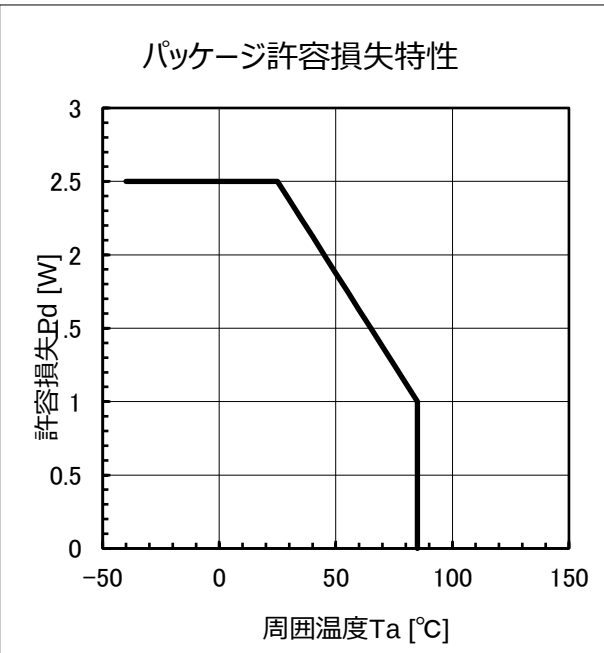
ブロック図



絶対最大定格

| GND=0V, Ta=25℃ |                   |                                                                                          |                                 |     |
|----------------|-------------------|------------------------------------------------------------------------------------------|---------------------------------|-----|
| 項目             | 記号                | 条件                                                                                       | 定格値                             | 単位  |
| 電源電圧           | V <sub>DD</sub>   | VDD 端子に適用                                                                                | -0.3 ~ +60                      | V   |
| 入力電圧           | V <sub>IN1</sub>  | V10~V0 端子に適用<br>V <sub>n+1</sub> - V <sub>n</sub> 端子間電位差 (注 1)                           | -0.3 ~ +36                      | V   |
|                | V <sub>IN2</sub>  | FETS, PSNS,RSNS 端子に適用                                                                    | -0.3 ~ +60                      | V   |
|                | V <sub>IN3</sub>  | /PUPIN 端子に適用                                                                             | -0.3 ~ V <sub>DD</sub> +0.3     | V   |
|                | V <sub>IN4</sub>  | ISM, ISP, TEMP1, TEMP2, TEMP3,<br>TEMP4 端子に適用                                            | -0.3 ~ V <sub>REG</sub> +0.3    | V   |
|                | V <sub>IN5</sub>  | VREG50, V0, /CS, SCL/SCK, SDA/SDI,<br>TEST 端子に適用                                         | -0.3 ~ +6.5                     | V   |
| 出力電圧           | V <sub>OUT1</sub> | C_FET, D_FET, PRD_FET 端子に適用<br>V <sub>FS</sub> = FETS 端子電圧                               | V <sub>FS</sub> -0.3 ~ +60      | V   |
|                | V <sub>OUT2</sub> | CPH, CPL, FETG 端子に適用                                                                     | -0.3 ~ +60                      | V   |
|                | V <sub>OUT3</sub> | VREG33 端子に適用                                                                             | - 0.3 ~ V <sub>REG50</sub> +0.3 | V   |
|                | V <sub>OUT4</sub> | SDO, VREF25, VREF12, FUSE 端子に<br>適用                                                      | - 0.3 ~ V <sub>REG</sub> +0.3   | V   |
|                | V <sub>OUT5</sub> | VDDL 端子に適用                                                                               | - 0.3 ~ +2.1                    | V   |
|                | V <sub>OUT6</sub> | /INTO, SDA/SDI 端子に適用                                                                     | -0.3 ~ +6.5                     | V   |
|                | V <sub>OUT7</sub> | NPNB 端子に適用                                                                               | -0.3 ~ V <sub>DD</sub> +0.3     | V   |
| 出力短絡電流         | I <sub>OS</sub>   | NPNB, VDDL, VREF25, VREF12, SDO,<br>/INTO, C_FET, D_FET, PRD_FET,<br>FUSE, SDA/SDI 端子に適用 | 10                              | mA  |
|                | I <sub>OSR</sub>  | VREG33 端子に適用                                                                             | 100                             | mA  |
| セルバランス電流       | I <sub>CB</sub>   | セルバランススイッチ 1 個当り                                                                         | 95.5                            | mA  |
| 許容損失           | P <sub>D</sub>    | Ta=25℃                                                                                   | 2.5                             | W   |
| ジャンクション温度      | T <sub>JMAX</sub> | -                                                                                        | 125                             | ℃   |
| パッケージ熱抵抗       | θ <sub>ja</sub>   | JEDEC2 層基板実装時                                                                            | 40                              | ℃/W |
| 保存温度           | T <sub>STG</sub>  | -                                                                                        | -55 ~ +150                      | ℃   |

注 1: 電池セル接続時、または、取り外し時に V<sub>n+1</sub>-V<sub>n</sub> 端子間電圧が、定格値を超え破壊を引き起こす可能性がありますので、十分ご評価の上でご使用ください。



周囲温度 Ta が高くなると、パッケージ許容損失が減少しますので、VREG33 端子出力負荷電流が大きい場合には、左記の許容損失を超えないことを確認してください。

推奨動作条件

| (GND=0V) |                  |                            |         |    |
|----------|------------------|----------------------------|---------|----|
| 項目       | 記号               | 条件                         | 範囲      | 単位 |
| 電源電圧     | V <sub>DD1</sub> | VDD 端子に適用<br>FET ドライバ不使用設定 | 4.5~58  | V  |
|          | V <sub>DD2</sub> | VDD 端子に適用<br>FET ドライバ使用設定  | 4.5~45  | V  |
| 動作温度     | Ta               | 出力無負荷時                     | -40~+85 | °C |

## 電気的特性

## 直流特性

V<sub>DD</sub>=4.5~58V, GND=0V, Ta= -40~+85℃, 出力無負荷時

| 項目                    | 記号                   | 条件                                                                                                  | Min.                  | Typ.                | Max.                 | 単位 |
|-----------------------|----------------------|-----------------------------------------------------------------------------------------------------|-----------------------|---------------------|----------------------|----|
| デジタル“H”入力電圧 (注 1)     | V <sub>IH</sub>      | -                                                                                                   | 0.8×V <sub>REG</sub>  | -                   | V <sub>REG</sub>     | V  |
| デジタル“L”入力電圧 (注 1)     | V <sub>IL</sub>      | -                                                                                                   | 0                     | -                   | 0.2×V <sub>REG</sub> | V  |
| /PUPIN 端子 “H”入力電圧     | V <sub>IHP</sub>     | -                                                                                                   | 2                     | -                   | V <sub>DD</sub>      | V  |
| /PUPIN 端子 “L”入力電圧     | V <sub>ILP</sub>     | -                                                                                                   | 0                     | -                   | 0.6                  | V  |
| デジタル“H”入力電流 (注 1)     | I <sub>IH</sub>      | V <sub>IH</sub> =V <sub>REG</sub>                                                                   | -                     | -                   | 2                    | μA |
| デジタル“L”入力電流 (注 1)     | I <sub>IL</sub>      | V <sub>IL</sub> =GND                                                                                | -2                    | -                   | -                    | μA |
| /PUPIN 端子 “H”入力電流     | I <sub>IHP</sub>     | V <sub>IH</sub> =V <sub>DD</sub>                                                                    | -                     | -                   | 2                    | μA |
| /PUPIN 端子 “L”入力電流     | I <sub>ILP</sub>     | V <sub>DD</sub> =58V, V <sub>IL</sub> =GND                                                          | -98                   | -58                 | -25                  | μA |
| デジタル“H”出力電圧 (注 2)     | V <sub>OH</sub>      | I <sub>OH</sub> = -100μA                                                                            | V <sub>REG</sub> -0.2 | -                   | V <sub>REG</sub>     | V  |
| デジタル“L”出力電圧 (注 3)     | V <sub>OL</sub>      | I <sub>OL</sub> =1mA                                                                                | 0                     | -                   | 0.2                  | V  |
| デジタル出力カリーク電流 (注 3)    | I <sub>OLK</sub>     | V <sub>OH</sub> =V <sub>REG</sub> , V <sub>OL</sub> =0V                                             | -2                    | -                   | 2                    | μA |
| セルモニタ端子入力電流 (注 4)     | I <sub>INVC</sub>    | 電池セル電圧測定時                                                                                           | -5                    | -                   | 15                   | μA |
| セルモニタ端子入力カリーク電流 (注 4) | I <sub>ILVC</sub>    | 電池セル電圧非測定時                                                                                          | -5                    | -                   | 5                    | μA |
| FET “H”出力電圧 (注 5)     | V <sub>OHF1</sub>    | I <sub>OH</sub> = -1μA<br>V <sub>DD</sub> =V <sub>FS</sub> =12.5V~45V<br>V <sub>FS</sub> :FETS 端子電圧 | V <sub>FS</sub> +9    | V <sub>FS</sub> +11 | V <sub>FS</sub> +13  | V  |
|                       | V <sub>OHF2</sub>    | I <sub>OH</sub> =-1μA<br>V <sub>DD</sub> =V <sub>S</sub> = 4.5V~12.5V                               | V <sub>S</sub> +2.5   | -                   | V <sub>S</sub> +12.5 | V  |
|                       | V <sub>OHF3</sub>    | I <sub>OH</sub> =-1μA<br>V <sub>DD</sub> =V <sub>S</sub> = 4.5V~12.5V<br>充電器接続時                     | V <sub>S</sub> +5     | -                   | V <sub>S</sub> +12.5 | V  |
| FET “L”出力電圧 (注 6)     | V <sub>OLF</sub>     | V <sub>FS</sub> =0V~45V<br>V <sub>FS</sub> :FETS 端子電圧                                               | V <sub>FS</sub>       | -                   | V <sub>FS</sub> +0.3 | V  |
| FETS 端子入力電流           | I <sub>IHFS1</sub>   | ノーマル状態<br>V <sub>FS</sub> =0V~45V<br>V <sub>FS</sub> :FETS 端子電圧                                     | -2                    | -                   | 300                  | μA |
|                       | I <sub>IHFS2</sub>   | スリープ状態<br>V <sub>FS</sub> =0V~45V                                                                   | -2                    | -                   | 30                   | μA |
| VREG50 出力電圧           | V <sub>REG50_1</sub> | V <sub>DD</sub> =8.0V~58V<br>出力負荷電流 <65mA (注 7)                                                     | 4.5                   | 5.0                 | 5.5                  | V  |
|                       | V <sub>REG50_2</sub> | V <sub>DD</sub> =4.5V~8.0V<br>出力負荷電流 <5mA                                                           | 3.5                   | 5.0                 | 5.5                  | V  |
| VREG33 出力電圧           | V <sub>REG_1</sub>   | V <sub>DD</sub> =8V~58V<br>出力負荷電流 <30mA<br>Ta=25℃                                                   | 3.267                 | 3.3                 | 3.333                | V  |
|                       | V <sub>REG_2</sub>   | V <sub>DD</sub> =8V~58V<br>出力負荷電流 <30mA<br>Ta= -40~85℃                                              | 3.1                   | 3.3                 | 3.5                  | V  |
|                       | V <sub>REG_L</sub>   | V <sub>DD</sub> =4.5V~8V<br>出力負荷電流 <5mA<br>Ta= -40~85℃                                              | 3.0                   | 3.3                 | 3.5                  | V  |
| VDDL 出力電圧             | V <sub>DDL</sub>     | Ta= -40~85℃<br>出力無負荷                                                                                | 1.35                  | 1.5                 | 1.65                 | V  |
| VREF25 出力電圧           | V <sub>REF25</sub>   | Ta= -40~85℃<br>出力負荷電流 <500μA                                                                        | 2.48                  | 2.50                | 2.54                 | V  |
| VREF12 出力電圧           | V <sub>REF12</sub>   | Ta= -40~85℃<br>出力無負荷                                                                                | 1.21                  | 1.24                | 1.28                 | V  |
| セルバランススイッチ ON 抵抗      | R <sub>BL</sub>      | 内蔵バランス FET<br>V <sub>DS</sub> =0.1V<br>セル電圧=3V 以上                                                   | 12                    | 25                  | 50                   | Ω  |
| NPNB 端子出力電流           | I <sub>NPNB1</sub>   | (VREG50=4V)<br>V <sub>DD</sub> =8V~58V                                                              | 0.5                   | 2.9                 | 5                    | mA |
|                       | I <sub>NPNB2</sub>   | (VREG50=4V)<br>V <sub>DD</sub> =4.5V~8V                                                             | 0.18                  | -                   | 5                    | mA |

注 1: /CS, SCL/SCK, SDA/SDI 端子に適用

注 2: SDO,FUSE 端子に適用

注 3: SDA/SDI, SDO, /INT0,FUSE 端子に適用

注 4: V10~V0 端子に適用

注 5: C\_FET, D\_FET, PRD\_FET 端子に適用

注 6: D\_FET, PRD\_FET 端子に適用

注 7: DC 電流ではなく、ピーク電流とします。外付け NPN の許容損失 に注意 してください。

消費電流特性

| V <sub>DD</sub> =4.5~58V, GND=0V, Ta= -40~+85℃, 出力無負荷時 |                  |                                                 |      |      |      |    |
|--------------------------------------------------------|------------------|-------------------------------------------------|------|------|------|----|
| 項目                                                     | 記号               | 条件                                              | Min. | Typ. | Max. | 単位 |
| ノーマル状態<br>消費電流                                         | I <sub>DD1</sub> | セル電圧測定周期=200ms<br>接続セル数=10 セル<br>TEMP 端子 4 端子測定 | -    | 300  | 504  | μA |
| パワーセーブ状態<br>消費電流                                       | I <sub>DD2</sub> | セル電圧測定周期=1 秒<br>接続セル数=10 セル<br>TEMP 端子 4 端子測定   | -    | 285  | 450  | μA |
| スリープ状態<br>消費電流                                         | I <sub>DD3</sub> | WKUP ビット="0"                                    | -    | 20   | 50   | μA |
|                                                        | I <sub>DD4</sub> | WKUP ビット="1"                                    |      | 34   | 70   | μA |
| パワーダウン状態<br>消費電流                                       | I <sub>DD5</sub> | -                                               | -    | 1    | 2    | μA |

(注) 上記消費電流は VDD 端子、VREG50 端子に流れる電流で規定しています。

## セル電圧測定特性

 $V_{DD}=8\sim 58V$ ,  $GND=0V$ ,  $T_a=-40\sim +85^{\circ}C$ , 出力無負荷, ENCCビット="1"時

| 項目                 | 記号         | 条件                                                       | Min. | Typ.      | Max. | 単位 |
|--------------------|------------|----------------------------------------------------------|------|-----------|------|----|
| セル電圧測定範囲           | $V_{VMR}$  | (注 1)                                                    | 0.1  | -         | 5    | V  |
| セル電圧測定分解能          | $V_{LSB}$  | -                                                        | -    | 5000/4095 | -    | mV |
| セル電圧測定誤差<br>(注 2)  | $V_{ER1}$  | セル電圧=4V 時<br>$T_a=25^{\circ}C$ 時                         | - 5  | -         | 5    | mV |
|                    | $V_{ER2}$  | セル電圧=1.6V~4.3V 時<br>$T_a=0^{\circ}C\sim 60^{\circ}C$ 時   | -10  | -         | 10   | mV |
|                    | $V_{ER3}$  | セル電圧=1.6V~4.3V 時<br>$T_a=-40^{\circ}C\sim 85^{\circ}C$ 時 | -20  | -         | 20   | mV |
| セル電圧測定誤差<br>(注 3)  | $V_{ER2}$  | セル電圧=1.6V~4.3V 時<br>$T_a=0^{\circ}C\sim 60^{\circ}C$ 時   | -10  | -         | 17.2 | mV |
| セル電圧測定<br>インターバル時間 | $t_{MON0}$ | TVC[1:0] ビット= 0x0 時                                      | 32   | 40        | 48   | ms |
|                    | $t_{MON1}$ | TVC[1:0] ビット= 0x1 時                                      | 160  | 200       | 240  | ms |
|                    | $t_{MON2}$ | TVC[1:0] ビット= 0x2 時                                      | 240  | 300       | 360  | ms |
|                    | $t_{MON3}$ | TVC[1:0] ビット= 0x3 時                                      | 320  | 400       | 480  | ms |

(注 1) 電源電圧  $V_{DD}$  が 8V より低くなる場合は適用外です。

(注 2) 出荷時の特性に適用します。

(注 3) 平均温度  $60^{\circ}C$  で 10 年以内ではこの規格値内を推移します。

## 電流測定特性

 $V_{DD}=4.5\sim 58V$ ,  $GND=0V$ ,  $T_a=-40\sim +85^{\circ}C$ , シヤント抵抗=0.5mΩ, 出力無負荷時

| 項目                        | 記号           | 条件                                              | Min.  | Typ.  | Max. | 単位 |
|---------------------------|--------------|-------------------------------------------------|-------|-------|------|----|
| 電流測定範囲 (注 1)              | $I_{MR1}$    | IGAIN ビット= "0"                                  | -600  | -     | 100  | A  |
|                           | $I_{MR2}$    | IGAIN ビット= "1"                                  | -150  | -     | 25   | A  |
| 電流測定アンプゲイン<br>(注 2)       | $G_{IM0}$    | IGAIN ビット= "0"                                  | 0.94  | 1     | 1.06 | 倍  |
|                           | $G_{IM1}$    | IGAIN ビット= "1"                                  | 3.76  | 4     | 4.24 | 倍  |
| 電流測定分解能                   | $I_{LSB1}$   | IGAIN ビット= "0"                                  | -     | 18.92 | -    | mA |
|                           | $I_{LSB2}$   | IGAIN ビット= "1"                                  | -     | 4.73  | -    | mA |
| 電流測定誤差                    | $I_{ER}$     | $T_a=0^{\circ}C\sim 60^{\circ}C$ 時<br>- 50A 測定時 | -0.5  | -     | 0.5  | A  |
| 電流ゼロ時測定値                  | $I_{ZR}$     | ISP-ISM=0V 時                                    | -0.05 | -     | 0.05 | A  |
| 電流測定時間                    | $t_{IM}$     | -                                               | 1.6   | 2     | 2.4  | ms |
| セル電圧同期電流測定<br>有効ゲイン切り替え時間 | $t_{ICVAL1}$ | QVM 出力からの時間で定義<br>TVC[1:0] ビット= 0x0 時           | 3.2   | 4     | 4.8  | ms |
|                           | $t_{ICVAL2}$ | QVM 出力からの時間で定義<br>TVC[1:0] ビット= 0x1 時           | 131   | 164   | 197  | ms |
|                           | $t_{ICVAL3}$ | QVM 出力からの時間で定義<br>TVC[1:0] ビット= 0x2 時           | 211   | 264   | 317  | ms |
|                           | $t_{ICVAL4}$ | QVM 出力からの時間で定義<br>TVC[1:0] ビット= 0x3 時           | 291   | 364   | 437  | ms |
| クーロンカウンタ誤差                | $C_{CER}$    | $T_a=0^{\circ}C\sim 60^{\circ}C$ 時 - 50A 測定時    | -5    | -     | 5    | %  |
| クーロンカウンタ時間                | $t_{CC0}$    | CC[1:0] ビット= 0x0                                | 200   | 250   | 300  | ms |
|                           | $t_{CC1}$    | CC[1:0] ビット= 0x1                                | 400   | 500   | 600  | ms |
|                           | $t_{CC2}$    | CC[1:0] ビット= 0x2                                | 800   | 1000  | 1200 | ms |
|                           | $t_{CC3}$    | CC[1:0] ビット= 0x3                                | 1600  | 2000  | 2400 | ms |
| ISP, ISM 端子入力電流           | $I_{IS}$     | 入力電圧= -50mV~0.3V 時                              | -2    | -     | 2    | μA |

(注 1) 充電電流がプラス、放電電流がマイナスとなります。

(注 2) ISP、ISM 端子にそれぞれ 1kΩ 抵抗を接続した場合に適用します。

## 温度センサ測定特性

V<sub>DD</sub>=4.5~58V, GND=0V, Ta= -40~+85℃, 出力無負荷時

| 項目                      | 記号                | 条件                                 | Min. | Typ.      | Max. | 単位  |
|-------------------------|-------------------|------------------------------------|------|-----------|------|-----|
| TEMPn 端子プルアップ抵抗         | R <sub>TUP</sub>  | TEMPn-VREF25 端子間<br>TEMPn 端子で温度測定時 | 7    | 10        | 13   | kΩ  |
| TEMPn 端子プルアップ抵抗<br>温度係数 | T <sub>CTUP</sub> | -                                  | -5.3 | -3.6      | -1.5 | Ω/℃ |
| TEMPn 端子入力電圧測<br>定誤差    | V <sub>TER</sub>  | TEMPn 端子入力電圧=0.3V~<br>2.3V         | -15  | -         | 15   | mV  |
| 温度センサ測定分解能              | V <sub>TLSB</sub> | -                                  | -    | 2500/4095 | -    | mV  |
| 温度センサ測定待ち時間             | t <sub>WTT</sub>  | -                                  | 0.75 | 0.94      | 1.13 | ms  |
| TEMPn 端子入力電流            | I <sub>TEMP</sub> | 非測定時<br>入力電圧=0V~VREF25             | -2   | -         | 2    | μA  |

## PSNS 端子/ RSNS 端子/VDD 端子電圧測定、充電器接続検出電圧特性

V<sub>DD</sub>=4.5~58V, GND=0V, Ta= -40~+85℃, 出力無負荷時

| 項目                                       | 記号                  | 条件                                                        | Min. | Typ.          | Max. | 単位          |
|------------------------------------------|---------------------|-----------------------------------------------------------|------|---------------|------|-------------|
| RSNS 端子<br>入力電圧測定誤差                      | V <sub>ERS50</sub>  | 入力電圧=58V 時                                                | -2.5 | -             | 2.5  | V           |
|                                          | V <sub>ERS32</sub>  | 入力電圧=32V 時                                                | -2.5 | -             | 2.5  | V           |
|                                          | V <sub>ERS1</sub>   | 入力電圧=1V 時                                                 | -0.5 | -             | 0.5  | V           |
| PSNS 端子<br>入力電圧測定誤差                      | V <sub>EPS50</sub>  | 入力電圧=58V 時                                                | -2.5 | -             | 2.5  | V           |
|                                          | V <sub>EPS32</sub>  | 入力電圧=32V 時                                                | -2.5 | -             | 2.5  | V           |
|                                          | V <sub>EPS1</sub>   | 入力電圧=1V 時                                                 | -0.5 | -             | 0.5  | V           |
| VDD 端子<br>電圧測定誤差                         | V <sub>EVD50</sub>  | V <sub>DD</sub> =58V 時                                    | -2.5 | -             | 2.5  | V           |
|                                          | V <sub>EVD4p5</sub> | V <sub>DD</sub> =4.5V 時                                   | -0.5 | -             | 0.5  | V           |
| PSNS 端子/ RSNS 端子<br>/VDD 端子<br>入力電圧測定分解能 | V <sub>SLSB</sub>   | -                                                         | -    | 19.536        | -    | mV          |
| PSNS 端子/ RSNS 端子<br>/VDD 端子<br>電圧測定待ち時間  | t <sub>WTVR</sub>   | -                                                         | 0.75 | 0.94          | 1.13 | ms          |
| 充電器接続検出<br>PSNS 端子電圧                     | V <sub>PC1</sub>    | スリープ時(WKUP="0")<br>パワーダウン時                                | 1.6  | 3.0           | 4.4  | V           |
| 充電器開放検出電圧                                | V <sub>PLU</sub>    | 充電過電流検出時<br>VDD レジスタ値-PSNS レジスタ値<br>のコード差                 | -    | 5<br>(97.7)   | -    | LSB<br>(mV) |
| 負荷開放検出<br>RSNS 端子電圧                      | V <sub>RL</sub>     | 放電過電流 1,2 検出時<br>ショート電流検出時                                | -    | 102<br>(1.99) | -    | LSB<br>(V)  |
| 負荷開放検出後<br>待ち時間                          | T <sub>RL</sub>     | 放電過電流 1,2 検出時<br>ショート電流検出時                                | 40   | 50            | 60   | ms          |
| PSNS ブルダウン抵抗                             | R <sub>PD</sub>     | スリープ時<br>パワーダウン時<br>過放電検出時<br>充電過電流検出時<br>PSNSPD ビット="1"時 | 200  | 500           | 1000 | kΩ          |
| RSNS ブルアップ抵抗                             | R <sub>PU</sub>     | 放電過電流 1,2 検出時<br>ショート電流検出時<br>RSNSPU ビット="1"時             | 0.5  | 2             | 4    | MΩ          |
| RSNS 入力リーク電流                             | I <sub>LRS</sub>    | ノーマル状態時<br>RSNS 端子電圧未測定時                                  | -2   | -             | 2    | μA          |
| PSNS 入力リーク電流                             | I <sub>LPS</sub>    | ノーマル状態時<br>PSNS 端子電圧未測定時                                  | -2   | -             | 2    | μA          |

## 検出電圧特性

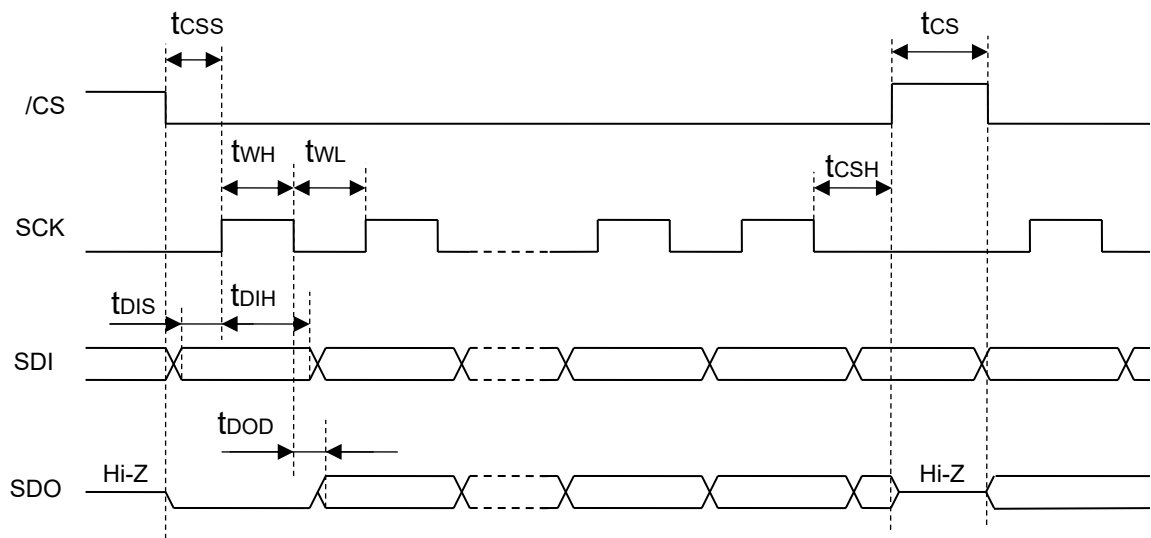
V<sub>DD</sub>=4.5~58V, GND=0V, Ta= -40~+85℃, シャント抵抗=0.5mΩ, 出力無負荷時

| 項目            | 記号                 | 条件                         | Min. | Typ. | Max. | 単位 |
|---------------|--------------------|----------------------------|------|------|------|----|
| 過充電/過放電検出精度   | V <sub>EV</sub>    | セル電圧=1V~4.3V<br>Ta=0℃~60℃時 | -10  | -    | 10   | mV |
| 過電流検出精度       | A <sub>EI</sub>    | シャント抵抗=0.5mΩ 時             | -10  | -    | 10   | %  |
| 温度検出精度        | V <sub>ET</sub>    | TEMP 入力=<br>0.3V~2.3V 時    | -15  | -    | 15   | mV |
| ショート電流検出電圧    | V <sub>S0</sub>    | SC[2:0] ビット= 0x0           | 20   | 25   | 30   | mV |
|               | V <sub>S1</sub>    | SC[2:0] ビット= 0x1           | 40   | 50   | 60   | mV |
|               | V <sub>S2</sub>    | SC[2:0] ビット= 0x2           | 60   | 75   | 90   | mV |
|               | V <sub>S3</sub>    | SC[2:0] ビット= 0x3           | 80   | 100  | 120  | mV |
|               | V <sub>S4</sub>    | SC[2:0] ビット= 0x4           | 100  | 125  | 150  | mV |
|               | V <sub>S5</sub>    | SC[2:0] ビット= 0x5           | 120  | 150  | 180  | mV |
|               | V <sub>S6</sub>    | SC[2:0] ビット= 0x6           | 140  | 175  | 210  | mV |
|               | V <sub>S7</sub>    | SC[2:0] ビット= 0x7           | 160  | 200  | 240  | mV |
| ショート電流検出遅延時間  | t <sub>SHRT0</sub> | TSC[1:0] ビット= 0x0          | 40   | 50   | 60   | μs |
|               | t <sub>SHRT1</sub> | TSC[1:0] ビット= 0x1          | 80   | 100  | 120  | μs |
|               | t <sub>SHRT2</sub> | TSC[1:0] ビット= 0x2          | 120  | 150  | 180  | μs |
|               | t <sub>SHRT3</sub> | TSC[1:0] ビット= 0x3          | 160  | 200  | 240  | μs |
| ウェイクアップ検出電圧   | V <sub>WK1</sub>   | スリープ状態時                    | 2    | 5    | 8    | mV |
| ウェイクアップ検出遅延時間 | t <sub>WK</sub>    | -                          | 1.6  | 2    | 2.4  | ms |
| VREG50 低下検出電圧 | V <sub>RD50</sub>  | -                          | 2.6  | 2.9  | 3.2  | V  |
| VREG50 復帰検出電圧 | V <sub>RR50</sub>  | -                          | 2.9  | 3.2  | 3.5  | V  |
| VREG33 低下検出電圧 | V <sub>RD33</sub>  | -                          | 2.3  | 2.45 | 2.6  | V  |
| VREG33 復帰検出電圧 | V <sub>RR33</sub>  | -                          | 2.5  | 2.75 | 2.9  | V  |
| VDDL 低下検出電圧   | V <sub>RD15</sub>  | -                          | 1.1  | 1.2  | 1.3  | V  |
| VDDL 復帰検出電圧   | V <sub>RR15</sub>  | -                          | 1.2  | 1.3  | 1.4  | V  |

交流特性

1. SPI インターフェース

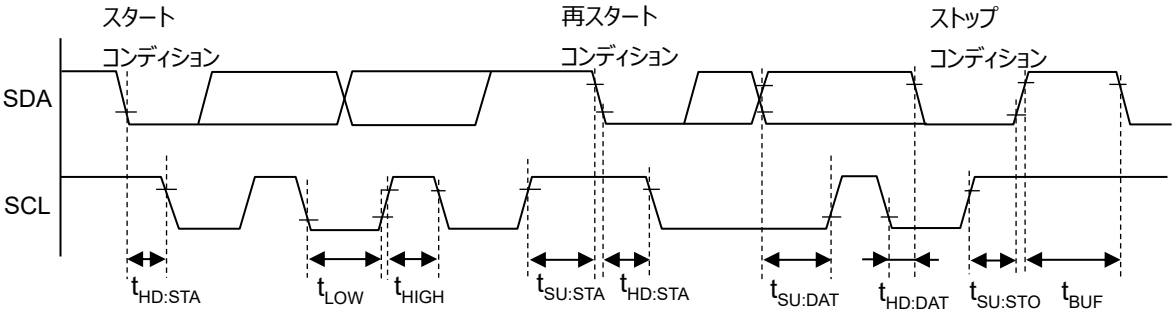
| V <sub>DD</sub> =4.5~58V, GND=0V, Ta= -40~+85℃, 出力無負荷時 |                  |    |      |      |      |    |
|--------------------------------------------------------|------------------|----|------|------|------|----|
| 項目                                                     | 記号               | 条件 | Min. | Typ. | Max. | 単位 |
| /CS-SCK セットアップ時間                                       | t <sub>CSS</sub> | -  | 100  | -    | -    | ns |
| SCK-/CS ホールド時間                                         | t <sub>CSH</sub> | -  | 100  | -    | -    | ns |
| SCK “H”パルス幅                                            | t <sub>WH</sub>  | -  | 500  | -    | -    | ns |
| SCK “L”パルス幅                                            | t <sub>WL</sub>  | -  | 500  | -    | -    | ns |
| SCK-SDI セットアップ時間                                       | t <sub>DIS</sub> | -  | 50   | -    | -    | ns |
| SCK-SDI ホールド時間                                         | t <sub>DIH</sub> | -  | 50   | -    | -    | ns |
| SCK-SDO 出力遅延時間                                         | t <sub>DOD</sub> | -  | -    | -    | 400  | ns |
| /CS “H”パルス幅                                            | t <sub>CS</sub>  | -  | 500  | -    | -    | ns |



2. I2C インターフェース

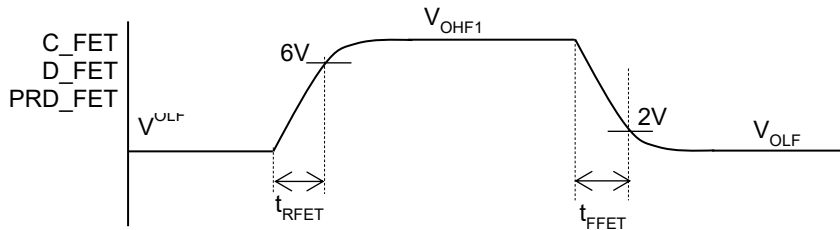
V<sub>DD</sub>=4.5~58V, GND=0V, Ta= -40~+85℃, 出力無負荷時

| 項目                                | 記号                  | 条件 | Min. | Typ. | Max. | 単位  |
|-----------------------------------|---------------------|----|------|------|------|-----|
| SCL クロック周波数                       | f <sub>SCL</sub>    | -  | -    | -    | 400  | kHz |
| SCL ホールド時間(スタート/<br>再スタートコンディション) | t <sub>HD:STA</sub> | -  | 0.6  | -    | -    | μs  |
| SCL “L”ホールド時間                     | t <sub>LOW</sub>    | -  | 1.3  | -    | -    | μs  |
| SCL “H”ホールド時間                     | t <sub>HIGH</sub>   | -  | 0.6  | -    | -    | μs  |
| SDA ホールド時間                        | t <sub>HD:DAT</sub> | -  | 0    | -    | -    | μs  |
| SDA セットアップ時間<br>(再スタートコンディション)    | t <sub>SU:DAT</sub> | -  | 0.1  | -    | -    | μs  |
| SDA セットアップ時間<br>(ストップコンディション)     | t <sub>SU:STO</sub> | -  | 0.6  | -    | -    | μs  |
| バスフリー時間                           | t <sub>BUF</sub>    | -  | 1.3  | -    | -    | μs  |



3. FET ドライバ特性

| V <sub>DD</sub> =12.5~45V, GND=0V, Ta= -40~+85℃, 出力無負荷時 |                   |                            |      |      |      |    |
|---------------------------------------------------------|-------------------|----------------------------|------|------|------|----|
| 項目                                                      | 記号                | 条件                         | Min. | Typ. | Max. | 単位 |
| C_FET, D_FET, PRD_FET 端子<br>出力立上り時間                     | t <sub>RFET</sub> | ゲート容量=20nF<br>ゲート保護抵抗=100Ω | -    | 100  | 170  | μs |
| C_FET, D_FET, PRD_FET 端子<br>出力立下り時間                     | t <sub>FFET</sub> | ゲート容量=20nF<br>ゲート保護抵抗=100Ω | -    | 50   | 85   | μs |



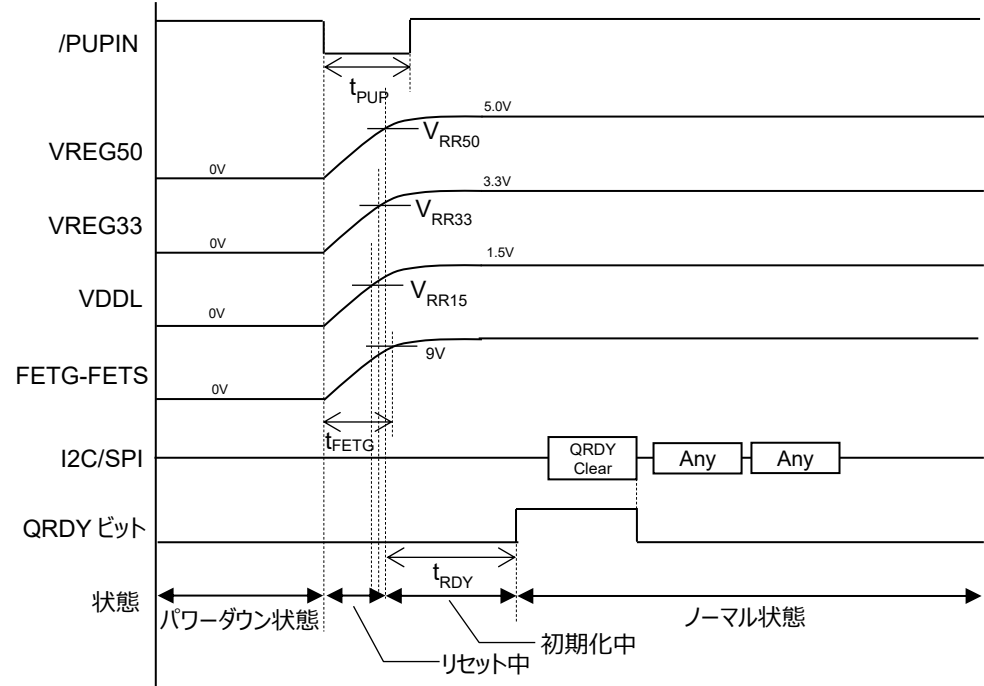
4. パワーアップ時、スリープ解除時

| V <sub>DD</sub> =4.5~58V, GND=0V, Ta= -40~+85℃, 出力無負荷時 |                   |                                                                             |      |      |      |    |
|--------------------------------------------------------|-------------------|-----------------------------------------------------------------------------|------|------|------|----|
| 項目                                                     | 記号                | 条件                                                                          | Min. | Typ. | Max. | 単位 |
| /PUPIN “L”パルス幅                                         | t <sub>PUP</sub>  | -                                                                           | 1    | -    | -    | ms |
| 初期化完了割り込み発生待ち時間<br>(注 1)                               | t <sub>RDY</sub>  | -                                                                           | 47   | 57   | 67   | ms |
| FETG 端子出力時間(注 2)                                       | t <sub>FETG</sub> | C <sub>FG</sub> =470nF, C <sub>CP</sub> =20nF<br>V <sub>DD</sub> =12.5V~45V | -    | 25   | 50   | ms |
| スリープ解除時安定時間                                            | t <sub>SLPR</sub> | -                                                                           | 22   | 28   | 34   | ms |

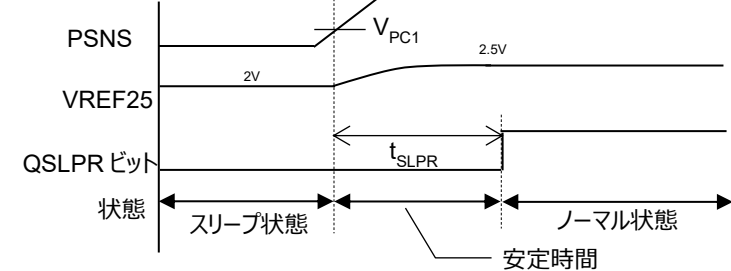
(注 1) t<sub>RDY</sub> は VREG50、VREG33、VDDL 全ての復帰検出電圧を超えた時に開始します。

(注 2) DFET/PRDFET が OFF かつ RSNS がプルアップされている状態から復帰した際も本出力時間がかかります。

パワーアップ時



スリープ解除時



## 機能説明

## MCU インターフェース

ML5262 には、SPI と I2C シリアルインターフェースを搭載しており、初期状態では、SPI シリアルインターフェースが有効となっています。出荷時に I2C シリアルインターフェースに設定することも可能です。

制御レジスタの各アドレスへのデータのリード・ライトを行なうことで、各種設定や制御を行います。データライトは 1 ワード (2 バイト) 単位で行います。データライトの場合には、ターゲットアドレスに続く RW ビットを"0"に設定し、データリードの場合には、RW ビットを"1"に設定します。ターゲットアドレスの初期値は、0x64 に設定されています。

1 ワード単位に対して多項式  $X^8+X^2+X+1$  により生成された CRC (Cycle Redundancy Code) を付加し、CRC 演算の初期値は 0x00 です。CRC 演算結果と受信した CRC コードが一致した場合のみ、指定されたレジスタへのデータライト動作が行われます。一致しなかった場合には、データライト動作は行われず、NACK を返します。

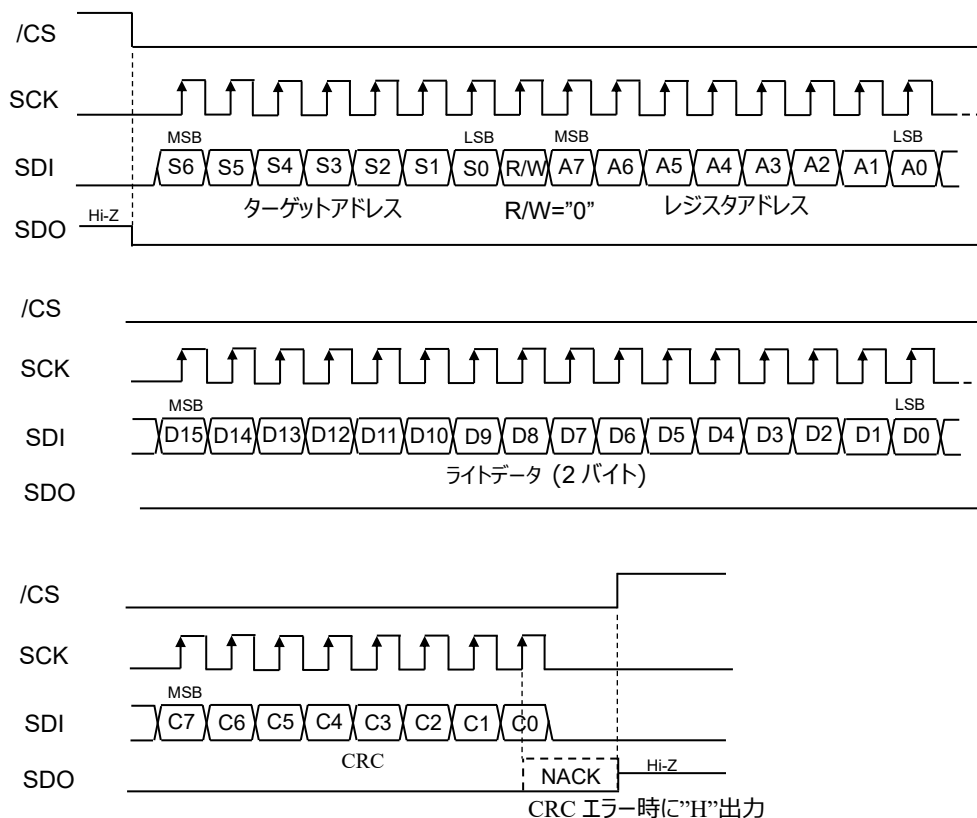
CRC を付加しない設定にすることも可能です。詳細は、MCUIF レジスタの項目を参照してください。

## 1. SPI シリアルインターフェース

/CS 端子を"L"レベルにすることで、SPI インターフェースが有効となり、SCK 端子クロック立上りに同期して、MSB ファーストの SDI 端子データを LSI 内部に取り込みます。リードデータは、SCK 端子クロック立下りに同期して MSB ファーストで SDO 端子に出力します。

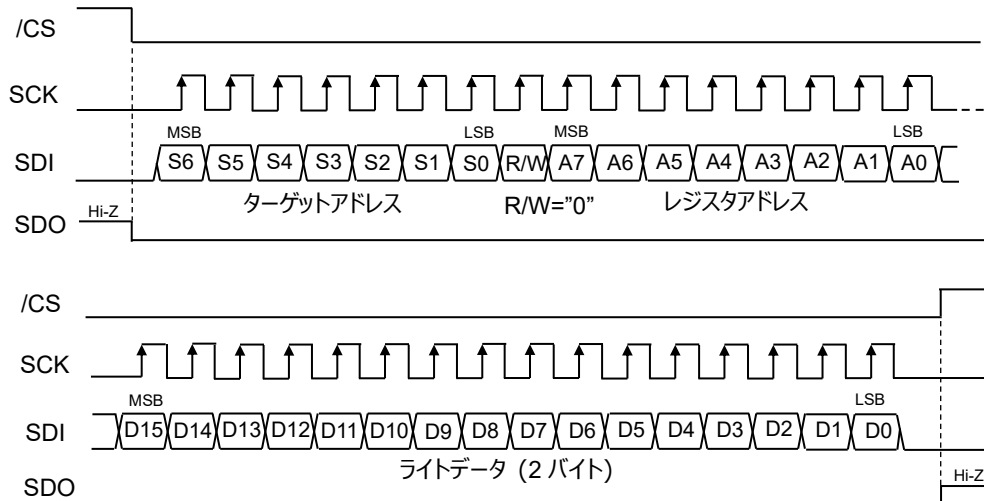
/CS 端子を"H"レベルにすると、SPI インターフェースは無効となり、初期状態に戻ります。

## 1-1. データライト (CRC 付加あり) 時通信フォーマット



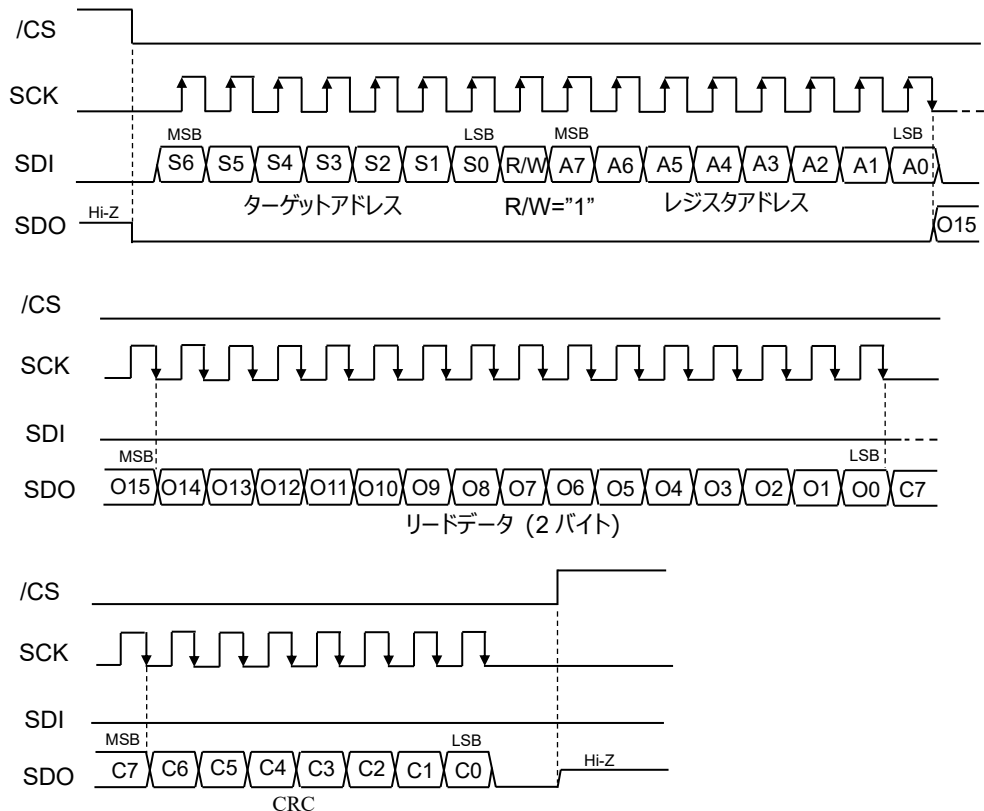
アドレスは自動的にインクリされますので、1 ワードのライトデータと CRC を繰り返し送信することで、連続データライトを行うことができます。なお、最初に付加する CRC は、ターゲットアドレス+R/W ビット、レジスタアドレス、1 ワードライトデータから計算されますが、連続データライト時の CRC は、1 ワードのライトデータのみから計算されます。

## 1-2.データライト（CRC 付加なし）時通信フォーマット



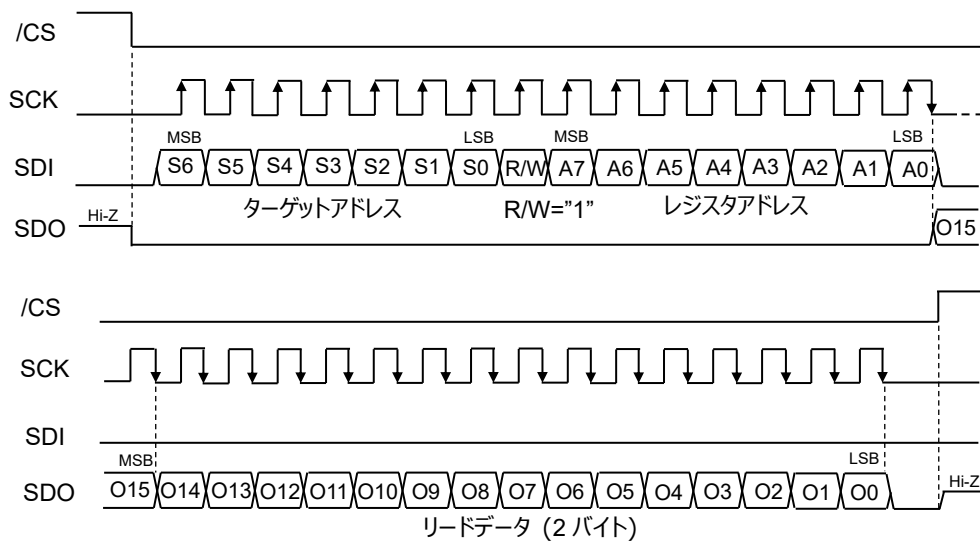
アドレスは自動的にインクリされますので、1 ワードのライトデータを繰り返し送信することで、連続データライトを行うことができます。

## 1-3.データリード（CRC 付加あり）時通信フォーマット



アドレスは自動的にインクリされますので、SCK を入力し続けることで、1 ワードのリードデータと CRC を繰り返し出力します。なお、最初に付加する CRC は、ターゲットアドレス+R/W ビット、レジスタアドレス、1 ワードリードデータから計算されますが、連続データリード時の CRC は、1 ワードのリードデータのみから計算されます。

## 1-4.データリード（CRC 付加なし）時通信フォーマット

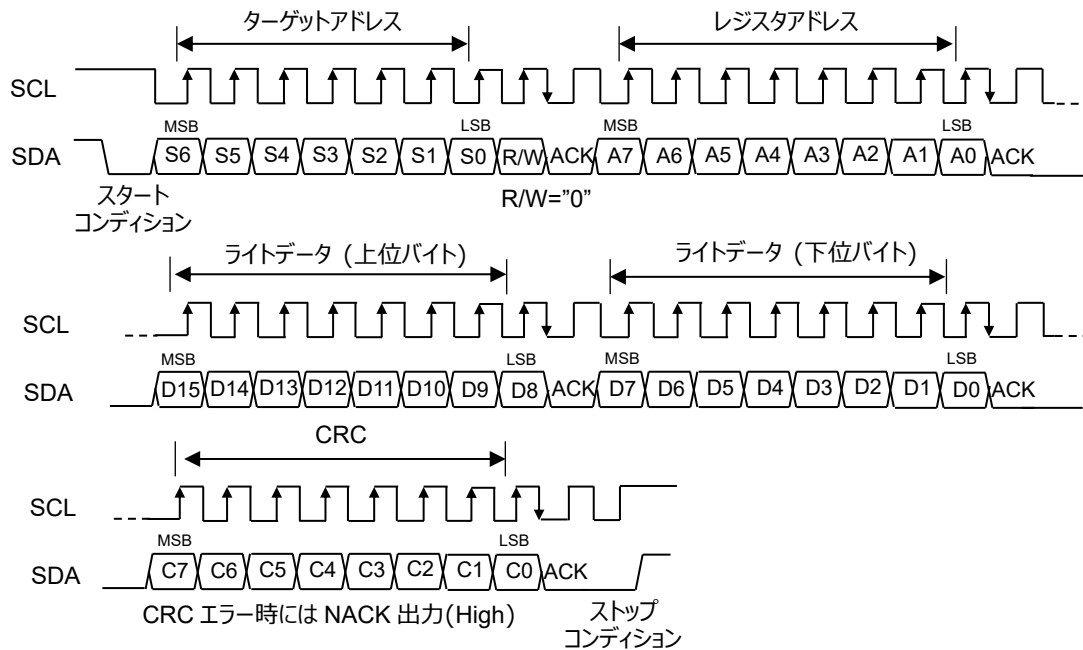


アドレスは自動的にインクリされますので、SCK を入力し続けることで、1 ワードのリードデータを繰り返し出力します。

## 2.I2C シリアルインターフェース

入力データは SCL 端子クロック立上りに同期して、MSB ファーストの SDA 端子データを LSI 内部に取り込みます。出力データは SCL 端子クロック立下りに同期して、MSB ファーストで SDA 端子に出力します。

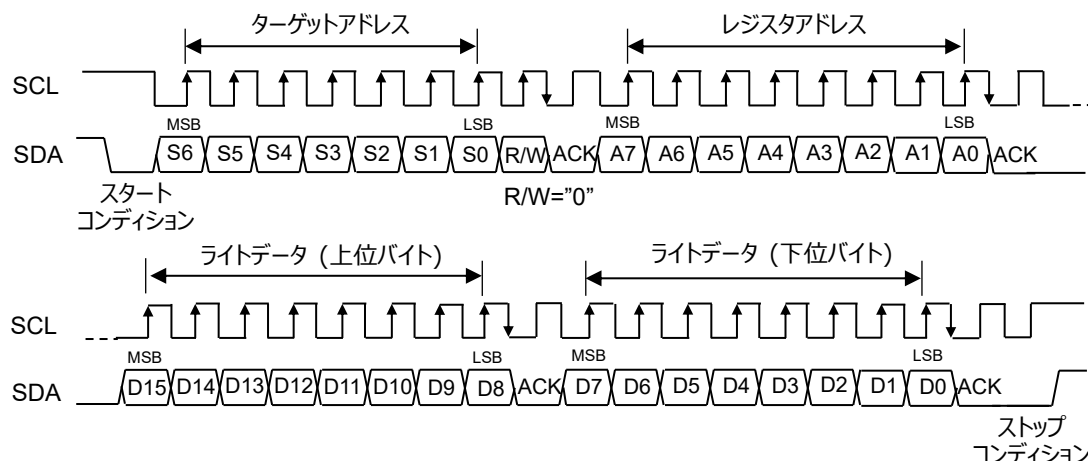
## 2-1.データライト（CRC 付加あり）時通信フォーマット



アドレスは自動的にインクリされますので、1 ワードのライトデータと CRC を繰り返し送信することで、連続データライトを行うことができます。

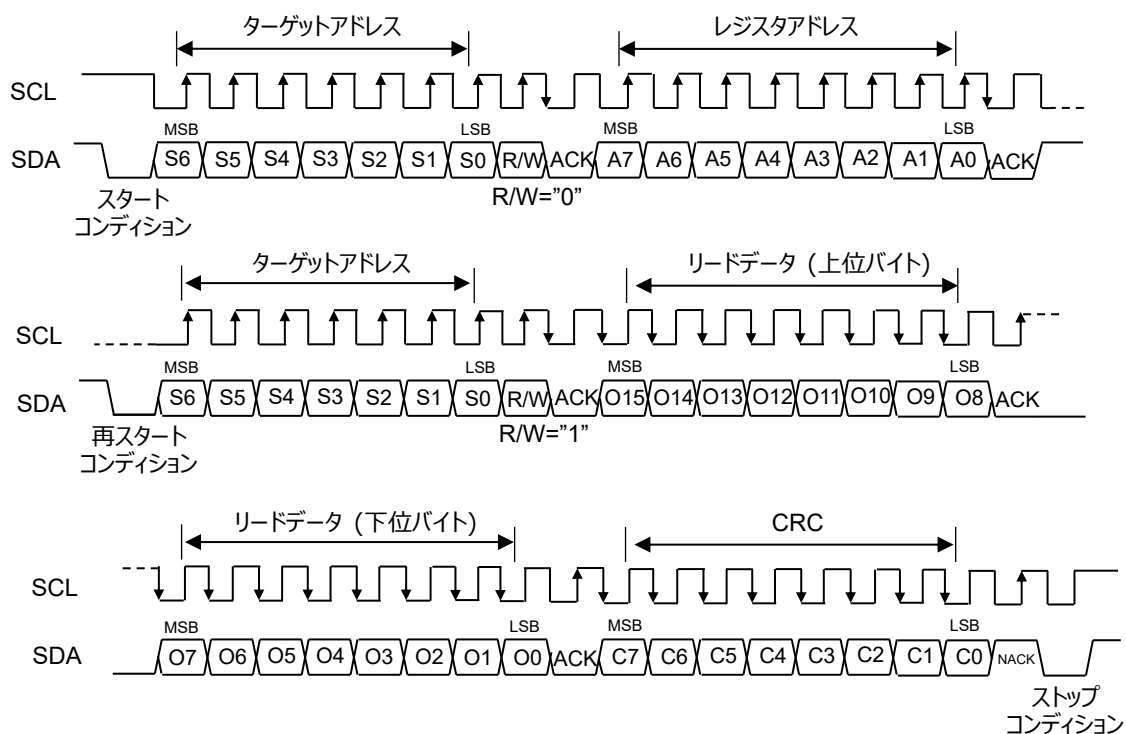
なお、最初に付加する CRC は、ターゲットアドレス+R/W ビット、レジスタアドレス、1 ワードライトデータから計算されますが、連続データライト時の CRC は、1 ワードのライトデータのみから計算されます。

## 2-2.データライト (CRC 付加なし) 時通信フォーマット



アドレスは自動的にインクリされますので、1 ワードのライトデータを繰り返し送信することで、連続データライトを行うことができます。

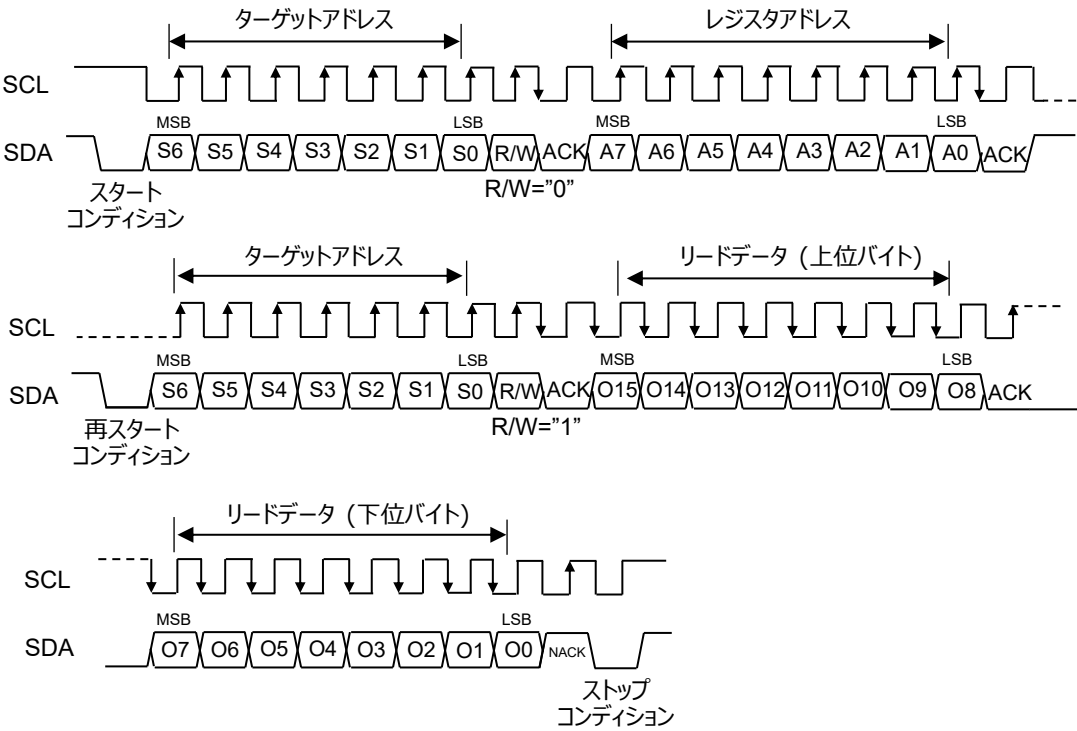
## 2-3.データリード (CRC 付加あり) 時通信フォーマット



アドレスは自動的にインクリされますので、連続データリードを行うことができます。

なお、最初に付加する CRC は、スタートコンディション後のターゲットアドレス+R/W ビット、レジスタアドレス、再スタートコンディション後のターゲットアドレス+R/W ビット、1 ワードリードデータから計算されますが、連続データリード時の CRC は、1 ワードのリードデータのみから計算されます。

2-4.データリード（CRC 付加なし）時通信フォーマット



アドレスは自動的にインクリされますので、連続データリードを行うことができます。

## 制御レジスタ

以下に、制御レジスタマップを示します。

| アドレス | レジスタ名称   | R/W | 初期値    | レジスタ概要                                          |
|------|----------|-----|--------|-------------------------------------------------|
| 0x00 | NOOP     | R/W | 0x0000 | ユーザ用レジスタ                                        |
| 0x01 | MCUIF    | R/W | 0x6400 | MCU インターフェース選択/ターゲットアドレスレジスタ                    |
| 0x02 | SEL      | R/W | 0x0000 | 接続セル数、測定 TEMP 端子、電流測定ゲイン倍率、クローンカウンタ<br>動作設定レジスタ |
| 0x03 | PERIOD   | R/W | 0x0000 | 測定インターバル時間設定レジスタ                                |
| 0x04 | INT_EN1  | R/W | 0x0001 | 割り込み許可レジスタ 1                                    |
| 0x05 | INT_EN2  | R/W | 0x0000 | 割り込み許可レジスタ 2                                    |
| 0x06 | INT_EN3  | R/W | 0x0000 | 割り込み許可レジスタ 3                                    |
| 0x07 | INT_REQ1 | R/W | 0x0001 | 割り込み要求レジスタ 1                                    |
| 0x08 | INT_REQ2 | R/W | 0x0000 | 割り込み要求レジスタ 2                                    |
| 0x09 | INT_REQ3 | R/W | 0x0000 | 割り込み要求レジスタ 3                                    |
| 0x0A | POWER    | R/W | 0x0A2A | パワー制御レジスタ                                       |
| 0x0B | FETCBAL  | R/W | 0x0081 | FET/セルバランス設定レジスタ                                |
| 0x0C | CBAL     | R/W | 0x0000 | セルバランス実行/モニタレジスタ 1                              |
| 0x0D | -        | R   | -      | 予約レジスタ                                          |
| 0x0E | STATUS1  | R   | 0x8041 | ステータスレジスタ 1                                     |
| 0x0F | STATUS2  | R   | 0x0000 | ステータスレジスタ 2                                     |
| 0x10 | LOCK     | R/W | 0x0000 | 保護機能設定レジスタアクセス許可レジスタ                            |
| 0x11 | SETOV    | R/W | 0x0000 | 過充電検出動作設定レジスタ                                   |
| 0x12 | OVDET    | R/W | 0x0000 | 過充電検出閾値設定レジスタ                                   |
| 0x13 | OVRCV    | R/W | 0x0000 | 過充電解除閾値設定レジスタ                                   |
| 0x14 | SETUV    | R/W | 0x0000 | 過放電検出動作設定レジスタ                                   |
| 0x15 | UVDET    | R/W | 0x0000 | 過放電検出閾値設定レジスタ                                   |
| 0x16 | UVRCV    | R/W | 0x0000 | 過放電解除閾値設定レジスタ                                   |
| 0x17 | SETOCC   | R/W | 0x0000 | 充電過電流検出動作設定レジスタ                                 |
| 0x18 | SETOCD1  | R/W | 0x0000 | 放電過電流検出動作設定レジスタ 1                               |
| 0x19 | SETOCD2  | R/W | 0x0000 | 放電過電流検出動作設定レジスタ 2                               |
| 0x1A | SCWDT    | R/W | 0x0000 | ショート電流検出/ウォッチドッグタイマ設定レジスタ                       |
| 0x1B | CHG      | R/W | 0x0000 | 充電状態検出動作設定レジスタ                                  |
| 0x1C | DSG      | R/W | 0x0000 | 放電状態検出動作設定レジスタ                                  |
| 0x1D | CCMASK   | R/W | 0x0000 | クローンカウンタマスク電流設定レジスタ                             |
| 0x1E | PWRDLY   | R/W | 0x0000 | パワー状態移行遅延タイマ設定レジスタ                              |
| 0x1F | SETOTUT  | R/W | 0x0000 | 温度検出動作設定レジスタ                                    |
| 0x20 | OTD1     | R/W | 0x0000 | TEMP1 放電禁止高温検出閾値設定レジスタ                          |
| 0x21 | OTD2     | R/W | 0x0000 | TEMP2 放電禁止高温検出閾値設定レジスタ                          |
| 0x22 | OTD3     | R/W | 0x0000 | TEMP3 放電禁止高温検出閾値設定レジスタ                          |
| 0x23 | OTD4     | R/W | 0x0000 | TEMP4 放電禁止高温検出閾値設定レジスタ                          |
| 0x24 | OTDR1    | R/W | 0x0000 | TEMP1 放電禁止高温解除閾値設定レジスタ                          |
| 0x25 | OTDR2    | R/W | 0x0000 | TEMP2 放電禁止高温解除閾値設定レジスタ                          |
| 0x26 | OTDR3    | R/W | 0x0000 | TEMP3 放電禁止高温解除閾値設定レジスタ                          |
| 0x27 | OTDR4    | R/W | 0x0000 | TEMP4 放電禁止高温解除閾値設定レジスタ                          |
| 0x28 | UTD1     | R/W | 0x0000 | TEMP1 放電禁止低温検出閾値設定レジスタ                          |
| 0x29 | UTD2     | R/W | 0x0000 | TEMP2 放電禁止低温検出閾値設定レジスタ                          |

| アドレス | レジスタ名称  | R/W | 初期値    | レジスタ概要                 |
|------|---------|-----|--------|------------------------|
| 0x2A | UTD3    | R/W | 0x0000 | TEMP3 放電禁止低温検出閾値設定レジスタ |
| 0x2B | UTD4    | R/W | 0x0000 | TEMP4 放電禁止低温検出閾値設定レジスタ |
| 0x2C | UTDR1   | R/W | 0x0000 | TEMP1 放電禁止低温解除閾値設定レジスタ |
| 0x2D | UTDR2   | R/W | 0x0000 | TEMP2 放電禁止低温解除閾値設定レジスタ |
| 0x2E | UTDR3   | R/W | 0x0000 | TEMP3 放電禁止低温解除閾値設定レジスタ |
| 0x2F | UTDR4   | R/W | 0x0000 | TEMP4 放電禁止低温解除閾値設定レジスタ |
| 0x30 | OTC1    | R/W | 0x0000 | TEMP1 充電禁止高温検出閾値設定レジスタ |
| 0x31 | OTC2    | R/W | 0x0000 | TEMP2 充電禁止高温検出閾値設定レジスタ |
| 0x32 | OTC3    | R/W | 0x0000 | TEMP3 充電禁止高温検出閾値設定レジスタ |
| 0x33 | OTC4    | R/W | 0x0000 | TEMP4 充電禁止高温検出閾値設定レジスタ |
| 0x34 | OTCR1   | R/W | 0x0000 | TEMP1 充電禁止高温解除閾値設定レジスタ |
| 0x35 | OTCR2   | R/W | 0x0000 | TEMP2 充電禁止高温解除閾値設定レジスタ |
| 0x36 | OTCR3   | R/W | 0x0000 | TEMP3 充電禁止高温解除閾値設定レジスタ |
| 0x37 | OTCR4   | R/W | 0x0000 | TEMP4 充電禁止高温解除閾値設定レジスタ |
| 0x38 | UTC1    | R/W | 0x0000 | TEMP1 充電禁止低温検出閾値設定レジスタ |
| 0x39 | UTC2    | R/W | 0x0000 | TEMP2 充電禁止低温検出閾値設定レジスタ |
| 0x3A | UTC3    | R/W | 0x0000 | TEMP3 充電禁止低温検出閾値設定レジスタ |
| 0x3B | UTC4    | R/W | 0x0000 | TEMP4 充電禁止低温検出閾値設定レジスタ |
| 0x3C | UTCR1   | R/W | 0x0000 | TEMP1 充電禁止低温解除閾値設定レジスタ |
| 0x3D | UTCR2   | R/W | 0x0000 | TEMP2 充電禁止低温解除閾値設定レジスタ |
| 0x3E | UTCR3   | R/W | 0x0000 | TEMP3 充電禁止低温解除閾値設定レジスタ |
| 0x3F | UTCR4   | R/W | 0x0000 | TEMP4 充電禁止低温解除閾値設定レジスタ |
| 0x40 | CBALEN  | R/W | 0x0000 | セルバランス許可電圧設定レジスタ       |
| 0x41 | CBALST  | R/W | 0x0000 | セルバランス開始電位差設定レジスタ      |
| 0x42 | CBALSP  | R/W | 0x0000 | セルバランス終了電位差設定レジスタ      |
| 0x43 | PREDSG  | R/W | 0x0000 | プリディスチャージ設定レジスタ        |
| 0x44 | SETSOV  | R/W | 0x0000 | 2 次過充電検出動作設定レジスタ       |
| 0x45 | SOVDET  | R/W | 0x0000 | 2 次過充電検出閾値設定レジスタ       |
| 0x46 | SETSUUV | R/W | 0x0000 | 2 次過放電検出動作設定レジスタ       |
| 0x47 | SUVDET  | R/W | 0x0000 | 2 次過放電検出閾値設定レジスタ       |
| 0x48 | SOC     | R/W | 0x0000 | 2 次充電過電流動作設定レジスタ       |
| 0x49 | SOC     | R/W | 0x0000 | 2 次放電過電流動作設定レジスタ       |
| 0x4A | SETSOT  | R/W | 0x0000 | 2 次高温検出動作設定レジスタ        |
| 0x4B | SOT     | R/W | 0x0000 | 2 次高温検出閾値設定レジスタ        |
| 0x4C | SCFET   | R/W | 0x0000 | CFET 故障検出動作設定レジスタ      |
| 0x4D | SDFET   | R/W | 0x0000 | DFET 故障検出動作設定レジスタ      |
| 0x4E | FUSE    | R/W | 0x0000 | FUSE 端子出力動作設定レジスタ      |
| 0x4F | VCELL1  | R   | 0x0*** | セル 1 測定結果レジスタ          |
| 0x50 | VCELL2  | R   | 0x0*** | セル 2 測定結果レジスタ          |
| 0x51 | VCELL3  | R   | 0x0*** | セル 3 測定結果レジスタ          |
| 0x52 | VCELL4  | R   | 0x0*** | セル 4 測定結果レジスタ          |
| 0x53 | VCELL5  | R   | 0x0*** | セル 5 測定結果レジスタ          |
| 0x54 | VCELL6  | R   | 0x0*** | セル 6 測定結果レジスタ          |
| 0x55 | VCELL7  | R   | 0x0*** | セル 7 測定結果レジスタ          |
| 0x56 | VCELL8  | R   | 0x0*** | セル 8 測定結果レジスタ          |
| 0x57 | VCELL9  | R   | 0x0*** | セル 9 測定結果レジスタ          |

| アドレス | レジスタ名称     | R/W | 初期値    | レジスタ概要                          |
|------|------------|-----|--------|---------------------------------|
| 0x58 | VCELL10    | R   | 0x0*** | セル 10 測定結果レジスタ                  |
| 0x59 | -          | R   | -      | 予約レジスタ                          |
| 0x5A | G1_ICELL1  | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 1 測定時の電流測定結果レジスタ  |
| 0x5B | G1_ICELL2  | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 2 測定時の電流測定結果レジスタ  |
| 0x5C | G1_ICELL3  | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 3 測定時の電流測定結果レジスタ  |
| 0x5D | G1_ICELL4  | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 4 測定時の電流測定結果レジスタ  |
| 0x5E | G1_ICELL5  | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 5 測定時の電流測定結果レジスタ  |
| 0x5F | G1_ICELL6  | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 6 測定時の電流測定結果レジスタ  |
| 0x60 | G1_ICELL7  | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 7 測定時の電流測定結果レジスタ  |
| 0x61 | G1_ICELL8  | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 8 測定時の電流測定結果レジスタ  |
| 0x62 | G1_ICELL9  | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 9 測定時の電流測定結果レジスタ  |
| 0x63 | G1_ICELL10 | R   | 0x7FFF | 電流ゲイン 1 倍時のセル 10 測定時の電流測定結果レジスタ |
| 0x64 | G4_ICELL1  | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 1 測定時の電流測定結果レジスタ  |
| 0x65 | G4_ICELL2  | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 2 測定時の電流測定結果レジスタ  |
| 0x66 | G4_ICELL3  | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 3 測定時の電流測定結果レジスタ  |
| 0x67 | G4_ICELL4  | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 4 測定時の電流測定結果レジスタ  |
| 0x68 | G4_ICELL5  | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 5 測定時の電流測定結果レジスタ  |
| 0x69 | G4_ICELL6  | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 6 測定時の電流測定結果レジスタ  |
| 0x6A | G4_ICELL7  | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 7 測定時の電流測定結果レジスタ  |
| 0x6B | G4_ICELL8  | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 8 測定時の電流測定結果レジスタ  |
| 0x6C | G4_ICELL9  | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 9 測定時の電流測定結果レジスタ  |
| 0x6D | G4_ICELL10 | R   | 0x7FFF | 電流ゲイン 4 倍時のセル 10 測定時の電流測定結果レジスタ |
| 0x6E | G1_CURR    | R   | 0x7FFF | 電流ゲイン 1 倍時の電流測定結果レジスタ           |
| 0x6F | G4_CURR    | R   | 0x7FFF | 電流ゲイン 4 倍時の電流測定結果レジスタ           |
| 0x70 | CCL        | R   | 0x**** | クーロンカウンタ結果レジスタ (下位 16 ビット)      |
| 0x71 | CCH        | R   | 0x**** | クーロンカウンタ結果レジスタ (上位 16 ビット)      |
| 0x72 | INTEGCL    | R/W | 0x0000 | 電流積算結果レジスタ (下位 16 ビット)          |
| 0x73 | INTEGCH    | R/W | 0x0000 | 電流積算結果レジスタ (上位 16 ビット)          |
| 0x74 | TEMP1      | R   | 0x0*** | TEMP1 端子電圧測定結果レジスタ              |
| 0x75 | TEMP2      | R   | 0x0*** | TEMP2 端子電圧測定結果レジスタ              |
| 0x76 | TEMP3      | R   | 0x0*** | TEMP3 端子電圧測定結果レジスタ              |
| 0x77 | TEMP4      | R   | 0x0*** | TEMP4 端子電圧測定結果レジスタ              |
| 0x78 | PSNS       | R   | 0x0*** | PSNS 端子電圧測定結果レジスタ               |
| 0x79 | RSNS       | R   | 0x0*** | RSNS 端子電圧測定結果レジスタ               |
| 0x7A | VDD        | R   | 0x0*** | VDD 端子電圧測定結果レジスタ                |
| 0x7B | VGAIN      | R/W | (注 1)  | セル電圧測定ゲイン補正レジスタ                 |
| 0x7C | VOFST      | R/W | (注 1)  | セル電圧測定オフセット補正レジスタ               |
| 0x7D | CC_CAL     | R/W | 0x0000 | クーロンカウンタキャリブレーション設定レジスタ         |
| 0x7E | G1_CC_GAIN | R/W | (注 1)  | 電流ゲイン 1 倍時の電流測定ゲイン補正レジスタ        |
| 0x7F | G1_CC_OFST | R/W | (注 1)  | 電流ゲイン 1 倍時の電流測定オフセット補正レジスタ      |
| 0x80 | G4_CC_GAIN | R/W | (注 1)  | 電流ゲイン 4 倍時の電流測定ゲイン補正レジスタ        |
| 0x81 | G4_CC_OFST | R/W | (注 1)  | 電流ゲイン 4 倍時の電流測定オフセット補正レジスタ      |
| 0x82 | RTEMP12    | R/W | (注 1)  | TEMP1、TEMP2 端子内蔵 10kΩ 補正レジスタ    |
| 0x83 | RTEMP34    | R/W | (注 1)  | TEMP3、TEMP4 端子内蔵 10kΩ 補正レジスタ    |
| 0x84 | OTPACPT    | R/W | 0x0000 | OTP レジスタアクセス許可レジスタ              |
| 0x85 | OTP        | R/W | 0x0000 | OTP ロード制御レジスタ                   |

| アドレス          | レジスタ名称    | R/W | 初期値 | レジスタ概要 |
|---------------|-----------|-----|-----|--------|
| 0x86～<br>0xFF | <Reserve> | R   | -   | 予約レジスタ |

(注 1)初期値は、LSI 製造工程内で求めた補正値が格納されています。

OTP 設定値は、別紙 "ML5262\_Code\_list" を参照ください。  
また、量産品での OTP 書き込み動作は保証できません（量産品の書き込みは、LSI 製造工程内で行います）。

1. NOOP レジスタ (Adrs = 0x00)

|      |           |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
|------|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
|      | 15        | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| ビット名 | NOP[15:0] |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R/W       | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0         | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

NOOP レジスタには、機能は割り当てられていませんので、このレジスタへのリードライトアクセスにより、LSI 状態が変化することはありません。ライトしたデータがそのままリードできます。

2. MCUIF レジスタ (Adrs = 0x01)

|      |    |            |     |     |     |     |     |     |   |   |   |   |   |   |     |     |
|------|----|------------|-----|-----|-----|-----|-----|-----|---|---|---|---|---|---|-----|-----|
|      | 15 | 14         | 13  | 12  | 11  | 10  | 9   | 8   | 7 | 6 | 5 | 4 | 3 | 2 | 1   | 0   |
| ビット名 | -  | SADRS[6:0] |     |     |     |     |     |     |   | - | - | - | - | - | CRC | I2C |
| R/W  | R  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R | R | R | R | R/W | R/W |
| 初期値  | 0  | 1          | 1   | 0   | 0   | 1   | 0   | 0   | 0 | 0 | 0 | 0 | 0 | 0 | 0   | 0   |

MCUIF レジスタは、MCU シリアルインターフェース選択、CRC 有無、ターゲットアドレスを設定するレジスタです。

1) I2C ビットにより、MCU インターフェースを選択します。

I2C ビットを変更してもすぐには有効にはならず、OTP メモリからのロード時にのみ有効となります。

|     |                    |
|-----|--------------------|
| I2C | MCU インターフェース       |
| 0   | SPI インターフェース (初期値) |
| 1   | I2C インターフェース       |

2) CRC ビットにより、CRC 有無を設定します。

CRC ビットを”1”に設定変更した場合には、次の通信から CRC が有効となります。

|     |          |
|-----|----------|
| CRC | CRC 有無   |
| 0   | なし (初期値) |
| 1   | あり       |

3) SADRS[6:0]ビットにより、ターゲットアドレスを設定します。

初期値は 0x64 に設定されています。

受信したターゲットアドレスデータが SADRS[6:0]と一致した場合に、シリアルインターフェースが有効となります。

## 3. SEL レジスタ (Adrs = 0x02)

|      | 7 | 6 | 5 | 4 | 3 | 2         | 1   | 0   |
|------|---|---|---|---|---|-----------|-----|-----|
| ビット名 | - | - | - | - | - | CSEL[2:0] |     |     |
| R/W  | R | R | R | R | R | R/W       | R/W | R/W |
| 初期値  | 0 | 0 | 0 | 0 | 0 | 0         | 0   | 0   |

|      | 15   | 14    | 13 | 12 | 11        | 10  | 9   | 8   |
|------|------|-------|----|----|-----------|-----|-----|-----|
| ビット名 | ENCC | IGAIN | -  | -  | TSEL[3:0] |     |     |     |
| R/W  | R/W  | R/W   | R  | R  | R/W       | R/W | R/W | R/W |
| 初期値  | 0    | 0     | 0  | 0  | 0         | 0   | 0   | 0   |

SEL レジスタは、電池セルの接続数、測定する TEMP 端子、電流測定ゲイン倍率、およびクーロンカウンタ動作を設定するレジスタです。

- 1) CSEL[2:0]ビットにより、電池接続セル数を設定します。

| CSEL[2:0] | 電池接続セル数     |
|-----------|-------------|
| 0x0       | 10 セル (初期値) |
| 0x1       | 9 セル        |
| 0x2       | 8 セル        |
| 0x3       | 7 セル        |
| 0x4       | 6 セル        |
| 0x5       | 5 セル        |
| 0x6       | 4 セル        |
| その他       | 10 セル       |

- 2) TSEL[3:0]ビットにより、温度測定を行う TEMP 端子を設定します。

| TSEL[0] | TEMP1 端子  |
|---------|-----------|
| 0       | 未測定 (初期値) |
| 1       | 測定        |

| TSEL[1] | TEMP2 端子  |
|---------|-----------|
| 0       | 未測定 (初期値) |
| 1       | 測定        |

| TSEL[2] | TEMP3 端子  |
|---------|-----------|
| 0       | 未測定 (初期値) |
| 1       | 測定        |

| TSEL[3] | TEMP4 端子  |
|---------|-----------|
| 0       | 未測定 (初期値) |
| 1       | 測定        |

- 3) IGAIN ビットにより、電流測定のゲイン倍率を設定します。

| IGAIN | ゲイン倍率     |
|-------|-----------|
| 0     | 1 倍 (初期値) |
| 1     | 4 倍       |

- 4) ENCC ビットにより、クーロンカウンタ動作を設定します。

| ENCC | クーロンカウンタ動作 |
|------|------------|
| 0    | 停止 (初期値)   |
| 1    | 動作         |

## 4. PERIOD レジスタ (Adrs = 0x03)

|      | 7 | 6 | 5       | 4   | 3        | 2   | 1         | 0   |
|------|---|---|---------|-----|----------|-----|-----------|-----|
| ビット名 | - | - | CC[1:0] |     | TTP[1:0] |     | TVCP[1:0] |     |
| R/W  | R | R | R/W     | R/W | R/W      | R/W | R/W       | R/W |
| 初期値  | 0 | 0 | 0       | 0   | 0        | 0   | 0         | 0   |

|      | 15 | 14 | 13 | 12 | 11        | 10  | 9         | 8   |
|------|----|----|----|----|-----------|-----|-----------|-----|
| ビット名 | -  | -  | -  | -  | TTPP[1:0] |     | TVCP[1:0] |     |
| R/W  | R  | R  | R  | R  | R/W       | R/W | R/W       | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0         | 0   | 0         | 0   |

PERIOD レジスタは、ノーマル状態、パワーセーブ状態の測定周期を設定するレジスタです。

15 ビット目から 12 ビットまでは"0"固定にして下さい。

- 1) TVC[1:0]ビットにより、ノーマル状態時のセル電圧測定周期を設定します。

| TVC[1:0] | ノーマル状態時セル電圧測定周期 |
|----------|-----------------|
| 0x0      | 40ms (初期値)      |
| 0x1      | 200ms           |
| 0x2      | 300ms           |
| 0x3      | 400ms           |

- 2) TTP[1:0]ビットにより、ノーマル状態時の温度測定周期を設定します。

| TTP[1:0] | ノーマル状態時温度測定周期      |
|----------|--------------------|
| 0x0      | セル電圧測定後に毎回測定 (初期値) |
| 0x1      | セル電圧測定 2 回に 1 回測定  |
| 0x2      | セル電圧測定 4 回に 1 回測定  |
| 0x3      | セル電圧測定 8 回に 1 回測定  |

- 3) CC[1:0]ビットにより、クーロンカウンタ割込み発生周期を設定します。

| CC[1:0] | クーロンカウンタ割込み発生周期 |
|---------|-----------------|
| 0x0     | 250ms (初期値)     |
| 0x1     | 500ms           |
| 0x2     | 1000ms          |
| 0x3     | 2000ms          |

- 4) TVCP[1:0]ビットにより、パワーセーブ状態時のセル電圧測定周期を設定します。

| TVCP[1:0] | パワーセーブ状態時セル電圧測定周期 |
|-----------|-------------------|
| 0x0       | 1 秒 (初期値)         |
| 0x1       | 2 秒               |
| 0x2       | 4 秒               |
| 0x3       | 8 秒               |

- 5) TTPP[1:0]ビットにより、パワーセーブ状態時の温度測定周期を設定します。

| TTPP[1:0] | パワーセーブ状態時温度測定周期    |
|-----------|--------------------|
| 0x0       | セル電圧測定後に毎回測定 (初期値) |
| 0x1       | セル電圧測定 2 回に 1 回測定  |
| 0x2       | セル電圧測定 4 回に 1 回測定  |
| 0x3       | セル電圧測定 8 回に 1 回測定  |

## 5. INT\_EN1 レジスタ (Adrs = 0x04)

|      | 7     | 6    | 5    | 4    | 3      | 2   | 1   | 0    |
|------|-------|------|------|------|--------|-----|-----|------|
| ビット名 | ESLPR | ESLP | EPSR | EPSD | EPRDSG | ECC | EVM | ERDY |
| R/W  | R/W   | R/W  | R/W  | R/W  | R/W    | R/W | R/W | R/W  |
| 初期値  | 0     | 0    | 0    | 0    | 0      | 0   | 0   | 1    |

|      | 15     | 14    | 13    | 12   | 11   | 10  | 9    | 8   |
|------|--------|-------|-------|------|------|-----|------|-----|
| ビット名 | EOCDR1 | EOCD1 | EOCCR | EOCC | EUVR | EUV | EOVR | EOV |
| R/W  | R/W    | R/W   | R/W   | R/W  | R/W  | R/W | R/W  | R/W |
| 初期値  | 0      | 0     | 0     | 0    | 0    | 0   | 0    | 0   |

INT\_EN1 レジスタは、/INTO 端子への割り込み信号の出力許可を設定するレジスタです。

各ビットを"1"に設定すると INT\_REQ1 レジスタの割り込み信号出力を許可し、"0"に設定すると割り込み信号出力は禁止されます。

各ビットの割り込み許可信号は以下の通りです。

| ビット名   | 割り込み許可信号                 |
|--------|--------------------------|
| ERDY   | 初期化完了割り込み                |
| EVM    | 各種電圧測定完了割り込み             |
| ECC    | クーロンカウンタ積算完了割り込み         |
| EPRDSG | プリディスチャージ完了割り込み          |
| EPSD   | パワーセーブ状態への移行割り込み         |
| EPSR   | パワーセーブ状態からノーマル状態への復帰割り込み |
| ESLP   | スリープ状態への移行割り込み           |
| ESLPR  | スリープ状態からノーマル状態への復帰割り込み   |
| EOV    | 過充電検出割り込み                |
| EOVR   | 過充電解除割り込み                |
| EUV    | 過放電検出割り込み                |
| EUVR   | 過放電解除割り込み                |
| EOCC   | 充電過電流検出割り込み              |
| EOCCR  | 充電過電流検出解除（充電器開放検出）割り込み   |
| EOCD1  | 放電過電流 1 検出割り込み           |
| EOCDR1 | 放電過電流検出 1 解除（負荷開放検出）割り込み |

## 6. INT\_EN2 レジスタ (Adrs = 0x05)

|      | 7     | 6    | 5     | 4    | 3    | 2   | 1      | 0     |
|------|-------|------|-------|------|------|-----|--------|-------|
| ビット名 | EOTDR | EOTD | EOTCR | EOTC | ESCR | ESC | EOCDR2 | EOCD2 |
| R/W  | R/W   | R/W  | R/W   | R/W  | R/W  | R/W | R/W    | R/W   |
| 初期値  | 0     | 0    | 0     | 0    | 0    | 0   | 0      | 0     |

|      | 15    | 14     | 13   | 12   | 11    | 10   | 9     | 8    |
|------|-------|--------|------|------|-------|------|-------|------|
| ビット名 | EWKUP | ECCCAL | EOTP | EWDT | EUTDR | EUTD | EUTCR | EUTC |
| R/W  | R/W   | R/W    | R/W  | R/W  | R/W   | R/W  | R/W   | R/W  |
| 初期値  | 0     | 0      | 0    | 0    | 0     | 0    | 0     | 0    |

INT\_EN2 レジスタは、/INTO 端子への割り込み信号の出力許可を設定するレジスタです。

各ビットを"1"に設定すると INT\_REQ2 レジスタの割り込み信号出力を許可し、"0"に設定すると割り込み信号出力は禁止されます。

各ビットの割り込み許可信号は以下の通りです。

| ビット名   | 割り込み許可信号                   |
|--------|----------------------------|
| EOCD2  | 放電過電流 2 検出割り込み             |
| EOCDR2 | 放電過電流検出 2 解除 (負荷開放検出) 割り込み |
| ESC    | ショート電流検出割り込み               |
| ESCR   | ショート電流検出解除 (負荷開放検出) 割り込み   |
| EOTC   | 充電禁止高温検出割り込み               |
| EOTCR  | 充電禁止高温検出解除割り込み             |
| EOTD   | 放電禁止高温検出割り込み               |
| EOTDR  | 放電禁止高温検出解除割り込み             |
| EUTC   | 充電禁止低温検出割り込み               |
| EUTCR  | 充電禁止低温検出解除割り込み             |
| EUTD   | 放電禁止低温検出割り込み               |
| EUTDR  | 放電禁止低温検出解除割り込み             |
| EWDT   | ウォッチドッグタイマ検出割り込み           |
| EOTP   | OTP メモリアクセス完了割り込み          |
| ECCCAL | クーロンカウンタキャリブレーション完了割り込み    |
| EWKUP  | ウェイクアップ検出割り込み              |

## 7. INT\_EN3 レジスタ (Adrs = 0x06)

|      | 7     | 6      | 5      | 4    | 3     | 2     | 1    | 0    |
|------|-------|--------|--------|------|-------|-------|------|------|
| ビット名 | EFUSE | ESDFET | ESCFET | ESOT | ESOCD | ESOCC | ESUV | ESOV |
| R/W  | R/W   | R/W    | R/W    | R/W  | R/W   | R/W   | R/W  | R/W  |
| 初期値  | 0     | 0      | 0      | 0    | 0     | 0     | 0    | 0    |

|      | 15 | 14 | 13 | 12 | 11 | 10   | 9      | 8      |
|------|----|----|----|----|----|------|--------|--------|
| ビット名 | -  | -  | -  | -  | -  | EORG | EUVLO3 | EUVLO5 |
| R/W  | R  | R  | R  | R  | R  | R/W  | R/W    | R/W    |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0    | 0      | 0      |

INT\_EN3 レジスタは、/INTO 端子への割り込み信号の出力許可を設定するレジスタです。

各ビットを"1"に設定すると INT\_REQ3 レジスタの割り込み信号出力を許可し、"0"に設定すると割り込み信号出力は禁止されます。

各ビットの割り込み許可信号は以下の通りです。

| ビット名   | 割り込み許可信号            |
|--------|---------------------|
| ESOV   | 2 次過充電検出割り込み        |
| ESUV   | 2 次過放電検出割り込み        |
| ESOCC  | 2 次充電過電流検出割り込み      |
| ESOCD  | 2 次放電過電流検出割り込み      |
| ESOT   | 2 次高温検出割り込み         |
| ESCFET | 充電制御 FET 故障検出割り込み   |
| ESDFET | 放電制御 FET 故障検出割り込み   |
| EFUSE  | ヒューズ切断完了割り込み        |
| EUVLO5 | VREG50 出力電圧低下検出割り込み |
| EUVLO3 | VREG33 出力電圧低下検出割り込み |
| EORG   | 電流測定結果オーバーレンジ検出割り込み |

## 8. INT\_REQ1 レジスタ (Adrs = 0x07)

|      | 7     | 6    | 5    | 4    | 3      | 2   | 1   | 0    |
|------|-------|------|------|------|--------|-----|-----|------|
| ビット名 | QSLPR | QSLP | QPSR | QPSD | QPRDSG | QCC | QVM | QRDY |
| R/W  | R/W   | R/W  | R/W  | R/W  | R/W    | R/W | R/W | R/W  |
| 初期値  | 0     | 0    | 0    | 0    | 0      | 0   | 0   | 1    |

|      | 15     | 14    | 13    | 12   | 11   | 10  | 9    | 8   |
|------|--------|-------|-------|------|------|-----|------|-----|
| ビット名 | QOCDR1 | QOCD1 | QOCCR | QOCC | QUVR | QUV | QOVR | QOV |
| R/W  | R/W    | R/W   | R/W   | R/W  | R/W  | R/W | R/W  | R/W |
| 初期値  | 0      | 0     | 0     | 0    | 0    | 0   | 0    | 0   |

INT\_REQ1 レジスタは、割り込み要求フラグのレジスタです。

各割り込み要求フラグは INT\_EN1 レジスタの設定に関係なく、割り込み発生により"1"にセットされます。

INT\_EN1 レジスタで許可された割り込みが発生した場合にのみ、/INTO 端子に"1"レベルが出力されます。

データ"1"を書き込むことで割り込みをクリアします。1つの割り込みのみをクリアする場合には、その他のビットには"0"を書き込んでください。

許可された割り込み要求フラグが全て"0"にクリアされた時点で、/INTO 端子出力は"Hi-Z"レベルになります。

| ビット名   | 割り込み要求フラグ                |
|--------|--------------------------|
| QRDY   | 初期化完了割り込み                |
| QVM    | 各種電圧測定完了割り込み             |
| QCC    | クーロンカウンタ積算完了割り込み         |
| QPRDSG | プリディスチャージ完了割り込み          |
| QPSD   | パワーセーブ状態への移行割り込み         |
| QPSR   | パワーセーブ状態からノーマル状態への復帰割り込み |
| QSLP   | スリープ状態への移行割り込み           |
| QSLPR  | スリープ状態からノーマル状態への復帰割り込み   |
| QOV    | 過充電検出割り込み                |
| QOVR   | 過充電解除割り込み                |
| QUV    | 過放電検出割り込み                |
| QUVR   | 過放電解除割り込み                |
| QOCC   | 充電過電流検出割り込み              |
| QOCCR  | 充電過電流検出解除（充電器開放検出）割り込み   |
| QOCD1  | 放電過電流 1 検出割り込み           |
| QOCDR1 | 放電過電流検出 1 解除（負荷開放検出）割り込み |

## 9. INT\_REQ2 レジスタ (Adrs = 0x08)

|      | 7     | 6    | 5     | 4    | 3    | 2   | 1      | 0     |
|------|-------|------|-------|------|------|-----|--------|-------|
| ビット名 | QOTDR | QOTD | QOTCR | QOTC | QSCR | QSC | QOCDR2 | QOCD2 |
| R/W  | R/W   | R/W  | R/W   | R/W  | R/W  | R/W | R/W    | R/W   |
| 初期値  | 0     | 0    | 0     | 0    | 0    | 0   | 0      | 0     |

|      | 15    | 14     | 13   | 12   | 11    | 10   | 9     | 8    |
|------|-------|--------|------|------|-------|------|-------|------|
| ビット名 | QWKUP | QCCCAL | QOTP | QWDT | QUTDR | QUTD | QUTCR | QUTC |
| R/W  | R/W   | R/W    | R/W  | R/W  | R/W   | R/W  | R/W   | R/W  |
| 初期値  | 0     | 0      | 0    | 0    | 0     | 0    | 0     | 0    |

INT\_REQ2 レジスタは、割り込み要求フラグのレジスタです。

各割り込み要求フラグは INT\_EN2 レジスタの設定に関係なく、割り込み発生により"1"にセットされます。

INT\_EN2 レジスタで許可された割り込みが発生した場合にのみ、/INTO 端子に"1"レベルが出力されます。

データ"1"を書き込むことで割り込みをクリアします。1つの割り込みのみをクリアする場合には、その他のビットには"0"を書き込んでください。

許可された割り込み要求フラグが全て"0"にクリアされた時点で、/INTO 端子出力は"Hi-Z"レベルになります。

| ビット名   | 割り込み要求フラグ                  |
|--------|----------------------------|
| QOCD2  | 放電過電流 2 検出割り込み             |
| QOCDR2 | 放電過電流検出 2 解除 (負荷開放検出) 割り込み |
| QSC    | ショート電流検出割り込み               |
| QSCR   | ショート電流検出解除 (負荷開放検出) 割り込み   |
| QOTC   | 充電禁止高温検出割り込み               |
| QOTCR  | 充電禁止高温検出解除割り込み             |
| QOTD   | 放電禁止高温検出割り込み               |
| QOTDR  | 放電禁止高温検出解除割り込み             |
| QUTC   | 充電禁止低温検出割り込み               |
| QUTCR  | 充電禁止低温検出解除割り込み             |
| QUTD   | 放電禁止低温検出割り込み               |
| QUTDR  | 放電禁止低温検出解除割り込み             |
| QWDT   | ウォッチドッグタイム検出割り込み           |
| QOTP   | OTP メモリアクセス完了割り込み          |
| QCCCAL | クーロンカウンタキャリブレーション完了割り込み    |
| QWKUP  | ウェイクアップ検出割り込み              |

## 10. INT\_REQ3 レジスタ (Adrs = 0x09)

|      | 7     | 6      | 5      | 4    | 3     | 2     | 1    | 0    |
|------|-------|--------|--------|------|-------|-------|------|------|
| ビット名 | QFUSE | QSDFET | QSCFET | QSOT | QSOCD | QSOCC | QSUV | QSOV |
| R/W  | R/W   | R/W    | R/W    | R/W  | R/W   | R/W   | R/W  | R/W  |
| 初期値  | 0     | 0      | 0      | 0    | 0     | 0     | 0    | 0    |

|      | 15 | 14 | 13 | 12 | 11 | 10   | 9      | 8      |
|------|----|----|----|----|----|------|--------|--------|
| ビット名 | -  | -  | -  | -  | -  | QORG | QUVLO3 | QUVLO5 |
| R/W  | R  | R  | R  | R  | R  | R/W  | R/W    | R/W    |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0    | 0      | 0      |

INT\_REQ3 レジスタは、割り込み要求フラグのレジスタです。

各割り込み要求フラグは INT\_EN3 レジスタの設定に関係なく、割り込み発生により"1"にセットされます。

INT\_EN3 レジスタで許可された割り込みが発生した場合にのみ、/INTO 端子に"1"レベルが出力されます。

データ"1"を書き込むことで割り込みをクリアします。1つの割り込みのみをクリアする場合には、その他のビットには"0"を書き込んでください。

許可された割り込み要求フラグが全て"0"にクリアされた時点で、/INTO 端子出力は"Hi-Z"レベルになります。

| ビット名   | 割り込み要求フラグ           |
|--------|---------------------|
| QSOV   | 2 次過充電検出割り込み        |
| QSUV   | 2 次過放電検出割り込み        |
| QSOCC  | 2 次充電過電流検出割り込み      |
| QSOCD  | 2 次放電過電流検出割り込み      |
| QSOT   | 2 次高温検出割り込み         |
| QSCFET | 充電制御 FET 故障検出割り込み   |
| QSDFET | 放電制御 FET 故障検出割り込み   |
| QFUSE  | ヒューズ切断完了割り込み        |
| QUVLO5 | VREG50 出力電圧低下検出割り込み |
| QUVLO3 | VREG33 出力電圧低下検出割り込み |
| QORG   | 電流測定結果オーバーレンジ検出割り込み |

## 11. POWER レジスタ (Adrs = 0x0A)

|      | 7     | 6    | 5    | 4   | 3     | 2   | 1     | 0   |
|------|-------|------|------|-----|-------|-----|-------|-----|
| ビット名 | PUPIN | PSNS | ENPD | PD  | ENSLP | SLP | ENPSV | PSV |
| R/W  | R     | R    | R/W  | R/W | R/W   | R/W | R/W   | R/W |
| 初期値  | -     | -    | 1    | 0   | 1     | 0   | 1     | 0   |

|      | 15 | 14 | 13 | 12   | 11     | 10     | 9      | 8      |
|------|----|----|----|------|--------|--------|--------|--------|
| ビット名 | -  | -  | -  | WKUP | ENRSNS | RSNSPU | ENPSNS | PSNSPD |
| R/W  | R  | R  | R  | R/W  | R/W    | R/W    | R/W    | R/W    |
| 初期値  | 0  | 0  | 0  | 0    | 1      | 0      | 1      | 0      |

POWER レジスタは、各種パワー制御、および、PSNS 端子のプルダウン抵抗、RSNS 端子のプルアップ抵抗接続制御を行うレジスタです。

- 1) ENPSV, PSV ビットにより、パワーセーブ状態（測定周期が遅くなり消費電流が低減）への移行を設定します。

| ENPSV | PSV | パワーセーブ状態移行  |
|-------|-----|-------------|
| 0     | -   | スタンダアロン制御   |
| 1     | 0   | ノーマル状態（初期値） |
| 1     | 1   | パワーセーブ状態    |

ENPSV ビットが“1”のとき、PSV ビット設定が有効となります。

- ・“1”を書き込むと、次の測定周期からパワーセーブ状態に移行します。
- ・“0”を書き込むと、1 秒以内の任意のタイミングでノーマル状態へ復帰します。

ENPSV ビットに“0”を書き込むと、スタンダアロン制御に設定されます。

スタンダアロン制御では、充放電電流が流れていない状態が PWRDLY レジスタで指定した時間経過すると自動的にパワーセーブ状態に移行し、充放電電流が流れると自動的にノーマル状態へ復帰します。

詳細は、CHG、DSG、PWRDLY レジスタの項目を参照してください。

- 2) ENSLP, SLP ビットにより、スリープ状態（全ての測定動作を停止させて低消費電流状態となり、制御レジスタへのアクセスのみが有効）への移行を設定します。

| ENSLP | SLP | スリープ状態移行    |
|-------|-----|-------------|
| 0     | -   | スタンダアロン制御   |
| 1     | 0   | ノーマル状態（初期値） |
| 1     | 1   | スリープ状態      |

ENSLP ビットが“1”のとき、SLP ビット設定が有効となります。

- ・“1”を書き込むと、次の測定周期からスリープ状態に移行します。
- ・“0”を書き込むと、28ms の安定時間経過後、ノーマル状態へ復帰します。

ウェイクアップ検出機能により、スリープ状態から復帰すると、SLP ビットは“0”にリセットされます。

スリープ状態に移行するには、PSNS 端子状態と PUPIN 端子状態の 2 つの条件があります。

- ・PSNS 端子電圧が充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以下になるまで、スリープ状態には移行しません。
- SLP ビットに“1”を書き込む前に【PSNS 端子状態確認方法】で、PSNS 端子状態が“H”レベルでない事を確認してください。

## 【PSNS 端子状態確認方法】

PSNS ビットにより PSNS 端子状態を読み出すことができますので、C\_FET、D\_FET 端子を OFF 状態に設定し、PSNS 端子にプルダウン抵抗 500kΩ を接続した後、PSNS 端子状態を確認してください。

| PSNS | PSNS 端子状態 |
|------|-----------|
| 0    | “L”レベル    |
| 1    | “H”レベル    |

・/PUPIN 端子が“H”レベルになるまで、スリープ状態には移行しません。SLP ビットに“1”を書き込む前に【/PUPIN 端子状態確認方法】で、/PUPIN 端子状態が“L”レベルでないことを確認してください。

## 【/PUPIN 端子状態確認方法】

PUPIN ビットにより/PUPIN 端子状態を読み出すことができますので、/PUPIN 端子状態を確認してください。

| PUPIN | /PUPIN 端子状態 |
|-------|-------------|
| 0     | “H”レベル      |
| 1     | “L”レベル      |

ENSLP ビットに“0”を書き込むとスタンバイ制御に設定されます。

スタンバイ制御では、パワーセーブ状態が PWRDLY レジスタで指定した時間経過した時の WKUP ビットの状態により、下記の動作となります。

| WKUP | C_FET 端子状態 | D_FET 端子状態 |
|------|------------|------------|
| 0    | OFF        | OFF        |
| 1    | OFF        | 前状態保持      |

## 【WKUP ビット=“0”】

自動的に C\_FET、D\_FET 端子が OFF 状態となり、PSNS 端子にプルダウン抵抗 500kΩ が接続され、スリープ状態に移行します。

スリープ状態に移行した後、充電器が接続され、PSNS 端子電圧が充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以上になった場合、または、/PUPIN 端子に“L”レベルが入力された場合に、28ms の安定時間経過後、ノーマル状態に復帰します。

## 【WKUP ビット=“1”】

自動的に C\_FET 端子のみ OFF 状態となり、スリープ状態に移行します。

スリープ状態に移行した後、充電器が接続された場合は/PUPIN 端子に“L”レベルを入力することでノーマル状態に復帰させて下さい。

3) ENPD, PD ビットにより、パワーダウン状態（殆どの回路動作を停止させて低消費電流状態となり、制御レジスタへのアクセスもできなくなります）への移行を設定します。

| ENPD | PD | パワーダウン状態移行                        |
|------|----|-----------------------------------|
| 0    | -  | スタンバイ制御                           |
| 1    | 0  | ノーマル状態 or パワーセーブ状態 or スリープ状態（初期値） |
| 1    | 1  | パワーダウン状態                          |

ENPD ビットが“1”のとき、PD ビット設定が有効となります。

・“1”を書き込むと、パワーダウン状態へ移行します。

パワーダウン状態に移行するには、PSNS 端子状態と/PUPIN 端子状態の 2 つの条件があります。

・PSNS 端子電圧が充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以下になるまで、パワーダウン状態には移行しません。

PD ビットを“1”にセットする前に【PSNS 端子状態確認方法】で PSNS 端子状態が“H”レベルでないことを確認してください。

・/PUPIN 端子が“H”レベルになるまで、パワーダウン状態には移行しません。PD ビットを“1”にセットする前に【/PUPIN 端子状態確認方法】で/PUPIN 端子状態が“L”レベルでないことを確認してください。

ENPD ビットに“0”を書き込むと、スタンバイ制御に設定されます。

スタンバイ制御では、過放電検出状態に移行後、PWRDLY レジスタで指定した時間経過するとパワーダウン状態に移行します。

ただし、PSNS 端子入力が“H”レベル、または、/PUPIN 端子入力が“L”レベルの時にはパワーダウン状態には移行しません。

4) ENPSNS, PSNSPD ビットにより、PSNS 端子のプルダウン抵抗接続制御を行います。

| ENPSNS | PSNSPD | PSNS 端子状態        |
|--------|--------|------------------|
| 0      | -      | プルダウン抵抗未接続       |
| 1      | 0      | プルダウン抵抗未接続（初期値）  |
| 1      | 1      | プルダウン抵抗 500kΩ 接続 |

ENPSNS ビットが“1”のとき、PSNSPD ビット設定が有効となります。

- ・“1”を書き込むと、プルダウン抵抗が接続されます。
- ・“0”を書き込むと、プルダウン抵抗が切り離されます。

5) ENRSNS, RSNSPU ビットにより、RSNS 端子のプルアップ抵抗接続制御を行います。

| ENRSNS | RSNSPU | RSNS 端子状態       |
|--------|--------|-----------------|
| 0      | -      | プルアップ抵抗未接続      |
| 1      | 0      | プルアップ抵抗未接続（初期値） |
| 1      | 1      | プルアップ抵抗 2MΩ 接続  |

ENRSNS ビットが“1”のとき、RSNSPU ビット設定が有効となります。

- ・“1”を書き込むと、プルアップ抵抗が接続されます。
- ・“0”を書き込むと、プルアップ抵抗が切り離されます。

6) WKUP ビットにより、放電電流によるウェイクアップ検出回路の動作/停止の設定を行います。

本機能を ON にした場合、スタンバイ制御でスリープ状態へ移行した際に放電制御 FET は OFF されません。

| WKUP | ウェイクアップ検出動作 |
|------|-------------|
| 0    | 停止（初期値）     |
| 1    | 動作          |

## 12.FETCBAL レジスタ (Adrs = 0x0B)

|      | 7    | 6     | 5      | 4    | 3    | 2   | 1    | 0   |
|------|------|-------|--------|------|------|-----|------|-----|
| ビット名 | ENCB | PSVCB | ENPRDF | PRDF | ENDF | DF  | ENCF | CF  |
| R/W  | R/W  | R/W   | R/W    | R/W  | R/W  | R/W | R/W  | R/W |
| 初期値  | 1    | 0     | 0      | 0    | 0    | 0   | 0    | 1   |

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9     | 8   |
|------|----|----|----|----|----|----|-------|-----|
| ビット名 | -  | -  | -  | -  | -  | -  | ENFUS | FUS |
| R/W  | R  | R  | R  | R  | R  | R  | R/W   | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0     | 0   |

FETCBAL レジスタは、C\_FET 端子、PRD\_FET 端子、D\_FET 端子、FUSE 端子出力制御、および、セルバランス制御を設定するレジスタです。

FET 機能を使用する場合、動作電圧は 4.5～45V となります。

- 1) ENCF,CF ビットにより、C\_FET 端子出力を制御します。

| ENCF | CF | 充電制御 FET 状態     | C_FET 端子出力電圧    |
|------|----|-----------------|-----------------|
| 0    | -  | スタンドアロン制御 (初期値) |                 |
| 1    | 0  | OFF             | FETS 端子電圧 $V_s$ |
| 1    | 1  | ON              | $V_s+13V$       |

ENCF ビットが“1”のとき、CF ビット設定が有効となります。

- 2) ENDF,DF ビットにより、D\_FET 端子出力を制御します。

| ENDF | DF | 放電制御 FET 状態     | D_FET 端子出力電圧    |
|------|----|-----------------|-----------------|
| 0    | -  | スタンドアロン制御 (初期値) |                 |
| 1    | 0  | OFF             | FETS 端子電圧 $V_s$ |
| 1    | 1  | ON              | $V_s+13V$       |

ENDF ビットが“1”のとき、DF ビット設定が有効となります。

- 3) ENPRDF,PRDF ビットにより、PRD\_FET 端子出力を制御します。

| ENPRDF | PRDF | プリディスチャージ<br>制御 FET 状態 | PRD_FET 端子出力電圧  |
|--------|------|------------------------|-----------------|
| 0      | -    | スタンドアロン制御 (初期値)        |                 |
| 1      | 0    | OFF                    | FETS 端子電圧 $V_s$ |
| 1      | 1    | ON                     | $V_s+13V$       |

ENPRDF ビットが“1”のとき、PRDF ビット設定が有効となります。

- 4) PSVCB ビットにより、パワーセーブ状態時のセルバランス動作を設定します。

ENCB ビットにより、後述する CBAL レジスタによるセルバランス動作を設定します。

| ENCB | PSVCB | パワーセーブ状態時のセルバランス動作   |
|------|-------|----------------------|
| 0    | 0     | 禁止                   |
| 0    | 1     | 許可                   |
| 1    | -     | CBAL レジスタ設定が有効 (初期値) |

ENCB ビットが“0”のとき、PSVCB ビットの設定が有効となります。

ENCB ビットが“1”のとき、CBAL レジスタの設定が有効となります。

なお、ENCB ビットを“1”から“0”に変更する場合には、INT\_REQ1 レジスタの QVM ビットが“1”にセットされた後に CBAL レジスタを 0b000000000 に設定し、その後、ENCB ビットを“0”に設定します。

ENCB ビットを“0”から“1”に変更する場合には制約はありません。

5) ENFUS,FUS ビットにより、FUSE 端子の出力を制御します。

| ENFUS | FUS | FUSE 端子出力           |
|-------|-----|---------------------|
| 0     | -   | FUSE レジスタ設定が有効（初期値） |
| 1     | 0   | 0V                  |
| 1     | 1   | VREG33              |

ENFUS ビットが“1”のとき、FUS ビット設定が有効となり、FUSE レジスタの設定は無効となります。

また、ヒューズ切断完了割り込み QFUSE は発生しません。

ENFUS ビットが“1”かつ FUS ビットが“1”の時でも STATUS2 レジスタの FUSE ビットはセットされません。

## 13.CBAL レジスタ (Adrs = 0x0C)

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9         | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----|----|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | -  | -  | CBAL[9:0] |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R  | R  | R/W       | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0         | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

CBAL レジスタは、セルバランススイッチの ON/OFF 設定を行なうレジスタです。

CBAL[9:0]ビットにより、各セルの ON/OFF 設定を行います。

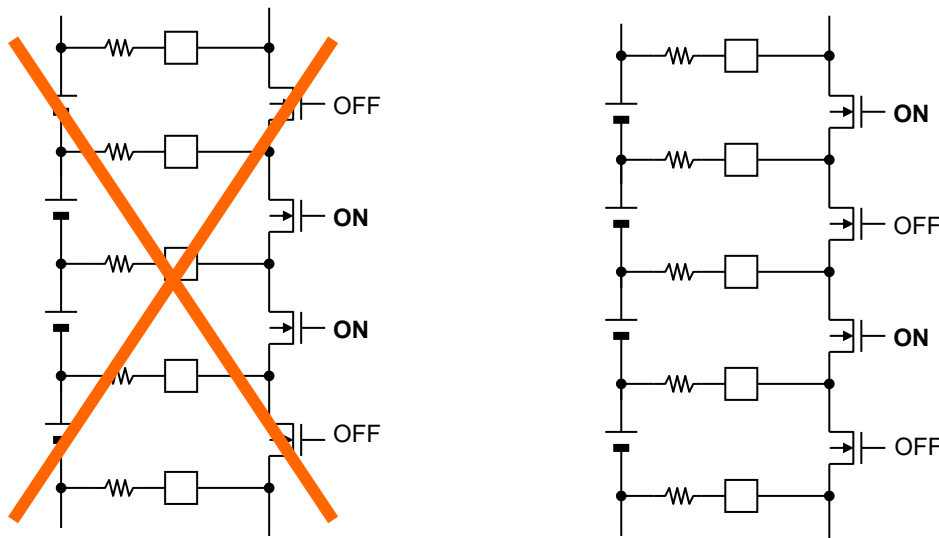
セル電圧測定区間以外がセルバランス実行区間となり、セル電圧測定終了後に指定したセルバランススイッチが ON します。

セルバランス実行区間中に設定変更した場合には、ただちに有効となります。

また、CBAL レジスタの読み出し値は、セルバランス実行区間に関係なく、セルバランススイッチ ON 許可状態のビットは"1"が読み出されます。

| CBAL[9:0]    | スイッチ ON/OFF      |
|--------------|------------------|
| 0b0000000000 | OFF (初期値)        |
| 0b0000000001 | V1-V0 端子スイッチ ON  |
| 0b0000000010 | V2-V1 端子スイッチ ON  |
| 0b0000000100 | V3-V2 端子スイッチ ON  |
| 0b0000001000 | V4-V3 端子スイッチ ON  |
| 0b0000010000 | V5-V4 端子スイッチ ON  |
| 0b0000100000 | V6-V5 端子スイッチ ON  |
| 0b0001000000 | V7-V6 端子スイッチ ON  |
| 0b0010000000 | V8-V7 端子スイッチ ON  |
| 0b0100000000 | V9-V8 端子スイッチ ON  |
| 0b1000000000 | V10-V9 端子スイッチ ON |

複数のスイッチを同時に ON することも可能ですが、内蔵セルバランススイッチ FET の破壊を引き起こす可能性があるため、隣接したセルバランススイッチを ON させることは禁止します。ただし、奇数セルや偶数セルのみのセルバランススイッチを ON させることは可能です。



なお、セルバランススイッチの ON/OFF 切り替えを行う場合には、必ず、全てのセルバランススイッチを 1ms 以上の間 OFF 設定にした後、セルバランススイッチを ON してください。

また、セルバランス電流とセルバランススイッチ ON 抵抗により発熱しますので、セルバランススイッチでの電力損失が許容損失を超えないように、ON させるスイッチ数や ON 時間に制約を設けてください。

## 14.STATUS1 レジスタ (Adrs = 0x0E)

|      | 7   | 6  | 5  | 4   | 3   | 2    | 1  | 0  |
|------|-----|----|----|-----|-----|------|----|----|
| ビット名 | OCC | UV | OV | SLP | PSV | PRDF | DF | CF |
| R/W  | R   | R  | R  | R   | R   | R    | R  | R  |
| 初期値  | 0   | 1  | 0  | 0   | 0   | 0    | 0  | 1  |

|      | 15   | 14   | 13    | 12  | 11  | 10 | 9    | 8    |
|------|------|------|-------|-----|-----|----|------|------|
| ビット名 | INTO | PSNS | PUPIN | DSG | CHG | SC | OCD2 | OCD1 |
| R/W  | R    | R    | R     | R   | R   | R  | R    | R    |
| 初期値  | 1    | -    | -     | 0   | 0   | 0  | 0    | 0    |

STATUS1 レジスタは、各種状態を示すレジスタです。

- 1) CF ビットにより、C\_FET 端子状態を示します。

| CF | C_FET 端子状態 |
|----|------------|
| 0  | OFF        |
| 1  | ON (初期値)   |

- 2) DF ビットにより、D\_FET 端子状態を示します。

| DF | D_FET 端子状態 |
|----|------------|
| 0  | OFF (初期値)  |
| 1  | ON         |

- 3) PRDF ビットにより、PRD\_FET 端子状態を示します。

| PRDF | PRD_FET 端子状態 |
|------|--------------|
| 0    | OFF (初期値)    |
| 1    | ON           |

- 4) PSV ビットにより、パワーセーブ状態を示します。

| PSV | パワーセーブ状態   |
|-----|------------|
| 0   | 通常動作 (初期値) |
| 1   | パワーセーブ     |

- 5) SLP ビットにより、スリープ状態を示します。

| SLP | スリープ状態     |
|-----|------------|
| 0   | 通常動作 (初期値) |
| 1   | スリープ       |

- 6) OV ビットにより、過充電検出状態を示します。

| OV | 過充電検出状態   |
|----|-----------|
| 0  | 未検出 (初期値) |
| 1  | 検出        |

- 7) UV ビットにより、過放電検出状態を示します。

| UV | 過放電検出状態  |
|----|----------|
| 0  | 未検出      |
| 1  | 検出 (初期値) |

- 8) OCC ビットにより、充電過電流検出状態を示します。

| OCC | 充電過電流検出状態 |
|-----|-----------|
| 0   | 未検出 (初期値) |
| 1   | 検出        |

- 9) OCD1 ビットにより、放電過電流検出状態を示します。

| OCD1 | 放電過電流 1 検出状態 |
|------|--------------|
| 0    | 未検出 (初期値)    |
| 1    | 検出           |

- 10) OCD2 ビットにより、放電過電流検出状態を示します。

| OCD2 | 放電過電流 2 検出状態 |
|------|--------------|
| 0    | 未検出 (初期値)    |
| 1    | 検出           |

- 11) SC ビットにより、ショート電流検出状態を示します。

| SC | ショート電流検出状態 |
|----|------------|
| 0  | 未検出 (初期値)  |
| 1  | 検出         |

- 12) CHG ビットにより、充電状態検出の有無を示します。

| CHG | 充電状態検出    |
|-----|-----------|
| 0   | 未検出 (初期値) |
| 1   | 検出        |

- 13) DSG ビットにより、放電状態検出の有無を示します。

| DSG | 放電状態検出    |
|-----|-----------|
| 0   | 未検出 (初期値) |
| 1   | 検出        |

- 14) PUPIN ビットにより、/PUPIN 端子出力状態を示します。

| PUPIN | /PUPIN 端子出力状態 |
|-------|---------------|
| 0     | “H”レベル        |
| 1     | “L”レベル        |

- 15) PSNS ビットにより、PSNS 端子出力状態を示します。

| PSNS | PSNS 端子出力状態 |
|------|-------------|
| 0    | “L”レベル      |
| 1    | “H”レベル      |

- 16) INTO ビットにより、/INTO 端子出力状態を示します。

| INTO | /INTO 端子出力状態 |
|------|--------------|
| 0    | 割り込みなし       |
| 1    | 割り込み発生 (初期値) |

## 15.STATUS2 レジスタ (Adrs = 0x0F)

|      | 7     | 6     | 5    | 4    | 3    | 2    | 1    | 0    |
|------|-------|-------|------|------|------|------|------|------|
| ビット名 | S OCD | S OCC | S UV | S OV | U TD | U TC | O TD | O TC |
| R/W  | R     | R     | R    | R    | R    | R    | R    | R    |
| 初期値  | 0     | 0     | 0    | 0    | 0    | 0    | 0    | 0    |

|      | 15 | 14 | 13    | 12    | 11   | 10    | 9     | 8   |
|------|----|----|-------|-------|------|-------|-------|-----|
| ビット名 | -  | -  | UVLO3 | UVLO5 | FUSE | SDFET | SCFET | SOT |
| R/W  | R  | R  | R     | R     | R    | R     | R     | R   |
| 初期値  | 0  | 0  | 0     | 0     | 0    | 0     | 0     | 0   |

STATUS2 レジスタは、各種状態を示すレジスタです。

- 1) OTC ビットにより、充電禁止高温検出状態を示します。

| OTC | 充電禁止高温検出状態 |
|-----|------------|
| 0   | 未検出 (初期値)  |
| 1   | 検出         |

- 2) OTD ビットにより、放電禁止高温検出状態を示します。

| OTD | 放電禁止高温検出状態 |
|-----|------------|
| 0   | 未検出 (初期値)  |
| 1   | 検出         |

- 3) UTC ビットにより、充電禁止低温検出状態を示します。

| UTC | 充電禁止低温検出状態 |
|-----|------------|
| 0   | 未検出 (初期値)  |
| 1   | 検出         |

- 4) UTD ビットにより、放電禁止低温検出状態を示します。

| UTD | 放電禁止低温検出状態 |
|-----|------------|
| 0   | 未検出 (初期値)  |
| 1   | 検出         |

- 5) SOV ビットにより、2 次過充電検出状態を示します。

| SOV | 2 次過充電検出状態 |
|-----|------------|
| 0   | 未検出 (初期値)  |
| 1   | 検出         |

- 6) SUV ビットにより、2 次過放電検出状態を示します。

| SUV | 2 次過放電検出状態 |
|-----|------------|
| 0   | 未検出 (初期値)  |
| 1   | 検出         |

- 7) SOCC ビットにより、2 次充電過電流検出状態を示します。

| SOCC | 2 次充電過電流検出状態 |
|------|--------------|
| 0    | 未検出 (初期値)    |
| 1    | 検出           |

- 8) SOCD ビットにより、2 次放電過電流検出状態を示します。

| SOCD | 2 次放電過電流検出状態 |
|------|--------------|
| 0    | 未検出 (初期値)    |
| 1    | 検出           |

- 9) SOT ビットにより、2 次高温検出状態を示します。

| SOT | 2 次高温検出状態 |
|-----|-----------|
| 0   | 未検出 (初期値) |
| 1   | 検出        |

- 10) SCFET ビットにより、充電制御 FET 故障検出状態を示します。

| SCFET | 充電制御 FET 故障検出状態 |
|-------|-----------------|
| 0     | 未検出 (初期値)       |
| 1     | 検出              |

- 11) SDFET ビットにより、放電制御 FET 故障検出状態を示します。

| SDFET | 放電制御 FET 故障検出状態 |
|-------|-----------------|
| 0     | 未検出 (初期値)       |
| 1     | 検出              |

- 12) FUSE ビットにより、ヒューズ切断完了状態を示します。

| FUSE | ヒューズ切断完了状態 |
|------|------------|
| 0    | 未完了 (初期値)  |
| 1    | 完了         |

- 13) UVLO5 ビットにより、VREG50 低電圧検出状態を示します。

| UVLO5 | VREG50 低電圧検出状態 |
|-------|----------------|
| 0     | 未検出 (初期値)      |
| 1     | 検出             |

- 14) UVLO3 ビットにより、VREG33 低電圧検出状態を示します。

| UVLO3 | VREG33 低電圧検出状態 |
|-------|----------------|
| 0     | 未検出 (初期値)      |
| 1     | 検出             |

## 16. LOCK レジスタ (Adrs = 0x10)

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7         | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----|----|---|---|-----------|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | -  | -  | - | - | LOCK[7:0] |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R  | R  | R | R | R/W       | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0         | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

LOCK レジスタは、各種保護機能を設定するレジスタへの書き込み許可レジスタです。

下記のレジスタに書き込みする前に、LOCK[7:0]ビットに 0x69 を設定してください。

レジスタへの書き込みを禁止する時には、0x69 以外のデータを設定してください。

| アドレス | レジスタ名称  | R/W | 初期値    | レジスタ概要                    |
|------|---------|-----|--------|---------------------------|
| 0x11 | SETOV   | R/W | 0x0000 | 過充電検出動作設定レジスタ             |
| 0x12 | OVDET   | R/W | 0x0000 | 過充電検出閾値設定レジスタ             |
| 0x13 | OVRCV   | R/W | 0x0000 | 過充電解除閾値設定レジスタ             |
| 0x14 | SETUV   | R/W | 0x0000 | 過放電検出動作設定レジスタ             |
| 0x15 | UVDET   | R/W | 0x0000 | 過放電検出閾値設定レジスタ             |
| 0x16 | UVRCV   | R/W | 0x0000 | 過放電解除閾値設定レジスタ             |
| 0x17 | SETOCC  | R/W | 0x0000 | 充電過電流検出動作設定レジスタ           |
| 0x18 | SETOCD1 | R/W | 0x0000 | 放電過電流検出動作設定レジスタ 1         |
| 0x19 | SETOCD2 | R/W | 0x0000 | 放電過電流検出動作設定レジスタ 2         |
| 0x1A | SCWDT   | R/W | 0x0000 | ショート電流検出/ウォッチドッグタイマ設定レジスタ |
| 0x1B | CHG     | R/W | 0x0000 | 充電状態検出動作設定レジスタ            |
| 0x1C | DSG     | R/W | 0x0000 | 放電状態検出動作設定レジスタ            |
| 0x1D | CCMASK  | R/W | 0x0000 | クーロンカウンタマスク電流設定レジスタ       |
| 0x1E | PWRDLY  | R/W | 0x0000 | パワーセーブ移行遅延タイマ設定レジスタ       |
| 0x1F | SETOTUT | R/W | 0x0000 | 温度検出動作設定レジスタ              |
| 0x20 | OTD1    | R/W | 0x0000 | TEMP1 放電禁止高温検出閾値設定レジスタ    |
| 0x21 | OTD2    | R/W | 0x0000 | TEMP2 放電禁止高温検出閾値設定レジスタ    |
| 0x22 | OTD3    | R/W | 0x0000 | TEMP3 放電禁止高温検出閾値設定レジスタ    |
| 0x23 | OTD4    | R/W | 0x0000 | TEMP4 放電禁止高温検出閾値設定レジスタ    |
| 0x24 | OTDR1   | R/W | 0x0000 | TEMP1 放電禁止高温解除閾値設定レジスタ    |
| 0x25 | OTDR2   | R/W | 0x0000 | TEMP2 放電禁止高温解除閾値設定レジスタ    |
| 0x26 | OTDR3   | R/W | 0x0000 | TEMP3 放電禁止高温解除閾値設定レジスタ    |
| 0x27 | OTDR4   | R/W | 0x0000 | TEMP4 放電禁止高温解除閾値設定レジスタ    |
| 0x28 | UTD1    | R/W | 0x0000 | TEMP1 放電禁止低温検出閾値設定レジスタ    |
| 0x29 | UTD2    | R/W | 0x0000 | TEMP2 放電禁止低温検出閾値設定レジスタ    |
| 0x2A | UTD3    | R/W | 0x0000 | TEMP3 放電禁止低温検出閾値設定レジスタ    |
| 0x2B | UTD4    | R/W | 0x0000 | TEMP4 放電禁止低温検出閾値設定レジスタ    |
| 0x2C | UTDR1   | R/W | 0x0000 | TEMP1 放電禁止低温解除閾値設定レジスタ    |
| 0x2D | UTDR2   | R/W | 0x0000 | TEMP2 放電禁止低温解除閾値設定レジスタ    |
| 0x2E | UTDR3   | R/W | 0x0000 | TEMP3 放電禁止低温解除閾値設定レジスタ    |
| 0x2F | UTDR4   | R/W | 0x0000 | TEMP4 放電禁止低温解除閾値設定レジスタ    |
| 0x30 | OTC1    | R/W | 0x0000 | TEMP1 充電禁止高温検出閾値設定レジスタ    |
| 0x31 | OTC2    | R/W | 0x0000 | TEMP2 充電禁止高温検出閾値設定レジスタ    |
| 0x32 | OTC3    | R/W | 0x0000 | TEMP3 充電禁止高温検出閾値設定レジスタ    |
| 0x33 | OTC4    | R/W | 0x0000 | TEMP4 充電禁止高温検出閾値設定レジスタ    |
| 0x34 | OTCR1   | R/W | 0x0000 | TEMP1 充電禁止高温解除閾値設定レジスタ    |

| アドレス | レジスタ名称 | R/W | 初期値    | レジスタ概要                 |
|------|--------|-----|--------|------------------------|
| 0x35 | OTCR2  | R/W | 0x0000 | TEMP2 充電禁止高温解除閾値設定レジスタ |
| 0x36 | OTCR3  | R/W | 0x0000 | TEMP3 充電禁止高温解除閾値設定レジスタ |
| 0x37 | OTCR4  | R/W | 0x0000 | TEMP4 充電禁止高温解除閾値設定レジスタ |
| 0x38 | UTC1   | R/W | 0x0000 | TEMP1 充電禁止低温検出閾値設定レジスタ |
| 0x39 | UTC2   | R/W | 0x0000 | TEMP2 充電禁止低温検出閾値設定レジスタ |
| 0x3A | UTC3   | R/W | 0x0000 | TEMP3 充電禁止低温検出閾値設定レジスタ |
| 0x3B | UTC4   | R/W | 0x0000 | TEMP4 充電禁止低温検出閾値設定レジスタ |
| 0x3C | UTCR1  | R/W | 0x0000 | TEMP1 充電禁止低温解除閾値設定レジスタ |
| 0x3D | UTCR2  | R/W | 0x0000 | TEMP2 充電禁止低温解除閾値設定レジスタ |
| 0x3E | UTCR3  | R/W | 0x0000 | TEMP3 充電禁止低温解除閾値設定レジスタ |
| 0x3F | UTCR4  | R/W | 0x0000 | TEMP4 充電禁止低温解除閾値設定レジスタ |
| 0x40 | CBALEN | R/W | 0x0000 | セルバランス許可電圧設定レジスタ       |
| 0x41 | CBALST | R/W | 0x0000 | セルバランス開始電位差設定レジスタ      |
| 0x42 | CBALSP | R/W | 0x0000 | セルバランス終了電位差設定レジスタ      |
| 0x43 | PREDSG | R/W | 0x0000 | プリディスチャージ設定レジスタ        |
| 0x44 | SETSOV | R/W | 0x0000 | 2 次過充電検出閾値設定レジスタ       |
| 0x45 | SOVDET | R/W | 0x0000 | 2 次過充電検出閾値設定レジスタ       |
| 0x46 | SETSUV | R/W | 0x0000 | 2 次過放電検出閾値設定レジスタ       |
| 0x47 | SUVDET | R/W | 0x0000 | 2 次過放電検出閾値設定レジスタ       |
| 0x48 | SOC    | R/W | 0x0000 | 2 次充電過電流閾値設定レジスタ       |
| 0x49 | SOC    | R/W | 0x0000 | 2 次放電過電流閾値設定レジスタ       |
| 0x4A | SETSOT | R/W | 0x0000 | 2 次高温検出閾値設定レジスタ        |
| 0x4B | SOT    | R/W | 0x0000 | 2 次高温検出閾値設定レジスタ        |
| 0x4C | SCFET  | R/W | 0x0000 | 充電制御 FET 故障検出設定レジスタ    |
| 0x4D | SDFET  | R/W | 0x0000 | 放電制御 FET 故障検出設定レジスタ    |
| 0x4E | FUSE   | R/W | 0x0000 | FUSE 端子出力設定レジスタ        |

## 17.SETOV レジスタ (Adrs = 0x11) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7    | 6          | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----|----|---|---|------|------------|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | -  | -  | - | - | ENOV | OVDLY[6:0] |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R  | R  | R | R | R/W  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0    | 0          | 0   | 0   | 0   | 0   | 0   | 0   |

SETOV レジスタは過充電検出動作許可、および、検出遅延時間を設定するレジスタです。

- 1) OVDLY[6:0]ビットにより、過充電検出遅延時間として、セル電圧測定回数を設定します。

検出遅延時間は、セル電圧測定周期×セル電圧測定回数となります。

| OVDLY[6:0] | セル電圧測定回数 |
|------------|----------|
| 0x00       | 0 (初期値)  |
| 0x01       | 1        |
| 0x02       | 2        |
| ...        | ...      |
| 0x7D       | 125      |
| 0x7E       | 126      |
| 0x7F       | 127      |

- 2) ENOV ビットで、過充電検出動作の動作/停止の設定を行います。

| ENOV | 過充電検出動作  |
|------|----------|
| 0    | 停止 (初期値) |
| 1    | 動作       |

## 18.OVDET レジスタ (Adrs = 0x12) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11       | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OV[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W      | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0        | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OVDET レジスタは、過充電検出閾値を設定するレジスタです。

セル電圧測定分解能=5000/4095mV として、OV[11:0]ビットで設定します。

設定変更する場合は、ENOV ビットが"0"の時に実施してください。

## 19.OVRCV レジスタ (Adrs = 0x13) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11        | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OVR[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W       | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0         | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OVRCV レジスタは、過充電解除閾値を設定するレジスタです。

セル電圧測定分解能=5000/4095mV として、OVR[11:0]ビットで設定します。

設定変更する場合は、ENOV ビットが"0"の時に実施してください。

## 20.SETUV レジスタ (Adrs = 0x14) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7    | 6          | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----|----|---|---|------|------------|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | -  | -  | - | - | ENUV | UVDLY[6:0] |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R  | R  | R | R | R/W  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0    | 0          | 0   | 0   | 0   | 0   | 0   | 0   |

SETUV レジスタは過放電検出動作許可、および、検出遅延時間を設定するレジスタです。

- 1) UVDLY[6:0]ビットにより、過放電検出遅延時間として、セル電圧測定回数を設定します。

検出遅延時間は、セル電圧測定周期×セル電圧測定回数となります。

| UVDLY[6:0] | セル電圧測定回数 |
|------------|----------|
| 0x00       | 0 (初期値)  |
| 0x01       | 1        |
| 0x02       | 2        |
| ...        | ...      |
| 0x7D       | 125      |
| 0x7E       | 126      |
| 0x7F       | 127      |

- 2) ENUV ビットで、過放電検出動作の動作/停止の設定を行います。

| ENUV | 過放電検出動作  |
|------|----------|
| 0    | 停止 (初期値) |
| 1    | 動作       |

## 21.UVDET レジスタ (Adrs = 0x15) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11       | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UV[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W      | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0        | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UVDET レジスタは、過放電検出閾値を設定するレジスタです。

セル電圧測定分解能=5000/4095mV として、UV[11:0]ビットで設定します。

設定変更する場合は、ENUV ビットが"0"の時に実施してください。

## 22.UVRCV レジスタ (Adrs = 0x16) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11        | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UVR[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W       | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0         | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UVRCV レジスタは、過放電解除閾値を設定するレジスタです。

セル電圧測定分解能=5000/4095mV として、UVR[11:0]ビットで設定します。

設定変更する場合は、ENOV ビットが"0"の時に実施してください。

23.SETOCC レジスタ (Adrs = 0x17) ※書き込みには LOCK レジスタの解除が必要

|      |       |    |    |    |             |     |     |     |   |   |          |     |     |     |     |     |
|------|-------|----|----|----|-------------|-----|-----|-----|---|---|----------|-----|-----|-----|-----|-----|
|      | 15    | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7 | 6 | 5        | 4   | 3   | 2   | 1   | 0   |
| ビット名 | ENOCC | -  | -  | -  | OCCDLY[3:0] |     |     |     | - | - | OCC[5:0] |     |     |     |     |     |
| R/W  | RW    | R  | R  | R  | R/W         | R/W | R/W | R/W | R | R | R/W      | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0     | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0 | 0 | 0        | 0   | 0   | 0   | 0   | 0   |

SETOCC レジスタは充電過電流検出動作許可、および、充電過電流検出閾値、検出遅延時間を設定するレジスタです。

- 1) OCC[5:0]ビットにより、充電過電流検出閾値を設定します。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA の 128 倍である 2.422A を単位として設定します。

設定範囲：0A～約 152A

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA の 128 倍である 1.211A を単位として設定します。

設定範囲：0A～約 76A

設定変更する場合は、ENOCC ビットが“0”の時に実施してください。

- 2) OCCDLY[3:0]ビットにより、25ms ステップで充電過電流検出遅延時間を設定します。

| OCCDLY[3:0] | 充電過電流検出遅延時間 |
|-------------|-------------|
| 0x0         | 25ms (初期値)  |
| 0x1         | 50ms        |
| 0x2         | 75ms        |
| ...         | ...         |
| 0xD         | 350ms       |
| 0xE         | 375ms       |
| 0xF         | 400ms       |

- 3) ENOCC ビットで、充電過電流検出動作の動作/停止の設定を行います。

| ENOCC | 充電過電流検出動作 |
|-------|-----------|
| 0     | 停止 (初期値)  |
| 1     | 動作        |

## 24.SETOCD1、SETOCD2 レジスタ (Adrs = 0x18,19) ※書き込みには LOCK レジスタの解除が必要

## SETOCD1 (Adrs=18H)

|      | 15      | 14 | 13 | 12 | 11           | 10  | 9   | 8   | 7 | 6 | 5         | 4   | 3   | 2   | 1   | 0   |
|------|---------|----|----|----|--------------|-----|-----|-----|---|---|-----------|-----|-----|-----|-----|-----|
| ビット名 | EN OCD1 | -  | -  | -  | OCDDLY1[3:0] |     |     |     | - | - | OCD1[5:0] |     |     |     |     |     |
| R/W  | RW      | R  | R  | R  | R/W          | R/W | R/W | R/W | R | R | R/W       | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0       | 0  | 0  | 0  | 0            | 0   | 0   | 0   | 0 | 0 | 0         | 0   | 0   | 0   | 0   | 0   |

## SETOCD2 (Adrs=19H)

|      | 15      | 14 | 13 | 12 | 11           | 10  | 9   | 8   | 7 | 6 | 5         | 4   | 3   | 2   | 1   | 0   |
|------|---------|----|----|----|--------------|-----|-----|-----|---|---|-----------|-----|-----|-----|-----|-----|
| ビット名 | EN OCD2 | -  | -  | -  | OCDDLY2[3:0] |     |     |     | - | - | OCD2[5:0] |     |     |     |     |     |
| R/W  | RW      | R  | R  | R  | R/W          | R/W | R/W | R/W | R | R | R/W       | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0       | 0  | 0  | 0  | 0            | 0   | 0   | 0   | 0 | 0 | 0         | 0   | 0   | 0   | 0   | 0   |

SETOCD1、SETOCD2 レジスタは 2 種類の放電過電流検出動作許可、および、放電過電流検出閾値、検出遅延時間を設定するレジスタです。

- 1) OCD1[5:0],OCD2[5:0]ビットにより、放電過電流検出閾値を設定します。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA の 512 倍である 9.688A を単位として設定します。

設定範囲：0A～約 610A

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA の 512 倍である 4.844A を単位として設定します。

設定範囲：0A～約 305A

設定変更する場合は、EN OCD1 ビットと EN OCD2 ビットが“0”の時に実施してください。

- 2) OCDDLY1[3:0],OCDDLY2[3:0]ビットにより、25ms ステップで放電過電流検出遅延時間を設定します。

| OCDDLY1[3:0] | 放電過電流 1<br>検出遅延時間 | OCDDLY2[3:0] | 放電過電流 2<br>検出遅延時間 |
|--------------|-------------------|--------------|-------------------|
| 0x0          | 25ms (初期値)        | 0x0          | 25ms (初期値)        |
| 0x1          | 50ms              | 0x1          | 50ms              |
| 0x2          | 75ms              | 0x2          | 75ms              |
| ...          | ...               | ...          | ...               |
| 0xD          | 350ms             | 0xD          | 350ms             |
| 0xE          | 375ms             | 0xE          | 375ms             |
| 0xF          | 400ms             | 0xF          | 400ms             |

- 3) EN OCD1,EN OCD2 ビットで、放電過電流検出動作の動作/停止の設定を行います。

| EN OCD1 | 放電過電流 1 検出動作 | EN OCD2 | 放電過電流 2 検出動作 |
|---------|--------------|---------|--------------|
| 0       | 停止 (初期値)     | 0       | 停止 (初期値)     |
| 1       | 動作           | 1       | 動作           |

## 25. SCWDT レジスタ (Adrs = 0x1A) ※書き込みには LOCK レジスタの解除が必要

|      | 7    | 6 | 5        | 4   | 3 | 2       | 1   | 0   |
|------|------|---|----------|-----|---|---------|-----|-----|
| ビット名 | ENSC | - | TSC[1:0] |     | - | SC[2:0] |     |     |
| R/W  | R/W  | R | R/W      | R/W | R | R/W     | R/W | R/W |
| 初期値  | 0    | 0 | 0        | 0   | 0 | 0       | 0   | 0   |

|      | 15 | 14 | 13 | 12 | 11    | 10 | 9        | 8   |
|------|----|----|----|----|-------|----|----------|-----|
| ビット名 | -  | -  | -  | -  | ENWDT | -  | WDT[1:0] |     |
| R/W  | R  | R  | R  | R  | R/W   | R  | R/W      | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0     | 0  | 0        | 0   |

SCWDT レジスタは、ショート電流検出回路の動作と閾値電圧の設定、および、ウォッチドッグタイマの動作/停止の設定とオーバフロー時間を設定するレジスタです。

- 1) SC[2:0]ビットにより、シャント抵抗に応じてショート電流検出閾値電圧を選択します。

設定変更する場合は、ENSC ビットが"0"の時に実施してください。

| SC[2:0] | ショート電流検出電圧<br>(ISP-ISM 端子間電圧) | シャント抵抗=0.5mΩ 時<br>ショート電流検出電流値 |
|---------|-------------------------------|-------------------------------|
| 0x0     | 25mV(初期値)                     | 50A                           |
| 0x1     | 50mV                          | 100A                          |
| 0x2     | 75mV                          | 150A                          |
| 0x3     | 100mV                         | 200A                          |
| 0x4     | 125mV                         | 250A                          |
| 0x5     | 150mV                         | 300A                          |
| 0x6     | 175mV                         | 350A                          |
| 0x7     | 200mV                         | 400A                          |

- 2) TSC[1:0]ビットにより、ショート電流検出遅延時間を選択します。

| TSC[1:0] | ショート電流検出遅延時間 |
|----------|--------------|
| 0x0      | 50μs (初期値)   |
| 0x1      | 100μs        |
| 0x2      | 150μs        |
| 0x3      | 200μs        |

- 3) ENSC ビットにより、ショート電流検出回路の動作/停止を設定します。

| ENSC | ショート電流検出回路 |
|------|------------|
| 0    | 停止 (初期値)   |
| 1    | 動作         |

- 4) WDT[1:0]ビットにより、ウォッチドッグタイマのオーバフロー時間を選択します。

設定変更する場合は、ENWDT ビットが"0"の時に実施してください。

| WDT[1:0] | オーバフロー時間  |
|----------|-----------|
| 0x0      | 2 秒 (初期値) |
| 0x1      | 4 秒       |
| 0x2      | 8 秒       |
| 0x3      | 16 秒      |

- 5) ENWDT ビットにより、ウォッチドッグタイマの動作/停止を設定します。

| ENWDT | ウォッチドッグタイマ動作状態 |
|-------|----------------|
| 0     | 停止 (初期値)       |
| 1     | 動作             |

スタンダアロン時にはウォッチドッグタイマが誤検出しますので、停止状態に設定して下さい。

## 26. CHG レジスタ (Adrs = 0x1B) ※書き込みには LOCK レジスタの解除が必要

|      | 15    | 14 | 13 | 12 | 11 | 10          | 9   | 8   | 7        | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|-------|----|----|----|----|-------------|-----|-----|----------|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | ENCHG | -  | -  | -  | -  | CHGDLY[2:0] |     |     | CHG[7:0] |     |     |     |     |     |     |     |
| R/W  | R/W   | R  | R  | R  | R  | R/W         | R/W | R/W | R/W      | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0     | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0        | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

CHG レジスタは充電状態検出電流閾値、および、充電状態解除遅延時間を設定するレジスタです。

- 1) CHG[7:0]ビットにより、充電状態検出電流閾値を設定します。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA を単位として設定します。

設定範囲：0A～約 4.8A

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA を単位として設定します。

設定範囲：0A～約 2.4A

設定変更する場合は、ENCHG ビットが"0"の時に実施してください。

- 2) CHGDLY[2:0]ビットにより、25ms ステップで充電状態解除遅延時間を設定します。

充電状態検出遅延時間の間、充電状態検出電流閾値を超えると直ちに充電状態となります。

| CHGDLY[2:0] | 充電状態解除遅延時間 |
|-------------|------------|
| 0x0         | 25ms (初期値) |
| 0x1         | 50ms       |
| 0x2         | 75ms       |
| 0x3         | 100ms      |
| 0x4         | 125ms      |
| 0x5         | 150ms      |
| 0x6         | 175ms      |
| 0x7         | 200ms      |

- 3) ENCHG ビットで、充電状態検出動作の動作/停止の設定を行います。

| ENCHG | 充電状態検出動作 |
|-------|----------|
| 0     | 停止 (初期値) |
| 1     | 動作       |

過放電状態、および、放電禁止高温/低温検出状態において、充電状態を検出すると、自動的に、D\_FET 端子出力は"H"レベルに変化し、放電許可状態になります。このとき、プリディスチャージ機能は働きません。

また、パワーセーブ状態において、POWER レジスタの ENPSV ビット="0"の場合に、充電状態を検出すると、自動的にノーマル状態に復帰します。

27.DSG レジスタ (Adrs = 0x1C) ※書き込みには LOCK レジスタの解除が必要

|      |       |    |    |    |    |             |     |     |          |     |     |     |     |     |     |     |
|------|-------|----|----|----|----|-------------|-----|-----|----------|-----|-----|-----|-----|-----|-----|-----|
|      | 15    | 14 | 13 | 12 | 11 | 10          | 9   | 8   | 7        | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| ビット名 | ENDSG | -  | -  | -  | -  | DSGDLY[2:0] |     |     | DSG[7:0] |     |     |     |     |     |     |     |
| R/W  | R/W   | R  | R  | R  | R  | R/W         | R/W | R/W | R/W      | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0     | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0        | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

DSG レジスタは放電状態検出電流閾値、および、放電状態解除遅延時間を設定するレジスタです。

- 1) DSG[7:0]ビットにより、放電状態検出電流閾値を設定します。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA を単位として設定します。

設定範囲：0A～約 4.8A

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA を単位として設定します。

設定範囲：0A～約 2.4A

設定変更する場合は、ENDSG ビットが“0”の時に実施してください。

- 2) DSGDLY[2:0]ビットにより、25ms ステップで放電状態解除遅延時間を設定します。

放電状態検出遅延時間の間、放電状態検出電流閾値を超えると直ちに放電状態となります。

| DSGDLY[2:0] | 放電状態解除遅延時間 |
|-------------|------------|
| 0x0         | 25ms (初期値) |
| 0x1         | 50ms       |
| 0x2         | 75ms       |
| 0x3         | 100ms      |
| 0x4         | 125ms      |
| 0x5         | 150ms      |
| 0x6         | 175ms      |
| 0x7         | 200ms      |

- 3) ENSDG ビットで、放電状態検出動作の動作/停止の設定を行います。

| ENDSG | 放電状態検出動作 |
|-------|----------|
| 0     | 停止 (初期値) |
| 1     | 動作       |

過充電、または、充電禁止高温/低温状態において、放電状態を検出すると、自動的に、C\_FET 端子出力は“H”レベルに変化し、充電許可状態になります。

また、パワーセーブ状態において、POWER レジスタの ENPSV ビット=“0”の場合に、放電状態を検出すると、自動的にノーマル状態に復帰します。

28.CCMASK レジスタ (Adrs = 0x1D) ※書き込みには LOCK レジスタの解除が必要

|      |    |              |     |     |     |     |     |     |   |     |              |     |     |     |     |     |
|------|----|--------------|-----|-----|-----|-----|-----|-----|---|-----|--------------|-----|-----|-----|-----|-----|
|      | 15 | 14           | 13  | 12  | 11  | 10  | 9   | 8   | 7 | 6   | 5            | 4   | 3   | 2   | 1   | 0   |
| ビット名 | -  | DSGMASK[6:0] |     |     |     |     |     |     |   | -   | CHGMASK[6:0] |     |     |     |     |     |
| R/W  | R  | R/W          | R/W | R/W | R/W | R/W | R/W | R/W | R | R/W | R/W          | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0            | 0   | 0   | 0   | 0   | 0   | 0   | 0 | 0   | 0            | 0   | 0   | 0   | 0   | 0   |

CCMASK レジスタは無負荷時の電流測定オフセット誤差がクーロンカウンタに加算されないように微小電流領域をマスクするレジスタです。

- 1) CHGMASK[6:0]ビットにより、充電電流のマスク電流を設定します。
- 2) DSGMASK[6:0]ビットにより、放電電流のマスク電流を設定します。

シャント抵抗=0.5mΩ 時

【電流ゲイン 1 倍時】

電流測定分解能=18.9212mA を単位として設定します。

設定範囲：0A～約 2.4A

【電流ゲイン 4 倍時】

電流測定分解能=4.7304mA を単位として設定します。

設定範囲：0A～約 0.6A

## 29.PWRDLY レジスタ (Adrs = 0x1E) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7           | 6   | 5   | 4   | 3           | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|-------------|-----|-----|-----|-------------|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | PDDLY[3:0] |     |     |     | SLPDLY[3:0] |     |     |     | PSVDLY[3:0] |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R/W         | R/W | R/W | R/W | R/W         | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0           | 0   | 0   | 0   | 0           | 0   | 0   | 0   |

PWRDLY レジスタはパワーセーブ状態、スリープ状態、パワーダウン状態への移行遅延時間を設定するレジスタです。

- 1) PSVDLY[3:0]ビットにより、1 秒ステップでパワーセーブ状態への移行遅延時間を設定します。

| PSVDLY[3:0] | パワーセーブ状態<br>移行遅延時間 | PSVDLY[3:0] | パワーセーブ状態<br>移行遅延時間 |
|-------------|--------------------|-------------|--------------------|
| 0x0         | 0 秒 (初期値)          | 0x8         | 8 秒                |
| 0x1         | 1 秒                | 0x9         | 9 秒                |
| 0x2         | 2 秒                | 0xA         | 10 秒               |
| 0x3         | 3 秒                | 0xB         | 11 秒               |
| 0x4         | 4 秒                | 0xC         | 12 秒               |
| 0x5         | 5 秒                | 0xD         | 13 秒               |
| 0x6         | 6 秒                | 0xE         | 14 秒               |
| 0x7         | 7 秒                | 0xF         | 15 秒               |

- 2) SLPDLY[3:0],PDDLY[3:0]ビットにより、16 秒ステップでスリープ状態、パワーダウン状態への移行遅延時間を設定します。

| SLPDLY[3:0]<br>PDDLY[3:0] | スリープ/パワーダウン<br>状態移行遅延時間 | SLPDLY[3:0]<br>PDDLY[3:0] | スリープ/パワーダウン<br>状態移行遅延時間 |
|---------------------------|-------------------------|---------------------------|-------------------------|
| 0x0                       | 16 秒 (初期値)              | 0x8                       | 144 秒                   |
| 0x1                       | 32 秒                    | 0x9                       | 160 秒                   |
| 0x2                       | 48 秒                    | 0xA                       | 176 秒                   |
| 0x3                       | 64 秒                    | 0xB                       | 192 秒                   |
| 0x4                       | 80 秒                    | 0xC                       | 208 秒                   |
| 0x5                       | 96 秒                    | 0xD                       | 224 秒                   |
| 0x6                       | 112 秒                   | 0xE                       | 240 秒                   |
| 0x7                       | 128 秒                   | 0xF                       | 256 秒                   |

POWER レジスタの ENPSV ビット="1"、または ENSLP ビット="1"、ENPD ビット="1"の場合には各移行遅延時間の設定は無効になります。

30.SETOTUT レジスタ (Adrs = 0x1F) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11        | 10  | 9   | 8   | 7      | 6            | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----------|-----|-----|-----|--------|--------------|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | RPUP[3:0] |     |     |     | ENOTUT | OTUTDLY[6:0] |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W       | R/W | R/W | R/W | R/W    | R/W          | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0         | 0   | 0   | 0   | 0      | 0            | 0   | 0   | 0   | 0   | 0   | 0   |

SETOTUT レジスタは温度検出動作許可、検出遅延時間、TEMP 端子プルアップ抵抗選択を設定するレジスタです。

- 1) OTUTDLY[6:0]ビットにより、検出遅延時間を温度測定回数で設定します。

| OTUTDLY[6:0] | 検出遅延温度測定回数 |
|--------------|------------|
| 0x00         | 0 回 (初期値)  |
| 0x01         | 1 回        |
| 0x02         | 2 回        |
| 0x03         | 3 回        |
| ...          | ...        |
| 0x7D         | 125 回      |
| 0x7E         | 126 回      |
| 0x7F         | 127 回      |

- 2) ENOTUT ビットで、温度検出動作の動作/停止の設定を行います。

| ENOTUT | 温度検出動作   |
|--------|----------|
| 0      | 停止 (初期値) |
| 1      | 動作       |

- 3) RPUP[3:0]ビットで、TEMP 端子プルアップ抵抗接続の有無の設定を行います。

| RPUP[3:0] | TEMP 端子プルアップ抵抗    |
|-----------|-------------------|
| 0x0       | 全 TEMP 端子なし (初期値) |
| 0x1       | TEMP1 端子あり        |
| 0x2       | TEMP2 端子あり        |
| 0x4       | TEMP3 端子あり        |
| 0x8       | TEMP4 端子あり        |

## 31. OTD1 レジスタ (Adrs = 0x20) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|------|----|----|----|----|------------|----|----|----|----|----|----|----|----|----|----|----|
| ビット名 | -  | -  | -  | -  | OTD1[11:0] |    |    |    |    |    |    |    |    |    |    |    |
| R/W  | R  | R  | R  | R  | RW         | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

OTD1 レジスタは TEMP1 端子の放電禁止高温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTD1[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 32. OTD2 レジスタ (Adrs = 0x21) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|------|----|----|----|----|------------|----|----|----|----|----|----|----|----|----|----|----|
| ビット名 | -  | -  | -  | -  | OTD2[11:0] |    |    |    |    |    |    |    |    |    |    |    |
| R/W  | R  | R  | R  | R  | RW         | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

OTD2 レジスタは TEMP2 端子の放電禁止高温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTD2[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 33. OTD3 レジスタ (Adrs = 0x22) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|------|----|----|----|----|------------|----|----|----|----|----|----|----|----|----|----|----|
| ビット名 | -  | -  | -  | -  | OTD3[11:0] |    |    |    |    |    |    |    |    |    |    |    |
| R/W  | R  | R  | R  | R  | RW         | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

OTD3 レジスタは TEMP3 端子の放電禁止高温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTD3[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 34. OTD4 レジスタ (Adrs = 0x23) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10 | 9  | 8  | 7  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|------|----|----|----|----|------------|----|----|----|----|----|----|----|----|----|----|----|
| ビット名 | -  | -  | -  | -  | OTD4[11:0] |    |    |    |    |    |    |    |    |    |    |    |
| R/W  | R  | R  | R  | R  | RW         | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW | RW |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

OTD4 レジスタは TEMP4 端子の放電禁止高温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTD4[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 35.OTDR1 レジスタ (Adrs = 0x24) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTDR1[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTDR1 レジスタは TEMP1 端子の放電禁止高温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTDR1[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 36.OTDR2 レジスタ (Adrs = 0x25) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTDR2[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTDR2 レジスタは TEMP2 端子の放電禁止高温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTDR2[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 37.OTDR3 レジスタ (Adrs = 0x26) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTDR3[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTDR3 レジスタは TEMP3 端子の放電禁止高温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTDR3[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 38.OTDR4 レジスタ (Adrs = 0x27) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTDR4[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTDR4 レジスタは TEMP4 端子の放電禁止高温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTDR4[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 39.UTD1 レジスタ (Adrs = 0x28) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UTD1[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTD1 レジスタは TEMP1 端子の放電禁止低温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTD1[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 40.UTD2 レジスタ (Adrs = 0x29) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UTD2[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTD2 レジスタは TEMP2 端子の放電禁止低温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTD2[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 41.UTD3 レジスタ (Adrs = 0x2A) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UTD3[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTD3 レジスタは TEMP3 端子の放電禁止低温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTD3[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 42.UTD4 レジスタ (Adrs = 0x2B) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UTD4[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTD4 レジスタは TEMP4 端子の放電禁止低温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTD4[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 43.UTDR1 レジスタ (Adrs = 0x2C) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UTDR1[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTDR1 レジスタは TEMP1 端子の放電禁止低温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTDR1[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 44.UTDR2 レジスタ (Adrs = 0x2D) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UTDR2[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTDR2 レジスタは TEMP2 端子の放電禁止低温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTDR2[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 45.UTDR3 レジスタ (Adrs = 0x2E) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UTDR3[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTDR3 レジスタは TEMP3 端子の放電禁止低温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTDR3[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 46.UTDR4 レジスタ (Adrs = 0x2F) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UTDR4[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTDR4 レジスタは TEMP4 端子の放電禁止低温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTDR4[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 47. OTC1 レジスタ (Adrs = 0x30) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTC1[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTC1 レジスタは TEMP1 端子の充電禁止高温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTC1[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 48. OTC2 レジスタ (Adrs = 0x31) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTC2[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTC2 レジスタは TEMP2 端子の充電禁止高温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTC2[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 49. OTC3 レジスタ (Adrs = 0x32) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTC3[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTC3 レジスタは TEMP3 端子の充電禁止高温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTC3[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 50. OTC4 レジスタ (Adrs = 0x33) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTC4[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTC4 レジスタは TEMP4 端子の充電禁止高温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTC4[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 51.OTCR1 レジスタ (Adrs = 0x34) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTCR1[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTCR1 レジスタは TEMP1 端子の充電禁止高温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTCR1[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 52.OTCR2 レジスタ (Adrs = 0x35) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTCR2[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTCR2 レジスタは TEMP2 端子の充電禁止高温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTCR2[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 53.OTCR3 レジスタ (Adrs = 0x36) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTCR3[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTCR3 レジスタは TEMP3 端子の充電禁止高温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTCR3[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 54.OTCR4 レジスタ (Adrs = 0x37) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | OTCR4[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTCR4 レジスタは TEMP4 端子の充電禁止高温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、OTCR4[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 55. UTC1 レジスタ (Adrs = 0x38) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11  | 10         | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  |     | UTC1[11:0] |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0   | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTC1 レジスタは TEMP1 端子の充電禁止低温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTC1[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 56. UTC2 レジスタ (Adrs = 0x39) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11  | 10         | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  |     | UTC2[11:0] |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0   | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTC2 レジスタは TEMP2 端子の充電禁止低温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTC2[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 57. UTC3 レジスタ (Adrs = 0x3A) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11  | 10         | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  |     | UTC3[11:0] |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0   | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTC3 レジスタは TEMP3 端子の充電禁止低温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTC3[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 58. UTC4 レジスタ (Adrs = 0x3B) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11  | 10         | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----|------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  |     | UTC4[11:0] |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0   | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTC4 レジスタは TEMP4 端子の充電禁止低温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTC4[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 59. UTCR1 レジスタ (Adrs = 0x3C) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | UTCR1[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTCR1 レジスタは TEMP1 端子の充電禁止低温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTCR1[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 60. UTCR2 レジスタ (Adrs = 0x3D) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11  | 10          | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  |     | UTCR2[11:0] |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0   | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTCR2 レジスタは TEMP2 端子の充電禁止低温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTCR2[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 61. UTCR3 レジスタ (Adrs = 0x3E) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11  | 10          | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  |     | UTCR3[11:0] |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0   | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTCR3 レジスタは TEMP3 端子の充電禁止低温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTCR3[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 62. UTCR4 レジスタ (Adrs = 0x3F) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11  | 10          | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----|-------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  |     | UTCR4[11:0] |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0   | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

UTCR4 レジスタは TEMP4 端子の充電禁止低温解除閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、UTCR4[11:0]ビットで設定します。

設定変更する場合は、ENOTUT ビットが"0"の時に実施してください。

## 63.CBALEN レジスタ (Adrs = 0x40) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11           | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | CBALEN[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W          | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0            | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

CBALEN レジスタはセルバランス許可電圧を設定するレジスタです。

セル電圧測定分解能=5000/4095mV として、CBALEN[11:0]ビットで設定します。

セルバランス許可電圧以下のセルに対しては、最小セル電圧との差が大きい場合でもセルバランス動作は行いません。

## 64.CBALST レジスタ (Adrs = 0x41) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11           | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | CBALST[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W          | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0            | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

CBALST レジスタはセルバランス開始電位差を設定するレジスタです。

セル電圧測定分解能=5000/4095mV として、CBALST[11:0]ビットで設定します。

セルバランス許可電圧以上で、かつ、最低セル電圧との電位差がセルバランス開始電位差以上のセルに対してセルバランス動作を行います。

なお、最低セル電圧がセルバランス許可電圧以下の場合であっても、最低セル電圧との電位差でセルバランス動作の判断を行います。

## 65.CBALSP レジスタ (Adrs = 0x42) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11           | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|--------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | CBALSP[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W          | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0            | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

CBALSP レジスタはセルバランス終了電位差を設定するレジスタです。

セル電圧測定分解能=5000/4095mV として、CBALSP[11:0]ビットで設定します。

セルバランス動作を行っていたセル電圧と最低セル電圧との電位差がセルバランス終了電位差以下になった場合に、セルバランス動作を終了します。

なお、セルバランス許可電圧以下のセル電圧になった場合にもセルバランス動作を終了します。

## 66.PREDSG レジスタ (Adrs = 0x43) ※書き込みには LOCK レジスタの解除が必要

|      | 15     | 14          | 13  | 12  | 11  | 10  | 9   | 8   | 7      | 6           | 5   | 4   | 3   | 2   | 1   | 0   |
|------|--------|-------------|-----|-----|-----|-----|-----|-----|--------|-------------|-----|-----|-----|-----|-----|-----|
| ビット名 | ENTPRD | TPRDSG[6:0] |     |     |     |     |     |     | ENVPRD | VPRDSG[6:0] |     |     |     |     |     |     |
| R/W  | R/W    | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W    | R/W         | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0      | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0      | 0           | 0   | 0   | 0   | 0   | 0   | 0   |

PREDSG レジスタはプリディスチャージ機能を設定するレジスタです。

プリディスチャージ機能は、放電制御 FET を OFF から ON に変化させるときの突入電流を防止するために、電池パック出力が指定した電圧以上に上昇するまで、あるいは、指定した時間経過するまで、小さな放電電流を流す機能です。

FETCBAL レジスタの ENPRDF ビット="1"のときは、このレジスタ設定は無効となります。

- 1) VPRDSG[6:0]ビットにより、プリディスチャージ完了電圧を 64LSB ステップ (1LSB=2500/4095mV) で設定します。

VDD 端子電圧の測定値と RSNS 端子電圧の測定値との電圧差がプリディスチャージ完了電圧以下となった場合に、プリディスチャージが完了します。

| VPRDSG[6:0] | プリディスチャージ完了電圧      |
|-------------|--------------------|
| 0x00        | 320LSB,195mV (初期値) |
| 0x01~0x04   | 320LSB,195mV       |
| 0x05        | 384LSB,234mV       |
| 0x06        | 448LSB,274mV       |
| ...         | ...                |
| 0x7D        | 8064LSB,4.92V      |
| 0x7E        | 8128LSB,4.96V      |
| 0x7F        | 8192LSB,5.00V      |

- 2) ENVPRD ビットにより、プリディスチャージ完了電圧設定の有効/無効を設定します。

ENVPRD ビット="1"に設定すると、VDD 端子電圧測定結果と RSNS 端子電圧測定結果の差がプリディスチャージ完了電圧以下になった場合に、プリディスチャージを終了し、PRD\_FET 端子出力を 13V から 0V に変更し、プリディスチャージ割り込み QPRDSG を発生します。

| ENVPRD | プリディスチャージ完了電圧設定 |
|--------|-----------------|
| 0      | 無効 (初期値)        |
| 1      | 有効              |

- 3) TPRDSG[6:0]ビットにより、プリディスチャージ時間を 25ms ステップ、25~3200ms で設定します。

プリディスチャージ時間経過すると、プリディスチャージを終了し、PRD\_FET 端子出力を Vs+11V(Typ.)から 0V に変更し、プリディスチャージ割り込み QPRDSG を発生します。

| TPRDSG[6:0] | プリディスチャージ時間 |
|-------------|-------------|
| 0x00        | 25ms (初期値)  |
| 0x01        | 50ms        |
| 0x02        | 75ms        |
| 0x03        | 100ms       |
| ...         | ...         |
| 0x7D        | 3150ms      |
| 0x7E        | 3175ms      |
| 0x7F        | 3200ms      |

- 4) ENTPRD ビットにより、プリディスチャージ時間設定の有効/無効を設定します。

| ENTPRD | プリディスチャージ時間設定 |
|--------|---------------|
| 0      | 無効 (初期値)      |
| 1      | 有効            |

## 67.SETSOV レジスタ (Adrs = 0x44) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7     | 6           | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----|----|---|---|-------|-------------|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | -  | -  | - | - | ENSOV | SOVDLY[6:0] |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R  | R  | R | R | R/W   | R/W         | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0     | 0           | 0   | 0   | 0   | 0   | 0   | 0   |

SETSOV レジスタは 2 次過充電検出を設定するレジスタです。

- 1) SOVDLY[6:0]ビットにより、2 次過充電検出遅延時間として、セル電圧測定回数を設定します。

検出遅延時間は、セル電圧測定周期×セル電圧測定回数となります。

| SOVDLY[6:0] | セル電圧測定回数 |
|-------------|----------|
| 0x00        | 0 (初期値)  |
| 0x01        | 4        |
| 0x02        | 8        |
| 0x03        | 12       |
| ...         | ...      |
| 0x7D        | 500      |
| 0x7E        | 504      |
| 0x7F        | 508      |

- 2) ENSOV ビットは 2 次過充電検出動作の動作/停止を設定します。

| ENSOV | 2 次過充電検出動作 |
|-------|------------|
| 0     | 停止 (初期値)   |
| 1     | 動作         |

## 68.SOVDET レジスタ (Adrs = 0x45) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11        | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | SOV[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W       | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0         | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

SOVDET レジスタは、2 次過充電検出閾値を設定するレジスタです。

セル電圧測定分解能=5000/4095mV として、SOV[11:0]ビットで設定します。

設定変更する場合は、ENSOV ビットが"0"の時に実施してください。

SOV[11:0]ビットは必ず OVDET レジスタの過充電検出閾値 OV[11:0]より高い値に設定して下さい。

## 69.SETSUV レジスタ (Adrs = 0x46) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7     | 6           | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----|----|---|---|-------|-------------|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | -  | -  | - | - | ENSUV | SUVDLY[6:0] |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R  | R  | R | R | R/W   | R/W         | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0     | 0           | 0   | 0   | 0   | 0   | 0   | 0   |

SETSUV レジスタは 2 次過放電検出動作許可、および、検出遅延時間を設定するレジスタです。

- 1) SUVDLY[6:0]ビットにより、2 次過放電検出遅延時間として、セル電圧測定回数を設定します。

検出遅延時間は、セル電圧測定周期×セル電圧測定回数となります。

| SUVDLY[6:0] | セル電圧測定回数 |
|-------------|----------|
| 0x00        | 0 (初期値)  |
| 0x01        | 4        |
| 0x02        | 8        |
| ...         | ...      |
| 0x7D        | 500      |
| 0x7E        | 504      |
| 0x7F        | 508      |

- 2) ENSUV ビットで、2 次過放電検出動作の動作/停止の設定を行います。

| ENSUV | 2 次過放電検出動作 |
|-------|------------|
| 0     | 停止(初期値)    |
| 1     | 動作         |

## 70.SUVDET レジスタ (Adrs = 0x47) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11        | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | SUV[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W       | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0         | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

SUVDET レジスタは、2 次過放電検出閾値を設定するレジスタです。

セル電圧測定分解能=5000/4095mV として、SUV[11:0]ビットで設定します。

設定変更する場合は、ENSUV ビットが“0”の時に実施してください。

SUV[11:0]ビットは必ず UVDET レジスタの過放電検出閾値 UV[11:0]より低い値に設定して下さい。

## 71. SOCC レジスタ (Adrs = 0x48) ※書き込みには LOCK レジスタの解除が必要

|      | 15     | 14 | 13 | 12 | 11           | 10  | 9   | 8   | 7 | 6 | 5         | 4   | 3   | 2   | 1   | 0   |
|------|--------|----|----|----|--------------|-----|-----|-----|---|---|-----------|-----|-----|-----|-----|-----|
| ビット名 | ENSOCC | -  | -  | -  | SOCCDLY[3:0] |     |     |     | - | - | SOCC[5:0] |     |     |     |     |     |
| R/W  | R/W    | R  | R  | R  | R/W          | R/W | R/W | R/W | R | R | R/W       | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0      | 0  | 0  | 0  | 0            | 0   | 0   | 0   | 0 | 0 | 0         | 0   | 0   | 0   | 0   | 0   |

SOCC レジスタは 2 次充電過電流検出動作許可、および、2 次充電過電流検出閾値、検出遅延時間を設定するレジスタです。

- 1) SOCC[5:0]ビットにより、2 次充電過電流検出閾値を設定します。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA の 128 倍である 2.422A を単位として設定します。

設定範囲：0A～約 152A

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA の 128 倍である 1.211A を単位として設定します。

設定範囲：0A～約 76A

設定変更する場合は、ENSOCC ビットが"0"の時に実施してください。

- 2) SOCCDLY[3:0]ビットにより、1 秒ステップで 2 次充電過電流検出遅延時間を設定します。

| SOCCDLY[3:0] | 2 次充電過電流検出遅延時間 |
|--------------|----------------|
| 0x0          | 0 秒 (初期値)      |
| 0x1          | 0 秒～1 秒        |
| 0x2          | 1 秒～2 秒        |
| ...          | ...            |
| 0xD          | 12 秒～13 秒      |
| 0xE          | 13 秒～14 秒      |
| 0xF          | 14 秒～15 秒      |

- 3) ENSOCC ビットで、2 次充電過電流検出動作の動作/停止の設定を行います。

| ENSOCC | 2 次充電過電流検出動作 |
|--------|--------------|
| 0      | 停止 (初期値)     |
| 1      | 動作           |

## 72.SOCD レジスタ (Adrs = 0x49) ※書き込みには LOCK レジスタの解除が必要

|      | 15     | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7 | 6 | 5         | 4   | 3   | 2   | 1   | 0   |
|------|--------|----|----|----|-------------|-----|-----|-----|---|---|-----------|-----|-----|-----|-----|-----|
| ビット名 | ENSOCD | -  | -  | -  | SOCDDL[3:0] |     |     |     | - | - | SOCD[5:0] |     |     |     |     |     |
| R/W  | R/W    | R  | R  | R  | R/W         | R/W | R/W | R/W | R | R | R/W       | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0      | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0 | 0 | 0         | 0   | 0   | 0   | 0   | 0   |

SOCD レジスタは 2 次放電過電流検出動作許可、および、2 次放電過電流検出閾値、検出遅延時間を設定するレジスタです。

- 1) SOCD[5:0]ビットにより、2 次放電過電流検出閾値を設定します。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA の 512 倍である 9.688A を単位として設定します。

設定範囲：0A～約 610A

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA の 512 倍である 4.844A を単位として設定します。

設定範囲：0A～約 305A

設定変更する場合は、ENSOCD ビットが"0"の時に実施してください。

- 2) SOCDDL[3:0]ビットにより、1 秒ステップで 2 次放電過電流検出遅延時間を設定します。

| SOCDDL[3:0] | 2 次放電過電流検出遅延時間 |
|-------------|----------------|
| 0x0         | 0 秒 (初期値)      |
| 0x1         | 0 秒～1 秒        |
| 0x2         | 1 秒～2 秒        |
| ...         | ...            |
| 0xD         | 12 秒～13 秒      |
| 0xE         | 13 秒～14 秒      |
| 0xF         | 14 秒～15 秒      |

- 3) ENSOCD ビットで、2 次放電過電流検出動作の動作/停止の設定を行います。

| ENSOCD | 2 次放電過電流検出動作 |
|--------|--------------|
| 0      | 停止 (初期値)     |
| 1      | 動作           |

## 73.SETSOT レジスタ (Adrs = 0x4A) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11         | 10  | 9   | 8   | 7 | 6           | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|------------|-----|-----|-----|---|-------------|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | ENSOT[3:0] |     |     |     | - | SOTDLY[6:0] |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W        | R/W | R/W | R/W | R | R/W         | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0          | 0   | 0   | 0   | 0 | 0           | 0   | 0   | 0   | 0   | 0   | 0   |

SETSOT レジスタは 2 次高温検出 TEMP 端子の設定、および、2 次高温検出遅延時間を設定するレジスタです。

- 1) SOTDLY[6:0]ビットにより、検出遅延時間を温度測定回数で設定します。

| SOTDLY[6:0] | 検出遅延温度測定回数 |
|-------------|------------|
| 0x00        | 0 (初期値)    |
| 0x01        | 4          |
| 0x02        | 8          |
| ...         | ...        |
| 0x7D        | 500        |
| 0x7E        | 504        |
| 0x7F        | 508        |

- 2) ENSOT[3:0]ビットにより、2 次高温検出動作を適用する TEMP 端子を設定します。

| ENSOT[0] | TEMP1 端子  |
|----------|-----------|
| 0        | 未適用 (初期値) |
| 1        | 適用        |

| ENSOT[1] | TEMP2 端子  |
|----------|-----------|
| 0        | 未適用 (初期値) |
| 1        | 適用        |

| ENSOT[2] | TEMP3 端子  |
|----------|-----------|
| 0        | 未適用 (初期値) |
| 1        | 適用        |

| ENSOT[3] | TEMP4 端子  |
|----------|-----------|
| 0        | 未適用 (初期値) |
| 1        | 適用        |

## 74.SOT レジスタ (Adrs = 0x4B) ※書き込みには LOCK レジスタの解除が必要

|      | 15 | 14 | 13 | 12 | 11        | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|-----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | SOT[11:0] |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R/W       | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0         | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

SOT レジスタは 2 次高温検出閾値を設定するレジスタです。

TEMP 端子電圧測定分解能=2500/4095mV として、SOT[11:0]ビットで設定します。

設定変更する場合は、ENSOT ビットが"0"の時に実施してください。

75.SCFET レジスタ (Adrs = 0x4C) ※書き込みには LOCK レジスタの解除が必要

|      |       |    |    |    |             |     |     |     |   |   |   |   |            |     |     |     |
|------|-------|----|----|----|-------------|-----|-----|-----|---|---|---|---|------------|-----|-----|-----|
|      | 15    | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7 | 6 | 5 | 4 | 3          | 2   | 1   | 0   |
| ビット名 | ENSCF | -  | -  | -  | SCFDLY[3:0] |     |     |     | - | - | - | - | SCFET[3:0] |     |     |     |
| R/W  | R/W   | R  | R  | R  | R/W         | R/W | R/W | R/W | R | R | R | R | R/W        | R/W | R/W | R/W |
| 初期値  | 0     | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0 | 0 | 0 | 0 | 0          | 0   | 0   | 0   |

SCFET レジスタは充電制御 FET 故障検出動作、故障検出閾値および検出遅延時間を設定するレジスタです。  
C\_FET=OFF 時に閾値以上の電流が検出遅延時間以上流れた場合に異常を検出します。

- 1) SCFET[3:0]ビットにより、検出閾値充電電流を設定します。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA の 16 倍である 0.302A を単位として設定します。

設定範囲：0A～約 4.5A

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA の 16 倍である 0.151A を単位として設定します。

設定範囲：0A～約 2.2A

設定変更する場合は、ENSCF ビットが“0”の時に実施してください。

- 2) SCFDLY[3:0]ビットにより、検出遅延時間を 1 秒ステップで設定します。

| SCFDLY[3:0] | 検出遅延時間    |
|-------------|-----------|
| 0x0         | 0 秒 (初期値) |
| 0x1         | 0 秒～1 秒   |
| 0x2         | 1 秒～2 秒   |
| ...         | ...       |
| 0xD         | 12 秒～13 秒 |
| 0xE         | 13 秒～14 秒 |
| 0xF         | 14 秒～15 秒 |

- 3) ENSCF ビットで、充電制御 FET 故障検出動作の設定を行います。

| ENSCF | 充電制御 FET 故障検出 |
|-------|---------------|
| 0     | 停止 (初期値)      |
| 1     | 動作            |

## 76.SDFET レジスタ (Adrs = 0x4D) ※書き込みには LOCK レジスタの解除が必要

|      | 15    | 14 | 13 | 12 | 11          | 10  | 9   | 8   | 7 | 6 | 5 | 4 | 3          | 2   | 1   | 0   |
|------|-------|----|----|----|-------------|-----|-----|-----|---|---|---|---|------------|-----|-----|-----|
| ビット名 | ENSDF | -  | -  | -  | SDFDLY[3:0] |     |     |     | - | - | - | - | SDFET[3:0] |     |     |     |
| R/W  | R/W   | R  | R  | R  | R/W         | R/W | R/W | R/W | R | R | R | R | R/W        | R/W | R/W | R/W |
| 初期値  | 0     | 0  | 0  | 0  | 0           | 0   | 0   | 0   | 0 | 0 | 0 | 0 | 0          | 0   | 0   | 0   |

SDFET レジスタは放電制御 FET 故障検出動作、故障検出閾値および検出遅延時間を設定するレジスタです。

D\_FET=OFF 時に閾値以上の電流が検出遅延時間以上流れた場合に異常を検出します。

- 1) SDFET[3:0]ビットにより、検出閾値放電電流を設定します。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA の 64 倍である 1.21A を単位として設定します。

設定範囲：0A～約 18.1A

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA の 64 倍である 0.605A を単位として設定します。

設定範囲：0A～約 9.0A

設定変更する場合は、ENSDF ビットが"0"の時に実施してください。

- 2) SDFDLY[3:0]ビットにより、検出遅延時間を 1 秒ステップで設定します。

| SDFDLY[3:0] | 検出遅延時間    |
|-------------|-----------|
| 0x0         | 0 秒 (初期値) |
| 0x1         | 0 秒～1 秒   |
| 0x2         | 1 秒～2 秒   |
| ...         | ...       |
| 0xD         | 12 秒～13 秒 |
| 0xE         | 13 秒～14 秒 |
| 0xF         | 14 秒～15 秒 |

- 3) ENSDF ビットで、放電制御 FET 故障検出動作の設定を行います。

| ENSDF | 放電制御 FET 故障検出 |
|-------|---------------|
| 0     | 停止 (初期値)      |
| 1     | 動作            |

## 77.FUSE レジスタ (Adrs = 0x4E) ※書き込みには LOCK レジスタの解除が必要

|      | 7      | 6      | 5      | 4    | 3     | 2     | 1    | 0    |
|------|--------|--------|--------|------|-------|-------|------|------|
| ビット名 | ENFUSE | FSDFET | FSCFET | FSOT | FSOCD | FSOCC | FSUV | FSOV |
| R/W  | R/W    | R/W    | R/W    | R/W  | R/W   | R/W   | R/W  | R/W  |
| 初期値  | 0      | 0      | 0      | 0    | 0     | 0     | 0    | 0    |

|      | 15         | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
|------|------------|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | TBLOW[7:0] |     |     |     |     |     |     |     |
| R/W  | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

FUSE レジスタは外部ヒューズ切断動作、2 次異常検出選択、ヒューズ切断時間の設定を行うレジスタです。

- 1) ENFUSE ビットにより、外部ヒューズ切断動作の設定を行います。

| ENFUSE | 外部ヒューズ切断動作 |
|--------|------------|
| 0      | 停止 (初期値)   |
| 1      | 動作         |

以下の各ビットを"1"に設定することにより、2 次異常検出時に FUSE 端子に"H"レベルを出力し、外部ヒューズを切断します。"0"に設定すると、2 次異常検出しても、外部ヒューズは切断しません。

| ビット    | ヒューズ切断<br>2 次異常検出 |
|--------|-------------------|
| FSOV   | 2 次過充電検出          |
| FSUV   | 2 次過放電検出          |
| FSOCC  | 2 次充電過電流検出        |
| FSOCD  | 2 次放電過電流検出        |
| FSOT   | 2 次高温検出           |
| FSCFET | 充電制御 FET 故障検出     |
| FSDFET | 放電制御 FET 故障検出     |

- 2) TBLOW[7:0]ビットにより、ヒューズ切断時間の設定を行います。

| TBLOW[7:0] | ヒューズ切断時間    |
|------------|-------------|
| 0x00       | 無限 (初期値)    |
| 0x01       | 0 秒～1 秒     |
| 0x02       | 1 秒～2 秒     |
| 0x03       | 2 秒～3 秒     |
| ...        | ...         |
| 0xFE       | 253 秒～254 秒 |
| 0xFF       | 254 秒～255 秒 |

ヒューズ切断時間経過後、INT\_REQ3 レジスタのヒューズ切断完了割り込み QFUSE が発生し、次の電圧測定周期からスリープ状態に移行します。

ただし、PSNS 端子電圧が充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以下になるまで、かつ、/PUPIN 端子が"H"レベルになるまで、スリープ状態には移行しません。

TBLOW[7:0]ビット=0x00 のときは FUSE 端子に"H"レベルを出力し続け、すぐに割り込みが発生し、次の電圧測定周期からスリープ状態に移行します。スリープ状態に移行しても、FUSE 端子に"H"レベルを出力し続けます。

また、STATUS2 レジスタの FUSE ビットも"1"にセットされ、ENFUSE ビットが"0"に設定されるまで保持されます。

## 78.VCELLn レジスタ (Adrs = 0x4F~0x58)

|      | 15 | 14 | 13 | 12 | 11           | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|--------------|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | -  | -  | -  | -  | VCELLn[11:0] |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R  | R  | R  | R  | R            | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | 0  | 0  | 0  | 0  | *            | *  | * | * | * | * | * | * | * | * | * | * |

VCELLn レジスタ (n=1~10) は、各セル電圧の測定結果が格納されるレジスタです。

セル電圧測定分解能=5000/4095mV です。

## 79.G1\_ICELLn レジスタ (Adrs = 0x5A~0x63)

|      | 15              | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|-----------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | G1_ICELLn[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R               | R  | R  | R  | R  | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | 0               | 1  | 1  | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

G1\_ICELLn レジスタ (n=1~10) は、電流ゲイン 1 倍時の各セル電圧測定時の電流測定結果が格納されるレジスタです。

G1\_ICELLn [15]ビットは符号ビットで、充電電流の時"0"、放電電流の時"1"となります。2's コンプリメントバイナリフォーマットです。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA です。

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA です。

SEL レジスタの IGAIN ビットで電流ゲイン倍率が 1 倍に設定されていない場合、本レジスタには 0x7FFF が格納されます。

## 80.G4\_ICELLn レジスタ (Adrs = 0x64~0x6D)

|      | 15              | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|-----------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | G4_ICELLn[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R               | R  | R  | R  | R  | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | 0               | 1  | 1  | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

G4\_ICELLn レジスタ (n=1~10) は、電流ゲイン 4 倍時の各セル電圧測定時の電流測定結果が格納されるレジスタです。

G4\_ICELLn [15]ビットは符号ビットで、充電電流の時"0"、放電電流の時"1"となります。2's コンプリメントバイナリフォーマットです。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=4.7304mA です。

【シャント抵抗=1.0mΩ 時】

電流測定分解能=2.3652mA です。

SEL レジスタの IGAIN ビットで電流ゲイン倍率が 4 倍に設定されていない場合、本レジスタには 0x7FFF が格納されます。

## 81.G1\_CURR レジスタ (Adrs = 0x6E)

|      | 15            | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | G1_CURR[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R             | R  | R  | R  | R  | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | 0             | 1  | 1  | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

G1\_CURR レジスタは、電流ゲイン 1 倍時の電流測定結果が格納されるレジスタです。

2ms 毎に更新されます。

G1\_CURR[15]ビットは符号ビットで、充電電流の時"0"、放電電流の時"1"となります。2's コンプリメントバイナリフォーマットです。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=18.9212mA です。

【シャント抵抗=1.0mΩ 時】

電流測定分解能=9.4606mA です。

SEL レジスタの IGAIN ビットで電流ゲイン倍率が 1 倍に設定されてない場合、本レジスタには 0x7FFF が格納されます。

## 82.G4\_CURR レジスタ (Adrs = 0x6F)

|      | 15            | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---------------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | G4_CURR[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R             | R  | R  | R  | R  | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | 0             | 1  | 1  | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

G4\_CURR レジスタは、電流ゲイン 4 倍時の電流測定結果が格納されるレジスタです。

2ms 毎に更新されます。

G4\_CURR[15]ビットは符号ビットで、充電電流の時"0"、放電電流の時"1"となります。2's コンプリメントバイナリフォーマットです。

【シャント抵抗=0.5mΩ 時】

電流測定分解能=4.7304mA です。

【シャント抵抗=1.0mΩ 時】

電流測定分解能=2.3652mA です。

SEL レジスタの IGAIN ビットで電流ゲイン倍率が 4 倍に設定されてない場合、本レジスタには 0x7FFF が格納されます。

## 83.CCL レジスタ (Adrs = 0x70)

|      | 15        | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|-----------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | CCL[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R         | R  | R  | R  | R  | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | *         | *  | *  | *  | *  | *  | * | * | * | * | * | * | * | * | * | * |

CCL レジスタは、クーロンカウンタの下位 16bit データが格納されるレジスタです。

PERIOD レジスタの CC[1:0]ビットで設定した周期毎に更新されます。

電流積算単位は、次式で表されます。

電流測定分解能 × 0.002 (CURR 測定周期) ÷ 3600 [Ah]

シャント抵抗=0.5mΩ のとき、電流積算単位 = 10.5118nAh となります。

## 84.CCH レジスタ (Adrs = 0x71)

|      | 15        | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|-----------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | CCH[15:0] |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R         | R  | R  | R  | R  | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | *         | *  | *  | *  | *  | *  | * | * | * | * | * | * | * | * | * | * |

CCH レジスタは、クーロンカウンタの上位 16bit データが格納されるレジスタです。

PERIOD レジスタの CC[1:0]ビットで設定した周期毎に更新されます。

CCH[15]ビットは符号ビットで、充電電流の時"0"、放電電流の時"1"となります。2's コンプリメントバイナリフォーマットです。

CCH レジスタ値は、下位データである CCL レジスタをリードしたときに更新されますので、CCL、CCH レジスタの順番で 2 つのレジスタを連続リードしてください。

## 85.INTEGCL レジスタ (Adrs = 0x72)

|      | 15            | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | INTEGCL[15:0] |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R/W           | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0             | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

INTEGCL レジスタは、クーロンカウンタの下位 16bit データが格納されるレジスタです。

設定したレジスタ値に対して、2ms 毎に G1\_CURR もしくは G4\_CURR レジスタ値が積算されます。

電流積算単位は次式で表されます。

$$\text{電流測定分解能} \times 0.002 (\text{CURR 測定周期}) \div 3600 \times 4 [\text{Ah}]$$

シャント抵抗=0.5mΩ のとき、電流積算単位 = 42.048nAh となります。

## 86.INTEGCH レジスタ (Adrs = 0x73)

|      | 15            | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|---------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | INTEGCH[15:0] |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R/W           | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0             | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

INTEGCH レジスタは、クーロンカウンタの上位 16bit データが格納されるレジスタです。

2ms 毎に更新されます。

INTEGCH[15]ビットは符号ビットではありません。ストレートバイナリフォーマットで電池残量を表示します。

【レジスタリード時、およびライト時の注意事項】

INTEGCH レジスタ値は、下位データである INTEGCL レジスタをリードしたときに更新されますので、INTEGCL、INTEGCH レジスタの順番で 2 つのレジスタを連続リードおよび連続ライトしてください。

## 87.TEMPn レジスタ (Adrs = 0x74~0x77)

|      | 15 | 14 | 13 | 12 | 11          | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|-------------|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | -  | -  | -  | -  | TEMPn[11:0] |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R  | R  | R  | R  | R           | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | 0  | 0  | 0  | 0  | *           | *  | * | * | * | * | * | * | * | * | * | * |

TEMPn レジスタ (n=1~4) は、TEMPn 端子 (n=1~4) の電圧測定結果が格納されるレジスタです。

TEMPn 端子電圧測定分解能=2500/4095mV です。

## 88.PSNS レジスタ (Adrs = 0x78)

|      | 15 | 14 | 13 | 12 | 11         | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|------------|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | -  | -  | -  | -  | PSNS[11:0] |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R  | R  | R  | R  | R          | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | 0  | 0  | 0  | 0  | *          | *  | * | * | * | * | * | * | * | * | * | * |

PSNS レジスタは、PSNS 端子電圧を 1/32 倍した電圧の測定結果が格納されるレジスタです。

PSNS 端子電圧測定分解能=32×2500/4095mV です。

## 89.RSNS レジスタ (Adrs = 0x79)

|      | 15 | 14 | 13 | 12 | 11         | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|------------|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | -  | -  | -  | -  | RSNS[11:0] |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R  | R  | R  | R  | R          | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | 0  | 0  | 0  | 0  | *          | *  | * | * | * | * | * | * | * | * | * | * |

RSNS レジスタは、RSNS 端子電圧を 1/32 倍した電圧の測定結果が格納されるレジスタです。

RSNS 端子電圧測定分解能=32×2500/4095mV です。

## 90.VDD レジスタ (Adrs = 0x7A)

|      | 15 | 14 | 13 | 12 | 11        | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|-----------|----|---|---|---|---|---|---|---|---|---|---|
| ビット名 | -  | -  | -  | -  | VDD[11:0] |    |   |   |   |   |   |   |   |   |   |   |
| R/W  | R  | R  | R  | R  | R         | R  | R | R | R | R | R | R | R | R | R | R |
| 初期値  | 0  | 0  | 0  | 0  | *         | *  | * | * | * | * | * | * | * | * | * | * |

VDD レジスタは、VDD 端子電圧を 1/32 倍した電圧の測定結果が格納されるレジスタです。

VDD 端子電圧測定分解能=32×2500/4095mV です。

## 91.VGAIN レジスタ (Adrs = 0x7B)

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6          | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----|----|---|---|---|------------|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | -  | -  | - | - | - | VGAIN[6:0] |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R  | R  | R | R | R | R/W        | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0          | 0   | 0   | 0   | 0   | 0   | 0   |

VGAIN レジスタは、セル電圧測定結果のゲイン補正値を設定するレジスタです。

VGAIN[6:0]ビットとゲイン補正値の関係式を以下に示します。

初期値は、LSI 製造工程内で求めた補正値が格納されています。

ゲイン補正値 =  $1 + 2^{(-11)} \times \text{VGAIN}$  (2's コンプリメントバイナリ)

| VGAIN[6:0] | ゲイン補正値 |
|------------|--------|
| 0x00       | 1.0000 |
| 0x01       | 1.0005 |
| 0x02       | 1.0010 |
| 0x03       | 1.0015 |
| ...        | ...    |
| 0x3C       | 1.0293 |
| 0x3D       | 1.0298 |
| 0x3E       | 1.0303 |
| 0x3F       | 1.0308 |

| VGAIN[6:0] | ゲイン補正値 |
|------------|--------|
| 0x40       | 0.9688 |
| 0x41       | 0.9692 |
| 0x42       | 0.9697 |
| 0x43       | 0.9702 |
| ...        | ...    |
| 0x7C       | 0.9981 |
| 0x7D       | 0.9985 |
| 0x7E       | 0.9990 |
| 0x7F       | 0.9995 |

92.VOFST レジスタ (Adrs = 0x7C)

|      |    |    |    |    |    |    |   |   |            |     |     |     |     |     |     |     |
|------|----|----|----|----|----|----|---|---|------------|-----|-----|-----|-----|-----|-----|-----|
|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7          | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| ビット名 | -  | -  | -  | -  | -  | -  | - | - | VOFST[7:0] |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R  | R  | R | R | R/W        | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

VOFST レジスタはセル電圧測定結果のオフセット補正値を設定するレジスタです。  
セル電圧測定分解能 LSB=5000/4095mV とした場合の VOFST[7:0]ビットとオフセット補正値の関係を下表に示します。  
初期値は、LSI 製造工程内で求めた補正値が格納されています。

| VOFST[7:0] | オフセット補正値 | VOFST[7:0] | オフセット補正値 |
|------------|----------|------------|----------|
| 0x00       | 0        | 0x80       | -128LSB  |
| 0x01       | +1LSB    | 0x81       | -127LSB  |
| 0x02       | +2LSB    | 0x82       | -126LSB  |
| 0x03       | +3LSB    | 0x83       | -125LSB  |
| ...        | ...      | ...        | ...      |
| 0x7D       | +125LSB  | 0xFD       | -3LSB    |
| 0x7E       | +126LSB  | 0xFE       | -2LSB    |
| 0x7F       | +127LSB  | 0xFF       | -1LSB    |

VGAIN、VOFST レジスタには、LSI 製造工程内で求めた補正値が格納されています。  
再補正を行う場合は、VGAIN、VOFST レジスタを 0x00 に書き換えた上で、任意のセル電圧でセル電圧測定を行い補正値を算出して MCU 等に保存し、その値を VGAIN、VOFST レジスタに設定することを推奨します。

## 93.CC\_CAL レジスタ (Adrs = 0x7D)

|      | 15          | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6 | 5 | 4   | 3      | 2 | 1 | 0      |
|------|-------------|-----|-----|-----|-----|-----|-----|-----|-----|---|---|-----|--------|---|---|--------|
| ビット名 | CAL_FS[8:0] |     |     |     |     |     |     |     |     |   | - | -   | ZS_CAL | - | - | FS_CAL |
| R/W  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R | R | R/W | R      | R | R | R/W    |
| 初期値  | 0           | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0 | 0 | 0   | 0      | 0 | 0 | 0      |

CC\_CAL レジスタはクーロンカウンタのキャリブレーションを設定するレジスタです。

- 1) FS\_CAL ビットにより、フルスケールキャリブレーションを実行します。

最大の放電電流がシャント抵抗に流れた時のシャント抵抗の両端の電位差を ISP-ISM 端子間に外部から入力してください。  
キャリブレーション完了後、INT\_REQ2 レジスタの QCCCAL ビットがセットされます。

| FS_CAL | フルスケールキャリブレーション |
|--------|-----------------|
| 0      | 完了 (初期値)        |
| 1      | 実行              |

- 2) ZS\_CAL ビットにより、ゼロスケールキャリブレーションを実行します。

キャリブレーション完了後、INT\_REQ2 レジスタの QCCCAL ビットがセットされます。

| ZS_CAL | ゼロスケールキャリブレーション |
|--------|-----------------|
| 0      | 完了 (初期値)        |
| 1      | 実行              |

- 3) CAL\_FS[8:0]ビットにより、フルスケールキャリブレーション実行時の入力フルスケールを設定します。

電流ゲイン倍率 1 倍時は、

【シャント抵抗=0.5mΩ 時】

CAL\_FS[8:0]= 0x003~0x136= -6A~-620A の範囲で設定してください。

【シャント抵抗=1.0mΩ 時】

CAL\_FS[8:0]=0x003~0x136= -3A~-310A の範囲で設定してください。

電流ゲイン倍率 4 倍時は、

【シャント抵抗=0.5mΩ 時】

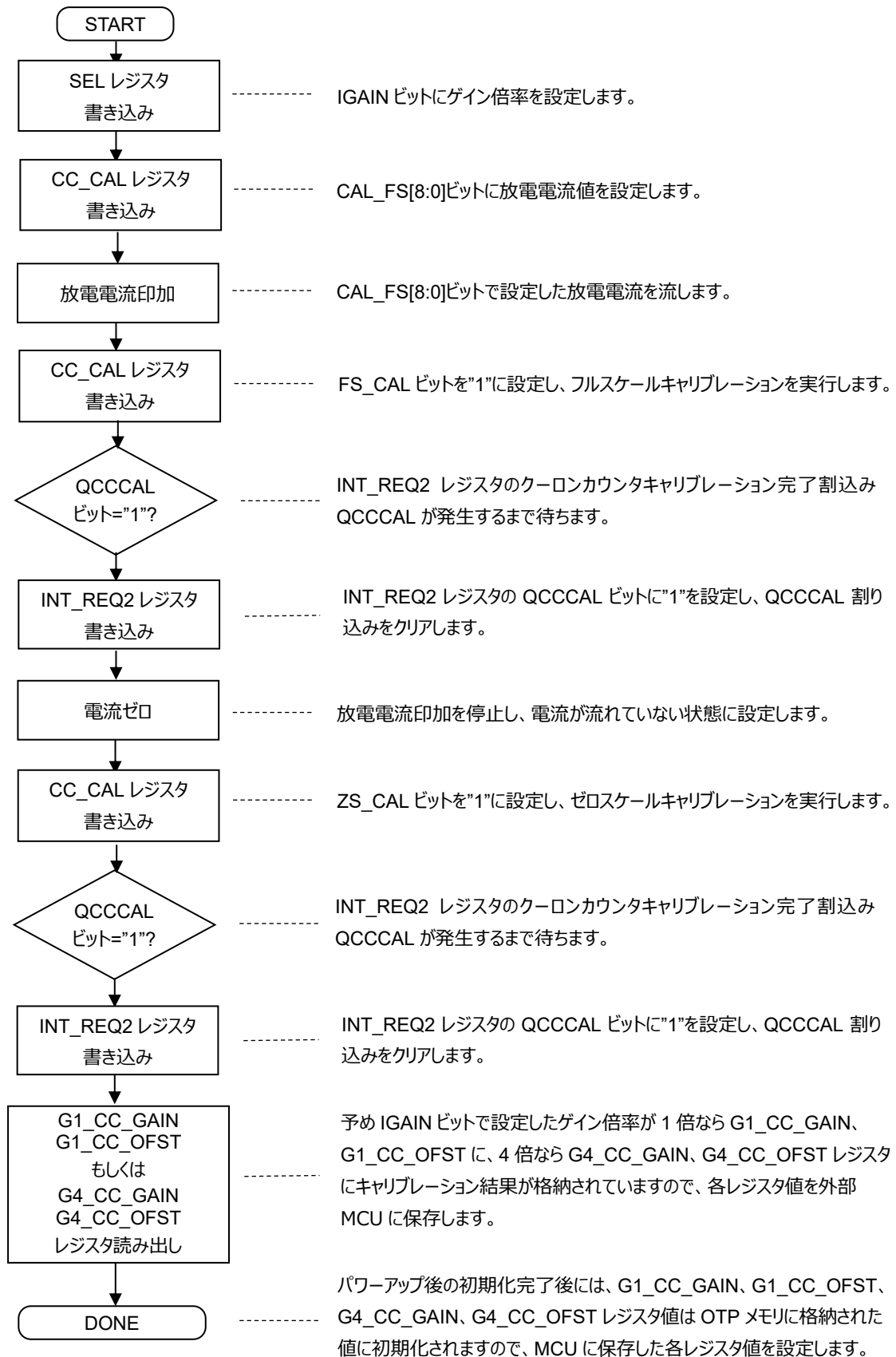
CAL\_FS[8:0]= 0x003~0x136= -1.5A~-155A の範囲で設定してください。

【シャント抵抗=1.0mΩ 時】

CAL\_FS[8:0]=0x003~0x136= -0.75A~-77.5A の範囲で設定してください。

※フルスケールの設定電流が十分でない場合、キャリブレーション精度が低下する可能性があります。

以下に、クーロンカウンタのキャリブレーション実行フローチャートを示します。電流ゲイン倍率毎にフローチャートに従って、キャリブレーション値を求めてください。



## 94. G1\_CC\_GAIN レジスタ (Adrs = 0x7E)

|      | 15               | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | G1_CC_GAIN[15:0] |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R/W              | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0/1              | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 |

G1\_CC\_GAIN レジスタは、ゲイン 1 倍時の電流測定結果のゲイン補正値を設定するレジスタです。

初期値は、LSI 製造工程内で求めたゲイン補正値が格納されています。

G1\_CC\_GAIN[15:0]ビットとゲイン補正値の関係式は以下の通りです。

ゲイン補正値 =  $1 + 2^{(-13)} \times 3 \times \text{G1\_CC\_GAIN}$  (2's コンプリメントバイナリ)

| G1_CC_GAIN[15:0] | ゲイン補正値  |
|------------------|---------|
| 0x0000           | 1.0000  |
| 0x0001           | 1.0004  |
| 0x0002           | 1.0007  |
| 0x0003           | 1.0011  |
| ...              | ...     |
| 0x7FFC           | 12.9985 |
| 0x7FFD           | 12.9989 |
| 0x7FFE           | 12.9993 |
| 0x7FFF           | 12.9996 |

| G1_CC_GAIN[15:0] | ゲイン補正値 |
|------------------|--------|
| 0x8000-0xF555    | 設定禁止   |
| 0xF556           | 0.0002 |
| 0xF557           | 0.0006 |
| 0xF558           | 0.0010 |
| ...              | ...    |
| 0xFFFFC          | 0.9985 |
| 0xFFFFD          | 0.9989 |
| 0xFFFFE          | 0.9993 |
| 0xFFFFF          | 0.9996 |

## 95. G1\_CC\_OFST レジスタ (Adrs = 0x7F)

|      | 15               | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | G1_CC_OFST[15:0] |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R/W              | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0/1              | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 |

G1\_CC\_OFST レジスタは、ゲイン 1 倍時の電流測定結果のオフセット補正値を設定するレジスタです。

初期値は、LSI 製造工程内で求めたオフセット補正値が格納されています。

シャント抵抗=0.5mΩ 時電流測定分解能 LSB=18.9212mA とした場合の G1\_CC\_OFST[15:0]ビットとオフセット補正値の関係を下表に示します。

| G1_CC_OFST[15:0] | オフセット補正値  |
|------------------|-----------|
| 0x0000           | 0         |
| 0x0001           | +1LSB     |
| 0x0002           | +2LSB     |
| 0x0003           | +3LSB     |
| ...              | ...       |
| 0x7FFC           | +32765LSB |
| 0x7FFD           | +32766LSB |
| 0x7FFE           | +32767LSB |

| G1_CC_OFST[15:0] | オフセット補正値  |
|------------------|-----------|
| 0x8000           | -32768LSB |
| 0x8001           | -32767LSB |
| 0x8002           | -32766LSB |
| 0x8003           | -32765LSB |
| ...              | ...       |
| 0xFFFFD          | -3LSB     |
| 0xFFFFE          | -2LSB     |
| 0xFFFFF          | -1LSB     |

## 96. G4\_CC\_GAIN レジスタ (Adrs = 0x80)

|      | 15                | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|-------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | G4_CC_GAIN [15:0] |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R/W               | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0/1               | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 |

G4\_CC\_GAIN レジスタは、電流ゲイン 4 倍時の電流測定結果のゲイン補正値を設定するレジスタです。

初期値は、LSI 製造工程内で求めたゲイン補正値が格納されています。

G4\_CC\_GAIN[15:0]ビットとゲイン補正値の関係式は以下の通りです。

ゲイン補正値 =  $1 + 2^{\wedge}(-13) \times 3 \times \text{G4\_CC\_GAIN}$  (2's コンプリメントバイナリ)

| G4_CC_GAIN [15:0] | ゲイン補正値  |
|-------------------|---------|
| 0x0000            | 1.0000  |
| 0x0001            | 1.0004  |
| 0x0002            | 1.0007  |
| 0x0003            | 1.0011  |
| ...               | ...     |
| 0x7FFC            | 12.9985 |
| 0x7FFD            | 12.9989 |
| 0x7FFE            | 12.9993 |
| 0x7FFF            | 12.9996 |

| G4_CC_GAIN [15:0] | ゲイン補正値 |
|-------------------|--------|
| 0x8000-0xF555     | 設定禁止   |
| 0xF556            | 0.0002 |
| 0xF557            | 0.0006 |
| 0xF558            | 0.0010 |
| ...               | ...    |
| 0xFFFFC           | 0.9985 |
| 0xFFFFD           | 0.9989 |
| 0xFFFFE           | 0.9993 |
| 0xFFFFF           | 0.9996 |

## 97. G4\_CC\_OFST レジスタ (Adrs = 0x81)

|      | 15                | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|-------------------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | G4_CC_OFST [15:0] |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
| R/W  | R/W               | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0/1               | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 |

G4\_CC\_OFST レジスタは、電流ゲイン 4 倍時の電流測定結果のオフセット補正値を設定するレジスタです。

初期値は、LSI 製造工程内で求めたオフセット補正値が格納されています。

シャント抵抗=0.5mΩ 時、電流測定分解能 LSB=4.7304mA とした場合の G4\_CC\_OFST [15:0]ビットとオフセット補正値の関係を下表に示します。

| G4_CC_OFST [15:0] | オフセット補正値  |
|-------------------|-----------|
| 0x0000            | 0         |
| 0x0001            | +1LSB     |
| 0x0002            | +2LSB     |
| 0x0003            | +3LSB     |
| ...               | ...       |
| 0x7FFC            | +32765LSB |
| 0x7FFD            | +32766LSB |
| 0x7FFE            | +32767LSB |

| G4_CC_OFST [15:0] | オフセット補正値  |
|-------------------|-----------|
| 0x8000            | -32768LSB |
| 0x8001            | -32767LSB |
| 0x8002            | -32766LSB |
| 0x8003            | -32765LSB |
| ...               | ...       |
| 0xFFFFD           | -3LSB     |
| 0xFFFFE           | -2LSB     |
| 0xFFFFF           | -1LSB     |

## 98.RTEMP12 レジスタ (Adrs = 0x82)

|      | 15          | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|-------------|-----|-----|-----|-----|-----|-----|-----|-------------|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | RTEMP2[7:0] |     |     |     |     |     |     |     | RTEMP1[7:0] |     |     |     |     |     |     |     |
| R/W  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0/1         | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1         | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 |

RTEMP12 レジスタは、TEMP1 端子、TEMP2 端子のプルアップ抵抗 10kΩ の補正値を設定するレジスタです。

初期値は、LSI 製造工程内で求めた補正値が格納されています。

RTEMP1[7:0]ビットと補正値の関係を下表に示します。LSB=20Ωとしています。RTEMP2[7:0]についても同様です。

RTEMP12 レジスタ値の書き換えは可能ですが、温度検出動作には影響を与えません。

| RTEMP1[7:0] | 補正値              |
|-------------|------------------|
| 0x00        | 0                |
| 0x01        | +1LSB (+20Ω)     |
| 0x02        | +2LSB (+40Ω)     |
| 0x03        | +3LSB (+60Ω)     |
| ...         | ...              |
| 0x7D        | +125LSB (+2500Ω) |
| 0x7E        | +126LSB (+2520Ω) |
| 0x7F        | +127LSB (+2540Ω) |

| RTEMP1[7:0] | 補正値              |
|-------------|------------------|
| 0x80        | -128LSB (-2560Ω) |
| 0x81        | -127LSB (-2540Ω) |
| 0x82        | -126LSB (-2520Ω) |
| 0x83        | -125LSB (-2500Ω) |
| ...         | ...              |
| 0xFD        | -3LSB (-60Ω)     |
| 0xFE        | -2LSB (-40Ω)     |
| 0xFF        | -1LSB (-20Ω)     |

## 99.RTEMP34 レジスタ (Adrs = 0x83)

|      | 15          | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|-------------|-----|-----|-----|-----|-----|-----|-----|-------------|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | RTEMP4[7:0] |     |     |     |     |     |     |     | RTEMP3[7:0] |     |     |     |     |     |     |     |
| R/W  | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W         | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0/1         | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1         | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 | 0/1 |

RTEMP34 レジスタは、TEMP3 端子、TEMP4 端子のプルアップ抵抗 10kΩ の補正値を設定するレジスタです。

初期値は、LSI 製造工程内で求めた補正値が格納されています。

RTEMP3[7:0]ビットと補正値の関係を下表に示します。LSB=20Ωとしています。RTEMP4[7:0]についても同様です。

RTEMP34 レジスタ値の書き換えは可能ですが、温度検出動作には影響を与えません。

| RTEMP3[7:0] | 補正値              |
|-------------|------------------|
| 0x00        | 0                |
| 0x01        | +1LSB (+20Ω)     |
| 0x02        | +2LSB (+40Ω)     |
| 0x03        | +3LSB (+60Ω)     |
| ...         | ...              |
| 0x7D        | +125LSB (+2500Ω) |
| 0x7E        | +126LSB (+2520Ω) |
| 0x7F        | +127LSB (+2540Ω) |

| RTEMP3[7:0] | 補正値              |
|-------------|------------------|
| 0x80        | -128LSB (-2560Ω) |
| 0x81        | -127LSB (-2540Ω) |
| 0x82        | -126LSB (-2520Ω) |
| 0x83        | -125LSB (-2500Ω) |
| ...         | ...              |
| 0xFD        | -3LSB (-60Ω)     |
| 0xFE        | -2LSB (-40Ω)     |
| 0xFF        | -1LSB (-20Ω)     |

## 100.OTPACPT レジスタ (Adrs = 0x84)

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7            | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------|----|----|----|----|----|----|---|---|--------------|-----|-----|-----|-----|-----|-----|-----|
| ビット名 | -  | -  | -  | -  | -  | -  | - | - | OTPACPT[7:0] |     |     |     |     |     |     |     |
| R/W  | R  | R  | R  | R  | R  | R  | R | R | R/W          | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0            | 0   | 0   | 0   | 0   | 0   | 0   | 0   |

OTPACPT レジスタは、OTP レジスタへのアクセス許可を設定するレジスタです。

OTPACPT[7:0]ビットを 0xC3 に設定することで、OTP レジスタへのアクセスが許可されます。

C3h から設定変更しない限り、OTP レジスタへのアクセス許可状態を保持します。

なお、OTPACPT[7:0]ビットを 0xC3 に設定すると、INTEGCL、INTEGCH レジスタ値の更新は行われません。

101.OTP レジスタ (Adrs = 0x85)

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6    | 5    | 4    | 3 | 2 | 1 | 0 |
|------|----|----|----|----|----|----|---|---|---|------|------|------|---|---|---|---|
| ビット名 | -  | -  | -  | -  | -  | -  | - | - | - | LDWA | LDER | LOAD | - | - | - | - |
| R/W  | R  | R  | R  | R  | R  | R  | R | R | R | R    | R    | R/W  | R | R | R | R |
| 初期値  | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0    | 0    | 0    | 0 | 0 | 0 | 0 |

OTP レジスタは、OTP メモリのロードの動作を設定するレジスタです。  
OTP レジスタへアクセスする前には、OTPACPT レジスタに 0xC3 をセットしてください。

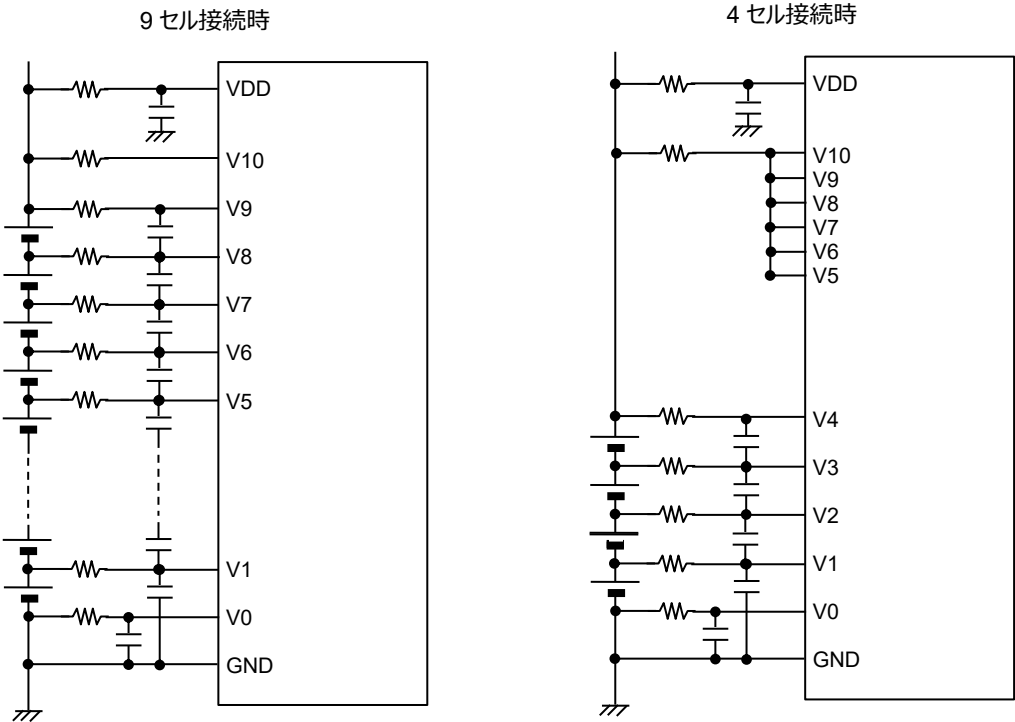
LOAD ビットを”1”にセットした場合

- 【動作】
- ・OTP メモリの内容が各レジスタにロードされます。
  - ・ロード動作が完了すると、LOAD ビットが”0”にリセットされ、INT\_REQ2 レジスタの QOTP ビットが”1”にセットされます。
- 【ロードエラーを検出時】
- ・LDER ビットが”1”にセットされ、FUSE レジスタおよび POWER レジスタ設定に関係なく、無条件に FUSE 端子に ”H”レベルを出力し、スリープ状態に移行します。
  - ・この時、STATUS2 レジスタの FUSE ビットは”1”にセットされます。
  - ・スリープ状態に移行しても、FUSE 端子に”H”レベルを出力し続けます。
- 【注意点】
- ・ロードエラーを検出した場合にはスリープ状態からノーマル状態へ復帰することはできません。
  - ・電源コンパレータ異常を検出してロードがされた場合は LDWA ビットが”1”にセットされます。

OTP メモリのロード中は、全てのレジスタアクセスが禁止されますので、INT\_EN2 レジスタの EOTP ビットを”1”にセットし、OTP メモリア  
クセス完了割り込み発生を/INTO 端子出力により検出した後、各レジスタへアクセスしてください。

セル接続方法

接続セル数が 9 セル以下の場合には、Vn 端子の下位セルから接続し、未使用の Vn 端子は最上位セルに抵抗を介して接続してください。



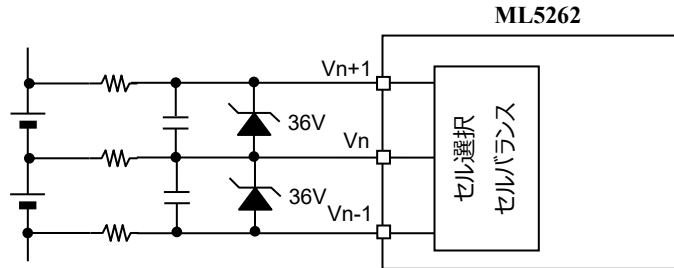
## 電源投入・遮断順序

電源投入時、各電池セルの接続順序は、GND 端子、VDD 端子を接続後に、下位セルより接続することを推奨します。この接続順序を守れない場合には、セル接続端子  $V_{n+1}$ - $V_n$  の端子間電圧が絶対最大定格を超え、破壊に至る可能性があります。

電源遮断時においては、接続順序と逆に、上部電位セルから切り離し、最後に、VDD 端子、GND 端子の順に切り離してください。

また、バッテリシミュレータなどを用いて、評価・検査する場合においても、 $V_{n+1}$ - $V_n$  端子間の電圧が絶対最大定格を超えないよう、電源投入、遮断の手順についてご注意ください。

端子保護のために、下図に示すように、外部に TVS ダイオードを追加することを推奨いたします。TVS ダイオードを追加した場合も十分に評価して、ご使用ください。



電池セルをあらかじめ直列に接続した状態で、各電池セル接続端子  $V_n$  に接続してください。

電池セルを直列に接続していない状態で、電池セルを 1 つずつ接続することは、 $V_{n+1}$ - $V_n$  端子間の電圧が絶対最大定格を超え、破壊に至る可能性があるため禁止します。

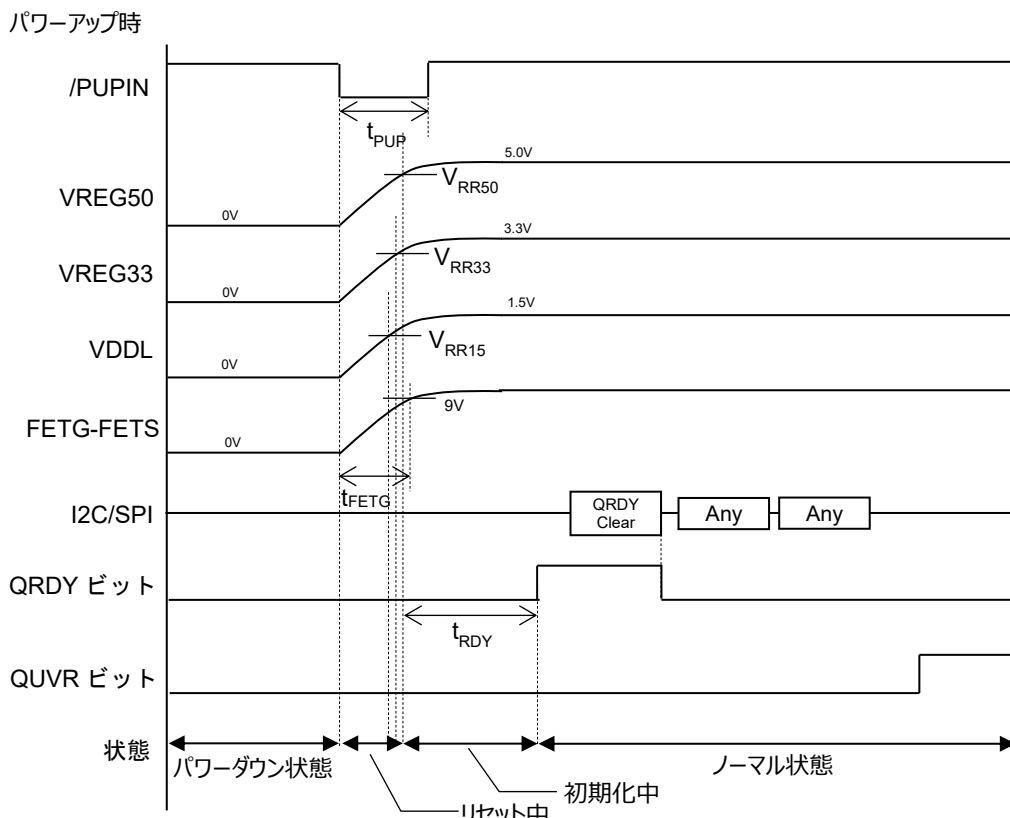
電源投入時には、5 ms 以内に電源電圧が 4.5V 以上になるように電源電圧の立ち上がり時間に注意してください。

なお、電源投入後の初期状態は、過放電検出状態から開始されますので、過放電解除状態になるまで、PSNS 端子に充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以上の電圧を入力するか、または、/PUPIN 端子に“L”レベルを入力してください。

詳細は、パワーアップ、スリープ解除特性を参照して下さい。

また、電源投入後、および、パワーアップ後には、初期化動作が行われますので、INT\_REQ1 レジスタの QRDY ビットがセットされた後、各種初期設定を行ってください。QRDY ビットがセットされる前の各レジスタへのアクセスは禁止します。

電源投入後のパワーアップ時の動作タイミングチャートを以下に示します。

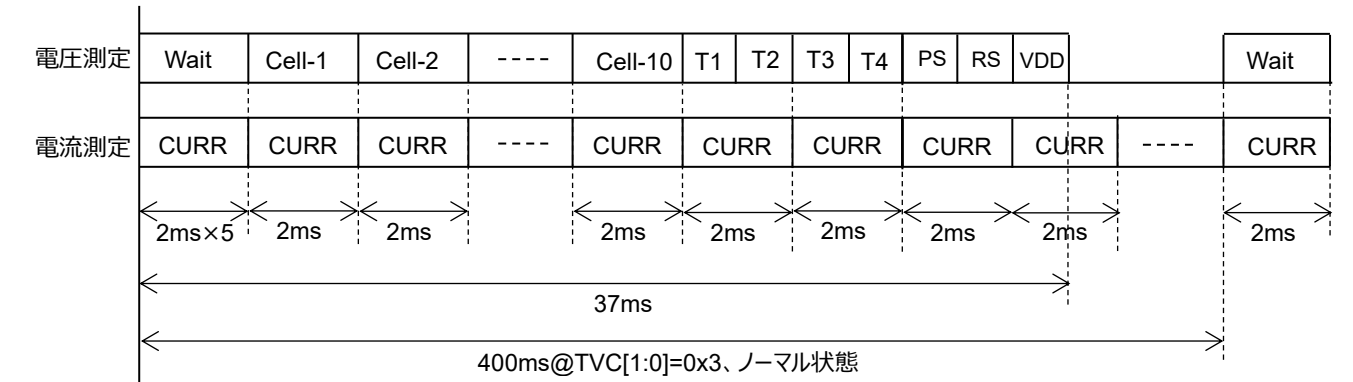


測定シーケンス

ML5262 は、セル電圧 / 温度 / PSNS 端子 / RSNS 端子 / VDD 端子 の電圧測定と電流測定を決められたシーケンスで繰り返し行っています。

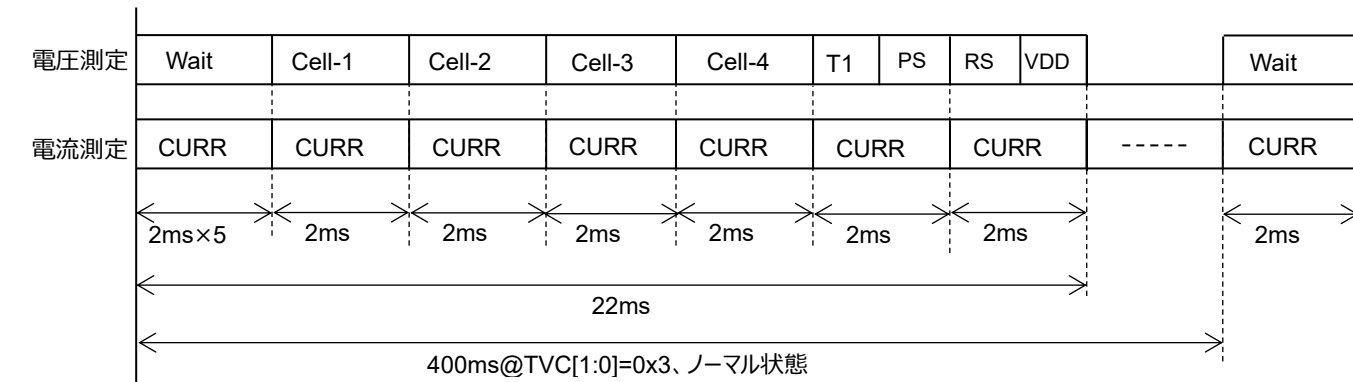
各種電圧測定と電流測定のシーケンスを以下に示します。

【電池接続セル数=10 セル、全 TEMP 端子測定時】



各セル電圧測定時の電流測定結果は、G1\_ICELLn もしくは G4\_ICELLn レジスタ、および G1\_CURR もしくは G4\_CURR レジスタに格納されます。各セル電圧と電流の同時測定結果から電池セルの抵抗値を求めることができます。

【電池接続セル数=4 セル、TEMP1 端子のみ測定時】



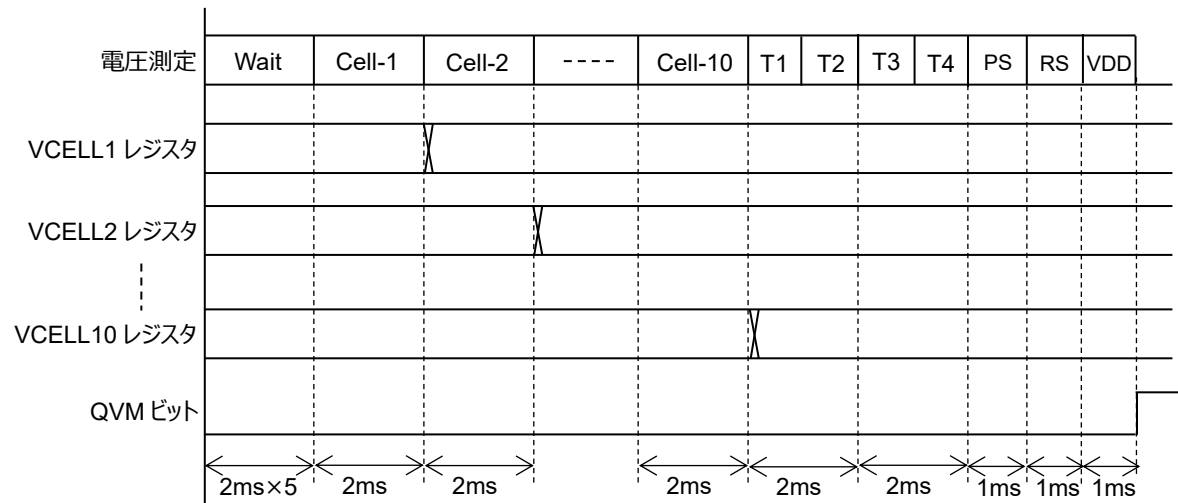
SEL レジスタで設定した電池セルの接続数、測定 TEMP 端子にしたがって、未測定電圧測定シーケンスは削除されますが、PERIOD レジスタで設定したセル電圧測定周期は変わりません。

セル電圧測定機能

SEL レジスタの CSEL[3:0]ビットで指定された接続セル数に対して、最下位セルから順番にセル電圧を測定します。

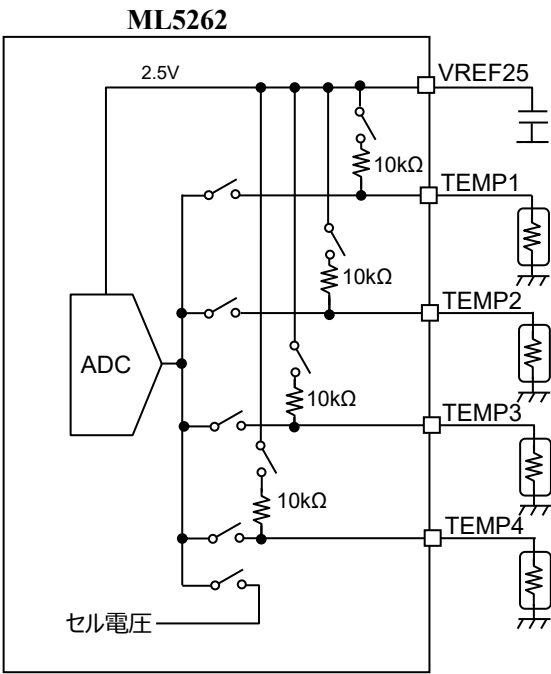
各セル電圧の測定時間は 2ms (typ.) で、測定結果は VCELLn レジスタに格納されます。セル電圧測定結果の読み出しは、各種電圧測定完了割り込み QVM ビットがセットされた後に行ってください。PERIOD レジスタの TVC[1:0]ビットで設定されたセル電圧測定周期毎に、各 VCELLn レジスタは新しい測定結果に更新されます。

以下に、電池接続セル数=10 セル、全 TEMP 端子測定時のタイミングチャートを示します。



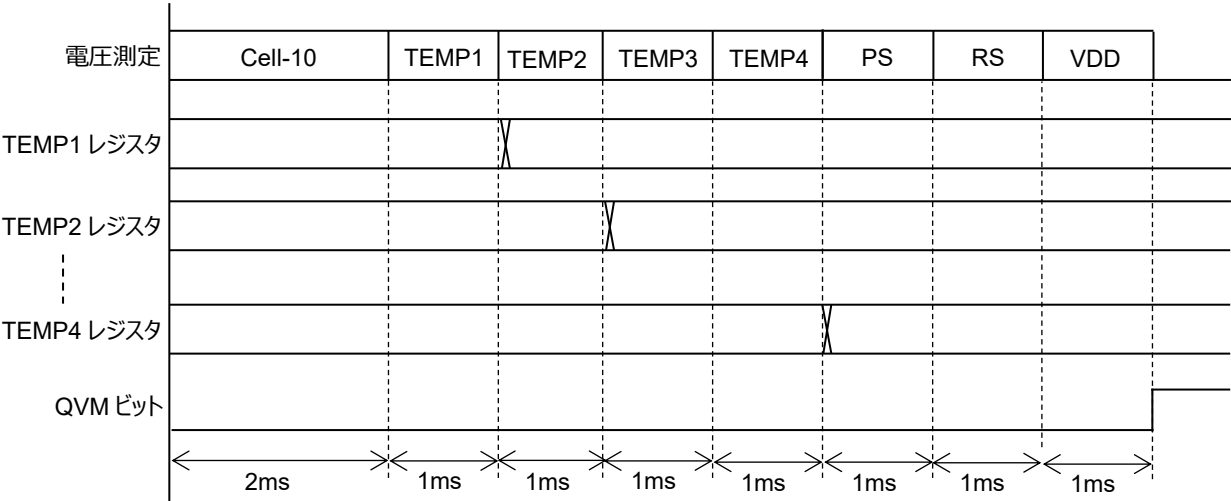
温度センサ測定

下記に示すように、各 TEMP 端子にサーミスタを接続します。各 TEMP 端子には VREF25 端子間にプルアップ抵抗 10kΩ (typ.) が内蔵されており、SETOTUT レジスタの RPUP[3:0]ビットの設定に従って、各 TEMP 端子電圧測定時に自動的にプルアップ抵抗が接続されます。プルアップ抵抗の補正值は、RTEMP12、RTEMP34 レジスタに格納されていますので、温度計算時に使用してください。

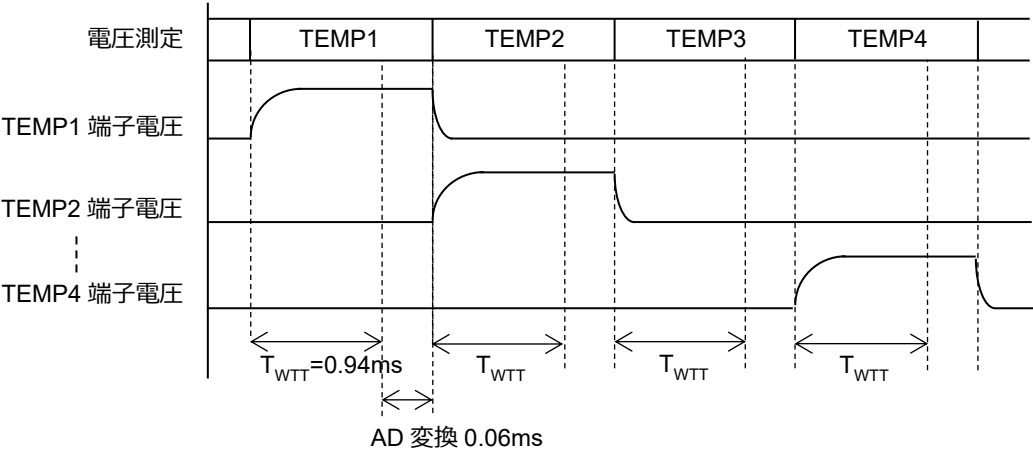


SEL レジスタの TSEL[3:0]ビットで指定された TEMP 端子に対して、TEMP1 から順番に TEMP 端子電圧を測定します。TEMP 端子電圧の測定時間は 1ms (typ.) で、測定結果は TEMPn レジスタに格納されます。TEMP 端子電圧測定結果の読み出しは、各種電圧測定完了割り込み QVM ビットがセットされた後に行ってください。PERIOD レジスタの TVC[1:0]ビットで設定されたセル電圧測定周期毎に、各 TEMPn レジスタは新しい測定結果に更新されます。

以下に、電池接続セル数=10 セル、全 TEMP 端子測定時のタイミングチャートを示します。



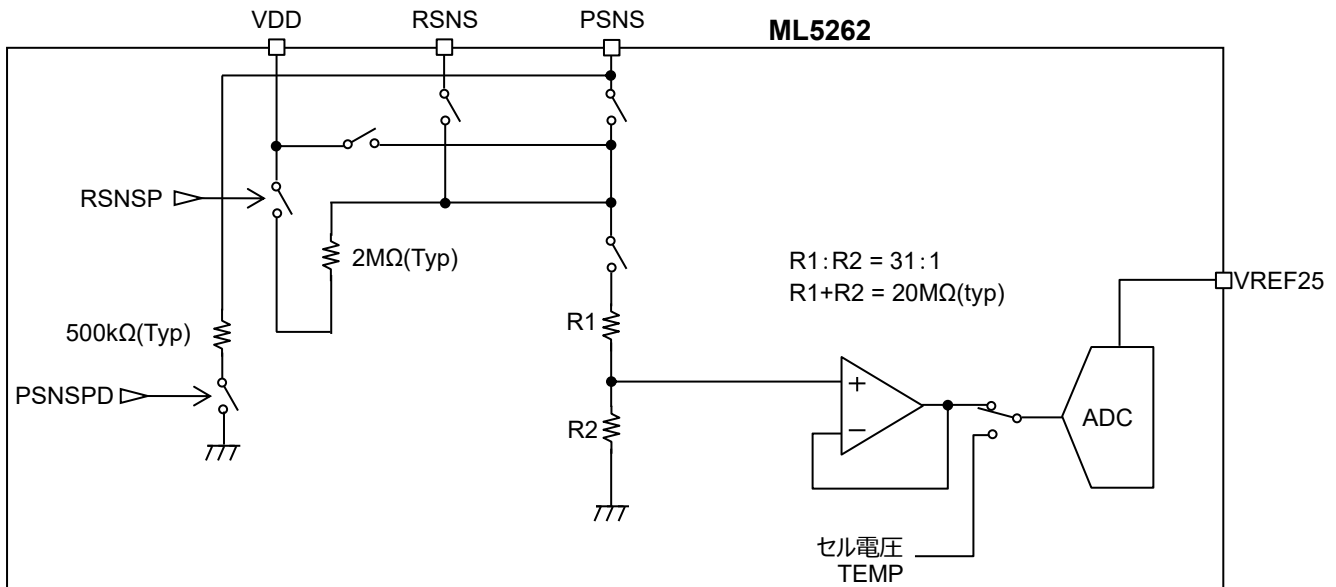
各 TEMP 端子の電圧測定は内蔵プルアップ抵抗接続後 0.94ms (typ.) の安定時間経過後に開始されますので、各 TEMP 端子にコンデンサを接続する場合には、各 TEMP 端子電圧がこの時間までに安定するような容量値を選択してください。



## PSNS 端子/ RSNS 端子/ VDD 端子電圧測定

PSNS 端子/ RSNS 端子/ VDD 端子入力電圧を 1/32 分圧した電圧を測定します。

LSI 内部の測定回路を以下に示します。



PSNS 端子/ RSNS 端子/ VDD 端子電圧それぞれの測定時間は 1ms (typ.) で、測定結果はそれぞれ PSNS、RSNS、VDD レジスタに格納されます。PSNS 端子/ RSNS 端子/ VDD 端子電圧測定結果の読み出しは、各種電圧測定完了割り込み QVM ビットがセットされた後に行ってください。PERIOD レジスタの TVC[1:0]ビットで設定されたセル電圧測定周期毎に、PSNS、RSNS、VDD レジスタは新しい測定結果に更新されます。

PSNS 端子/ RSNS 端子/ VDD 端子の電圧測定は TEMP 端子と同様に内蔵 1/32 分圧抵抗接続後 0.94ms (typ.) の安定時間経過後に開始されます。

PSNS 端子のプルダウン/ RSNS 端子のプルアップ抵抗は、異常検出状態に応じて自動的に接続されますが、MCU により接続制御を行う場合には、POWER レジスタの ENRSNS、PSNSPD、ENPSNS、RSNSPU ビットにより制御してください。

RSNS 端子/ PSNS 端子電圧を測定することで、電池パック出力の負荷接続状態を把握することができます。

### 【放電過電流やショート検出状態の場合】

RSNS 端子にプルアップ抵抗 2MΩ を接続（電池パック出力の負荷開放を検出するため）

RSNS 端子電圧が VDD 電圧に近い電圧  $V_{RL}$  になることで、負荷開放を認識

### 【充電過電流や過放電検出状態の場合】

PSNS 端子にプルダウン抵抗 500kΩ を接続（電池パック出力の充電器開放を検出するため）

PSNS 端子電圧が VDD 端子電圧より低い電圧  $V_{PLU}$  になることで、充電器開放を認識

充電過電流検出時の充電器開放検出は、VDD 端子電圧測定結果（VDD レジスタ値）と PSNS 端子電圧測定結果（PSNS レジスタ値）との電圧差  $V_{PLU}$  を比較することで行います。

同様にプリディスチャージ完了検出は、VDD 端子電圧測定結果（VDD レジスタ値）と RSNS 端子電圧測定結果（RSNS レジスタ値）との電圧差を比較することで行います。

なお、パワーセーブ状態では、PSNS 端子/ RSNS 端子/ VDD 端子電圧の測定は行われません。

## 電流測定

ISP、ISM 端子間電圧を 2ms 毎に 16 ビット  $\Delta\Sigma$ ADC により測定し、結果を G1\_CURR もしくは G4\_CURR レジスタに格納します。

### 【電流ゲイン倍率 1 倍】

シャント抵抗 = 0.5m $\Omega$  時：電流測定分解能 = 18.9212mA

シャント抵抗 = 1.0m $\Omega$  時：電流測定分解能 = 9.4606mA

### 【電流ゲイン倍率 4 倍】

シャント抵抗 = 0.5m $\Omega$  時：電流測定分解能 = 4.7304mA

シャント抵抗 = 1.0m $\Omega$  時：電流測定分解能 = 2.3652mA

また、各セルのセル電圧測定サイクルに同期して、電流測定結果を G1\_ICELLn もしくは G4\_ICELLn レジスタに格納しますので、各セルの抵抗値を算出することが可能です。

電流ゲイン倍率変更機能

ISP 端子と ISM 端子間電圧の電流ゲインを SEL レジスタの IGAIN ビットで 1 倍/4 倍に変更できます。下記にそれぞれ 1 倍→4 倍、4 倍→1 倍切り替え時の推奨動作を示します。

【1 倍→4 倍切り替え時】

G1\_CURR レジスタをリードし電流異常が無い事を確認後、ゲイン切り替えを行う。

【4 倍→1 倍切り替え時】

QORG 割り込み出力を検出後、ゲイン切り替えを行う。

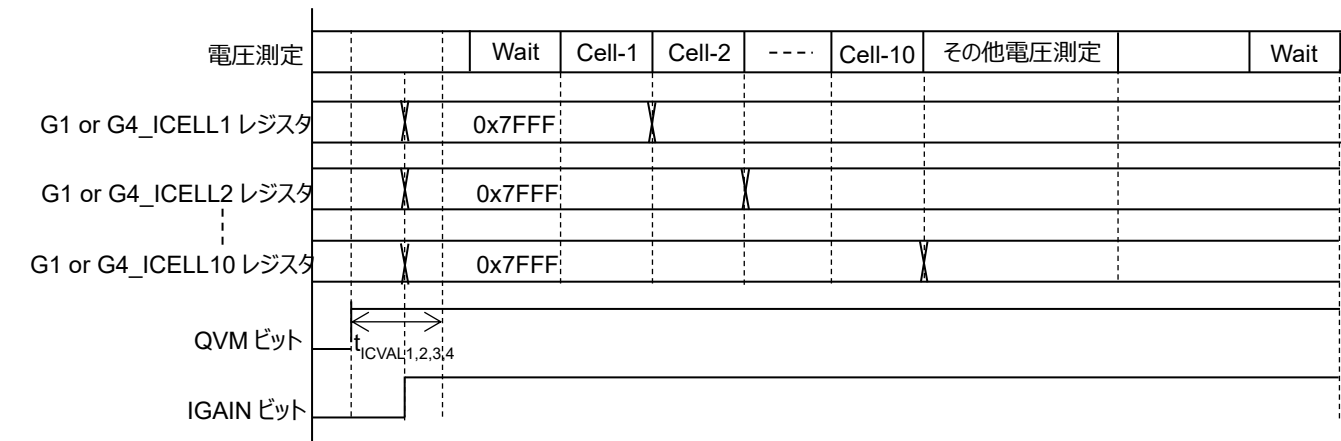
ゲイン切り替え後ΔΣADC の安定時間中、各種電流測定結果格納レジスタには無効値 0x7FFF が格納されます。安定時間が終わると、電流ゲイン倍率に応じて G1\_CURR、G4\_CURR レジスタや G1\_ICELLn、G4\_ICELLn レジスタに結果が格納されます。

電圧測定シーケンス中にゲイン切り替えを行った場合、その測定シーケンスでは G1\_ICELLn、G4\_ICELLn レジスタには無効値 0x7FFF が格納され、次の測定シーケンスから有効な測定値が格納されます。その測定シーケンスから有効値を格納したい場合、QVM 割り込み出力からのゲイン切り替えのタイミングは、PERIOD レジスタの TVC[1:0]ビットの設定によって異なります。

| TVC[1:0]ビット | QVM 割り込み出力からのゲイン切り替えのタイミング |
|-------------|----------------------------|
| 0x0         | t <sub>ICVAL1</sub> 以内     |
| 0x1         | t <sub>ICVAL2</sub> 以内     |
| 0x2         | t <sub>ICVAL3</sub> 以内     |
| 0x3         | t <sub>ICVAL4</sub> 以内     |

以下に、t<sub>ICVAL1,2,3,4</sub> で電流ゲインを切り替えた際とその他タイミングで切り替えた際のシーケンスの違いを示します。

【t<sub>ICVAL1,2,3,4</sub> の時間内に IGAIN ビットを切り替え】



QVM ビットの立ち上がりから、t<sub>ICVAL1,2,3,4</sub> の時間内で IGAIN ビットを切り替えた場合、その測定シーケンスから G1\_ICELLn もしくは G4\_ICELLn レジスタに測定値が格納されます。

【t<sub>ICVAL1,2,3,4</sub> の時間以外で IGAIN ビットを切り替え】



QVM ビットの立ち上がりから、t<sub>ICVAL1,2,3,4</sub> の時間以外で IGAIN ビットを切り替えた場合、次の測定シーケンスから G1\_ICELLn もしくは G4\_ICELLn レジスタに測定値が格納されます。

## クーロンカウンタ

電流測定結果を積算するクーロンカウンタを搭載しています。

PERIOD レジスタの CC[1:0]ビットで指定した周期で積算した結果は、CCL、CCH レジスタに格納され、常時積算した結果は、INTEGCL、INTEGCH レジスタに格納されます。

CCL、CCH レジスタは指定した周期毎に更新されますので、INT\_REQ1 レジスタのクーロンカウンタ積算完了割り込み QCC 発生毎にレジスタ値を読み出して MCU により積算してください。電池セルの自己放電量を考慮した電池残量を計算することができます。

INTEGCL、INTEGCH レジスタは、満充電時に電池容量値をセットするだけで電池残量を把握でき、MCU による積算は不要となります。

CCL レジスタ値の電流積算単位は次式で表されます。

電流測定分解能  $\times 0.002$  (CURR 測定周期)  $\div 3600$  [Ah]

※シャント抵抗=0.5mΩ のとき、電流積算単位 = 10.5118nAh となります。

INTEGCL レジスタ値の電流積算単位は次式で表されます。

電流測定分解能  $\times 0.002$  (CURR 測定周期)  $\div 3600 \times 4$  [Ah]

※シャント抵抗=0.5mΩ のとき、電流積算単位 = 42.048nAh となります。

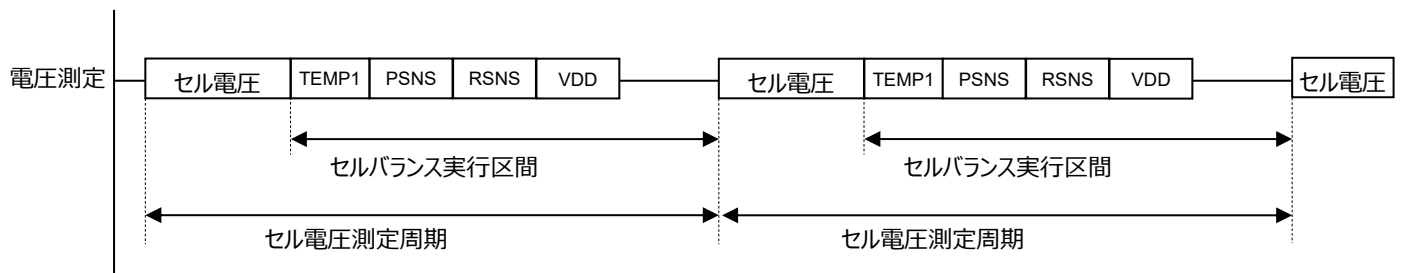
## セルバランス機能

セル電圧測定結果から一番低いセル電圧との差が CBALST レジスタの CBALST[11:0]ビットで設定されたセルバランス開始電位差以上で、かつ、CBALLEN レジスタの CBALLEN[11:0]ビットで設定されたセルバランス許可電圧以上であった場合、セル電圧測定区間以外でセルバランスを実行します。

一番高いセル電圧が偶数セルである場合には、セルバランス条件を満足した偶数セルのセルバランスが実行されます。同様に一番高いセル電圧が奇数セルである場合には、セルバランス条件を満足した奇数セルのセルバランスが実行されます。

CBALSP レジスタの CBALSP[11:0]ビットで設定されたセルバランス終了電位差以下になった場合、または、セルバランス許可電圧以下になった場合にセルバランスを終了します。

以下に、セルバランス実行区間を示します。セル電圧測定周期によりセルバランス実行時間が変化します。



なお、セルバランス実行区間終了時からセル電圧測定開始するまでの待ち時間 2ms (typ.) 以内に Vn 端子入力電圧が安定するように、各 Vn 端子の外付け抵抗値 R<sub>CELL</sub>、容量値 C<sub>CELL</sub> を選択してください。

## プリディスチャージ機能

プリディスチャージ機能は、放電制御 FET を OFF から ON に変化させるときの突入電流を防止するために、電池パック出力が指定した電圧以下に低下するまで、あるいは、指定した時間経過するまで、小さな放電電流を流す機能です。

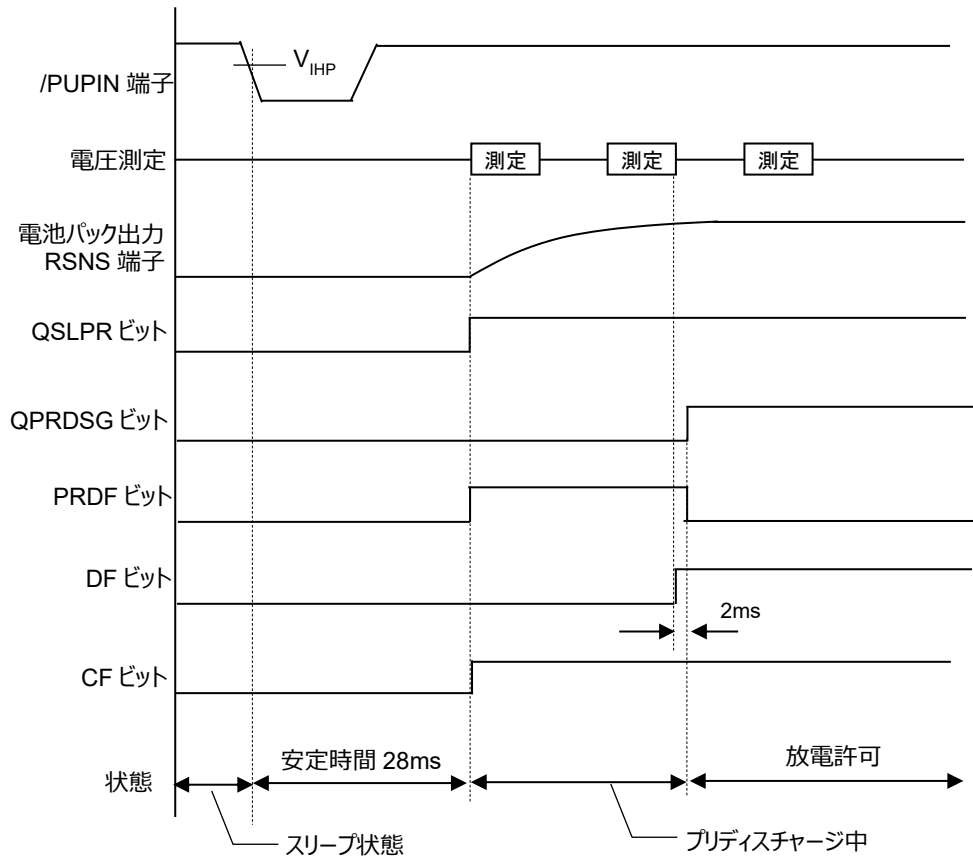
本機能は動作電圧～45V で使用可能です。

PREDSG レジスタの VPRDSG[6:0]ビットによりプリディスチャージ完了電圧を、TPRDSG[6:0]ビットによりプリディスチャージ時間を設定します。

詳細は、PREDSG レジスタの項目を参照してください。

以下に、スリープ状態から/PUPIN 端子入力によるノーマル状態へ復帰タイミングチャートを示します。

ここでは、電池パック出力が指定した電圧以上に上昇した場合を示します。



### 【動作説明】

- ・/PUPIN 端子に“L”レベルを入力
- ・28ms の安定時間経過後、FETCBA レジスタの CF ビット、PRDF ビットを“1”にセット、プリディスチャージ開始
- ・INT\_REQ1 レジスタのスリープ状態からノーマル状態への復帰割り込み QSLPR が“1”にセット
- ・電池パック出力電圧（RSNS 端子電圧）は上昇
- ・VDD 端子電圧測定結果と RSNS 端子電圧測定結果の差が PREDSG レジスタの VPRDSG[6:0]ビットで設定した電圧以下になると、FETCBAL レジスタの DF ビットが“1”にセット
- ・2ms 後に PRDF ビットが“0”にリセットされ、プリディスチャージ完了割り込み QPRDSG ビットが“1”にセット

## パワーセーブ機能

測定周期を遅くして消費電流を低減させるパワーセーブ機能を搭載しています。

セル電圧や TEMP 端子の測定周期は、PERIOD レジスタの TVCP[1:0]ビット、TTPP[1:0]ビットにより設定します。

スタンダロン制御では、充放電電流が流れていない状態が指定した時間経過すると自動的にパワーセーブ状態に移行します。充放電電流が流れると自動的にノーマル状態へ復帰します。

詳細は、CHG、DSG、PWRDLY レジスタの項目を参照してください。

また、セル電圧、温度、電流の異常を検出し、検出遅延時間の計測を開始した場合にも、自動的にノーマル状態へ復帰します。ウォッチドッグタイマや内蔵レギュレータの電圧低下検出の異常を検出した場合はパワーセーブ状態を保持します。

MCU によりパワーセーブ移行を制御する場合は、POWER レジスタの ENPSV ビットを"1"に設定します。PSV ビットが"1"のとき、次の測定周期から無条件にパワーセーブ状態に移行し、PSV ビットが"0"になるまで継続します。

ただし、スリープ機能がスタンダロン制御の場合、つまり、POWER レジスタの ENSLP ビットが"0"のときには、パワーセーブ状態が PWRDLY レジスタで指定した時間経過すると自動的にスリープ状態に移行します。

なお、パワーセーブ状態では、PSNS 端子、RSNS 端子、および VDD 端子電圧の測定は行われません。

スリープ機能

パワーセーブ機能よりも消費電流をさらに低減させるスリープ機能を搭載しています。  
全ての測定動作を停止させて低消費電流状態となり、制御レジスタへのアクセスのみが有効となります。

スタンドアロン制御では、パワーセーブ状態が PWRDLY レジスタで指定した時間経過すると自動的に C\_FET が OFF 状態となりスリープ状態に移行します。

D\_FET 端子は WKUP ビットにより動作が異なり、WKUP ビット="0"で OFF 状態、WKUP ビット="1"では放電電流検出を行うために ON 状態となります。

PSNS 端子も WKUP ビットにより動作が異なり、WKUP ビット="0"でプルダウン抵抗 500kΩ が接続されてスリープ状態に移行、WKUP ビット="1"ではプルダウン抵抗 500kΩ は接続されずスリープ状態に移行します。

このとき、INT\_REQ1 レジスタのスリープ状態への移行割り込み QSLP、および、STATUS1 レジスタの SLP ビットが"1"にセットされます。

MCU によりスリープ移行を制御する場合は、POWER レジスタの ENSLP ビットを"1"に設定します。SLP ビットが"1"のとき、次の測定周期からスリープ状態に移行し、全ての測定動作を停止させて低消費電流状態となり、制御レジスタへのアクセスのみが有効となります。

ただし、PSNS 端子入力が"H"レベルの時に、SLP ビットを"1"にセットしても、PSNS 端子電圧が充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以下になるまで、スリープ状態には移行しません。

PSNS ビットにより PSNS 端子状態を読み出すことができますので、SLP ビットを"1"にセットする前に、C\_FET、D\_FET 端子を OFF 状態に設定し、PSNS 端子にプルダウン抵抗 500kΩ を接続した後、PSNS 端子状態が"H"レベルでないことを確認してください。

同様に、/PUPIN 端子入力が"L"レベルの時に、SLP ビットを"1"にセットしても、/PUPIN 端子が"H"レベルになるまで、スリープ状態には移行しません。

PUPIN ビットにより/PUPIN 端子状態を読み出すことができますので、SLP ビットを"1"にセットする前に、/PUPIN 端子状態が"L"レベルでないことを確認してください。

スリープ状態へ移行後の各端子の出力状態を以下に示します。

| 端子名                                          | スリープ時の状態                                |
|----------------------------------------------|-----------------------------------------|
| NPNB, VREG50, VREG33, VDDL, /INTO, SDO, FUSE | 通常動作状態                                  |
| VREF12                                       | 1V                                      |
| VREF25                                       | 2V                                      |
| D_FET, PRD_FET,C_FET                         | FETS 端子電圧                               |
| PSNS                                         | WKUP="0"時 500kΩ プルダウン<br>WKUP="1"時 Hi-Z |
| RSNS                                         | Hi-Z                                    |

スリープ状態からの復帰は、下記のいずれかの方法で行います。

- (1) PSNS 端子に充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以上の電圧を検知した場合 (WKUP ビット="0")
- (2) /PUPIN 端子に"L"レベルを入力する
- (3) POWER レジスタの ENSLP ビットを"1"、SLP ビットを"0"に設定する
- (4) WKUP ビット="1"で、放電電流が流れたことを検知した場合  
※WKUP ビット="1"時の充電器接続検出によるスリープ状態からの復帰は(2)または(3)で復帰させて下さい。

上記の条件を満たすと、28ms の安定時間経過後ノーマル状態へ復帰します。

なお、ENSLP ビット="1"、SLP ビット"1"の状態であれば、28ms の安定時間経過するまでに、PSNS 端子や/PUPIN 端子がスリープ移行条件を満たした場合、再度、スリープ状態へ移行します。

パワーダウン機能

殆どの回路動作を停止させ、消費電流を最小限にするパワーダウン機能を搭載しています。

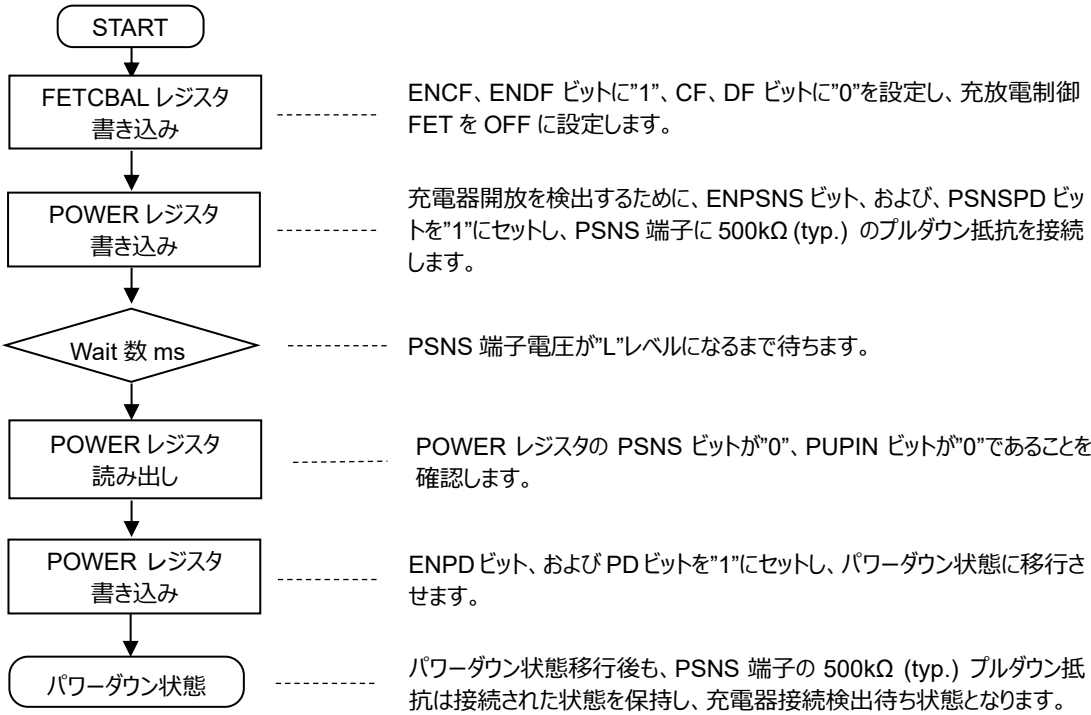
スタンドアロン制御では、過放電状態に移行後、PWRDLY レジスタの PDDL Y[3:0]ビットで指定した時間以上経過し、PSNS 端子電圧が充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以下になると、パワーダウン状態に移行します。

MCU によりパワーダウン移行を制御する場合は、POWER レジスタの ENPD ビットを"1"に設定します。その後、PD ビットを"1"にセットすると、殆どの回路動作を停止させます。ただし、PSNS 端子入力が"H"レベルの時に、PD ビットを"1"にセットしても、PSNS 端子電圧が充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以下になるまで、パワーダウン状態には移行しません。

POWER レジスタの PSNS ビットにより PSNS 端子状態を読み出すことができますので、PD ビットを"1"にセットする前に、C\_FET、D\_FET 端子を OFF 状態に設定し、PSNS 端子にプルダウン抵抗 500k $\Omega$  を接続した後、PSNS 端子状態が"H"レベルでないことを確認してください。

同様に、/PUPIN 端子入力が"L"レベルの時に、PD ビットを"1"にセットしても、/PUPIN 端子が"H"レベルになるまで、パワーダウン状態には移行しません。POWER レジスタの PUPIN ビットにより/PUPIN 端子状態を読み出すことができますので、PD ビットを"1"にセットする前に、/PUPIN 端子状態が"L"レベルでないことを確認してください。

パワーダウン状態へ移行させる場合の制御フロー例を以下に示します。



パワーダウン状態へ移行後の各端子の出力状態を以下に示します。

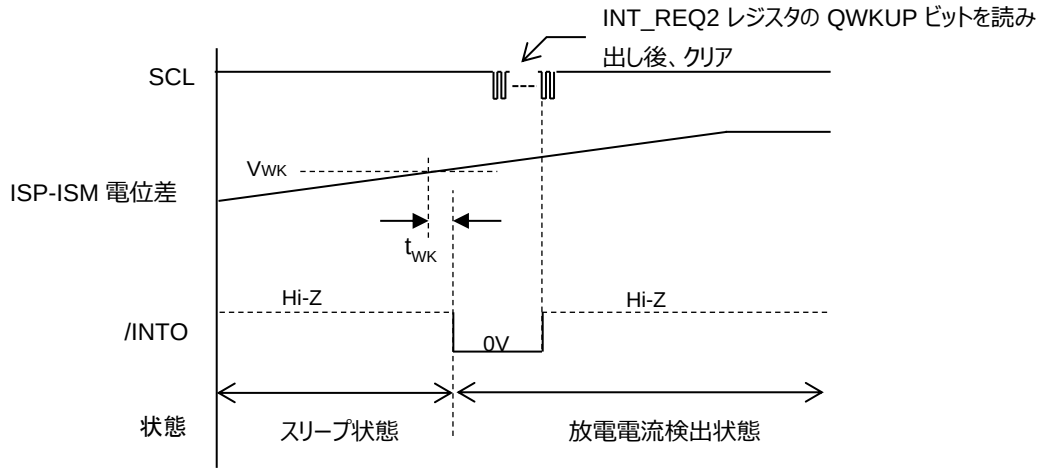
| 端子名                                        | パワーダウン時の状態          |
|--------------------------------------------|---------------------|
| NPNB, VREG50, VREG33, VDDL, VREF25, VREF12 | 0V                  |
| /INTO, SDO                                 | Hi-Z                |
| D_FET, PRD_FET,C_FET                       | FETS 端子電圧           |
| FUSE                                       | 0V                  |
| PSNS                                       | 500k $\Omega$ プルダウン |
| RSNS                                       | Hi-Z                |

パワーダウン状態からの復帰は、PSNS 端子による充電器接続検出、もしくは、/PUPIN 端子への"L"レベル入力により行なわれます。パワーダウン状態からの復帰時には、各制御レジスタは OTP メモリに格納されたデータに初期化されますので、INT\_REQ1 レジスタの QRDY ビットがセットされた後、各種初期設定を行ってください。

## ウェイクアップ検出機能

スリープ状態のときに ISP 端子と ISM 端子間の電位差により放電電流が流れたことを検出し、ノーマル状態へウェイクアップします。ウェイクアップ検出回路の動作/停止の設定は、POWER レジスタの WKUP ビットにより行います。

本機能を使用する場合、スリープ状態で放電電流が流れる状態にあることを確認してください。



ウェイクアップ検出回路を動作状態に設定した後、ISP-ISM 端子間電圧がウェイクアップ検出電圧  $V_{WK}$  以上となった状態が、ウェイクアップ検出遅延時間  $t_{WK}$  以上継続すると、/INTO 端子に“L”レベルを出力しマイコンへ知らせます。INT\_REQ2 レジスタを読み出すと、QWKUP ビットが“1”にセットされていますので、マイコンは放電電流が流れ始めたことを認識できます。

なお、スリープ状態では、ショート電流検出機能は無効となります。

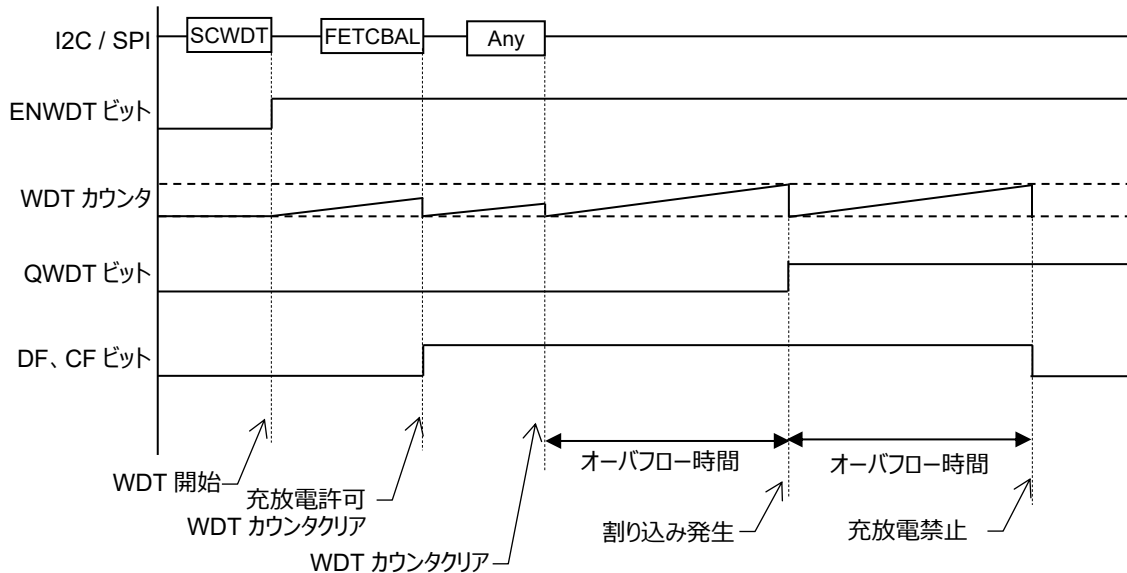
### ウォッチドッグタイマ機能

一定期間制御レジスタへのデータライト・リード動作が行われなかった場合に異常と検出するウォッチドッグタイマ機能を搭載しています。

ウォッチドッグタイマの設定は、SCWDT レジスタにより行います。

詳細は、SCWDT レジスタの項目を参照してください。

ウォッチドッグタイマ動作例を以下に示します。



制御レジスタへのデータライト/リード動作がオーバーフロー時間以上行われなかった場合に、INT\_REQ2 レジスタの QWDT ビットが"1"にセットされます。データライト/リード通信時に CRC エラーが発生した場合には、ウォッチドッグタイマのカウンタはクリアされません。

また、FETCBAL レジスタの ENCF、ENDF、ENPRDF ビットが"1"に設定されていた場合には、2 回連続してオーバーフローを検出すると、自動的に、DF、CF、PRDF ビットを"0"にリセットし、充放電を禁止します。

また、FETCBAL レジスタの ENCB ビットが"1"に設定されていた場合にも、自動的に、CBAL レジスタの CBAL[9:0] ビットを全て"0"にリセットし、セルバランス動作を停止します。

正常状態に復帰しても、自動的に元の状態には戻りませんので、外部 MCU により再度設定してください。

FETCBAL レジスタの ENCF、ENDF、ENPRDF ビットが"0"の場合は、2 回連続してオーバーフローを検出しても、DF、CF、PRDF ビットはリセットされず、そのままの状態を保持します。

## スタンバイ 1 次保護

下記に示すセル電圧、温度、電流の測定結果と各種異常検出閾値を比較して充放電を禁止するスタンバイ保護機能を搭載しています。

1. 過充電検出機能
2. 過放電検出機能
3. 充電過電流検出機能
4. 放電過電流検出機能
5. ショート電流検出機能
6. 放電禁止高温検出機能
7. 放電禁止低温検出機能
8. 充電禁止高温検出機能
9. 充電禁止低温検出機能
10. FET 過熱保護機能

以下、各種スタンバイ 1 次保護機能について説明します。

### 1. 過充電検出機能

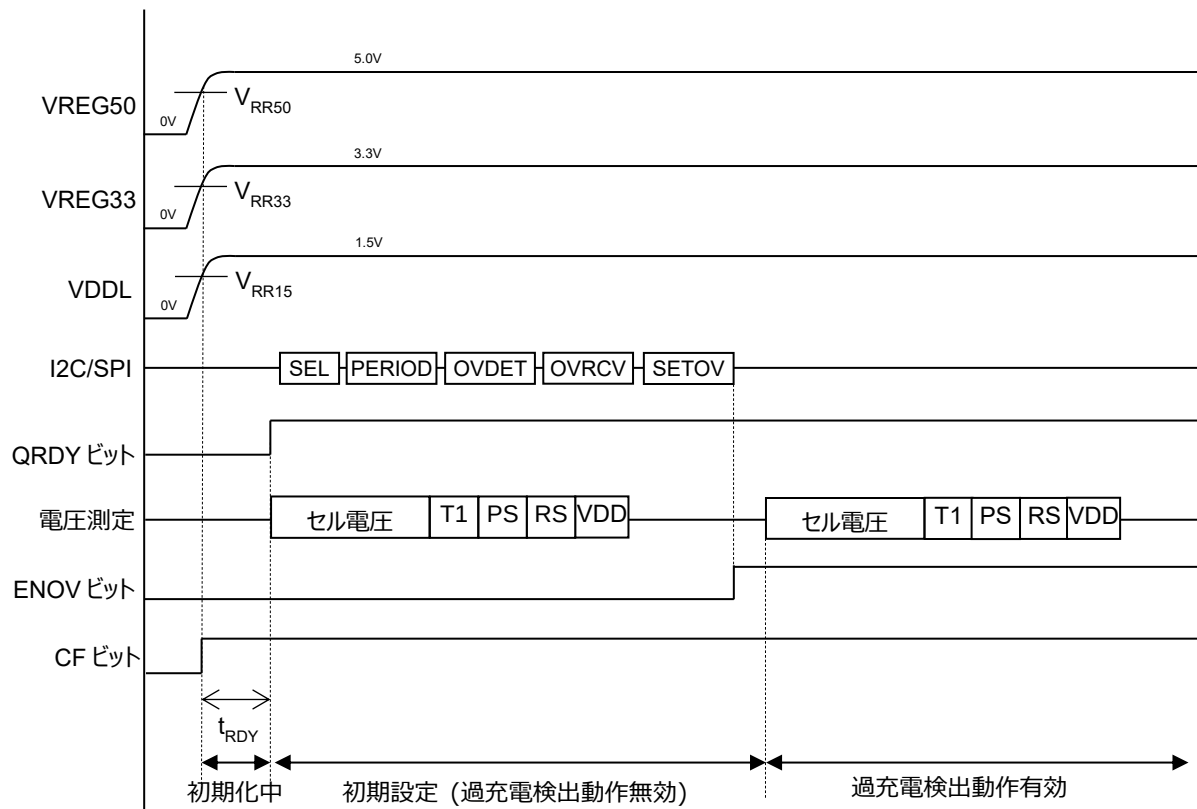
セル電圧測定結果レジスタ (VCELLn レジスタ) の値が過充電検出閾値レジスタ (OVDET レジスタ) の値より大きい状態が、SETOV レジスタの OVDLY[6:0]ビットで指定したセル電圧測定回数経過すると、過充電状態に移行し、FETCBAL レジスタの CF ビットを"0"にリセットし、充電を禁止します。

OVDET レジスタや OVDLY ビットなどの各種設定を行った後、SETOV レジスタの ENOV ビットを"1"にセットして過充電検出機能を有効にしてください。

設定変更する場合は、ENOV ビットが"0"の時に実施してください。

電源投入時やパワーアップ時には過放電状態、充電許可状態から開始しますので、PSNS 端子に充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以上の電圧を入力するか、または、/PUPIN 端子に"L"レベルを入力し、パワーアップ状態を維持してください。

以下に初期化動作のタイミングチャートを示します。

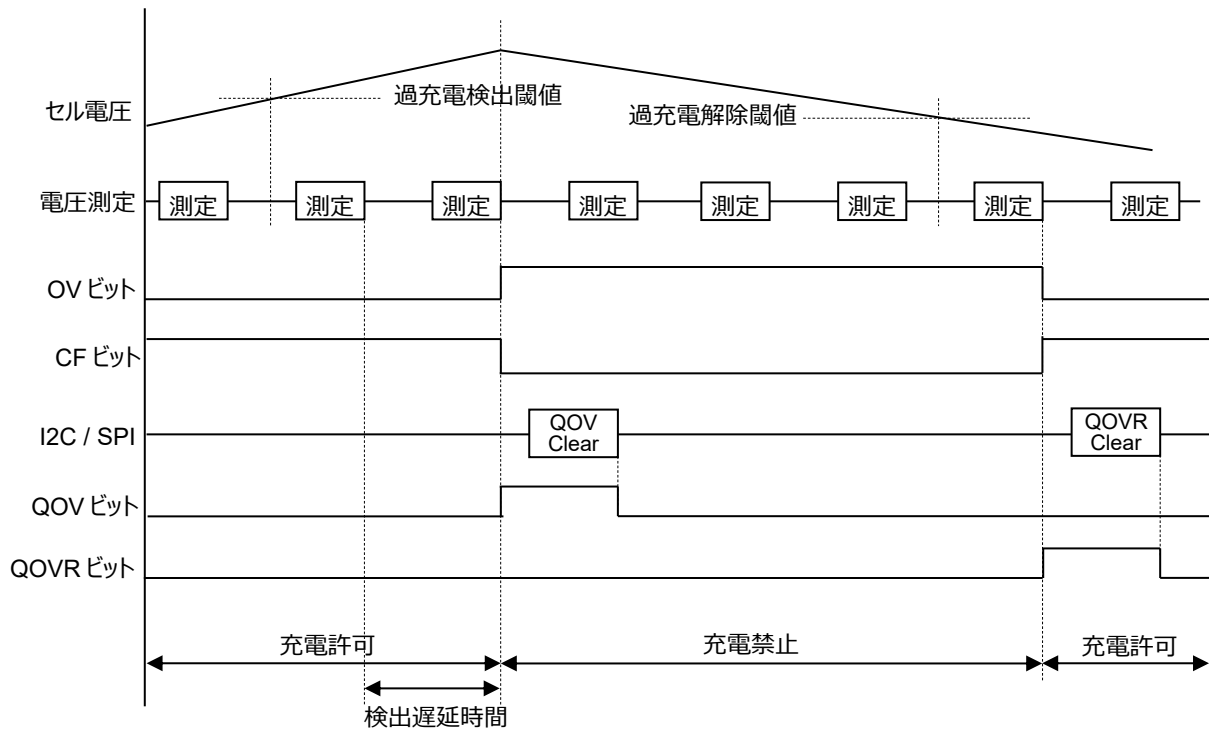


QRDY ビットがセットされた後、セル接続数、セル電圧測定周期、過充電検出/解除閾値、過充電検出遅延時間の設定を行います。QRDY ビットがセットされる前の各レジスタへのアクセスは禁止します。

ENOV ビットを"1"にセットした後、最初の電圧測定シーケンスから過充電検出動作が有効となり、電圧測定完了タイミングでセル電圧測定結果と過充電検出/解除閾値の比較を行います。

次に過充電検出/解除動作のタイミングチャートを示します。

検出遅延時間はセル電圧測定回数=1 回設定時、その他の異常は未検出状態とします。



いずれか 1 つ以上の電池セルが過充電検出閾値より大きくなった状態が、過充電検出遅延時間経過すると、過充電状態となり、STATUS1 レジスタの OV ビットが"1"にセット、FETCBAL レジスタの CF ビットは"0"にリセットされ、充電を禁止します。同時に INT\_REQ1 レジスタの QOV ビットも"1"にセットされ、過充電検出したことを MCU へ知らせます。

なお、過充電検出遅延時間がセル電圧測定回数=3 回以上の設定で、いずれか 1 つ以上の電池セルが過充電検出閾値より大きくなった過充電検出遅延時間経過待ち状態のとき、全ての電池セル測定結果が 2 回連続して過充電検出閾値以下であった場合には、検出遅延時間はリセットされます。

過充電状態に移行した後、全ての電池セルが過充電解除閾値以下になると、過充電状態を解除し、STATUS1 レジスタの OV ビットが"0"にリセット、FETCBAL レジスタの CF ビットは"1"にセットされ、充電を許可します。

同時に INT\_REQ1 レジスタの QOVR ビットも"1"にセットされ、過充電解除したことを MCU へ知らせます。

## 2. 過放電検出機能

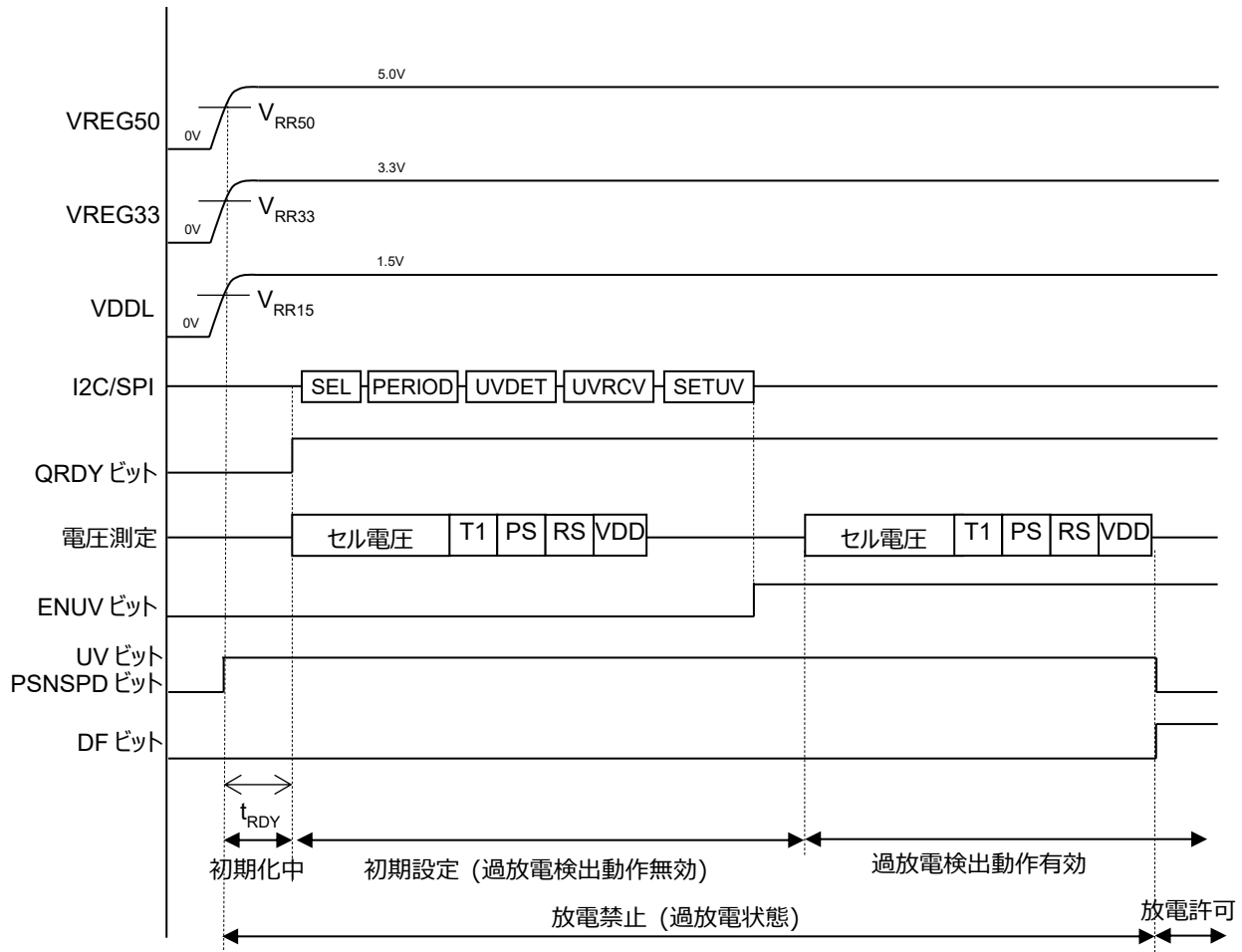
セル電圧測定結果レジスタ (VCELLn レジスタ) の値が過放電検出閾値レジスタ (UVDET レジスタ) の値以下となった場合、SETUV レジスタの UVDLY[6:0]ビットで指定したセル電圧測定回数経過すると過放電状態に移行し、FETCBAL レジスタの DF ビットを"0"にリセットし、放電を禁止します。

UVDET レジスタや UVDLY ビットなどの各種設定を行った後、SETUV レジスタの ENUV ビットを"1"にセットして過放電検出機能を有効にしてください。

設定変更する場合は、ENUV ビットが"0"の時に実施してください。

電源投入時やパワーアップ時には過放電状態、充電許可状態から開始しますので、PSNS 端子に充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以上の電圧を入力するか、または、/PUPIN 端子に"L"レベルを入力し、パワーアップ状態を維持してください。

以下に初期化動作のタイミングチャートを示します。



QRDY ビットがセットされた後、セル接続数、セル電圧測定周期、過放電検出/解除閾値、過放電検出遅延時間の設定を行います。QRDY ビットがセットされる前の各レジスタへのアクセスは禁止します。ENUV ビットを"1"にセットしてから最初の電圧測定シーケンスから過放電検出動作が有効となり、電圧測定完了タイミングでセル電圧測定結果と過放電検出/解除閾値を比較します。

全てのセル電圧が過放電解除閾値より大きいとき、

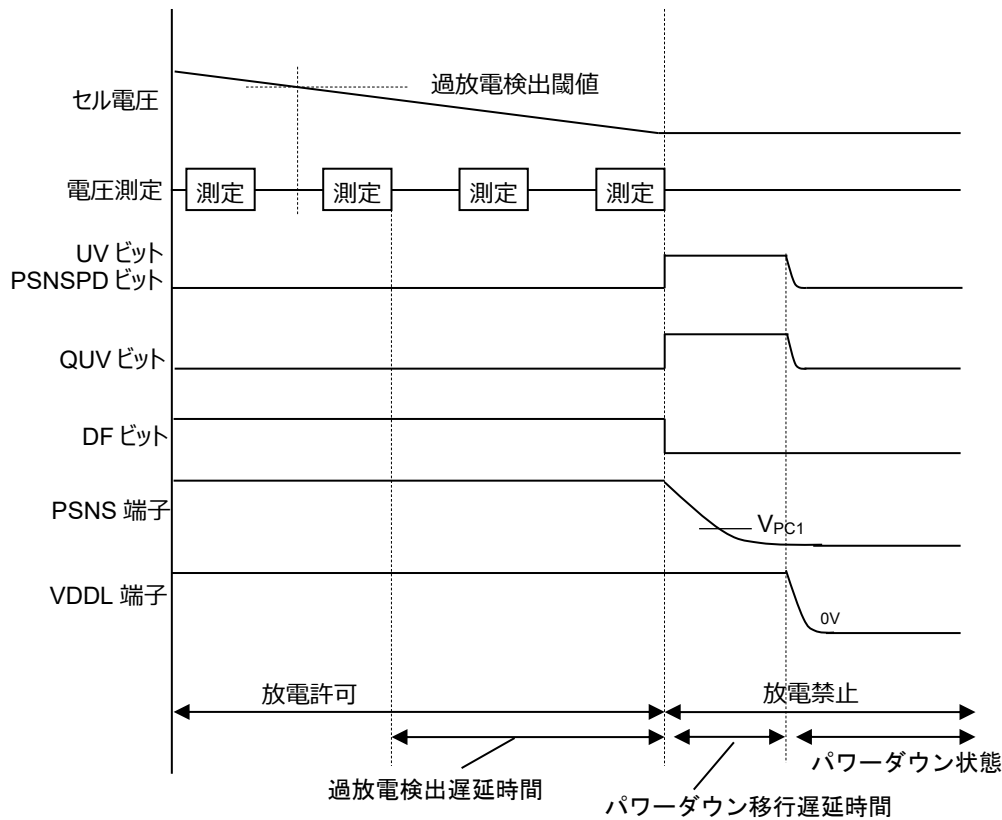
【プリディスチャージ機能が無効な場合】

- ・DF ビットを"1"にセットし、放電許可状態となり、過放電状態は解除されます。
- ・INT\_REQ1 レジスタの QUVR ビットが"1"にセットされ、MCU へ放電許可状態になったことを知らせます。

【プリディスチャージ機能が有効な場合】

- ・PRDF ビットを"1"にセットします。
- ・プリディスチャージ完了後、DF ビットを"1"に、PRDF ビットを"0"にリセットし、放電許可状態となり過放電状態は解除されます。
- ・INT\_REQ1 レジスタの QUVR ビットが"1"にセットされ、MCU へ放電許可状態になったことを知らせます。

次に過放電検出とパワーダウン状態への移行動作のタイミングチャートを示します。  
検出遅延時間はセル電圧測定回数=2 回設定時、その他の異常は未検出状態とします。



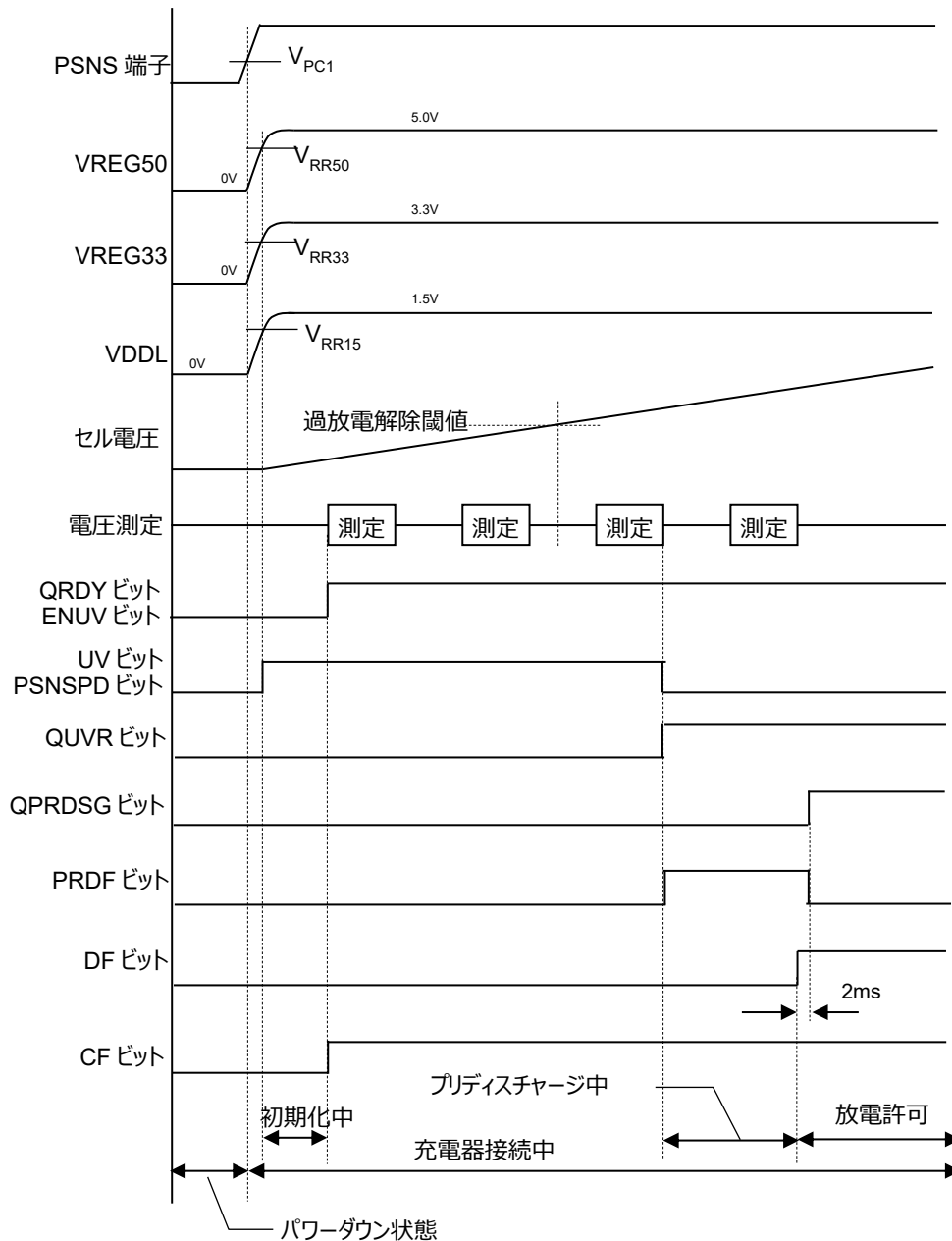
いずれか 1 つ以上の電池セルが過放電検出閾値以下となった状態が、過放電検出遅延時間経過すると、過放電状態となり、STATUS1 レジスタの UV ビットが"1"にセット、FETCBAL レジスタの DF ビットは"0"にリセットされ、放電を禁止します。同時に INT\_REQ1 レジスタの QUV ビットも"1"にセットされ、過放電検出したことを MCU へ知らせます。

なお、過放電検出遅延時間がセル電圧測定回数=3 回以上の設定で、いずれか 1 つ以上の電池セルが過放電検出閾値以下となった過放電検出遅延時間経過待ち状態のとき、全ての電池セル測定結果が 2 回連続して過放電検出閾値より大きい場合には、検出遅延時間はリセットされます。

過放電状態に移行すると、PSNS 端子に 500k $\Omega$  (typ.) のプルダウン抵抗が自動的に接続され、PWRDLY レジスタの PDDL[3:0] ビットで設定した遅延時間経過後、PSNS 端子電圧が充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以下であれば、パワーダウン状態に移行します。

次に充電器接続によるパワーアップと過放電解除動作のタイミングチャートを示します。

ここでは、プリディスチャージ機能は有効状態、FET 過熱保護機能は無効状態とし、その他の異常は未検出状態とします。



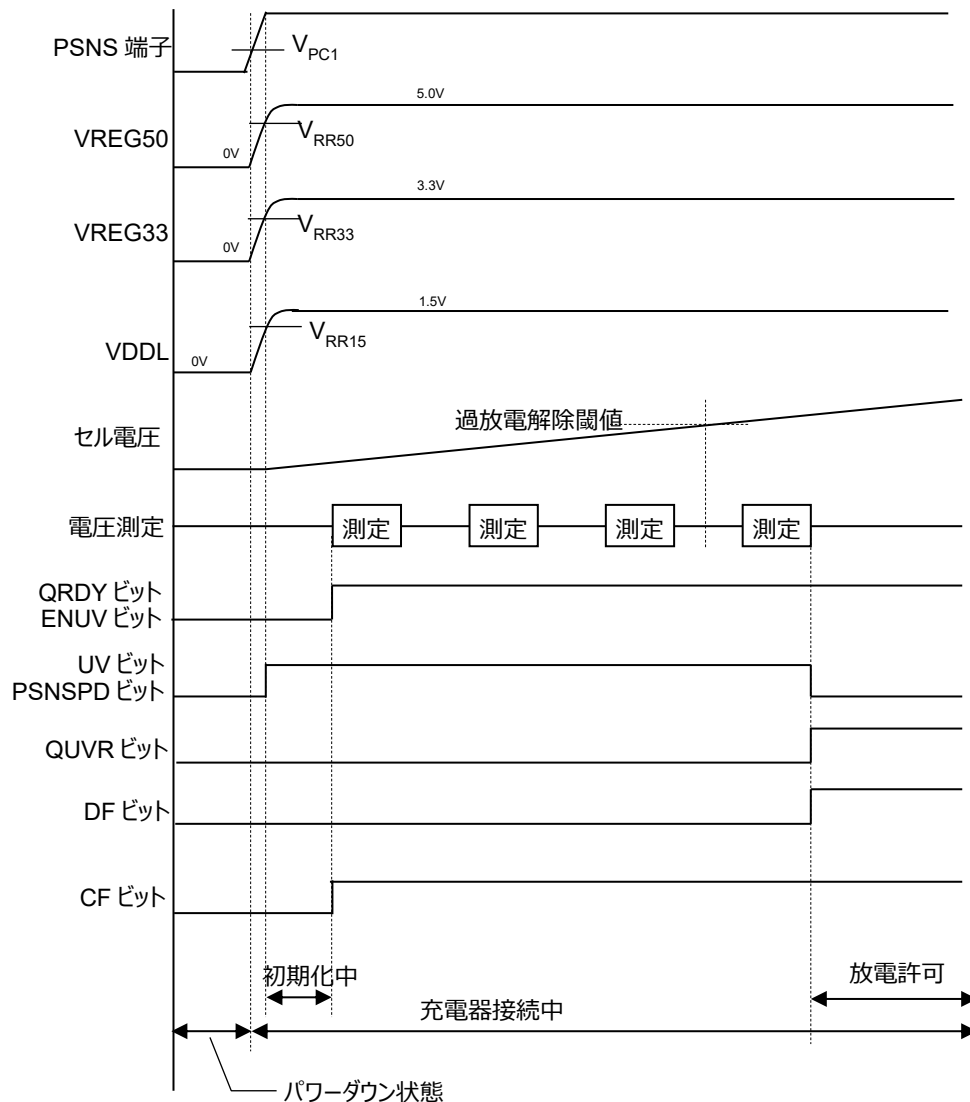
充電器が接続されると、PSNS 端子電圧が上昇し、充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以上になるとパワーアップし初期化動作を開始、OTP メモリに格納された初期値が各レジスタに設定されます。

初期化完了後に電圧測定が開始され、電圧測定完了タイミングでセル電圧測定結果と過放電検出/解除閾値を比較し、全てのセル電圧が過放電解除閾値より大きい場合、PRDF ビットを"1"にセットし、PREDSG レジスタで設定したプリディスチャージ完了条件を満たすと、DF ビットを"1"にセットし、放電許可状態となり、過放電状態は解除されます。

このとき、INT\_REQ1 レジスタの QUVR ビットが"1"にセットされ、MCU へ放電許可状態になったことを知らせます。2ms 後に PRDF ビットは"0"にリセット、INT\_REQ1 レジスタの QPRDSG ビットは"1"にセットされ、プリディスチャージ完了を MCU へ知らせます。

過放電状態が解除される前に充電器が開放された場合には、PSNS 端子電圧は内部プルダウン抵抗 500kΩ により低下し、充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以下になると、再び、パワーダウン状態となります。

次に、プリディスチャージ機能および FET 加熱保護機能が無効状態時の充電器接続によるパワーアップと過放電解除動作のタイミングチャートを示します。ここでは、その他の異常は未検出状態とします。



充電器が接続されると、PSNS 端子電圧が上昇し、充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以上になるとパワーアップし初期化動作を開始、OTP メモリに格納された初期値が各レジスタに設定されます。

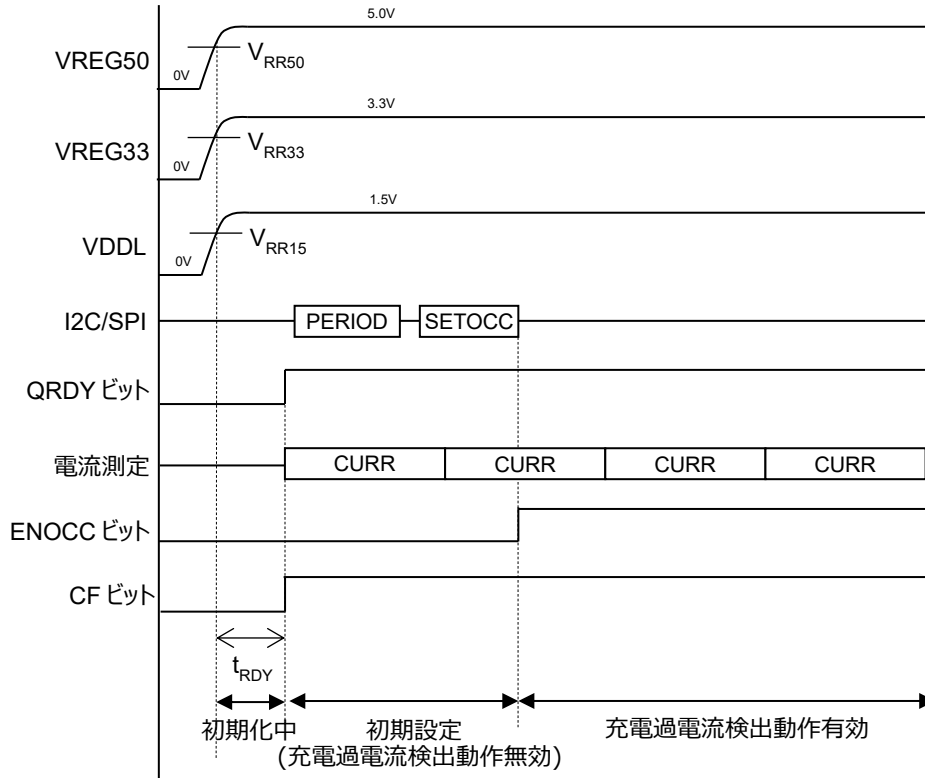
初期化完了後に電圧測定が開始され、電圧測定完了のタイミングでセル電圧測定結果と過放電検出/解除閾値を比較し、全てのセル電圧が過放電解除閾値より大きい場合、DF ビットを"1"にセット、放電許可状態となり、過放電状態は解除されます。

このとき、INT\_REQ1 レジスタの QUVR ビットが"1"にセットされ、MCU へ放電許可状態になったことを知らせます。

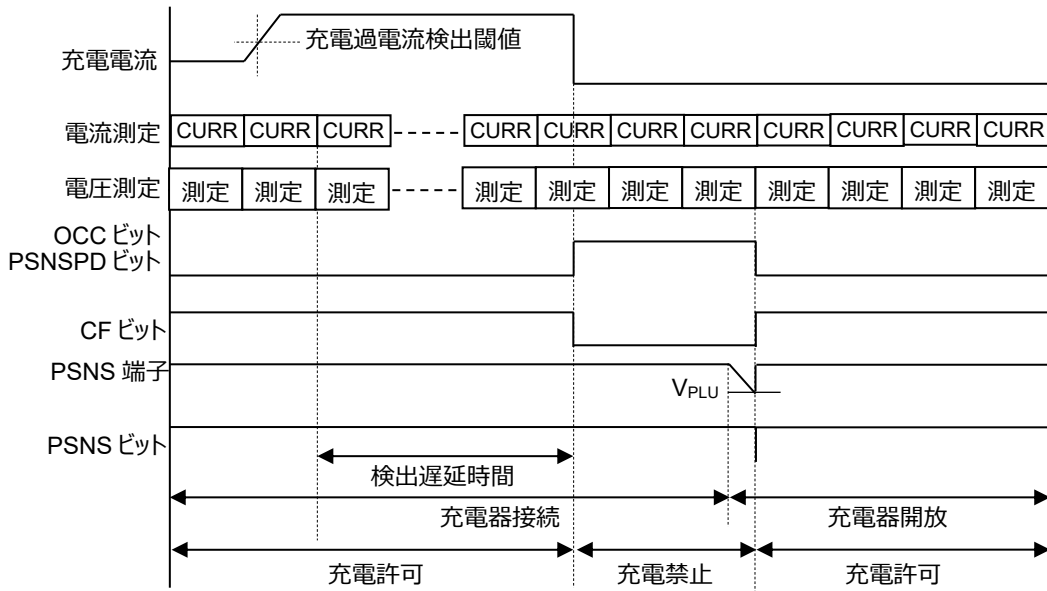
### 3. 充電過電流検出機能

電流測定結果レジスタ (G1\_CURR レジスタもしくは G4\_CURR レジスタ) の値が充電過電流検出動作設定レジスタ (SETOCC レジスタ) の OCC[3:0]ビット値以上となった状態が、SETOCC レジスタの OCCDLY[3:0]ビットで指定した時間経過すると、充電過電流状態に移行、FETCBAL レジスタの CF ビットを"0"にリセットし、充電を禁止します。

以下に初期化動作のタイミングチャートを示します。



以下に充電過電流検出、解除動作のタイミングチャートを示します。



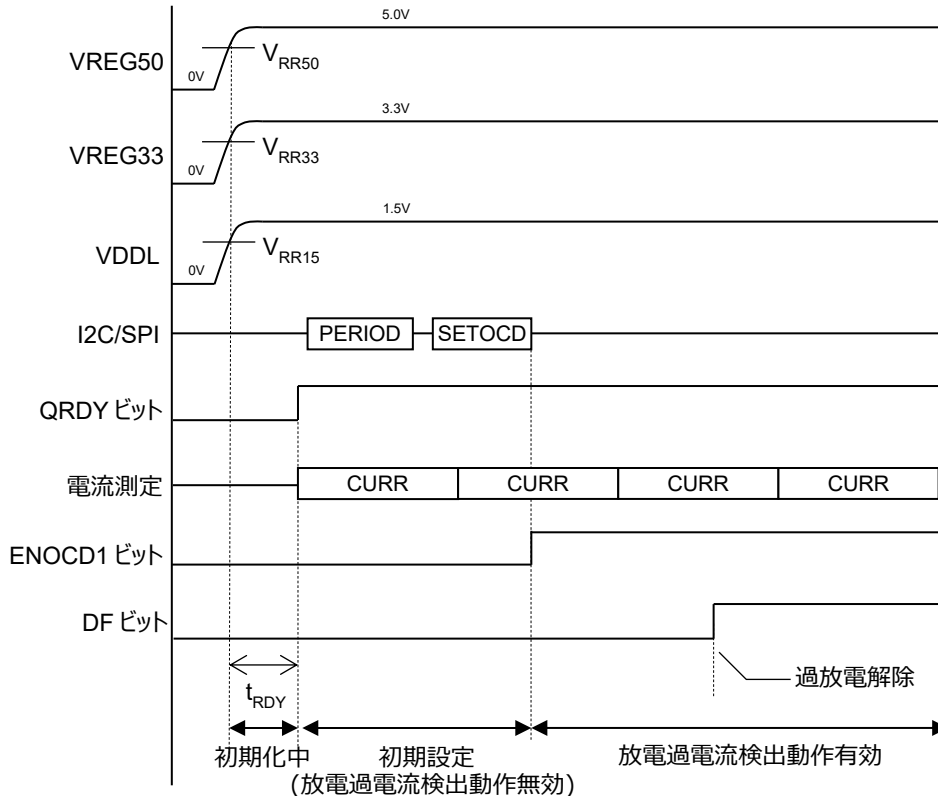
充電過電流状態になると、充電器開放を検出するため、PSNS 端子に 500k $\Omega$  (typ.) のプルダウン抵抗が自動的に接続されます。充電器が開放されると PSNS 端子電圧は低下し、充電器開放検出電圧  $V_{PLU}$  以下になると、充電過電流状態は解除され、充電許可状態となります。

電流測定結果レジスタ値が 2 回連続して充電過電流検出閾値以下であった場合には、検出遅延時間はリセットされます。また、POWER レジスタ、および STATUS1 レジスタの PSNS ビットの判定閾値は、充電過電流状態に移行後には、充電器開放検出電圧  $V_{PLU}$  の閾値に変更され、充電過電流状態から復帰すると、充電器接続検出 PSNS 端子電圧  $V_{PC1}$  の閾値に戻ります。

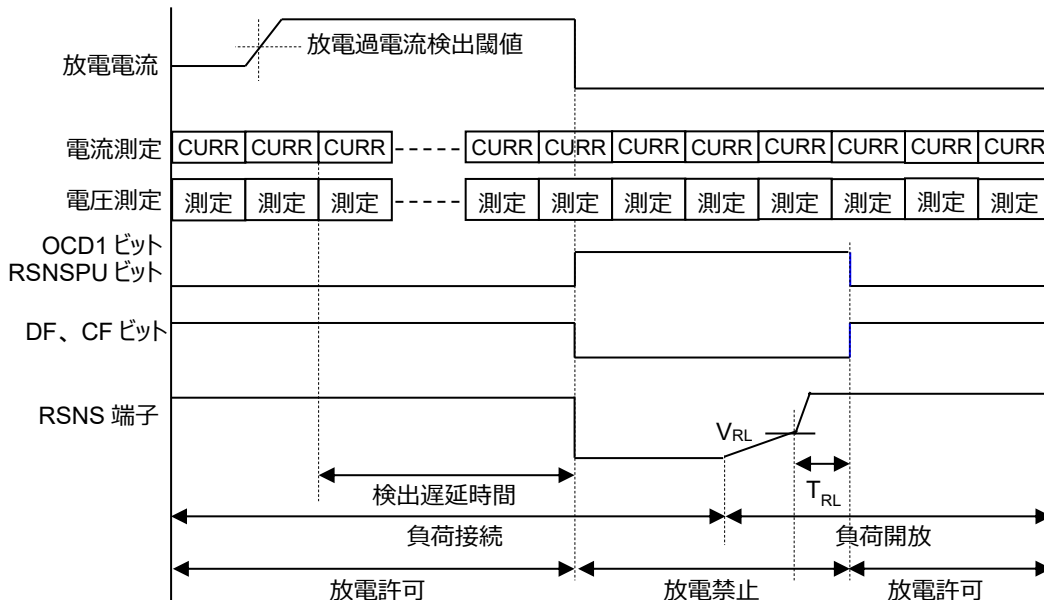
#### 4. 放電過電流検出機能

電流測定結果レジスタの値が放電過電流検出動作設定レジスタ (SET1 レジスタ) の OCD1[3:0]ビット値以上の放電電流となった状態が、SETOCD1 レジスタの OCDDLY1[3:0]ビットで指定した時間経過すると、放電過電流状態に移行、FETCBAL レジスタの DF ビット、および、CF ビットを"0"にリセットし、充放電を禁止します。SETOCD2 レジスタについても同様です。

以下に初期化動作のタイミングチャートを示します。プリディスチャージ機能は無効状態とします。



以下に放電過電流検出、解除動作のタイミングチャートを示します。プリディスチャージ機能は無効状態とします。



放電過電流状態になると、負荷開放を検出するため、RSNS 端子に  $2\text{M}\Omega$  (typ.) のプルアップ抵抗が自動的に接続されます。

負荷が開放されると RSNS 端子電圧は上昇し、負荷開放検出 RSNS 端子電圧  $V_{RL}$  以上となった状態が、負荷開放検出後待ち時間  $T_{RL}$  経過すると、放電過電流状態は解除され、放電許可状態となります。

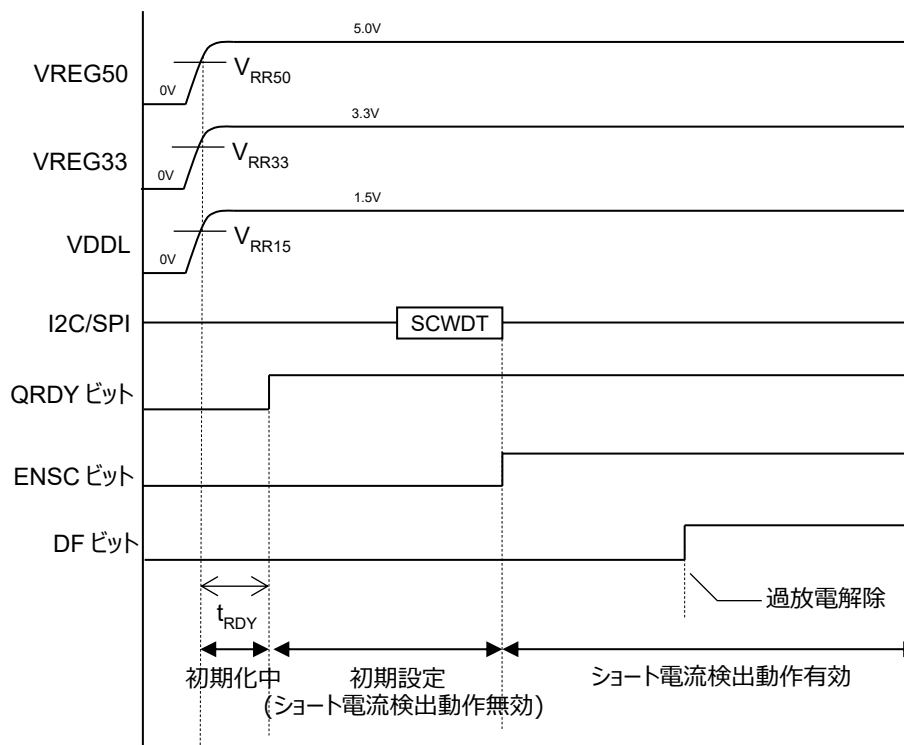
なお、電流測定結果レジスタの放電電流値が 2 回連続して放電過電流検出閾値以下であった場合には、検出遅延時間はリセットされます。

## 5. ショート電流検出機能

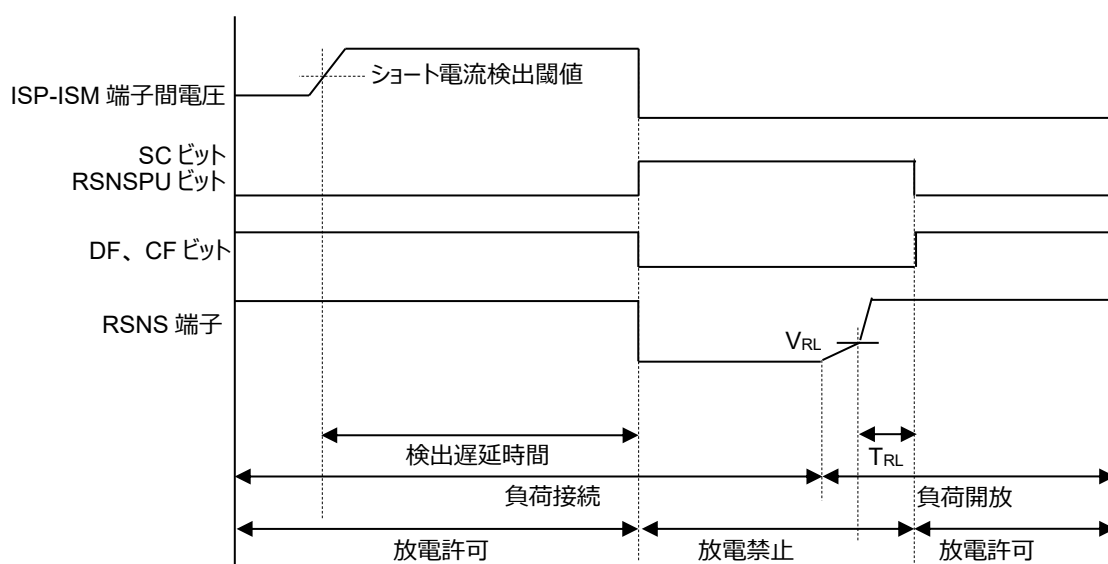
ショート電流検出は、ISP-ISM 端子間電圧と SCWDT レジスタの SC[2:0]ビットで選択したショート電流検出閾値電圧をコンパレータで比較します。

ISP-ISM 端子間電圧がショート電流検出閾値以上となった状態が、SCWDT レジスタの TSC[1:0]ビットで指定した時間経過すると、ショート電流検出状態に移行し、FETCBAL レジスタの DF ビット、および、CF ビットを"0"にリセットし、充放電を禁止します。

以下に初期化動作のタイミングチャートを示します。プリディスチャージ機能は無効状態とします。



以下にショート電流検出、解除動作のタイミングチャートを示します。プリディスチャージ機能は無効状態とします。



ショート電流検出状態になると、負荷開放を検出するため、RSNS 端子に  $2\text{M}\Omega$  (typ.) のプルアップ抵抗が自動的に接続されます。

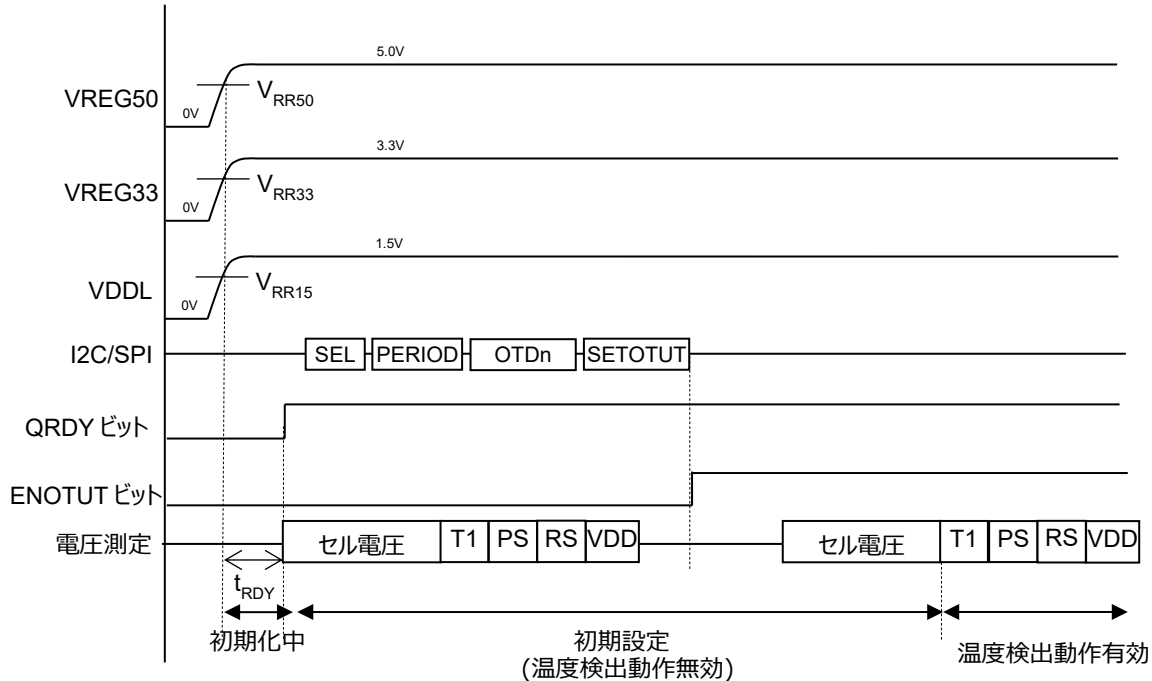
負荷が開放されると RSNS 端子電圧は上昇し、負荷開放検出 RSNS 端子電圧  $V_{RL}$  以上となった状態が、負荷開放検出後待ち時間  $T_{RL}$  経過すると、ショート電流検出状態は解除され、放電許可状態となります。

なお、検出遅延時間は、ISP-ISM 端子間電圧がショート電流検出閾値以下となるとリセットされます。

## 6. 放電禁止高温検出機能

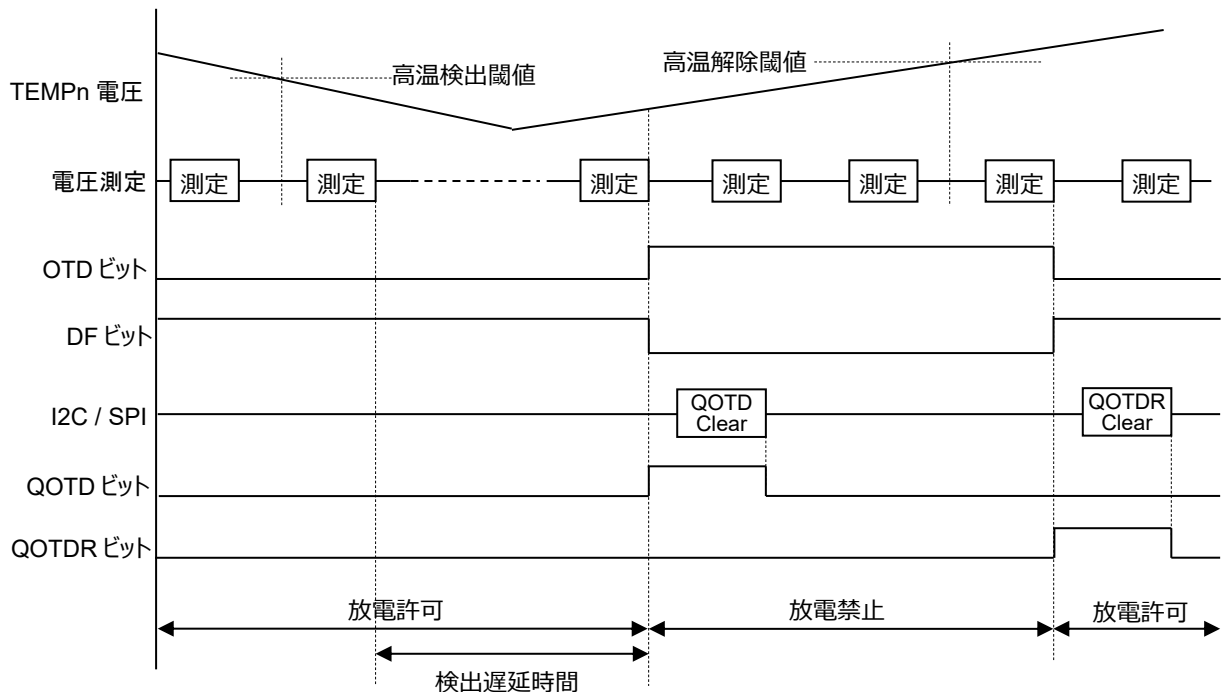
温度測定結果レジスタ (TEMPn レジスタ) の値が放電禁止高温検出閾値レジスタ (OTDn レジスタ) の OTDn[11:0]ビット以下の電圧となった状態が、温度検出動作設定レジスタ (SETOTUT レジスタ) の OTUTDLY[6:0]ビットで指定した温度モニタ回数経過すると、放電禁止高温検出状態に移行し、FETCBAL レジスタの DF ビットを"0"にリセットし、放電を禁止します。

以下に初期化動作のタイミングチャートを示します。



ENOTUT ビットを"1"にセットした後、最初の電圧測定シーケンスから温度検出動作が有効となり、電圧測定完了タイミングで温度測定結果と放電禁止高温検出閾値の比較を行います。

次に放電禁止高温検出/解除動作のタイミングチャートを示します。その他の異常は未検出状態で、プリディスチャージ機能は無効状態とします



TEMPn 端子電圧が放電禁止高温検出閾値以下となった状態が、検出時間経過すると、放電禁止高温状態となり、STATUS2 レジスタの OTD ビットが"1"にセット、FETCBAL レジスタの DF ビットは"0"にリセットされ、放電を禁止します。同時に INT\_REQ2 レジスタの QOTD ビットも"1"にセットされ、放電禁止高温検出したことを MCU へ知らせます。

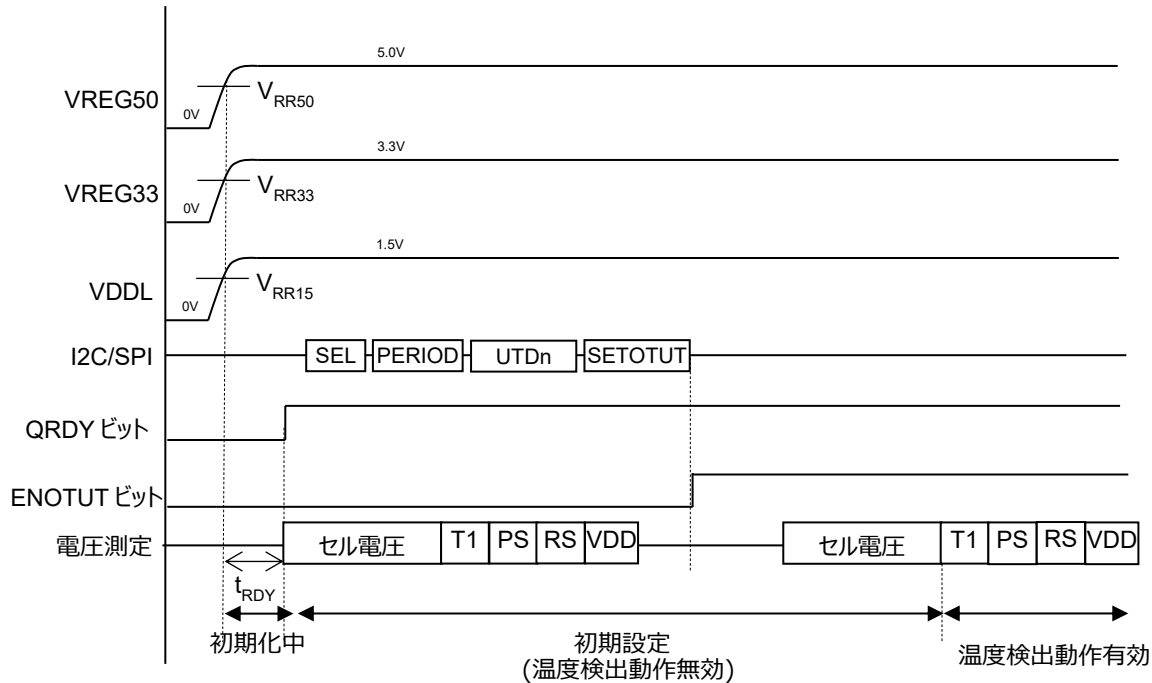
なお、全ての TEMPn 端子測定結果が 2 回連続して検出閾値以上であった場合には、検出遅延時間はリセットされます。

放電禁止高温状態移行後、全ての TEMPn 端子測定結果が放電禁止高温解除閾値レジスタ (OTDRn レジスタ) の OTDRn[11:0]ビット以上の電圧になると、放電禁止高温検出状態は解除され、STATUS2 レジスタの OTD ビットが"0"にリセット、FETCBAL レジスタの DF ビットは"1"にセットされ、放電を許可します。同時に INT\_REQ2 レジスタの QOTDR ビットも"1"にセットされ、放電禁止高温解除したことを MCU へ知らせます。

## 7. 放電禁止低温検出機能

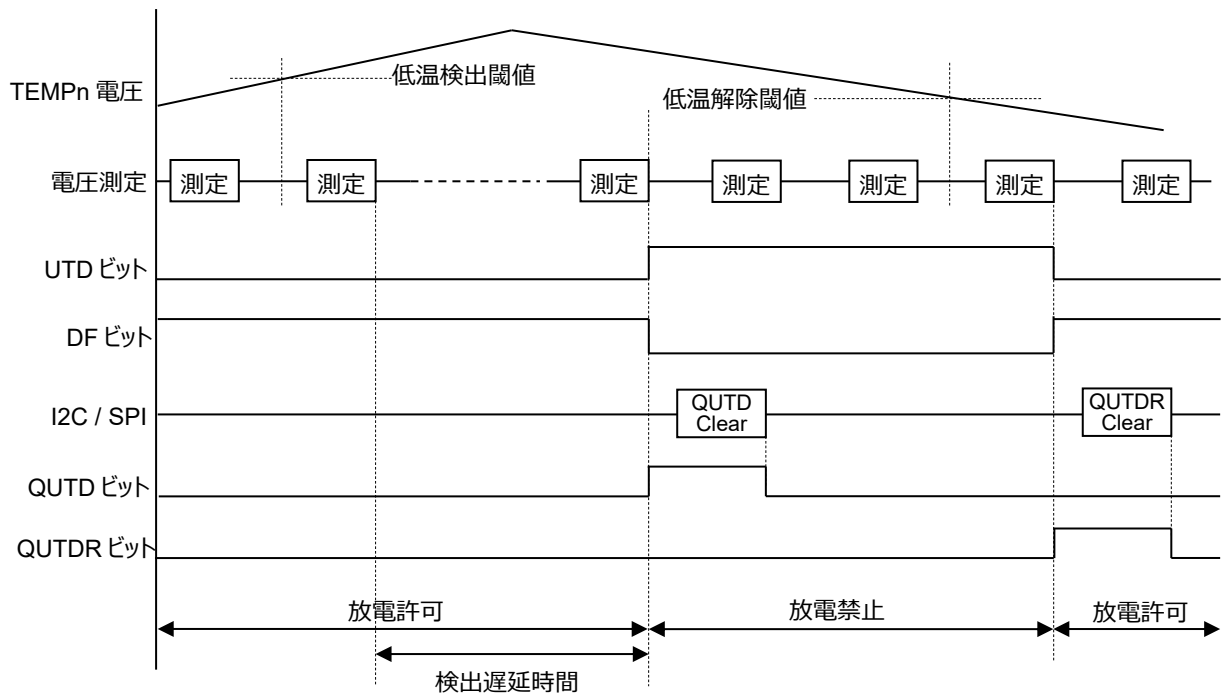
温度測定結果レジスタ (TEMPn レジスタ) の値が放電禁止低温検出閾値レジスタ (UTDn レジスタ) の UTDn[11:0]ビット以上の電圧となった状態が、温度検出動作設定レジスタ (SETOTUT レジスタ) の OTUTDLY[6:0]ビットで指定した温度モニタ回数経過すると、放電禁止低温検出状態に移行し、FETCBAL レジスタの DF ビットを"0"にリセットし、放電を禁止します。

以下に初期化動作のタイミングチャートを示します。



ENOTUT ビットを"1"にセットした後、最初の電圧測定シーケンスから温度検出動作が有効となり、電圧測定完了タイミングで温度測定結果と放電禁止低温検出閾値の比較を行います。

次に放電禁止低温検出/解除動作のタイミングチャートを示します。その他の異常は未検出状態で、プリディスチャージ機能は無効状態とします。



TEMPn 端子電圧が放電禁止低温検出閾値以上となった状態が、検出時間経過すると、放電禁止低温状態となり、STATUS2 レジスタの UTD ビットが"1"にセット、FETCBAL レジスタの DF ビットは"0"にリセットされ、放電を禁止します。同時に INT\_REQ2 レジスタの QUTD ビットも"1"にセットされ、放電禁止低温検出したことを MCU へ知らせます。

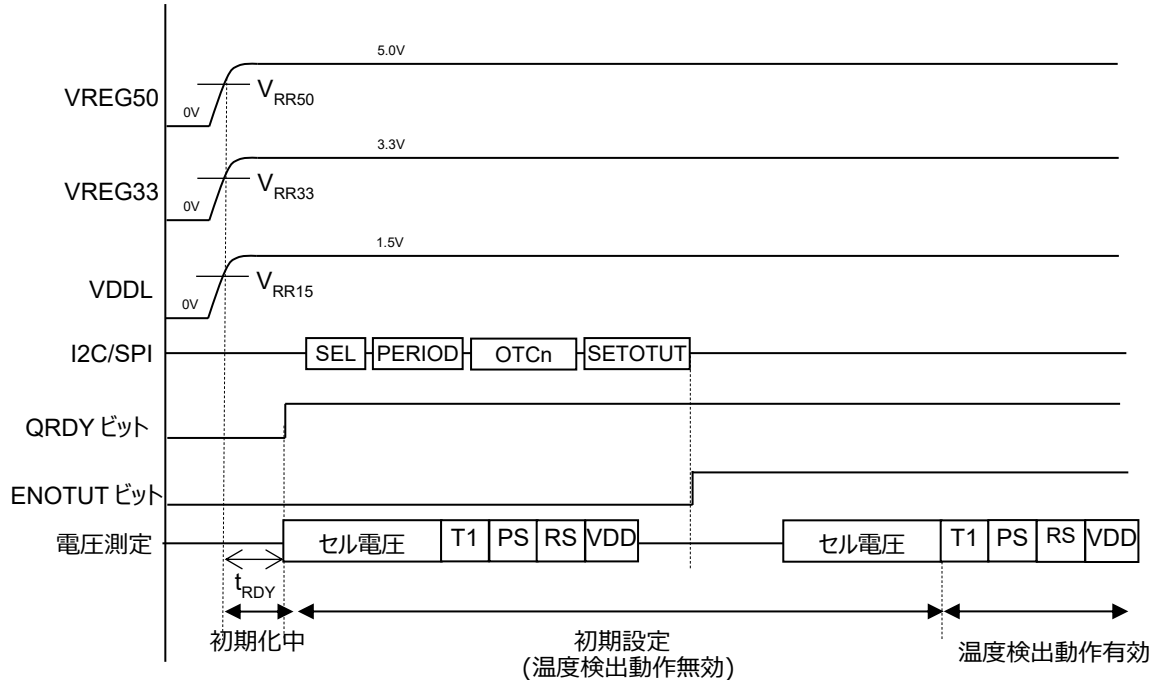
なお、全ての TEMPn 端子測定結果が 2 回連続して検出閾値以下であった場合には、検出遅延時間はリセットされます。

放電禁止低温状態移行後、全ての TEMPn 端子測定結果が放電禁止低温解除閾値レジスタ (UTDRn レジスタ) の UTDRn[11:0]ビット以下の電圧になると、放電禁止低温検出状態は解除され、STATUS2 レジスタの UTD ビットが"0"にリセット、FETCBAL レジスタの DF ビットは"1"にセットされ、放電を許可します。同時に INT\_REQ2 レジスタの QUTDR ビットも"1"にセットされ、放電禁止低温解除したことを MCU へ知らせます。

## 8. 充電禁止高温検出機能

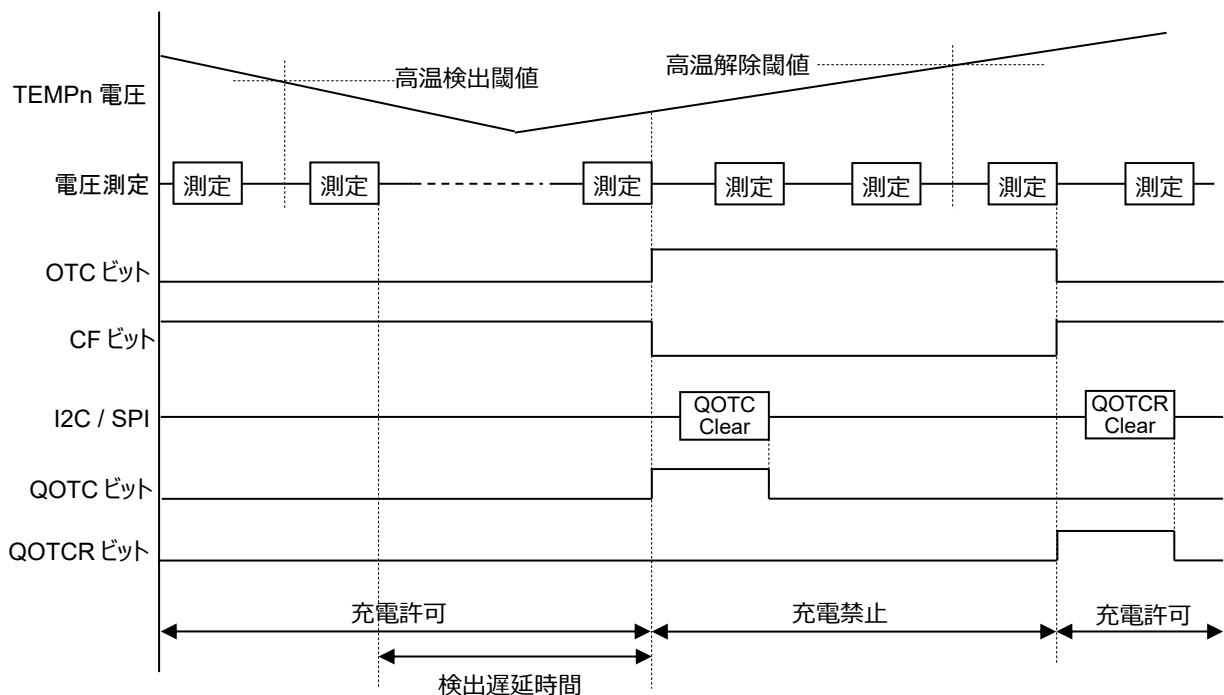
温度測定結果レジスタ (TEMPn レジスタ) の値が充電禁止高温検出閾値レジスタ (OTCn レジスタ) の OTCn[11:0]ビット以下の電圧となった状態が、温度検出動作設定レジスタ (SETOTUT レジスタ) の OTUTDLY[6:0]ビットで指定した温度モニタ回数経過すると、充電禁止高温検出状態に移行し、FETCBAL レジスタの CF ビットを"0"にリセットし、充電を禁止します。

以下に初期化動作のタイミングチャートを示します。



ENOTUT ビットを"1"にセットした後、最初の電圧測定シーケンスから温度検出動作が有効となり、電圧測定完了タイミングで温度測定結果と充電禁止高温検出閾値の比較を行います。

次に充電禁止高温検出/解除動作のタイミングチャートを示します。その他の異常は未検出状態とします。



TEMPn 端子電圧が充電禁止高温検出閾値以下となった状態が、検出時間経過すると、充電禁止高温状態となり、STATUS2 レジスタの OTC ビットが"1"にセット、FETCBAL レジスタの CF ビットは"0"にリセットされ、充電を禁止します。同時に INT\_REQ1 レジスタの QOTC ビットも"1"にセットされ、充電禁止高温検出したことを MCU へ知らせます。

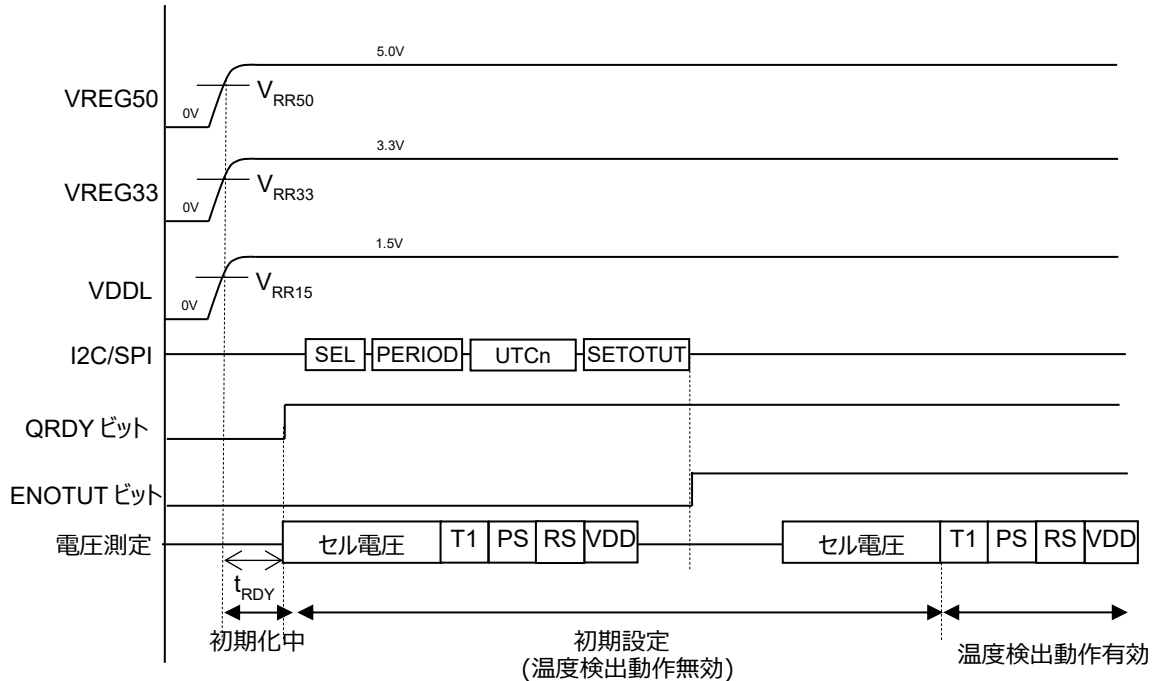
なお、全ての TEMPn 端子測定結果が 2 回連続して検出閾値以上であった場合には、検出遅延時間はリセットされます。

充電禁止高温状態移行後、全ての TEMPn 端子測定結果が充電禁止高温解除閾値レジスタ (OTCRn レジスタ) の OTCRn[11:0]ビット以上の電圧になると、充電禁止高温検出状態は解除され、STATUS2 レジスタの OTC ビットが"0"にリセット、FETCBAL レジスタの CF ビットは"1"にセットされ、充電を許可します。同時に INT\_REQ2 レジスタの QOTCR ビットも"1"にセットされ、充電禁止高温解除したことを MCU へ知らせます。

### 9. 充電禁止低温検出機能

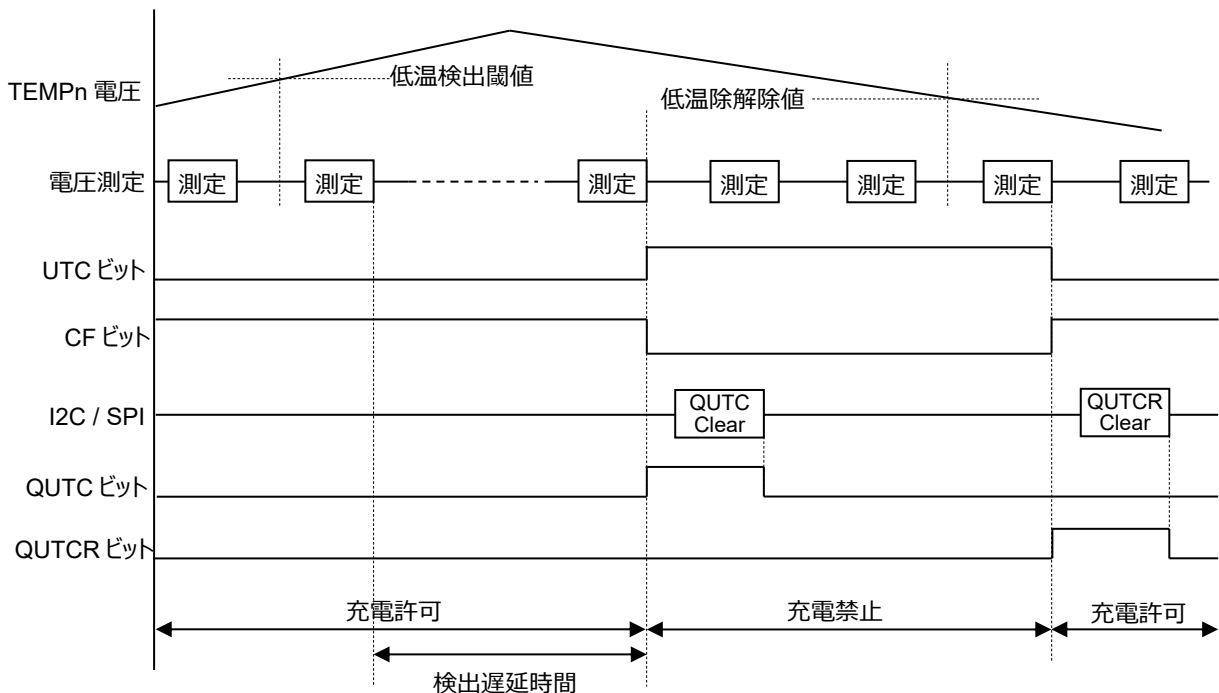
温度測定結果レジスタ (TEMPn レジスタ) の値が充電禁止低温検出閾値レジスタ (UTCn レジスタ) の UTCn[11:0]ビット以上の電圧となった状態が、温度検出動作設定レジスタ (SETOTUT レジスタ) の OTUTDLY[6:0]ビットで指定した温度モニタ回数経過すると、充電禁止低温検出状態に移行し、FETCBAL レジスタの CF ビットを"0"にリセットし、充電を禁止します。

以下に初期化動作のタイミングチャートを示します。



ENOTUT ビットを"1"にセットした後、最初の電圧測定シーケンスから温度検出動作が有効となり、電圧測定完了タイミングで温度測定結果と充電禁止低温検出閾値の比較を行います。

次に充電禁止低温検出/解除動作のタイミングチャートを示します。その他の異常は未検出状態とします。



TEMPn 端子電圧が充電禁止低温検出閾値以下となった状態が、検出時間経過すると、充電禁止低温状態となり、STATUS2 レジスタの UTC ビットが"1"にセット、FETCBAL レジスタの CF ビットは"0"にリセットされ、充電を禁止します。同時に INT\_REQ1 レジスタの QUTC ビットも"1"にセットされ、充電禁止低温検出したことを MCU へ知らせます。

なお、全ての TEMPn 端子測定結果が 2 回連続して検出閾値以下であった場合には、検出遅延時間はリセットされます。

充電禁止低温状態移行後、全ての TEMPn 端子測定結果が充電禁止低温解除閾値レジスタ (UTCRn レジスタ) の UTCRn[11:0]ビット以下の電圧になると、充電禁止低温検出状態は解除され、STATUS2 レジスタの UTC ビットが"0"にリセット、FETCBAL レジスタの CF ビットは"1"にセットされ、充電を許可します。同時に INT\_REQ2 レジスタの QUTCR ビットも"1"にセットされ、充電禁止低温解除したことを MCU へ知らせます。

## 10. FET 過熱保護機能

充放電制御 FET の片方が OFF 状態にあるとき、充電あるいは放電電流は OFF している FET のボディダイオードを介して流れます。このとき、電流が大きい場合には FET が発熱し、破壊に至る可能性があります。

過充電や過放電検出状態、および、高温・低温検出状態であっても、充電状態、放電状態を検出した場合は充放電制御 FET を ON させることで、FET のボディダイオードに充電あるいは放電電流が流れることを防止します。

### 【充電状態の検出】

充電状態検出動作設定レジスタ (CHG レジスタ) で行い、過放電検出状態時に充電状態を検出すると、FETCBAL レジスタの DF ビットは"1"にセットされ、放電制御 FET を ON させます。この時、過放電状態は保持されます。

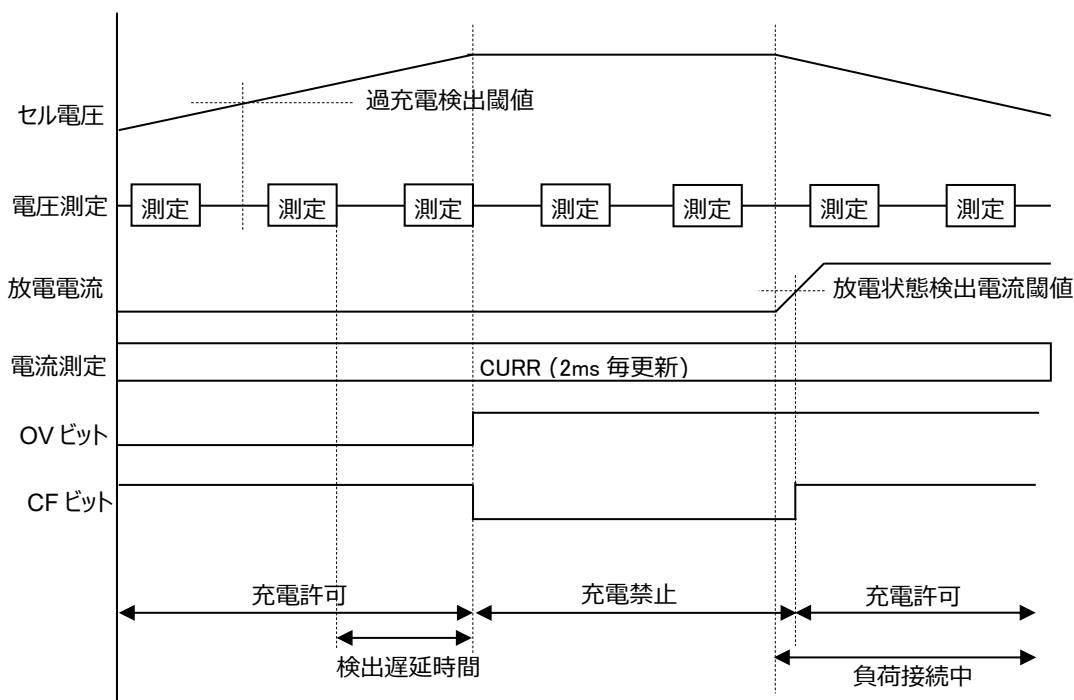
放電禁止高温・低温検出状態時に充電状態を検出した場合も同様に、放電制御 FET を ON させ、各検出状態は保持されます。このとき、プリディスチャージ機能は無効となります。

### 【放電状態の検出】

放電状態検出動作設定レジスタ (DSG レジスタ) で行い、過充電検出状態時に放電状態を検出すると、FETCBAL レジスタの CF ビットは"1"にセットされ、充電制御 FET を ON させます。この時、過充電状態は保持されます。

充電禁止高温・低温検出状態時に放電状態を検出した場合も同様に、充電制御 FET を ON させ、各検出状態は保持されます。

以下に、過充電検出後に放電状態を検出した場合のタイミングチャートを示します。



なお、充電過電流検出時に放電状態を検出した場合、および、放電過電流、または、ショート電流検出時に充電状態を検出した場合についても同様です。

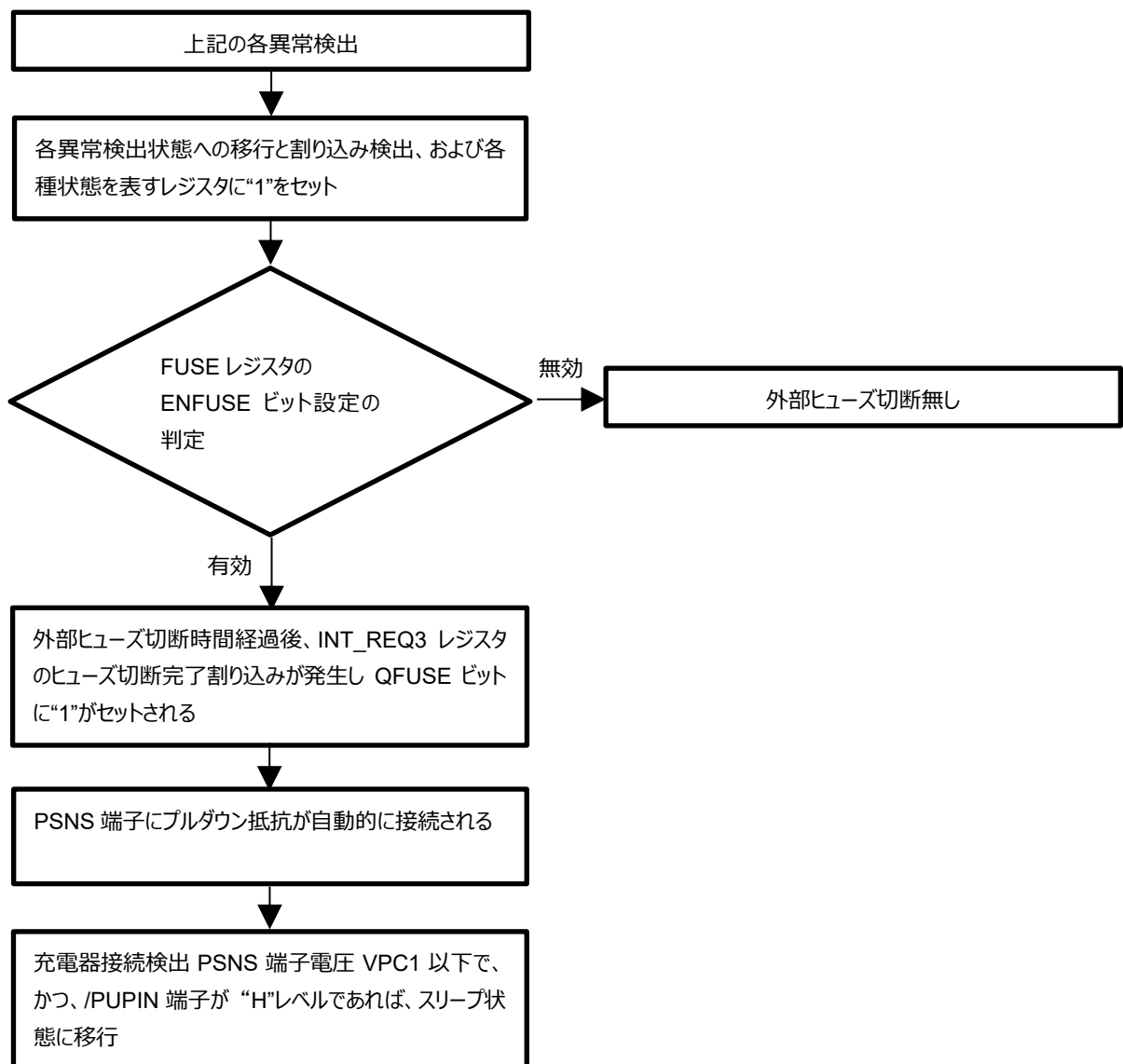
FET 加熱保護機能は、2 次保護検出状態時にも適用されます。

## スタンドアロン 2 次保護

1 次保護機能のほかに、下記に示す 2 次保護機能を搭載しています。2 次保護の異常検出時に、外部ヒューズを切断することができます。

1. 2 次過充電検出機能
2. 2 次過放電検出機能
3. 2 次充電過電流検出機能
4. 2 次放電過電流検出機能
5. 2 次高温検出機能
6. 充電制御 FET 故障検出機能
7. 放電制御 FET 故障検出機能
8. 外部ヒューズ切断機能

2 次保護異常検出から外部ヒューズ切断後にスリープ状態へ移行するまでの ML5262 内部動作のフローチャートを以下に示します。



以下、各種スタンダアロン 2 次保護機能について説明します。

### 1. 2 次過充電検出機能

セル電圧測定結果レジスタ (VCELLn レジスタ) の値が 2 次過充電検出閾値レジスタ (SOVDET レジスタ) の値より大きい状態が、SETSOV レジスタの SOVDLY[6:0]ビットで指定したセル電圧測定回数経過すると、2 次過充電状態に移行し、充電を禁止します。

SOVDET レジスタや SOVDLY ビットなどの各種設定を行った後、SETSOV レジスタの ENSOV ビットを"1"にセットして 2 次過充電検出機能を有効にしてください。

設定変更する場合は、ENSOV ビットが"0"の時に実施してください。

2 次過充電検出動作は、1 次過充電検出動作と同じです。

2 次過充電状態に移行すると、STATUS2 レジスタの SOV ビットが"1"にセットされ、FETCBAL レジスタの CF ビットは ENCF ビット="1"の場合も無条件に"0"にリセットされ、充電を禁止します。同時に INT\_REQ3 レジスタの QSOV ビットも"1"にセットされ、2 次過充電検出したことを MCU へ知らせます。

2 次過充電状態は、SETSOV レジスタの ENSOV ビットを"0"にリセットすることでクリアされます。

### 2. 2 次過放電検出機能

セル電圧測定結果レジスタ (VCELLn レジスタ) の値が 2 次過放電検出閾値レジスタ (SUVDET レジスタ) の値以下となった状態が、SETSUV レジスタの SUVDLY[6:0]ビットで指定したセル電圧測定回数経過すると、過放電状態に移行し、放電を禁止します。

SUVDET レジスタや SUVDLY ビットなどの各種設定を行った後、SETSUV レジスタの ENSUV ビットを"1"にセットして 2 次過放電検出機能を有効にしてください。

設定変更する場合は、ENSUV ビットが"0"の時に実施してください。

2 次過放電検出動作は、1 次放電検出動作と同じです。

2 次過放電状態に移行すると、STATUS2 レジスタの SUV ビットが"1"にセットされ、FETCBAL レジスタの DF ビットは ENDF ビット="1"の場合も無条件に"0"にリセットされ、放電を禁止します。同時に INT\_REQ3 レジスタの QSUV ビットも"1"にセットされ、2 次過放電検出したことを MCU へ知らせます。

なお、2 次過放電状態に移行しても、パワーダウン状態には移行せず、PSNS 端子にプルダウン抵抗も接続されません。

2 次過放電状態は、SETSUV レジスタの ENSUV ビットを"0"にリセットすることでクリアされます。

### 3. 2 次充電過電流検出機能

電流測定結果レジスタの値が 2 次充電過電流検出動作設定レジスタ (SOCC レジスタ) の SOCC[3:0]ビット値以上となった状態が、SOCC レジスタの SOCCDLY[3:0]ビットで指定した時間経過すると、充電過電流状態に移行し、FETCBAL レジスタの CF ビットを"0"にリセットし、充電を禁止します。

2 次充電過電流検出動作は、1 次充電過電流検出動作と同じです。

2 次充電過電流状態に移行すると、STATUS2 レジスタの SOCC ビットが"1"にセットされ、FETCBAL レジスタの CF ビットは ENCF ビット="1"の場合も無条件に"0"にリセットされ、充電を禁止します。同時に INT\_REQ3 レジスタの QSOCC ビットも"1"にセットされ、2 次充電過電流検出したことを MCU へ知らせます。

なお、2 次充電過電流状態に移行すると、充電器を開放しても 2 次充電過電流状態を保持します。PSNS 端子にプルダウン抵抗も接続されません。

2 次充電過電流状態は、SOCC レジスタの ENSOCC ビットを"0"にリセットすることでクリアされます。

#### 4. 2次放電過電流検出機能

電流測定結果レジスタの値が2次放電過電流検出動作設定レジスタ (SOCDDLY[3:0]ビット) の SOCDDLY[3:0]ビット値以上となった状態が、SOCDDLY[3:0]ビットで指定した時間経過すると、充電過電流状態に移行し、FETCBAL レジスタの DF ビットを"0"にリセットし、放電を禁止します。

2次放電過電流検出動作は、1次放電過電流検出動作と同じです。

2次放電過電流状態に移行すると、STATUS2 レジスタの SOCDDLY ビットが"1"にセットされ、FETCBAL レジスタの DF ビットは ENDF ビット="1"の場合も無条件に"0"にリセットされ、放電を禁止します。同時に INT\_REQ3 レジスタの QSOCD ビットも"1"にセットされ、2次放電過電流検出したことを MCU へ知らせます。

なお、2次放電過電流状態に移行すると、負荷を開放しても2次放電過電流状態を保持します。RSNS 端子にプルアップ抵抗も接続されません。

2次放電過電流状態は、SOCDDLY レジスタの ENSOCDDLY ビットを"0"にリセットすることでクリアされます。

#### 5. 2次高温検出機能

温度測定結果レジスタ (TEMPn レジスタ) の値が2次高温検出閾値レジスタ (SOT レジスタ) の SOT[11:0]ビット値以下の電圧となった状態が、2次高温検出動作設定レジスタ (SETSOT レジスタ) の SOTDLY[6:0]ビットで指定した温度モニタ回数経過すると、2次高温検出状態に移行し、FETCBAL レジスタの CF ビット、および DF ビットを"0"にリセットし、充放電を禁止します。

2次高温検出動作は、1次放電禁止高温検出動作と同じです。

2次高温検出状態に移行すると、STATUS2 レジスタの SOT ビットが"1"にセットされ、FETCBAL レジスタの CF ビット、および DF ビットは ENCF ビット="1"または ENDF ビット="1"の場合も無条件に"0"にリセットされ、充放電を禁止します。同時に INT\_REQ3 レジスタの QSOT ビットも"1"にセットされ、2次高温検出したことを MCU へ知らせます。

2次高温検出状態は、SOT レジスタの ENSOT ビットを"0"にリセットすることでクリアされます。

#### 6. 充電制御 FET 故障検出機能

C\_FET=OFF 時に SCFET レジスタの SCFET[3:0]ビット値以上の充電電流が、SCFDLY[3:0]ビットで設定した検出遅延時間以上流れた場合に充電制御 FET 故障を検出します。

充電制御 FET 故障を検出すると、INT\_REQ3 レジスタの QSCFET ビット、および STATUS2 レジスタの SCFET ビットが"1"にセットされ、充電制御 FET 故障を検出したことを MCU へ知らせます。

充電制御 FET 故障検出状態は、SCFET レジスタの ENSCF ビットを"0"にリセットすることでクリアされます。

#### 7. 放電制御 FET 故障検出機能

PRD\_FET、および D\_FET=OFF 時に SDFET レジスタの SDFET[3:0]ビット値以上の放電電流が、SDFDLY[3:0]ビットで設定した検出遅延時間以上流れた場合に放電制御 FET 故障を検出します。

放電制御 FET 故障を検出すると、INT\_REQ3 レジスタの QSDFET ビットおよび、STATUS2 レジスタの SDFET ビットが"1"にセットされ、放電制御 FET 故障を検出したことを MCU へ知らせます。

放電制御 FET 故障検出状態は、SDFET レジスタの ENSDF ビットを"0"にリセットすることでクリアされます。

## 8. 外部ヒューズ切断機能

いずれかの 2 次保護機能の異常を検出した場合に、外部ヒューズを切断するための信号を FUSE 端子から出力する機能です。

外部ヒューズを切断する 2 次異常検出状態の選択、およびヒューズ切断時間の設定は、FUSE レジスタで行います。

外部ヒューズ切断時間を経過すると、INT\_REQ3 レジスタの QFUSE ビット、および STATUS2 レジスタの FUSE ビットが"1"にセットされ、ヒューズ切断完了したことを MCU へ知らせます。

また、PSNS 端子に 500k $\Omega$  (typ.) のプルダウン抵抗が自動的に接続され、PSNS 端子電圧が充電器接続検出 PSNS 端子電圧  $V_{PC1}$  以下で、かつ、/PUPIN 端子が"H"レベルであれば、スリープ状態に移行します。

ヒューズ切断完了検出状態は、FUSE レジスタの ENFUSE ビットを"0"にリセットすることでクリアされます。

スリープ状態からの復帰については、「スリープ機能」の項を参照してください。

## 割り込み出力機能

各種測定完了と異常発生を外部 MCU へ知らせるために、/INTO 端子から割り込み信号を出力します。

各種割り込みの発生許可は INT\_EN1 レジスタ、INT\_EN2 レジスタ、および INT\_EN3 レジスタで設定し、発生した割り込みの確認とクリアは、INT\_REQ1 レジスタ、INT\_REQ2 レジスタ、および INT\_REQ3 レジスタをリード/ライトすることで行います。

割り込み要因と発生条件、発生後の状態について、下表に示します。ただし、スタンダアロン制御の場合とします。

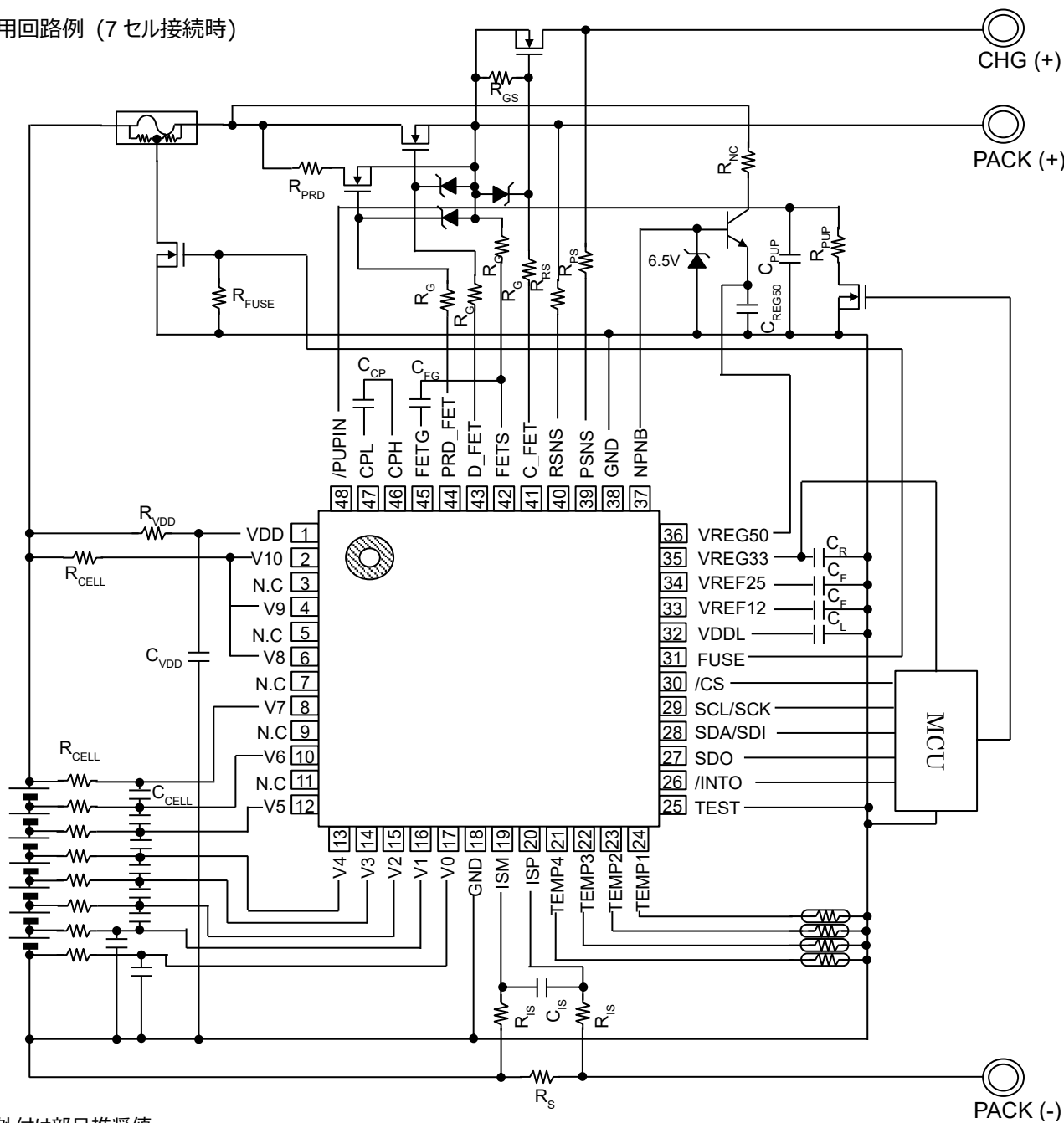
| 割り込み要因                  | 割り込み発生条件                                                                                                                                                 | 割り込み発生後の状態                                                                                                                                                                |
|-------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 初期化完了<br>QRDY           | パワーアップ後、OTP メモリから各レジスタへデータロード完了した場合                                                                                                                      | OTP メモリの内容が各レジスタに設定されます。                                                                                                                                                  |
| 各種電圧測定完了<br>QVM         | セル電圧、セル電圧測定時電流、TEMPn 端子、PSNS 端子、RSNS 端子、VDD 端子電圧の測定が完了した場合                                                                                               | VCELLn、G1_ICELLn もしくは G4_ICELLn、TEMPn、PSNS、RSNS、VDD レジスタに測定結果が格納されます。                                                                                                     |
| クーロンカウンタ積算<br>完了<br>QCC | PERIOD レジスタの CC[2:0]ビットで設定した期間の電流測定結果レジスタの積算が完了した場合                                                                                                      | CCL/CCH レジスタに積算結果が格納されます。                                                                                                                                                 |
| プリディスチャージ完了<br>QPSDG    | PREDSDG レジスタの TPRSDG[6:0]ビットで設定した時間が経過した場合、または VDD 端子電圧と RSNS 端子電圧の差が VPRSDG[6:0]ビットで設定した電圧以下に下がった場合                                                     | FETCBAL レジスタの PRDF ビットが"0"にリセットされ、プリディスチャージが終了します。                                                                                                                        |
| パワーセーブ移行<br>QPSD        | CHG、DSG レジスタで設定した充放電電流閾値以下の状態が PWRDLY レジスタで設定した時間以上継続した場合                                                                                                | セル電圧・温度測定周期が PERIOD レジスタで指定したパワーセーブ状態の周期に変化します。PSNS 端子/ RSNS 端子/ VDD 端子電圧測定は実行されません。                                                                                      |
| パワーセーブ復帰<br>QPSR        | (1) CHG、DSG レジスタで設定した充放電電流閾値以上となった場合<br>(2) 各種異常を検出し、検出遅延タイマを開始した場合<br>※異常の検出結果は遅延時間経過後に STATUS レジスタへ反映されますが、割り込みは異常検出直後に出力されます                          | セル電圧・温度測定周期が PERIOD レジスタで指定したノーマル状態の周期に変化します。                                                                                                                             |
| スリープ移行<br>QSLP          | パワーセーブ状態が PWRDLY レジスタで設定した時間以上継続した場合                                                                                                                     | 全ての測定動作を停止し低消費電流状態となり、制御レジスタへのアクセスのみが有効となります。                                                                                                                             |
| スリープ復帰<br>QSLPR         | (1) PSNS 端子に充電器接続検出<br>PSNS 端子電圧 $V_{PC1}$ 以上（放電制御 FET=OFF 時）。<br>(2) /PUPIN 端子が"L"レベル。<br>(3) WKUP ビット="1"で、放電電流が流れたことを検知<br>上記いずれかを検知してから安定時間 28ms 経過後 | セル電圧・温度測定周期が PERIOD レジスタで指定したノーマル状態の周期に変化します。                                                                                                                             |
| 過充電検出<br>QOV            | いずれか 1 つの VCELLn レジスタ値が OVDET レジスタ値より大きい状態が検出遅延時間継続した場合                                                                                                  | FETCBAL レジスタの CF ビットが"0"にリセットされ、充電が禁止されます。                                                                                                                                |
| 過充電解除<br>QOVR           | 全ての VCELLn レジスタ値が OVRCV レジスタ設定値以下となった場合                                                                                                                  | FETCBAL レジスタの CF ビットが"1"にセットされ、充電が許可されます。                                                                                                                                 |
| 過放電検出<br>QUV            | いずれか 1 つの VCELLn レジスタ値が UVDET レジスタ値以下となった状態が検出遅延時間継続した場合                                                                                                 | FETCBAL レジスタの DF ビットが"0"にリセットされ、放電が禁止されます。<br>PSNS 端子に 500k $\Omega$ のプルダウン抵抗が接続され、PSNS 端子電圧が充電器接続検出 PSNS 端子電圧 $V_{PC1}$ 以下になり、かつ、PWRDLY レジスタで指定した時間経過すると、パワーダウン状態へ移行します。 |

| 割り込み要因               | 割り込み発生条件                                                      | 割り込み発生後の状態                                                                                                                                                                                    |
|----------------------|---------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 過放電解除<br>QUVR        | 全ての VCELLn レジスタ値が UVRCV レジスタ設定値より大きくなった場合                     | プリディスチャージ機能が有効な場合には、FETCBAL レジスタの PRDF ビットが"1"にセットされ、PREDSGレジスタで指定したプリディスチャージ完了条件を満たすと、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。プリディスチャージ機能が無効な場合には、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。 |
| 充電過電流検出<br>QOCC      | 電流測定結果レジスタ値が SETOCC レジスタ設定値以上となった状態が検出遅延時間継続した場合              | FETCBAL レジスタの CF ビットが"0"にリセットされ、充電が禁止されます。PSNS 端子に 500k $\Omega$ のプルダウン抵抗が接続されます。                                                                                                             |
| 充電過電流解除<br>QOCCR     | VDD 端子電圧と PSNS 端子電圧の測定値の差が充電器開放検出電圧 V <sub>PLU</sub> 以下となった場合 | FETCBAL レジスタの CF ビットが"1"にセットされ、充電が許可されます。                                                                                                                                                     |
| 放電過電流 1 検出<br>QOCD1  | 電流測定結果レジスタ値が SETOCD1 レジスタ設定値以上となった状態が検出遅延時間継続した場合             | FETCBAL レジスタの DF ビットが"0"にリセットされ、放電が禁止されます。RSNS 端子に 2M $\Omega$ のプルアップ抵抗が接続されます。                                                                                                               |
| 放電過電流 1 解除<br>QOCDR1 | RSNS 端子電圧が負荷開放検出 RSNS 端子電圧 V <sub>RL</sub> 以上となった場合           | プリディスチャージ機能が有効な場合には、FETCBAL レジスタの PRDF ビットが"1"にセットされ、PREDSGレジスタで指定したプリディスチャージ完了条件を満たすと、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。プリディスチャージ機能が無効な場合には、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。 |
| 放電過電流 2 検出<br>QOCD2  | 電流測定結果レジスタ値が SETOCD2 レジスタ設定値以上となった状態が検出遅延時間継続した場合             | FETCBAL レジスタの DF ビットが"0"にリセットされ、放電が禁止されます。RSNS 端子に 2M $\Omega$ のプルアップ抵抗が接続されます。                                                                                                               |
| 放電過電流 2 解除<br>QOCDR2 | RSNS 端子電圧が負荷開放検出 RSNS 端子電圧 V <sub>RL</sub> 以上となった場合           | プリディスチャージ機能が有効な場合には、FETCBAL レジスタの PRDF ビットが"1"にセットされ、PREDSGレジスタで指定したプリディスチャージ完了条件を満たすと、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。プリディスチャージ機能が無効な場合には、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。 |
| ショート電流検出<br>QSC      | ISP-ISM 端子間電圧が SCWDT レジスタ設定値以上となった状態が検出遅延時間継続した場合             | FETCBAL レジスタの DF ビットが"0"にリセットされ、放電が禁止されます。RSNS 端子に 2M $\Omega$ のプルアップ抵抗が接続されます。                                                                                                               |
| ショート電流検出解除<br>QSCR   | PSNS 端子電圧が充電器接続検出 PSNS 端子電圧 V <sub>PC1</sub> 以上となった場合         | プリディスチャージ機能が有効な場合には、FETCBAL レジスタの PRDF ビットが"1"にセットされ、PREDSGレジスタで指定したプリディスチャージ完了条件を満たすと、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。プリディスチャージ機能が無効な場合には、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。 |
| 充電禁止高温検出<br>QOTC     | TEMPn レジスタ値が OTCn レジスタ設定値以下となった状態が検出遅延時間継続した場合                | FETCBAL レジスタの CF ビットが"0"にリセットされ、充電が禁止されます。                                                                                                                                                    |

| 割り込み要因                      | 割り込み発生条件                                                                 | 割り込み発生後の状態                                                                                                                                                                                     |
|-----------------------------|--------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 充電禁止高温検出<br>解除<br>QOTCR     | TEMPn レジスタ値が OTCRn レジスタ設定値以上となった場合                                       | FETCBAL レジスタの CF ビットが"1"にセットされ、充電が許可されます。                                                                                                                                                      |
| 放電禁止高温検出<br>QOTD            | TEMPn レジスタ値が OTDn レジスタ設定値以下となった状態が検出遅延時間継続した場合                           | FETCBAL レジスタの DF ビットが"0"にリセットされ、放電が禁止されます。                                                                                                                                                     |
| 放電禁止高温検出<br>解除<br>QOTDR     | TEMPn レジスタ値が OTDRn レジスタ設定値以上となった場合。                                      | プリディスチャージ機能が有効な場合には、FETCBAL レジスタの PRDF ビットが"1"にセットされ、PREDSG レジスタで指定したプリディスチャージ完了条件を満たすと、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。プリディスチャージ機能が無効な場合には、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。 |
| 充電禁止低温検出<br>QUTC            | TEMPn レジスタ値が UTCn レジスタ設定値以上となった状態が検出遅延時間継続した場合                           | FETCBAL レジスタの CF ビットが"0"にリセットされ、充電が禁止されます。                                                                                                                                                     |
| 充電禁止低温検出<br>解除<br>QUTCR     | TEMPn レジスタ値が UTCRn レジスタ設定値以下となった場合                                       | FETCBAL レジスタの CF ビットが"1"にセットされ、充電が許可されます。                                                                                                                                                      |
| 放電禁止低温検出<br>QUTD            | TEMPn レジスタ値が UTDn レジスタ設定値以上となった状態が検出遅延時間継続した場合                           | FETCBAL レジスタの DF ビットが"0"にリセットされ、放電が禁止されます。                                                                                                                                                     |
| 放電禁止低温検出<br>解除<br>QUTDR     | TEMPn レジスタ値が UTDn レジスタ設定値以下となった場合                                        | プリディスチャージ機能が有効な場合には、FETCBAL レジスタの PRDF ビットが"1"にセットされ、PREDSG レジスタで指定したプリディスチャージ完了条件を満たすと、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。プリディスチャージ機能が無効な場合には、FETCBAL レジスタの DF ビットが"1"にセットされ、放電が許可されます。 |
| ウォッチドッグタイム<br>検出<br>QWDT    | 制御レジスタへのデータライト/リード動作がオーバーフロー時間以上行われなかった場合                                | スタンバイ制御時には、状態の変化はありません。<br>ENDF、ENCF ビット="1"の場合は、2 回連続してオーバーフローを検出すると、DF、CF ビットを"0"にリセットし、充放電を禁止します。<br>ENCB ビット="1"の場合は、CBAL レジスタの CBAL[9:0]ビットを全て"0"にリセットし、セルバランス動作を停止します。                   |
| OTP メモリアクセス<br>完了<br>QOTP   | OTP メモリのデータロード動作が完了した場合                                                  | OTP メモリの内容が各レジスタに設定されます。                                                                                                                                                                       |
| CC キャリブレーション<br>完了<br>QCCAL | CC キャリブレーション動作が完了した場合                                                    | キャリブレーション結果が G1_CC_GAIN、G1_CC_OFST もしくは G4_CC_GAIN、G4_CC_OFST レジスタに格納されます。                                                                                                                     |
| ウェイクアップ検出<br>QWKUP          | ISP-ISM 端子間電圧がウェイクアップ検出電圧 $V_{WK}$ 以上となり、ウェイクアップ検出遅延時間 $t_{WK}$ 以上継続した場合 | スリープ状態からノーマル状態へ移行します。                                                                                                                                                                          |
| 2 次過充電検出<br>QSOV            | いずれか 1 つの VCELLn レジスタ値が SOVDET レジスタ値より大きい状態が検出遅延時間継続した場合                 | FETCBAL レジスタの CF ビットが"0"にリセットされ、充電が禁止されます。<br>FUSE レジスタで 2 次過充電検出状態が選択されている場合は、FUSE 端子に"H"レベルを出力します。                                                                                           |

| 割り込み要因                        | 割り込み発生条件                                                                              | 割り込み発生後の状態                                                                                                              |
|-------------------------------|---------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------|
| 2 次過放電検出<br>QSUV              | いずれか 1 つの VCELLn レジスタ値が<br>SUVDET レジスタ値以下となった状態が検<br>出遅延時間継続した場合                      | FETCBAL レジスタの DF ビットが"0"にリセットさ<br>れ、放電が禁止されます。<br>FUSE レジスタで 2 次過放電検出状態が選択さ<br>れている場合は、FUSE 端子に"H"レベルを出力し<br>ます。        |
| 2 次充電過電流<br>検出<br>QSOCC       | 電流測定結果レジスタ値が SOCC レジス<br>タ設定値以上となった状態が検出遅延時<br>間継続した場合                                | FETCBAL レジスタの CF ビットが"0"にリセットされ、<br>充電が禁止されます。<br>FUSE レジスタで 2 次充電過電流検出状態が選<br>択されている場合は、FUSE 端子に"H"レベルを出<br>力します。      |
| 2 次放電過電流<br>検出<br>QSOCD       | 電流測定結果レジスタ値が SOCD レジス<br>タ設定値以上となった状態が検出遅延時<br>間継続した場合                                | FETCBAL レジスタの DF ビットが"0"にリセットされ、<br>放電が禁止されます。<br>FUSE レジスタで 2 次放電過電流検出状態が選<br>択されている場合は、FUSE 端子に"H"レベルを出<br>力します。      |
| 2 次高温検出<br>QSOT               | TEMPn レジスタ値が SOT レジスタ設定値<br>以下となった状態が検出遅延時間継続し<br>た場合                                 | FETCBAL レジスタの CF ビット、DF ビットが"0"に<br>リセットされ、充放電が禁止されます。<br>FUSE レジスタで 2 次高温検出状態が選択されて<br>いる場合は、FUSE 端子に"H"レベルを出力しま<br>す。 |
| 充電制御 FET 故障<br>検出<br>QSCFET   | C_FET が OFF 設定時に電流測定結果レ<br>ジスタ値が SCFET レジスタ値以上となった<br>状態が検出遅延時間継続した場合                 | FUSE レジスタで充電制御 FET 故障検出状態が<br>選択されている場合は、FUSE 端子に"H"レベルを<br>出力します。                                                      |
| 放電制御 FET 故障<br>検出<br>QSFET    | PRD_FET、および D_FET が OFF 設定<br>時に電流測定結果レジスタ値が SDFET レ<br>ジスタ値以上となった状態が検出遅延時間<br>継続した場合 | FUSE レジスタで放電制御 FET 故障検出状態が<br>選択されている場合は、FUSE 端子に"H"レベルを<br>出力します。                                                      |
| ヒューズ切断完了<br>QFUSE             | FUSE レジスタで設定した時間経過した場<br>合                                                            | スリープ状態に移行し、スリープ移行 QSLP 割り込<br>みが発生します。                                                                                  |
| VREG50 出力電圧<br>低下検出<br>QUVLO5 | VREG50 出力電圧が VREG50 低下検<br>出電圧 V <sub>RD50</sub> 以下に低下した場合                            | 変化なし                                                                                                                    |
| VREG33 出力電圧<br>低下検出<br>QUVLO3 | VREG33 出力電圧が VREG33 低下検<br>出電圧 V <sub>RD33</sub> 以下に低下した場合                            | 変化なし                                                                                                                    |
| 電流測定結果<br>オーバーレンジ検出<br>QORG   | 電流測定結果が 0x8000 より小さい、もしく<br>は 0x7FFE より大きい場合                                          | 変化なし                                                                                                                    |

応用回路例（7 セル接続時）

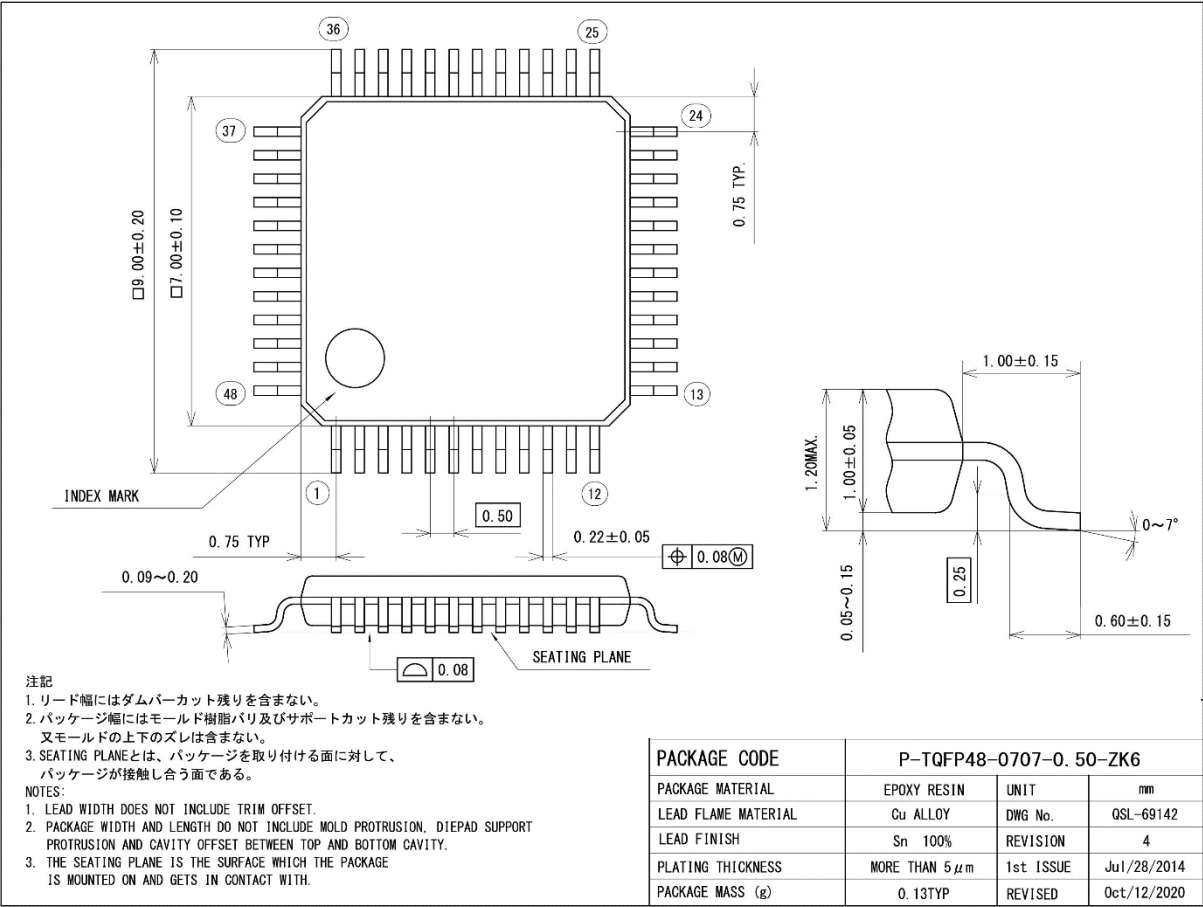


外付け部品推奨値

| 部品                     | 推奨値        | 部品                 | 推奨値          | 部品                                | 推奨値   |
|------------------------|------------|--------------------|--------------|-----------------------------------|-------|
| R <sub>VDD</sub> (注 1) | 510Ω～1.5kΩ | C <sub>REG50</sub> | 10μF         | R <sub>PRD</sub>                  | 4.7kΩ |
| C <sub>VDD</sub>       | 2.2μF～10μF | C <sub>R</sub>     | 4.7μF        | R <sub>PS</sub> , R <sub>RS</sub> | 1kΩ   |
| R <sub>CELL</sub>      | 10Ω～1kΩ    | C <sub>L</sub>     | 1μF          | R <sub>NC</sub>                   | 10Ω   |
| C <sub>CELL</sub>      | 0.1μF～1μF  | C <sub>F</sub>     | 3.3μF        | R <sub>FUSE</sub>                 | 10kΩ  |
| R <sub>S</sub>         | 0.5mΩ      | C <sub>FG</sub>    | 0.47μF (注 2) | C <sub>PUP</sub>                  | 0.1μF |
| R <sub>IS</sub>        | 1kΩ        | C <sub>CP</sub>    | 20nF (注 2)   | R <sub>PUP</sub>                  | 100Ω  |
| C <sub>IS</sub>        | 10nF       | R <sub>G</sub>     | 100Ω         | R <sub>GS</sub>                   | 1MΩ   |

- (注 1) R<sub>VDD</sub>=1.5kΩ 時には、C<sub>VDD</sub>=2.2μF を推奨します。R<sub>VDD</sub>=510Ω 時には、C<sub>VDD</sub>=4.7μF を推奨します。
- (注 2) 外部 Nch-FET の負荷に応じて調整してください。
- (注 3) セル電圧の急激な変化により、最下位電池セルに接続される V0 端子が GND レベル以下にならないように、最下位電池セルに接続される V1 端子のコンデンサ C<sub>CELL</sub> は GND 間に接続してください。
- (注意) 記載の回路例、外付け部品の推奨値は、あらゆる動作条件下での動作を保証するものではありませんので、実際のアプリケーションで十分評価の上、最適な回路構成、部品定数の選択を行ってください。

パッケージ寸法図



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。  
したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをROOM営業窓口まで必ずお問い合わせ下さい。

Revision History

| Revision          | Change |                                   |
|-------------------|--------|-----------------------------------|
|                   | Page   | Details                           |
| 2026.05.15 Rev001 | -      | 初版作成                              |
| 2026.07.30 Rev002 | P.1    | 製品名追加                             |
|                   | P.10   | セル電圧測定特性条件訂正                      |
|                   | P.34   | ENSLP,SLP ビット：誤記訂正                |
|                   | P.43   | UVLO3 ビット：誤記訂正                    |
|                   | P.48   | OCC ビット：誤記訂正                      |
|                   | P.68   | SOCC ビット：誤記訂正                     |
|                   | P.71   | SCFET ビット：誤記訂正                    |
|                   | P.72   | SDFET ビット：誤記訂正                    |
|                   | P.83   | RTEMP34：誤記訂正                      |
|                   | P.91   | PSNS 端子/ RSNS 端子/ VDD 端子電圧測定：誤記訂正 |
|                   | P.106  | タイミングチャート：信号名修正                   |
|                   | P.107  | 充電過電流検出：誤記訂正                      |
|                   | P.123  | QPSR：誤記訂正                         |
|                   | P.123  | QSLP：誤記訂正                         |
|                   | P.124  | QOCD2：誤記訂正                        |
|                   | P.127  | 応用回路例：接続訂正                        |
|                   | P.130  | ご注意文差し替え                          |

# ご注意

## ローム製品取扱い上の注意事項

- 極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、航空宇宙機器、原子力制御装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

| 日本        | USA       | EU         | 中国 |
|-----------|-----------|------------|----|
| CLASS III | CLASS III | CLASS II b | Ⅲ類 |
| CLASS IV  |           | CLASS III  |    |

- 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
- 本製品は、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧結露するような場所でのご使用
- 本製品は耐放射線設計はなされておられません。
- 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
- パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
- 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
- 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
- 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

- ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
- はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。  
その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## **応用回路、外付け回路等に関する注意事項**

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数、ソフトウェア等の情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## **静電気に対する注意事項**

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。（人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等）

## **保管・運搬上の注意事項**

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ① 潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ② 推奨温度、湿度以外での保管
  - ③ 直射日光や結露する場所での保管
  - ④ 強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱いください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## **製品ラベルに関する注意事項**

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## **製品廃棄上の注意事項**

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## **外国為替及び外国貿易法に関する注意事項**

本製品は、外国為替及び外国貿易法に定めるリスト規制貨物等に該当するおそれがありますので、輸出する場合には、ロームへお問い合わせください。

## **知的財産権に関する注意事項**

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等（ソフトウェア含む）との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## **その他の注意事項**

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
2. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。