



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしく願いいたします。

2024年4月1日
ローム株式会社

ML5810A

バッテリーパック向け ハイサイドスイッチ用ドライバ IC

■概要

ML5810A は、バッテリーパック向けチャージ/ディスチャージハイサイドスイッチ Nch パワーMOSFET 用ゲートドライバです。チャージポンプによりドライブ用電圧を外部入力の基準電圧(CFS、DFS)+12V (typ) で出力します。また、バッテリー過放電状態時に低電流プリチャージを可能とするための Pch MOSFET 用ドライバも搭載しております。

■特長

- バッテリーパック向け保護用ハイサイドスイッチ Nch パワーMOSFET ゲートドライバ
- 低電流プリチャージ/プリディスチャージ用 Pch MOSFET ゲートドライバ搭載
- 48V バッテリーにも対応可能な 80V 耐圧
- チャージポンプ内蔵
- チャージ/ディスチャージ用ゲートドライバ”H”出力電圧 : 基準電圧(CFS、DFS)+10V (min)
- プリチャージ/プリディスチャージ用ゲートドライバ”L”出力電圧 : 基準電圧(PCFS)-9V (min)
- 消費電流 : 210uA(typ)、480uA(max)
- 電源電圧範囲 : +6.5V~+64V
(絶対最大定格 86.5V)
- 動作温度範囲 : -40°C~+105°C
- パッケージ : 20ピン TSSOP

■用途

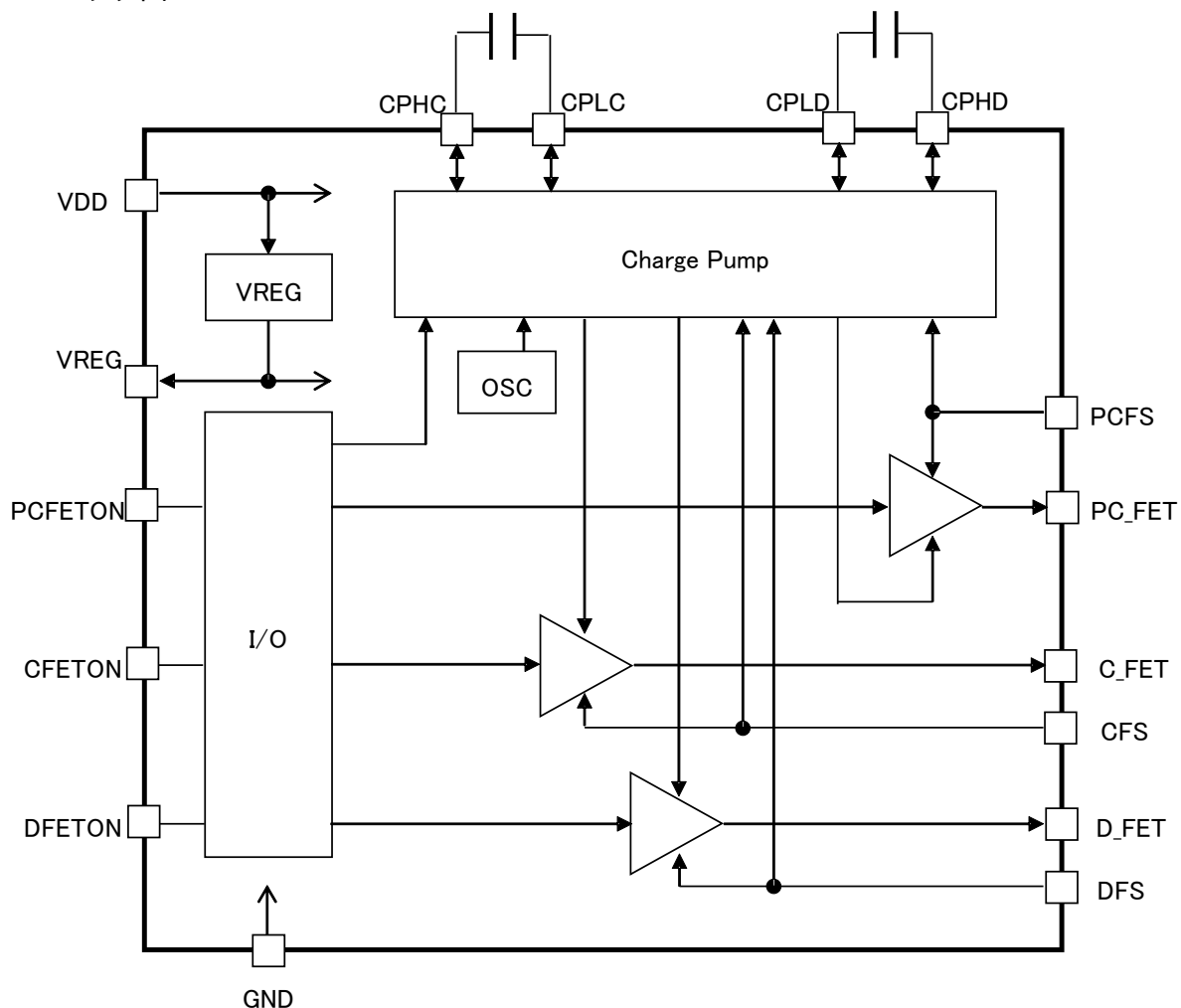
- E-Bike
- 無停電電源装置(UPS)
- 蓄電システム(ESS)
- 産業機器向け 12~48V バッテリパック

■形名

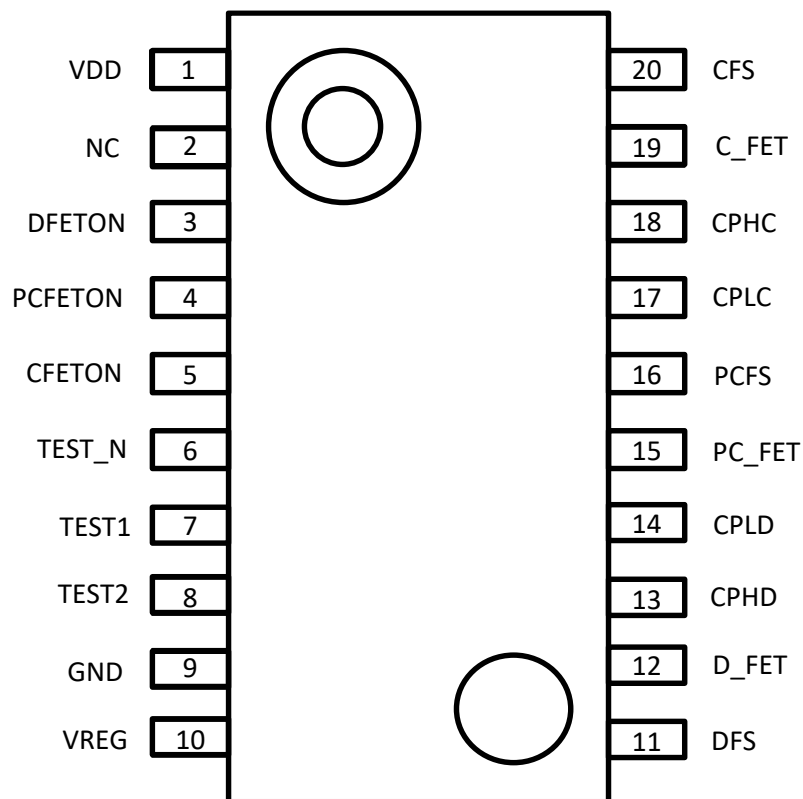
ML5810ATD



■ブロック図



■端子接続図(上面図)



■端子説明

| ピン番号 | 端子名 | I/O | 説明 |
|------|---------|-----|--|
| 1 | VDD | — | 電源電圧入力端子です。 外付け抵抗と容量で CR フィルタを構成し、ノイズを除去してください。 |
| 2 | NC | — | — |
| 3 | DFETON | I | D_FET のイネーブル信号入力端子です。(pulldown 抵抗:1M Ω) |
| 4 | PCFETON | I | PC_FET のイネーブル信号入力端子です。(pulldown 抵抗:1M Ω) |
| 5 | CFETON | I | C_FET のイネーブル信号入力端子です。(pulldown 抵抗:1M Ω) |
| 6 | TEST_N | I | TEST_N 信号入力端子です。 VDD 端子に接続して下さい。 |
| 7 | TEST1 | I | TEST1 信号入力端子です。(pulldown 抵抗:1M Ω) GND 端子に接続して下さい。 |
| 8 | TEST2 | I | TEST2 信号入力端子です。(pulldown 抵抗:1M Ω) GND 端子に接続して下さい。 |
| 9 | GND | — | グランド端子です。 |
| 10 | VREG | O | 内蔵 3.3V レギュレータの出力端子です。GND 間に 4.7 μ F のコンデンサを接続してください。 |
| 11 | DFS | I | D_FET 端子出力用チャージポンプの基準電圧入力端子です。ディスチャージ制御用 Nch-FET のソース端子に接続します。 |
| 12 | D_FET | O | ディスチャージ用 Nch-FET の制御信号出力端子です。外部 Nch-FET のゲート端子に接続してください。ON 設定時には、DFS 端子電圧+12V(typ)が出力され、OFF 設定時には、DFS 端子電圧が出力されます。 |
| 13 | CPHD | O | D_FET 端子出力用チャージポンプのコンデンサ接続端子です。CPHD-CPLD 端子間に放電用 Nch-FET のゲート容量の 8 倍程度のコンデンサを接続してください。 |
| 14 | CPLD | O | |
| 15 | PC_FET | O | プリチャージ/プリディスチャージ用 Pch-FET の制御信号出力端子です。外部 Pch-FET のゲート端子に接続してください。ON 設定時には、PCFS 端子電圧 -12V(typ)が出力され、OFF 設定時には、PCFS 端子電圧が出力されます。 |
| 16 | PCFS | I | PC_FET 端子出力用チャージポンプの基準電圧入力端子です。プリチャージ/プリディスチャージ制御用 Pch-FET のソース端子に接続します。 |
| 17 | CPLC | O | C_FET 端子、及び、PC_FET 端子出力用チャージポンプのコンデンサ接続端子です(C_FET と PC_FET はチャージポンプ共用)。CPHC-CPLC 端子間に充電用 Nch-FET のゲート容量の 8 倍程度のコンデンサを接続してください。 |
| 18 | CPHC | O | |
| 19 | C_FET | O | チャージ用 Nch-FET の制御信号出力端子です。外部 Nch-FET のゲート端子に接続してください。ON 設定時には、CFS 端子電圧+12V(typ)が出力され、OFF 設定時には、CFS 端子電圧が出力されます。 |
| 20 | CFS | I | C_FET 端子出力用チャージポンプの基準電圧入力端子です。チャージ制御用 Nch-FET のソース端子に接続します。 |

■絶対最大定格

GND=0V, Ta=25°C

| 項目 | 記号 | 条件 | 定格値 | 単位 |
|----------|-------------------|--|-----------------------------|------|
| 電源電圧 | V _{DD} | VDD 端子に適用 | -0.3~+86.5 | V |
| 入力電圧 | V _{IN1} | CFS,DFS,PCFS 端子に適用 | -0.3~+86.5 | V |
| | V _{IN2} | CFETON,DFETON,PCFETON,TEST1,TEST2,TEST_N 端子に適用 | -0.3~VDD+0.3 | V |
| 出力電圧 | V _{OUT1} | D_FET 端子に適用 V _{DFS} =DFS 端子電圧 | V _{DFS} -0.5~+86.5 | V |
| | V _{OUT2} | C_FET 端子に適用 V _{CFS} =CFS 端子電圧 | V _{CFS} -0.5~+86.5 | V |
| | V _{OUT3} | PC_FET 端子に適用 | -0.5~+71.5 | V |
| 出力短絡電流 | I _{OS1} | VDD=50V 時 VREG 端子に適用 | 5 | mA |
| | I _{OS2} | VDD=50V 時 C_FET, D_FET 端子に適用 | 20 | mA |
| | I _{OS3} | VDD=50V 時 PC_FET 端子に適用 | 2 | mA |
| 許容損失 | P _D | Ta=25°C | 2.3 | W |
| パッケージ熱抵抗 | θ _{ja} | JEDEC2 層基板実装時 | 33.7 | °C/W |
| 保存温度 | T _{STG} | — | -55~+150 | °C |

■推奨動作条件

(GND= 0 V)

| 項目 | 記号 | 条件 | 範囲 | 単位 |
|------|-----------------|-------------|----------|----|
| 電源電圧 | V _{DD} | VDD 端子に適用 | 6.5~64 | V |
| 動作温度 | T _a | VREG 出力無負荷時 | -40~+105 | °C |

■電気的特性

V_{DD}=6.5~64V, GND=0V, T_a=-40~+105°C, VREG 出力無負荷時

| 項目 | 記号 | 条件 | Min. | Typ. | Max. | 単位 |
|---|--------------------|--|-----------------------|--------|----------------------|-----|
| デジタル"H"入力電圧(注 1) | V _{IH} | — | 2.15 | — | V _{DD} +0.3 | V |
| デジタル"L"入力電圧(注 1) | V _{IL} | — | 0 | — | 0.35 | V |
| デジタル"H"入力電流(注 1) | I _{IH} | V _{IH} = V _{DD} | — | — | 130 | μA |
| デジタル"L"入力電流(注 1) | I _{IL} | V _{IL} = GND | -2 | — | — | μA |
| C_FET / D_FET 出力電圧 (C_FET-CFS, D_FET-DFS) | V _{OH11} | I _{OH} =-1.5μA (V _{DD} *0.95) ≥ 10V | 10 | 12 | 15 | V |
| | V _{OH12} | I _{OH} =-1.5μA (V _{DD} *0.93) < 10V | V _{DD} *0.93 | — | V _{DD} | V |
| PC_FET 出力電圧 (PCFS-PC_FET) | V _{OL21} | I _{OL} =+1.5μA (V _{DD} *0.8) ≥ 9V | 9 | 12 | 15 | V |
| | V _{OL22} | I _{OL} =+1.5μA (V _{DD} *0.8) < 9V | V _{DD} *0.8 | — | V _{DD} | V |
| C_FET / D_FET 立上り時間 | T _{fetr1} | C _{cp} =80nF、 R _g =1kΩ、R _{fs} =100Ω、 FET ゲート容量 10nF FET 出力電圧 V _{OH11} , V _{OH12} の 80%までの時間 | — | 150 | 350 | us |
| C_FET / D_FET 立下り時間 | T _{fetf1} | C _{cp} =80nF、 R _g =1kΩ、R _{fs} =100Ω、 FET ゲート容量 10nF FET 出力電圧 V _{OH11} , V _{OH12} の 20%までの時間 | — | 40 | 70 | us |
| PC_FET 立下り時間 | T _{fetf2} | C _{cp} =80nF、 R _g =1kΩ、R _{fs} =1kΩ、 FET ゲート容量 1nF FET 出力電圧 V _{OL21} , V _{OL22} の 80%までの時間 | — | 110 | 400 | us |
| PC_FET 立上り時間 | T _{fetr2} | C _{cp} =80nF、 R _g =1kΩ、R _{fs} =1kΩ、 FET ゲート容量 1nF FET 出力電圧 V _{OL21} , V _{OL22} の 20%までの時間 | — | 20 | 70 | us |
| 動作時消費電流 (チャージ, ディスチャージ 時)(注 2) | IDD1 | CFETON=1 & DFETON=1 & PCFETON=0 VDD=CFS=DFS=PCFS | — | 210 | 480 | uA |
| 動作時消費電流 (プリチャージ, プリディス チャージ時)(注 2) | IDD2 | CFETON=0 & DFETON=0 & PCFETON=1 VDD=CFS=DFS=PCFS | — | 135 | 380 | uA |
| VREG 出力電圧 | V _{REG1} | V _{DD} =6.5V~64V 出力負荷電流 < 1mA | 3.0 | 3.3 | 3.6 | V |
| C_FET / D_FET チャージポンプ周波数 | F _{CPCD} | — | 6.25 | 7.8125 | 9.4 | kHz |
| PC_FET チャージポンプ周波数 | F _{CPPC} | — | 0.78 | 0.9766 | 1.2 | kHz |

注 1: CFETON, DFETON, PCFETON, TEST1, TEST2, TEST_N 端子に適用

注 2: 消費電流は VDD, CFS, DFS, PCFS の電流の合計

■機能説明

3つの制御入力端子(PCFETON, DFETON, CFETON)の各入力状態におけるML5810の動作状態を下表に示します。

「チャージポンプ ON FET スタンバイ状態」は、チャージポンプがパワーアップし、各 FET ゲート電圧出力が可能となっている状態です。電源投入後の待ち時間が必要であり、詳細は後述する「■動作タイミング」をご参照ください。

「FET ON 状態」は実際に各 FET ゲート電圧が該当端子より出力されている状態です。ゲート電圧の立上り/立下りの遷移時間に関しては「■電気的特性」をご参照ください。

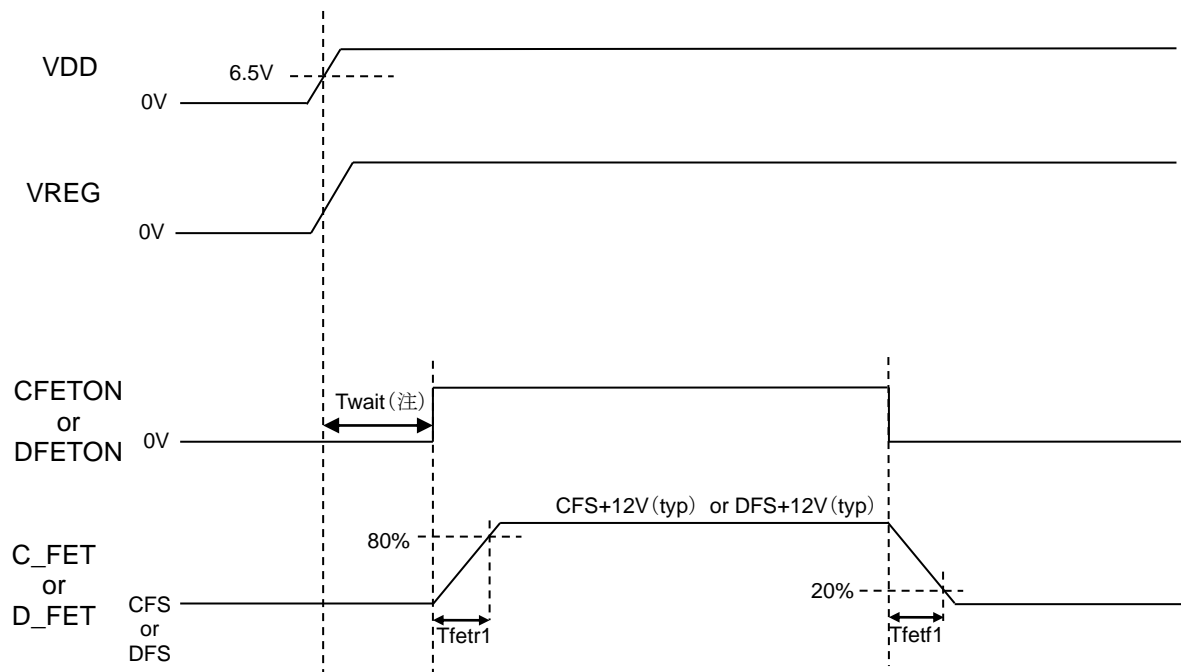
| 入力 | | | ML5810 動作状態 |
|----------|--------|--------|------------------------|
| PCFETON | DFETON | CFETON | |
| 0 | 0 | 0 | チャージポンプ ON FET スタンバイ状態 |
| 1つ以上が"1" | | | FET ON 状態 |

C_FETとD_FETは同時オン可能ですが、PC_FETは他FETとは排他動作となり同時にオン出来ません。下記にFET ON/OFFの真理値表を示します。表に示す通りPCFETONよりもCFETON, DFETONの方が優先となります。

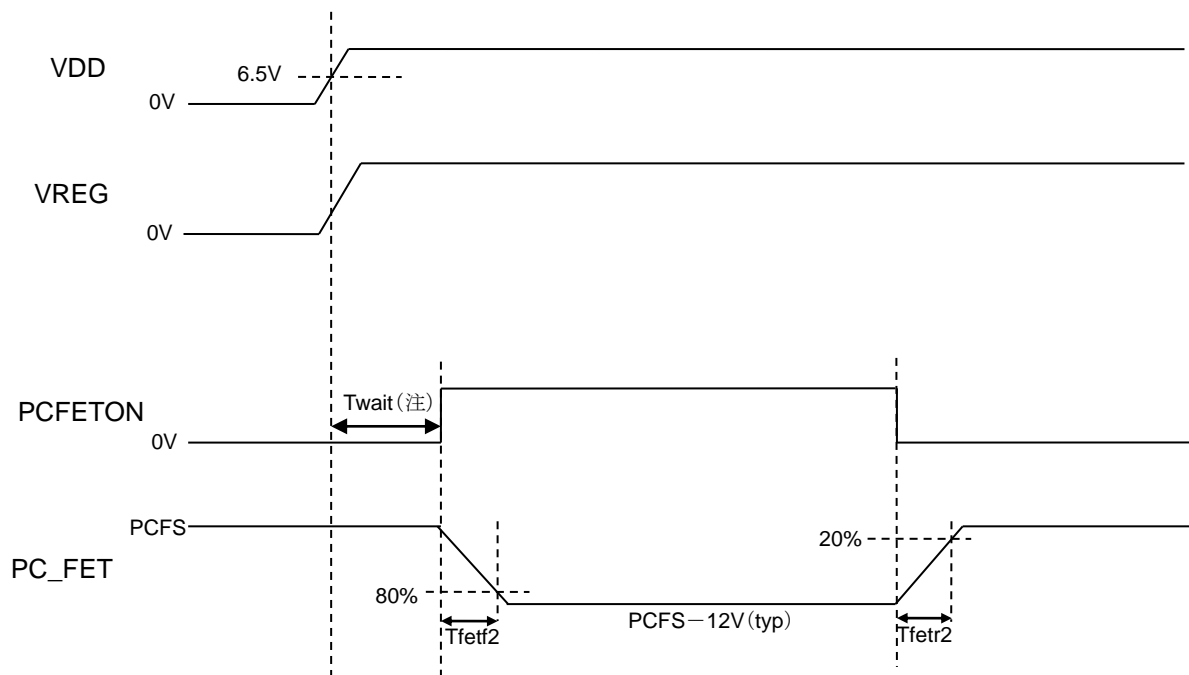
| 入力 | | | 出力 | | |
|---------|--------|--------|--------|-------|-------|
| PCFETON | DFETON | CFETON | PC_FET | D_FET | C_FET |
| 0 | 0 | 0 | OFF | OFF | OFF |
| 0 or 1 | 0 | 1 | OFF | OFF | ON |
| 0 or 1 | 1 | 0 | OFF | ON | OFF |
| 0 or 1 | 1 | 1 | OFF | ON | ON |
| 1 | 0 | 0 | ON | OFF | OFF |

■動作タイミング

・C_FET / D_FET タイミング

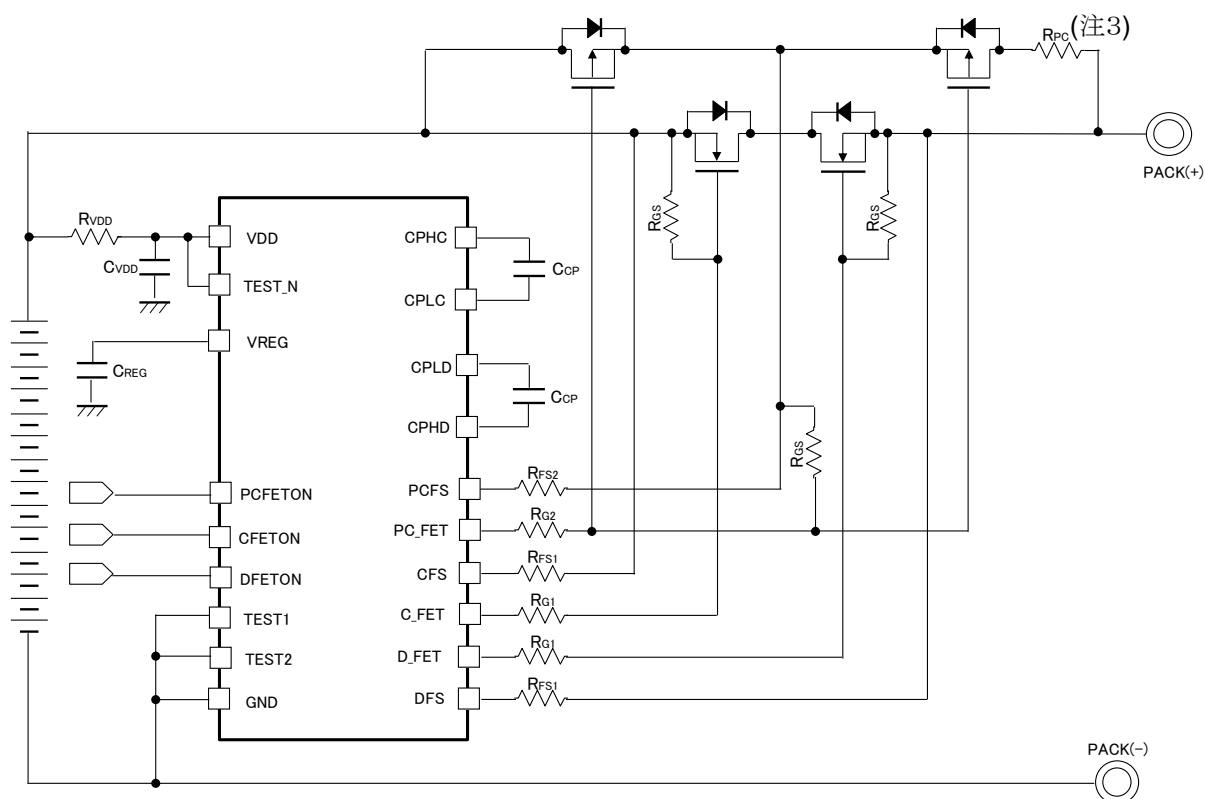


・PC_FET タイミング



(注) CFETON、DFETON、PCFETON を L(0V)→H にする場合は Twait を 50ms 以上にして下さい。

■ 応用回路例



外付け部品推奨値

| 部品 | 推奨値 |
|------------------------|--------------|
| R _{VDD} (注 1) | 510Ω ~ 1.5kΩ |
| C _{VDD} | 2.2μF ~ 10μF |
| C _{REG} | 4.7μF |
| R _{G1} | 1kΩ |
| R _{FS1} | 100Ω |
| R _{G2} | 1kΩ |
| R _{FS2} | 1kΩ |
| R _{GS} | 10MΩ |
| C _{CP} | 82nF (注 2) |

(注 1) C_{VDD}=2.2μF 時には、R_{VDD}=1.5kΩ を推奨します。

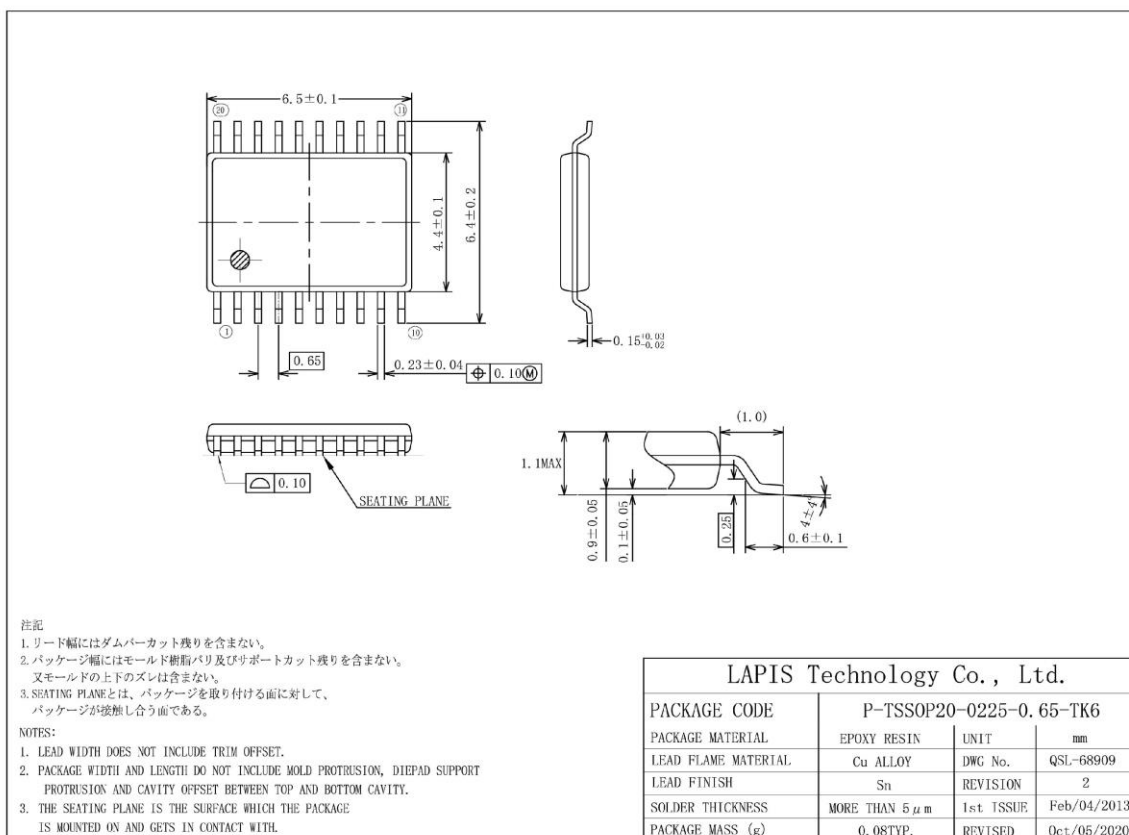
(注 2) 外部 Nch-FET のゲート容量=10nF の場合、80nF~100nF 程度にして下さい。

C_{CP} 値は外部 Nch-FET のゲート容量値の約 8 倍にして下さい。

(注 3) R_{PC} 値は Pch-FET に流す電流に応じて設定して下さい。

(注意) 記載の回路例、外付け部品の推奨値は、あらゆる動作条件下での動作を保証するものではありませんので、実際のアプリケーションで十分評価の上、最適な回路構成、部品定数の選択を行ってください。

■ パッケージ寸法図



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをローム営業窓口まで必ずお問い合わせ下さい。

■ 改版履歴

| ドキュメント No. | 発行日 | ページ | | 変更内容 |
|------------|------------|-----|-----|--|
| | | 改版前 | 改版後 | |
| 第 1 版 | 2018.09.03 | — | — | 初版リリース |
| 第 2 版 | 2019.07.17 | 1,6 | 1,6 | 消費電流値の変更 |
| 第 2 版 | 2019.07.17 | 1-9 | 1-9 | CP_EN 端子を TEST_N 端子へ変更 パワーダウンモードの削除 |
| 第 3 版 | 2019.07.19 | 3 | 3 | 誤記訂正 |
| 第 4 版 | 2020.06.05 | 3 | 3 | 2,8,15,16pin 配置誤り訂正 |
| 第 4 版 | 2020.06.05 | 9 | 9 | ■応用回路例 TEST1, TEST2, TEST_N 端子を追記 |
| 第 5 版 | 2020.10.30 | — | — | 社名ロゴ、「ご注意」の内容変更 |
| 第 6 版 | 2023.6.9 | 10 | 10 | パッケージ寸法図更新 |
| 第 7 版 | 2024.1.9 | 1 | 1 | ■用途、■形名を追記 注釈削除 |
| | | 12 | 12 | ご注意のページ差し替え |

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(※1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(※1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2018 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>