

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML610Q101/ML610Q102

8bit マイクロコントローラ

■ 概要

本 LSI は、8 ビット CPU nX-U8/100 を搭載し、タイマ、PWM、UART、コンパレータ、電圧レベル検出回路、および 10 ビット逐次比較型 A/D コンバータ等、多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。

CPU nX-U8/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

■ 特長

- CPU
 - RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)
 - 命令体系:16 ビット長命令
 - 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
 - オンチップデバッグ機能を内蔵
 - 最小命令実行時間
 - 30.5 μ s (@32.768kHz システムクロック)
 - 0.122 μ s (@8.192MHz システムクロック)
- 内部メモリ
 - フラッシュ・メモリ(プログラム領域):
 - ML610Q101 : 4K バイト(2K \times 16 ビット) ※使用不可のテスト領域 32 バイトを含む
 - ML610Q102 : 6K バイト(3K \times 16 ビット) ※使用不可のテスト領域 32 バイトを含む
 - RAM : 256 バイト(256 \times 8 ビット)
- 割込みコントローラ
 - ノンマスカブル割込み 1 要因(内部要因:1)
 - マスカブル割込み 21 要因(内部要因:16, 外部要因:5)
- タイムベースカウンタ
 - 低速側タイムベースカウンタ \times 1ch
 - 高速側タイムベースカウンタ \times 1ch
- ウォッチドッグタイマ
 - ノンマスカブル割込み, およびリセット
 - (1 回目のオーバフローで割込みを発生, 2 回目のオーバフローでリセットを発生)
 - フリーラン
 - オーバフロー周期選択可能:4 種(125ms, 500ms, 2s, 8s)
- タイマ
 - 8 ビット \times 6ch(16bit 構成も可能)
 - 連続モード/ワンショットモード
 - ソフトウェア/外部トリガ入力によるタイマスタート・ストップ機能
- PWM
 - 分解能 16 ビット \times 1ch
 - 連続モード/ワンショットモード
 - ソフトウェア/外部トリガ入力による PWM スタート・ストップ機能

- UART
 - 半二重通信
 - TXD/RXD×1ch
 - ビット長, パリティ有無, 奇数/偶数パリティ, 1 ストップビット/2 ストップビット
 - 正/負論理選択可
 - ボーレートジェネレータ内蔵
- 逐次比較型 A/D コンバータ
 - 分解能: 10 ビット
 - 入力 6ch
 - 変換時間: 約 12.45 μ s/ch@8.192MHz
- アナログコンパレータ
 - 動作電圧範囲: $V_{DD}=2.7V\sim 5.5V$
 - コモンモード入力電圧: 0.1V $\sim V_{DD}-1.5V$
 - ヒステリシス幅(コンパレータ 0 のみ): 20mV(Typ.)
 - 割込みはエッジの選択, サンプリング有無が選択可能
- 汎用ポート
 - 入出力ポート×11ch(2 次機能含む)
- リセット
 - RESET_N 端子リセット
 - パワーオンリセット
 - WDT オーバフローによるリセット
 - 電圧レベル検出リセット
- 電圧レベル検出機能
 - 2ch
 - 判定精度: $\pm 3\%$ (Typ.)
 - 電圧レベル検出回路 0 の判定電圧: (V_{DD} fall): 2.85V (Typ.) (V_{DD} rise): 2.92V (Typ.)
 - 電圧レベル検出回路 1 の判定電圧: (V_{DD}): 3.295V, 3.625V (Typ.) から選択可能
 - 電圧レベル検出回路 0 は電圧レベル検出リセット(VLS リセット)として使用可能
- クロック
 - 低速側クロック
 - RC 発振(32.768kHz)
 - 高速側クロック
 - PLL 発振(16.384MHz), 外部クロック
 - *CPU クロックは, 最大 8.192MHz で動作
 - ソフトウェアによる高速クロックモードの選択:
 - PLL 発振, 外部クロック
- パワーマネジメント
 - HALT モード: CPU の命令実行中断(周辺回路は動作状態)
 - STOP モード: 低速発振, および高速発振の停止(CPU および周辺回路は動作を停止)
 - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能(発振クロックの 1/1, 1/2, 1/4, 1/8)
 - ブロック制御機能: 使わない機能ブロック回路の動作をパワーダウン(レジスタリセット&クロック停止)

- 出荷形態
 - 16ピン プラスチック SSOP
 - ML610Q101-xxxMB (ブランク品:ML610Q101-NNNMB)
 - ML610Q102-xxxMB (ブランク品:ML610Q102-NNNMB)
 - xxx:ROM コード番号
 - 16ピン WQFN
 - ML610Q101-xxxGD (ブランク品:ML610Q101-NNNGD)
 - ML610Q102-xxxGD (ブランク品:ML610Q102-NNNGD)
 - xxx:ROM コード番号
- 動作保証範囲
 - 動作周囲温度 : -40℃～85℃
 - 動作電圧 : $V_{DD}=2.7V\sim5.5V$

■ ブロック図

● ML610Q101 ブロック図

図 1 に ML610Q101 のブロック図を示します。

“*”は各ポートの 2 次機能, 3 次機能, もしくは 4 次機能です。

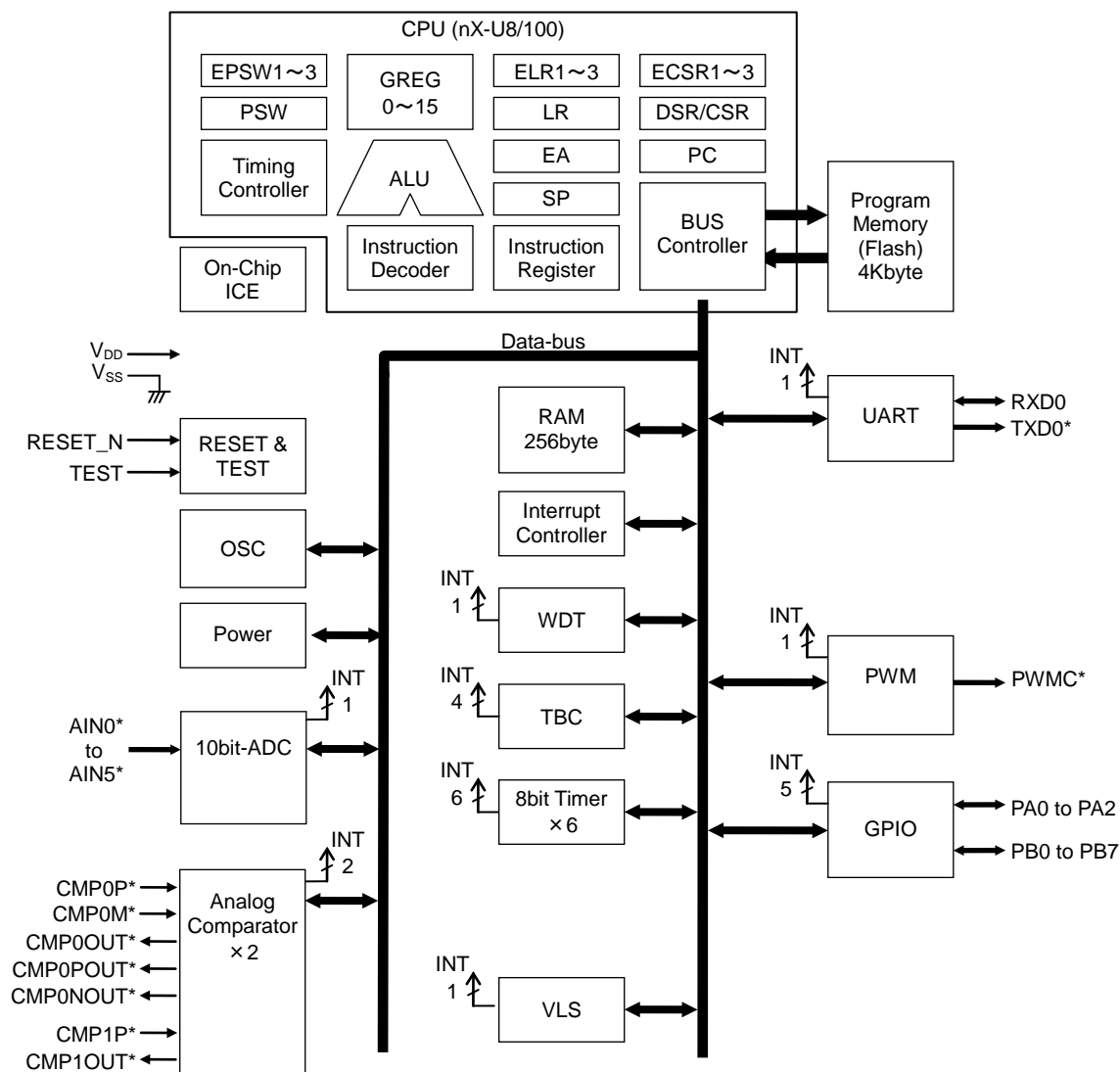


図 1 ML610Q101 ブロック図

● ML610Q102 ブロック図

図 2 に ML610Q102 のブロック図を示します。

“*”は各ポートの 2 次機能, 3 次機能, もしくは 4 次機能です。

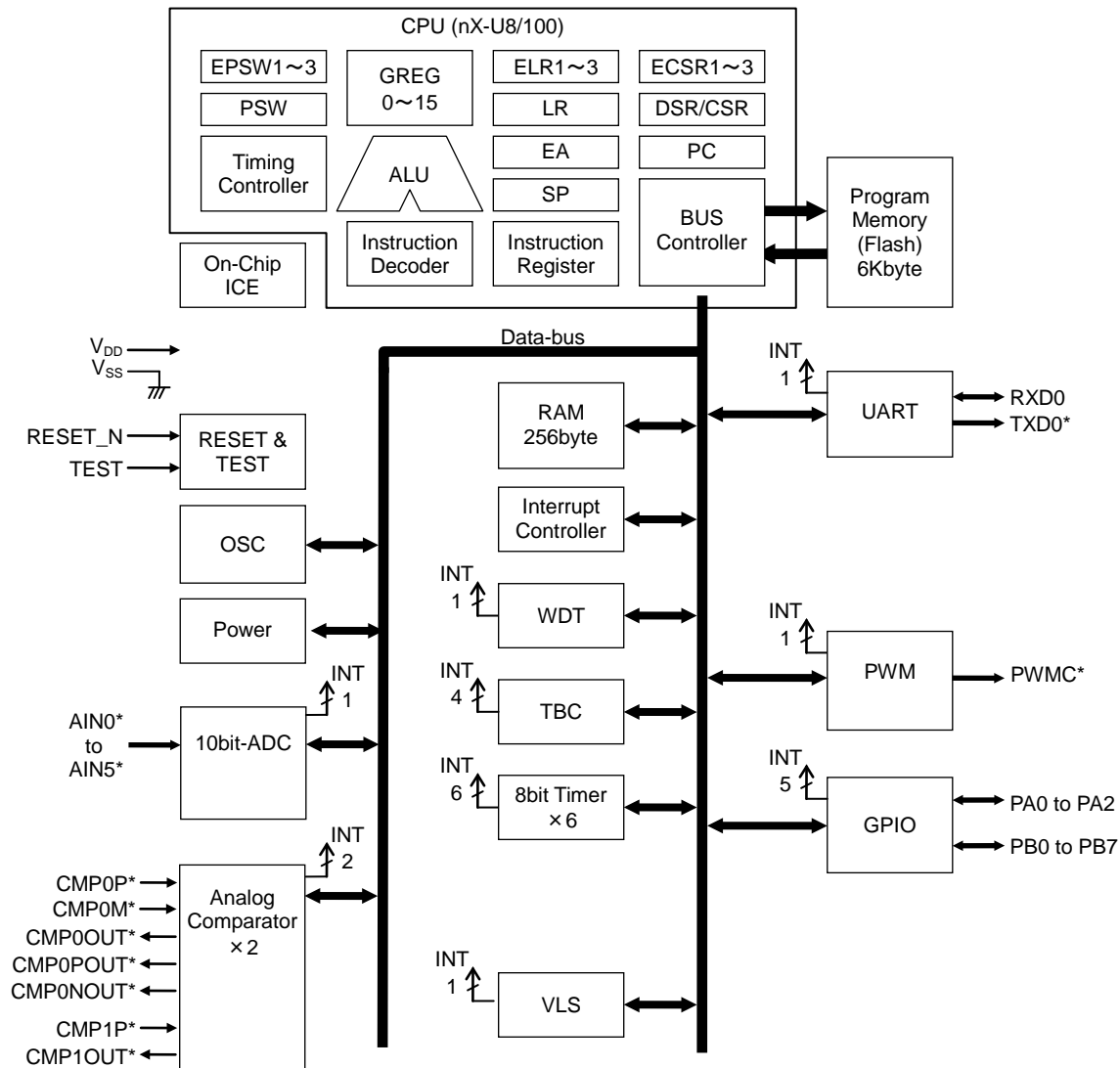


図 2 ML610Q102 ブロック図

■ 端子配置

- ML610Q101/ML610Q102 16SSOP パッケージの端子配置図

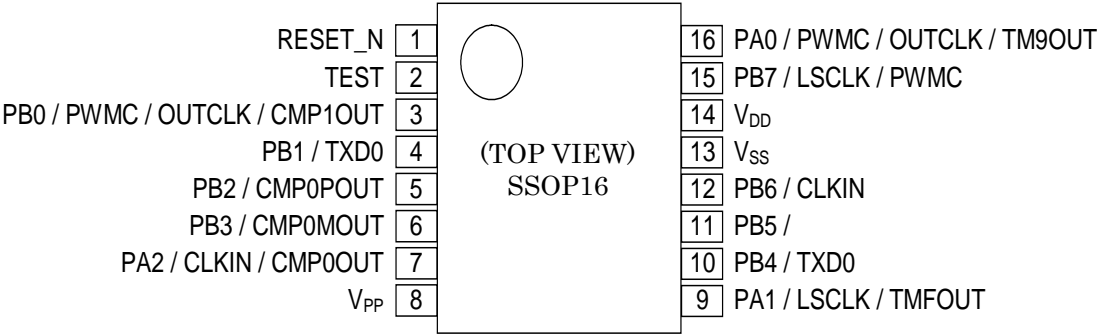


図 3 ML610Q101／ML610Q102 の 16 ピン SSOP パッケージ品端子配置図

● ML610Q101/ML610Q102 WQFN16 パッケージの端子配置図

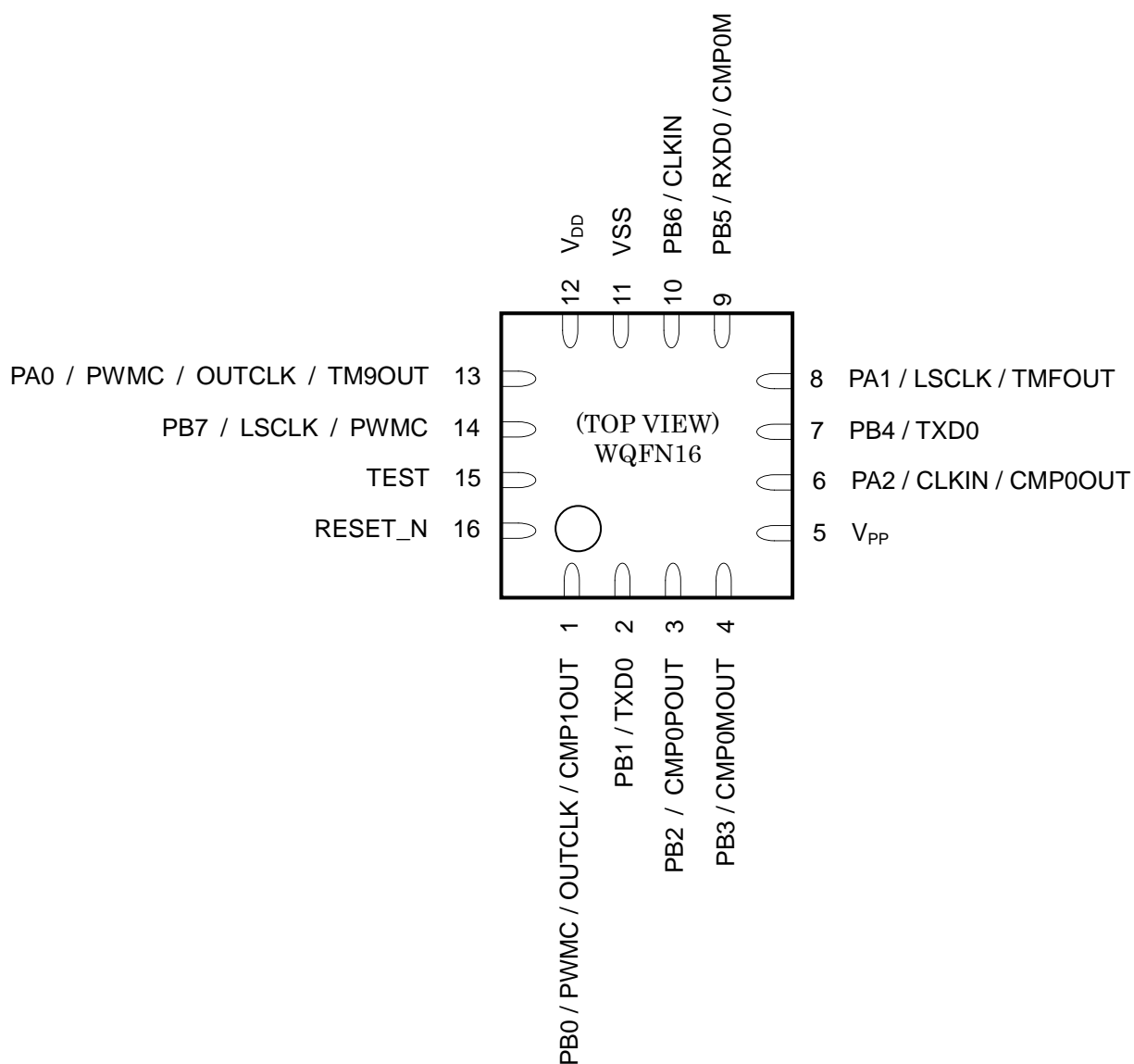


図 4 ML610Q101/ML610Q102 の 16 ピン WQFN パッケージ品端子配置図

■ 端子一覧

表 1 に端子一覧を示します。

I/O 欄の“—”は電源端子, “I”は入力端子, “O”は出力端子, “I/O”は入出力端子を示します。

表 1 端子一覧

PAD No. (SSOP)	PAD No. (WQFN)	1 次機能			2 次機能			3 次機能			4 次機能		
		端子名	I/O	機能	機能	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
1	16	RESET_N	I	リセット 入力端子	—	—	—	—	—	—	—	—	—
2	15	TEST	I/O	テスト用 入出力端子	—	—	—	—	—	—	—	—	—
3	1	PB0/ EXI4/ AIN2/ RXD0	I/O	入出力 ポート/ 外部割込 4/ AD 入力 2/ UART 受信	PWMC	O	PWMC 出力	OUTCLK	O	高速 クロック 出力	CMP1 OUT	O	CMP1 出力
4	2	PB1/ EXI5/ AIN3	I/O	入出力 ポート/ 外部割込 5/ AD 入力 3	—	—	—	TXD0	O	UART 送信	—	—	—
5	3	PB2	I/O	入出力ポート	—	—	—	—	—	—	CMP0 POUT	O	CMP0_P 出力
6	4	PB3	I/O	入出力ポート	—	—	—	—	—	—	CMP0 NOUT	O	CMP0_ N 出力
7	6	PA2/ EXI2	I/O	入出力ポート/ 外部割込 2	—	—	—	CLKIN	I	クロック 入力	CMP0 OUT	O	CMP0 出力
8	5	V _{PP}	—	FLASH 書き 込み用電源端 子	—	—	—	—	—	—	—	—	—
9	8	PA1/ EXI1/ AIN1/ CMP1P	I/O	入出力ポート/ 外部割込 1/ AD 入力 1/ コンパレータ 1 非反転入力	—	—	—	LSCLK	O	低速 クロック 出力	TMF OUT	O	タイマ F 出力
10	7	PB4/ CMP0P	I/O	入出力ポート/ コンパレータ 0 非反転入力	—	—	—	TXD0	O	UART 送信	—	—	—
11	9	PB5/ RXD0/ CMP0M	I/O	入出力ポート/ UART 受信/ コンパレータ 0 反転入力	—	—	—	—	—	—	—	—	—
12	10	PB6/ AIN4	I/O	入出力ポート/ AD 入力 4	CLKIN	I	クロック 入力	—	—	—	—	—	—
13	11	V _{SS}	—	マイナス側 電源端子入出 力	—	—	—	—	—	—	—	—	—
14	12	V _{DD}	—	プラス側 電源端子入出 力	—	—	—	—	—	—	—	—	—
15	14	PB7/ AIN5	I/O	入出力ポート/ AD 入力 5	LSCLK	O	低速 クロック 出力	—	—	—	PWMC	O	PWMC 出力
16	13	PA0/ EXI0/ AIN0	I/O	入出力ポート/ 外部割込 0/ AD 入力 0	PWMC	O	PWMC 出力	OUTCLK	O	高速 クロック 出力	TM9 OUT	O	タイマ 9 出力

■ 端子説明

表 2 に端子説明を示します。

I/O 欄の“—”は電源端子, “I”は入力端子, “O”は出力端子, “I/O”は入出力端子を示します。

表 2 (1/2) 端子説明

端子名	I/O	説 明	1 次/ 2 次/ 3 次/ 4 次	論 理
システム				
RESET_N	I	リセット入力端子です。この端子を“L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を“H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	1 次	負
CLKIN	I	高速クロック入力です。PA2 端子の 3 次機能, PB6 の 2 次機能に割り付けられています。	2 次/ 3 次	—
LSCLK	O	低速クロック出力です。PA1 端子の 3 次機能, PB7 端子の 2 次機能に割り付けられています。	2 次/ 3 次	—
OUTCLK	O	高速クロック出力です。PA0 端子の 3 次機能, PB0 の 3 次機能に割り付けられています。	3 次	—
汎用入出力ポート				
PA0~PA2 PB0~PB7	I/O	汎用入出力ポートです。 2~4 次機能として使用する場合は、汎用入出力ポートとして使用できません。	1 次	正
UART				
TXD0	O	UART 送信端子です。PB1,PB4 端子の 3 次機能に割り付けられています。	3 次	正
RXD0	I	UART 受信端子です。PB0,PB5 端子の 1 次機能に割り付けられています。	1 次	正
PWM				
PWMC	O	PWMC 出力端子です。PA0 端子, PB0 端子の 2 次機能, PB7 の 4 次機能に割り付けられています。	2 次/ 4 次	正/ 負
外部割込み				
EXI0~2	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。PA0~PA2 端子の 1 次機能に割り付けられています。	1 次	正/ 負
EXI4 EXI5	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。PB0,PB1 端子の 1 次機能に割り付けられています。	1 次	正/ 負
タイマ				
TnTG	I	タイマ E, タイマ E の外部トリガ入力端子です。PA0~PA2,PB0~PB7 端子の 1 次機能に割り付けられています。	1 次	—
TM9OUT	O	タイマ 9 出力端子です。PA0 の 4 次機能に割り付けられています。	4 次	正
TMFOUT	O	タイマ F 出力端子です。PA1 の 4 次機能に割り付けられています。	4 次	正

表 2 (2/2) 端子説明

端子名	I/O	説 明	1 次/ 2 次/ 3 次/ 4 次	論理
逐次比較型 A/D コンバータ				
AIN0	I	逐次比較型 A/D コンバータ Ch0 アナログ入力です。PA0 端子の 1 次機能に割り付けられています。	1 次	—
AIN1	I	逐次比較型 A/D コンバータ Ch1 アナログ入力です。PA1 端子の 1 次機能に割り付けられています。	1 次	—
AIN2	I	逐次比較型 A/D コンバータ Ch2 アナログ入力です。PB0 端子の 1 次機能に割り付けられています。	1 次	—
AIN3	I	逐次比較型 A/D コンバータ Ch3 アナログ入力です。PB1 端子の 1 次機能に割り付けられています。	1 次	—
AIN4	I	逐次比較型 A/D コンバータ Ch4 アナログ入力です。PB6 端子の 1 次機能に割り付けられています。	1 次	—
AIN5	I	逐次比較型 A/D コンバータ Ch5 アナログ入力です。PB7 端子の 1 次機能に割り付けられています。	1 次	—
コンパレータ				
CMP0P	I	コンパレータ 0 の非反転入力です。PB4 端子の 1 次機能に割り付けられています。	1 次	—
CMP0M	I	コンパレータ 0 の反転入力です。PB5 端子の 1 次機能に割り付けられています。	1 次	—
CMP0OUT	O	コンパレータ 0 の出力端子です。PA2 端子の 4 次機能に割り付けられています。	4 次	—
CMP0POUT	O	コンパレータ 0 の出力端子です。PB2 端子の 4 次機能に割り付けられています。	4 次	—
CMP0NOUT	O	コンパレータ 0 の出力端子です。PB3 端子の 4 次機能に割り付けられています。	4 次	—
CMP1P	I	コンパレータ 1 の非反転入力です。PA1 端子の 1 次機能に割り付けられています。	1 次	—
CMP1OUT	O	コンパレータ 1 の出力端子です。PB0 端子の 4 次機能に割り付けられています。	4 次	—
テスト用				
TEST	I/O	テスト用入出力端子です。プルダウン抵抗が内蔵されています。	—	正
電源				
V _{SS}	—	マイナス側電源端子です。	—	—
V _{DD}	—	プラス側電源端子です。	—	—

■ 未使用端子処理

表 3 に未使用端子の処理方法を示します。

表 3 未使用端子の処理

端子	推奨端子処理
RESET_N	オープン
TEST	オープン
PA0～PA2	オープン
PB0～PB7	オープン
V _{PP}	オープン

【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

■ 電気的特性

● 絶対最大定格

(V_{SS}=0V)

項 目	記 号	条 件	定 格 値	単 位
電源電圧 1	V _{DD}	Ta=25°C	-0.3~+7.0	V
電源電圧 2	V _{PP}	Ta=25°C	-0.3~+9.5	V
入力電圧	V _{IN}	Ta=25°C	-0.3~V _{DD} +0.3	V
出力電圧	V _{OUT}	Ta=25°C	-0.3~V _{DD} +0.3	V
出力電流	I _{OUT1}	Ta=25°C	-12~+11	mA
許容損失	PD	Ta=25°C	0.5	W
保存温度	T _{STG}	—	-55~+150	°C

● 推奨動作条件

(V_{SS}=0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	—	-40~+85	°C
動作電圧	V _{DD}	—	2.7~5.5	V
動作周波数(CPU)	f _{OP}	V _{DD} =2.7~5.5V	30k~8.4M	Hz

● フラッシュ・メモリ動作条件

(V_{SS}= 0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	書き込み／消去時	0~+40	°C
動作電圧	V _{DD}	書き込み／消去時	4.5~5.5	V
	V _{PP} ^{*1}	書き込み／消去時	7.7~8.3	V
書き換え回数 ^{*2}	C _{EP}	—	80	回
データ保持年数	Y _{DR}	—	10	年

^{*1}: V_{PP} 端子にはブルダウン抵抗を内蔵しています。^{*2}: 消去 1 回と消去後の書き込み 1 回が書き換え回数 1 回です。ただし消去を中断した場合も 1 回としてカウントします。

● 直流特性(1/4)

(特に指定のない場合は, $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

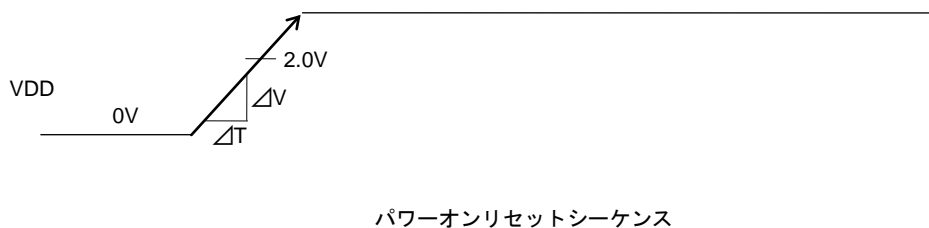
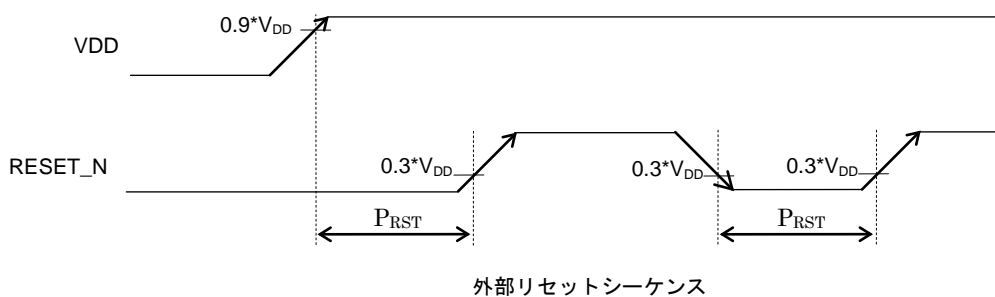
項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
32kHz RC 発振周波数*2	f _{RCL}	Ta=25℃	31	32.768	34	kHz	1
PLL 発振周波数*1*2	f _{PLL}	Ta=25℃	Typ. -1%	16.384	Typ. +1%	MHz	
		Ta=-10～85℃	Typ. -2%	16.384	Typ. +2%		
		Ta=-40～85℃	Typ. -2.5%	16.384	Typ. +2.5%		
リセット*3 有効パルス幅	P _{RST}	—	100	—	—	μs	
リセット*3 ノイズ除去 パルス幅	P _{NRST}	—	—	—	0.4		
パワーオンリセット発生 電源立ち上がり傾き	ΔV / ΔT	0V→2.0V	0.10	—	10	V/ms	

^{*1}: 2048 クロックの平均値。CPU クロックは最大 $f_{PLL}/2$ になります。

^{*2}: 出荷時の保証値です。

^{*3}: RESET_N 端子によるリセット

● 電源立ち上げ・リセットシーケンス



● 直流特性(2/4)

(特に指定のない場合は, $V_{DD}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
VLS 判定電圧	V _{VLS0F}	Ta=25℃, V _{DD} =fall		Typ -3.0%	2.85	Typ +3.0 %	V	1
		V _{DD} =fall		Typ -5.0%	2.85	Typ +5.0 %		
	V _{VLS0R}	Ta=25℃, V _{DD} =rise		Typ -3.0%	2.92	Typ +3.0 %		
		V _{DD} =rise		Typ -5.0%	2.92	Typ +5.0 %		
	V _{LDDH}	Ta=25℃	VLS0=0	Typ -3.0%	3.295	Typ +3.0 %		
			VLS0=1		3.625			
		—	VLS0=0	Typ -5.0%	3.295	Typ +5.0 %		
			VLS0=1		3.625			
コンパレータ0 同相入力電圧 範囲	V _{CMR}	—		0.1	—	V _{DD} -1.5	V	4
コンパレータ0 ヒステリシス	V _{HYS} P	Ta=25℃, V _{DD} =5.0V		10	20	30	mV	
		V _{DD} =5.0V		5	20	35		
コンパレータ0 入力オフセット	V _{CMOF}	Ta=25℃, V _{DD} =5.0V		—	—	7		
コンパレータ 基準電圧誤差*3	V _{CMREF}	Ta=25℃		-25	—	25		
		—		-50	—	50		
消費電流 1	IDD1	CPU が [†] STOP 状態*1 RC 発振停止 V _{DD} =5.0V	Ta=-40～ 85℃	—	1	30	μA	1
消費電流 2	IDD2	CPU が [†] 8.192MHz 動作状態*2 PLL 発振状態, V _{DD} =5.0V	Ta=-40～ 85℃	—	3.7	6	mA	

^{*1}: LTBC, WDT 動作状態, BLKCON0~BLKCON4 の有効ビット全て“1”.

^{*2}: CPU 動作率 100%時, 最小命令実行時間: 約 122ns@8.192MHz

^{*3}: コンパレータの入力オフセット電圧を含む

● 直流特性(3/4)

(特に指定のない場合は, $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単 位	測 定 回 路
			Min.	Typ.	Max.		
出力電圧	VOH	$IOH=-3.0mA$, $V_{DD}=4.5V^{*1}$	$V_{DD}-0.7$	—	—	V	2
	VOL	$IOL=+8.5mA$, $V_{DD}=4.5V^{*1}$	—	—	0.6		
出カリーク	IOOH	$VOH=V_{DD}$ (ハインピーダンス時)	—	—	+1	μA	3
	IOOL	$VOL=V_{SS}$ (ハインピーダンス時)	-1	—	—		
入力電流 1 (RESET_N)	IIH1	$VIH1=V_{DD}$	—	—	1	μA	4
	IIL1	$VIL1=V_{SS}$, $V_{DD}=5.0V$	-650	-500	-350		
入力電流 1 (TEST)	IIH1	$VIH1=V_{DD}=5.0V$	20	115	200		
	IIL1	$VIL1=V_{SS}$	-1	—	—		
入力電流 2 (PA0~PA2, PB0~PB7)	IIH2	$VIH2=V_{DD}=5.0V$ (プルダウン時)	20	115	200		
	IIL2	$VIL2=V_{SS}$, $V_{DD}=5.0V$ (プルアップ時)	-200	-100	-20		

*1: 1 端子出力状態.

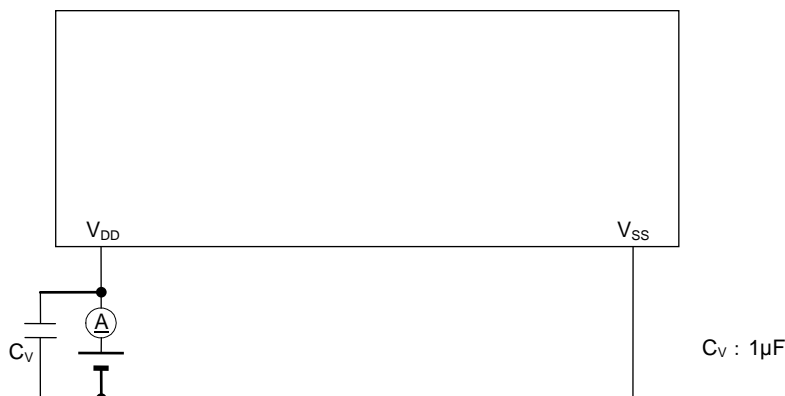
● 直流特性(4/4)

(特に指定のない場合は, $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単 位	測 定 回 路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (TEST) (PA0~PA2) (PB0~PB7)	VIH1	—	$0.7 \times V_{DD}$	—	V_{DD}	V	2
	VIL1	—	0	—	$0.3 \times V_{DD}$		
入力端子容量 (PA0~PA2) (PB0~PB7)	CIN	$f = 10kHz$ $T_a = 25^{\circ}C$	—	—	20	pF	—

● 測定回路

測定回路 1

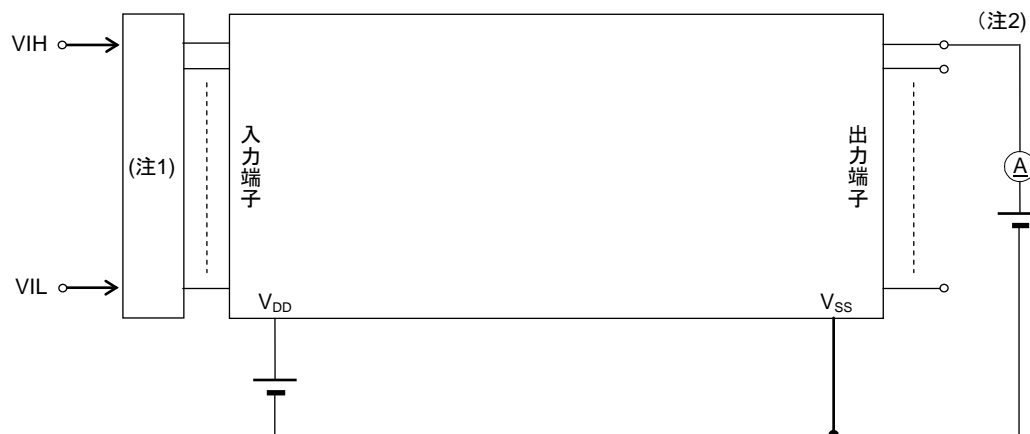


測定回路 2



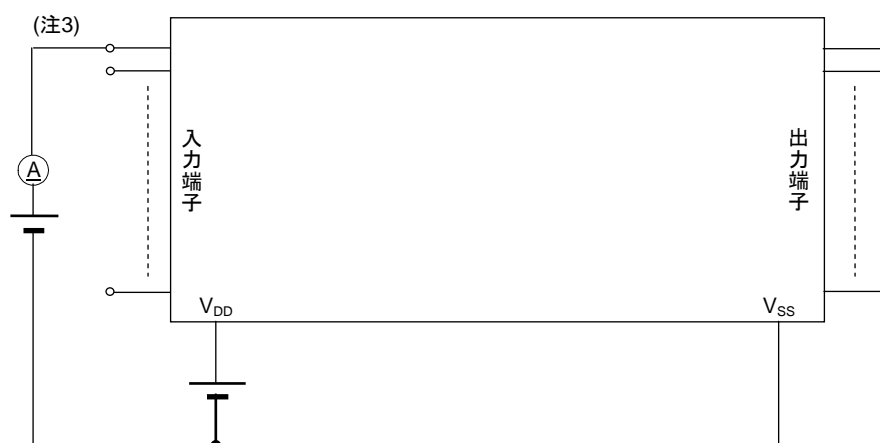
(注1) 指定の状態にする入力ロジック
(注2) 指定の出力端子について繰り返す

測定回路 3



(注1) 指定の状態にする入力ロジック
(注2) 指定の出力端子について繰り返す

測定回路 4

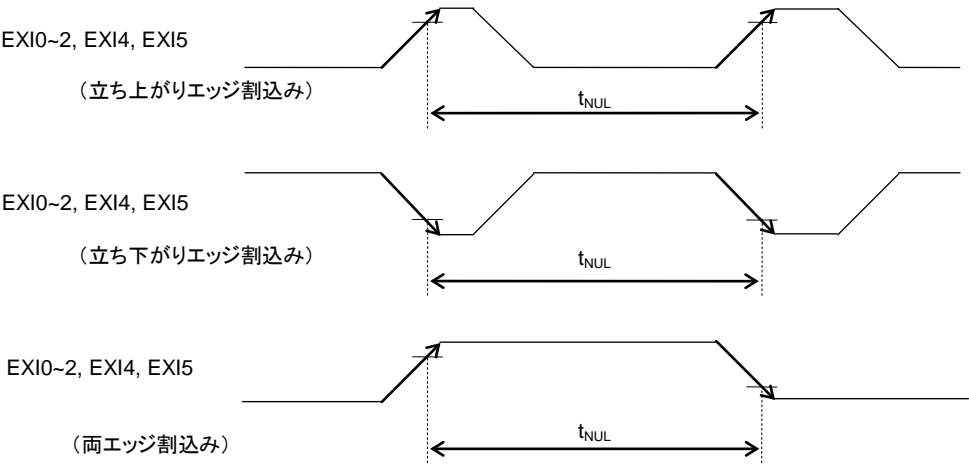


(注3) 指定の入力端子について繰り返す

● 交流特性(外部割込み)

(特に指定のない場合は, $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	t_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作	$2.5 \times$ sysclk	—	$3.5 \times$ sysclk	μs

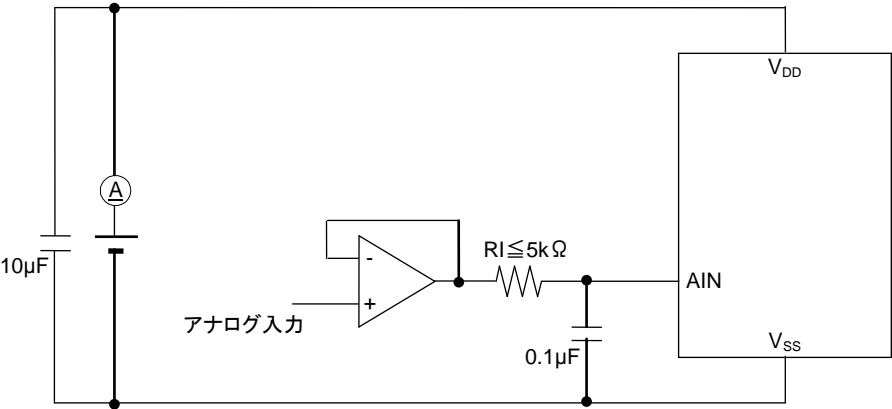


● 逐次比較型 A/D コンバータの電気的特性

(特に指定のない場合は、 $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

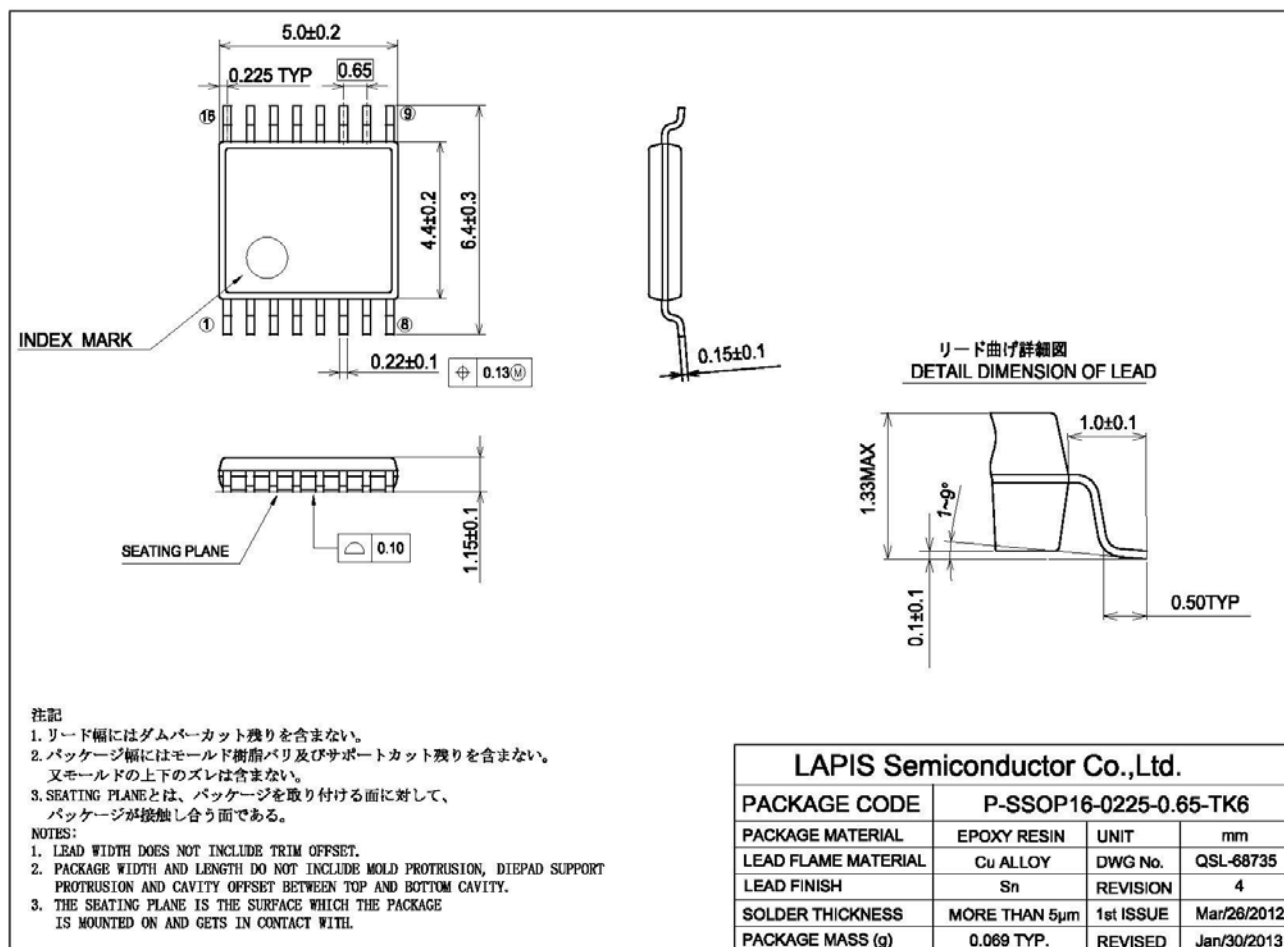
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	—	10	bit
積分非直線性誤差	INL	$R_I \leq 5k\Omega$, HSCLK=8.192MHz	-4	—	+4	LSB
微分非直線性誤差	DNL	$R_I \leq 5k\Omega$, HSCLK=8.192MHz	-3	—	+3	
ゼロスケール誤差	V_{OFF}	$R_I \leq 5k\Omega$, HSCLK=8.192MHz	-4	—	+4	
フルスケール誤差	FSE	$R_I \leq 5k\Omega$, HSCLK=8.192MHz	-4	—	+4	
許容信号源インピーダンス	R_I	—	—	—	5k	Ω
変換時間	t_{CONV}	—	—	102	—	ϕ/CH

ϕ : OSCLK の周期 (3MHz 以上)



■ パッケージ寸法図

● ML610Q101/ML610Q102 SSOP パッケージの寸法図

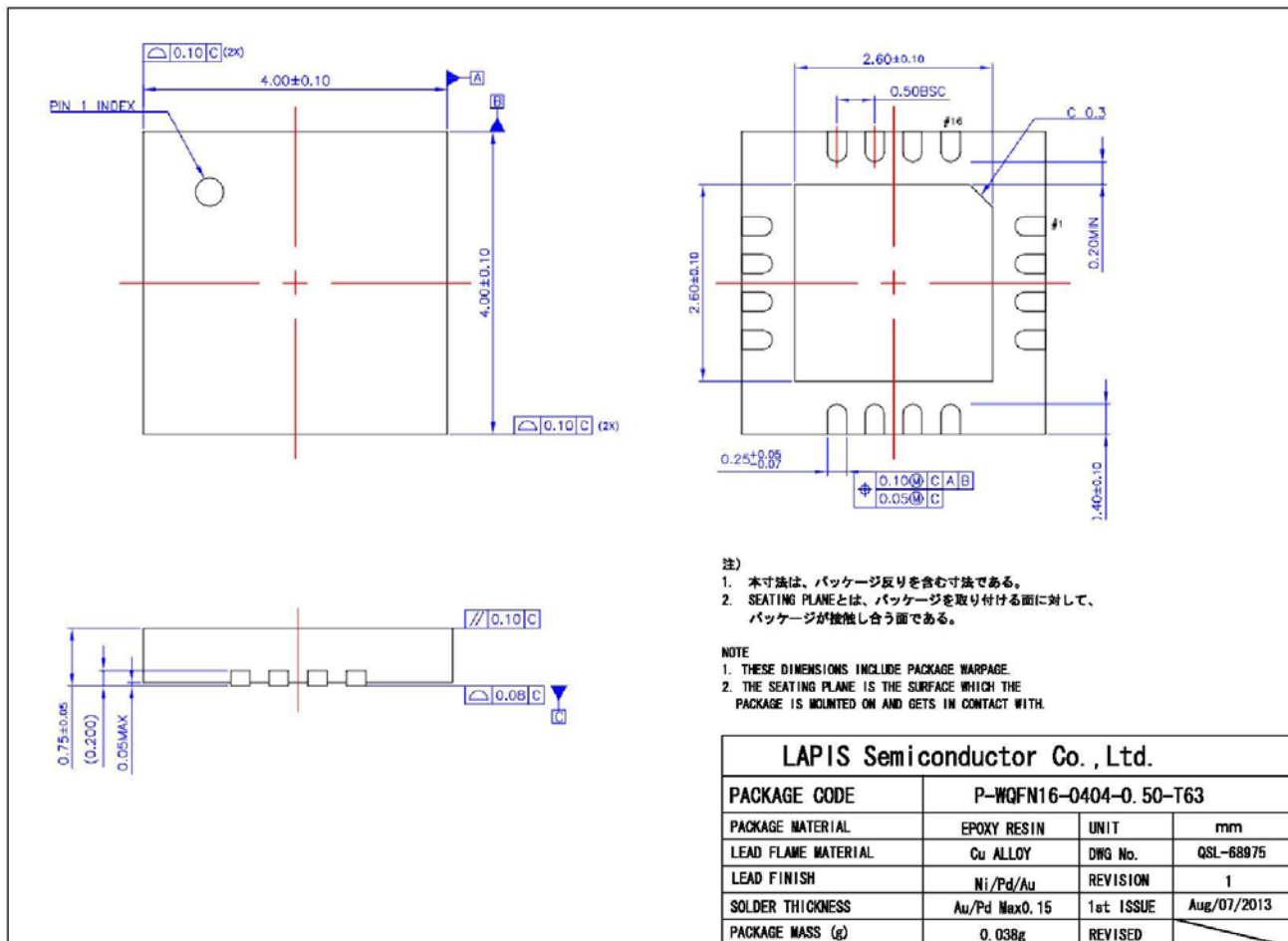


表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

● ML610Q101/ML610Q102 WQFN パッケージの寸法図



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q101-01	2013.1.23	—	—	正式初版発行
FJDL610Q101-02	2013.8.13	—	3	出荷形態に 16 ピン WQFN を追加
		—	7	パッケージ端子配置図に WQFN を追加
		6	8	端子一覧の PAD No.に WQFN を追加
		6	8	PA0, PA1 の機能の誤記を修正。 “入力ポート”⇒“入出力ポート”
		16	18	誤記修正 ϕ :fPLL/4 の周期⇒ ϕ :fPLL/2 の周期
		—	20	P-WQFN16 のパッケージ外形図を追加
FJDL610Q101-03	2015.8.4	—	—	ロゴおよびスタイルを変更
		18	18	許容信号源インピーダンス R_i の項目を追加
		13	13	パワーオンリセット発生電源立ち上がり傾きの規格を追加
FJDL610Q101-04	2017.5.15	1 2 3	1 2 3	概要, 特長の表記変更および説明追加
		2	2	タイマの「連続タイマモード」を「連続モード」に名称変更。「ワンショットタイマモード」を「ワンショットモード」に名称変更。
		2	2	PWM の「連続 PWM モード」を「連続モード」に名称変更。「ワンショット PWM モード」を「ワンショットモード」に名称変更。
		12	12	書き換え回数に関する補足*2 を追加
		13	13	誤記訂正 PLL 発振周波数に関する補足 (誤)1024 クロックの平均 (正)2048 クロックの平均
		13	13	32kHzRC 発振周波数および PLL 発振周波数に関する補足 *2 を追加
		13	13	リセット有効パルス幅およびリセットノイズ除去パルス幅に関する補足*3 を追加
		18	18	誤記訂正 変換時間の単位の補足 (誤) ϕ :fPLL/2 の周期 (正) ϕ :OSCLK の周期 (3MHz 以上)

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのデイレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
 - ・輸送機器(車載、船舶、鉄道など)、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
 - ・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2013-2017 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>