

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML610Q111/ML610Q112

8bit マイクロコントローラ

■ 概要

本 LSI は、8 ビット CPU nX-U8/100 を搭載し、タイマ、PWM、UART、I²C バス・インタフェース、同期式シリアルポート、コンパレータ、電圧レベル検出回路および 10 ビット逐次比較型 A/D コンバータ等、多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。

CPU nX-U8/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。また、ソフトウェアにより書き換え可能なデータフラッシュ・メモリを内蔵しています。

さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

■ 特長

● CPU

- RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)
- 命令体系:16 ビット長命令
- 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵
- 最小命令実行時間
30.5μs (@32.768kHz システムクロック)
0.122μs (@8.192MHz システムクロック)

● 内部メモリ

- ML610Q111:
フラッシュ・メモリ(プログラム領域) : 24K バイト(12K×16 ビット)※使用不可のテスト領域 32 バイトを含む
データ・フラッシュ・メモリ : 4K バイト(2K×16 ビット)
RAM : 2K バイト(2K×8 ビット)
- ML610Q112:
フラッシュ・メモリ(プログラム領域) : 32K バイト(16K×16 ビット)※使用不可のテスト領域 32 バイトを含む
データ・フラッシュ・メモリ : 4K バイト(2K×16 ビット)
RAM : 4K バイト(4K×8 ビット)

● 割込みコントローラ

- ノンマスカブル割込み 1 要因(内部要因:1)
- マスカブル割込み 30 要因(内部要因:23, 外部要因:7)

● タイムベースカウンタ

- 低速側タイムベースカウンタ×1ch
- 高速側タイムベースカウンタ×1ch(1~16 分周しタイマ, PWM のクロックとして使用可能)

● ウォッチドッグタイマ

- ノンマスカブル割込み, およびリセット
(1 回目のオーバフローで割込みを発生, 2 回目のオーバフローでリセットを発生)
- フリーラン
- オーバフロー周期選択可能:7 種(23.4ms, 31.25ms, 62.5ms, 125ms, 500ms, 2s, 8s)



- タイマ
 - 8ビット×6ch(16bit 構成も可能)
 - 連続モード/ワンショットモード
 - ソフトウェア/外部トリガ入力によるタイマスタート・ストップ機能
(外部トリガ入力対応タイマは2ch。外部トリガとして外部端子, アナログコンパレータ出力を選択可能)
 - 外部トリガ入力の有効最小パルス幅: タイマクロック 3φ (約 183ns @ 16.384MHz)
 - 外部トリガ入力を利用して, パルス幅などの測定が可能
- PWM
 - 分解能 16ビット×4ch
 - 約 122ns (@PLLCLK=16.384MHz) ~ 2s (@LSCLK=32.768kHz) 周期の PWM 信号を出力可能
 - 連続モード/ワンショットモードを搭載
 - ソフトウェア/外部トリガ入力による PWM スタート・ストップ機能
(外部トリガとして, 外部端子, アナログコンパレータ出力, またはタイマ割込みを選択可能)
 - 外部トリガ入力の有効最小パルス幅: PWM クロック 3φ (約 183ns @ 16.384MHz)
- UART
 - TXD/RXD×2ch
 - 半二重通信
 - ビット長, パリティ有無, 奇数/偶数パリティ, 1ストップビット/2ストップビット
 - 正/負論理選択可
 - ボーレートジェネレータ内蔵
- I²C バス・インタフェース
 - マスタ: 標準モード (100kbps@8MHz), ファーストモード (400kbps@8MHz) 対応
 - スレーブ: 標準モード (100kbps) 対応
- 同期式シリアルポート (SSIO)
 - マスタ/スレーブ選択可能
 - LSB/MSB ファースト選択可能
 - 8ビット/16ビット長選択可能
 - SPI モード 0/3 対応
- 逐次比較型 A/D コンバータ
 - 分解能 10ビット
 - ML610Q111 : 入力 6ch
 - ML610Q112 : 入力 8ch
 - 変換時間: 約 12.45μs/ch@8.192MHz
 - 連続変換/一回変換選択可能
- アナログコンパレータ
 - 2ch
 - ch0: 2つの外部端子の電圧レベルの比較, または 1つの外部端子と内部基準電圧レベルの比較が可能
 - ch1: 1つの外部端子と内部基準電圧レベルの比較が可能
 - コモンモード入力電圧: 0.1V ~ V_{DD}-1.5V
 - 内部基準電圧: 0.1 ~ 0.8V (50mV ステップで選択可能)
 - ヒステリシス幅 (ch0 のみ) : 20mV (Typ.)
 - 割込みはエッジの選択, サンプリング有無が選択可能
- 汎用ポート
 - ML610Q111 : 入出力ポート×15ch
 - ML610Q112 : 入出力ポート×25ch

- リセット
 - RESET_N 端子リセット
 - パワーオン検出リセット
 - WDT オーバフローによるリセット
 - 電圧レベル検出リセット
- 電圧レベル検出機能
 - 2ch
 - 判定精度: $\pm 3\%$ (Typ.)
 - 電圧レベル検出回路 0 の判定電圧: (V_{DD} fall) : 2.85V (Typ.) (V_{DD} rise) : 2.92V (Typ.)
 - 電圧レベル検出回路 1 の判定電圧: (V_{DD} fall) : 3.3V, 3.6V, 3.9V, 4.2V (Typ.) から選択可能
 - 電圧レベル検出回路 0 は電圧レベル検出リセット (VLS リセット) として使用可能
- クロック
 - 低速側クロック
 - RC 発振 (32.768kHz)
 - 高速側クロック
 - PLL 発振 (16.384MHz), 外部クロック (最大 8.192MHz)
 - *CPU クロックは, 最大 8.192MHz で動作
 - ソフトウェアによる高速クロックモードの選択:
 - PLL 発振, 外部クロック
- パワーマネジメント
 - HALT モード: CPU の命令実行中断 (周辺回路は動作状態)
 - STOP モード: 低速発振および高速発振の停止 (CPU および周辺回路は動作を停止)
 - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/1, 1/2, 1/4, 1/8)
 - ブロック制御機能: 使わない機能ブロック回路の動作をパワーダウン (レジスタリセット & クロック停止)
- 出荷形態
 - ML610Q111
 - 20 ピン TSSOP
 - ML610Q111-xxxTD (ブランク品: ML610Q111-NNNTD)
 - ML610Q112
 - 32 ピン LQFP
 - ML610Q112-xxxTC (ブランク品: ML610Q112-NNNTC)
- 動作保証範囲
 - 動作周囲温度 : $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ (フラッシュ書き込み/消去時は $-20 \sim 85^{\circ}\text{C}$)
 - 動作電圧 : $V_{DD} = 2.7\text{V} \sim 5.5\text{V}$

■ ブロック図

図 1 に、本 LSI のブロック図を示します。

“*”は各ポートの 2 次機能, 3 次機能もしくは 4 次機能です。

“()”は ML610Q112 の仕様です。

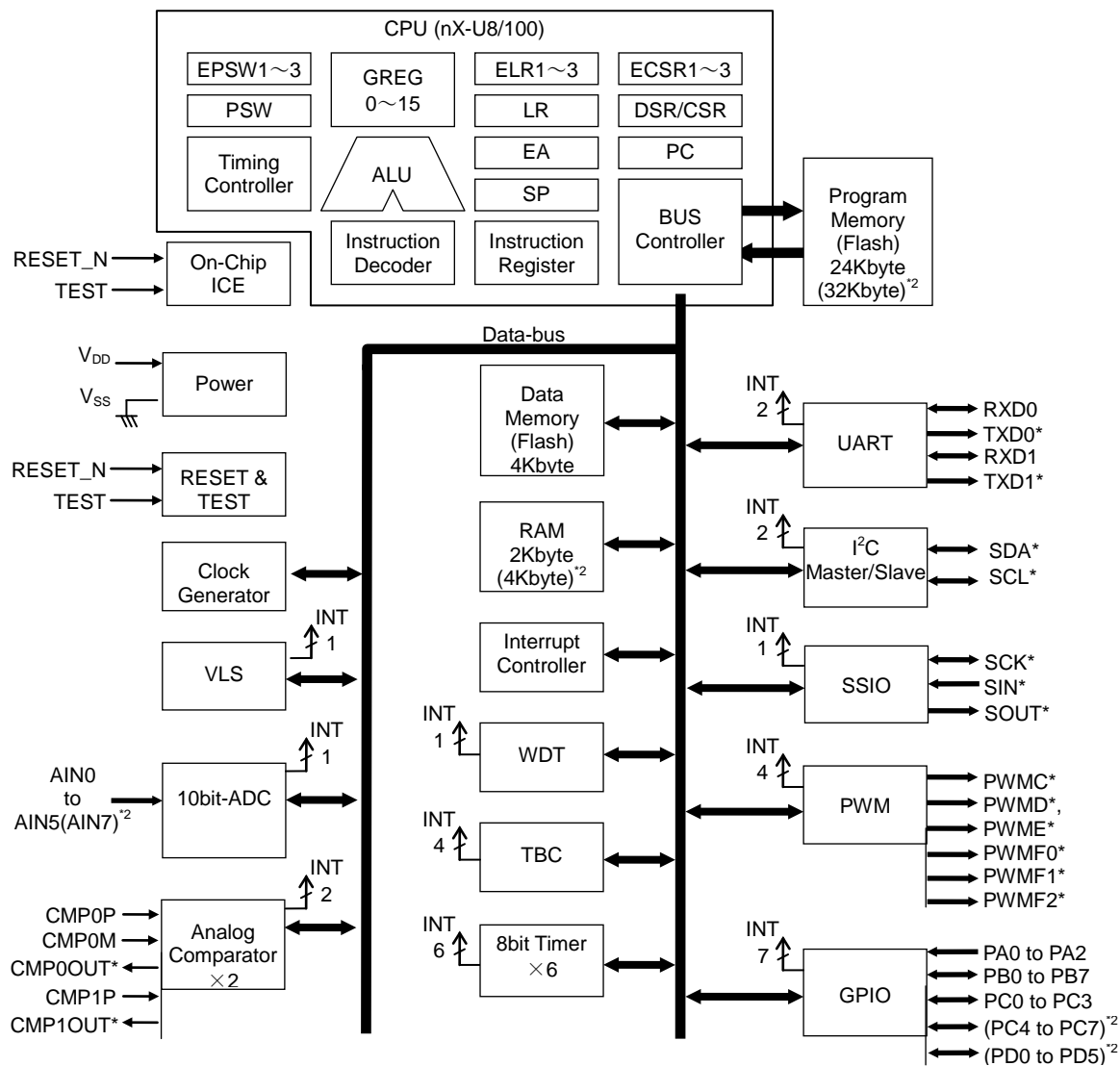
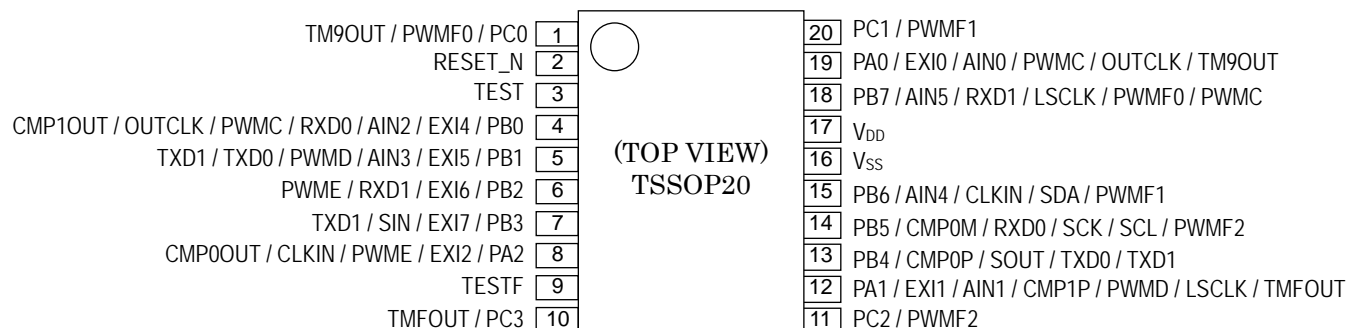


図 1 ML610Q111/ML610Q112 ブロック図

■ 端子接続（上面図）

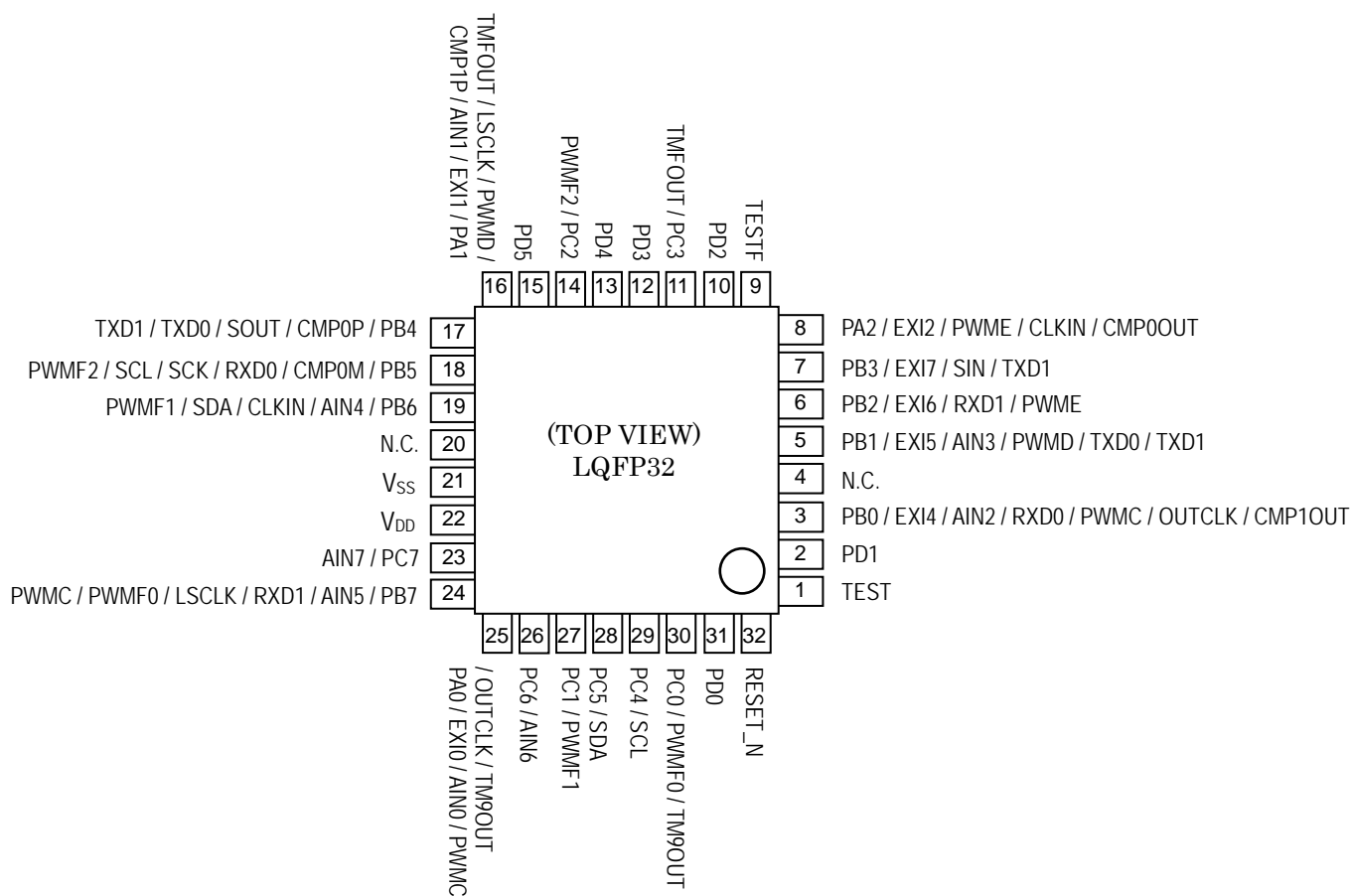
● ML610Q111-xxxTD



※PIN No.4~8, 12~15, 18, 19 は、タイマ E,F および PWM~F の外部トリガとして使用できます。

図 2 ML610Q111 の 20 ピン TSSOP の端子配置図

● ML610Q112-xxxTC



※PIN No.3, 5~8, 16~19, 24, 25 は、タイマ E,F および PWM~F の外部トリガとして使用できます。

図 3 ML610Q112 の 32 ピン LQFP の端子配置図

■ 端子説明

● 端子一覧

表 1 に端子一覧を示します。

I/O 欄の“—”は電源端子, “I”は入力端子, “O”は出力端子, “I/O”は入出力端子を示します。

表 1 端子一覧

PIN No.		1 次機能			2 次機能			3 次機能			4 次機能		
32LQFP	20TSSOP	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
21	16	V _{SS}	—	マイナス側 電源端子入出力	—	—	—	—	—	—	—	—	—
22	17	V _{DD}	—	プラス側 電源端子入出力	—	—	—	—	—	—	—	—	—
9	9	TESTF	—	フラッシュメモリ 用テスト端子	—	—	—	—	—	—	—	—	—
32	2	RESET _N	I	リセット入力	—	—	—	—	—	—	—	—	—
1	3	TEST	I/O	テスト用入出力	—	—	—	—	—	—	—	—	—
25	19	PA0/ EXI0/ AIN0	I/O	入出力ポート/ 外部割込 0/ AD 入力 0/ 外部トリガ	PWMC	O	PWMC 出力	OUTCLK	O	高速クロック出力	TM9OUT	O	タイマ 9 出力
16	12	PA1/ EXI1/ AIN1/ CMP1P	I/O	入出力ポート/ 外部割込 1/ AD 入力 1/ コンパレータ 1 非反転入力/ 外部トリガ	PWMD	O	PWMD 出力	LSCLK	O	低速クロック出力	TMFO UT	O	タイマ F 出力
8	8	PA2/ EXI2	I/O	入出力ポート/ 外部割込 2/ 外部トリガ	PWME	O	PWME 出力	CLKIN	I	クロック 入力	CMP0 OUT	O	CMP0 出力
3	4	PB0/ EXI4/ AIN2/ RXD0	I/O	入出力ポート/ 外部割込 4/ AD 入力 2/ UART0 受信/ 外部トリガ	PWMC	O	PWMC 出力	OUTCLK	O	高速クロック出力	CMP1 OUT	O	CMP1 出力
5	5	PB1/ EXI5/ AIN3	I/O	入出力ポート/ 外部割込 5/ AD 入力 3/ 外部トリガ	PWMD	O	PWMD 出力	TXD0	O	UART0 送信	TXD1	O	UART1 送信
6	6	PB2/ EXI6/ RXD1	I/O	入出力ポート/ 外部割込 6/ UART1 受信/ 外部トリガ	PWME	O	PWME 出力	—	—	—	—	—	—
7	7	PB3/ EXI7	I/O	入出力ポート/ 外部割込 7/ 外部トリガ	SIN	I	SSIO データ入力	TXD1	O	UART1 送信	—	—	—
17	13	PB4/ CMP0P	I/O	入出力ポート/ コンパレータ 0 非反転入力/ 外部トリガ	SOUT	O	SSIO データ出力	TXD0	O	UART0 送信	TXD1	O	UART1 送信
18	14	PB5/ RXD0/ CMP0M	I/O	入出力ポート/ UART0 受信/ コンパレータ 0 反転入力/ 外部トリガ	SCK	I/O	SSIO クロック入出力	SCL	I/O	I ² C クロック	PWMF 2	O	PWMF2 出力
19	15	PB6/ AIN4	I/O	入出力ポート/ AD 入力 4/ 外部トリガ	CLKIN	I	クロック 入力	SDA	I/O	I ² C データ	PWMF 1	O	PWMF1 出力
24	18	PB7/ AIN5/ RXD1	I/O	入出力ポート/ AD 入力 5/ UART1 受信/ 外部トリガ	LSCLK	O	低速クロック出力	PWMF 0	O	PWMF 0 出力	PWMC	O	PWMC 出力

*: 外部トリガは、タイマ E、F および PWMC~F の外部トリガ入力 (TETG, TFTG, PCTG, PDTG, PETG, PFTG) を示します。

PIN No.		1 次機能			2 次機能			3 次機能			4 次機能		
32LQFP	20TSSOP	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
30	1	PC0	I/O	入出力ポート	—	—	—	PWMF0	O	PWMF0 出力	TM9O UT	O	タイマ 9 出力
27	20	PC1	I/O	入出力ポート	—	—	—	PWMF1	O	PWMF1 出力	—	—	—
14	11	PC2	I/O	入出力ポート	—	—	—	PWMF2	O	PWMF2 出力	—	—	—
11	10	PC3	I/O	入出力ポート	—	—	—	—	—	—	TMFO UT	O	タイマ F 出力
29	—	PC4	I/O	入出力ポート	SCL	I/O	I ² C クロック	—	—	—	—	—	—
28	—	PC5	I/O	入出力ポート	SDA	I/O	I ² C データ	—	—	—	—	—	—
26	—	PC6/ AIN6	I/O	入出力ポート/ AD 入力 6	—	—	—	—	—	—	—	—	—
23	—	PC7/ AIN7	I/O	入出力ポート/ AD 入力 7	—	—	—	—	—	—	—	—	—
31	—	PD0	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
2	—	PD1	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
10	—	PD2	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
12	—	PD3	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
13	—	PD4	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
15	—	PD5	I/O	入出力ポート	—	—	—	—	—	—	—	—	—

● 端子説明

表 2 に端子説明を示します。

I/O 欄の“—”は電源端子, “I”は入力端子, “O”は出力端子, “I/O”は入出力端子を示します。

表 2 (1/2) 端子説明

端子名	I/O	説 明	1 次/ 2 次/ 3 次/ 4 次	論 理
システム				
RESET_N	I	リセット入力端子です。この端子を“L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を“H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	1 次	負
CLKIN	I	高速クロック入力です。PA2 端子の 3 次機能, PB6 端子の 2 次機能に割り付けられています。	2 次/ 3 次	—
LSCLK	O	低速クロック出力です。PA1 端子の 3 次機能, PB7 端子の 2 次機能に割り付けられています。	2 次/ 3 次	—
OUTCLK	O	高速クロック出力です。PA0 端子の 3 次機能, PB0 端子の 3 次機能に割り付けられています。	2 次/ 3 次	—
汎用入出力ポート				
PA0~PA2 PB0~PB7 PC0~PC7 PD0~PD5	I/O	汎用入出力ポートです。 2~4 次機能として使用する場合は、汎用入出力ポートとして使用できません。	1 次	正
外部割込み				
EXI0~2, EXI4~7	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。PA0~PA2, PB0~PB3 端子の 1 次機能に割り付けられています。	1 次	正/ 負
同期シリアル (SSIO)				
SIN	I	同期シリアルデータ入力端子です。PB3 端子の 2 次機能に割り付けられています。	2 次	正
SCK	I/O	同期シリアルクロック入出力端子です。PB5 端子の 2 次機能に割り付けられています。	2 次	—
SOUT	O	同期シリアルデータ出力端子です。PB4 端子の 2 次機能に割り付けられています。	2 次	正
UART				
TXD0	O	UART0 送信端子です。PB1 端子, PB4 端子の 3 次機能に割り付けられています。	3 次	正
RXD0	I	UART0 受信端子です。PB0 端子, PB5 端子の 1 次機能に割り付けられています。	1 次	正
TXD1	O	UART1 送信端子です。PB1 端子, PB4 端子の 4 次機能, PB3 端子の 3 次機能に割り付けられています。	3 次/ 4 次	正
RXD1	I	UART1 受信端子です。PB2 端子, PB7 端子の 1 次機能に割り付けられています。	1 次	正
I ² C バス・インタフェース				
SCL	I/O	I ² C クロック端子です。PB5 端子の 3 次機能, PC4 端子の 2 次機能に割り付けられています。	2 次/ 3 次	正
SDA	I/O	I ² C データ端子です。PB6 端子の 3 次機能, PC5 端子の 2 次機能に割り付けられています。	2 次/ 3 次	正
タイマ				
TETG TFTG	I	タイマ E, タイマ F の外部トリガ入力端子です。PA0~PA2, PB0~PB7 端子の 1 次機能に割り付けられています。	1 次	—
TM9OUT	O	タイマ 9 出力端子です。PA0 端子, PC0 端子の 4 次機能に割り付けられています。	4 次	正
TMFOUT	O	タイマ F 出力端子です。PA1 端子, PC3 端子の 4 次機能に割り付けられています。	4 次	正

表 2 (2/2) 端子説明

端子名	I/O	説 明	1 次/ 2 次/ 3 次/ 4 次	論理
PWM				
PCTG, PDTG, PETG, PFTG	I	PWMC~PWMF の外部トリガ入力端子です。PA0~PA2, PB0~PB7 端子の 1 次機能に割り付けられています。	1 次	—
PWMC	O	PWMC 出力端子です。PA0 端子, PB0 端子の 2 機能, PB7 端子の 4 次機能に割り付けられています。	2 次/ 4 次	正/ 負
PWMD	O	PWMD 出力端子です。PA1 端子, PB1 端子の 2 次機能に割り付けられています。	2 次	正/ 負
PWME	O	PWME 出力端子です。PA2 端子, PB2 端子の 2 次機能に割り付けられています。	2 次	正/ 負
PWMF0	O	PWMF0 出力端子です。PB7 端子, PC0 端子の 3 機能に割り付けられています。	3 次	正/ 負
PWMF1	O	PWMF1 出力端子です。PB6 の 4 次機能, PC1 端子の 3 次機能に割り付けられています。	3 次/ 4 次	正/ 負
PWMF2	O	PWMF2 出力端子です。PB5 の 4 次機能, PC2 端子の 3 次機能に割り付けられています。	3 次/ 4 次	正/ 負
逐次比較型 A/D コンバータ				
AIN0	I	逐次比較型 A/D コンバータ Ch0 アナログ入力です。PA0 端子の 1 次機能に割り付けられています。	1 次	—
AIN1	I	逐次比較型 A/D コンバータ Ch1 アナログ入力です。PA1 端子の 1 次機能に割り付けられています。	1 次	—
AIN2	I	逐次比較型 A/D コンバータ Ch2 アナログ入力です。PB0 端子の 1 次機能に割り付けられています。	1 次	—
AIN3	I	逐次比較型 A/D コンバータ Ch3 アナログ入力です。PB1 端子の 1 次機能に割り付けられています。	1 次	—
AIN4	I	逐次比較型 A/D コンバータ Ch4 アナログ入力です。PB6 端子の 1 次機能に割り付けられています。	1 次	—
AIN5	I	逐次比較型 A/D コンバータ Ch5 アナログ入力です。PB7 端子の 1 次機能に割り付けられています。	1 次	—
AIN6	I	逐次比較型 A/D コンバータ Ch6 アナログ入力です。PC6 端子の 1 次機能に割り付けられています。	1 次	—
AIN7	I	逐次比較型 A/D コンバータ Ch7 アナログ入力です。PC7 端子の 1 次機能に割り付けられています。	1 次	—
コンパレータ				
CMP0P	I	コンパレータ 0 の非反転入力です。PB4 端子の 1 次機能に割り付けられています。	1 次	—
CMP0M	I	コンパレータ 0 の反転入力です。PB5 端子の 1 次機能に割り付けられています。	1 次	—
CMP0OUT	O	コンパレータ 0 の出力端子です。PA2 端子の 4 次機能に割り付けられています。	4 次	—
CMP1P	I	コンパレータ 1 の非反転入力です。PA1 端子の 1 次機能に割り付けられています。	1 次	—
CMP1OUT	O	コンパレータ 1 の出力端子です。PB0 端子の 4 次機能に割り付けられています。	4 次	—
テスト用				
TEST	I/O	テスト用入出力端子です。プルダウン抵抗が内蔵されています。	—	正
TESTF	—	フラッシュ・メモリ用テスト端子です。プルダウン抵抗が内蔵されています。	—	—
電源				
V _{SS}	—	マイナス側電源端子です。	—	—
V _{DD}	—	プラス側電源端子です。	—	—

● 未使用端子処理

表 3 に未使用端子の処理方法を示します。

表 3 未使用端子の処理

端子	推奨端子処理
RESET_N	オープン
TEST	オープン
TESTF	オープン
PA0～PA2	オープン
PB0～PB7	オープン
PC0～PC7	オープン
PD0～PD5	オープン
N.C.	オープン

【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

■ 電気的特性

● 絶対最大定格

(V_{SS}=0V)

項 目	記 号	条 件	定 格 値	単 位
電源電圧	V _{DD}	Ta=25°C	-0.3~+7.0	V
入力電圧	V _{IN}	Ta=25°C	-0.3~V _{DD} +0.3	V
出力電圧	V _{OUT}	Ta=25°C	-0.3~V _{DD} +0.3	V
出力電流	I _{OUT1}	Ta=25°C	-12~+11	mA
許容損失	PD	Ta=25°C	0.84	W
保存温度	T _{STG}	—	-55~150	°C

● 推奨動作条件

(V_{SS}=0V)

項 目	記 号	条 件	範 囲	単 位
動作温度(周囲)	T _{OP}	—	-40~+105	°C
動作電圧	V _{DD}	—	2.7~5.5	V

● フラッシュ・メモリ仕様

(V_{SS}= 0V)

項 目	記 号	条 件	範 囲	単 位
動作温度(周囲)	T _{OP}	読み出し時	-40~+105	°C
		書き込み／消去時	-20~+85	°C
書き換え回数 ^{*1}	C _{EPD}	データ領域(4KB)	6000	回
	C _{EPP}	プログラム領域	80	
消去単位	—	チップ消去	プログラム、データの全領域	—
	—	ブロック消去	プログラム領域	8
			データ領域	4
—	—	セクタ消去(データ領域のみ有効)	1	KB
消去時間(最大)	—	チップ消去 ブロック消去 セクタ消去	100	ms
書き込み単位	—	—	1ワード(2バイト)	—
書き込み時間(最大)	—	1ワード(2バイト)	40	μs
データ保持年数 ^{*2}	Y _{DR}	—	15	年

^{*1}: 消去 1 回と消去後の書き込み 1 回が書き換え回数 1 回です。ただし消去を中断した場合も 1 回としてカウントします。

^{*2}: 総通電時間が 10 年を超えない範囲でご使用ください。

その他、フラッシュメモリについては以下の機能を備えています。

・セキュリティ機能: プログラム秘匿のためのセキュリティ ID の設定が可能

・データ誤書き込み防止機能: フラッシュアクセプタレジスタに"0FAH", "0F5H"を順に書き込むと、消去または 1 ワード書き込みが一度だけ有効

・消去中の割込み受付機能: 消去中に外部割込みが発生した場合、消去を中止し、割込み処理を優先して実行

(中止した消去動作は無効になるため、割込み処理実行後に、消去を再実行する必要があります)

● 直流特性（消費電流）

（特に指定のない場合は、 $V_{DD}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$ ）

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
消費電流 1	IDD1	CPU が STOP 状態 (全クロック停止) $V_{DD}=5.0V$	—	1	50	μA	1
消費電流 2	IDD2	CPU が HALT 状態 ^{*1} (RC 発振のみ動作) $V_{DD}=5.0V$	—	240	—	μA	
消費電流 3	IDD2	CPU が RC32.768kHz 動作状態 ^{*2} (RC 発振のみ動作) $V_{DD}=5.0V$	—	250	—	μA	
消費電流 4	IDD4	CPU が 8.192MHz 動作状態 ^{*3} (RC 発振, PLL 発振動作) $V_{DD}=5.0V$	—	4	6	mA	

^{*1}: LTBC, WDT 動作状態, BLKCON0~BLKCON7 の有効ビット全て“1”。^{*2}: CPU 動作率 100%時, 最小命令実行時間: 約 30.52 μs @32.768kHz^{*3}: CPU 動作率 100%時, 最小命令実行時間: 約 122ns@8.192MHz

● 直流特性（VLS, コンパレータ）

（特に指定のない場合は、 $V_{DD}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$ ）

項 目	記 号	条 件		規 格 値			単位	測定回路
				Min.	Typ.	Max.		
VLS0 判定電圧 (V _{DD} =fall)	V _{VLS0F}	Ta=25℃		Typ -3.0%	2.85	Typ +3.0%	V	1
		—		Typ -5.0%		Typ +5.0%		
VLS0 判定電圧 (V _{DD} =rise)	V _{VLS0R}	Ta=25℃		Typ -3.0%	2.92	Typ +3.0%		
		—		Typ -5.0%		Typ +5.0%		
VLS1 判定電圧 (V _{DD} =fall)	V _{VLS1}	Ta=25℃	VLS1=0	Typ -3.0%	3.3	Typ +3.0%		
			VLS1=1		3.6			
			VLS1=2		3.9			
			VLS1=3		4.2			
		—	VLS1=0	Typ -5.0%	3.3	Typ +5.0%		
			VLS1=1		3.6			
			VLS1=2		3.9			
			VLS1=3		4.2			
コンパレータ 0 同相入力 電圧範囲	V _{CMR}	—		0.1	—	V _{DD} -1.5	V	
コンパレータ 0 ヒステリシス	V _{HYSP}	Ta=25℃, V _{DD} =5.0V		10	20	30	mV	
		V _{DD} =5.0V		5	20	35		
コンパレータ 0 入力オフセット	V _{CMOF}	Ta=25℃, V _{DD} =5.0V		—	—	7		
コンパレータ 基準電圧誤差 ^{*1}	V _{CMREF}	Ta=25℃		-25	—	25		
		—		-50	—	50		

^{*1}: コンパレータの入力オフセット電圧を含む

● 直流特性(端子)

(特に指定のない場合は, $V_{DD}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
出力電圧 1 (TEST, PA0-2, PB0-7, PC0-7, PD0-5)	VOH1	$IOH=-3.0mA$, $V_{DD}=4.5V^{*1}$, $T_a=-40\sim 85^{\circ}C$	V_{DD} -0.7	—	—	V	2
		$IOH=-3.0mA$, $V_{DD}=4.5V^{*1}$	V_{DD} -0.8	—	—		
	VOL1	$IOL=+8.5mA$, $V_{DD}=4.5V^{*1}$, $T_a=-40\sim 85^{\circ}C$	—	—	0.6		
		$IOL=+8.5mA$, $V_{DD}=4.5V^{*1}$	—	—	0.7		
出力電圧 2 (PB5,PB6, PC4,PC5)	VOL2	$IOL=+3.0mA$	—	—	0.4		
出カリーク (PA0-2, PB0-7, PC0-7, PD0-5)	IOOH	$VOH=V_{DD}$ (ハインピーダンス時)	—	—	1	μA	3
	IOOL	$VOL=V_{SS}$ (ハインピーダンス時)	-1	—	—		
入力電流 1 (RESET_N)	IIH1	$VIH1=V_{DD}$	—	—	1	μA	4
	IIL1	$VIL1=V_{SS}$, $V_{DD}=5.0V$	-650	-500	-350		
入力電流 1 (TEST)	IIH2	$VIH2=V_{DD}=5.0V$	20	115	200		
	IIL2	$VIL2=V_{SS}$	-1	—	—		
入力電流 2 (PA0-2, PB0-7, PC0-7, PD0-5)	IIH3	$VIH3=V_{DD}=5.0V$ (プルダウン時)	20	115	200		
	IIL3	$VIL3=V_{SS}$, $V_{DD}=5.0V$ (プルアップ時)	-200	-100	-20		
	IIH3Z	$VIH3=V_{DD}$ (ハインピーダンス時)	—	—	1		
	IIL3Z	$VIL3=V_{SS}$ (ハインピーダンス時)	-1	—	—		

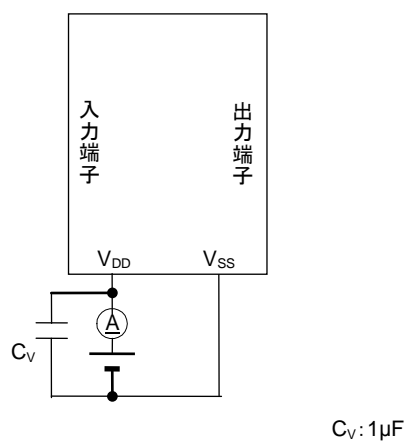
*1: 1 端子出力状態.

(特に指定のない場合は, $V_{DD}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

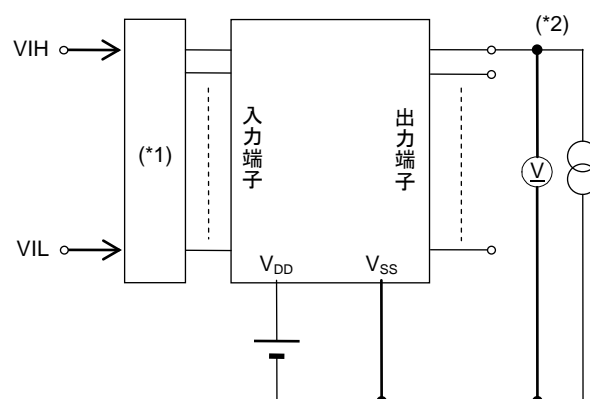
項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N, TEST, PA0-2, PB0-7, PC0-7, PD0-5)	VIH1	—	$0.7 \times V_{DD}$	—	V_{DD}	V	2
	VIL1	—	0	—	$0.3 \times V_{DD}$		
入力端子容量 (PA0-2, PB0-7, PC0-7, PD0-5)	CIN	$f = 10kHz$ $T_a = 25^{\circ}C$	—	—	20	pF	—

● 測定回路

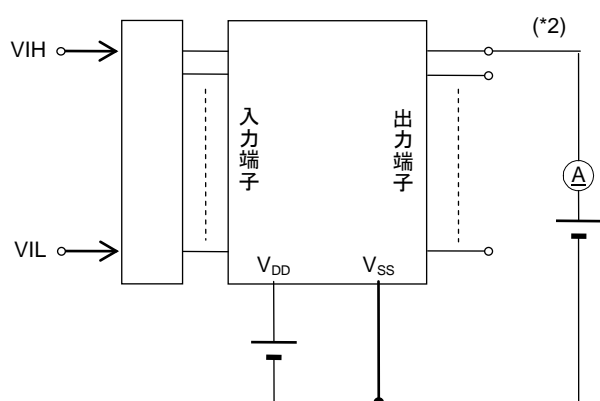
測定回路 1



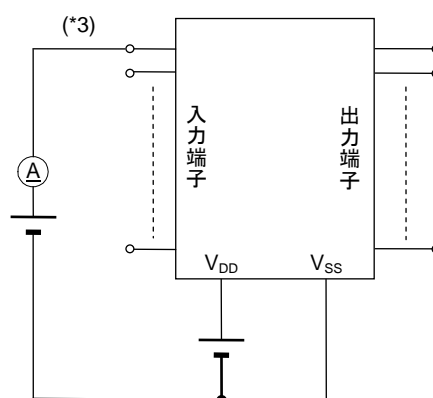
測定回路 2



測定回路3



測定回路4



- (*1) 指定の状態にする入力ロジック
- (*2) 指定の出力端子について繰り返す
- (*3) 指定の入力端子について繰り返す

● 交流特性(クロック)

(特に指定のない場合は, $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
32kHz RC 発振周波数*2	f_{RCL}	$T_a=-20\sim85^{\circ}C$	Typ. -3%	32.768	Typ. +3%	kHz
		—	Typ. -4%		Typ. +4%	
PLL 発振周波数 *1*2	f_{PLL}	$T_a=-20\sim85^{\circ}C$	Typ. -3%	16.384	Typ. +3%	MHz
		—	Typ. -4%		Typ. +4%	

*1: 2048 クロックの平均値。CPU クロックは最大 $f_{PLL}/2$ になります。

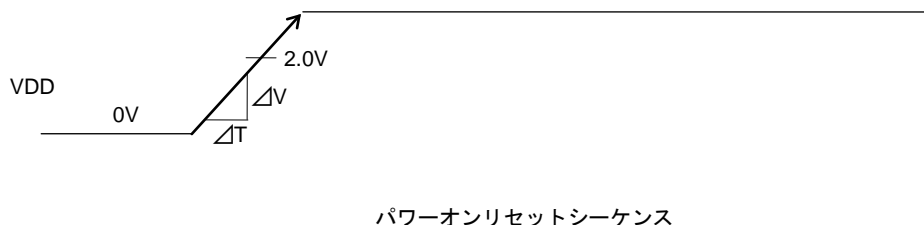
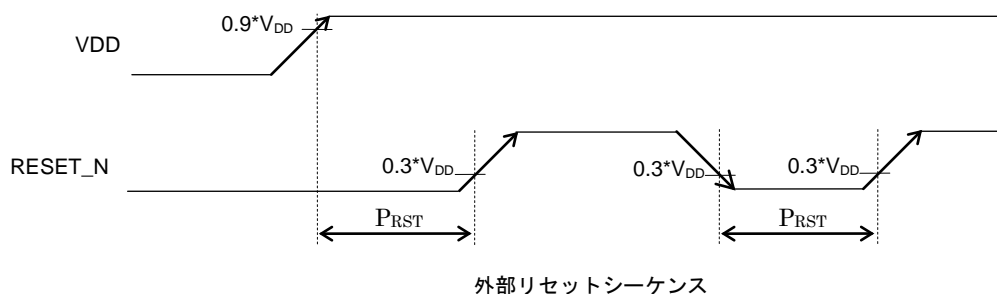
*2: 出荷時の保証値です。

● 交流特性(電源立ち上げ・リセットシーケンス)

(特に指定のない場合は, $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
リセット*1 有効パルス幅	P_{RST}	—	100	—	—	μs
リセット*1 ノイズ除去 パルス幅	P_{NRST}	—	—	—	0.4	
パワーオンリセット発生 電源立ち上がり傾き	$\Delta V / \Delta T$	$0V \rightarrow 2.0V$	0.10	—	10	V/ms

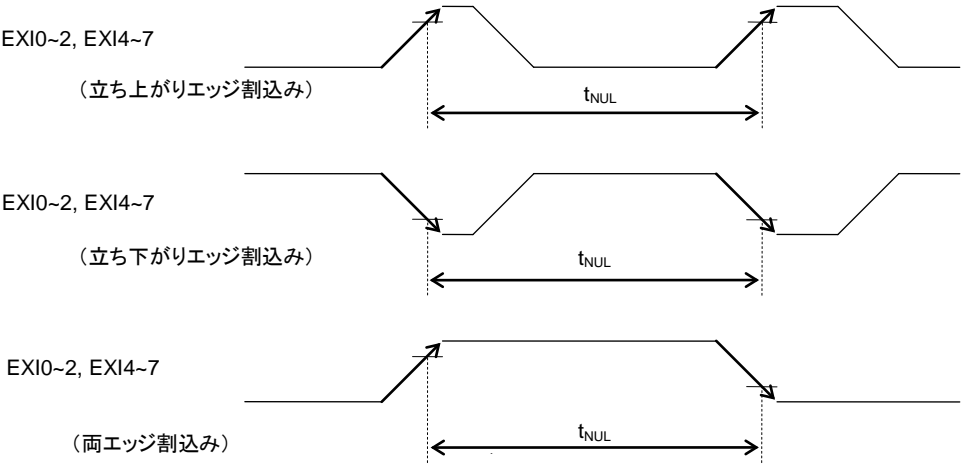
*1: RESET_N 端子によるリセット



● 交流特性(外部割込み)

(特に指定のない場合は, $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

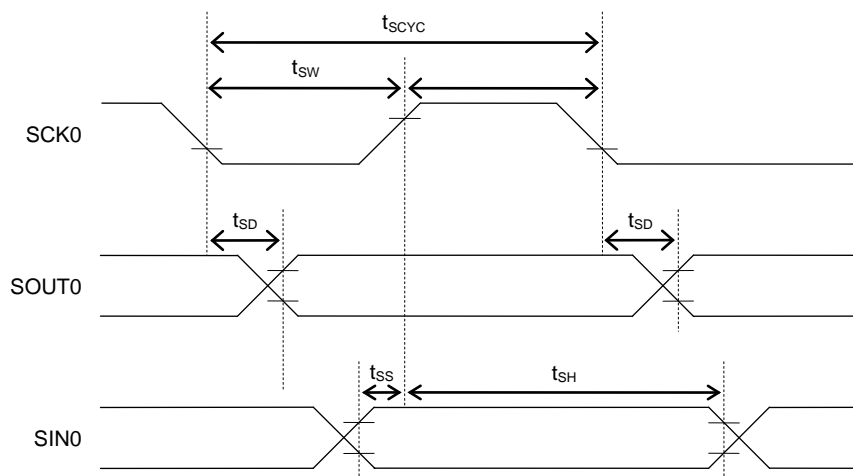
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	t_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作	$2.5 \times$ sysclk	—	$3.5 \times$ sysclk	ϕ



● 交流特性(同期式シリアルポート)

(特に指定のない場合は, $V_{DD}=2.7\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCK 入力サイクル (スレーブモード)	t_{SCYC}	高速発振停止時	10	—	—	μs
		高速発振時	500	—	—	ns
SCK 出力サイクル (マスタモード)	t_{SCYC}	—	—	SCK^{*1}	—	s
SCK 入力パルス幅 (スレーブモード)	t_{SW}	高速発振停止時	4	—	—	μs
		高速発振時	200	—	—	ns
SCK 出力パルス幅 (マスタモード)	t_{SW}	—	$t_{SCYC} \times 0.4$	$t_{SCYC} \times 0.5$	$t_{SCYC} \times 0.6$	s
SOUT 出力遅延時間 (スレーブモード)	t_{SD}	—	—	—	180	ns
SOUT 出力遅延時間 (マスタモード)	t_{SD}	—	—	—	80	ns
SIN 入力 セットアップ時間 (スレーブモード)	t_{SS}	—	50	—	—	ns
SIN 入力 ホールド時間	t_{SH}	—	50	—	—	ns

^{*1}: シリアルポート 0 モードレジスタ(SIO0MOD1)の S0CK3~0 により選択されたクロック周期


● 交流特性 (I²C バス・インタフェース：標準モード 100kbps)

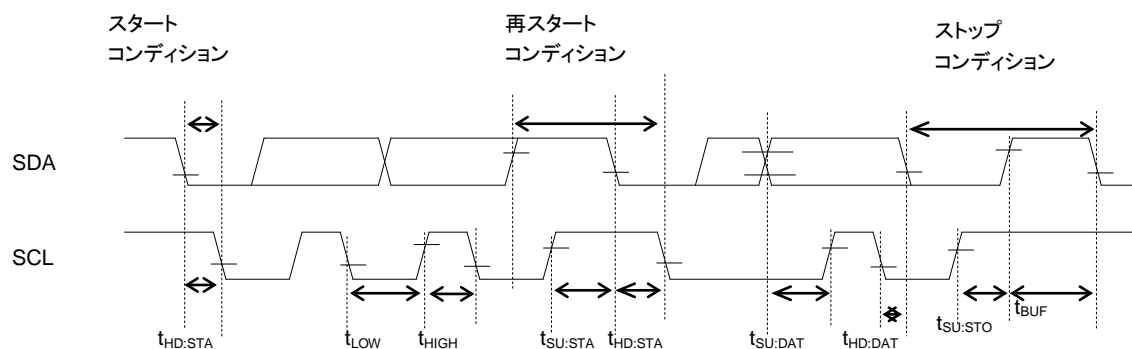
(特に指定のない場合は, V_{DD}=2.7~5.5V, V_{SS}=0V, Ta=-40~+105°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t _{HD:STA}	—	4.0	—	—	μs
SCL “L”レベル時間	t _{LOW}	—	4.7	—	—	μs
SCL “H”レベル時間	t _{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	4.7	—	—	μs
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	μs
SDA セットアップ時間	t _{SU:DAT}	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	4.0	—	—	μs
バスフリー時間	t _{BUF}	—	4.7	—	—	μs

● 交流特性 (I²C バス・インタフェース：ファーストモード 400kbps)

(特に指定のない場合は, V_{DD}=2.7~5.5V, V_{SS}=0V, Ta=-40~+105°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t _{HD:STA}	—	0.6	—	—	μs
SCL “L”レベル時間	t _{LOW}	—	1.3	—	—	μs
SCL “H”レベル時間	t _{HIGH}	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	0.6	—	—	μs
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	μs
SDA セットアップ時間	t _{SU:DAT}	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	0.6	—	—	μs
バスフリー時間	t _{BUF}	—	1.3	—	—	μs

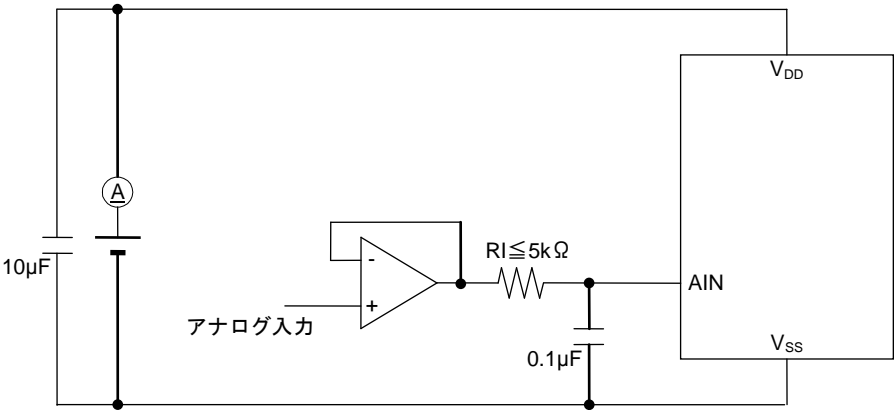


● 逐次比較型 A/D コンバータの電氣的特性

(特に指定のない場合は, $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	—	10	bit
積分非直線性誤差	INL	—	-4	—	+4	LSB
微分非直線性誤差	DNL	—	-3	—	+3	
ゼロスケール誤差	V_{OFF}	—	-4	—	+4	
フルスケール誤差	FSE	—	-4	—	+4	
許容信号源インピーダンス	R_I	—	—	—	5k	Ω
変換時間	t_{CONV}	—	—	102	—	ϕ/CH

ϕ : OSCLK の周期 (3MHz 以上)



■ パッケージ外形図

● ML610Q111 パッケージ外形図（TSSOP20）

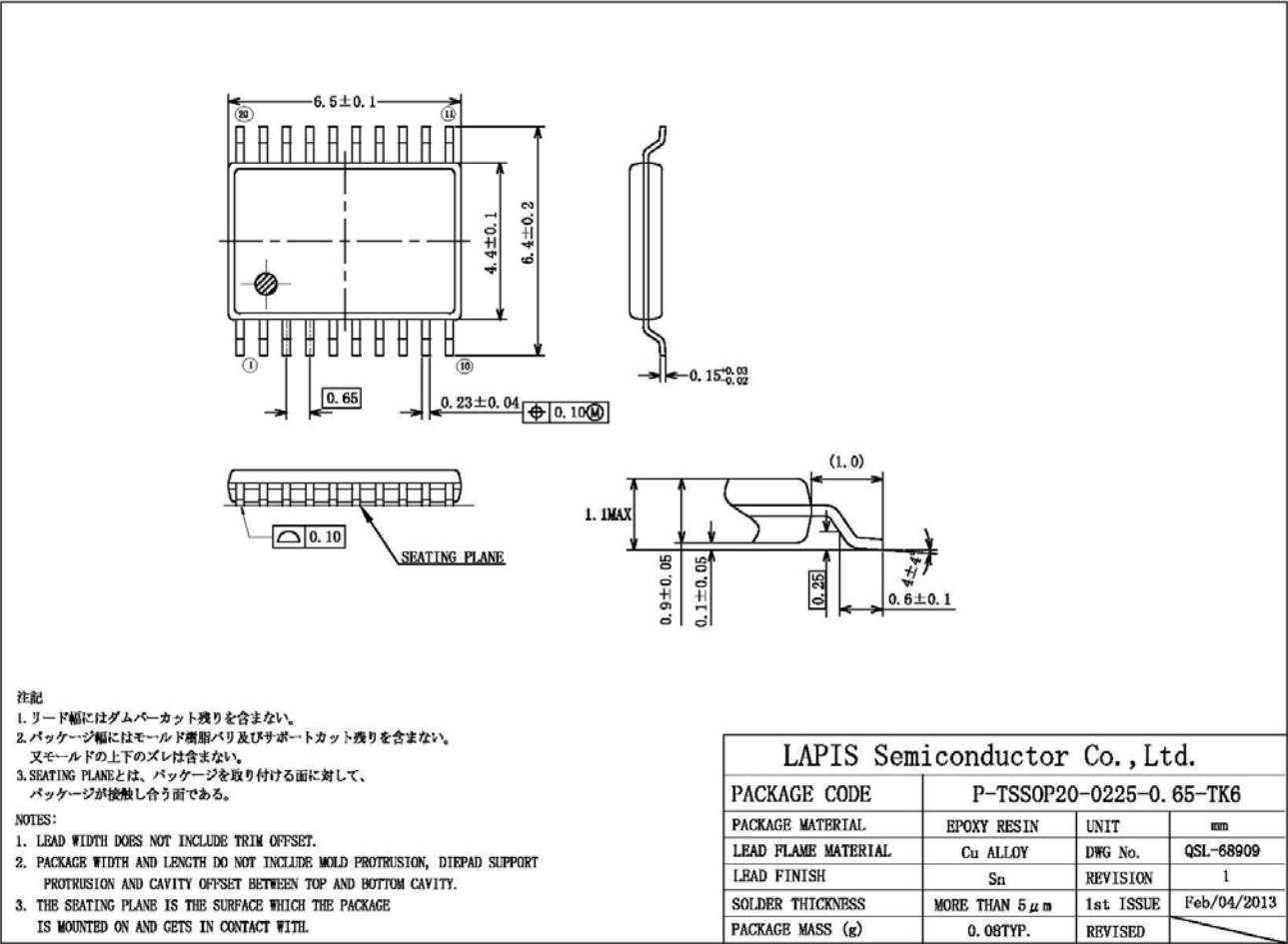


図 4 TSSOP20 パッケージ外形図

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

● ML610Q112 パッケージ外形図 (LQFP32)

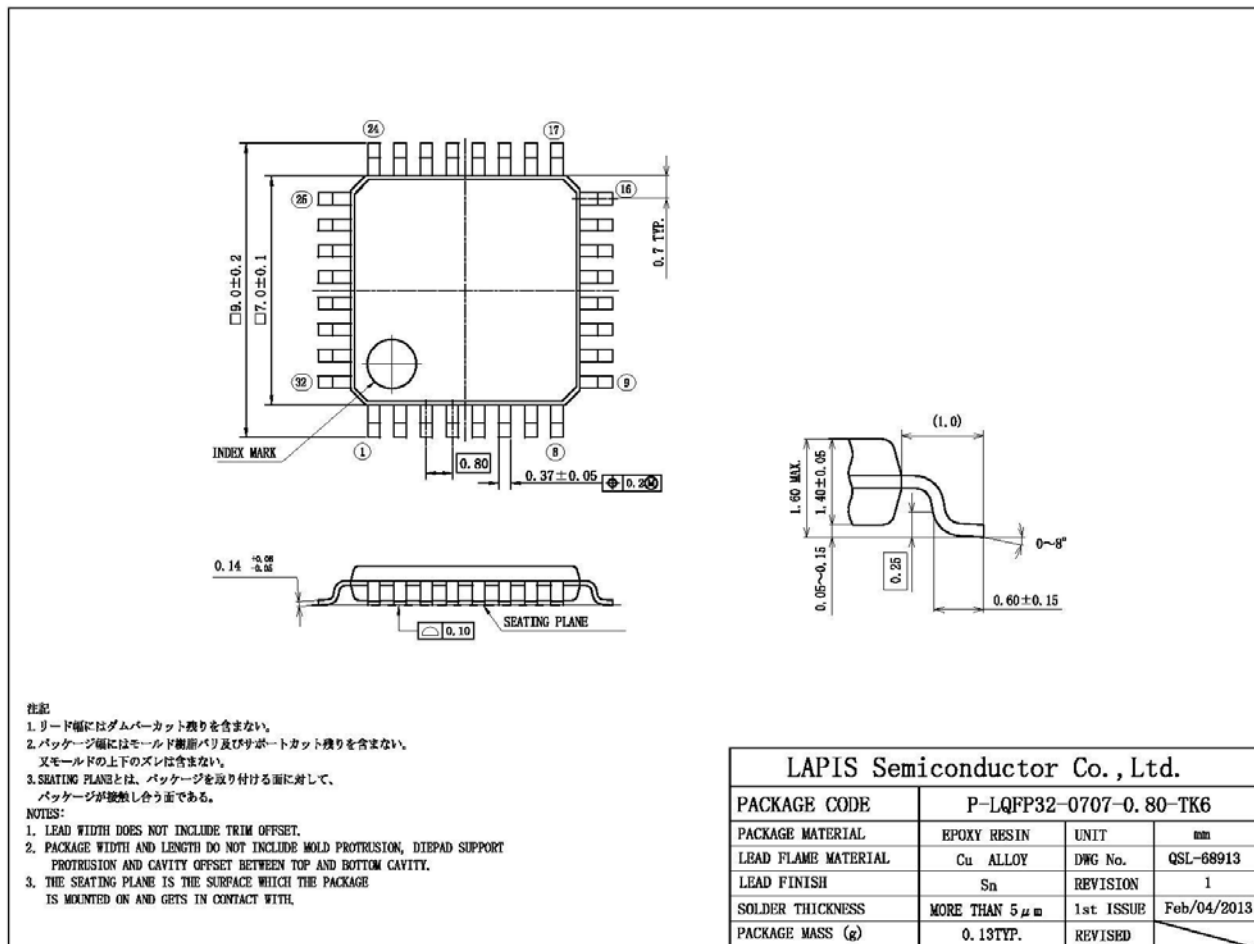


図 5 LQFP32 パッケージ外形図

表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q111-01	2013.9.25	—	—	初版発行
FJDL610Q111-02	2015.4.3	15	15	以下の記述を追記 「*2：出荷時の保証値です。」
				以下の項目を削除 「パワーオンリセット発生電源立上り時間 T _{POR} 」
				以下の項目を追記 「パワーオンリセット発生電源立ち上がり傾き ΔV/ΔT」
		23	23	ご注意の内容を更新
FJDL610Q111-03	2017.5.15	1 2 3	1 2 3	概要、特長の説明の変更および追加
		3	3	タイマの「オートリロードタイマモード」を「連続モード」に名称変更。「ワンショットタイマモード」を「ワンショットモード」に名称変更
		11	11	書き換え回数に関する補足*1 に説明を追加
		15	15	誤記訂正 PLL 発振周波数に関する補足 (誤)1024 クロックの平均 (正)2048 クロックの平均
		15	15	リセット有効パルス幅およびリセットノイズ除去 パルス幅に関する補足*1 を追加

ご注意

- 1)本資料の記載内容は改良などのため予告なく変更することがあります。
- 2)ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3)本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4)本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5)本製品は、一般的な電子機器(AV 機器, OA 機器, 通信機器, 家電製品, アミューズメント機器など)および本資料に明示した用途への使用を意図しています。
- 6)本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7)本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
・輸送機器(車載, 船舶, 鉄道など), 幹線用通信機器, 交通信号機器, 防災・防犯装置, 安全確保のための装置, 医療機器, サーバー, 太陽電池, 送電システム
- 8)本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器, 原子力制御機器, 海底中継機器
- 9)本資料の記載に従わないために生じたいかなる事故, 損害もラピスセミコンダクタはその責任を負うものではありません。
- 10)本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11)本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12)本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」, 「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13)本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2013 - 2017 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>