

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML610Q172/ML610Q173

家電向け 5V 対応タイプ LCDドライバ搭載 ローパワーマイクロコントローラ

■ 概要

本 LSI は、8 ビット CPU nX-U8/100 を搭載し、10 ビット逐次比較型 A/D コンバータ、タイマ、PWM、同期式シリアルポート、UART、I²C バスインタフェース(マスタ)、電源電圧検出回路、LCD ドライバ等、多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。

CPU nX-U8/100 は、3 段パイプラインアーキテクチャによる並列処置をすることで 1 命令 1 クロックの効率的な命令実行が可能です。

さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

■ 特長

- CPU
 - RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100 Core:Large)
 - 命令体系:16 ビット長命令
 - 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
 - オンチップデバッグ機能を内蔵
 - 最小命令実行時間
 - 約 30.5μs (@32.768kHz システムクロック)
 - 約 0.122μs (@8.192MHz システムクロック) @V_{DD}=2.2~5.5V
- 内部メモリ
 - 128K バイトのフラッシュ ROM (64K×16 ビット) を内蔵 (使用不可のテスト領域 1K バイトを含む)
 - 2K バイト (1K バイト×2) のフラッシュ ROM を内蔵 (セルフ書き換え可能な領域)
 - 4K バイトの RAM (4096×8 ビット) を内蔵
- 割込みコントローラ
 - ノンマスカブル割込み 1 要因 (内部要因:1)
 - マスカブル割込み 24 要因 (内部要因:20、外部要因:4):ML610Q172
 - マスカブル割込み 26 要因 (内部要因:22、外部要因:4):ML610Q173
- タイムベースカウンタ
 - 低速側タイムベースカウンタ×1ch
 - 高速側タイムベースカウンタ×1ch
- ウォッチドッグタイマ
 - オーバフロー1 回目はノンマスカブル割り込み、2 回目はシステムリセット
 - フリーラン
 - オーバフロー周期選択可能:4 種 (125ms,500ms,2s,8s)
- タイマ
 - 8 ビット×6ch (16bit 構成も可能)
- PWM
 - 分解能 16 ビット×3ch (IGBT control)

- 同期式シリアルポート×2ch
 - マスタ/スレーブ選択可能
 - LSB/MSB ファースト選択可能
 - 8ビット/16ビット長選択可能
- UART
 - 半二重通信
 - TXD/RXD×2ch
 - ビット長、パリティ有無、奇数/偶数パリティ、1/2 ストップビット
 - 正/負論理選択可
 - ボーレートジェネレータ内蔵
- I²C バスインタフェース
 - マスタ機能のみ
 - ファーストモード(400kbps@8MHz)、標準モード(100kbps@8MHz)
- 逐次比較型 A/D コンバータ
 - 10ビット A/D コンバータ
 - 入力 12ch(最大):ML610Q172
 - 入力 8ch(最大):ML610Q173
 - 変換時間:12.75us/1ch
- アナログコンパレータ(ML610Q173 のみ)
 - 2ch
 - 割り込みエッジ、サンプリング有無が選択可能
- 汎用ポート 45(最大)
 - 入力専用ポート×6ch
 - 出力専用ポート×2ch(2 次機能含む)
 - 入出力ポート×15ch(2 次機能含む)
 - 入出力ポート×22ch(LCD ドライバとの選択含む)
- LCD ドライバ
 - 最大 96ドット(24seg×4com)、1/1～1/4 デューティ
 - フレーム周波数選択(約 64Hz, 約 73Hz, 約 85Hz, 約 102Hz, 約 32Hz, 約 128Hz, 約 171Hz, 約 256Hz)
 - LCD 停止、LCD 表示、全点灯、全消灯モード選択
 - LCD 駆動電圧生成:外付け分割抵抗、内蔵の分割抵抗を選択
- 電源電圧検出機能(BLD)
 - 判定電圧:4 値から 1 つを選択
 - 判定精度:±2% (Typ.)
- リセット
 - RESET_N 端子リセット
 - WDT オーバフローによる検出リセット
- クロック
 - 低速側クロック
 - 水晶発振(32.768kHz)、内蔵 RC 発振(32.7kHz)
 - 高速側クロック
 - 内蔵 PLL 発振(8.192MHz/8MHz)、水晶/セラミック発振(8MHz)、外部クロック入力

- パワーマネジメント
 - HALT モード: CPU の命令実行中断 (周辺回路は動作状態)
 - STOP モード: 低速発振、および高速発振の停止 (CPU および周辺回路は動作を停止)
 - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/1、1/2、1/4、1/8)
 - ブロック制御機能: 使用しない機能ブロック回路の動作をパワーダウン (レジスタリセット&クロック停止)
- 出荷形態
 - 64 ピン QFP (QFP64-P-1414-0.80)
 - ML610Q172-xxxGA (ブランク品: ML610Q172-NNNGA) xxx: ROM コード番号
 - ML610Q173-xxxGA (ブランク品: ML610Q173-NNNGA) xxx: ROM コード番号
- 動作保証範囲
 - 動作温度: -40℃～85℃
 - 動作電圧: $V_{DD} = 2.2V \sim 5.5V$ 、 $V_{REF} = 4.5V \sim 5.5V$

本 LSI の 80 ピン版として ML610Q174 が存在します。ML610Q174 と ML610Q172/ML610Q173 の差異点を以下に示します。ML610Q174 の詳細は、『ML610Q174 ユーザーズマニュアル』を参照ください。

ML610Q174 / ML610Q172 / ML610Q173 の差異

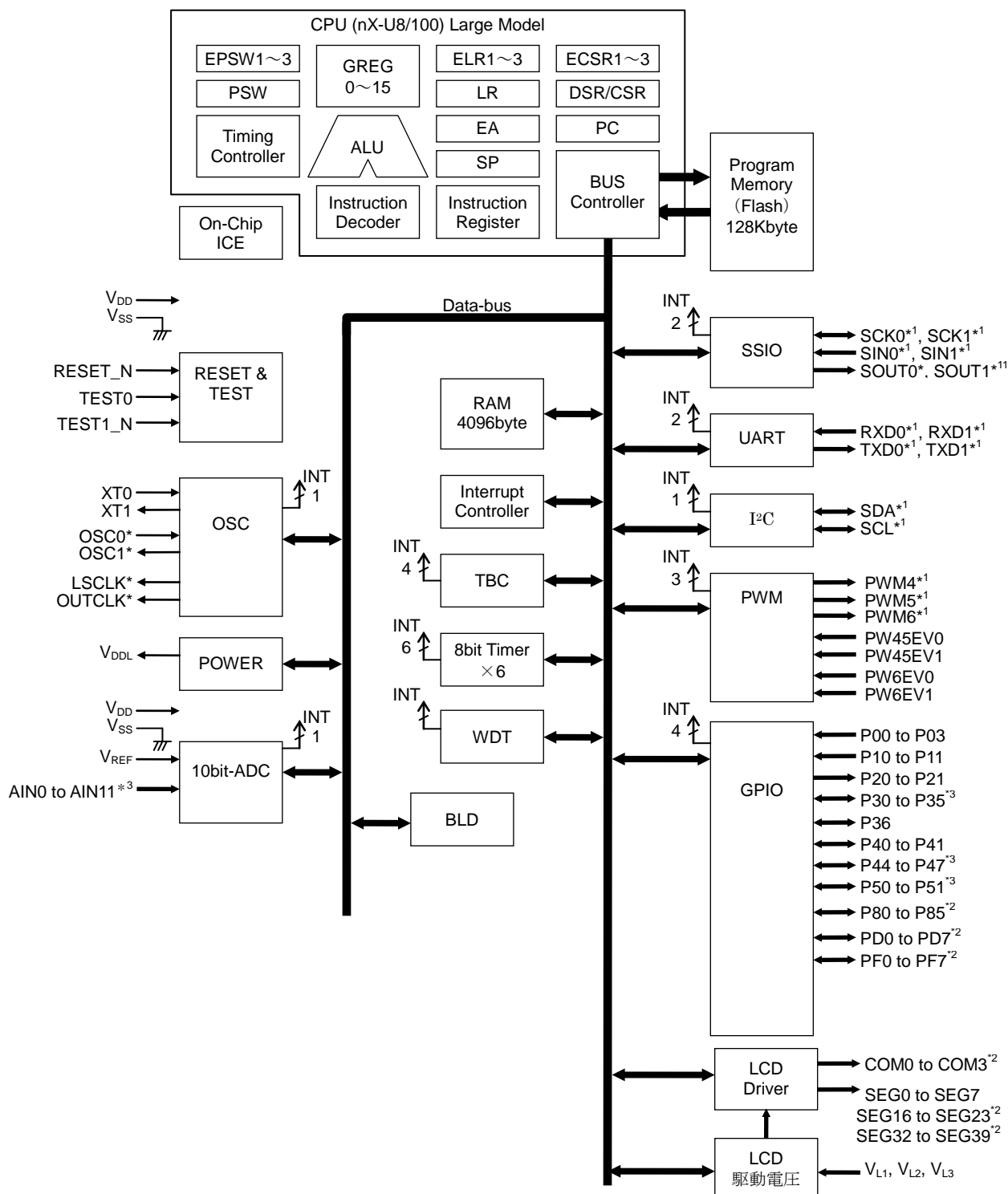
機能	ML610Q174	ML610Q172	ML610Q173
出荷形態	80 ピン QFP	64 ピン QFP	64 ピン QFP
逐次比較 AD コンバータ	12ch	12ch	8ch
アナログコンパレータ	● (2ch)	—	● (2ch)
マスカブル割込み	26	24 ^{*1}	26
LCD ドライバ	32seg x 4com	24seg x 4com	24seg x 4com
出力専用ポート	6	2	2
P22, P23 端子	●	—	—
P90, P91 端子	●	—	—
入出力ポート	19	15	15
P34, P35 端子	●	●	—
P50, P51 端子	●	●	—
P42, P43 端子	●	—	●
P52, P53 端子	●	—	●
入出力ポート (LCD ドライバとの選択含む)	30	22	22
PC0～PC7 端子	●	—	—

●: 有り、—: 無し

^{*1}: アナログコンパレータ割込み: 2 要因分の差

■ 機能ブロック構成

● ML610Q172 ブロック図



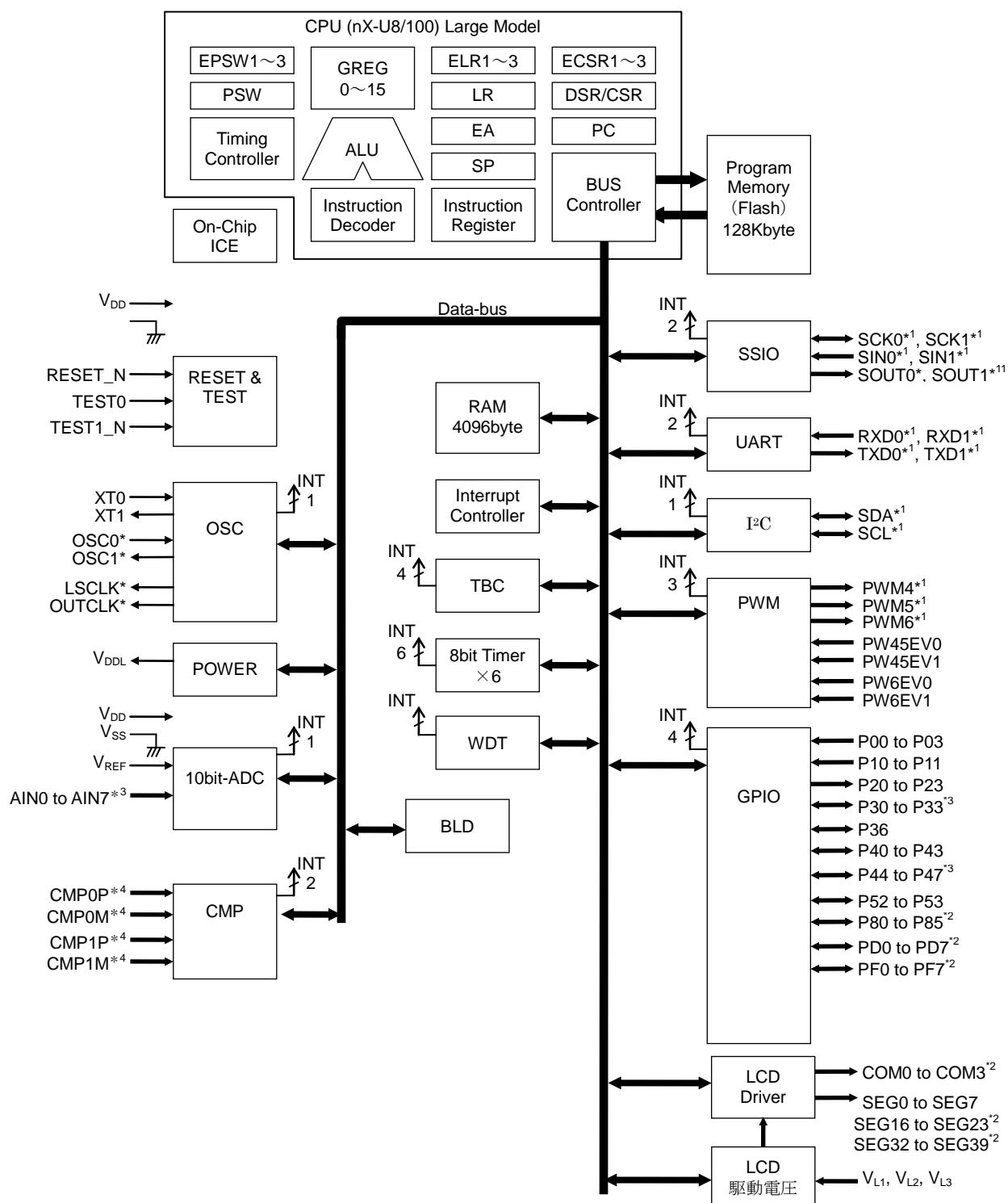
*1 2次機能もしくは3次機能

*2 I/OポートかLCDドライバを選択

*3 I/OポートかA/Dコンバータ入力端子を選択

ML610Q172 ブロック図

● ML610Q173 ブロック図



* 1 2 次機能もしくは 3 次機能

* 2 I/O ポートか LCD ドライバを選択

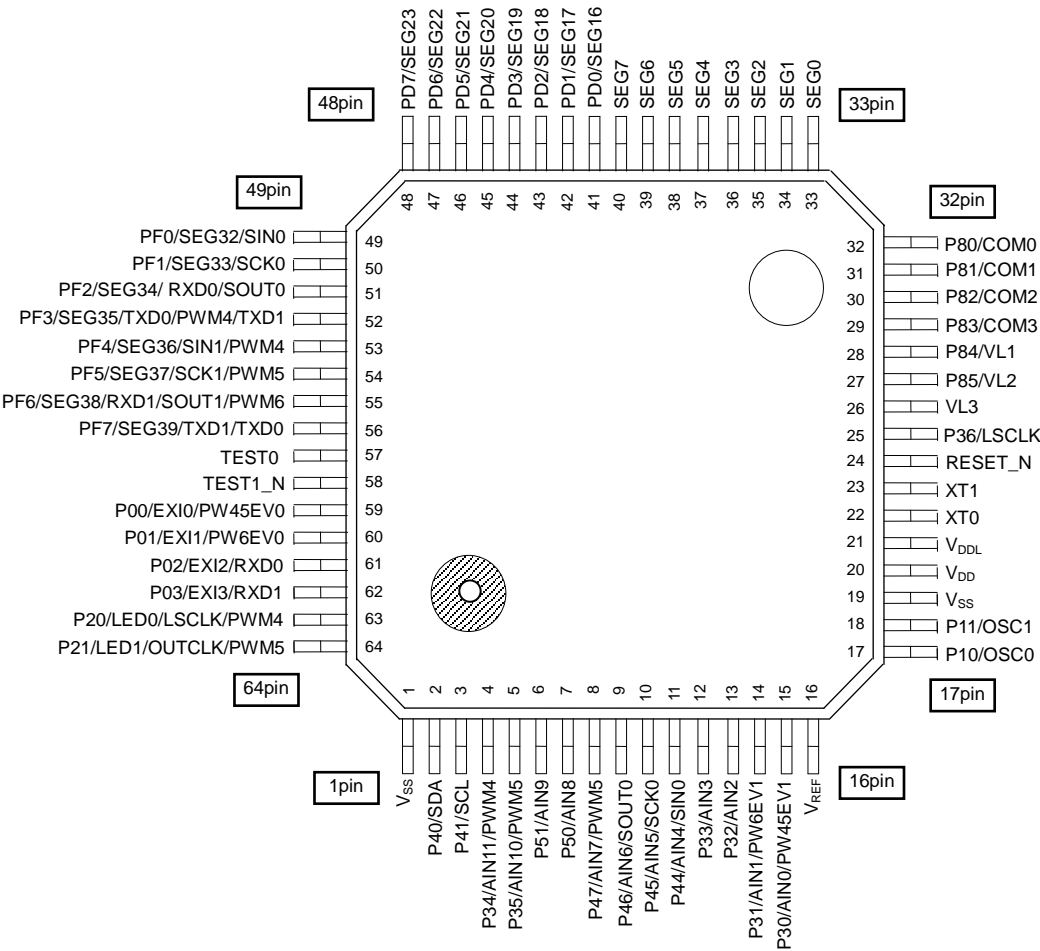
* 3 I/O ポートか A/D コンバータ入力端子を選択

* 4 I/O ポートかアナログコンパレータ入力端子を選択

ML610Q173 ブロック図

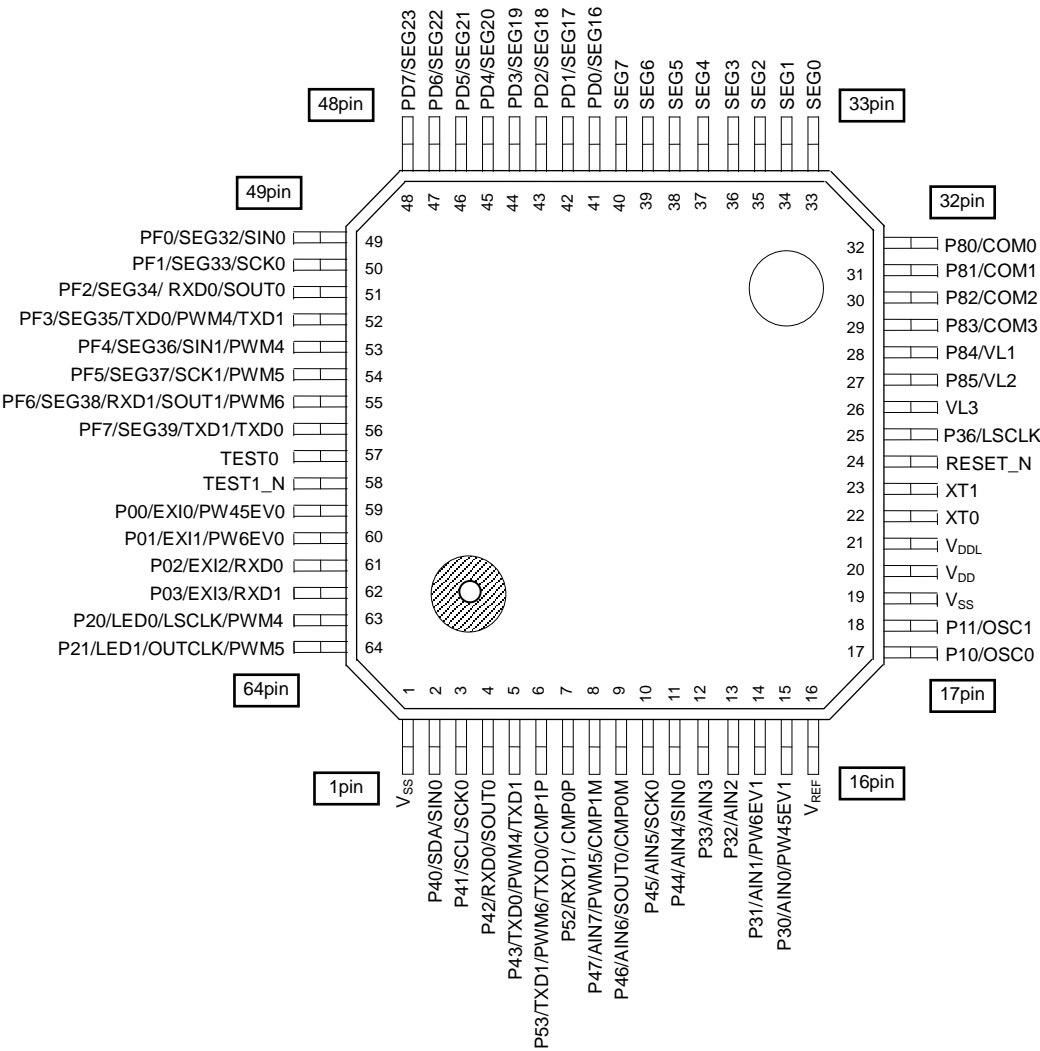
■ 端子配置

● ML610Q172 QFP パッケージの端子配置図



ML610Q172 パッケージ品端子配置図

● ML610Q173 QFP パッケージの端子配置図



ML610Q173 パッケージ品端子配置図

■ 端子一覧

下表に端子一覧を示します。

I/O 欄の “—” は電源端子、“I” は入力端子、“O” は出力端子、“I/O” は入出力端子を示します。

ML610Q172 / ML610Q173 : 端子一覧(1/3)

ピン No.	1 次機能			2 次機能			3 次機能		
	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
1,19	V _{SS}	—	マイナス側電源端子	—	—	—	—	—	—
20	V _{DD}	—	プラス側電源端子	—	—	—	—	—	—
21	V _{DDL}	—	内部ロジック用電源端子 (内部発生)	—	—	—	—	—	—
26	V _{L3}	—	LCDドライバ用電源端子	—	—	—	—	—	—
57	TEST0	I/O	テスト用入出力端子	—	—	—	—	—	—
58	TEST1_N	I	テスト用入力端子	—	—	—	—	—	—
24	RESET_N	I	リセット入力端子	—	—	—	—	—	—
22	XT0	I	低速クロック発振端子	—	—	—	—	—	—
23	XT1	O	低速クロック発振端子	—	—	—	—	—	—
16	V _{REF}	—	逐次比較型 ADC 用リファ レンス電源端子	—	—	—	—	—	—
59	P00/EXI0/ PW45EV0	I	入力ポート、 外部割込み、 PW45EV0 入力	—	—	—	—	—	—
60	P01/EXI1/ PW6EV0	I	入力ポート、 外部割込み PW6EV0 入力	—	—	—	—	—	—
61	P02/EXI2/ RXD0	I	入力ポート、 外部割込み、 UART0 データ入力	—	—	—	—	—	—
62	P03/EXI3/ RXD1	I	入力ポート、 外部割込み、 UART1 データ入力	—	—	—	—	—	—
17	P10	I	入力ポート	OSC0	I	高速クロック発振端子	—	—	—
18	P11	I	入力ポート	OSC1	O	高速クロック発振端子	—	—	—
63	P20/ LED0	O	出力ポート、LED 駆動	LSCLK	O	低速クロック出力	PWM4	O	PWM4 出力
64	P21/ LED1	O	出力ポート、LED 駆動	OUTCLK	O	高速クロック出力	PWM5	O	PWM5 出力
15	P30/ PW45EV1/ AIN0	I/O	入出力ポート PW45EV1 入力 逐次比較型 ADC 入力	—	—	—	—	—	—
14	P31/ PW6EV1 /AIN1	I/O	入出力ポート PW6EV1 入力 逐次比較型 ADC 入力	—	—	—	—	—	—
13	P32/ AIN2	I/O	入出力ポート 逐次比較型 ADC 入力	—	—	—	—	—	—
12	P33/ AIN3	I/O	入出力ポート 逐次比較型 ADC 入力	—	—	—	—	—	—
25	P36	I/O	入出力ポート	LSCLK	O	低速クロック出力	—	—	—
11	P44/ T0P4CK/ AIN4	I/O	入出力ポート、 タイマ 0 外部クロック入力 PMW4 外部クロック入力 逐次比較型 ADC 入力	—	—	—	SIN0	I	SSIO0 データ入力
10	P45/ T1P5CK/ AIN5	I/O	入出力ポート、 タイマ 1 外部クロック入力 PMW5 外部クロック入力 逐次比較型 ADC 入力	—	—	—	SCK0	I/O	SSIO0 同期クロック入 出力

ML610Q172 / ML610Q173 : 端子一覧(2/3)

ピン No	1 次機能			2 次機能			3 次機能			4 次機能		
	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
32	P80/ COM0	I/O	入出力ポート LCD コモン端子	—	—	—	—	—	—	—	—	—
31	P81/ COM1	I/O	入出力ポート LCD コモン端子	—	—	—	—	—	—	—	—	—
30	P82/ COM2	I/O	入出力ポート LCD コモン端子	—	—	—	—	—	—	—	—	—
29	P83/ COM3	I/O	入出力ポート LCD コモン端子	—	—	—	—	—	—	—	—	—
28	P84/ VL1	I/O	入出力ポート LCD ドライバ用電 源端子	—	—	—	—	—	—	—	—	—
27	P85/ VL2	I/O	入出力ポート LCD ドライバ用電 源端子	—	—	—	—	—	—	—	—	—
33	SEG0	O	LCD セグメント端子	—	—	—	—	—	—	—	—	—
34	SEG1	O	LCD セグメント端子	—	—	—	—	—	—	—	—	—
35	SEG2	O	LCD セグメント端子	—	—	—	—	—	—	—	—	—
36	SEG3	O	LCD セグメント端子	—	—	—	—	—	—	—	—	—
37	SEG4	O	LCD セグメント端子	—	—	—	—	—	—	—	—	—
38	SEG5	O	LCD セグメント端子	—	—	—	—	—	—	—	—	—
39	SEG6	O	LCD セグメント端子	—	—	—	—	—	—	—	—	—
40	SEG7	O	LCD セグメント端子	—	—	—	—	—	—	—	—	—
41	PD0/ SEG16	I/O	入出力ポート LCD セグメント端子	—	—	—	—	—	—	—	—	—
42	PD1/ SEG17	I/O	入出力ポート LCD セグメント端子	—	—	—	—	—	—	—	—	—
43	PD2/ SEG18	I/O	入出力ポート LCD セグメント端子	—	—	—	—	—	—	—	—	—
44	PD3/ SEG19	I/O	入出力ポート LCD セグメント端子	—	—	—	—	—	—	—	—	—
45	PD4/ SEG20	I/O	入出力ポート LCD セグメント端子	—	—	—	—	—	—	—	—	—
46	PD5/ SEG21	I/O	入出力ポート LCD セグメント端子	—	—	—	—	—	—	—	—	—
47	PD6/ SEG22	I/O	入出力ポート LCD セグメント端子	—	—	—	—	—	—	—	—	—
48	PD7/ SEG23	I/O	入出力ポート LCD セグメント端子	—	—	—	—	—	—	—	—	—
49	PF0/ SEG32	I/O	入出力ポート LCD セグメント端子	—	—	—	SIN0	I	SSIO0 データ入力	—	—	—
50	PF1/ SEG33	I/O	入出力ポート LCD セグメント端子	—	—	—	SCK0	I/O	SSIO0 同期クロック 入出力	—	—	—
51	PF2/ SEG34	I/O	入出力ポート LCD セグメント端子	RXD0	I	UART0 データ入力	SOUT0	O	SSIO0 データ出力	—	—	—
52	PF3/ SEG35	I/O	入出力ポート LCD セグメント端子	TXD0	O	UART0 データ出力	PWM4	O	PWM4 出力	TXD1	O	UART1 データ出力
53	PF4/ SEG36	I/O	入出力ポート LCD セグメント端子	—	—	—	SIN1	I	SSIO1 データ入力	PWM4	O	PWM4 出力
54	PF5/ SEG37	I/O	入出力ポート LCD セグメント端子	—	—	—	SCK1	I/O	SSIO1 同期クロック 入出力	PWM5	O	PWM5 出力
55	PF6/ SEG38	I/O	入出力ポート LCD セグメント端子	RXD1	I	UART1 データ入力	SOUT1	O	SSIO1 データ出力	PWM6	O	PWM6 出力
56	PF7/ SEG39	I/O	入出力ポート LCD セグメント端子	TXD1	O	UART1 データ出力	—	—	—	TXD0	O	UART0 データ出力

ML610Q172 : 端子一覧(3/3)

ピン No	1 次機能			2 次機能			3 次機能			4 次機能		
	端子名	I/O	機能	機能	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
2	P40	I/O	入出力ポート	SDA	I/O	I ² C 用データ 入出力	—	—	—	—	—	—
3	P41	I/O	入出力ポート	SCL	I/O	I ² C 用クロック 入出力	—	—	—	—	—	—
4	P34/ AIN11	I/O	入出力ポート 逐次比較型 ADC 入力	—	—	—	PWM4	O	PWM4 出力	—	—	—
5	P35/ AIN10	I/O	入出力ポート 逐次比較型 ADC 入力	—	—	—	PWM5	O	PWM5 出力	—	—	—
6	P51/ AIN9	I/O	入出力ポート 逐次比較型 ADC 入力	—	—	—	—	—	—	—	—	—
7	P50/ AIN8	I/O	入出力ポート 逐次比較型 ADC 入力	—	—	—	—	—	—	—	—	—
8	P47/ T9BCK/ AIN7	I/O	入出力ポート、 タイマ 9,B 外部 クロック入力 逐次比較型 ADC 入力	—	—	—	PWM5	O	PWM5 出力	—	—	—
9	P46/ T8AP6CK/ AIN6	I/O	入出力ポート、 タイマ 8,A 外部 クロック入力 PWM6 外部クロ ック入力 逐次比較型 ADC 入力	—	—	—	SOUT0	O	SSIO0 データ 出力	—	—	—

ML610Q173 : 端子一覧(3/3)

ピン No	1 次機能			2 次機能			3 次機能			4 次機能		
	端子名	I/O	機能	機能	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
2	P40	I/O	入出力ポート	SDA	I/O	I ² C 用データ 入出力	SIN0	I	SSIO0 データ 入力	—	—	—
3	P41	I/O	入出力ポート	SCL	I/O	I ² C 用クロック 入出力	SCK0	I/O	SSIO0 同期ク ロック入出力	—	—	—
4	P42	I/O	入出力ポート	RXD0	I	UART0 デー タ入力	SOUT0	O	SSIO0 データ 出力	—	—	—
5	P43	I/O	入出力ポート	TXD0	O	UART0 デー タ出力	PWM4	O	PWM4 出力	TXD1	O	UART1 デー タ出力
6	P53/ CMP1P	I/O	入出力ポート アナログコンパ レータ 1 非反転 入力	TXD1	O	UART1 デー タ出力	PWM6	O	PWM6 出力	TXD0	O	UART0 デー タ出力
7	P52/ CMP0P	I/O	入出力ポート アナログコンパ レータ 0 非反転 入力	RXD1	I	UART1 デー タ入力	—	—	—	—	—	—
8	P47/ T9BCK/ AIN7/ CMP1M	I/O	入出力ポート、 タイマ 9,B 外部 クロック入力 逐次比較型 ADC 入力 アナログコンパ レータ 1 反転 入力	—	—	—	PWM5	O	PWM5 出力	—	—	—
9	P46/ T8AP6CK/ AIN6/ CMP0M	I/O	入出力ポート、 タイマ 8,A 外部 クロック入力 PWM6 外部クロ ック入力 逐次比較型 ADC 入力 アナログコンパ レータ 0 反転 入力	—	—	—	SOUT0	O	SSIO0 データ 出力	—	—	—

■ 端子説明

下表に端子説明を示します。

I/O 欄の “—” は電源端子、“I” は入力端子、“O” は出力端子、“I/O” は入出力端子を示します。

端子説明(1/4)

端子名	I/O	説 明	1 次/ 2 次	論 理
電源				
V _{SS}	—	マイナス側電源端子	—	—
V _{DD}	—	プラス側電源端子	—	—
V _{DDL}	—	内部ロジック用電源端子(内部発生) V _{SS} との間にコンデンサ C _L (測定回路 1 参照)を接続します。	—	—
V _{L1}	—	LCDドライバ用電源端子。P84 の 1 次機能に割り付けられています。	—	—
V _{L2}	—	LCDドライバ用電源端子。P85 の 1 次機能に割り付けられています。	—	—
V _{L3}	—	LCDドライバ用電源端子。	—	—
テスト				
TEST0	I/O	テスト用入出力端子。プルダウン抵抗が内蔵されています。	—	正
TEST1_N	I/O	テスト用入力端子。プルアップ抵抗が内蔵されています。	—	負
システム				
RESET_N	I	リセット入力端子です。この端子を”L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を”H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	—	負
XT0	I	低速クロック用水晶振動子接続端子です。	—	—
XT1	O	32.768kHz 水晶振動子(測定回路 1 参照)を接続し、必要に応じ V _{SS} との間にコンデンサ C _{DL} , C _{GL} を接続します。	—	—
OSC0	I	高速クロック用水晶振動子接続端子です。	—	—
OSC1	O	8MHz 水晶振動子(測定回路 1 参照)を接続し、必要に応じ V _{SS} との間にコンデンサ C _{DH} , C _{GH} を接続します。	—	—
LSCLK	O	低速クロック出力です。P20 端子、P36 端子の 2 次機能に割り付けられています。	2 次	—
OUTCLK	O	高速クロック出力です。P21 端子の 2 次機能に割り付けられています。	2 次	—
汎用入力ポート				
P00～P03	I	汎用入力ポートです。	1 次	正
P10～P11	I			
汎用出力ポート				
P20～P21	O	汎用出力ポート。2 次機能を使用する場合、ポートとして使用できません。	1 次	正
汎用入出力ポート(ML610Q172)				
P30～P36	I/O	汎用入出力ポート。2 次機能を使用する場合、ポートとして使用できません。	1 次	正
P40～P41				
P44～P47				
P50～P51				
P80～P85				
PD0～PD7		汎用入出力ポート。 セグメント出力端子として使用する場合は、ポートとして使用できません。		
PF0～PF7				
汎用入出力ポート(ML610Q173)				
P30～P33, P36	I/O	汎用入出力ポート。2 次機能を使用する場合、ポートとして使用できません。	1 次	正
P40～P47				
P52～P53				
P80～P85				
PD0～PD7		汎用入出力ポート。 セグメント出力端子として使用する場合は、ポートとして使用できません。		
PF0～PF7				

端子説明(2/4)

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論 理
UART (ML610Q172)				
TXD0	O	UART0 データ出力端子です。 PF3 端子の 2 次機能および PF7 端子の 4 次機能に割り付けられています。	2 次	正
RXD0	I	UART0 データ入力端子です。 PF2 端子の 2 次機能および P02 の 1 次機能に割り付けられています。	2 次	正
TXD1	O	UART1 データ出力端子です。 PF7 端子の 2 次機能および PF3 端子の 4 次機能に割り付けられています。	2 次	正
RXD1	I	UART1 データ入力端子です。 PF6 端子の 2 次機能および P03 端子の 1 次機能に割り付けられています。	2 次	正
UART (ML610Q173)				
TXD0	O	UART0 データ出力端子です。 P43 端子、PF3 端子の 2 次機能および P53 端子、PF7 端子の 4 次機能に割り付けられています。	2 次	正
RXD0	I	UART0 データ入力端子です。 P42 端子、PF2 端子の 2 次機能および P02 の 1 次機能に割り付けられています。	2 次	正
TXD1	O	UART1 データ出力端子です。 P53 端子、PF7 端子の 2 次機能および P43 端子、PF3 端子の 4 次機能に割り付けられています。	2 次	正
RXD1	I	UART1 データ入力端子です。 P52 端子、PF6 端子の 2 次機能および P03 端子の 1 次機能に割り付けられています。	2 次	正
I ² C バスインタフェース				
SDA	I/O	I ² C データ入出力用 NMOS オープンドレイン端子です。P40 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
SCL	I/O	I ² C クロック入出力用 NMOS オープンドレイン端子です。P41 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
同期シリアル (SSIO)				
SIN0	I	同期シリアルデータ入力端子です。 ML610Q172 は P44 端子および PF0 端子の 3 次機能に割り付けられています。 ML610Q173 は P40 端子、P44 端子および PF0 端子の 3 次機能に割り付けられています。	3 次	正
SCK0	I/O	同期シリアルクロック入出力端子です。 ML610Q172 は P45 端子および PF1 端子の 3 次機能に割り付けられています。 ML610Q173 は P41 端子、P45 端子および PF1 端子の 3 次機能に割り付けられています。	3 次	—
SOUT0	O	同期シリアルデータ出力端子です。 ML610Q172 は P46 端子および PF2 端子の 3 次機能に割り付けられています。 ML610Q173 は P42 端子、P46 端子および PF2 端子の 3 次機能に割り付けられています。	3 次	正
SIN1	I	同期シリアルデータ入力端子です。PF4 端子の 3 次機能に割り付けられています。	3 次	正
SCK1	I/O	同期シリアルクロック入出力端子です。PF5 端子の 3 次機能に割り付けられています。	3 次	—
SOUT1	O	同期シリアルデータ出力端子です。PF6 端子の 3 次機能に割り付けられています。	3 次	正

端子説明(3/4)

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論 理
PWM (ML610Q172)				
PWM4	O	PWM4 出力端子です。 P34 端子、P20 端子、PF3 端子および PF4 端子の 3 次機能に割り付けられています。	3 次	正
PWM5	O	PWM5 出力端子です。 P35 端子、P47 端子、P21 端子および PF5 端子の 3 次機能に割り付けられています。	3 次	正
PWM6	O	PWM6 出力端子です。 PF6 端子の 3 次機能に割り付けられています。	3 次	正
T0P4CK	I	タイマ 0、PWM4 の外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
T1P5CK	I	タイマ 1、PWM5 の外部クロック入力端子です。P45 端子の 1 次機能に割り付けられています。	1 次	—
T8AP6CK	I	タイマ 8、タイマ A、PWM6 の外部クロック入力端子です。P46 端子の 1 次機能に割り付けられています。	1 次	—
PW45EV0 PW45EV1	I	PWM4、PWM5 をスタート/ストップ/クリア制御する入力端子です。 P00 端子の 1 次機能および P30 端子の 1 次機能に割り付けられています。	1 次	—
PW6EV0 PW6EV1	I	PWM6 をスタート/ストップ/クリア制御する入力端子です。 P01 端子の 1 次機能および P31 端子の 1 次機能に割り付けられています。	1 次	—
PWM (ML610Q173)				
PWM4	O	PWM4 出力端子です。 P43 端子、P20 端子、PF3 端子および PF4 端子の 3 次機能に割り付けられています。	3 次	正
PWM5	O	PWM5 出力端子です。 P47 端子、P21 端子および PF5 端子の 3 次機能に割り付けられています。	3 次	正
PWM6	O	PWM6 出力端子です。 P53 端子および PF6 端子の 3 次機能に割り付けられています。	3 次	正
T0P4CK	I	タイマ 0、PWM4 の外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
T1P5CK	I	タイマ 1、PWM5 の外部クロック入力端子です。P45 端子の 1 次機能に割り付けられています。	1 次	—
T8AP6CK	I	タイマ 8、タイマ A、PWM6 の外部クロック入力端子です。P46 端子の 1 次機能に割り付けられています。	1 次	—
PW45EV0 PW45EV1	I	PWM4、PWM5 をスタート/ストップ/クリア制御する入力端子です。 P00 端子の 1 次機能および P30 端子の 1 次機能に割り付けられています。	1 次	—
PW6EV0 PW6EV1	I	PWM6 をスタート/ストップ/クリア制御する入力端子です。 P01 端子の 1 次機能および P31 端子の 1 次機能に割り付けられています。	1 次	—

端子説明(4/4)

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論 理
外部割込				
EXI0～3	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P00～P03 端子の 1 次機能に割り付けられています。	1 次	正/ 負
タイマ				
T0P4CK	I	タイマ 0、PWM4 の外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
T1P5CK	I	タイマ 1、PWM5 の外部クロック入力端子です。P45 端子の 1 次機能に割り付けられています。	1 次	—
T8AP6CK	I	タイマ 8、タイマ A、PWM6 の外部クロック入力端子です。P46 端子の 1 次機能に割り付けられています。	1 次	—
T9BCK	I	タイマ 9、タイマ B の外部クロック入力端子です。P47 端子の 1 次機能に割り付けられています。	1 次	—
LED 駆動				
LED0～1	O	LED 駆動端子です。 P20～P21 端子の 1 次機能に割り付けられています。	1 次	正/ 負
逐次比較型 A/D コンバータ (ML610Q172)				
V _{REF}	—	逐次比較型 A/D コンバータ用リファレンス電源端子です。	—	—
AIN0～AIN11	I	逐次比較型 A/D コンバータのアナログ入力です。 P30～P35 端子、P44～P47 端子、P50～P51 端子の 1 次機能に割り付けられています。	—	—
逐次比較型 A/D コンバータ (ML610Q173)				
V _{REF}	—	逐次比較型 A/D コンバータ用リファレンス電源端子です。	—	—
AIN0～AIN7	I	逐次比較型 A/D コンバータのアナログ入力です。 P30～P33 端子、P44～P47 端子の 1 次機能に割り付けられています。	—	—
アナログコンパレータ (ML610Q173)				
CMP0P	I	コンパレータ 0 の非反転入力です。P52 の 1 次機能に割り付けられています。	—	—
CMP0M	I	コンパレータ 0 の反転入力です。P46 の 1 次機能に割り付けられています。	—	—
CMP1P	I	コンパレータ 1 の非反転入力です。P53 の 1 次機能に割り付けられています。	—	—
CMP1M	I	コンパレータ 1 の反転入力です。P47 の 1 次機能に割り付けられています。	—	—
LCD 駆動信号				
COM0～COM3	O	LCD ドライバーのコモン端子です。P80～P83 の 1 次機能に割り付けられています。	—	—
SEG0～SEG7 SEG16～SEG23 SEG32～SEG39	O	LCD ドライバーのセグメント端子です。 PD0～PD7 端子、PF0～PF7 端子の 1 次機能に割り付けられています。	—	—

■ 未使用端子の処理

下表に未使用端子の処理方法を示します。

未使用端子の処理

端子	商品名	推奨端子処理
RESET_N	— ^{*1}	オープン
TEST0	— ^{*1}	オープン
TEST1_N	— ^{*1}	オープン
V _{REF}	— ^{*1}	V _{DD}
VL3	— ^{*1}	オープン
P00～P03	— ^{*1}	V _{DD} または V _{SS}
P10～P11	— ^{*1}	V _{DD} または V _{SS}
P20～P21	— ^{*1}	オープン
P30～P33 (AIN0～3)	— ^{*1}	オープン
P34～P35 (AIN11,10)	ML610Q172	オープン
P36	— ^{*1}	オープン
P40～P41	— ^{*1}	オープン
P42～P43	ML610Q173	オープン
P44～P47 (AIN4～7)	— ^{*1}	オープン
P50～P51 (AIN8～9)	ML610Q172	オープン
P52～P53	ML610Q173	オープン
P80～P85	— ^{*1}	オープン
SEG0～7	— ^{*1}	オープン
PD0～PD7 (SEG16～23)	— ^{*1}	オープン
PF0～PF7 (SEG32～39)	— ^{*1}	オープン

^{*1}: ML610Q172、ML610Q173 共通

【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

■ 電気的特性

● 絶対最大定格

(V_{SS}=0V)

項 目	記 号	条 件	定 格 値	単位
電源電圧 1	V _{DD}	Ta=25°C	-0.3~+7.0	V
電源電圧 2	V _{DDL}	Ta=25°C	-0.3~+3.6	V
電源電圧 3	V _{L1}	Ta=25°C	-0.3~+2.33	V
電源電圧 4	V _{L2}	Ta=25°C	-0.3~+4.66	V
電源電圧 5	V _{L3}	Ta=25°C	-0.3~+7.0	V
リファレンス電圧	V _{REF}	Ta=25°C	-0.3~V _{DD} +0.3	V
アナログ入力電圧	V _{AI}	Ta=25°C	-0.3~V _{DD} +0.3	V
入力電圧	V _{IN}	Ta=25°C	-0.3~V _{DD} +0.3	V
出力電圧	V _{OUT}	Ta=25°C	-0.3~V _{DD} +0.3	V
出力電流 1	I _{OUT1}	ポート 3,4,5,8,D,F 系、Ta=25°C	-12~+11	mA
出力電流 2	I _{OUT2}	ポート 2 系、Ta=25°C	-12~+20	mA
許容損失	PD	Ta=25°C	1	W
保存温度	T _{STG}	—	-55~+150	°C

● 推奨動作条件

(V_{SS}=0V)

項 目	記 号	条 件	範 囲	単位
動作温度	T _{OP}	—	-40~+85	°C
動作電圧	V _{DD}	—	2.2~5.5	V
リファレンス電圧	V _{REF}	—	4.5~V _{DD}	V
アナログ入力電圧	V _{AI}	—	V _{SS} ~V _{REF}	V
動作周波数 (CPU)	f _{OP}	—	30k~8.4M	Hz
低速水晶発振周波数	f _{XTL}	—	32.768k	Hz
低速水晶発振 外付け容量	C _{DL}	DT-26 (大真空株式会社製) 使用時	12~25	pF
	C _{GL}		12~25	
高速水晶/セラミック 発振周波数	f _{XTH}	—	8M / 8.192M	Hz
高速水晶発振 外付け容量*	C _{DH}	—	47±30%	pF
	C _{GH}	—	47±30%	
V _{DDL} 端子外付け容量	C _L	—	10±30%	μF

* CSTLS8M00G56 (村田製作所製) の場合は C_{GH}、C_{DH} は内蔵していますので外付け容量は不要です

● フラッシュメモリ動作条件

(V_{SS} = 0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	データ領域：書き込み／消去時	-40～+85	℃
		プログラム領域：書き込み／消去時	0～+40	
動作電圧	V _{DD}	書き込み／消去時	2.2～5.5	V
書き換え回数	C _{EPD}	データ領域（1024B×2）	6000	回
	C _{EPP}	プログラム領域	100	
データ保持年数	Y _{DR}	—	10	年

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
ブロック消去時間	T _{BERASE}	—	—	—	100	ms
セクタ消去時間	T _{SERASE}	—	—	—	100	
1ワード書き込み時間	T _{WRITE}	—	—	—	40	μs

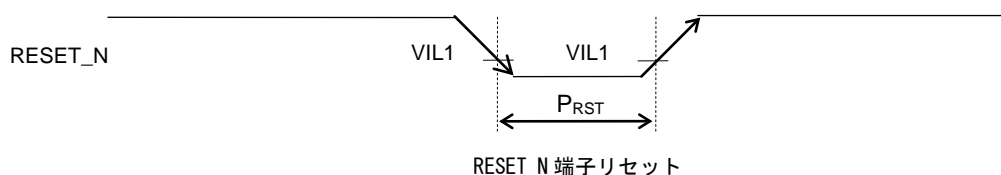
● 直流特性（発振、リセット）

(特に指定のない場合は、V_{DD} = 2.2～5.5V, V_{SS} = 0V, Ta = -40～+85℃) (1/6)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
高速水晶発振開始時間	T _{XTH}	—	—	2	20	ms	1
低速水晶発振開始時間* ¹	T _{XTL}	—	—	0.6	2	s	
低速内蔵 RC 発振周波数	f _{LCR}	Ta=-10~60℃	typ -5%	32.7k	typ +5%	Hz	
PLL 発振精度	f _{PLL}	LSCLK=32.768kHz 1000 clock average	typ -1%	8.192	typ +1%	MHz	
リセットパルス幅	P _{RST}	—	100	—	—	μs	
リセットノイズ除去 パルス幅	P _{NRST}	—	—	—	0.4		

^{*1} : 32.768KHz 水晶振動子 DT-26（大真空株式会社）を使用（C_{GL}/C_{DL} = 12pF）。

リセット



● 直流特性 (BLD)

(特に指定のない場合は、 $V_{DD}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
BLD 判定電圧	V _{BLD}	Ta=25℃	LD3~0=0H	Typ. -2%	2.35	Typ. +2%	V	1
			LD3~0=3H		2.80			
			LD3~0=9H		3.70			
			LD3~0=FH		4.60			

● 直流特性 (アナログコンパレータ ML610Q173 のみ)

(特に指定のない場合は、 $V_{DD}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
アナログコンパレータ コモンモード入力電圧	CMPnM V_{IN}	—	0	—	V_{DD} −1.4	V	1
	CMPnP V_{IN}	—	0	—	V_{DD}		
入力オフセット電圧	V_{CMPOF}	—	—	5	100	mV	
コンパレータ単体の 出力遅延時間	T_{CMP}	CMPnP = CMPnM \pm 100mV	—	—	1	μ s	
消費電流（動作時）	I_{CMP}	CMP0/CMP1 動作時	—	30	—	μ A	

● 直流特性 (LCD 内蔵分割抵抗)

(特に指定のない場合は、 $V_{DD}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
LCD 内蔵分割抵抗値	RL _H	Ta = -10~70℃	Typ. -5%	200	Typ. +5%	kΩ	1
	RL _L	Ta = -10~70℃	Typ. -20%	20	Typ. +20%		

● 直流特性 (IDD)

(特に指定のない場合は、 $V_{DD}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
消費電流 1	IDD1	CPU が STOP 状態 低速/高速発振停止 V _{DD} =3.0V	-40～+35℃	—	0.7	6	μA	1
			-40～+85℃	—	0.7	22		
消費電流 2	IDD2	CPU が HALT 状態 (LTBC,WDT 動作 ²⁾) 高速発振停止 V _{DD} =3.0V	-40～+35℃	—	2.0	7		
			-40～+85℃	—	2.0	24		
消費電流 3	IDD3	CPU が 32kHz 動作状態 ^{*1} 高速発振停止 V _{DD} =3.0V	-40～+35℃	—	13	20		
			-40～+85℃	—	13	42		
消費電流 4	IDD4	CPU が 8MHz 動作状態 水晶/セラミック発振状態 V _{DD} =5.0V		—	5	8	mA	

*1 : CPU 動作率 100%時 (HALT 状態なし)

^{*2}: BLKCON0, BLKCON2, BLKCON4, BLKCON6, BLKCON7 の有効ビット全て“1”。

● 直流特性 (VOHL、IOHL)

(特に指定のない場合は、 $V_{DD}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$) (4/6)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
出力電圧 1 (P20~P21) (P30~P36) (P40~P47) (P50~P53) (P80~P85) (PD0~PD7) (PF0~PF7)	VOH1	IOH1=-0.5mA		V_{DD} -0.5	—	—	V	2
	VOL1	IOL1=+0.5mA		—	—	0.5		
出力電圧 2 (P20~P21)	VOL2	(LED駆動モード 選択時)	IOL2=+10mA $V_{DD}\geq 4.5V$	—	—	0.5		
出力電圧 3 (P40~P41)	VOL3	(I ² C モード 選択時)	IOL3=+3mA	—	—	0.4		
出力リーク (P20~P21) (P30~P36) (P40~P47) (P50~P53) (P80~P85) (PD0~PD7) (PF0~PF7)	IOOH	VOH= V_{DD} (ハイインピーダンス時)		—	—	1	μA	3
	IOOL	VOL= V_{SS} (ハイインピーダンス時)		-1	—	—		
出力電流 1 COM0-COM3	IOL1	VL3=3V、VOL=0.3V		15	40	—	μA	3
		VL3=5V、VOL=0.5V		100	200	—		
	IOH1	VL3=3V、VOH=2.7V		—	-30	-15		
		VL3=5V、VOH=4.5V		—	-90	-45		
出力電流 2 SEG0-SEG7 SEG16-SEG23 SEG32-SEG39	IOL2	VL3=3V、VOL=0.3V		15	30	—		
		VL3=5V、VOL=0.5V		70	150	—		
	IOH2	VL3=3V、VOH=2.7V		—	-13	-6		
		VL3=5V、VOH=4.5V		—	-40	-20		

● 直流特性 (IIHL)

(特に指定のない場合は、 $V_{DD}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$) (5/6)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N) (TEST1_N)	IIH1	$V_{IH1}=V_{DD}$	0	—	1	μA	4
	IIL1	$V_{IL1}=V_{SS}$	-1500	-300	-20		
入力電流 2 (P00~P03) (P10~P11) (P30~P36) (P40~P47) (P50~P53) (P80~P85) (PD0~PD7) (PF0~PF7)	IIH2	$V_{IH2}=V_{DD}$ (プルダウン時)	2	30	250		
	IIL2	$V_{IL2}=V_{SS}$ (プルアップ時)	-250	-30	-2		
	IIH2Z	$V_{IH2}=V_{DD}$ (ハイインピーダンス時)	—	—	1		
	IIL2Z	$V_{IL2}=V_{SS}$ (ハイインピーダンス時)	-1	—	—		
入力電流 3 (TEST0)	IIH3	$V_{IH3}=V_{DD}$	20	300	1500		
	IIL3	$V_{IL3}=V_{SS}$	-1	—	—		

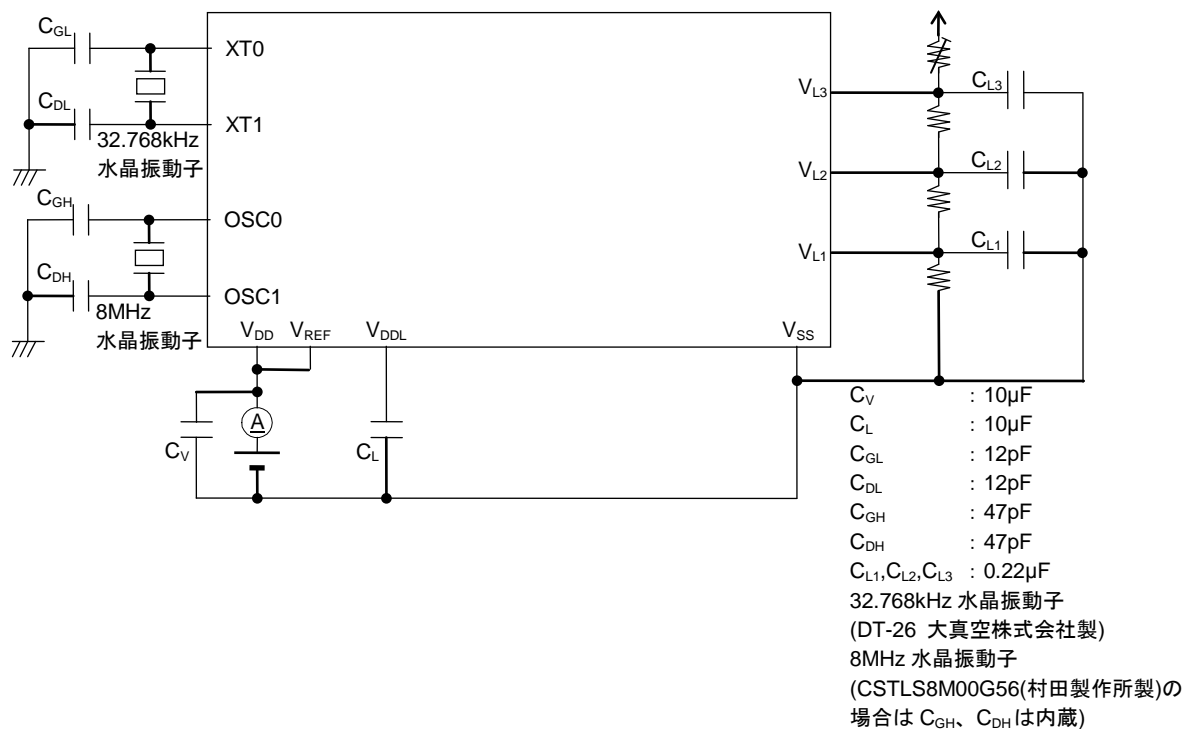
● 直流特性 (VIHL)

(特に指定のない場合は、 $V_{DD}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$) (6/6)

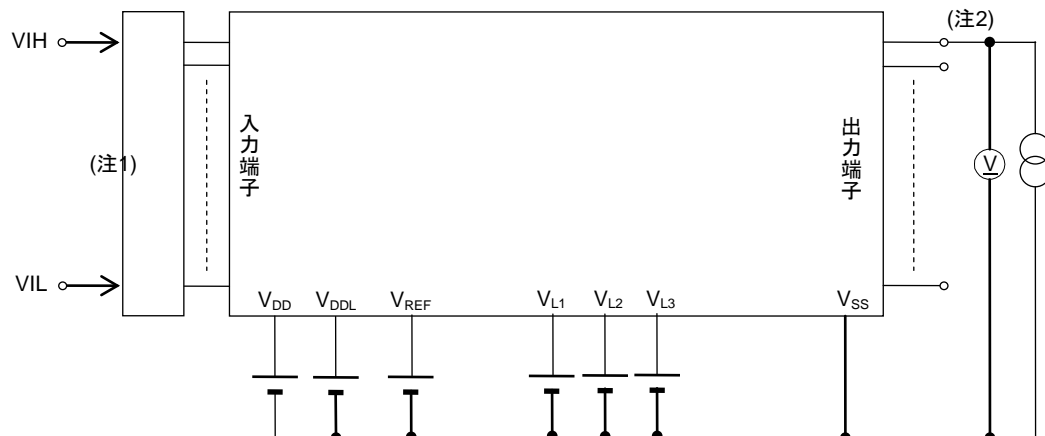
項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (TEST0) (TEST1_N) (P00~P03) (P10~P11) (P30~P36) (P40~P47) (P50~P53) (P80~P85) (PD0~PD7) (PF0~PF7)	VIH1	—	$0.7 \times V_{DD}$	—	V_{DD}	V	5
	VIL1	—	0	—	$0.3 \times V_{DD}$		
入力端子容量 (RESET_N) (TEST0) (TEST1_N) (P00~P03) (P10~P11) (P30~P36) (P40~P47) (P50~P53) (P80~P85) (PD0~PD7) (PF0~PF7)	CIN	f=10kHz $V_{rms}=50mV$ $T_a=25^{\circ}C$	—	—	10	pF	—

● 測定回路

測定回路 1

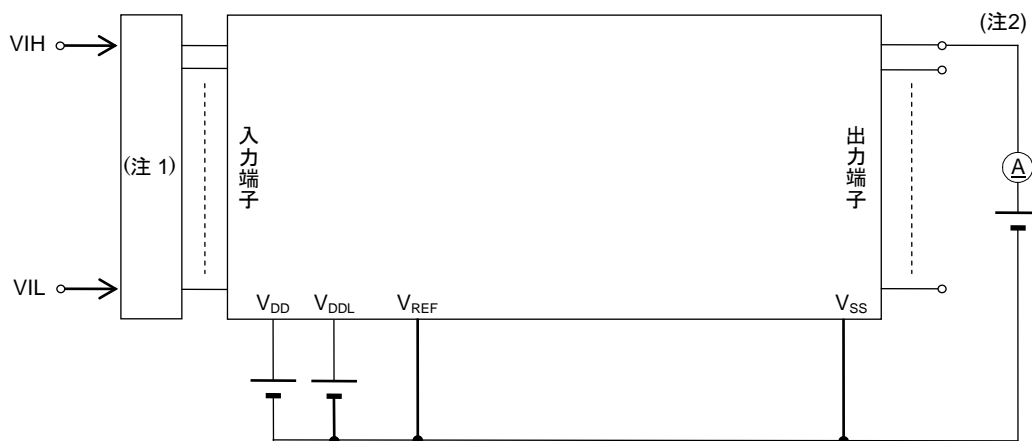


測定回路 2



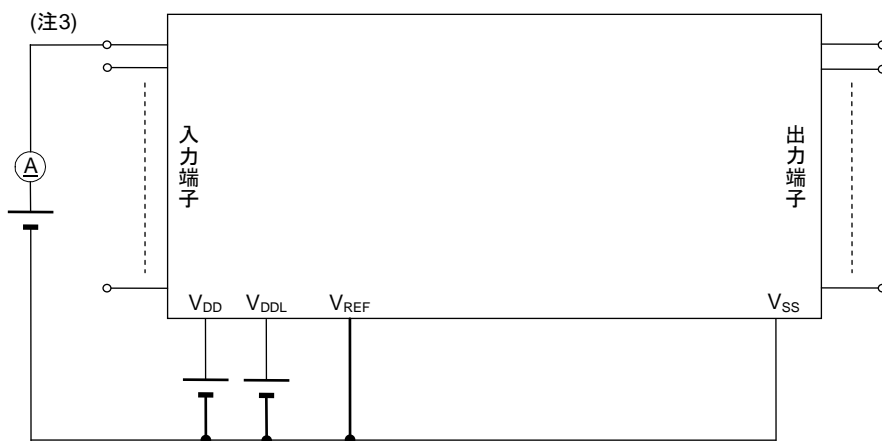
(注1) 指定の状態にする入力ロジック
 (注2) 指定の出力端子について繰り返す

測定回路 3



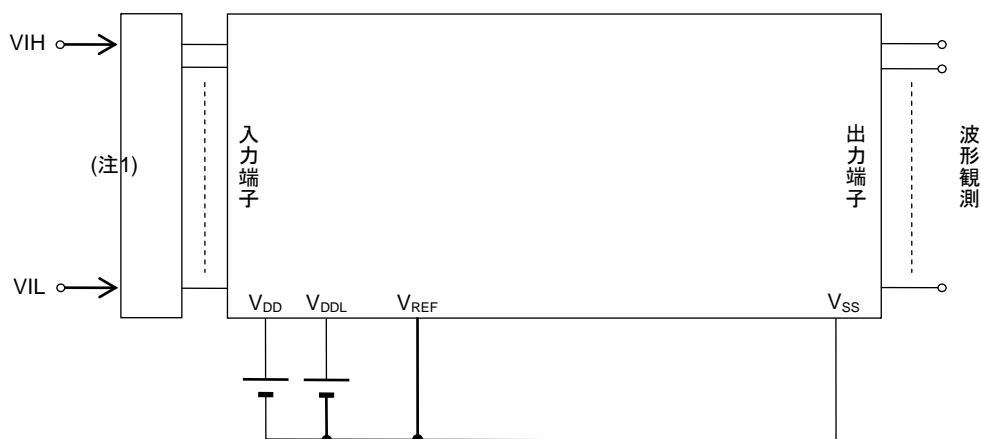
(注1) 指定の状態にする入力ロジック
(注2) 指定の出力端子について繰り返す

測定回路 4



(注3) 指定の入力端子について繰り返す

測定回路 5

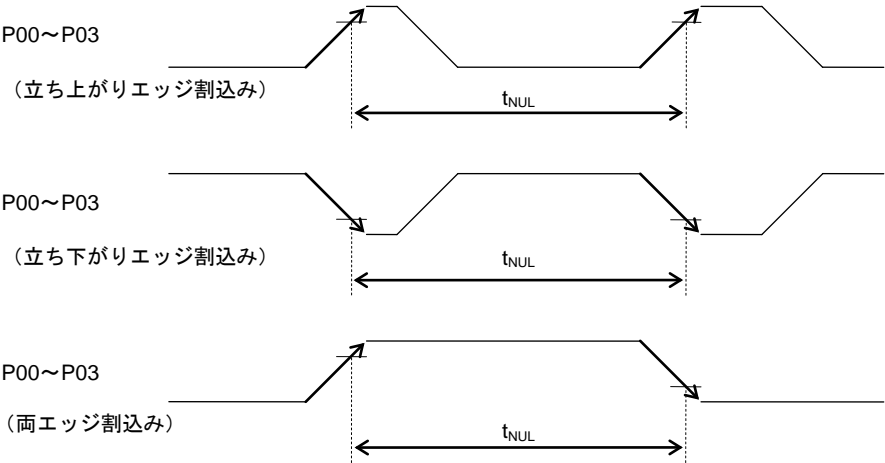


(注1) 指定の状態にする入力ロジック

● 交流特性（外部割込み）

（特に指定のない場合は、 $V_{DD} = 2.2 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +85^{\circ}C$ ）

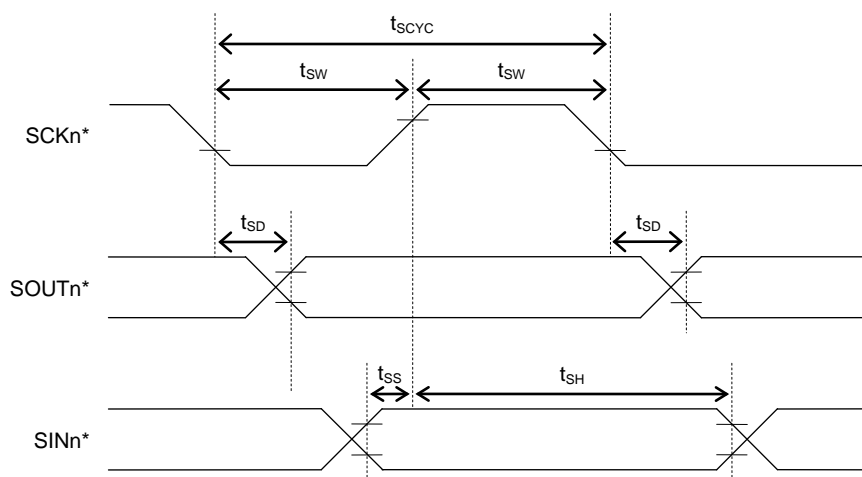
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	T_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作	$2.5 \times$ sysclk	—	$3.5 \times$ sysclk	μs



● 交流特性（同期式シリアルポート）

（特に指定のない場合は、 $V_{DD} = 2.2 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +85^\circ C$ ）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル （スレーブモード）	t_{SCYC}	高速発振停止時	10	—	—	μs
		高速発振時	500	—	—	ns
SCLK 出力サイクル （マスターモード）	t_{SCYC}	—	—	$SCLK^{*1}$	—	s
SCLK 入力パルス幅 （スレーブモード）	t_{SW}	高速発振停止時	4	—	—	μs
		高速発振時	200	—	—	ns
SCLK 出力パルス幅 （マスターモード）	t_{SW}	—	$SCLK^{*1} \times 0.4$	$SCLK^{*1} \times 0.5$	$SCLK^{*1} \times 0.6$	s
SOUT 出力遅延時間 （スレーブモード）	t_{SD}	—	—	—	180	ns
SOUT 出力遅延時間 （マスターモード）	t_{SD}	—	—	—	80	ns
SIN 入力 セットアップ時間	t_{SS}	—	50	—	—	ns
SIN 入力 ホールド時間	t_{SH}	—	50	—	—	ns

*¹：シリアルポート 0 モードレジスタ（SIO0MOD1）の S0CK3~0 により選択されたクロック周期

*: ポートの 2 次機能を示す。

● 交流特性 (I²C バスインタフェース : 標準モード 100kHz)

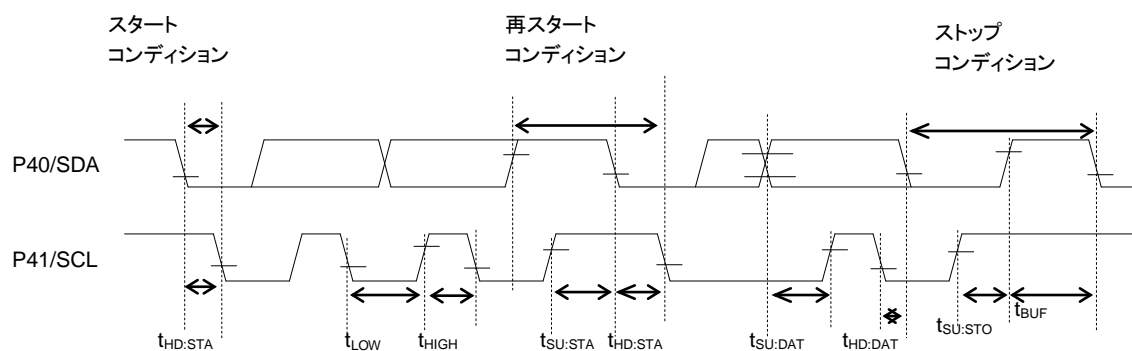
(特に指定のない場合は、V_{DD} = 2.2~5.5V, V_{SS} = 0V, Ta = -40~+85°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t _{HD:STA}	—	4.0	—	—	μs
SCL "L" レベル時間	t _{LOW}	—	4.7	—	—	μs
SCL "H" レベル時間	t _{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	4.7	—	—	μs
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	μs
SDA セットアップ時間	t _{SU:DAT}	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	4.0	—	—	μs
バスフリー時間	t _{BUF}	—	4.7	—	—	μs

● 交流特性 (I²C バスインタフェース : ファーストモード 400kHz)

(特に指定のない場合は、V_{DD} = 2.2~5.5V, V_{SS} = 0V, Ta = -40~+85°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t _{HD:STA}	—	0.6	—	—	μs
SCL "L" レベル時間	t _{LOW}	—	1.3	—	—	μs
SCL "H" レベル時間	t _{HIGH}	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	0.6	—	—	μs
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	μs
SDA セットアップ時間	t _{SU:DAT}	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	0.6	—	—	μs
バスフリー時間	t _{BUF}	—	1.3	—	—	μs

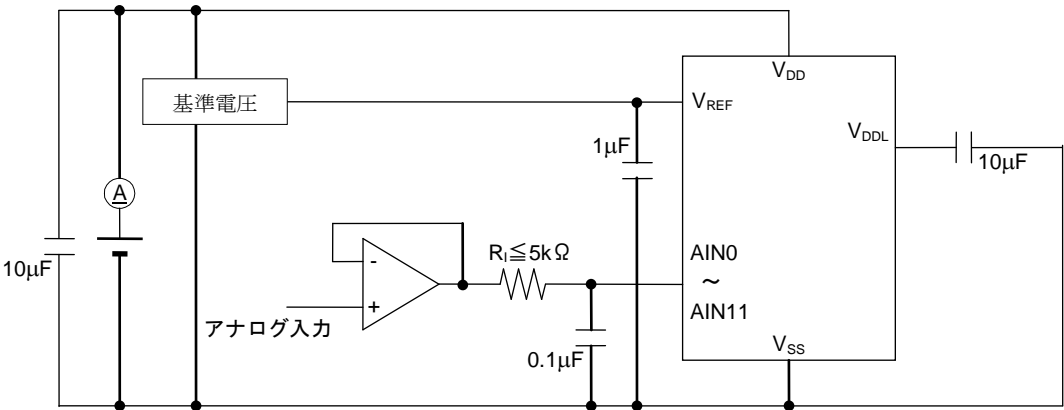


● 逐次比較型 A/D コンバータの電氣的特性

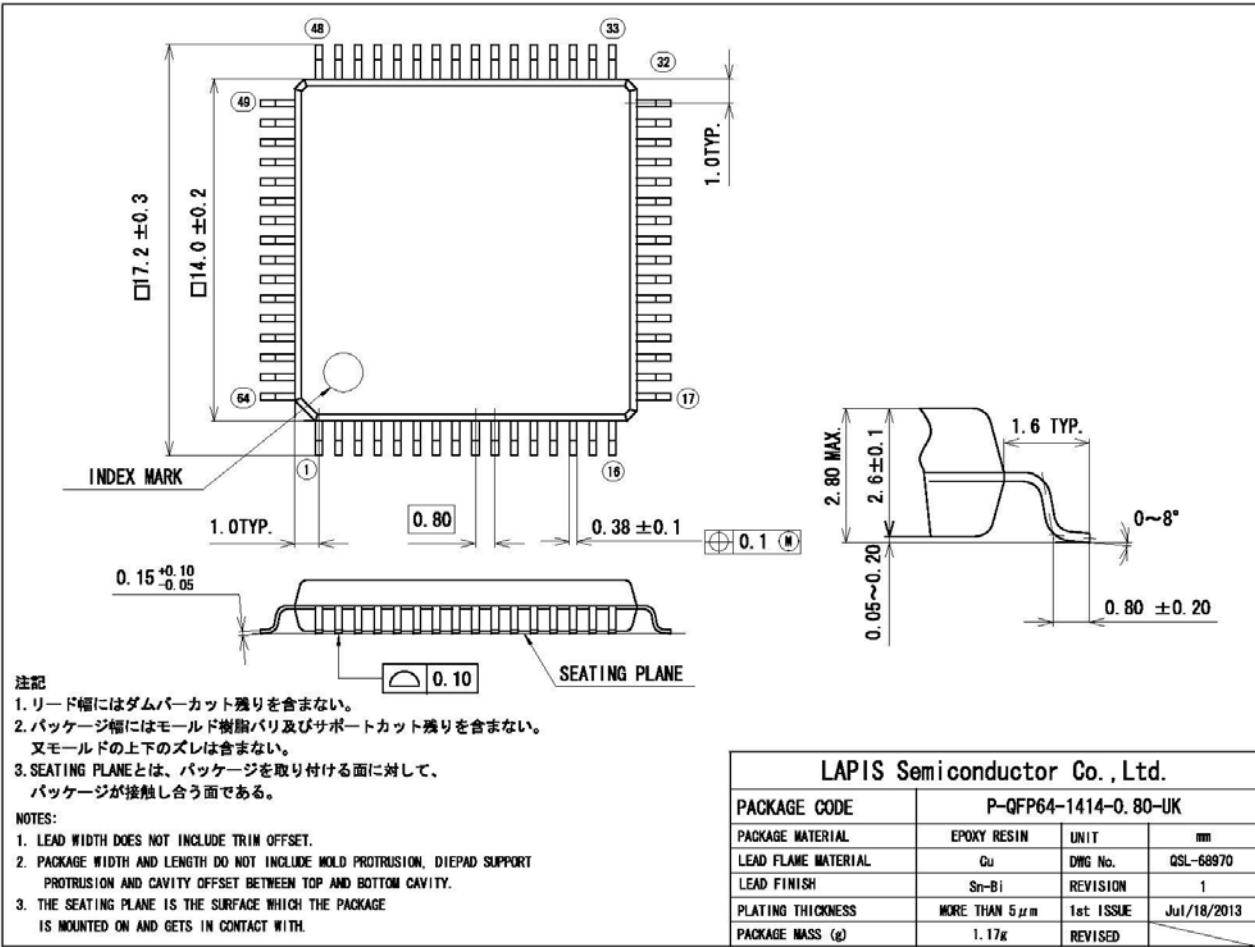
(特に指定のない場合は、 $V_{DD}=4.5\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	—	10	bit
積分非直線性誤差	INL	—	-4	—	+4	LSB
微分非直線性誤差	DNL	—	-3	—	+3	
ゼロスケール誤差	ZSE	—	-4	—	+4	
フルスケール誤差	FSE	—	-4	—	+4	
許容信号源インピーダンス	R_i	—	—	—	5k	Ω
リファレンス電圧	V_{REF}	—	4.5	—	V_{DD}	V
変換時間	t_{CONV}	HSCCLK=3.0M~8.4MHz	—	102	—	ϕ/CH

ϕ : 高速クロック (HSCCLK) の周期



- パッケージ外形図
- 商品名 ML610Q172／ML610Q173 -NNNGAZWAAL



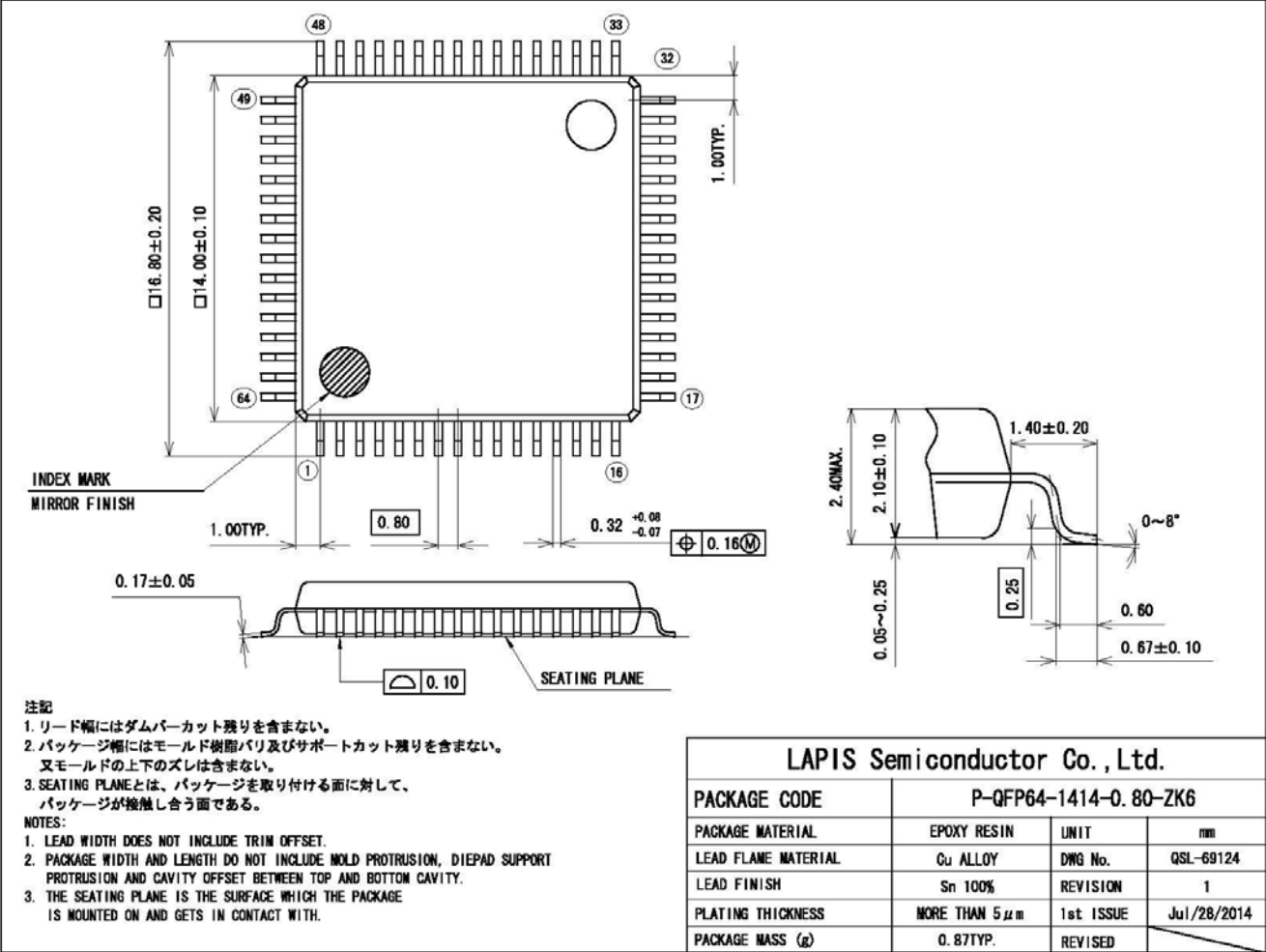
(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

■ 商品名 ML610Q172／ML610Q173 -NNNGAZWAX



(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q172-01	2013.10.8	—	—	初版発行
FJDL610Q172-02	2017.10.12	18	18	誤記訂正 誤) BLKCON0～BLKCON4 正) BLKCON0,BLKCON2,BLKCON4,BLKCON6,BLKCON7
		—	29	新規パッケージ外形図を追加

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
 - ・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
 - ・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2013 - 2017 LAPIS Semiconductor Co., Ltd.