

お客様各位

## 資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日  
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1<sup>st</sup> day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

# ML610Q304

音声機能付 8bit マイクロコントローラ

## ■概要

本 LSI は、8 ビット CPU nX-U8/100 を搭載し、タイマ、同期式シリアルポート、10 ビット逐次比較型 A/D コンバータ、および音声出力機能等の多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。CPU nX-U8/100 は、3 段パイプラインアーキテクチャによる並列処理をすることで 1 命令 1 クロックの効率的な命令実行が可能です。また、ML610Q304 はマスク ROM 同等の低電圧、低消費電力動作(読み出し時)を実現したフラッシュメモリ\* を搭載しており、警報機や携帯機器などの電池駆動アプリケーションに最適です。さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

\*: This product uses SuperFlash® technology licensed from Silicon Storage Technology, Inc. SuperFlash® is a registered trademark of Silicon Storage Technology, Inc.

## ■特長

- CPU
  - RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)
  - 命令体系:16 ビット長命令
  - 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
  - オンチップデバッグ機能を内蔵
  - 最小命令実行時間
    - 約 30.5μs (@32.768kHz システムクロック)
    - 約 0.244μs (@4.096MHz システムクロック) @ V<sub>DD</sub>=2.0~5.5V
    - 約 0.122μs (@8.192MHz システムクロック) @ V<sub>DD</sub>=2.2~5.5V
- 内部メモリ
  - 96K バイトのフラッシュ・メモリ(48K×16 ビット)を内蔵(使用不可のテスト領域 1K バイトを含む)
  - 2K バイトのフラッシュ・メモリを内蔵(セルフ書き換え可能な領域 512 バイト×4 面)
  - 1K バイトの RAM(512×8 ビット)を内蔵
- 割込みコントローラ
  - ノンマスカブル割込み 2 要因
    - 内部要因:1(ウォッチドッグタイマ)
    - 外部要因:1(NMI)
  - マスカブル割込み 24 要因
    - 内部要因:16(同期式シリアルポート0、同期式シリアルポート1、UART、I<sup>2</sup>C バス・インタフェース、タイマ 0、タイマ1、タイマ2、タイマ3、A/D コンバータ、音声再生、ショート検知、TBC128Hz、TBC32Hz、TBC16Hz、TBC2Hz)
    - 外部要因:8 (P80、P81、P82、P83、P84、P85、P86、P87)
- タイムベースカウンタ
  - 低速側タイムベースカウンタ×1ch
  - 高速側タイムベースカウンタ×1ch
- ウォッチドッグタイマ
  - ノンマスカブル割込み, およびリセット
    - (1 回目のオーバフローで割込みを発生, 2 回目のオーバフローでリセットを発生)
  - フリーラン
  - オーバフロー周期選択可能:4 種(125ms, 500ms, 2s, 8s@32.768kHz)
- タイマ
  - 8 ビット×4ch(16bit 構成も可能)

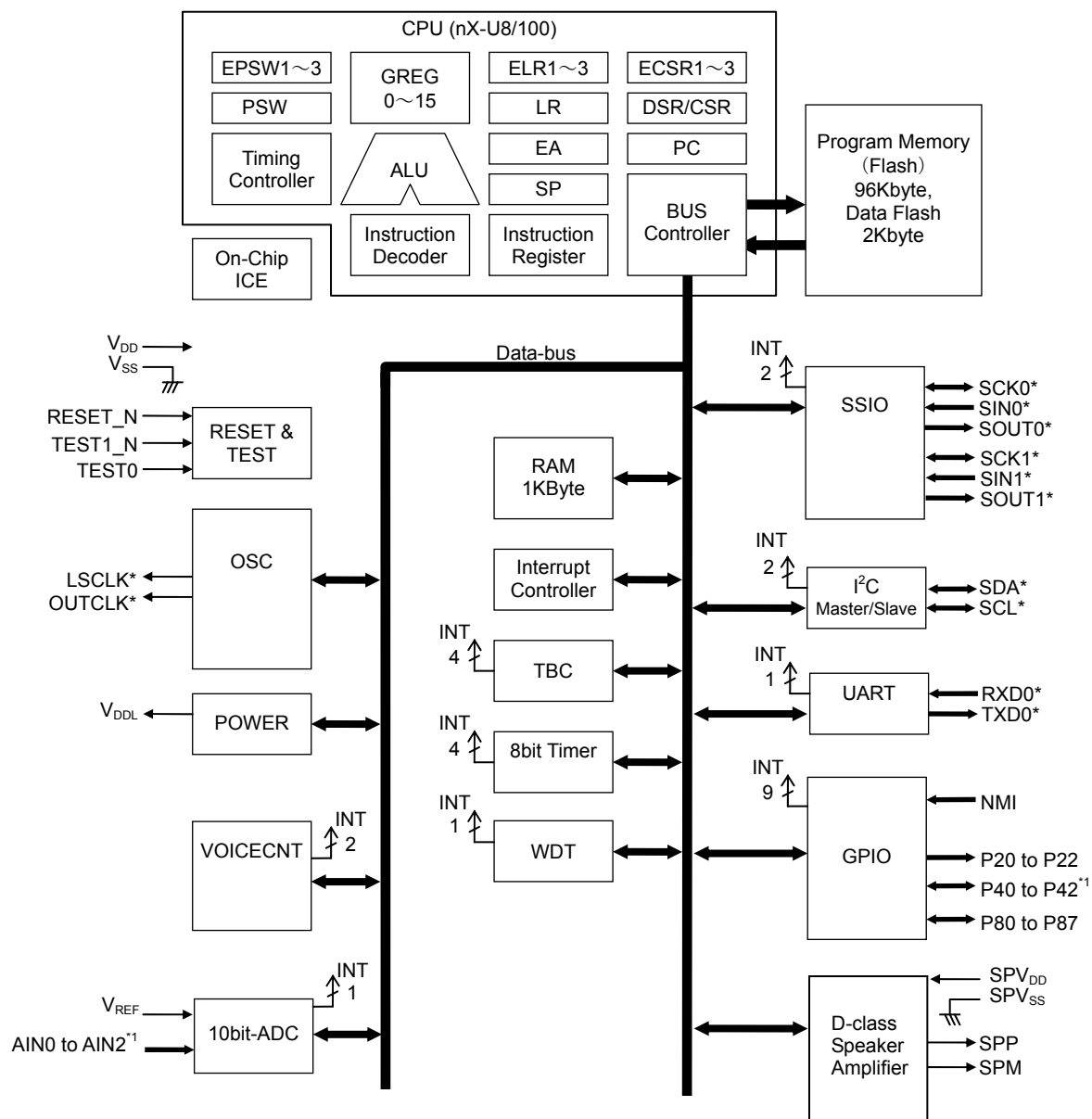


- 音声出力機能
  - 音声合成方式: 4ビット ADPCM2 / ノンニア 8ビット PCM / ストレート 8ビット PCM / ストレート 16ビット PCM
  - サンプル周波数: 8kHz、16kHz、32kHz、10.7kHz、21.3kHz、6.4kHz、12.8kHz、25.6kHz
- 逐次比較型 A/D コンバータ
  - 分解能: 10ビット
  - 入力: 3ch
  - 変換時間:  $24.4 \mu\text{s}/1\text{ch}$  @ 4.096MHz  $V_{DD} \geq 2.2\text{V}$
  - 変換時間:  $12.2 \mu\text{s}/1\text{ch}$  @ 8.192MHz  $V_{DD} \geq 2.5\text{V}$
  - 連続変換 / 1回変換選択可能
- 同期式シリアルポート(SSIO)
  - 2ch
  - マスタ/スレーブ選択可能
  - LSB/MSB ファースト選択可能
  - 8ビット/16ビット長選択可能
- UART
  - 半二重通信 × 1ch
  - TXD/RXD
  - ビット長、パリティ有無、奇数/偶数パリティ、1ストップビット / 2ストップビット
  - 正/負論理選択可
  - ボーレートジェネレータ内蔵
- I<sup>2</sup>C バス・インタフェース
  - マスタ : 標準モード(100kbit/s) 対応、ファーストモード(100kbit/s) 対応
  - スレーブ : 標準モード(100kbit/s) 対応、ファーストモード(100kbit/s) 対応
- 汎用ポート
  - 入力専用ポート × 1ch
  - 出力専用ポート × 3ch (2 次機能含む)
  - 入出力ポート × 11ch (2 次機能含む) (P40～P42 は A/D コンバータ入力ポートと兼用)
- スピーカーアンプ (D 級)
  - 1.0W@5.0V/0.45W@3.0V
  - 断線検知回路
  - スピーカーショート検知回路
- リセット
  - RESET\_N 端子リセット
  - パワーオン検出リセット
  - WDT オーバフローによる検出リセット
  - PLL 発振停止検出リセット
- クロック
  - 低速側クロック  
低速 RC 発振(32.768kHz)
  - 高速側クロック  
PLL 発振(約 1.024MHz / 約 2.048MHz / 約 4.096MHz / 約 8.192MHz)

- パワーマネジメント
  - STOP モード: 発振の停止 (CPU および周辺回路は動作を停止)
  - HALT モード: CPU の命令実行中断 (周辺回路は動作状態)
  - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/2、1/4、1/8、1/16)
  - ブロック制御機能: 使用しない機能ブロック回路の動作をパワーダウン (レジスタリセット&クロック停止)
- 出荷形態
  - 28 ピン VQFN  
ML610Q304-xxxGD (ブランク品: ML610Q304-NNNGD)
  - 30 ピン SSOP  
ML610Q304-xxxMB (ブランク品: ML610Q304-NNNMB)
  - 32 ピン WQFN  
ML610Q304-xxxGP (ブランク品: ML610Q304-NNNGP)  
xxx: ROM コード番号
- 動作保証範囲
  - 動作周囲温度: -40°C~85°C
  - 動作電圧:  $V_{DD}=2.0V\sim5.5V$ ,  $SPV_{DD}=2.0V\sim5.5V$

■ブロック図

● ML610Q304 ブロック図

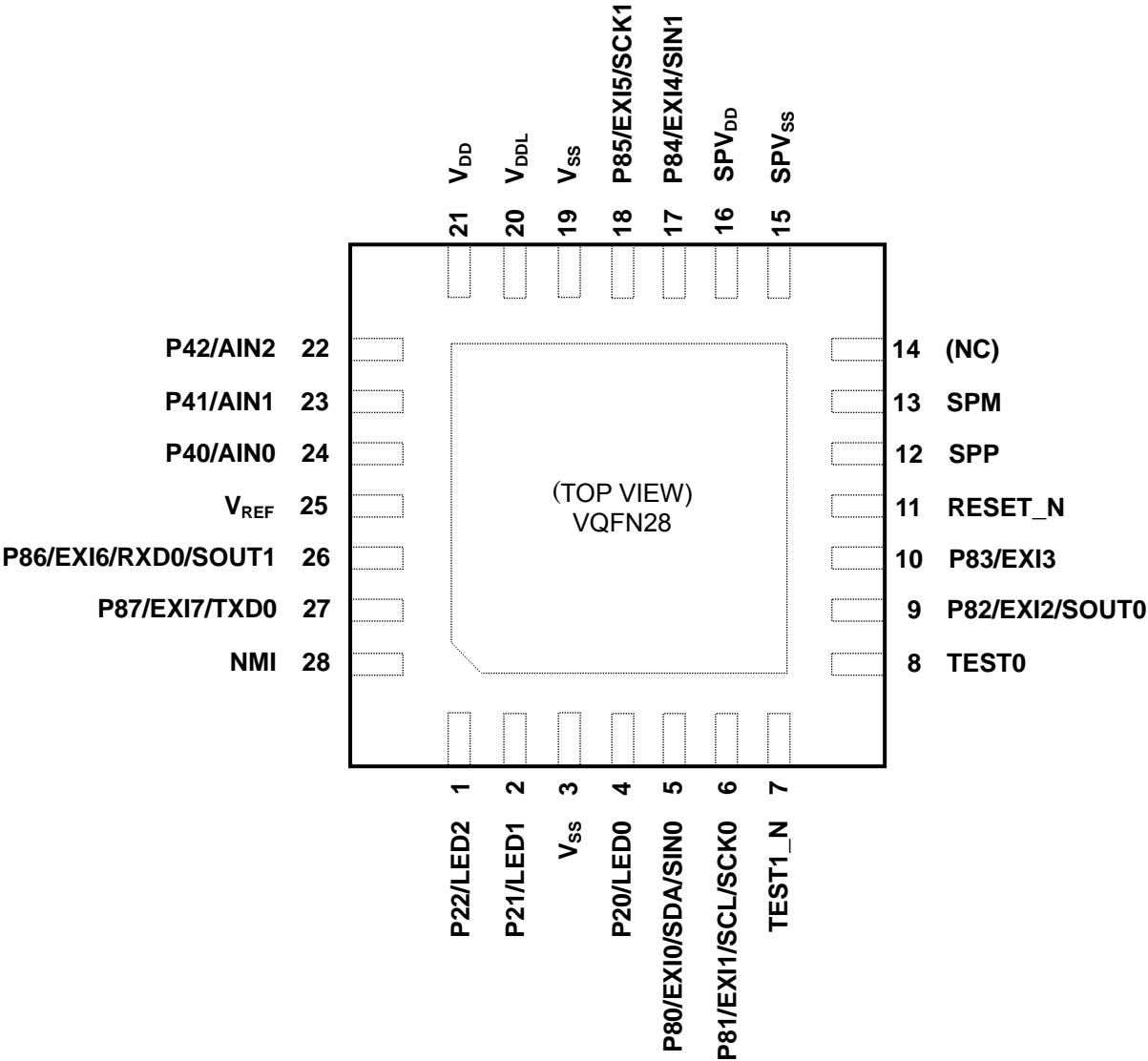


“\*”は各ポートの 2 次機能/3 次機能です。

\*1 は汎用 ポートもしくは A/D コンバータ入力端子を選択

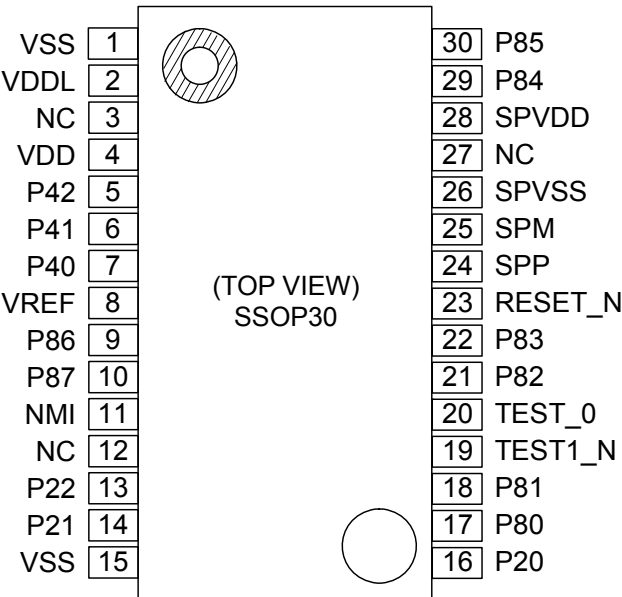
■ 端子配置

● ML610Q304 28 ピン VQFN パッケージの端子配置図 (TOP View)



(NC): No Connection

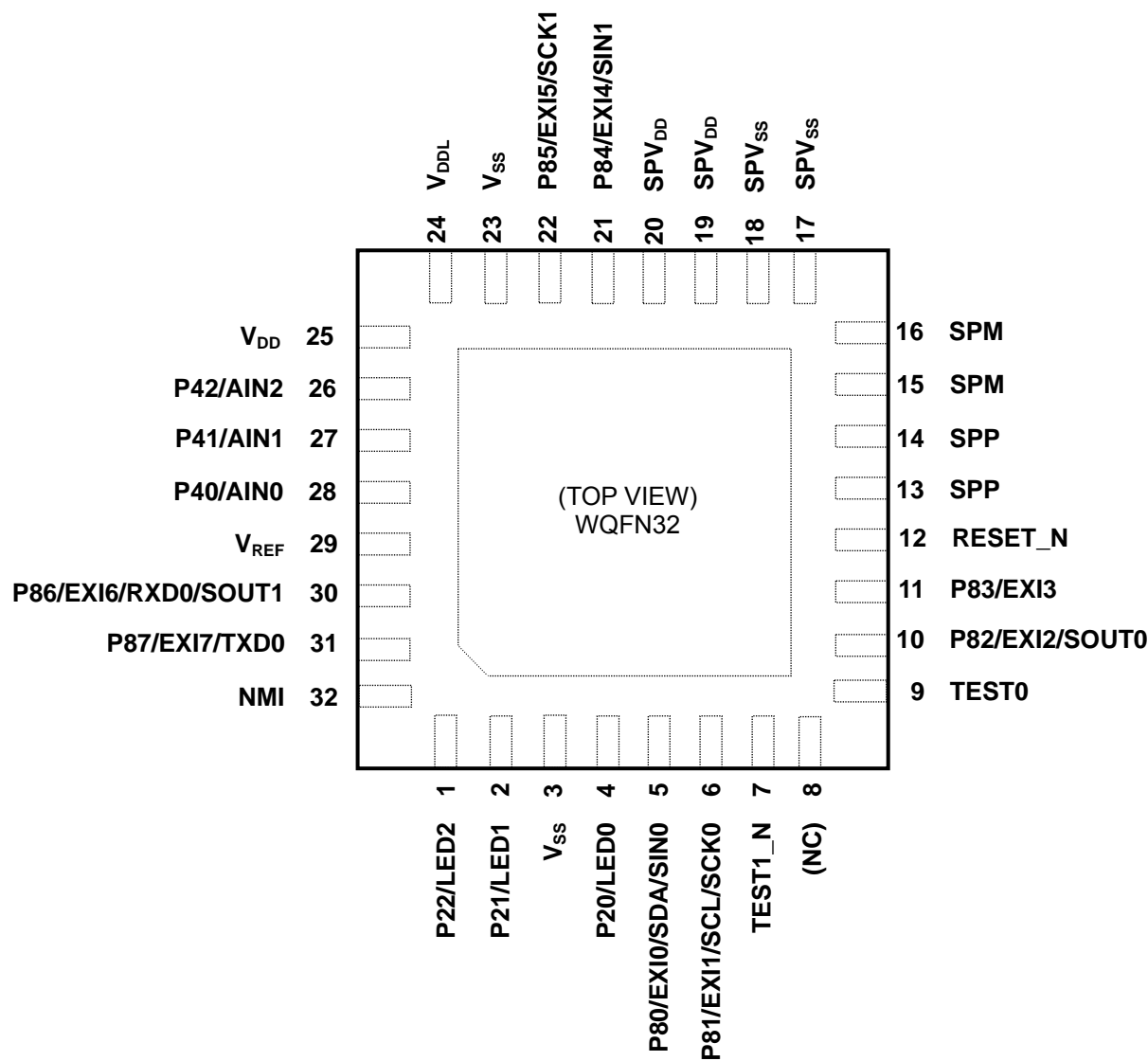
● ML610Q304 30 ピン SSOP パッケージの端子配置図 (TOP View)



(NC): No Connection



● ML610Q304 32 ピン WQFN パッケージの端子配置図 (TOP View)



(NC): No Connection

## ■端子一覧

I/O 欄の “—” は電源端子、“I” は入力端子、“O” は出力端子、“I/O” は入出力端子を示します。

PinNo			1 次機能			2 次機能／3 次機能			
28 ピン VQFN	30 ピン SSOP	32 ピン WQFN	端子名	I/O	機能	2 次/ 3 次	端子名	I/O	機能
12	24	13、14	SPP	O	内蔵スピーカーアンプの プラス側出力端子	—	—	—	—
13	25	15、16	SPM	O	内蔵スピーカーアンプの マイナス側出力端子	—	—	—	—
15	26	17	SPVss	—	内蔵スピーカーアンプ用 プラス側電源端子	—	—	—	—
—	—	18	SPVss	—	内蔵スピーカーアンプ用 プラス側電源端子	—	—	—	—
16	28	19	SPV <sub>DD</sub>	—	内蔵スピーカーアンプ用 マイナス側電源端子	—	—	—	—
—	—	20	SPV <sub>DD</sub>	—	内蔵スピーカーアンプ用 マイナス側電源端子	—	—	—	—
3	1	3	V <sub>SS</sub>	—	マイナス側電源端子	—	—	—	—
19	15	23	V <sub>SS</sub>	—	マイナス側電源端子	—	—	—	—
20	2	24	V <sub>DDL</sub>	—	内部ロジック用電源端子 (内部発生)	—	—	—	—
21	4	25	V <sub>DD</sub>	—	プラス側電源端子	—	—	—	—
25	8	29	V <sub>REF</sub>	—	逐次比較型 ADC 用 リファレンス電源端子	—	—	—	—
11	23	12	RESET_N	I	リセット入力端子	—	—	—	—
8	20	9	TEST0	I/O	テスト用入出力端子	—	—	—	—
7	19	7	TEST1_N	I	テスト用入力端子	—	—	—	—
28	11	32	NMI	I	入力ポート、 ノンマスクابل割込み	—	—	—	—
4	16	4	P20/LED0	O	出力ポート、LED 駆動	2 次	LSCLK	O	低速クロック出力
2	14	2	P21/LED1	O	出力ポート、LED 駆動	2 次	OUTCLK	O	高速クロック出力
1	13	1	P22/LED2	O	出力ポート、LED 駆動	—	—	—	—
24	7	28	P40/AIN0	I/O	入出力ポート、 逐次比較型 ADC 入力 0	3 次	SIN0	I	SSIO0 データ入力
23	6	27	P41/AIN1	I/O	入出力ポート、 逐次比較型 ADC 入力 1	3 次	SCK0	I/O	SSIO0 同期クロック入出力
22	5	26	P42/AIN2	I/O	入出力ポート、 逐次比較型 ADC 入力 2	3 次	SOUT0	O	SSIO0 データ出力
5	17	5	P80/EXI0	I/O	入出力ポート、 外部割込み	2 次	SDA	I/O	I2C 同期データ入出力
6	18	6	P81/EXI1	I/O	入出力ポート、 外部割込み	3 次	SIN0	I	SSIO0 データ入力
9	21	10	P82/EXI2	I/O	入出力ポート、 外部割込み	2 次	SCL	I/O	I2C 同期クロック入出力
10	22	11	P83/EXI3	I/O	入出力ポート、 外部割込み	3 次	SCK0	I/O	SSIO0 同期クロック入出力
17	29	21	P84/EXI4	I/O	入出力ポート、 外部割込み	—	—	—	—
18	30	22	P85/EXI5	I/O	入出力ポート、 外部割込み	3 次	SOUT0	O	SSIO0 データ出力
26	9	30	P86/EXI6	I/O	入出力ポート、 外部割込み	—	—	—	—
27	10	31	P87/EXI7	I/O	入出力ポート、 外部割込み	3 次	SIN1	I	SSIO1 データ入力
						3 次	SCK1	I/O	SSIO1 同期クロック入出力
						2 次	RXD0	I	UART0 データ入力
						3 次	SOUT1	O	SSIO1 データ出力
						2 次	TXD0	O	UART0 データ出力

## 【注意】

2 次機能、3 次機能のいずれかを選択した場合、選択していない機能は失われます。  
ただし、入力として使用する場合は、ポート n データレジスタで入力データを読み出し可能です。

## ■端子説明

I/O 欄の “—” は電源端子、“I” は入力端子、“O” は出力端子、“I/O” は入出力端子を示します。

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論理
電源				
V <sub>SS</sub>	—	マイナス側電源端子です。	—	—
V <sub>DD</sub>	—	プラス側電源端子です。	—	—
V <sub>DDL</sub>	—	内部ロジック用電源端子(内部発生)です。 V <sub>SS</sub> との間にコンデンサ C <sub>L</sub> (1μF)(測定回路 1 参照)を接続します。	—	—
SPV <sub>SS</sub>	—	内蔵スピーカーアンプ用マイナス側電源端子です。	—	—
SPV <sub>DD</sub>	—	内蔵スピーカーアンプ用プラス側電源端子です。	—	—
V <sub>REF</sub>	—	逐次比較型 A/D コンバータ用リファレンス電源端子です。	—	—
テスト用				
TEST0	I/O	テスト用入出力端子です。プルダウン抵抗が内蔵されています。	—	正
TEST1_N	I	テスト用入力端子。プルアップ抵抗が内蔵されています。	—	負
システム				
RESET_N	I	リセット入力端子です。この端子を“L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を“H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	—	負
LSCLK	O	低速クロック出力です。P20 端子の 2 次機能に割り付けられています。	2 次	—
OUTCLK	O	高速クロック出力です。P21 端子の 2 次機能に割り付けられています。	2 次	—
汎用出力ポート				
P20～P22	O	汎用出力ポートです。 2 次機能を使用する場合、ポートとして使用できません。	1 次	正
汎用入出力ポート				
P40～P42	I/O	汎用入出力ポートです。 3 次機能を使用する場合、ポートとして使用できません。	1 次	正
P80～P87	I/O	汎用入出力ポートです。 2 次機能もしくは 3 次機能を使用する場合、ポートとして使用できません。	1 次	正

端子名	I/O	説 明	1 次/ 2 次 /3 次	論理
I <sup>2</sup> C バス・インタフェース				
SDA	I/O	I <sup>2</sup> C データ入出力用 Nchオープンドレイン端子です。P80 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
SCL	I/O	I <sup>2</sup> C クロック入出力用 Nchオープンドレイン端子です。P81 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
同期シリアル (SSIO)				
SIN0	I	同期シリアルデータ入力端子です。P40 端子の 3 次機能および、P80 端子の 3 次機能に割り付けられています。	3 次	正
SCK0	I/O	同期シリアルクロック入出力端子です。P41 端子の 3 次機能および、P81 端子の 3 次機能に割り付けられています。	3 次	—
SOUT0	O	同期シリアルデータ出力端子です。P42 端子の 3 次機能および、P82 端子の 3 次機能に割り付けられています。	3 次	正
SIN1	I	同期シリアルデータ入力端子です。P84 端子の 3 次機能に割り付けられています。	3 次	正
SCK1	I/O	同期シリアルクロック入出力端子です。P85 端子の 3 次機能に割り付けられています。	3 次	—
SOUT1	O	同期シリアルデータ出力端子です。P86 端子の 3 次機能に割り付けられています。	3 次	正
UART				
TXD0	O	UART のデータ出力端子です。P87 端子の 2 次機能に割り付けられています。	2 次	正
RXD0	I	UART のデータ入力端子です。P86 端子の 2 次機能に割り付けられています。	2 次	正
外部割込				
NMI	I	外部ノンマスカブル割込み入力端子です。両エッジにて割込みが発生します。	1 次	正/負
EXI0~7	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P80~P87 端子の 1 次機能に割り付けられています。	1 次	正/負
LED 駆動				
LED0~2	O	LED 駆動端子です。P20~P22 端子の 1 次機能に割り付けられています。	1 次	正/負
音声出力機能				
SPP	O	内蔵スピーカーアンプのプラス側出力端子です。	—	—
SPM	O	内蔵スピーカーアンプのマイナス側出力端子です。	—	—
逐次比較型 A/D コンバータ				
AIN0~AIN2	I	逐次比較型 A/D コンバータ ch0~ch2 アナログ入力です。P40~P42 端子の 1 次機能に割り付けられています。	1 次	正/負

## ■未使用端子処理

## ●未使用端子の処理方法

端子	推奨端子処理
RESET_N	オープン
TEST0	オープン
TEST1_N	オープン
V <sub>REF</sub>	V <sub>DD</sub>
P40～P42(AIN0～AIN2)	オープン
SPV <sub>DD</sub>	V <sub>DD</sub>
SPV <sub>SS</sub>	V <sub>SS</sub>
SPP	オープン
SPM	オープン
P20～P22	オープン
P80～P87	オープン
NMI	オープン

## 【注意】

- ・未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。
- ・電源投入時、汎用ポートの状態は不定のため、“H”レベルまたは“L”レベルを出力する可能性があります。電源投入時の不定状態が問題となる場合は、基板上の周辺部品で対策してください。

## ■電気的特性

## ●絶対最大定格

(V<sub>SS</sub>=SPV<sub>SS</sub>=0V)

項 目	記 号	条 件	定 格 値	単 位
電源電圧 1	V <sub>DD</sub>	Ta=25°C	-0.3~+7.0	V
電源電圧 2	SPV <sub>DD</sub>	Ta=25°C	-0.3~+7.0	V
電源電圧 3	V <sub>DDL</sub>	Ta=25°C	-0.3~+3.6	V
リファレンス電圧	V <sub>REF</sub>	Ta=25°C	-0.3~V <sub>DD</sub> +0.3	V
入力電圧	V <sub>IN</sub>	Ta=25°C	-0.3~V <sub>DD</sub> +0.3	V
出力電圧	V <sub>OUT</sub>	Ta=25°C	-0.3~V <sub>DD</sub> +0.3	V
出力電流 1 (P40~P42, P80~P87)	I <sub>OUT1</sub>	Ta=25°C	-12~+11	mA
出力電流 2 (P20~P22)	I <sub>OUT2</sub>	Ta=25°C Nch オープンドレイン出力選択時	-12~+20	mA
許容損失	PD	Ta=25°C	1.0	W
保存温度	T <sub>STG</sub>	—	-55~+150	°C

## ●推奨動作条件

(V<sub>SS</sub>=SPV<sub>SS</sub>=0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T <sub>OP</sub>	—	-40~+85	°C
動作電圧	V <sub>DD</sub>	—	2.0~5.5	V
	SPV <sub>DD</sub>	—	2.0~5.5	
リファレンス電圧	V <sub>REF</sub>	V <sub>DD</sub> ≥ V <sub>REF</sub>	2.2~V <sub>DD</sub>	V
動作周波数 (CPU)	f <sub>OP</sub>	V <sub>DD</sub> =2.0V~5.5V	27k~4.2M	Hz
		V <sub>DD</sub> =2.2V~5.5V	4.2M~8.4M	
V <sub>DD</sub> 端子外付け容量	C <sub>V</sub>	—	1.0±30% 以上	μF
V <sub>DDL</sub> 端子外付け容量	C <sub>L</sub>	—	1.0±30%	μF

## ●フラッシュメモリ動作条件

(V<sub>SS</sub>=SPV<sub>SS</sub>=0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T <sub>OP</sub>	データ領域：書き込み／消去時	-40～+85	℃
		プログラム領域：書き込み／消去時	0～+40	
動作電圧	V <sub>DD</sub>	書き込み／消去時	2.2～5.5	V
書き換え回数 <sup>*1</sup>	C <sub>EPD</sub>	データ領域(512Byte x 4)	6,000	回
	C <sub>EPP</sub>	プログラム領域	100	
消去単位	—	チップ消去	プログラム、データの全領域	—
	—	ブロック消去	プログラム領域	KB
			データ領域	
消去時間（最大）	—	セクタ消去	512	B
		チップ消去	85	ms
		ブロック消去 セクタ消去		
書き込み単位	—	—	1ワード（2バイト）	
書き込み時間（最大）	—	1ワード（2バイト）	40	μs
データ保持年数	Y <sub>DR</sub>	—	10	年

<sup>\*1</sup>：消去1回と消去後の書き込み1回が書き換え回数1回です。ただし、消去を中断した場合でも1回とカウントします。

## ●直流特性（消費電流）

(特に指定のない場合 V<sub>DD</sub>=2.0～5.5V, SPV<sub>DD</sub>=2.0～5.5V, V<sub>SS</sub>=SPV<sub>SS</sub>=0V, Ta=-40～+85℃)

項 目	記 号	条 件		規 格 値			単位	測定回路
				Min.	Typ.	Max.		
消費電流 1	IDD1	CPU が STOP 状態 低速/高速発振停止	Ta≤+50℃	—	0.5	3.0	μA	1
			Ta≤+85℃	—	0.5	8.0		
消費電流 2	IDD2	CPU が HALT 状態 (LTBC,WDT 動作) 高速発振停止	Ta≤+50℃	—	2.7	5.0		
			Ta≤+85℃	—	2.7	10		
消費電流 3	IDD3	CPU が 32.768kHz 動作状態*1 高速発振停止		—	20	30		
消費電流 4	IDD4	CPU が 4.096MHz 動作状態 CR 発振状態	V <sub>DD</sub> = SPV <sub>DD</sub> =3.0V	—	3.0	5.0	mA	
			V <sub>DD</sub> = SPV <sub>DD</sub> =5.0V	—	3.0	5.0		
		CPU が 8.192MHz 動作状態 CR 発振状態	V <sub>DD</sub> = SPV <sub>DD</sub> =3.0V	—	4.0	6.0		
			V <sub>DD</sub> = SPV <sub>DD</sub> =5.0V	—	4.0	6.0		
消費電流 5	IDD5	CPU が 4.096MHz 動作状態 CR 発振状態 1KHz,2.98db,SIN 波形再生中(出力無負荷)	V <sub>DD</sub> = SPV <sub>DD</sub> =3.0V	—	4.0	7.0		
			V <sub>DD</sub> = SPV <sub>DD</sub> =5.0V	—	6.0	10		
		CPU が 8.192MHz 動作状態 CR 発振状態 1KHz,2.98db,SIN 波形再生中(出力無負荷)	V <sub>DD</sub> = SPV <sub>DD</sub> =3.0V	—	5.0	8.0		
			V <sub>DD</sub> = SPV <sub>DD</sub> =5.0V	—	7.0	11		

<sup>\*1</sup>：CPU 動作率 100%時（HALT 状態なし）

## ●直流特性 (VOHL, IOHL, IIHL)

(特に指定のない場合  $V_{DD}=2.0\sim5.5V$ ,  $SPV_{DD}=2.0\sim5.5V$ ,  $V_{SS}=SPV_{SS}=0V$ ,  $T_a=-40\sim+85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
出力電圧 1 (P20~P22) (P40~P42) (P80~P87)	VOH1	IOH1=-0.5mA (1 端子出力)	$V_{DD}$ -0.5	—	—	V	2
	VOL1	IOL1=+0.5mA (1 端子出力)	—	—	0.5		
出力電圧 2 (P20~P22)	VOL2	Nchオープンドレ イン出力選択時 (1端子出力)	IOL2=+5mA $V_{DD}\geq 2.2V$	—	—		
			IOL2=+8mA $V_{DD}\geq 2.3V$	—	—		
出力電圧 3 (P80~P81)	VOL3	IOL3=+3mA ( $I^2C$ バス入出力モード選択時, 1端子出力時)	—	—	0.4	$\mu A$	3
出力リーク (P20~P22) (P40~P42) (P80~P87)	IOOH	VOH= $V_{DD}$ (ハイインピーダンス時)	—	—	1.0		
	IOOL	VOL= $V_{SS}$ (ハイインピーダンス時)	-1.0	—	—	$\mu A$	4
入力電流 1 (RESET_N) (TEST1_N)	IIH1	VIH1= $V_{DD}$	0	—	1.0		
	IIL1	VIL1= $V_{SS}$	-1500	-300	-20		
入力電流2 (NMI) (P40~P42) (P80~P87)	IIH2	VIH2= $V_{DD}$ (プルダウン時)	2	30	250		
	IIL2	VIL2= $V_{SS}$ (プルアップ時)	-250	-30	-2		
	IIH2Z	VIH2= $V_{DD}$ (ハイインピーダンス時)	—	—	1.0		
	IIL2Z	VIL2= $V_{SS}$ (ハイインピーダンス時)	-1.0	—	—		
入力電流 3 (TEST0)	IIH3	VIH3= $V_{DD}$	20	300	1500		
	IIL3	VIL3= $V_{SS}$	-1.0	—	—		

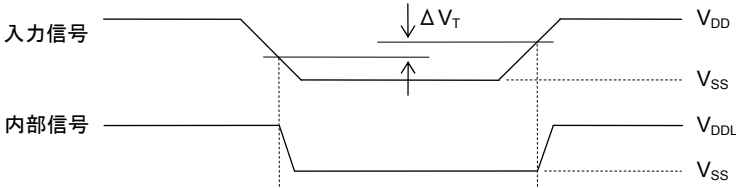


●直流特性 (VIHL)

(特に指定のない場合  $V_{DD}=2.0\sim5.5V$ ,  $SPV_{DD}=2.0\sim5.5V$ ,  $V_{SS}= SPV_{SS}=0V$ ,  $Ta=-40\sim+85^{\circ}C$ )

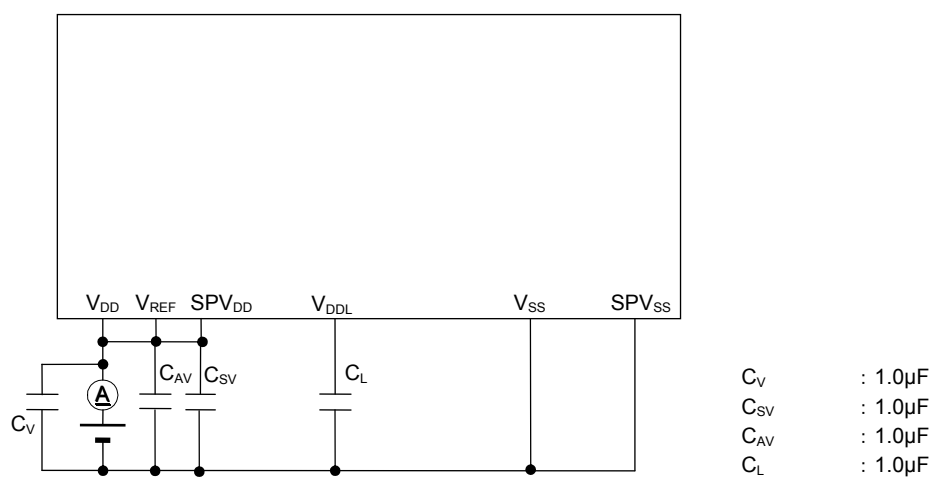
項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (TEST0) (TEST1_N) (NMI) (P40~P42) (P80~P87)	VIH1	—	$0.7 \times V_{DD}$	—	$V_{DD}$	V	5
	VIL1	—	0	—	$0.3 \times V_{DD}$		
ヒステリシス幅 (RESET_N) (TEST0) (TEST1_N) (NMI) (P40~P42) (P80~P87)	$\Delta V_T$	—	$0.05 \times V_{DD}$	—	$0.4 \times V_{DD}$		
入力端子容量 (NMI) (P40~P42) (P80~P87)	CIN	$f=10kHz$ $V_{rms}=50mV$ $Ta=25^{\circ}C$	—	—	10	pF	—

●ヒステリシス幅

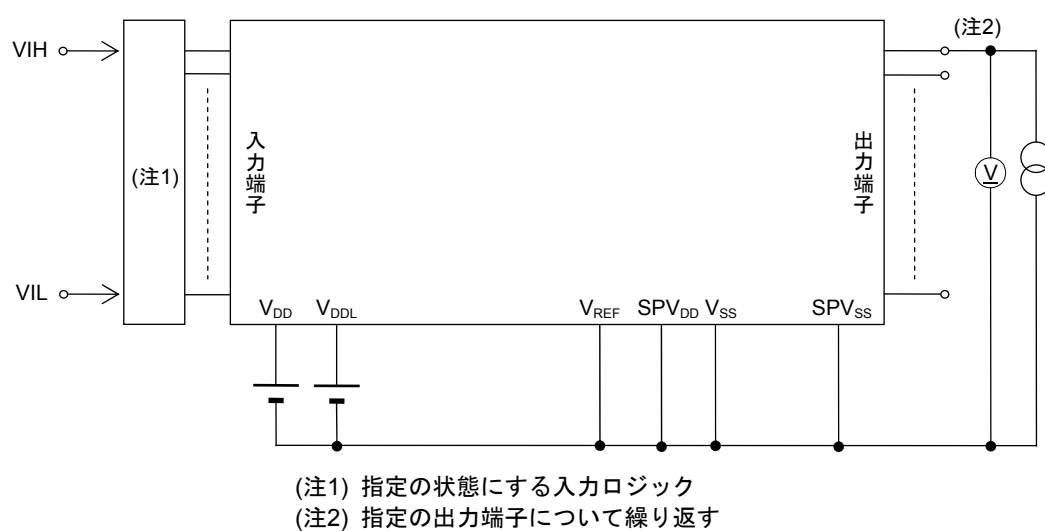


## ●測定回路

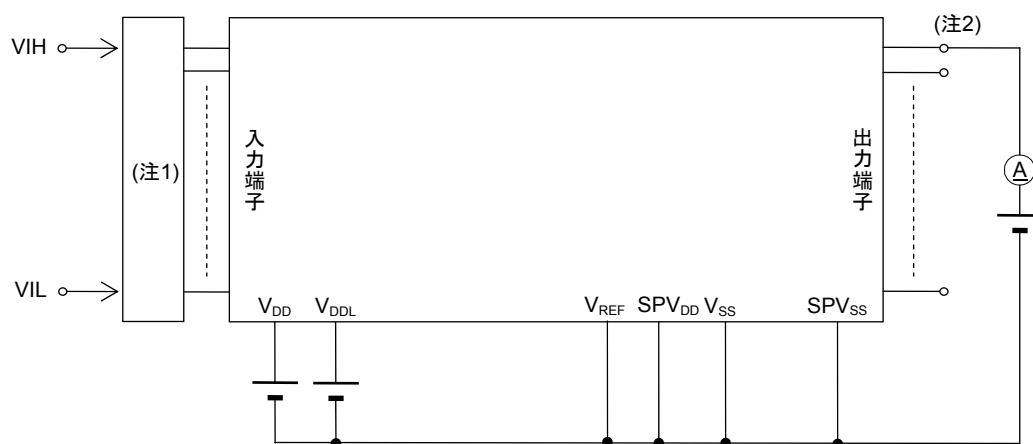
### ・測定回路 1



### ・測定回路 2

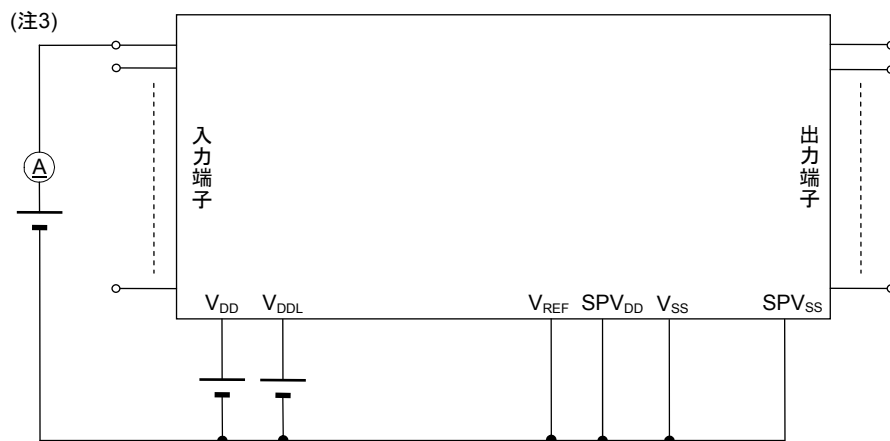


・測定回路 3



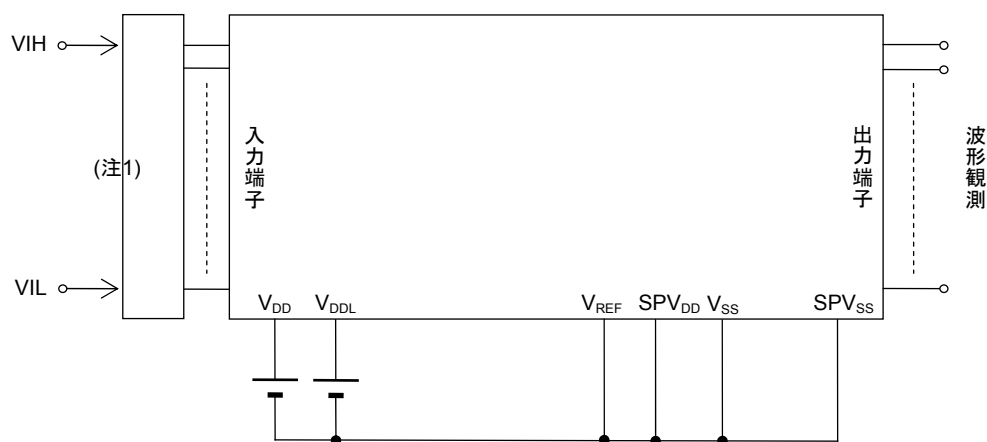
(注1) 指定の状態にする入力ロジック  
(注2) 指定の出力端子について繰り返す

・測定回路 4



(注3) 指定の入力端子について繰り返す

・測定回路 5



(注1) 指定の状態にする入力ロジック

## ●交流特性(発振回路)

(特に指定のない場合  $V_{DD}=2.0\sim5.5V$ ,  $SPV_{DD}=2.0\sim5.5V$ ,  $V_{SS}=SPV_{SS}=0V$ ,  $T_a=-40\sim+85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
高速発振開始時間	T <sub>XTH</sub>	—	—	1.0	3.0	ms	1
低速 RC 発振周波数	f <sub>LCR</sub>	-10～+50℃	Typ -1.5%	32.768	Typ +1.5%	KHz	
		-40～+85℃	Typ -3.0%		Typ +3.0%		
PLL 発振周波数	f <sub>HPLL</sub>	-10～+50℃	Typ -1.5%	4.096 もしくは 8.192	Typ +1.5%	MHz	
		-40～+85℃	Typ -3.0%		Typ +3.0%		

## ●交流特性(スピーカアンプ)

(特に指定のない場合  $V_{DD}=2.0\sim5.5V$ ,  $SPV_{DD}=2.0\sim5.5V$ ,  $V_{SS}=SPV_{SS}=0V$ ,  $T_a=-40\sim+85^{\circ}C$ )

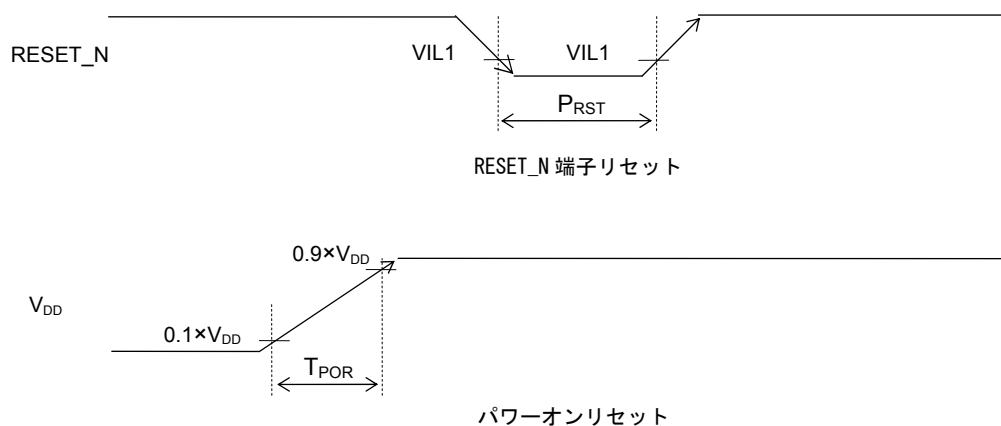
項 目	記 号	条 件	規 格 値			単位	
			Min.	Typ.	Max.		
SPM、SPP 出力負荷抵抗	$R_{LSP}$	—	6.4	8	—	$\Omega$	
スピーカアンプ出力電力	$P_{SPO1}$	$SPV_{DD}=3.0V$ , $f=1kHz$ $R_{SPO}=8\Omega$ , $THD\geq 10\%$	—	0.45	—	W	
	$P_{SPO2}$	$SPV_{DD}=5.0V$ , $f=1kHz$ $R_{SPO}=8\Omega$ , $THD\geq 10\%$	—	1.0	—		

## ●交流特性(電源立ち上げ・リセットシーケンス)

(特に指定のない場合  $V_{DD}=2.0\sim5.5V$ ,  $SPV_{DD}=2.0\sim5.5V$ ,  $V_{SS}=SPV_{SS}=0V$ ,  $T_a=-40\sim+85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
V <sub>DD</sub> を立ち上げ後、SPV <sub>DD</sub> を立ち上げるまでの時間	t <sub>VDD</sub>	—	0	—	—	ns	1
リセット <sup>*1</sup> パルス幅	P <sub>RST</sub>	—	100	—	—	us	
リセット <sup>*1</sup> ノイズ除去 パルス幅	P <sub>NRST</sub>	—	—	—	0.4		
パワーオンリセット発生 電源立ち上がり時間	T <sub>POR</sub>	—	—	—	10	ms	

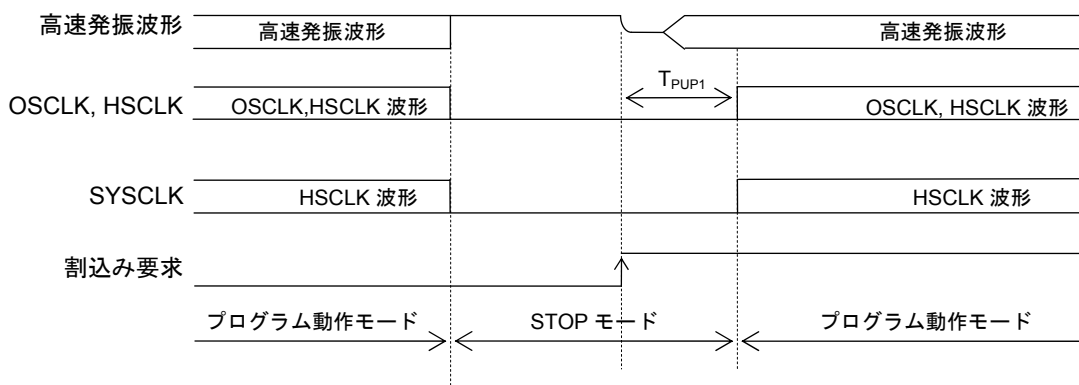
\*1: RESET\_N 端子によるリセット



## ●交流特性 (STOP 解除後発振安定時間)

(特に指定のない場合  $V_{DD}=2.0\sim5.5V$ ,  $SPV_{DD}=2.0\sim5.5V$ ,  $V_{SS}=SPV_{SS}=0V$ ,  $T_a=-40\sim+85^{\circ}C$ )

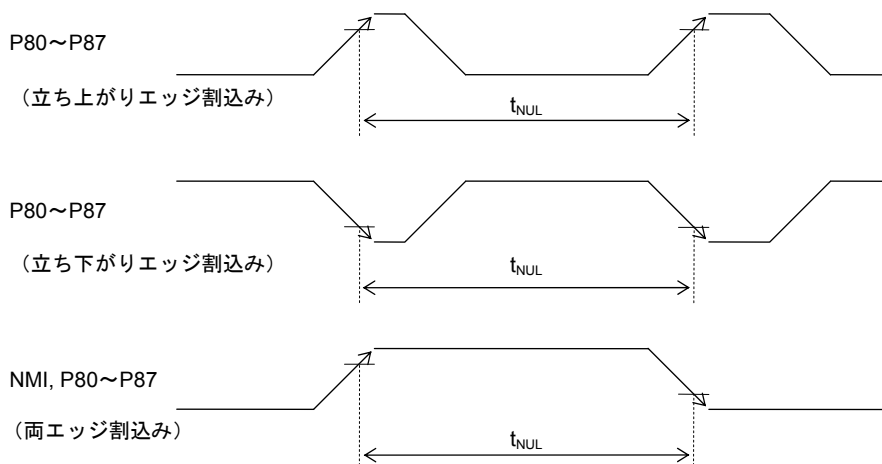
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
STOP 解除後発振安定時間	$T_{PUP1}$	—	2	—	—	ms



## ●交流特性 (外部割り込み)

(特に指定のない場合  $V_{DD}=2.0\sim5.5V$ ,  $SPV_{DD}=2.0\sim5.5V$ ,  $V_{SS}=SPV_{SS}=0V$ ,  $T_a=-40\sim+85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割り込み無効期間	$T_{NUL}$	割り込み許可 (MIE=1) CPU は NOP 動作	$2.5 \times \text{sysclk}$	—	$3.5 \times \text{sysclk}$	$\mu s$

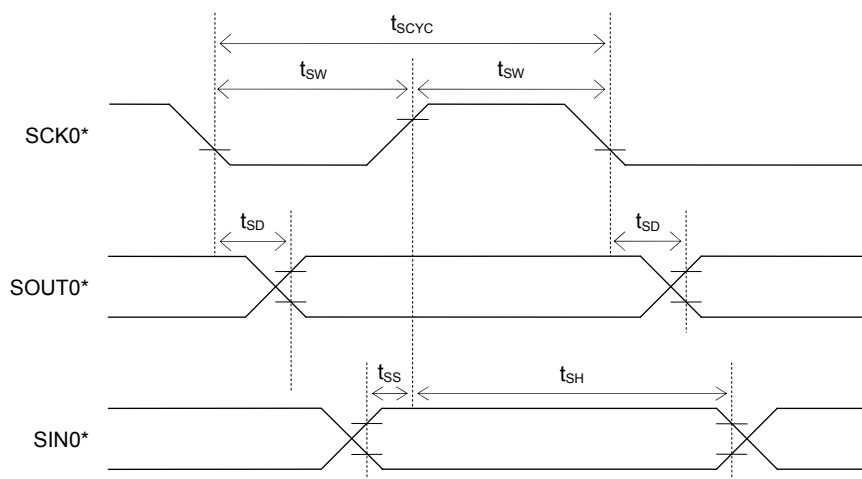


## ●交流特性(同期式シリアルポート)

(特に指定のない場合  $V_{DD}=2.0\sim5.5V$ ,  $SPV_{DD}=2.0\sim5.5V$ ,  $V_{SS}=SPV_{SS}=0V$ ,  $T_a=-40\sim+85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCK 入力サイクル (スレーブモード)	$t_{SCYC}$	高速発振停止時	10	—	—	$\mu s$
		高速発振時	500	—	—	ns
SCK 出力サイクル (マスタモード)	$t_{SCYC}$	$V_{DD}\geq 2.4V$	—	4	—	MHz
		$V_{DD}\geq 2.0V$	—	2	—	
SCK 入力パルス幅 (スレーブモード)	$t_{SW}$	高速発振停止時	4	—	—	$\mu s$
		高速発振時	200	—	—	ns
SCK 出力パルス幅 (マスタモード)	$t_{SW}$	—	$SCK^{*1}\times 0.4$	$SCK^{*1}\times 0.5$	$SCK^{*1}\times 0.6$	s
SOUT 出力遅延時間 (スレーブモード)	$t_{SD}$	—	—	—	180	ns
SOUT 出力遅延時間 (マスタモード)	$t_{SD}$	—	—	—	80	ns
SIN 入力 セットアップ時間 (スレーブモード)	$t_{SS}$	—	50	—	—	ns
SIN 入力 ホールド時間	$t_{SH}$	—	50	—	—	ns

\*1: シリアルポート 0 モードレジスタ (SIO0MOD1) の S0CK3~0 により選択されたクロック周期



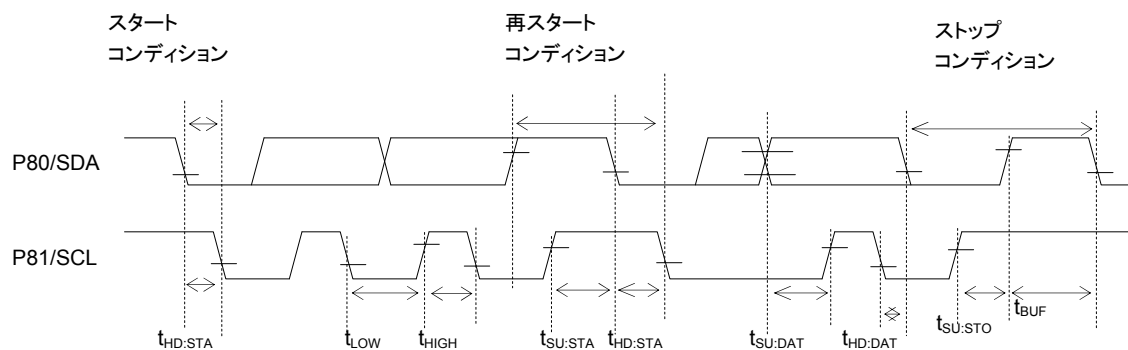
\*: ポートの 2 次機能を示す。

● 交流特性 (I<sup>2</sup>C バス・インタフェース: 標準モード 100kbps)(特に指定のない場合 V<sub>DD</sub>=2.0~5.5V, SPV<sub>DD</sub>=2.0~5.5V, V<sub>SS</sub>= SPV<sub>SS</sub>=0V, Ta=-40~+85°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f <sub>SCL</sub>	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t <sub>HD:STA</sub>	—	4.0	—	—	μs
SCL "L" レベル時間	t <sub>LOW</sub>	—	4.7	—	—	μs
SCL "H" レベル時間	t <sub>HIGH</sub>	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t <sub>SU:STA</sub>	—	4.7	—	—	μs
SDA ホールド時間	t <sub>HD:DAT</sub>	—	0	—	—	μs
SDA セットアップ時間	t <sub>SU:DAT</sub>	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t <sub>SU:STO</sub>	—	4.0	—	—	μs
バスフリー時間	t <sub>BUF</sub>	—	4.7	—	—	μs

● 交流特性 (I<sup>2</sup>C バス・インタフェース: ファーストモード 400kbps)(特に指定のない場合 V<sub>DD</sub>=2.0~5.5V, SPV<sub>DD</sub>=2.0~5.5V, V<sub>SS</sub>= SPV<sub>SS</sub>=0V, Ta=-40~+85°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f <sub>SCL</sub>	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t <sub>HD:STA</sub>	—	0.6	—	—	μs
SCL "L" レベル時間	t <sub>LOW</sub>	—	1.3	—	—	μs
SCL "H" レベル時間	t <sub>HIGH</sub>	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t <sub>SU:STA</sub>	—	0.6	—	—	μs
SDA ホールド時間	t <sub>HD:DAT</sub>	—	0	—	—	μs
SDA セットアップ時間	t <sub>SU:DAT</sub>	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t <sub>SU:STO</sub>	—	0.6	—	—	μs
バスフリー時間	t <sub>BUF</sub>	—	1.3	—	—	μs

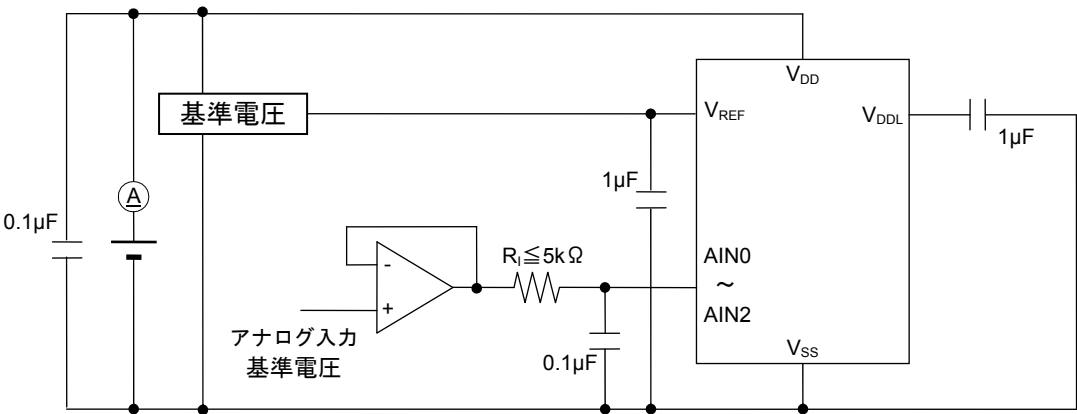


● 逐次比較型 A/D コンバータの電气的特性

(特に指定のない場合  $V_{DD}=2.2\sim 5.5V$ ,  $SPV_{DD}=2.2\sim 5.5V$ ,  $V_{REF}=2.2\sim 5.5V$ ,  $V_{SS}=SPV_{SS}=0V$ ,  $T_a=-40\sim +85^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
分解能	n	—	—	—	10	bit
積分非直線性誤差	IDL	$2.7V \leq V_{REF} \leq 5.5V$	-4	—	+4	LSB
		$2.2V \leq V_{REF} < 2.7V$	-5	—	+5	
微分非直線性誤差	DNL	$2.7V \leq V_{REF} \leq 5.5V$	-3	—	+3	
		$2.2V \leq V_{REF} < 2.7V$	-4	—	+4	
ゼロスケール誤差	$V_{OFF}$	$R_I \leq 5k\Omega$	-4	—	+4	
フルスケール誤差	FSE	$R_I \leq 5k\Omega$	-4	—	+4	
入力インピーダンス	$R_I$	—	—	—	5k	$\Omega$
リファレンス電圧	$V_{REF}$	—	2.2	—	$V_{DD}$	V
変換時間	$t_{CONV}$	HSCLK=4M~8.4MHz	—	102	—	$\phi/CH$

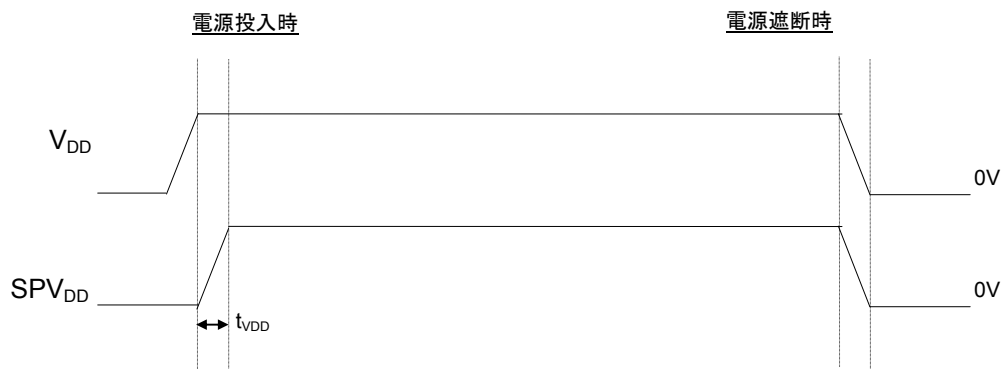
$\phi$  : 高速クロック (HSCLK) の周期



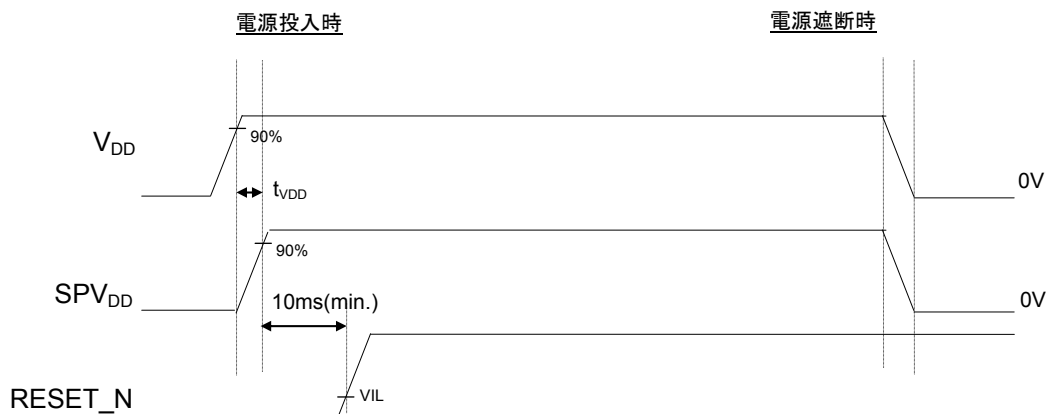


## ●電源投入・遮断シーケンス

## ・電源立上がり時間が 10msec 以内の場合



## ・電源立上がり時間が 10msec 以上の場合



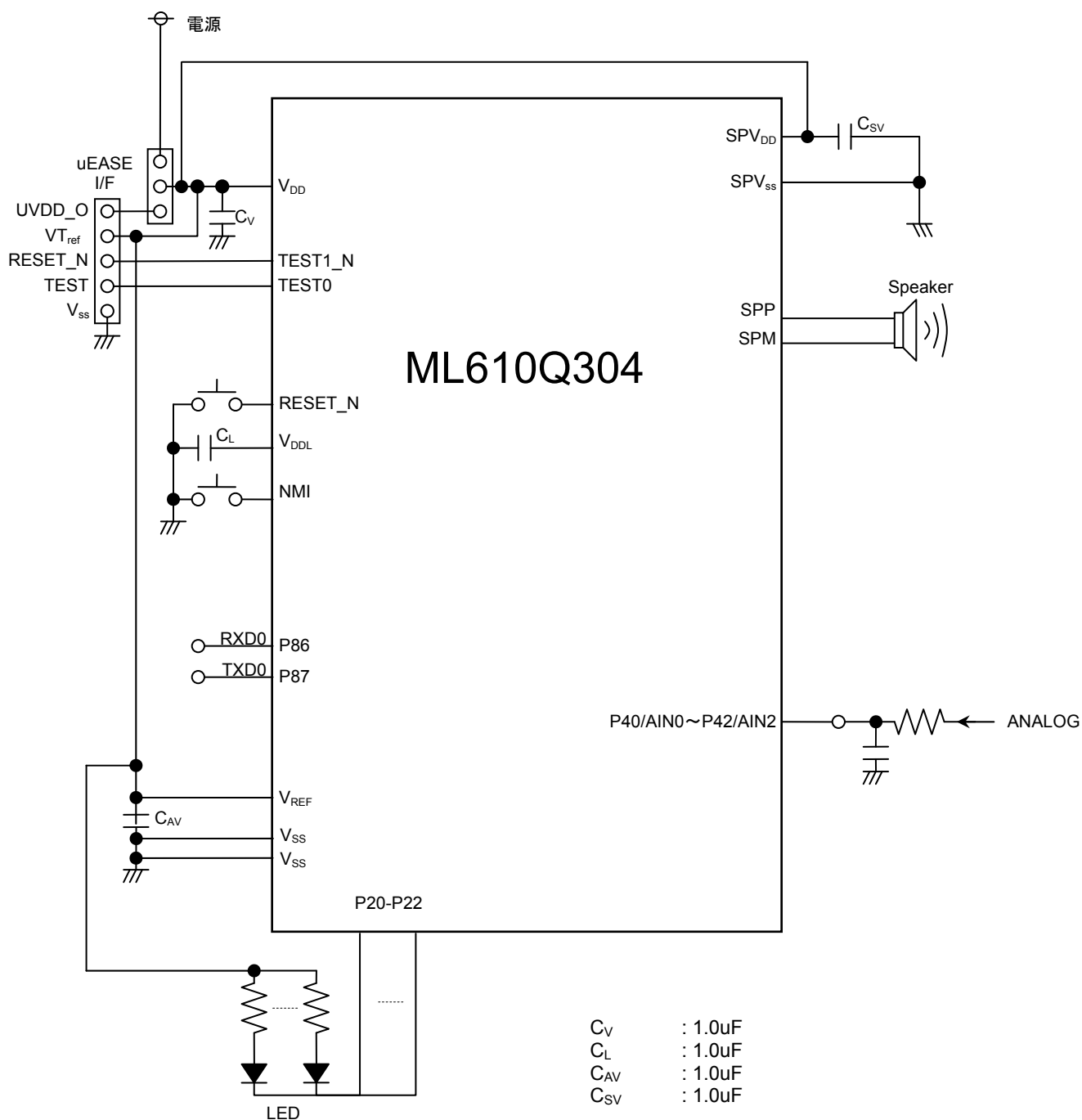
## 推奨電源投入／遮断シーケンス

- ①電源投入時には、 $V_{DD}$ 、 $SPV_{DD}$  を同時か、 $V_{DD}$ 、 $SPV_{DD}$  の順に供給して下さい。
- ②電源遮断時には、 $V_{DD}$ 、 $SPV_{DD}$  を同時か、 $SPV_{DD}$ 、 $V_{DD}$  の順に遮断して下さい。

## 【注意】

- ・電源投入時、汎用ポートの状態は不定のため、“H”レベルまたは“L”レベルを出力する可能性があります。電源投入時の不定状態が問題となる場合は、基板上の周辺部品で対策してください。
- ・電源遮断後、 $V_{DD}$  の電荷が残っている状態で電源を再投入した場合に、パワーオンリセットが発生せずに、プログラムが正常に動作しない可能性があります。リセット IC の使用を推奨します。

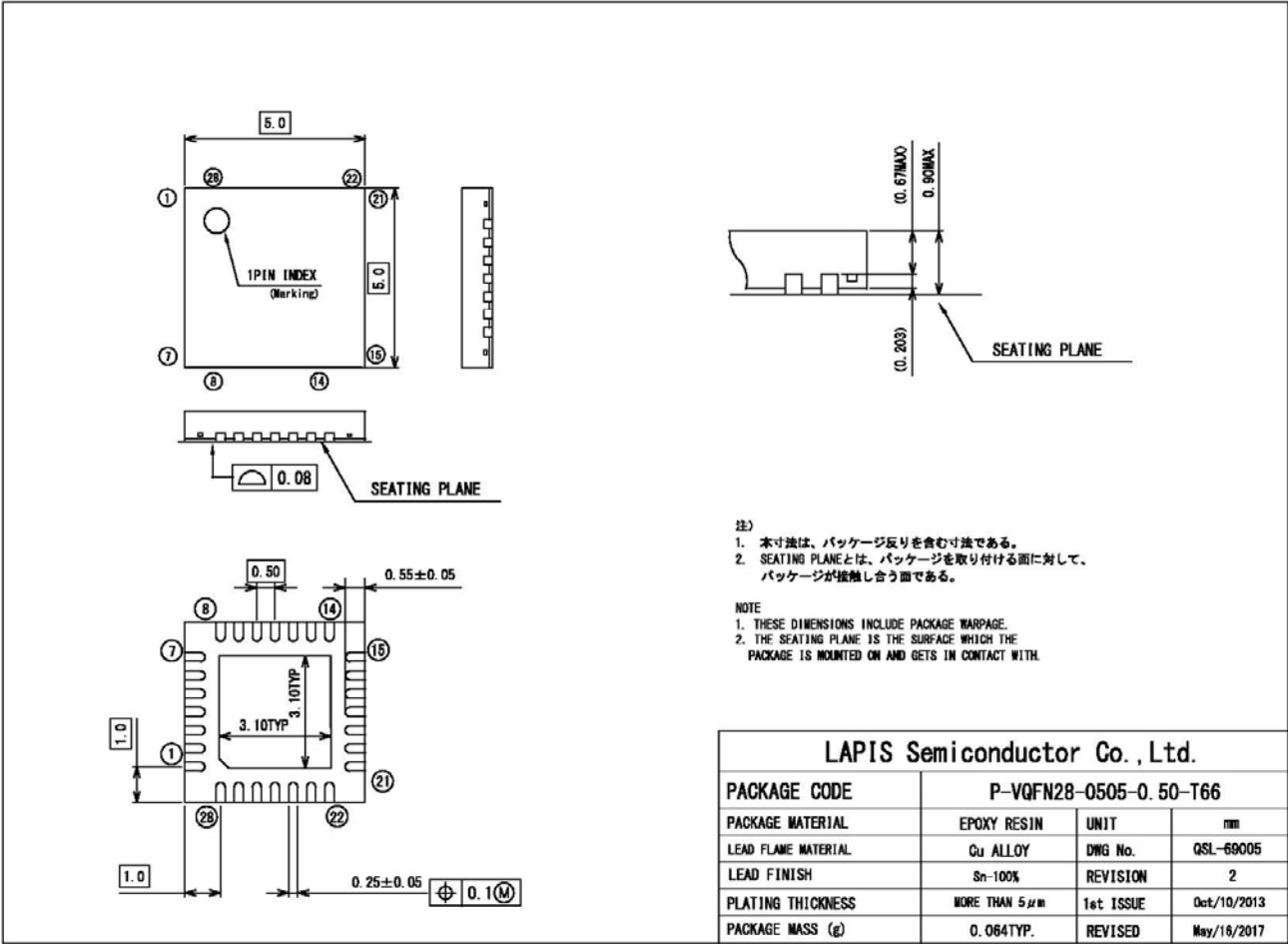
■ 応用回路例



【注意】

ノイズ対策のため、 $V_{DDL}$ と $V_{SS}$ の基板上配線については最短になるよう設計してください。

■パッケージ外形図 (28 ピン VQFN)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

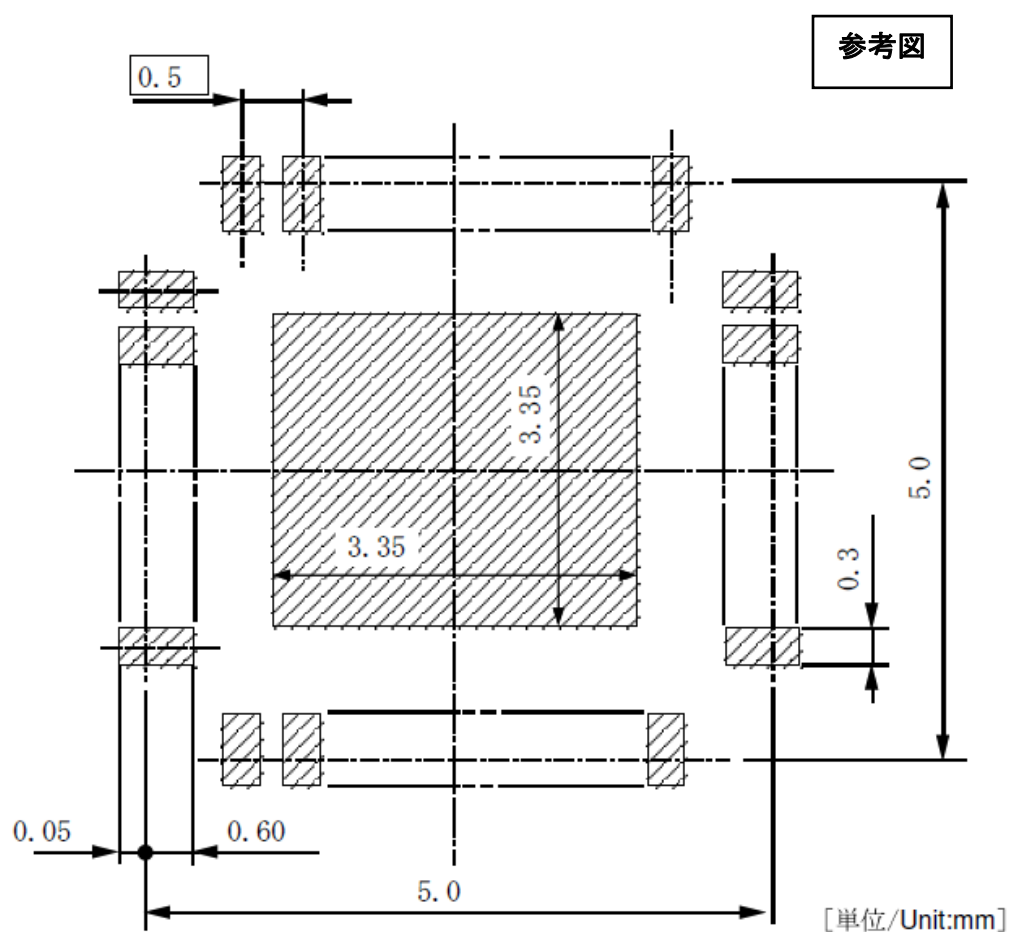
本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値 (θ Ja) が変わります。

PCB	(W/L/t= 60 / 62 / 1.6 (mm))
PCB Layer	1 層
空冷条件	無風時 (0m/sec)
熱抵抗値 (θJa)	56.6 [°C/W](裏面ダイパッド接続時)
チップの消費電力 PMax OutputPower	0.351 [W]

本 LSI の TjMax は 125℃です。TjMax は以下の式で表されます。

TjMax=TaMax + θ Ja×PMax

## ■半田付け部端子存在範囲図 (28 ピン VQFN)

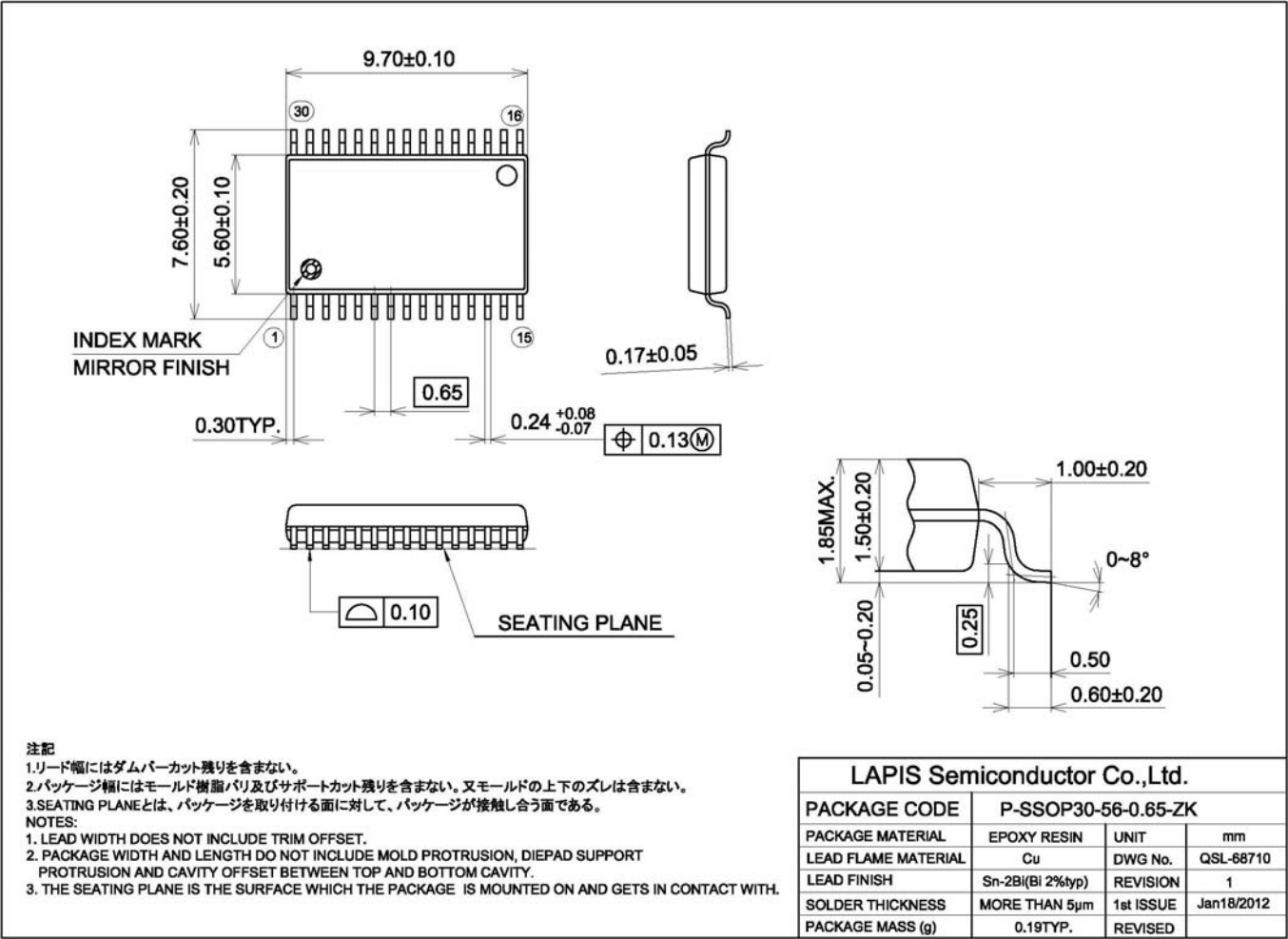


## 実装基板の設計上のご注意

実装基板のフットパターンの設計の際に、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことを十分考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従いまして、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

■パッケージ外形図 (30 ピン SSOP)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変異影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などを当社販売窓口まで必ずお問い合わせください。

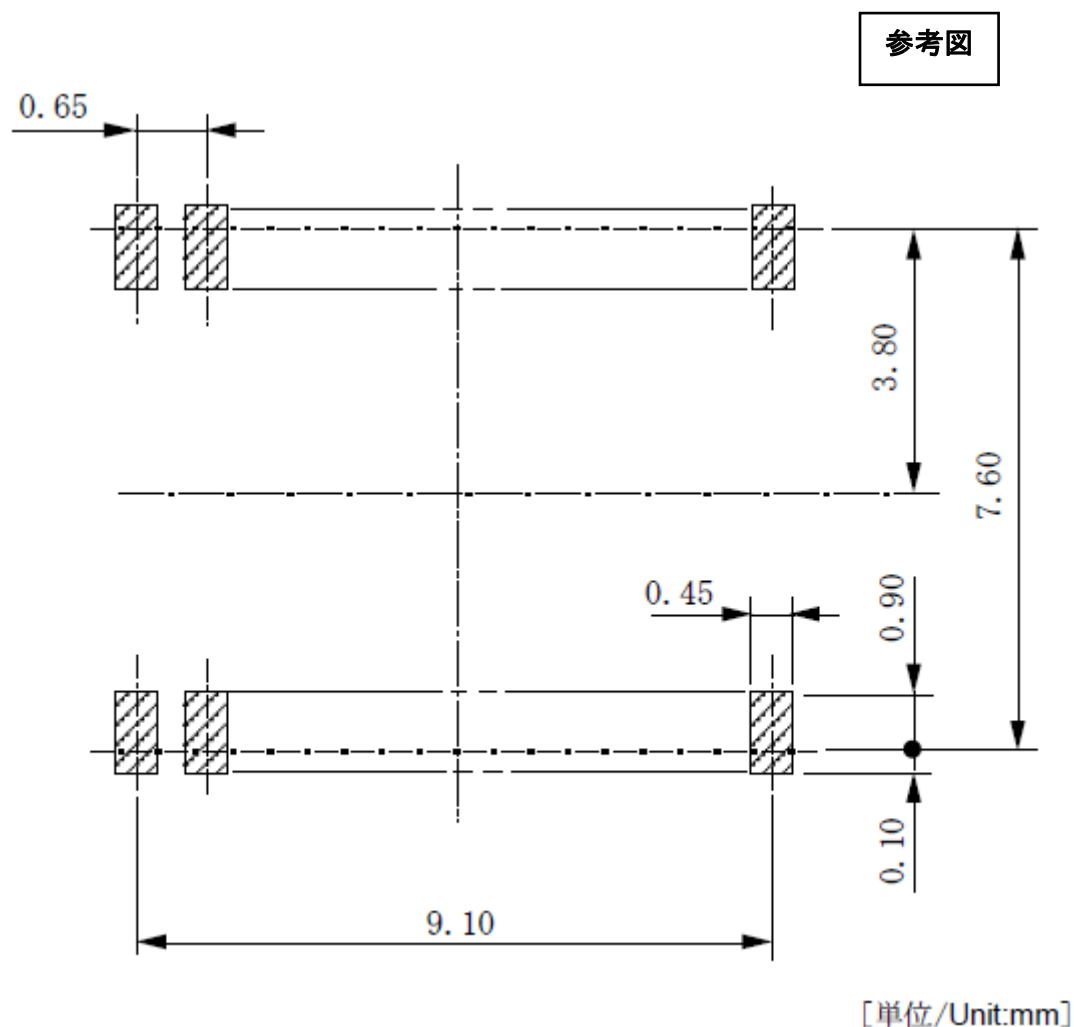
本 LSI の熱抵抗値 (例) について以下に示します。基板の大きさや層数により熱抵抗値 ( $\theta_{Ja}$ ) が変わります。

PCB	(W/L/t= 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時 (0m/sec)
熱抵抗値 ( $\theta_{Ja}$ )	50.31 [°C/W]
チップの消費電力 PMax OutputPower	0.351 [W]

本 LSI の  $T_{jMax}$  は 125°C です。  $T_{jMax}$  は以下の式で表されます。

$T_{jMax} = T_{aMax} + \theta_{Ja} \times P_{Max}$

## ■半田付け部端子存在範囲図 (30 ピン SSOP)

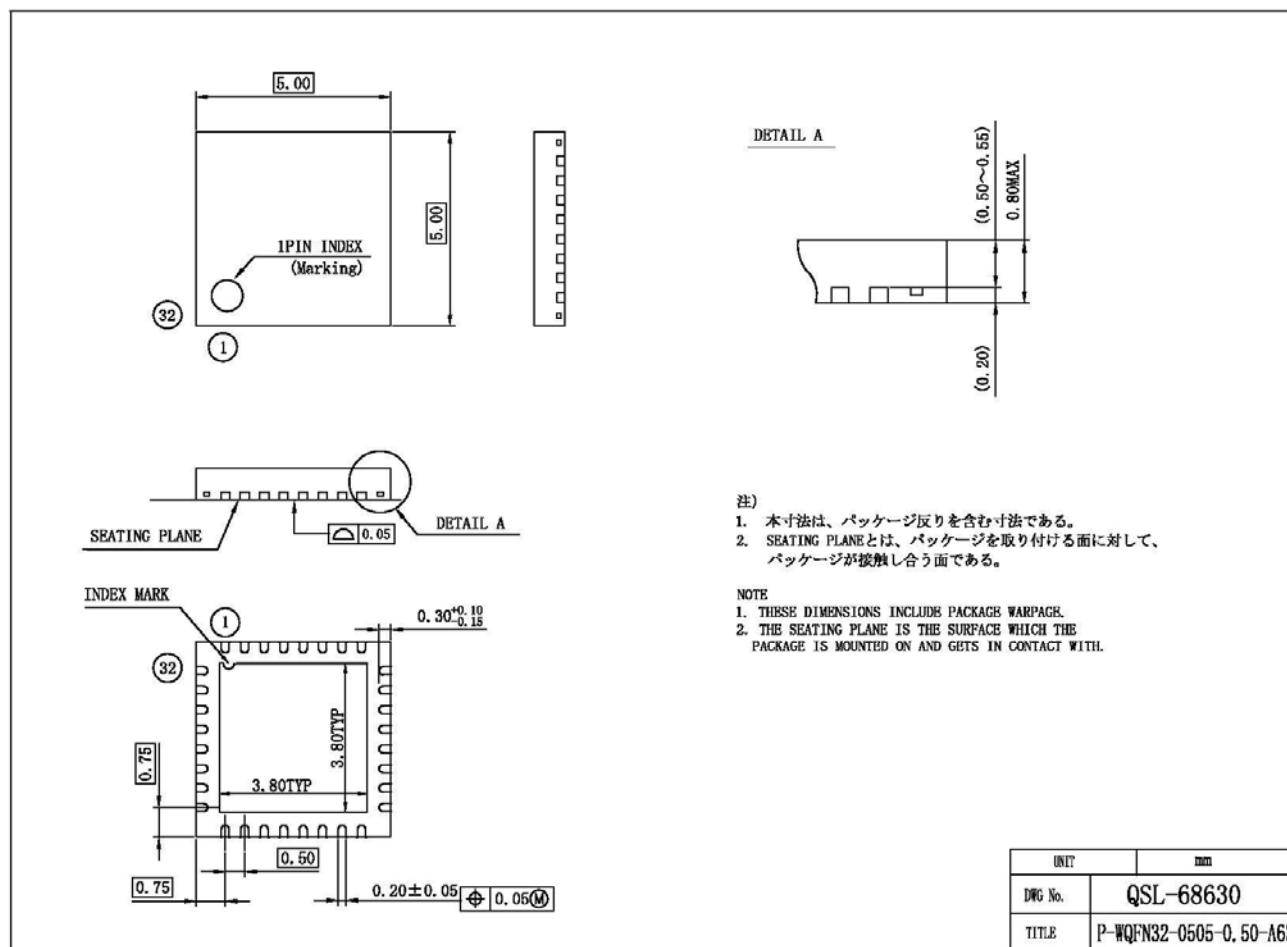


## 実装基板の設計上のご注意

実装基板のフットパターンの設計の際に、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことを十分考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従いまして、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

# ■パッケージ外形図 (32 ピン WQFN)



## 表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変大影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値 ( $\theta_{Ja}$ ) が変わります。

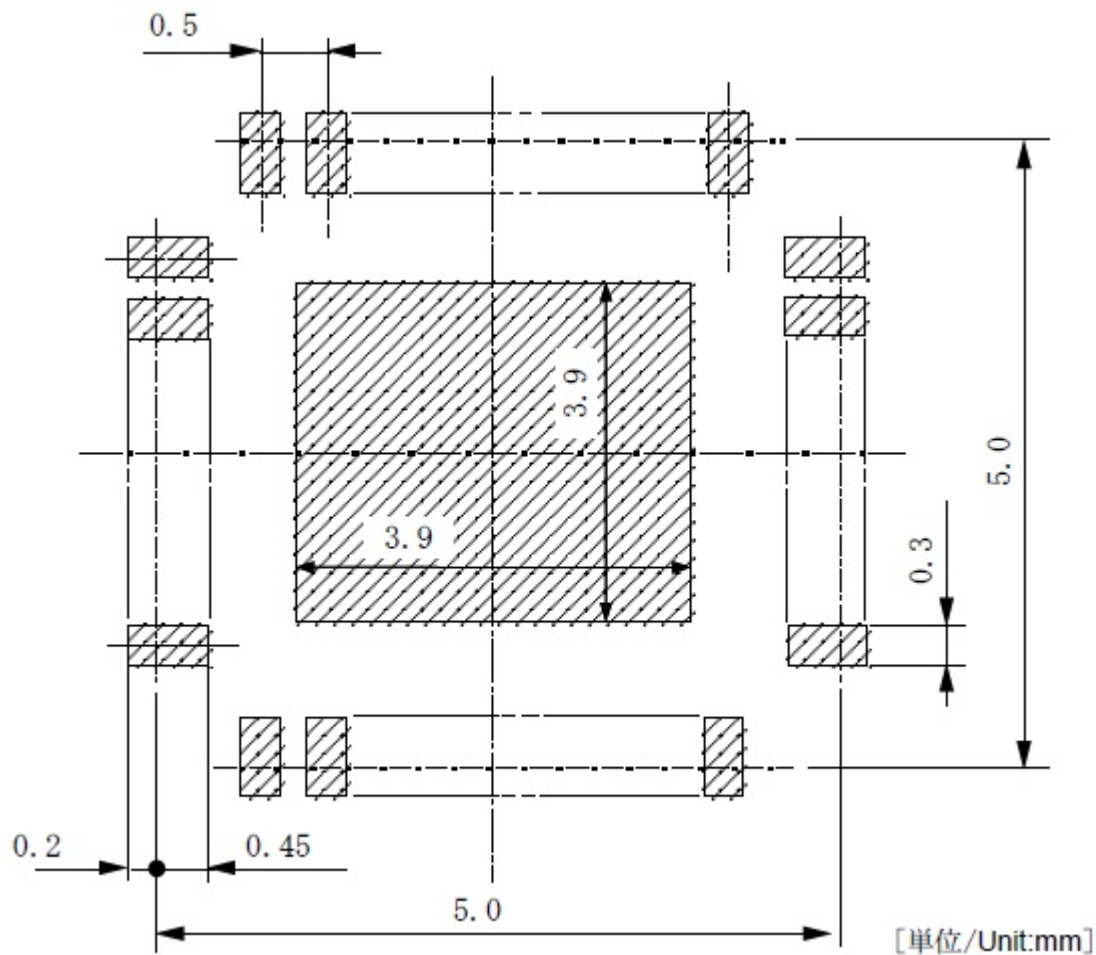
PCB	(W/L/t= 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時(0m/sec)
熱抵抗値( $\theta_{Ja}$ )	25.36 [°C/W](裏面ダイパッド接続時)
チップの消費電力 PMax OutputPower	0.351 [W]

本 LSI の  $T_{jMax}$  は 125°C です。 $T_{jMax}$  は以下の式で表されます。

$$T_{jMax} = T_{aMax} + \theta_{Ja} \times P_{Max}$$

### ■半田付け部端子存在範囲図(32ピン WQFN)

## 参考図



## 実装基板の設計上のご注意

実装基板のフットパターンの設計の際に、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことを十分考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従いまして、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。



## ■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q304-01	2014.7.10	—	—	初版版発行
FJDL610Q304-02	2017.9.7	3	3	出荷形態に 30 ピン SSOP, 32 ピン WQFN を追加
		—	6	30 ピン SSOP パッケージ端子配置図追加
		—	7	32 ピン WQFN パッケージ端子配置図追加
		6	8	端子一覧に 30 ピン SSOP, 32 ピン WQFN の PinNo を追加
		9	11	電源投入時の注意事項を追加
		10	12	絶対最大定格の出力電流 2 の条件に「Nch オープンドレイン出力選択時」を追加
		10	12	推奨動作条件の項目に $V_{DD}$ 端子外付け容量を追加
		11	13	フラッシュ・メモリ動作条件の項目と書き換え回数に関する補足 <sup>1)</sup> を追加
		13	15	直流特性 (VOHL, IOHL) の出力電圧 1, 2, 3 の条件に「1 端子出力」を追加。出力電圧 2 の条件の記載方法を変更 (変更前) LED 駆動モード選択時 (変更後) Nch オープンドレイン出力選択時
		15	17	測定回路 1 の $C_V$ , $C_{SV}$ , $C_L$ の容量を変更
		20	22	交流特性 $I^2C$ バス・インタフェースを 100kbps, 400kbps に訂正
		22	24	【注意】に電源投入・遮断時の注意事項を追加
		22	24	ノイズ対策のための【注意】を追加
		—	28,29	30 ピン SSOP のパッケージ外形図とフットパターン図を追加
		—	30,31	32 ピン WQFN のパッケージ外形図とフットパターン図を追加
FJDL610Q304-03	2019.6.24	1	1	●CPU オンチップデバッグ機能を内蔵の「オンチップ」を追加
		1	1	●内部メモリ「フラッシュ ROM」を「フラッシュ・メモリ」に変更
		1	1	●割込みコントローラ「I2C (Master/Slave) ポート」を「I2C バス・インタフェース」に変更
		1	1	●ウォッチドックタイマ 内容を変更
		2	2	●音声出力機能「BIT」の表示を「ビット」に変更
		2	2	●逐次比較型 A/D コンバータ 内容を変更
		2	2	●同期式シリアルポート (SSIO)「(SSIO)」を追加
		2	2	●UART「1/2 ストップビット」を「1 ストップビット/2 ストップビット」に変更
		3	3	●動作保証範囲「動作周囲温度」の「周囲」を追加
		4	4	ML610Q304 ブロック図の変更
		9	9	コンデンサ $C_L$ (1 $\mu$ F) の「(1 $\mu$ F)」を追加
		9	9	「逐次比較型 ADC」を「逐次比較型 A/D コンバータ」に変更
		12	12	●絶対最大定格 項目 出力電流 1 の条件「ポート 4, 8」を削除
		12	12	●絶対最大定格 項目 出力電流 2 の条件「ポート 2」を削除
		13	13	●フラッシュメモリ動作条件 消去単位 プログラム領域 誤記訂正
		13	18	●交流特性 (発振回路) 項目「内蔵 CR 発振周波数」を「低速 RC 発振周波数」に変更 項目「PLL 発振周波数」の「PLL」を追加
		13	18	●交流特性 (スピーカアンプ)、誤記訂正
		13	18	●交流特性 (発振回路)、●交流特性 (スピーカアンプ) を ●測定回路の次に移動

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q304-03	2019.6.24	15	14	●直流特性 (VOHL, IOHL, IHL) 項目 出力電流 記号 VOH1 条件「(1 端子出力)」を追加
		17	16	測定回路 1 変更
		22	21	●交流特性 (I <sup>2</sup> C バス・インタフェース:ファーストモード 400kbps) 「高速」を「ファースト」に変更
		23	22	●逐次比較型 A/D コンバータの電气的特性 誤記訂正

## ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。  
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。  
・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。  
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2014 – 2019 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>