



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

2024 年4 月1 日
ローム株式会社

ML610Q305/306

音声機能付 8bit マイクロコントローラ

■概要

- 1 本資料に記載された「製品使用時の注意事項」および「ご注意」をご確認の上、お使いください。

本 LSI は、8 ビット CPU nX-U8/100 を搭載し、タイマ、同期式シリアルポート、10 ビット逐次比較型 A/D コンバータ、および音声出力機能等の多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。CPU nX-U8/100 は、3 段パイプラインアーキテクチャによる並列処理をすることで 1 命令 1 クロックの効率的な命令実行が可能です。また、ML610Q305/306 はマスク ROM 同等の低電圧、低消費電力動作（読み出し時）を実現したフラッシュメモリ* を搭載しており、警報機や携帯機器などの電池駆動アプリケーションに最適です。さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

*: This product uses SuperFlash® technology licensed from Silicon Storage Technology, Inc. SuperFlash® is a registered trademark of Silicon Storage Technology, Inc.

■特長

1 CPU

- RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)
- 命令体系:16 ビット長命令
- 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵
- 最小命令実行時間
 - 約 30.5μs (@32.768kHz システムクロック)
 - 約 0.244μs (@4.096MHz システムクロック) @V_{DD}=2.0~5.5V
 - 約 0.122μs (@8.192MHz システムクロック) @V_{DD}=2.2~5.5V

1 内部メモリ

- 96K バイトのフラッシュ・メモリ (48K×16 ビット) を内蔵 (使用不可のテスト領域 1K バイトを含む)
- 2K バイトのフラッシュ・メモリを内蔵 (セルフ書き換え可能な領域 512 バイト×4 面)
- 1K バイトの RAM (1K×8 ビット) を内蔵

1 割込みコントローラ

- ノンマスク割込み 2 要因
 - 内部要因:1(ウォッチドッグタイマ)
 - 外部要因:1(NMI)
- マスク割込み 24 要因
 - 内部要因:16(同期式シリアルポート0, 同期式シリアルポート1, UART, I²C バス マスタ/スレーブ・インタフェース, タイマ0, タイマ1, タイマ2, タイマ3, A/D コンバータ, 音声再生, スピーカーショート検知, TBC128Hz, TBC32Hz, TBC16Hz, TBC2Hz)
 - 外部要因:8 (P80, P81, P82, P83, P84, P85, P86, P87)

1 タイムベースカウンタ

- 低速側タイムベースカウンタ×1ch
- 高速側タイムベースカウンタ×1ch

1 ウォッチドッグタイマ

- ノンマスク割込み, およびリセット
 - (1 回目のオーバフローで割込みを発生, 2 回目のオーバフローでリセットを発生)
- フリーラン
- オーバフロー周期選択可能:4 種 (125ms, 500ms, 2s, 8s@32.768kHz)

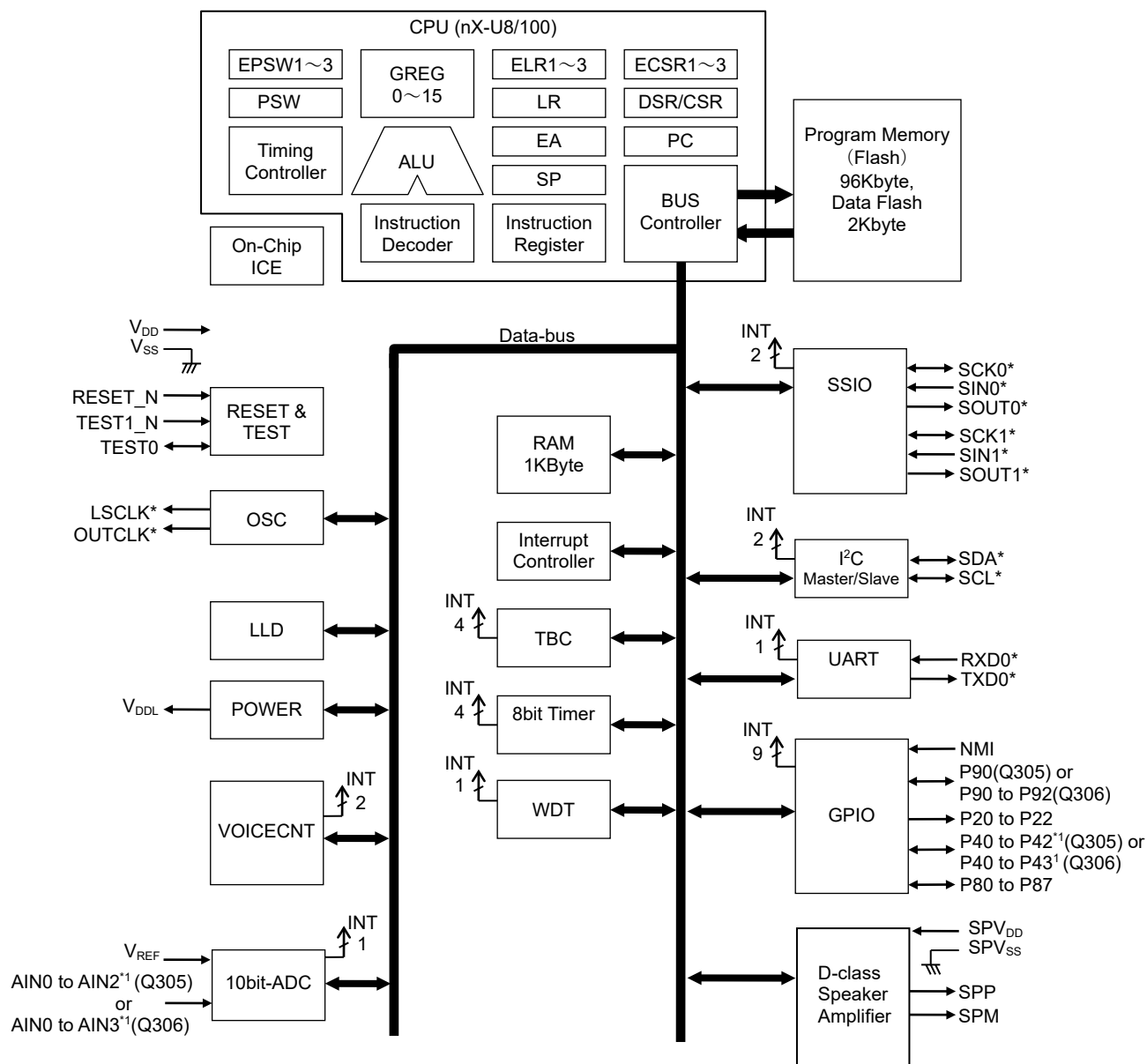


- タイマ
 - 8ビット×4ch(16bit 構成も可能)
- 音声出力機能
 - 音声合成方式: 4ビット ADPCM2 / ノンリニア 8ビット PCM / ストレート 8ビット PCM / ストレート 16ビット PCM / HQ-ADPCM
 - サンプル周波数: 8kHz, 16kHz, 32kHz, 10.7kHz, 21.3kHz, 6.4kHz, 12.8kHz, 25.6kHz
- 逐次比較型 A/D コンバータ
 - 分解能: 10ビット
 - 入力: 3ch(ch0-2: 外部入力, ML610Q305 の場合) / 4ch(ch0-3: 外部入力, ML610Q306 の場合)
 - 変換時間: $24.4 \mu\text{s}/1\text{ch}@4.096\text{MHz } V_{\text{DD}} \geq 2.2\text{V}$
 - 変換時間: $12.2 \mu\text{s}/1\text{ch}@8.192\text{MHz } V_{\text{DD}} \geq 2.5\text{V}$
 - 連続変換 / 1 回変換選択可能
- 同期式シリアルポート(SSIO)
 - 2ch
 - マスタ/スレーブ選択可能
 - LSB/MSB ファースト選択可能
 - 8ビット/16ビット長選択可能
- UART
 - 半二重通信×1ch
 - TXD/RXD
 - ビット長, パリティ有無, 奇数/偶数パリティ, 1ストップビット / 2ストップビット
 - 正/負論理選択可
 - ボーレートジェネレータ内蔵
- I²C バス・インタフェース
 - マスタ: 標準モード(100kbit/s) 対応, ファーストモード(400kbit/s) 対応
 - スレーブ: 標準モード(100kbit/s) 対応, ファーストモード(400kbit/s) 対応
- 汎用ポート
 - 入力専用ポート×1ch
 - 出力専用ポート×3ch(2 次機能含む)
 - 入出力ポート×12ch(2 次機能含む) (P40~P42 は A/D コンバータ入力ポートと兼用) (ML610Q305 の場合)
×15ch(2 次機能含む) (P40~P43 は A/D コンバータ入力ポートと兼用) (ML610Q306 の場合)
- スピーカーアンプ(D 級)
 - 1.0W@5.0V/0.45W@3.0V
 - 断線検知回路
 - スピーカーショート検知回路
- リセット
 - RESET_N 端子リセット
 - パワーオン検出リセット
 - WDT オーバフローによる検出リセット
 - PLL 発振停止検出リセット
 - 低電圧検出(LLD)リセット
- クロック
 - 低速側クロック
低速 RC 発振(32.768kHz)
 - 高速側クロック
PLL 発振(約 1.024MHz / 約 2.048MHz / 約 4.096MHz / 約 8.192MHz)

- パワーマネジメント
 - STOP モード: 発振の停止 (CPU および周辺回路は動作を停止)
 - HALT モード: CPU の命令実行中断 (周辺回路は動作状態)
 - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/2, 1/4, 1/8, 1/16)
 - ブロック制御機能: 使用しない機能ブロック回路の動作をパワーダウン (レジスタリセット&クロック停止)
- 出荷形態
 - 32 ピン WQFN (P-WQFN32-0505-0.50-A63)
ML610Q305-xxxGD (ブランク品: ML610Q305-NNNGD)
 - 32 ピン TQFP (P-TQFP32-0707-0.80-ZK6 or P-TQFP32-0707-0.80-Z6K6)
ML610Q305-xxxTB (ブランク品: ML610Q305-NNNTB)
 - 36 ピン WQFN (P-WQFN36-0606-0.50-A63)
ML610Q306-xxxGD (ブランク品: ML610Q306-NNNGD)
xxx: ROM コード番号
- 動作保証範囲
 - 動作周囲温度: -40°C~85°C
 - 動作電圧: $V_{DD}=2.0V\sim5.5V$, $SPV_{DD}=2.0V\sim5.5V$

■ブロック図

● ML610Q305/306 ブロック図

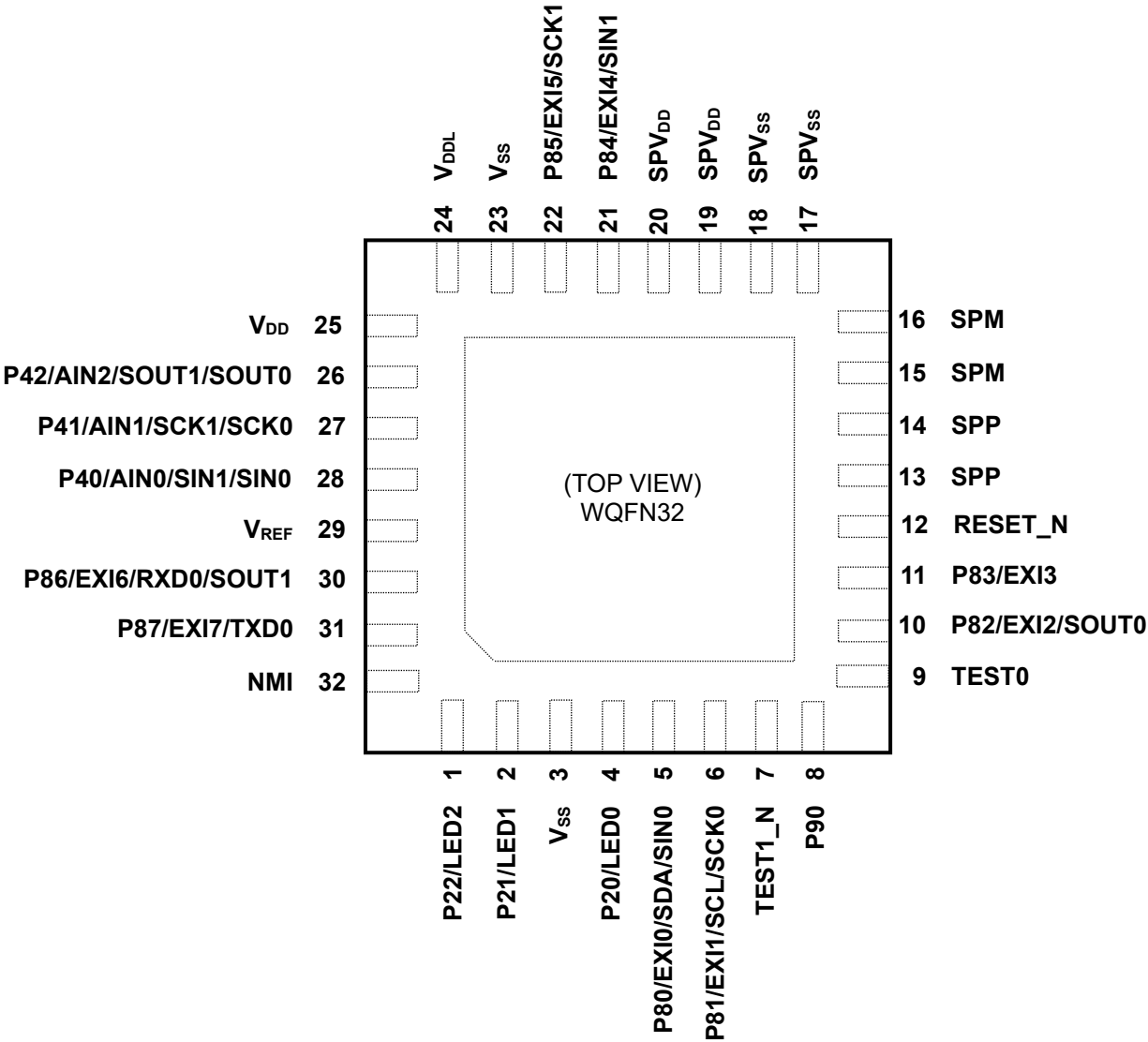


“*”は各ポートの2次機能/3次機能です。

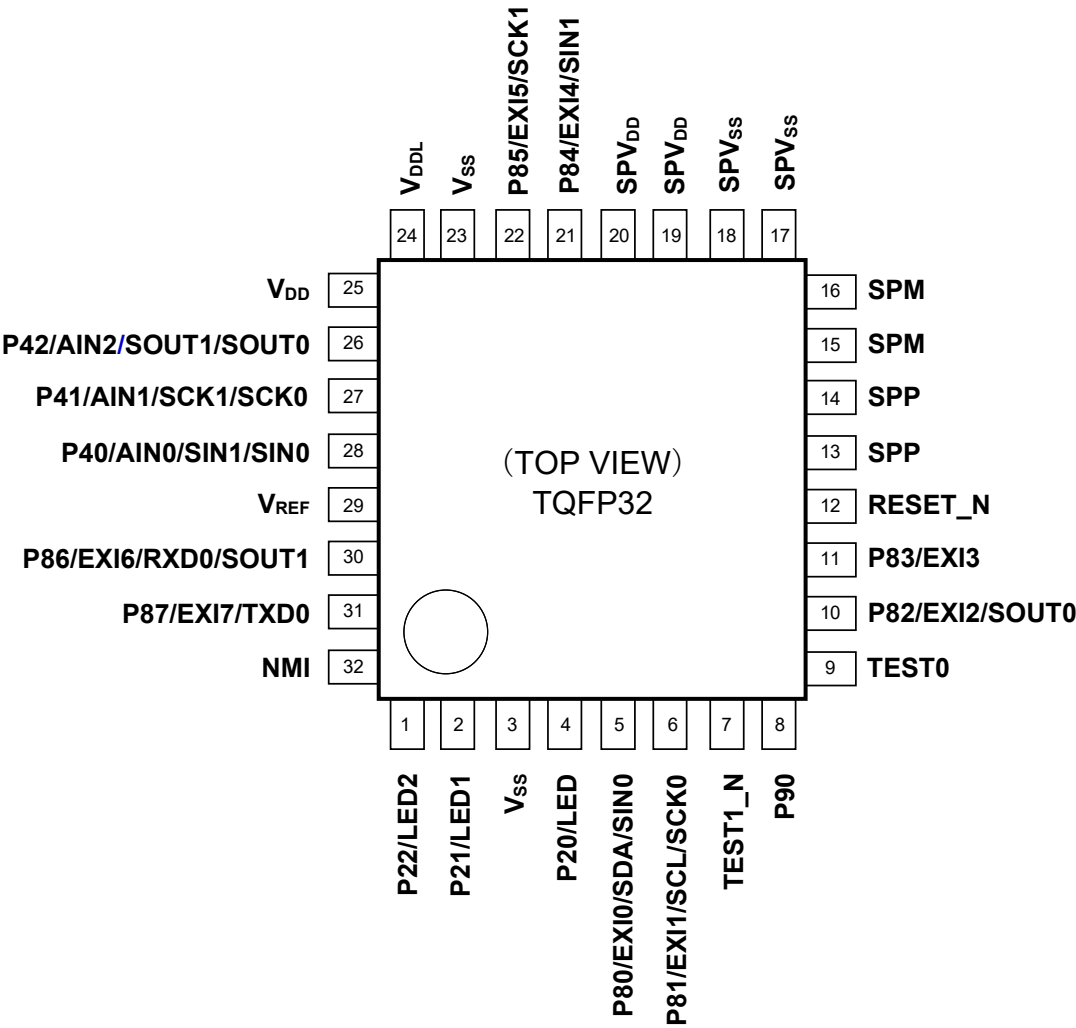
*1はI/OポートもしくはA/Dコンバータ入力端子を選択

■ 端子配置

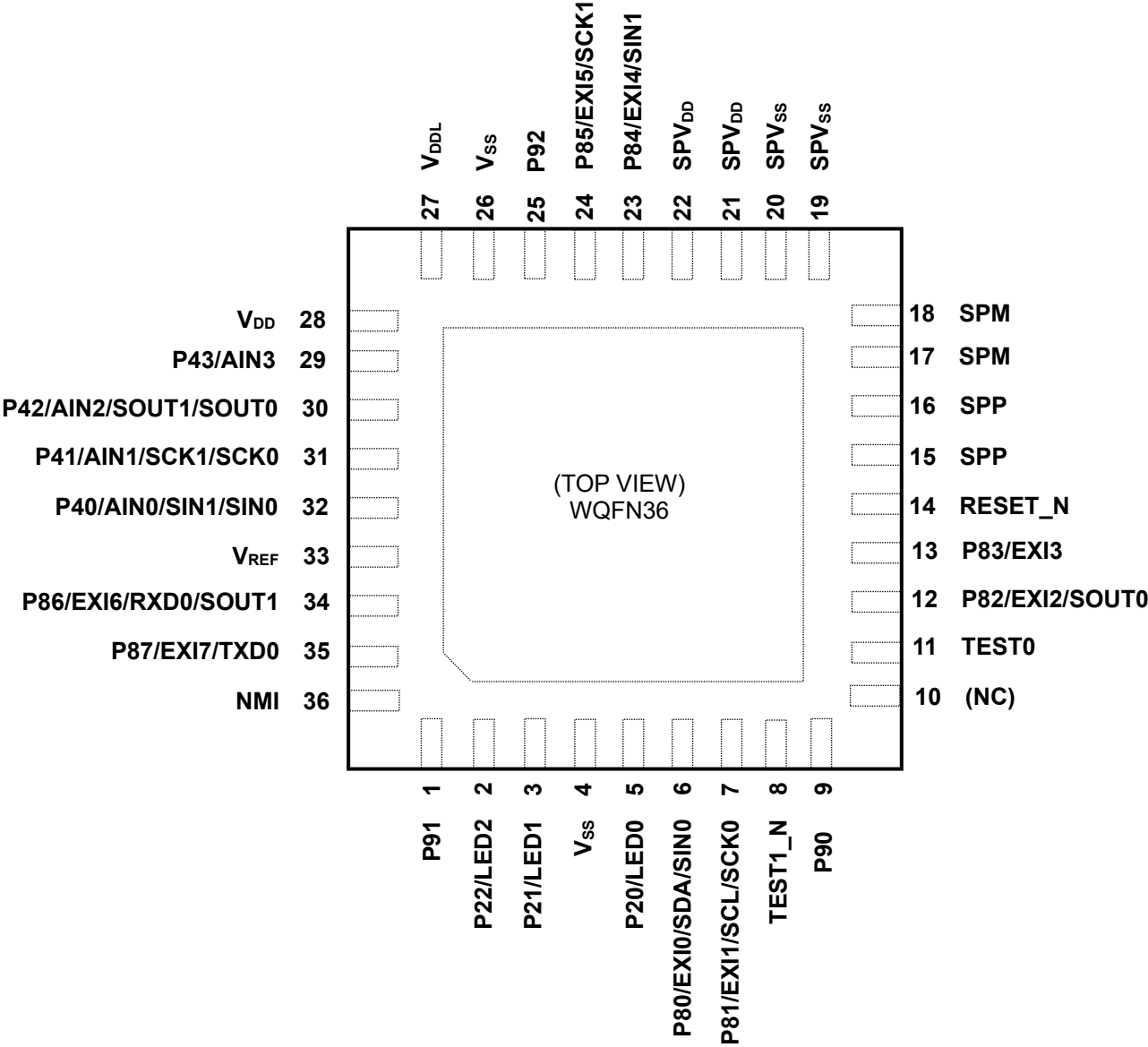
● ML610Q305 32 ピン WQFN パッケージの端子配置図 (TOP View)



● ML610Q305 32 ピン TQFP パッケージの端子配置図 (TOP View)



● ML610Q306 36 ピン WQFN パッケージの端子配置図 (TOP View)



(NC): No Connection

■端子一覧

I/O 欄の “—” は電源端子, “I” は入力端子, “O” は出力端子, “I/O” は入出力端子を示します。

36pin WQFN	32pin WQFN /TQFP	1 次機能			2 次機能／3 次機能			
		端子名	I/O	機能	2 次 / 3 次	端子名	I/O	機能
15, 16	13, 14	SPP	O	内蔵スピーカアンプのプラス側出力端子	—	—	—	—
17, 18	15, 16	SPM	O	内蔵スピーカアンプのマイナス側出力端子	—	—	—	—
19, 20	17, 18	SPV _{SS}	—	内蔵スピーカアンプ用マイナス側電源端子	—	—	—	—
21, 22	19, 20	SPV _{DD}	—	内蔵スピーカアンプ用プラス側電源端子	—	—	—	—
4, 26	3, 23	V _{SS}	—	マイナス側電源端子	—	—	—	—
27	24	V _{DDL}	—	内部ロジック用電源端子 (内部発生)	—	—	—	—
28	25	V _{DD}	—	プラス側電源端子	—	—	—	—
33	29	V _{REF}	—	逐次比較型 ADC 用リファレンス電源端子	—	—	—	—
14	12	RESET_N	I	リセット入力端子	—	—	—	—
11	9	TEST0	I/O	テスト用入出力端子	—	—	—	—
8	7	TEST1_N	I	テスト用入力端子	—	—	—	—
36	32	NMI	I	入力ポート, ノンマスカブル割込み	—	—	—	—
5	4	P20/LED0	O	出力ポート, LED 駆動	2 次	LSCLK	O	低速クロック出力
3	2	P21/LED1	O	出力ポート, LED 駆動	2 次	OUTCLK	O	高速クロック出力
2	1	P22/LED2	O	出力ポート, LED 駆動	—	—	—	—
9	8	P90	I/O	入出力ポート	—	—	—	—
1	—	P91	I/O	入出力ポート	—	—	—	—
25	—	P92	I/O	入出力ポート	—	—	—	—
32	28	P40/AIN0	I/O	入出力ポート, 逐次比較型 ADC 入力 0	2 次	SIN1	I	SSIO1 データ入力
					3 次	SIN0	I	SSIO0 データ入力
31	27	P41/AIN1	I/O	入出力ポート, 逐次比較型 ADC 入力 1	2 次	SCK1	I/O	SSIO1 クロック入出力
					3 次	SCK0	I/O	SSIO0 クロック入出力
30	26	P42/AIN2	I/O	入出力ポート, 逐次比較型 ADC 入力 2	2 次	SOUT1	O	SSIO1 データ出力
					3 次	SOUT0	O	SSIO0 データ出力
29	—	P43/AIN3	I/O	入出力ポート, 逐次比較型 ADC 入力 3	—	—	—	—
6	5	P80/EXI0	I/O	入出力ポート, 外部割込み	2 次	SDA	I/O	I ² C データ入出力
					3 次	SIN0	I	SSIO0 データ入力
7	6	P81/EXI1	I/O	入出力ポート, 外部割込み	2 次	SCL	I/O	I ² C クロック入出力
					3 次	SCK0	I/O	SSIO0 クロック入出力
12	10	P82/EXI2	I/O	入出力ポート, 外部割込み	3 次	SOUT0	O	SSIO0 データ出力
13	11	P83/EXI3	I/O	入出力ポート, 外部割込み	—	—	—	—
23	21	P84/EXI4	I/O	入出力ポート, 外部割込み	3 次	SIN1	I	SSIO1 データ入力
24	22	P85/EXI5	I/O	入出力ポート, 外部割込み	3 次	SCK1	I/O	SSIO1 クロック入出力
34	30	P86/EXI6	I/O	入出力ポート, 外部割込み	2 次	RXD0	I	UART0 データ入力
					3 次	SOUT1	O	SSIO1 データ出力
35	31	P87/EXI7	I/O	入出力ポート, 外部割込み	2 次	TXD0	O	UART0 データ出力

【注意】

2 次機能, 3 次機能のいずれかを選択した場合, 選択していない機能は失われます。

ただし, 入力として使用する場合は, ポート n データレジスタ(PnD)で入力データを読み出し可能です。

■端子説明

I/O 欄の “—” は電源端子, “I” は入力端子, “O” は出力端子, “I/O” は入出力端子を示します。

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論理
電源				
V _{SS}	—	マイナス側電源端子です。	—	—
V _{DD}	—	プラス側電源端子です。	—	—
V _{DDL}	—	内部ロジック用電源端子(内部発生)です。 V _{SS} との間にコンデンサ C _L (1μF)(測定回路 1 参照)を接続します。	—	—
SPV _{SS}	—	内蔵スピーカーアンプ用マイナス側電源端子です。	—	—
SPV _{DD}	—	内蔵スピーカーアンプ用プラス側電源端子です。	—	—
V _{REF}	—	逐次比較型 A/D コンバータ用リファレンス電源端子です。	—	—
テスト用				
TEST0	I/O	テスト用入出力端子です。プルダウン抵抗が内蔵されています。	—	正
TEST1_N	I	テスト用入力端子。プルアップ抵抗が内蔵されています。	—	負
システム				
RESET_N	I	リセット入力端子です。この端子を“L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を“H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	—	負
LSCLK	O	低速クロック出力です。P20 端子の 2 次機能に割り付けられています。	2 次	—
OUTCLK	O	高速クロック出力です。P21 端子の 2 次機能に割り付けられています。	2 次	—
汎用出力ポート				
P20~P22	O	汎用出力ポートです。 2 次機能を使用する場合、ポートとして使用できません。	1 次	正
汎用入出力ポート				
P40~P42	I/O	汎用入出力ポートです。 3 次機能を使用する場合、ポートとして使用できません。	1 次	正
P43	I/O	汎用入出力ポートです。(ML610Q306のみ)	1 次	正
P80~P87	I/O	汎用入出力ポートです。 2次機能もしくは3次機能を使用する場合、ポートとして使用できません。	1 次	正
P90	I/O	汎用入出力ポートです。	1 次	正
P91~P92	I/O	汎用入出力ポートです。(ML610Q306のみ)	1 次	正

端子名	I/O	説 明	1 次 /2 次 /3 次	論理
I ² C バス・インタフェース				
SDA	I/O	I ² C データ入出力用 Nchオープンドレイン端子です。P80 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
SCL	I/O	I ² C クロック入出力用 Nchオープンドレイン端子です。P81 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
同期シリアル (SSIO)				
SIN0	I	同期シリアルデータ入力端子です。P40 端子の 3 次機能および、P80 端子の 3 次機能に割り付けられています。	3 次	正
SCK0	I/O	同期シリアルクロック入出力端子です。P41 端子の 3 次機能および、P81 端子の 3 次機能に割り付けられています。	3 次	—
SOUT0	O	同期シリアルデータ出力端子です。P42 端子の 3 次機能および、P82 端子の 3 次機能に割り付けられています。	3 次	正
SIN1	I	同期シリアルデータ入力端子です。P84 端子の 3 次機能、または、P40 端子の 2 次機能に割り付けられています。	2 次 /3 次	正
SCK1	I/O	同期シリアルクロック入出力端子です。P85 端子の 3 次機能、または、P41 端子の 2 次機能に割り付けられています。	2 次 /3 次	—
SOUT1	O	同期シリアルデータ出力端子です。P86 端子の 3 次機能、または、P42 端子の 2 次機能に割り付けられています。	2 次 /3 次	正
UART				
TXD0	O	UART のデータ出力端子です。P87 端子の 2 次機能に割り付けられています。	2 次	正
RXD0	I	UART のデータ入力端子です。P86 端子の 2 次機能に割り付けられています。	2 次	正
外部割込				
NMI	I	外部ノンマスクابل割込み入力端子です。両エッジにて割込みが発生します。	1 次	正/負
EXI0~7	I	外部マスクابل割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P80~P87 端子の 1 次機能に割り付けられています。	1 次	正/負
LED 駆動				
LED0~2	O	LED 駆動端子です。P20~P22 端子の 1 次機能に割り付けられています。	1 次	正/負
音声出力機能				
SPP	O	内蔵スピーカーアンプのプラス側出力端子です。	—	—
SPM	O	内蔵スピーカーアンプのマイナス側出力端子です。	—	—
逐次比較型 A/D コンバータ				
AIN0~AIN2	I	逐次比較型 A/D コンバータ ch0~ch2 アナログ入力です。P40~P42 端子の 1 次機能に割り付けられています。	1 次	—
AIN3	I	逐次比較型 A/D コンバータ ch3 アナログ入力です。(ML610Q306 のみ) P43 端子の 1 次機能に割り付けられています。	1 次	—

■未使用端子処理

●未使用端子の処理方法

端子	推奨端子処理
RESET_N	オープン
TEST0	オープン
TEST1_N	オープンまたは V_{DD} *
V_{REF}	V_{DD}
P40~P42(AIN0~AIN2)	オープン
P43(AIN3) (ML610Q306 のみ)	オープン
SPV _{DD}	V_{DD}
SPV _{SS}	V_{SS}
SPP	オープン
SPM	オープン
P20~P22	オープン
P80~P87	オープン
P90	オープン
P91~P92 (ML610Q306 のみ)	オープン
NMI	オープンまたは V_{DD} *

*:TEST1_N 端子 (Typ.10k Ω) および NMI 端子 (Typ.100k Ω) はプルアップ抵抗を内蔵しています。ノイズなどの厳しい環境下では、 V_{DD} に固定、または 1k Ω 程度のプルアップ接続を推奨いたします。

【注意】

- ・未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしないでください。入力モードの端子をハイインピーダンス処理にすると、入力バッファの Pch, Nch 両方の MOS がオンするため消費電流が過大に流れる恐れがあります。プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。
- ・電源投入時、汎用ポートの状態は不定のため、“H”レベルまたは“L”レベルを出力する可能性があります。電源投入時の不定状態が問題となる場合は、基板上の周辺部品で対策してください。

■電気的特性

●絶対最大定格

(V_{SS}=SPV_{SS}=0V)

項 目	記 号	条 件	定 格 値	単位
電源電圧 1	V _{DD}	Ta=25°C	-0.3~+6.5	V
電源電圧 2	SPV _{DD}	Ta=25 °C	-0.3~+6.5	V
電源電圧 3	V _{DDL}	Ta=25 °C	-0.3~+2.0	V
リファレンス電圧	V _{REF}	Ta=25 °C	-0.3~V _{DD} +0.3	V
入力電圧	V _{IN}	Ta=25 °C	-0.3~V _{DD} +0.3	V
出力電圧	V _{OUT}	Ta=25 °C	-0.3~V _{DD} +0.3	V
出力電流 1 (P40~P42, P43 ^(*) P80~P87,P90, P91~P92 ^(*))	I _{OUT1}	Ta=25 °C	-12~+11	mA
出力電流 2 (P20~P22)	I _{OUT2}	Ta=25°C Nch オープンドレイン出力選択時	-12~+20	mA
許容損失	PD	Ta=25 °C	1.0	W
保存温度	T _{STG}	—	-55~+150	°C

(*) : P43, P91~P92 端子は ML610Q306 のみ搭載

●推奨動作条件

(V_{SS}=SPV_{SS}=0V)

項 目	記 号	条 件	範 囲	単位
動作温度	T _{OP}	—	-40~+85	°C
動作電圧	V _{DD}	—	2.0~5.5	V
	SPV _{DD}	—	2.0~5.5	
リファレンス電圧	V _{REF}	V _{DD} ≥ V _{REF}	2.2~V _{DD}	V
動作周波数 (CPU)	f _{OP}	V _{DD} =2.0V~5.5V	27k~4.2M	Hz
		V _{DD} =2.2V~5.5V	4.2M~8.4M	
V _{DD} 端子外付け容量	C _V	—	1.0±30% 以上	μF
V _{DDL} 端子外付け容量	C _L	—	1.0±30%	μF

●フラッシュメモリ動作条件

(V_{SS}=SPV_{SS}=0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	データ領域：書き込み／消去時	-40～+70	°C
		プログラム領域：書き込み／消去時	0～+40	
動作電圧	V _{DD}	書き込み／消去時	2.2～5.5	V
書き換え回数 ^{*1}	C _{EPD}	データ領域(512Byte x 4)	10,000	回
	C _{EPP}	プログラム領域	100	
消去単位	—	チップ消去	プログラム、データの全領域	—
	—	ブロック消去	プログラム領域	KB
			データ領域	
消去時間（最大）	—	セクタ消去	512	B
		チップ消去	50	ms
		ブロック消去 セクタ消去		
書き込み単位	—	—	1ワード（2バイト）	—
書き込み時間（最大）	—	1ワード（2バイト）	40	μs
データ保持年数	Y _{DR}	—	15	年

^{*1}：消去1回と消去後の書き込み1回が書き換え回数1回です。ただし、消去を中断した場合でも1回とカウントします。

●直流特性（消費電流）

(特に指定のない場合 V_{DD}=2.0～5.5V, SPV_{DD}=2.0～5.5V, V_{SS}= SPV_{SS}=0V, Ta=-40～+85°C)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
消費電流 1	IDD1	CPU が STOP 状態 低速/高速発振停止	Ta≤+50°C	—	0.5	3.0	μA
			Ta≤+85°C	—	0.5	8.0	
消費電流 2	IDD2	CPU が HALT 状態 (LTBC,WDT 動作) 高速発振停止	Ta≤+50°C	—	2.0	5.0	
			Ta≤+85°C	—	2.0	10	
消費電流 3	IDD3	CPU が 32.768kHz 動作状態 ^{*1} 高速発振停止	—	15	30	mA	1
消費電流 4	IDD4	CPU が 4.096MHz 動作状態 CR 発振状態	V _{DD} = SPV _{DD} =3.0V	—	1.0	2.5	
			V _{DD} = SPV _{DD} =5.0V	—	1.0	2.5	
		CPU が 8.192MHz 動作状態 CR 発振状態	V _{DD} = SPV _{DD} =3.0V	—	2.0	3.5	
			V _{DD} = SPV _{DD} =5.0V	—	2.0	3.5	
消費電流 5	IDD5	CPU が 4.096MHz 動作状態 CR 発振状態 1kHz,2.98db,SIN 波形再生中 (出力無負荷)	V _{DD} = SPV _{DD} =3.0V	—	2.0	5.0	
			V _{DD} = SPV _{DD} =5.0V	—	4.0	8.0	
		CPU が 8.192MHz 動作状態 CR 発振状態 1kHz,2.98db,SIN 波形再生中 (出力無負荷)	V _{DD} = SPV _{DD} =3.0V	—	3.0	6.0	
			V _{DD} = SPV _{DD} =5.0V	—	5.0	9.0	

^{*1}：CPU 動作率 100%時（HALT 状態なし）

●直流特性 (VOHL, IOHL, IIHL)

(特に指定のない場合 $V_{DD}=2.0\sim 5.5V$, $SPV_{DD}=2.0\sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
出力電圧 1 (P20~P22) (P40~P42, P43 ^{*1}) (P80~P87) (P90, P91~P92 ^{*1})	VOH1	IOH1=-0.5mA (1 端子出力)		V_{DD} -0.5	—	—	V	2
	VOL1	IOL1=+0.5mA (1 端子出力)		—	—	0.5		
出力電圧 2 (P20~P22)	VOL2	Nchオープンドレ イン出力選択時 (1端子出力)	IOL2=+5mA $V_{DD}\geq 2.2V$	—	—	0.5		
			IOL2=+8mA $V_{DD}\geq 2.3V$	—	—	0.5		
出力電圧 3 (P80~P81)	VOL3	IOL3=+3mA (I ² Cバス入出力モード選択時, 1端子出力時)		—	—	0.4		
出力リーク (P20~P22) (P40~P42, P43 ^{*1}) (P80~P87) (P90, P91~P92 ^{*1})	IOOH	VOH= V_{DD} (ハインピーダンス時)		—	—	1.0	μA	3
	IOOL	VOL= V_{SS} (ハインピーダンス時)		-1.0	—	—		
入力電流 1 (RESET_N) (TEST1_N)	IIH1	VIH1= V_{DD}		0	—	1.0	μA	4
	IIL1	VIL1= V_{SS}		-1500	-300	-20		
入力電流2 (NMI) (P40~P42, P43 ^{*1}) (P80~P87) (P90, P91~P92 ^{*1})	IIH2	VIH2= V_{DD} (プルダウン時)		2	30	250		
	IIL2	VIL2= V_{SS} (プルアップ時)		-250	-30	-2		
	IIH2Z	VIH2= V_{DD} (ハインピーダンス時)		—	—	1.0		
	IIL2Z	VIL2= V_{SS} (ハインピーダンス時)		-1.0	—	—		
入力電流 3 (TEST0)	IIH3	VIH3= V_{DD}		20	300	1500		
	IIL3	VIL3= V_{SS}		-1.0	—	—		

*1: P43, P91~P92 端子は ML610Q306 のみ搭載

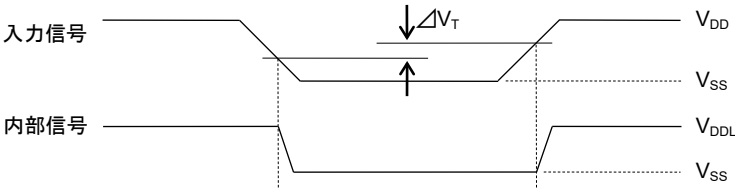
●直流特性 (VIHL)

(特に指定のない場合 $V_{DD}=2.0\sim5.5V$, $SPV_{DD}=2.0\sim5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (TEST0) (TEST1_N) (NMI) (P40~P42, P43 ^{*1}) (P80~P87) (P90, P91~P92 ^{*1})	VIH1	—	$0.7 \times V_{DD}$	—	V_{DD}	V	5
	VIL1	—	0	—	$0.3 \times V_{DD}$		
ヒステリシス幅 (RESET_N) (TEST0) (TEST1_N) (NMI) (P40~P42, P43 ^{*1}) (P80~P87) (P90, P91~P92 ^{*1})	ΔV_T	—	$0.05 \times V_{DD}$	—	$0.4 \times V_{DD}$		
入力端子容量 (NMI) (P40~P42, P43 ^{*1}) (P80~P87) (P90, P91~P92 ^{*1})	CIN	$f=10kHz$ $V_{rms}=50mV$ $T_a=25^{\circ}C$	—	—	10	pF	—

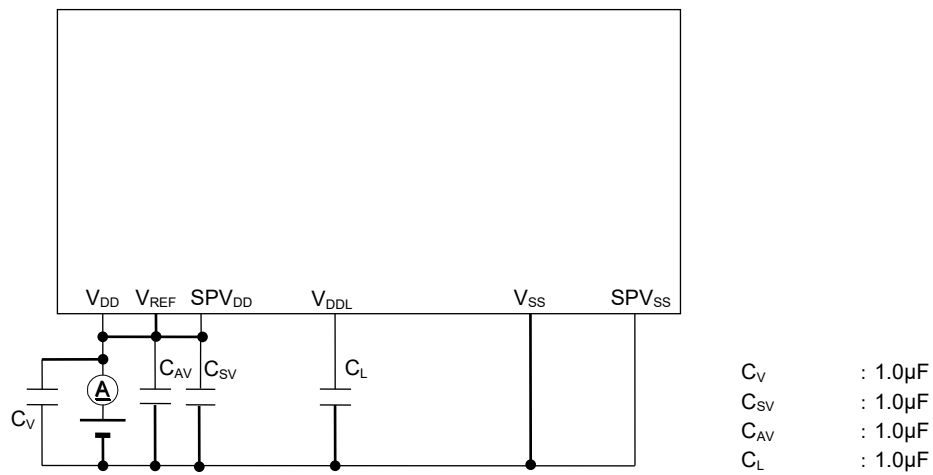
^{*1}: P43, P91~P92 端子は ML610Q306 のみ搭載

●ヒステリシス幅

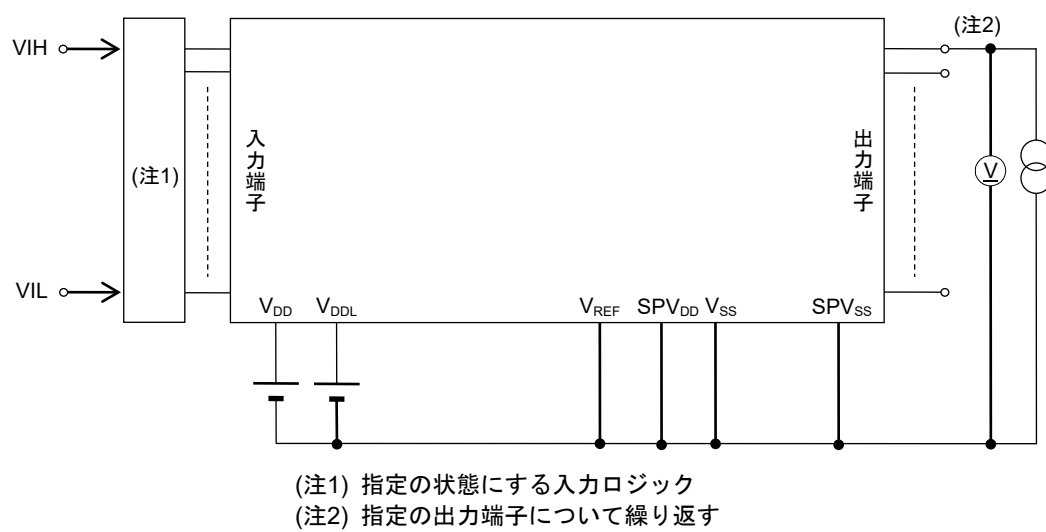


●測定回路

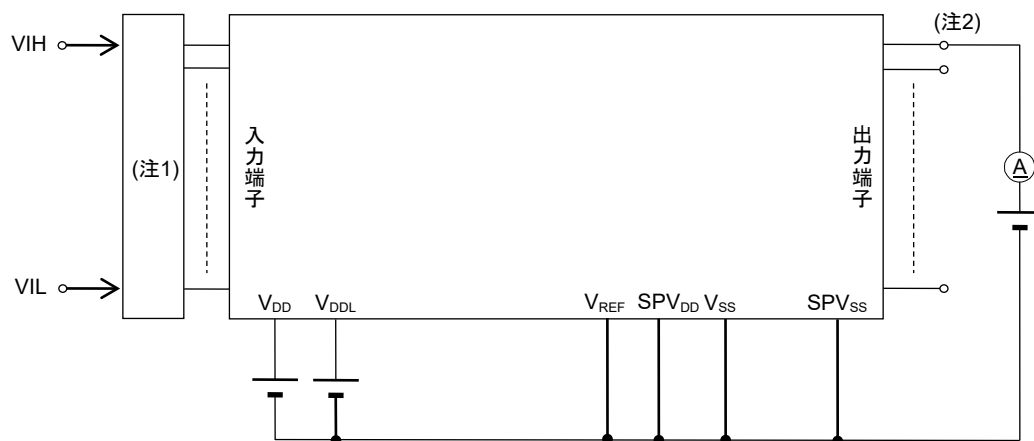
・測定回路 1



・測定回路 2

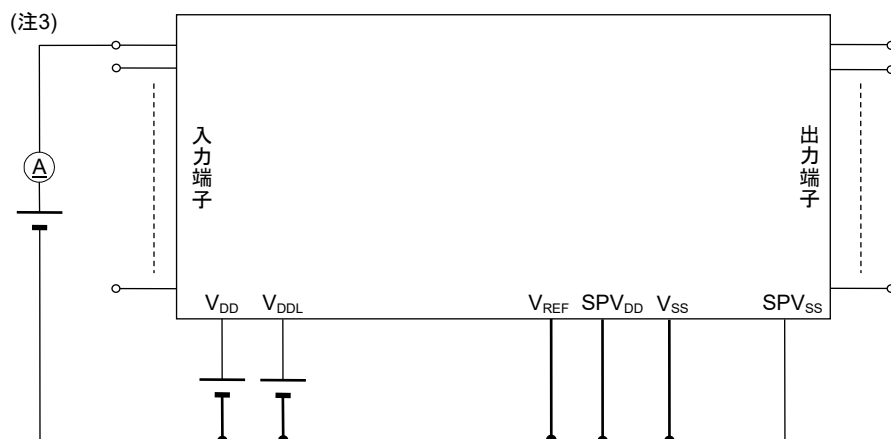


・測定回路 3



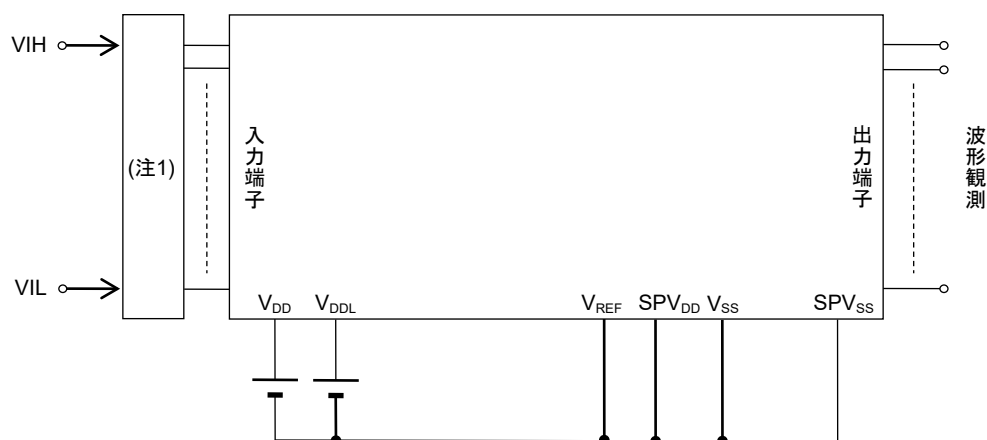
(注1) 指定の状態にする入力ロジック
(注2) 指定の出力端子について繰り返す

・測定回路 4



(注3) 指定の入力端子について繰り返す

・測定回路 5



(注1) 指定の状態にする入力ロジック

●交流特性(発振回路)

(特に指定のない場合 $V_{DD}=2.0\sim5.5V$, $SPV_{DD}=2.0\sim5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
低速 RC 発振周波数	f _{LCR}	Ta=-10～+50℃	Typ -1.5%	32.768	Typ +1.5%	kHz	1
		Ta=-40～+85℃	Typ -3.0%		Typ +3.0%		
PLL 発振周波数	f _{HPLL}	Ta=-10～+50℃	Typ -1.5%	4.096 もしくは 8.192	Typ +1.5%	MHz	
		Ta=-40～+85℃	Typ -3.0%		Typ +3.0%		

●交流特性(スピーカアンプ)

(特に指定のない場合 $V_{DD}=2.0\sim5.5V$, $SPV_{DD}=2.0\sim5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

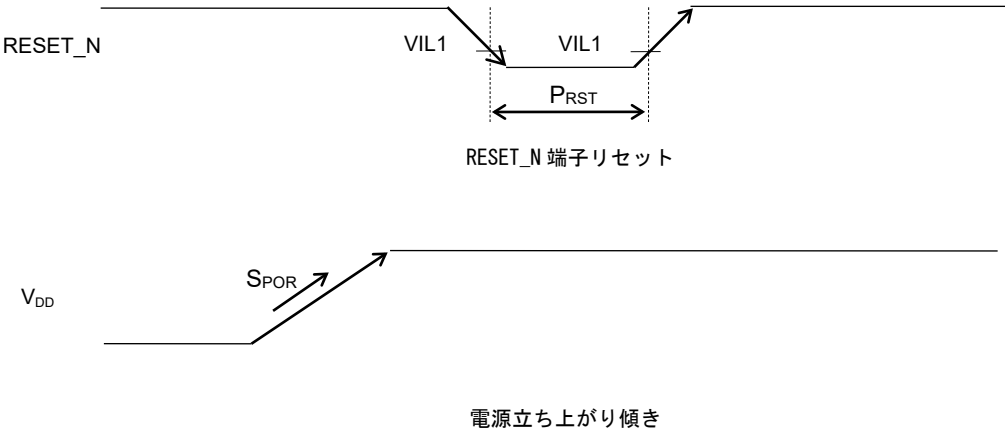
項 目	記 号	条 件	規 格 値			単位	
			Min.	Typ.	Max.		
SPM, SPP 出力負荷抵抗	R_{LSP}	—	6.4	8	—	Ω	
スピーカアンプ出力電力	P_{SPO1}	$SPV_{DD}=3.0V$, $f=1kHz$ $R_{SPO}=8\Omega$, $THD\geq 10\%$	—	0.45	—	W	
	P_{SPO2}	$SPV_{DD}=5.0V$, $f=1kHz$ $R_{SPO}=8\Omega$, $THD\geq 10\%$	—	1.0	—		

●交流特性(電源立ち上げ・リセットシーケンス)

(特に指定のない場合 $V_{DD}=2.0\sim5.5V$, $SPV_{DD}=2.0\sim5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
V _{DD} を立ち上げ後, SPV _{DD} を立ち上げるまでの時間	t _{VDD}	—	0	—	—	ns	1
リセット*1パルス幅	P _{RST}	—	100	—	—	μs	
リセット*1ノイズ除去パルス幅	P _{NRST}	—	—	—	0.4		
電源立ち上がり傾き	S _{POR}	—	0.1	—	—	V/ms	

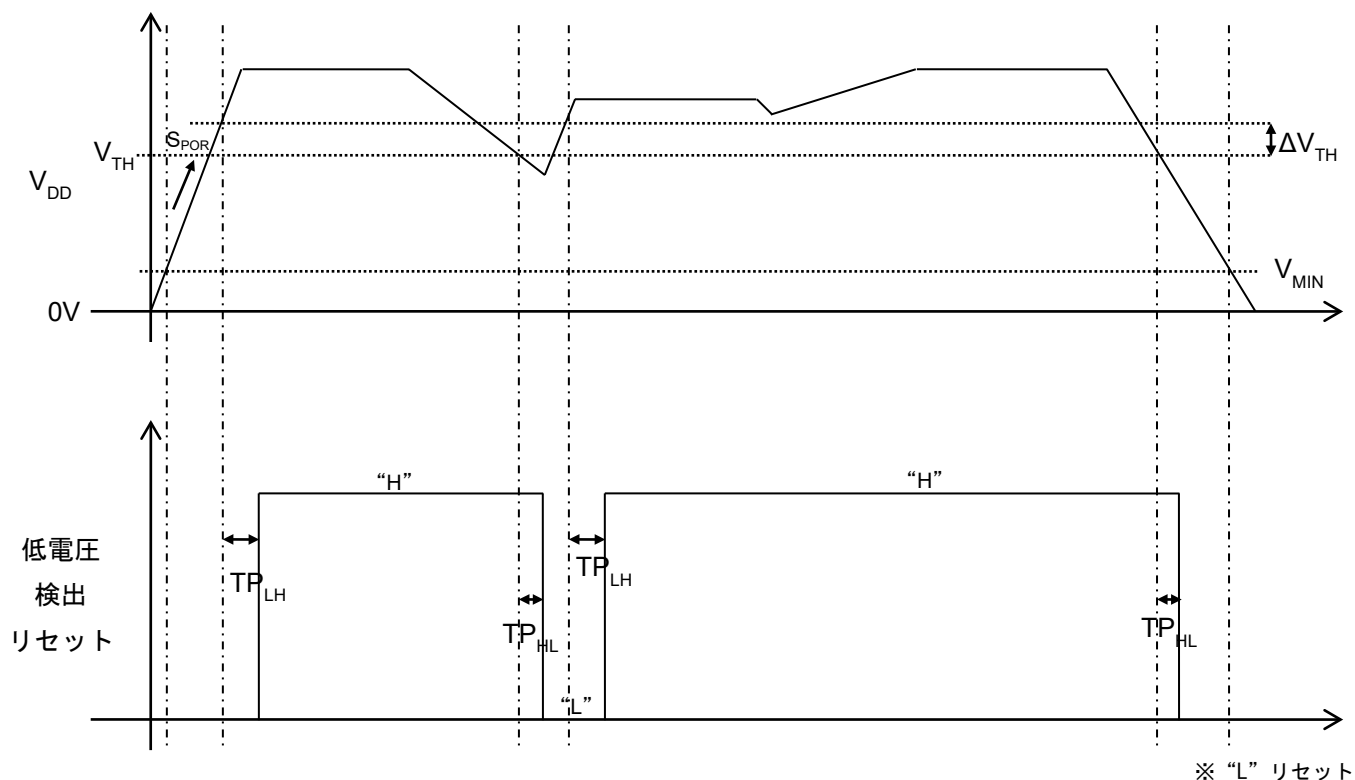
^{*1}: RESET_N 端子によるリセット



● 交流特性(低電圧検出リセット)

(特に指定のない場合 $V_{DD}=2.0\sim5.5V$, $SPV_{DD}=2.0\sim5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}\text{C}$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
検出電圧	V_{TH}	LLD1 $\sim$ 0=3H	Typ. -5%	1.9	Typ. +5%	V	1
		LLD1 $\sim$ 0=2H	Typ. -5%	2.1	Typ. +5%		
		LLD1 $\sim$ 0=1H	Typ. -5%	2.3	Typ. +5%		
		LLD1 $\sim$ 0=0H	Typ. -5%	2.5	Typ. +5%		
ヒステリシス幅	ΔV_{TH}	—	0.05	0.1	0.15	V	
上昇時出力遅延	TP_{LH}	—	—	10	200	μs	
下降時出力遅延	TP_{HL}	—	—	10	200	μs	
低電圧検出リセット動作電圧	V_{MIN}	—	1.0	—	—	V	

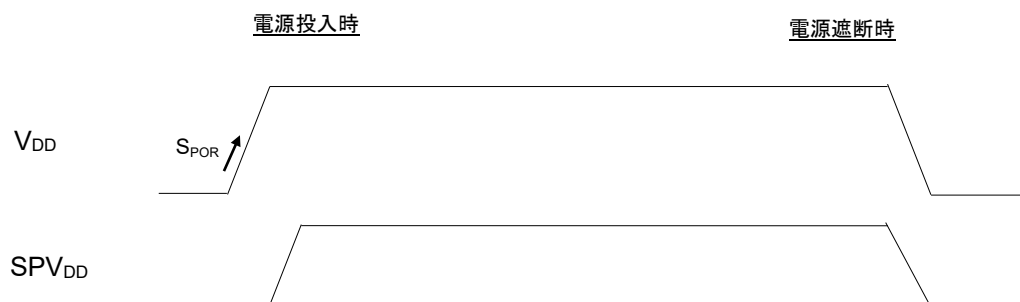


【注意】

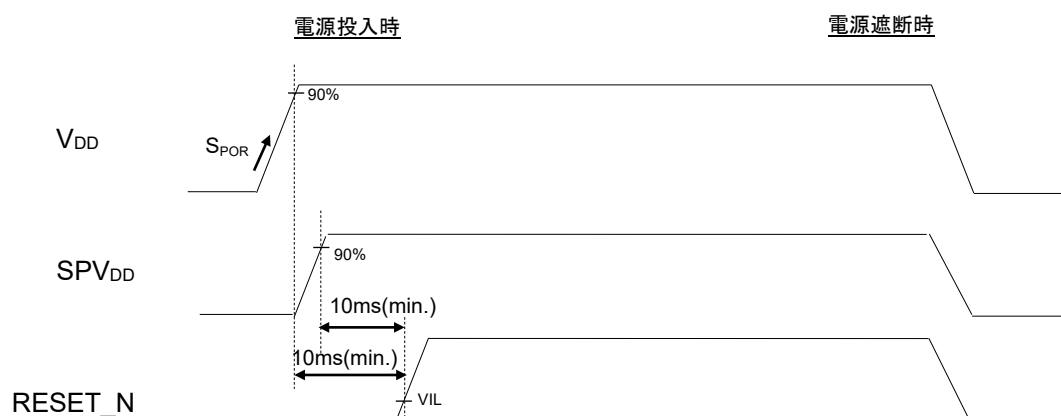
低電圧検出リセット(LLD)の検出電圧(V_{TH})を 1.9V(LLD1 $\sim$ 0=3H)に設定にした場合、推奨動作電圧下限($V_{DD}=2.0V$)未満 $\sim$ 検出電圧($V_{TH}=1.9V$)の電圧範囲では、低電圧検出リセット(LLD)が発生しません。電源遮断時、この電圧範囲を維持した場合、LSI 動作状態によっては、内部定電圧回路 (VRL) が回路動作電圧を維持できずに誤動作する可能性があります。安全のため、検出電圧(V_{TH})を 1.9V(LLD1 $\sim$ 0=3H)以外に設定するか、リセット入力端子からリセットする等の対策をおこなってください。

●電源投入・遮断シーケンス

- ・ V_{DD} 電源立ち上がり傾きが S_{POR} : 0.1V/ms(Min.)の場合



- ・ V_{DD} 電源立ち上がり傾きが S_{POR} : 0.1V/ms(Min.)を満たせない場合



推奨電源投入／遮断シーケンス

- ・ V_{DD} , SPV_{DD} 電源の立ち上げ順序, 立上時間差, 立ち下げ順序, 立ち下げ時間差の制約はありません。

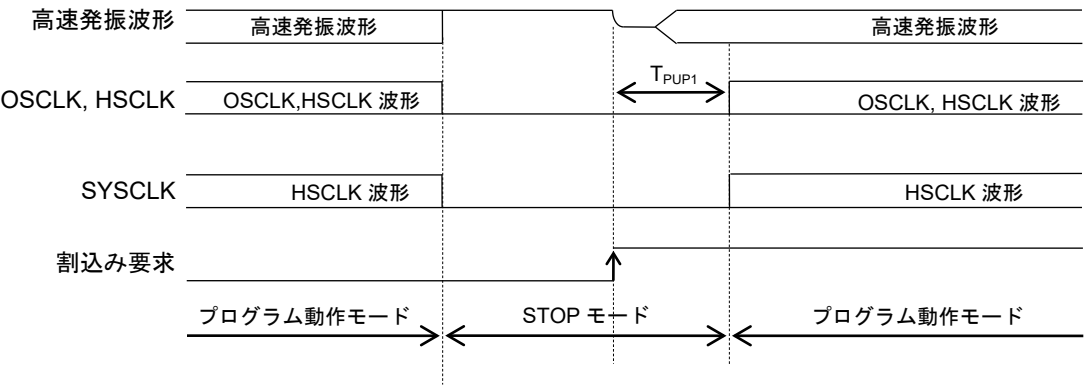
【注意】

- ・ 電源投入時, 汎用ポートの状態は不定のため, “H” レベルまたは “L” レベルを出力する可能性があります。電源投入時の不定状態が問題となる場合は, 基板上の周辺部品で対策してください。
- ・ 電源の瞬停等によるパワーオンリセットや, 低電圧検出リセットの下降時出力遅延(TP_{HL})より短いパルスが電源に入った場合や, 低電圧検出リセットの下降時出力遅延(TP_{HL})が経過する前に, 電源が低電圧検出リセット動作電圧(V_{MIN})を下回った場合, LSI がリセットされずに誤動作する可能性があります。安全のため, パスコンによる電源低下の防止措置や, リセット入力端子からリセットする等の対策をおこなってください。

●交流特性 (STOP 解除後発振安定時間)

(特に指定のない場合 $V_{DD}=2.0\sim5.5V$, $SPV_{DD}=2.0\sim5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

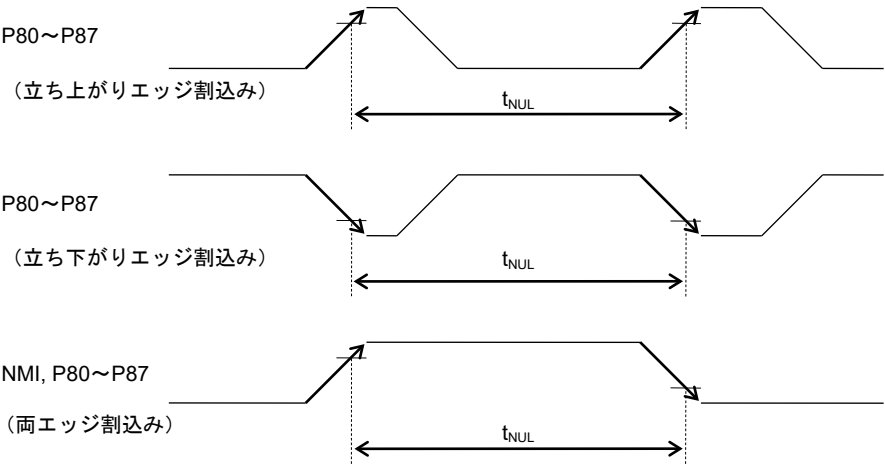
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
STOP 解除後発振安定時間	T_{PUP1}	—	—	—	2	ms



●交流特性 (外部割込み)

(特に指定のない場合 $V_{DD}=2.0\sim5.5V$, $SPV_{DD}=2.0\sim5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	T_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作	$2.5\times$ sysclk	—	$3.5\times$ sysclk	μs

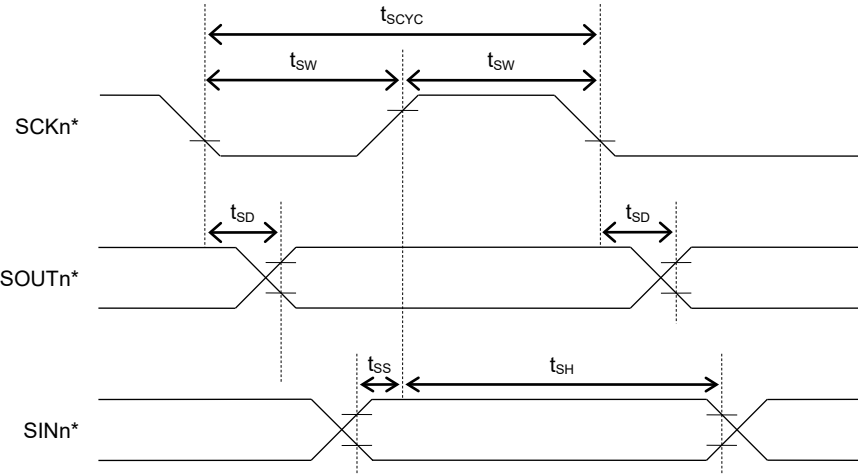


●交流特性(同期式シリアルポート)

(特に指定のない場合 $V_{DD}=2.0\sim5.5V$, $SPV_{DD}=2.0\sim5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCK 入力サイクル (スレーブモード)	t_{SCYC}	高速発振停止時	10	—	—	μs
		高速発振時	500	—	—	ns
SCK 出力サイクル (マスタモード)	t_{SCYC}	$V_{DD}\geq 2.4V$	—	4	—	MHz
		$V_{DD}\geq 2.0V$	—	2	—	
SCK 入力パルス幅 (スレーブモード)	t_{SW}	高速発振停止時	4	—	—	μs
		高速発振時	200	—	—	ns
SCK 出力パルス幅 (マスタモード)	t_{SW}	—	$SCK^{*1}\times 0.4$	$SCK^{*1}\times 0.5$	$SCK^{*1}\times 0.6$	s
SOUT 出力遅延時間 (スレーブモード)	t_{SD}	—	—	—	180	ns
SOUT 出力遅延時間 (マスタモード)	t_{SD}	—	—	—	80	ns
SIN 入力 セットアップ時間 (スレーブモード)	t_{SS}	—	50	—	—	ns
SIN 入力 ホールド時間	t_{SH}	—	50	—	—	ns

*1 : シリアルポート n モードレジスタ (SIO_nMOD1) の SnCK3~0 により選択されたクロック周期($n=0, 1$)



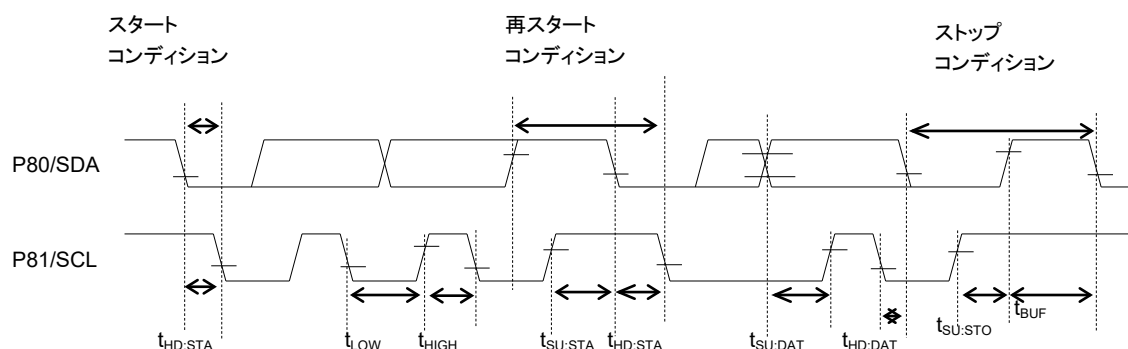
*: ポートの 2 次機能を示す。n=0, 1

●交流特性(I²C バス・インタフェース:標準モード 100kbps)(特に指定のない場合 V_{DD}=2.0~5.5V, SPV_{DD}=2.0~5.5V, V_{SS}= SPV_{SS}=0V, Ta=-40~+85 °C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t _{HD:STA}	—	4.0	—	—	μs
SCL "L" レベル時間	t _{LOW}	—	4.7	—	—	μs
SCL "H" レベル時間	t _{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	4.7	—	—	μs
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	μs
SDA セットアップ時間	t _{SU:DAT}	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	4.0	—	—	μs
バスフリー時間	t _{BUF}	—	4.7	—	—	μs

●交流特性(I²C バス・インタフェース:ファーストモード 400kbps)(特に指定のない場合 V_{DD}=2.0~5.5V, SPV_{DD}=2.0~5.5V, V_{SS}= SPV_{SS}=0V, Ta=-40~+85 °C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t _{HD:STA}	—	0.6	—	—	μs
SCL "L" レベル時間	t _{LOW}	—	1.3	—	—	μs
SCL "H" レベル時間	t _{HIGH}	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	0.6	—	—	μs
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	μs
SDA セットアップ時間	t _{SU:DAT}	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	0.6	—	—	μs
バスフリー時間	t _{BUF}	—	1.3	—	—	μs

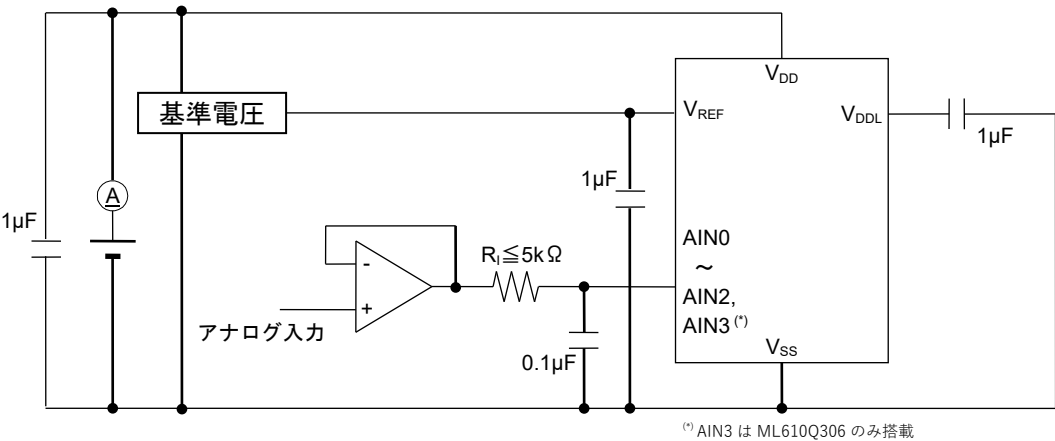


● 逐次比較型 A/D コンバータの電气的特性

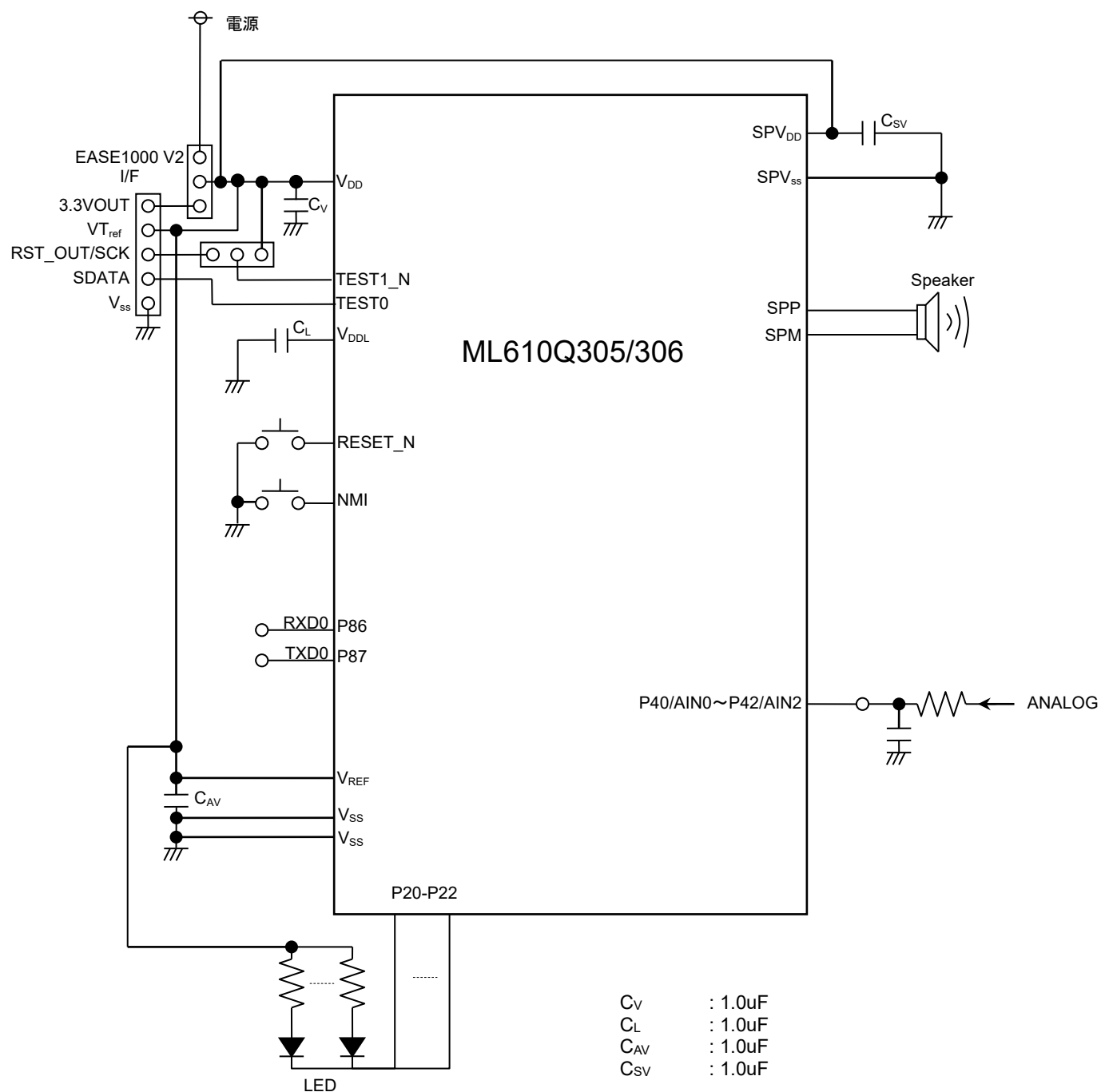
(特に指定のない場合 $V_{DD}=2.2\sim5.5V$, $SPV_{DD}=2.2\sim5.5V$, $V_{REF}=2.2\sim5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	—	10	bit
積分非直線性誤差	IDL	$2.7V \leq V_{REF} \leq 5.5V$	-4	—	+4	LSB
		$2.2V \leq V_{REF} < 2.7V$	-5	—	+5	
微分非直線性誤差	DNL	$2.7V \leq V_{REF} \leq 5.5V$	-3	—	+3	
		$2.2V \leq V_{REF} < 2.7V$	-4	—	+4	
ゼロスケール誤差	V_{OFF}	$R_I \leq 5k\Omega$	-4	—	+4	
フルスケール誤差	FSE	$R_I \leq 5k\Omega$	-4	—	+4	
プリフィルタ抵抗値	R_I	—	—	—	5k	Ω
リファレンス電圧	V_{REF}	—	2.2	—	V_{DD}	V
変換時間	t_{CONV}	HSCLK=4M~8.4MHz	—	102	—	ϕ/CH

ϕ : 高速クロック (HSCLK) の周期



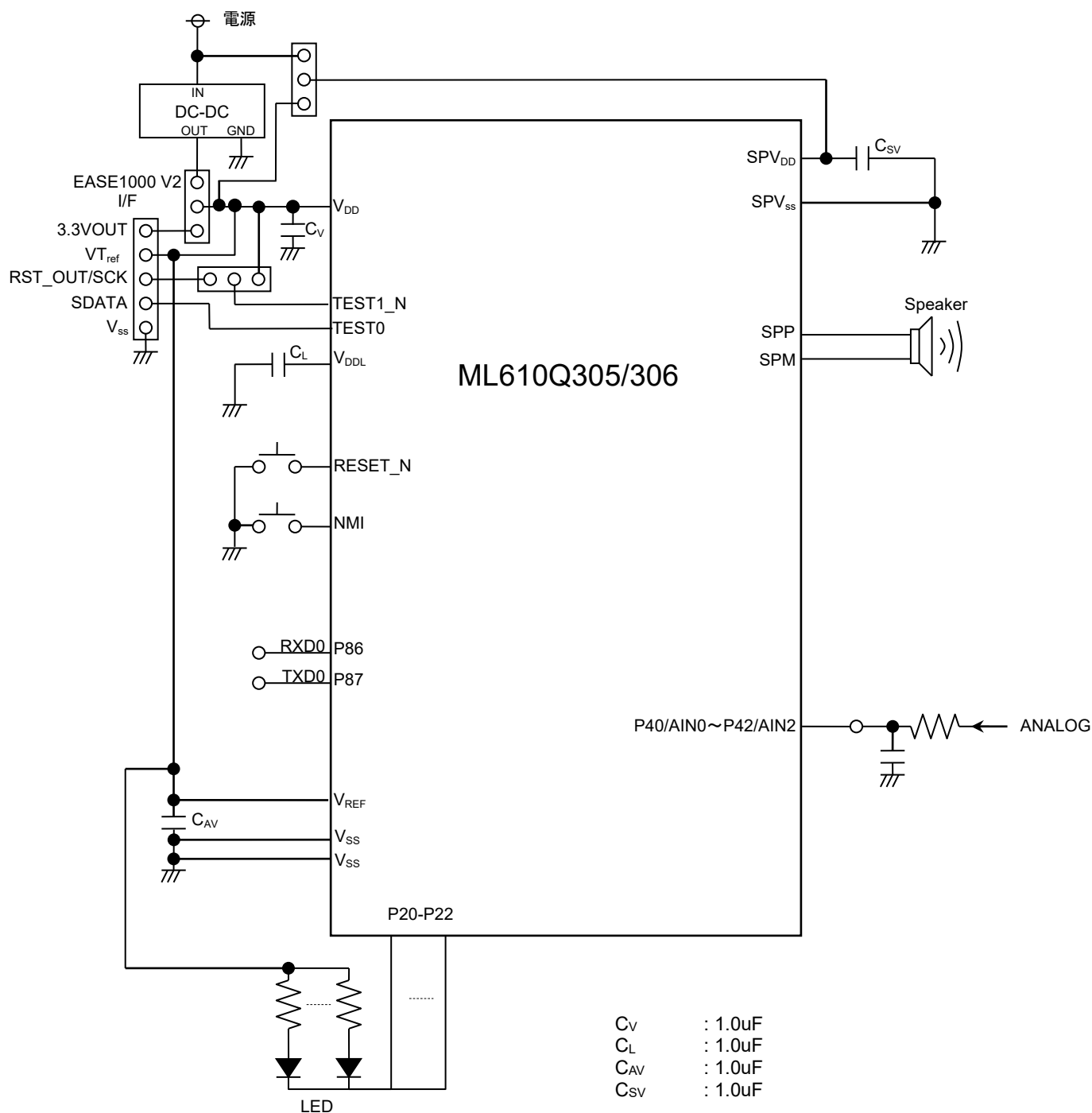
■ 応用回路例



VDD, SPVDD を同一電源とする場合

【注意】

ノイズ対策のため、 $V_{DDL} \sim V_{DDL}$ 端子外付け容量(C_L)間、および V_{DDL} 端子外付け容量(C_L) $\sim V_{SS}$ 間の基板上配線については最短になるよう設計してください。

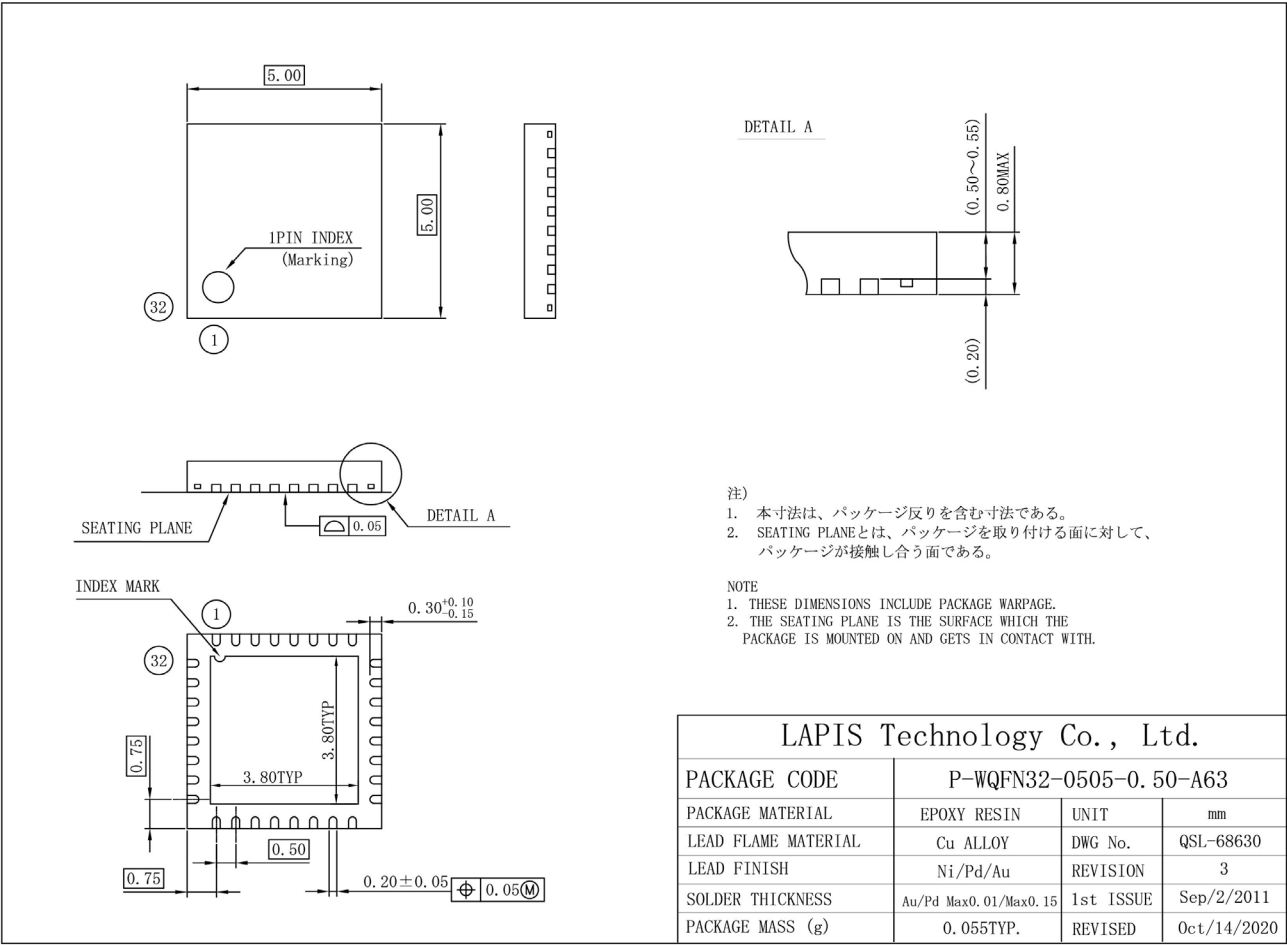


SPV_{DD} 電源から DC-DC コンバータを介して V_{DD} 電源を供給する場合

【注意】

ノイズ対策のため、V_{DDL}~V_{DDL} 端子外付け容量(C_L)間、および V_{DDL} 端子外付け容量(C_L)~V_{SS}間の基板上配線については最短になるよう設計してください。

■パッケージ外形図 (32 ピン WQFN)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。
したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

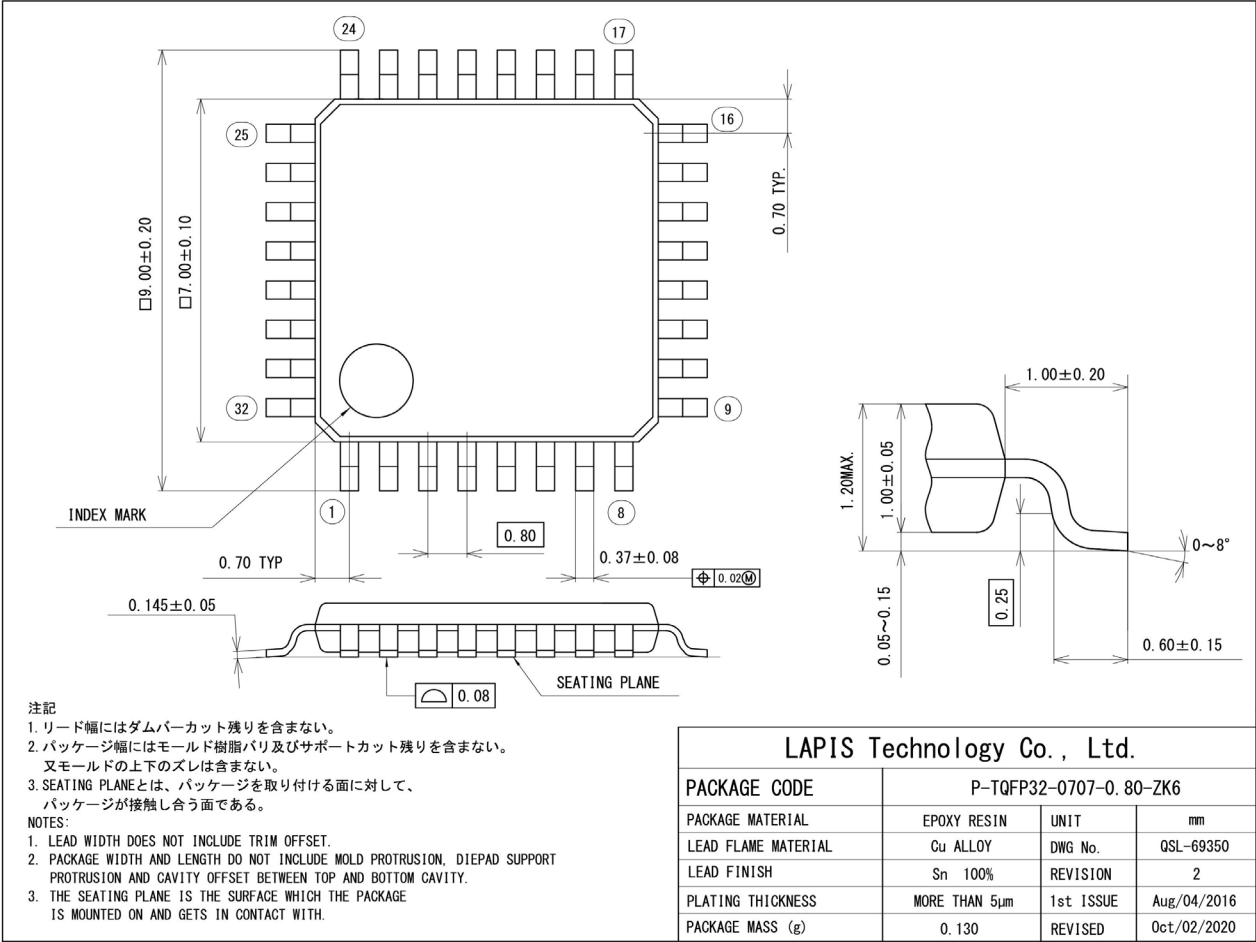
本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値 (θ Ja) が変わります。

PCB	(W/L/t= 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時(0m/sec)
熱抵抗値(θJa)	32.2 [°C /W](裏面ダイパッド接続時)
チップの消費電力 PMax OutputPower	0.300[W]

本 LSI の TjMax は 110℃ です。TjMax は以下の式で表されます。

TjMax=TaMax + θ Ja× PMax

■パッケージ外形図(32ピン TQFP)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変大影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

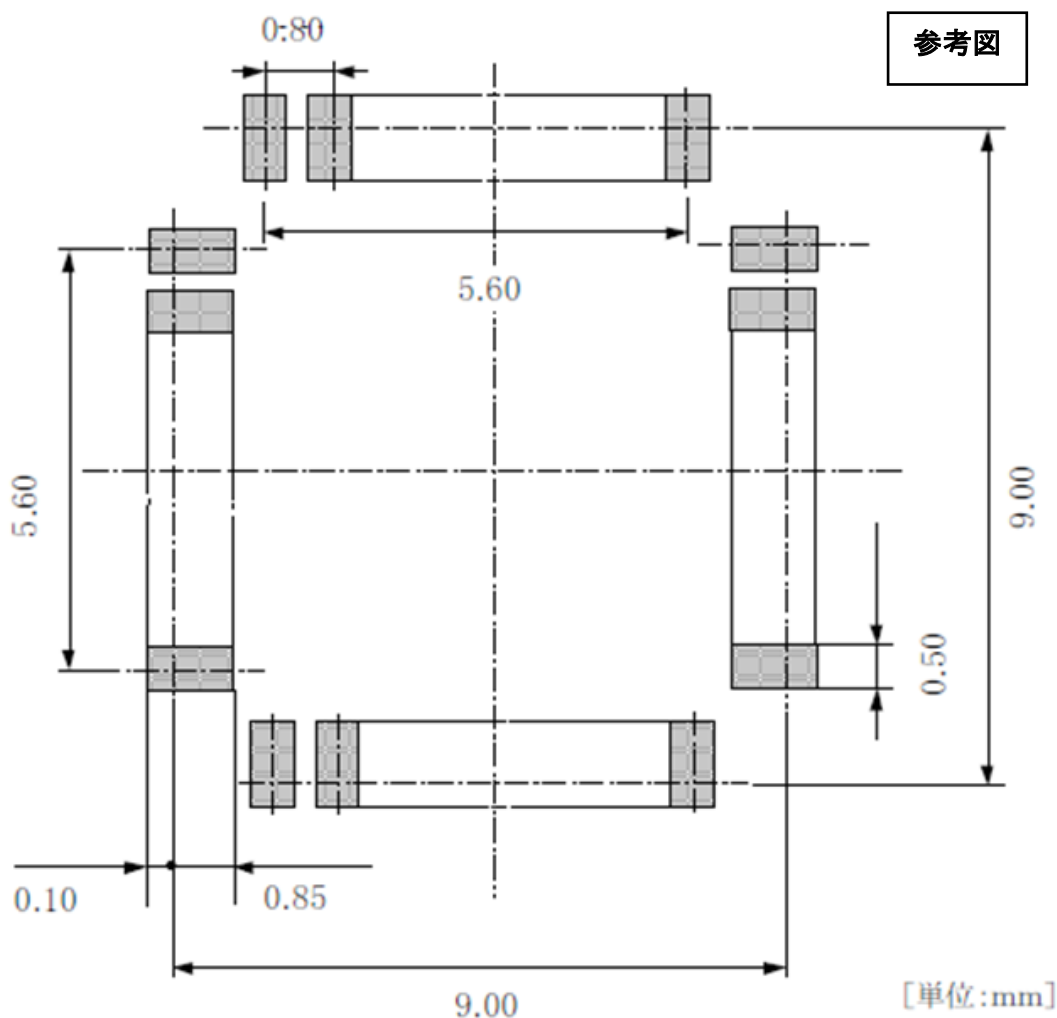
本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値 (θ Ja) が変わります。

PCB	(W/L/t= 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時(0m/sec)
熱抵抗値(θJa)	58.5 [°C / W]
チップの消費電力 PMax OutputPower	0.300[W]

本 LSI の TjMax は 110℃ です。TjMax は以下の式で表されます。

TjMax=TaMax + θ Ja×PMax

■半田付け部端子存在範囲図 (32ピン TQFP)

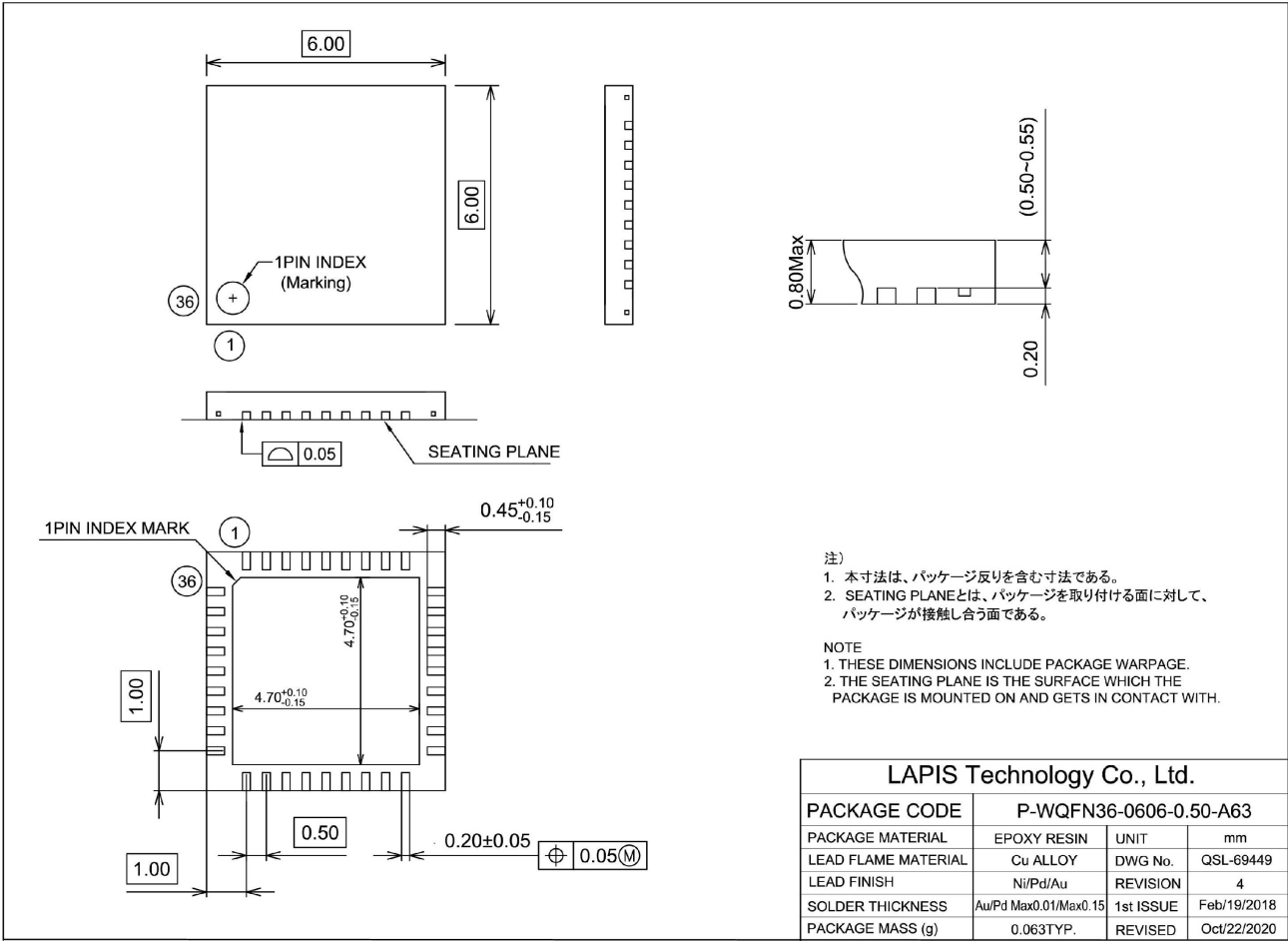


実装基板の設計上のご注意

実装基板のフットパターンの設計の際に、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことを十分考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従いまして、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

■パッケージ外形図(36ピン WQFN)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変大影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

本 LSI の熱抵抗値(例)について以下に示します。基板の大きさや層数により熱抵抗値(θJa)が変わります。

PCB	(W/L/t= 76.2 / 114.3 / 1.6 (mm))
PCB Layer	JEDEC 4 層
空冷条件	無風時(0m/sec)
熱抵抗値(θJa)	30.0 [°C /W] (裏面ダイパッド接続時)
チップの消費電力 PMax OutputPower	0.300[W]

本 LSI の TjMax は 110℃ です。TjMax は以下の式で表されます。

TjMax=TaMax + θJa×PMax

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q306-01	2021.6.28	—	—	正式初版発行
FJDL610Q306-02	2023.4.28	31	31	半田付け部端子存在範囲図(32 ピン TQFP)を更新
FJDL610Q306-03	2023.8.7	—	1	文言追加
		—	35	“製品使用時の注意事項”を記載

製品使用時の注意事項

本製品を含むマイコン製品全体に適用する「注意事項」について以下に記載します。
製品個別の注意事項については、各製品のユーザーズマニュアル本文中の【注意】を参照してください。
なお、各製品のユーザーズマニュアルの本文と異なる記載がある場合は、本文中の記載を優先します。

1. 未使用の入力端子の処置
未使用の入力端子は、ノイズなどによる誤動作や消費電流の増加を防ぐために、電源またはGNDに固定してください。本文中に未使用端子の処置について記載のある製品は、その内容に従い処置してください。
2. 電源投入時の状態
電源投入時、電源電圧が推奨動作電圧に達し、かつリセット端子に“L”レベルの電圧が入力されるまでは、内部レジスタの値および、ポートの出力は不定です。
パワーオンリセットを搭載する製品は、パワーオンリセットが発生するまでは、内部レジスタの値およびポートの出力は不定です。
不定状態の内部レジスタの値やポート出力でシステムが誤動作しないよう注意して設計してください。
3. メモリ未使用領域へのアクセス
メモリ未使用領域のアドレスの読み出し、または書き込みを実行した場合の動作は保証いたしません。
4. 製品間の相違
電气的特性、ノイズ耐量、ノイズ輻射量等はマイコン製品ごとに異なります。他のマイコン製品から本製品に変更した場合に、お客様の機器・システムにおいて評価結果が変化する場合がありますので、本製品を実装したお客様の機器・システムにおいて十分な評価を実施してからご使用ください。
5. 使用環境
本製品を高湿度な環境や結露する環境で使用する場合は防湿防水対策をしてください。

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用したことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされております。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2021 – 2023 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-tech.com>