

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML610Q359/ML610Q360

音声機能付き 8 ビットマイクロコントローラ

■ 概要

本 LSI は、8 ビット CPU nX-U8/100 を搭載し、12 ビット逐次比較型 A/D コンバータ、タイマ、同期式シリアルポート、UART、電源電圧監視回路、音声再生機能、およびスピーカアンプ等、多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。

CPU nX-U8/100 は、3 段パイプラインアーキテクチャによる並列処理をすることで 1 命令 1 クロックの効率的な命令実行が可能です。

さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

■ 特長

- CPU
 - RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)
 - 命令体系:16 ビット長命令
 - 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
 - デバッグ機能を内蔵
 - 最小命令実行時間
 - 約 30.5 μ s (@32.768kHz システムクロック)
 - 約 0.125 μ s (@8MHz システムクロック) @DV_{DD}=2.2~3.6V
 - 約 0.250 μ s (@4MHz システムクロック) @DV_{DD}=2.0~3.6V
- 内部メモリ
 - 160K バイトのフラッシュ ROM (80K \times 16 ビット) を内蔵 (使用不可のテスト領域 544 バイトを含む)
 - 3K バイトのフラッシュ ROM を内蔵 (セルフ書き換え可能な領域 512Byte \times 6)
 - 2K バイトの RAM (2048 \times 8 ビット) を内蔵
 - 16M ビットの P2ROM を内蔵 (ML610Q360 のみ)
- 割込みコントローラ
 - ノンマスカブル割込み 2 要因 (内部要因:1、外部要因:1)
 - マスカブル割込み 25 要因 (内部要因:19、外部要因:6)
- タイムベースカウンタ
 - 低速側タイムベースカウンタ \times 1ch
 - 高速側タイムベースカウンタ \times 1ch
- ウォッチドッグタイマ
 - オーバフロー 1 回目はノンマスカブル割り込み、2 回目はシステムリセット
 - フリーラン
 - オーバフロー周期選択可能:4 種 (125ms,500ms,2s,8s)
- タイマ
 - 8 ビット \times 8ch (16bit 構成も可能)

- 音声再生機能
 - 音声合成方式: 4bit ADPCM2 / ノンリニア PCM / ストレート 8bitPCM / ストレート 16bitPCM
 - サンプル周波数: 8kHz、16kHz、32kHz、10.7kHz、21.3kHz、6.4kHz、12.8kHz、25.6kHz
- D/A コンバータ
 - 12 ビット D/A コンバータ
- スピーカーアンプ
 - 0.5W (3.0V 時)
 - サーマル検知回路
 - 断線検知回路
- 同期式シリアルポート
 - 2ch
 - マスタ/スレーブ選択可能
 - LSB/MSB ファースト選択可能
 - 8ビット/16ビット長選択可能
- UART
 - 半二重通信×2ch、もしくは半二重通信×1ch + 全二重通信×1ch
 - TXD/RXD
 - ビット長、パリティ有無、奇数/偶数パリティ、1/2 ストップビット
 - 正/負論理選択可
 - ボーレートジェネレータ内蔵
- 逐次比較型 A/D コンバータ
 - 12 ビット A/D コンバータ
 - ch 数: 4ch ch0~2: 外部入力、ch3: 基準電圧出力(V_{DDR})もしくは温度センサ出力(TEMPO)
 - 変換時間: 20 μ s/1ch@8MHz $AV_{DD} \geq 2.5V$
 - 変換時間: 28 μ s/1ch@8MHz $AV_{DD} \geq 2.2V$
- 温度センサ
 - 計測温度範囲 : -40~85°C
- 基準電圧出力(V_{DDR})
 - 1.5V \pm 50mV @ -40~85°C、 V_{DDR} 端子: 無負荷
 - 1.5V / 0V / HiZ を選択可能
- 汎用ポート
 - ノンマスカブル割り込み入力ポート×1ch
 - 入力専用ポート×7ch
 - 出力専用ポート×3ch (2 次機能含む)
 - 入出力ポート×29ch (2 次機能含む)
- 電源電圧監視回路
 - 判定精度: $\pm 1.5\%$ (Typ.)
 - 判定電圧: 2 値から選択可能
 - 電源電圧監視リセットとして使用可能
- リセット
 - RESET_N 端子リセット
 - パワーオン検出リセット
 - 電源電圧監視リセット
 - 発振停止検出リセット
 - WDT オーバフローによる検出リセット

- クロック
 - 低速側クロック(本 LSI は低速クロックが供給されない条件での動作は保障できません)
水晶発振 (32.768kHz)
 - 高速側クロック
内蔵 PLL 発振 (8.192MHz)、外部クロック入力
- パワーマネジメント
 - HALT モード: CPU の命令実行中断(周辺回路は動作状態)
 - STOP モード: 低速発振、および高速発振の停止 (CPU および周辺回路は動作を停止)
 - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/1、1/2、1/4、1/8)
 - ブロック制御機能: 使用しない機能ブロック回路の動作をパワーダウン (レジスタリセット&クロック停止)
- 出荷形態
 - 64 ピン TQFP
ML610Q359-xxxTB (ブランク品: ML610Q359-NNNTB)
ML610Q360-xxxTB (ブランク品: ML610Q360-NNNTB)
- 動作保証範囲
 - 動作温度: -40℃～85℃(ML610Q359)
 :-10℃～65℃(ML610Q360 P2ROM 動作時)
 - 動作電圧: $DV_{DD} = 2.0V \sim 3.6V$ 、 $SPV_{DD} = 2.2V \sim 3.6V$ 、 $AV_{DD} = 2.2V \sim 3.6V$

■ ブロック図

● ML610Q359 ブロック図

図 1 に ML610Q359 のブロック図を示します。

“*” は各ポートの 2 次機能、3 次機能又は 4 次機能です。

“*1”は ML610Q359/ML610Q360 で差異のある箇所です。

(図 2 ML610Q360 ブロック図を参照下さい。)

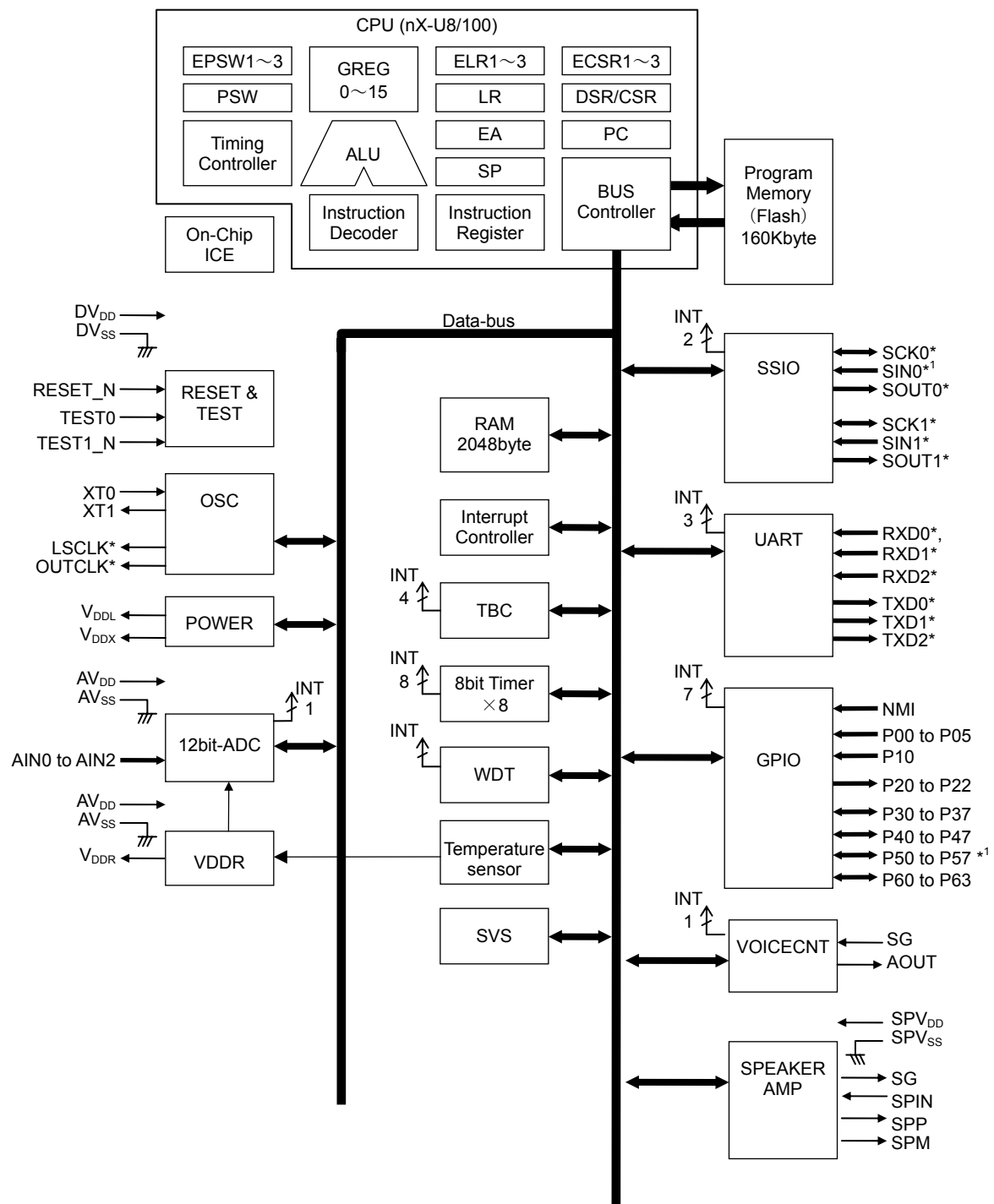


図 1 ML610Q359 ブロック図

● ML610Q360 ブロック図

図 1-2 に ML610Q360 のブロック図を示します。

“*” は各ポートの 2 次機能、3 次機能又は 4 次機能です。

“*1”は ML610Q359/ML610Q360 で差異のある箇所です。

(図 1 ML610Q359 ブロック図を参照下さい。)

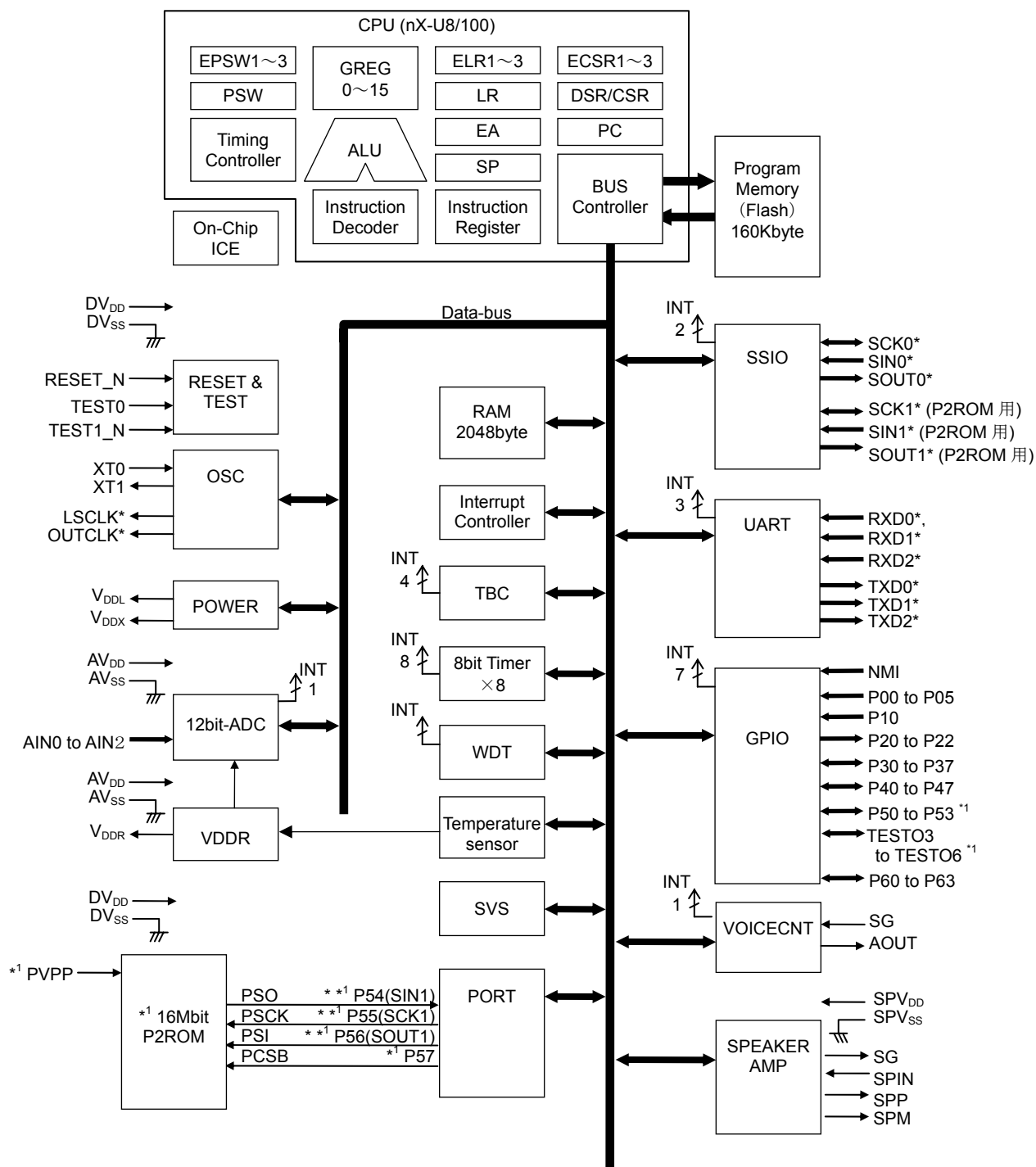
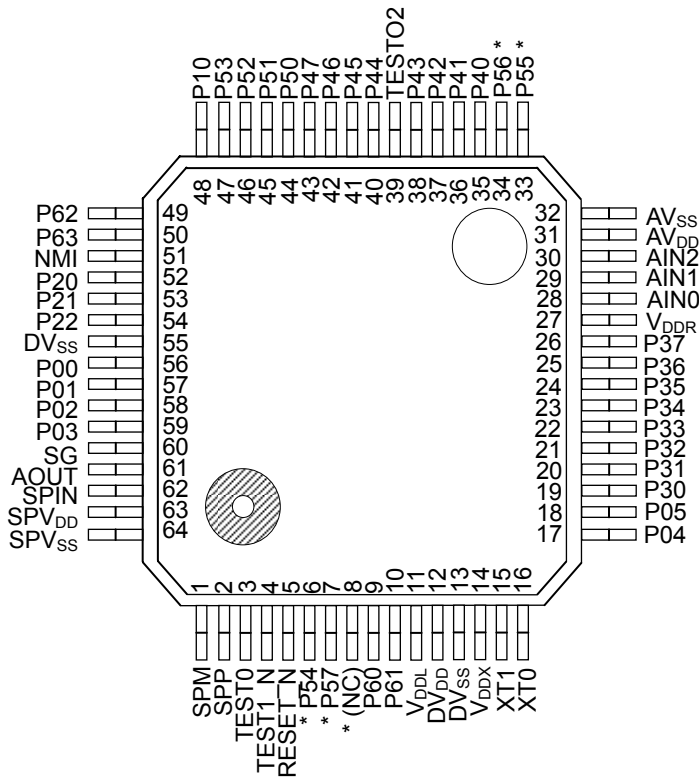


図 2 ML610Q360 ブロック図

端子配置

● ML610Q359 端子配置図



NC: No Connection

図 3 ML610Q359 端子配置図

* ML610Q359/ML610Q360 で差異のある箇所
(図 4 ML610Q360 端子配置図を参照下さい。)

● ML610Q360 端子配置図

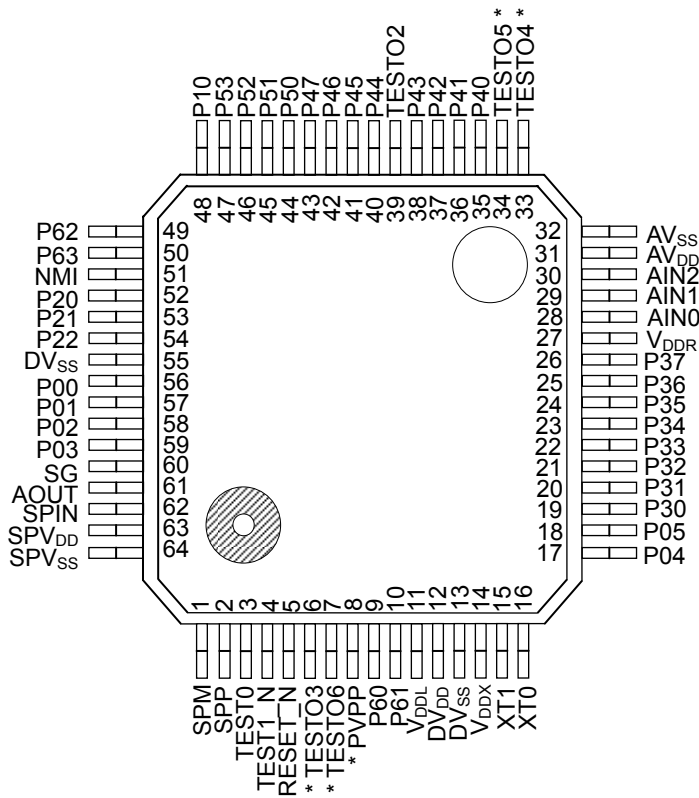


図 4 ML610Q360 端子配置図

* ML610Q359/ML610Q360 で差異のある箇所
(図 3 ML610Q359 端子配置図を参照下さい。)

端子一覧

I/O 欄の “—” は電源端子、“I” は入力端子、“O” は出力端子、“I/O” は入出力端子を示します。

Pin No		1 次機能			2 次機能			3 次機能		
Q359	Q360	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
13,55	13,55	DV _{SS}	—	マイナス側電源端子	—	—	—	—	—	—
12	12	DV _{DD}	—	プラス側電源端子	—	—	—	—	—	—
11	11	V _{DDL}	—	内部ロジック用電源端子 (内部発生)	—	—	—	—	—	—
14	14	V _{DDX}	—	発振用電源端子 (内部発生)	—	—	—	—	—	—
27	27	V _{DDR}	—	基準電圧出力 (内部発生: 1.5V)	—	—	—	—	—	—
64	64	SPV _{SS}	—	内蔵スピーカーアンプ用マイナス側電源端子	—	—	—	—	—	—
63	63	SPV _{DD}	—	内蔵スピーカーアンプ用プラス側電源端子	—	—	—	—	—	—
32	32	AV _{SS}	—	逐次比較型 ADC 用マイナス側電源端子	—	—	—	—	—	—
31	31	AV _{DD}	—	逐次比較型 ADC 用プラス側電源端子	—	—	—	—	—	—
—	8	PVPP	—	内蔵 P2ROM へのデータ書込み時の高電圧電源端子	—	—	—	—	—	—
3	3	TEST0	I/O	テスト用入出力端子	—	—	—	—	—	—
4	4	TEST1_N	I	テスト用入力端子	—	—	—	—	—	—
39	39	TEST02	—	テスト用出力端子	—	—	—	—	—	—
5	5	RESET_N	I	リセット入力端子	—	—	—	—	—	—
16	16	XT0	I	低速クロック発振端子	—	—	—	—	—	—
15	15	XT1	O	低速クロック発振端子	—	—	—	—	—	—
61	61	AOUT	O	LINE 出力	—	—	—	—	—	—
62	62	SPIN	I	内蔵スピーカーアンプへのアナログ入力	—	—	—	—	—	—
60	60	SG	O	内蔵スピーカーアンプの基準電源端子	—	—	—	—	—	—
2	2	SPP	O	内蔵スピーカーアンプのプラス側電源端子	—	—	—	—	—	—
1	1	SPM	O	内蔵スピーカーアンプのマイナス側出力端子	—	—	—	—	—	—
28	28	AIN0	I	逐次比較型 ADC 入力	—	—	—	—	—	—
29	29	AIN1	I	逐次比較型 ADC 入力	—	—	—	—	—	—
30	30	AIN2	I	逐次比較型 ADC 入力	—	—	—	—	—	—

ピン No		1 次機能			2 次機能			3 次機能			4 次機能		
Q359	Q360	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
51	51	NMI	I	入力ポート、 ノンマスクابل 割込み	—	—	—	—	—	—	—	—	—
56	56	P00/EXI0	I	入力ポート、 外部割込み	—	—	—	—	—	—	—	—	—
57	57	P01/EXI1	I	入力ポート、 外部割込み	—	—	—	—	—	—	—	—	—
58	58	P02/EXI2 / RXD0 / RXD2	I	入力ポート、 外部割込み UART0 データ入力 UART2 データ入力	—	—	—	—	—	—	—	—	—
59	59	P03/EXI3 / RXD1	I	入力ポート、 外部割込み UART1 データ入力	—	—	—	—	—	—	—	—	—
17	17	P04/EXI4/ T02P0CK	I	入力ポート、 外部割込み タイマ 0/2 外 部クロック入 力	—	—	—	—	—	—	—	—	—
18	18	P05/EXI5/ T13P0CK	I	入力ポート、 外部割込み タイマ 1/3 外 部クロック入 力	—	—	—	—	—	—	—	—	—
48	48	P10	I	入力ポート	OSC0	I	高速クロッ ク出力	—	—	—	—	—	—
52	52	P20/ LED0	O	出力ポート、 LED 駆動	LSCLK	O	低速クロッ ク出力	—	—	—	—	—	—
53	53	P21/ LED1	O	出力ポート、 LED 駆動	OUTCLK	O	高速クロッ ク出力	—	—	—	—	—	—
54	54	P22/ LED2	O	出力ポート、 LED 駆動	—	—	—	—	—	—	—	—	—

【注意】

2 次機能、3 次機能、4 次機能のいずれかを選択した場合、選択していない機能は失われます。ただし、入力として使用する場合は、ポート n データレジスタで入力データを読み出し可能です。

ピン No		1 次機能			2 次機能			3 次機能			4 次機能		
Q359	Q360	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
19	19	P30	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
20	20	P31	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
21	21	P32	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
22	22	P33	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
23	23	P34	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
24	24	P35	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
25	25	P36	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
26	26	P37	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
35	35	P40	I/O	入出力ポート	—	—	—	SIN0	I	SSIO0 データ入力	—	—	—
36	36	P41	I/O	入出力ポート	—	—	—	SCK0	I/O	SSIO0 同期クロック 入出力	—	—	—
37	37	P42	I/O	入出力ポート	RXD0	I	UART0 データ入力	SOUT0	O	SSIO0 データ出力	RXD2	I	UART2 データ入力
38	38	P43	I/O	入出力ポート	TXD0	O	UART0 データ出力	—	—	—	TXD2	O	UART2 データ出力
40	40	P44	I/O	入出力ポート	—	—	—	SIN0	I	SSIO0 データ入力	—	—	—
41	41	P45	I/O	入出力ポート	—	—	—	SCK0	I/O	SSIO0 同期クロック 入出力	—	—	—
42	42	P46	I/O	入出力ポート	—	—	—	SOUT0	O	SSIO0 データ出力	—	—	—
43	43	P47	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
44	44	P50	I/O	入出力ポート	—	—	—	SIN1	I	SSIO1 データ入力	—	—	—
45	45	P51	I/O	入出力ポート	—	—	—	SCK1	I/O	SSIO1 同期クロック 入出力	—	—	—
46	46	P52	I/O	入出力ポート	RXD1	I	UART1 データ入力	SOUT1	O	SSIO1 データ出力	—	—	—
47	47	P53	I/O	入出力ポート	TXD1	O	UART1 データ出力	—	—	—	TXD2	O	UART2 データ出力
6	—	P54/ TEST O3	I/O	入出力ポート	—	—	—	SIN1	I	SSIO1 データ入力	—	—	—
33	—	P55/ TEST O4	I/O	入出力ポート	—	—	—	SCK1	I/O	SSIO1 同期クロック 入出力	—	—	—
34	—	P56/ TEST O5	I/O	入出力ポート	—	—	—	SOUT1	O	SSIO1 データ出力	—	—	—
7	—	P57/ TEST O6	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
9	9	P60	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
10	10	P61	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
49	49	P62	I/O	入出力ポート	—	—	—	—	—	—	—	—	—
50	50	P63	I/O	入出力ポート	—	—	—	—	—	—	—	—	—

【注意】

2 次機能、3 次機能、4 次機能のいずれかを選択した場合、選択していない機能は失われます。ただし、入力として使用する場合は、ポート n データレジスタで入力データを読み出し可能です。

【補足】 ML610Q360 のみ。(ML610Q359 は該当しません。)

P54～P57 は、チップ内部で内蔵 P2ROM と接続されており、各機能は存在します。

(外部端子名は TESTO3～TESTO6 になります。外部端子処理はオープンとしてください。)

以下に、P2ROM との接続内容を以下に示します。

内蔵 P2ROM の端子	説明
PSO	シリアルデータ出力 内部で P54/SIN1(3 次機能使用)と接続
PSCK	シリアルクロック入力 内部で P55/SCK1(3 次機能使用)と接続
PSI	シリアルデータ入力 内部で P56/SOUT1(3 次機能使用)と接続
PCSB	チップセレクト入力 内部で P57(1 次機能使用)と接続

端子説明

I/O 欄の “—” は電源端子、“I” は入力端子、“O” は出力端子、“I/O” は入出力端子を示します。

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論理
電源				
DV _{SS}	—	マイナス側電源端子です。	—	—
DV _{DD}	—	プラス側電源端子です。	—	—
V _{DDL}	—	内部ロジック用電源端子(内部発生) DV _{SS} との間にコンデンサ C _L (測定回路 1 参照)を接続します。	—	—
V _{DDX}	—	発振用電源端子(内部発生) DV _{SS} との間にコンデンサ C _X (測定回路 1 参照)を接続します。		
V _{DDR}	—	基準電圧出力端子(1.5V、0V、HiZ を選択可能) DV _{SS} との間にコンデンサ C _R (測定回路 1 参照)を接続します。	—	—
SPV _{SS}	—	内蔵スピーカアンプ用マイナス側電源端子	—	—
SPV _{DD}	—	内蔵スピーカアンプ用プラス側電源端子	—	—
AV _{SS}	—	逐次比較型 ADC 用マイナス側電源	—	—
AV _{DD}	—	逐次比較型 ADC 用プラス側電源	—	—
PVPP	—	内蔵 P2ROM へのデータ書込み時の高電圧電源端子です。 データ書込み時以外は、DV _{SS} レベルに固定して下さい。	—	—
テスト用				
TEST0	I/O	テスト用入出力端子です。ブルダウン抵抗が内蔵されています。	—	正
TEST1_N	I	テスト用入力端子。プルアップ抵抗が内蔵されています。	—	負
TEST02	—	テスト用出力端子	—	—
システム				
RESET_N	I	リセット入力端子です。この端子を”L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を”H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	—	負
XT0	I	低速クロック用水晶振動子接続端子です。	—	正
XT1	O	32.768kHz 水晶振動子(測定回路 1 参照)を接続し、必要に応じ V _{SS} との間にコンデンサ C _{DL} 、C _{GL} を接続します。	—	負
OSC0	I	高速クロック用外部入力端子です。P10 端子の 2 次機能に割り付けられています。	2 次	正
LSCLK	O	低速クロック出力です。P20 端子の 2 次機能に割り付けられています。	2 次	—
OUTCLK	O	高速クロック出力です。P21 端子の 2 次機能に割り付けられています。	2 次	—
汎用入力ポート				
P00～P05	I	汎用入力ポートです。	1 次	正
P10	I	汎用入力ポートです。 2 次機能を使用する場合、ポートとして使用できません。	1 次	正
汎用出力ポート				
P20～P22	O	汎用出力ポート。 2 次機能を使用する場合、ポートとして使用できません。	1 次	正
汎用入出力ポート				
P30～P37	I/O	汎用入出力ポート。 2 次機能を使用する場合、ポートとして使用できません。	1 次	正
P40～P47	I/O			
P50～P57	I/O			
P60～P63	I/O			

端子名	I/O	説 明	1 次/ 2 次/ 3 次/ 4 次	論 理
UART				
TXD0	O	UART0 データ出力端子です。P43 端子の 2 次機能に割り付けられています。	2 次	正
RXD0	I	UART0 データ入力端子です。P02 端子の 1 次機能および P42 の 2 次機能に割り付けられています。	2 次	正
TXD1	O	UART1 データ出力端子です。P53 端子の 2 次機能に割り付けられています。	2 次	正
RXD1	I	UART1 データ入力端子です。P03 端子の 1 次機能および P52 端子の 2 次機能に割り付けられています。	2 次	正
TXD2	O	UART2 データ出力端子です。P43 端子の 4 次機能および P53 端子の 4 次機能に割り付けられています。	2 次	正
RXD2	I	UART2 データ入力端子です。P02 端子の 1 次機能および P42 端子の 4 次機能に割り付けられています。	2 次	正
同期シリアル (SSIO)				
SIN0	I	同期シリアルデータ入力端子です。P40 端子の 3 次機能および P44 端子の 3 次機能に割り付けられています。	3 次	正
SCK0	I/O	同期シリアルクロック入出力端子です。P41 端子の 3 次機能および P45 端子の 3 次機能に割り付けられています。	3 次	—
SOUT0	O	同期シリアルデータ出力端子です。P42 端子の 3 次機能および P46 端子の 3 次機能に割り付けられています。	3 次	正
SIN1	I	同期シリアルデータ入力端子です。P50 端子の 3 次機能および P54 端子の 3 次機能に割り付けられています。	3 次	正
SCK1	I/O	同期シリアルクロック入出力端子です。P51 端子の 3 次機能および P55 端子の 3 次機能に割り付けられています。	3 次	—
SOUT1	O	同期シリアルデータ出力端子です。P52 端子の 3 次機能および P56 端子の 3 次機能に割り付けられています。	3 次	正
外部割込				
NMI	I	外部ノンマスカブル割込み入力端子です。両エッジにて割込みが発生します。	1 次	正/ 負
EXI0～5	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P00～P05 端子の 1 次機能に割り付けられています。	1 次	正/ 負
LED 駆動				
LED0～2	O	LED 駆動端子です。P20～P22 端子の 1 次機能に割り付けられています。	1 次	正/ 負
音声出力機能				
AOUT	0	LINE 出力端子です。内蔵スピーカーアンプを使用する場合は SPIN 端子と接続してください。	—	—
SPIN	I	内蔵スピーカーアンプのアナログ入力端子です。	—	—
SG	0	内蔵スピーカーアンプの基準電圧出力端子です。	—	—
SPP	0	内蔵スピーカーアンプのプラス側出力端子です。	—	—
SPM	0	内蔵スピーカーアンプのマイナス側出力端子です。	—	—
逐次比較型 A/D コンバータ				
AIN0～AIN2	I	逐次比較型 A/D コンバータ Ch0～Ch2 アナログ入力です。	—	—

■ 未使用端子処理

● 未使用端子の処理方法

端子	推奨端子処理
RESET_N	オープン
TEST0	オープン
TEST1_N	オープン
TEST02	オープン
AV _{DD}	DV _{DD}
AV _{SS}	DV _{SS}
AIN0～AIN2	オープン
SPV _{DD}	DV _{DD}
SPV _{SS}	DV _{SS}
PVPP	DV _{SS}
AOUT	オープン
SPIN	オープン
SG	オープン
SPP	オープン
SPM	オープン
P00～P05	DV _{DD} または DV _{SS}
P10	DV _{DD} または DV _{SS}
P20～P22	オープン
P30～P37	オープン
P40～P47	オープン
P50～P57	オープン
TEST03～TEST06	オープン
P60～P63	オープン
V _{DDR}	オープン

【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

■ 電気的特性

● 絶対最大定格

(DV_{SS}=AV_{SS}= SPV_{SS}=0V)

項 目	記 号	条 件	定 格 値	単位
電源電圧 1	DV _{DD}	Ta=25°C	-0.3~+7.0	V
電源電圧 2	AV _{DD}	Ta=25°C	-0.3~+7.0	V
電源電圧 3	SPV _{DD}	Ta=25°C	-0.3~+7.0	V
電源電圧 4	V _{DDL}	Ta=25°C	-0.3~+3.6	V
電源電圧 5	V _{DDX}	Ta=25°C	-0.3~+3.6	V
電源電圧 6	V _{DDR}	Ta=25°C	-0.3~+3.6	V
電源電圧 7	TESTO2	Ta=25°C	-0.3~+9.5	V
入力電圧	V _{IN}	Ta=25°C	-0.3~DV _{DD} +0.3	V
出力電圧	V _{OUT}	Ta=25°C	-0.3~DV _{DD} +0.3	V
出力電流 1	I _{OUT1}	ポート 3,4,5,6 系、Ta=25°C	-12~+11	mA
出力電流 2	I _{OUT2}	ポート 2 系、Ta=25°C	-12~+60	mA
許容損失	PD	Ta=25°C	472	mW
保存温度	T _{STG}	—	-55~+150	°C

● 推奨動作条件

(DV_{SS}=AV_{SS}= SPV_{SS}=0V)

項 目	記 号	条 件	範 囲	単位
動作温度	T _{OP}	—	-40~+85	°C
動作電圧	DV _{DD}	—	2.0~3.6	V
	SPV _{DD}	—	2.2~3.6	
	AV _{DD}	—	2.2~3.6	
動作周波数 (CPU)	f _{OP}	DV _{DD} =2.2V~3.6V	30k~8.4M	Hz
		DV _{DD} =2.0V~3.6V	30k~4.2M	
低速発振周波数	f _{XTL}	—	32.768k	Hz
低速水晶発振 外付け容量	C _{DL}	EPSON TOYOCOM 製 MC-146	14	pF
	C _{GL}		14	
V _{DDL} 端子外付け容量	C _L	—	10±30%	μF
V _{DDX} 端子外付け容量	C _X	—	0.1±30%	
V _{DDR} 端子外付け容量	C _R	—	1±30%	
AOUT-SPIN 外付け容量	C _{AO SP}	—	0.022±30%	
SG 端子外付け容量	C _{SG}	—	0.1±30%	

●フラッシュメモリ動作条件

(DV_{SS}=AV_{SS1}=SPV_{SS}=0V)

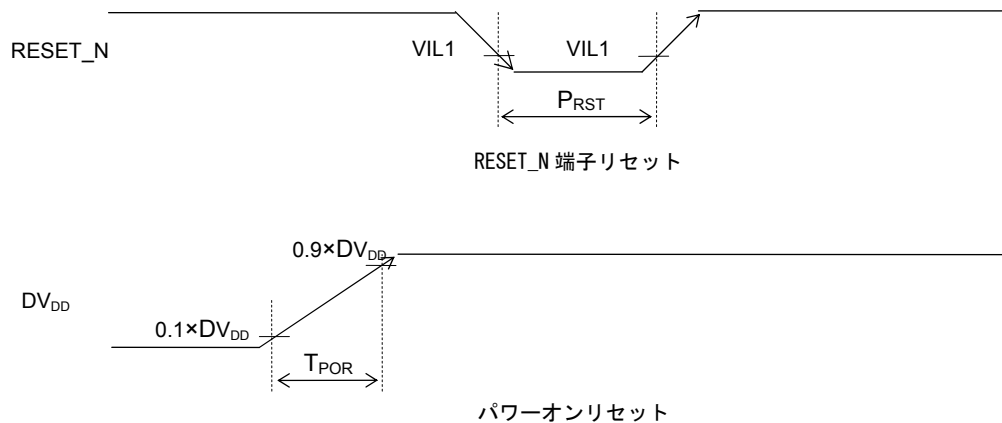
項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	書き込み／消去時	-20～+75	℃
動作電圧	DV _{DD}	書き込み／消去時	2.2～3.6	V
書き換え回数	C _{EPD}	データ領域(3072B)	6000	回
	C _{EPP}	プログラム領域	100	
データ保持年数	Y _{DR}	—	10	年

●直流特性(1/5)

(特に指定のない場合は、DV_{DD}=SPV_{DD}=AV_{DD}=2.0～3.6V, DV_{SS}=AV_{SS}=SPV_{SS}=0V, Ta=-40～+85℃) (1/5)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
高速発振開始時間	T _{XTH}	—	—	1	3	ms	1
低速発振開始時間	T _{XTL}	—	—	—	2	s	
低速発振停止検出時間	T _{STOP}	—	0.2	3	20	ms	
高速発振周波数	f _{HPLL}	LSCLK=32.768kHz	typ -2.5%	8.192 M	typ +2.5%	Hz	
リセットパルス幅	P _{RST}	—	100	—	—	us	
リセットノイズ除去 パルス幅	P _{NRST}	—	—	—	0.3		
パワーオンリセット発生 電源立ち上がり時間	T _{POR}	—	—	—	10	ms	

●リセット



●直流特性(2/5)

音声出力

(特に指定のない場合は、DVDD=SPVDD= AVDD=2.3~3.6V, DVSS=AVSS= SPVSS=0V, Ta=-40~+85°C) (2/5)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
LINE アンプ出力電圧範囲	V _{AD}	対 DV _{SS} 10k Ω 負荷時	SPV _{DD} X1/6	—	SPV _{DD} X5/6	V	1
SG 出力電圧	V _{SG}	—	0.95x SPV _{DD} / 2	SPV _{DD} / 2	1.05x SPV _{DD} / 2	V	
SG 出力抵抗	R _{SG}	—	57	96	135	k Ω	
SPM、SPP 出力負荷抵抗	R _{LSP}	—	8	—	—	Ω	
スピーカアンプ出力電力	P _{SPO1}	SPV _{DD} =3.0V, f=1kHz R _{SPO} =8 Ω , THD \geq 17% SPIN 入力時	—	0.5	—	W	
無信号時 SPM-SPP 間 出力オフセット電圧	V _{OF}	SPV _{DD} =3.0V, 8 Ω 負荷時 SPIN-SPM 利得=+6dB	-30	—	30	mV	

●直流特性(3/5)

(特に指定のない場合は、 $DV_{DD}=SPV_{DD}=AV_{DD}=2.0\sim 3.6V$, $DV_{SS}=AV_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$) (3/5)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
消費電流 1	IDD1	CPU が STOP 状態 低速/高速発振停止	Ta≤+50℃	—	0.5	2.5	μA	1
			Ta≤+85℃	—	0.5	8		
消費電流 2	IDD2	CPU が HALT 状態 (LTBC,WDT 動作 ^{*2}) 高速発振停止	Ta≤+50℃	—	1.7	3.5		
			Ta≤+85℃	—	1.7	10		
消費電流 3	IDD3	CPU が 32.768kHz 動作状態*1 高速発振停止		—	16	30		
消費電流 4	IDD4	CPU が 8.192MHz 動作 状態 高速発振状態	DV _{DD} = SPV _{DD} =3.0V	—	4.5	10	mA	

^{*1}: CPU 動作率 100%時 (HALT 状態なし)

^{*2}: BLKCON0~BLKCON4 の有効ビット全て“1”。

電源電圧監視回路

(特に指定のない場合は、 $DV_{DD}=SPV_{DD}=AV_{DD}=2.0\sim 3.6V$, $DV_{SS}=AV_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$) (3/5)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
SVS 判定電圧	V_{SVS1}	$T_a=25^{\circ}C$	DV_{DD} falling	Typ.	2.05	V	1
			DV_{DD} rising	-1.5%	2.13		
	V_{SVS2}	$T_a=25^{\circ}C$	DV_{DD} falling	Typ.	2.25		
			DV_{DD} rising	-1.5%	2.33		
SVS 自己消費電流	I_{SVS}	—	—	10	—	μA	

温度センサ

(特に指定のない場合は、 $DV_{DD}=SPV_{DD}=AV_{DD}=2.0\sim 3.6V$, $DV_{SS}=AV_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$) (3/5)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
TEMPO 出力電圧	V _{TEMPO}	Ta=25℃	0.95	1.311	1.6	V	1
TEMPO 温度傾き	Δ _{TEMPO}	Ta=-40℃～25℃	—	-3.9	—	mV/℃	
		Ta=25℃～85℃	—	-4.1	—		

基準電圧出力

(特に指定のない場合は、 $DV_{DD}=SPV_{DD}=AV_{DD}=2.0\sim 3.6V$, $DV_{SS}=AV_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$) (3/5)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
V_{DDR} 出力電圧	V_{DDR}	無負荷	1.45V	1.5V	1.55V	V	1

●直流特性(4/5)

(特に指定のない場合は、 $DV_{DD}=SPV_{DD}=AV_{DD}=2.0\sim3.6V$, $DV_{SS}=AV_{SS}=SPV_{SS}=0V$, $T_a=-40\sim+85^{\circ}C$) (4/5)

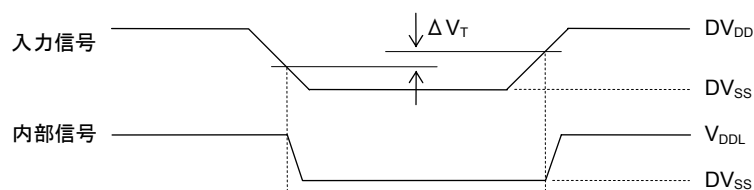
項 目	記 号	条 件		規 格 値			単位	測定回路
				Min.	Typ.	Max.		
出力電圧 1 (P20~P22) (P30~P37) (P40~P47) (P50~P57) (P60~P63)	VOH1	IOH1=-0.5mA		DV_{DD} -0.5	—	—	V	2
	VOL1	IOL1=+0.5mA		—	—	0.5		
出力電圧 2 (P20~P22)	VOL2	(LED駆動モード 選択時)	IOL2=+20mA $DV_{DD}\geq 2.5V$	—	—	0.5		
出力リーク (P20~P22) (P30~P37) (P40~P47) (P50~P57) (P60~P63)	IOOH	VOH= DV_{DD} (ハイインピーダンス時)		—	—	1	μA	3
	IOOL	VOL= DV_{SS} (ハイインピーダンス時)		-1	—	—		
入力電流 (RESET_N) (TEST1_N)	IIH1	VIH1= DV_{DD}		0	—	-1	μA	4
	IIL1	VIL1= DV_{SS}		-1500	-300	-20		
入力電流2 (NMI) (P00~P05) (P10) (P30~P37) (P40~P47) (P50~P57) (P60~P63)	IIH2	VIH2= DV_{DD} (プルダウン時)		2	30	250		
	IIL2	VIL2= DV_{SS} (プルアップ時)		-250	-30	-2		
	IIH2Z	VIH2= DV_{DD} (ハイインピーダンス時)		—	—	1		
	IIL2Z	VIL2= DV_{SS} (ハイインピーダンス時)		-1	—	—		
入力電流 3 (TEST0)	IIH3	VIH3= DV_{DD}		20	300	1500		
	IIL3	VIL3= DV_{SS}		-1	—	—		

●直流特性(5/5)

(特に指定のない場合は、DVDD=SPVDD= AVDD=2.0~3.6V, DVSS=AVSS= SPVSS=0V, Ta=-40~+85℃) (5/5)

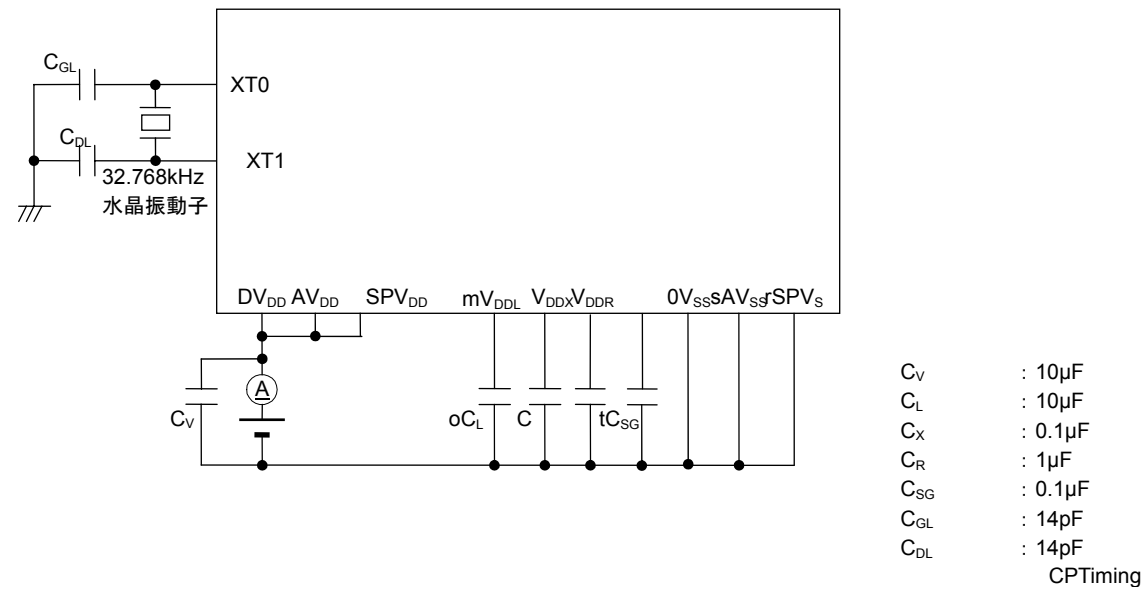
項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (TEST0) (TEST1_N) (NMI) (P00~P05) (P10) (P30~P37) (P40~P47) (P50~P57) (P60~P63)	VIH1	—	$0.7 \times DV_{DD}$	—	DV_{DD}	V	5
	VIL1	—	0	—	$0.3 \times DV_{DD}$		
ヒステリシス幅 (RESET_N) (TEST0) (TEST1_N) (NMI) (P00~P05) (P10) (P30~P37) (P40~P47) (P50~P57) (P60~P63)	ΔV_T	—	$0.05 \times DV_{DD}$	—	$0.4 \times DV_{DD}$		
入力端子容量 (NMI) (P00~P05) (P10) (P30~P37) (P40~P47) (P50~P57) (P60~P63)	CIN	f=10kHz $V_{rms}=50mV$ Ta=25℃	—	—	10	pF	—

●ヒステリシス幅

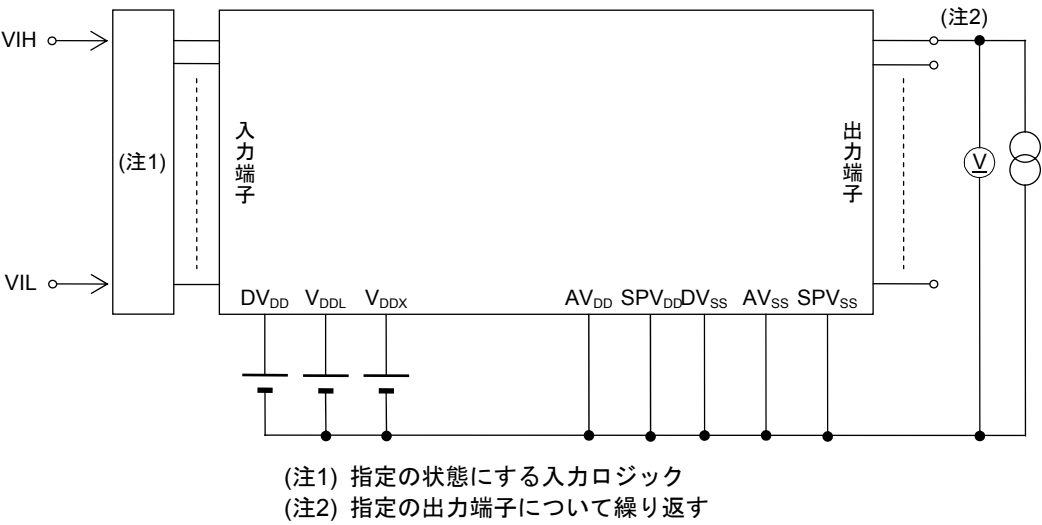


●測定回路

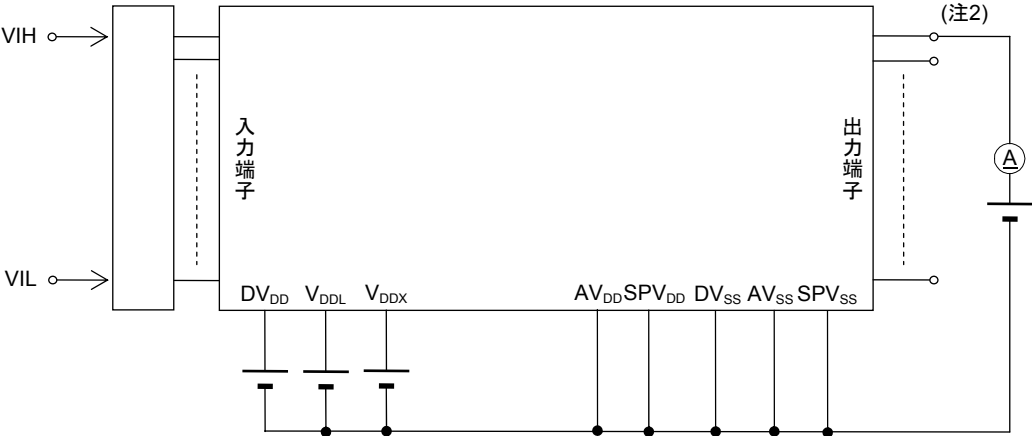
測定回路 1



測定回路 2

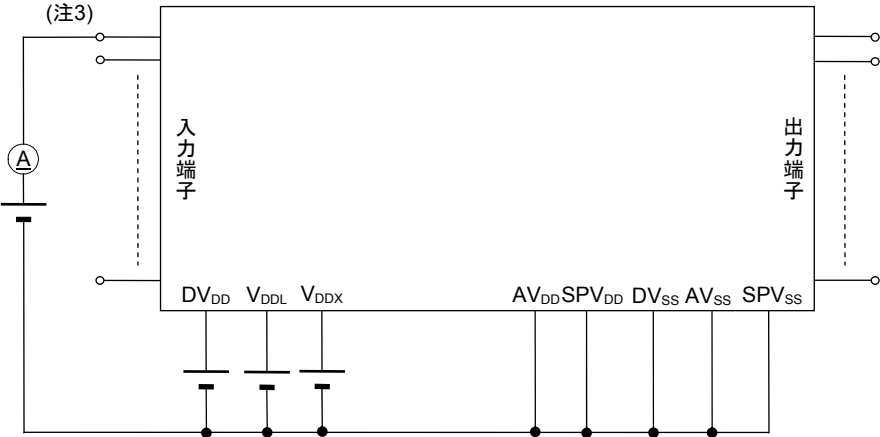


測定回路 3



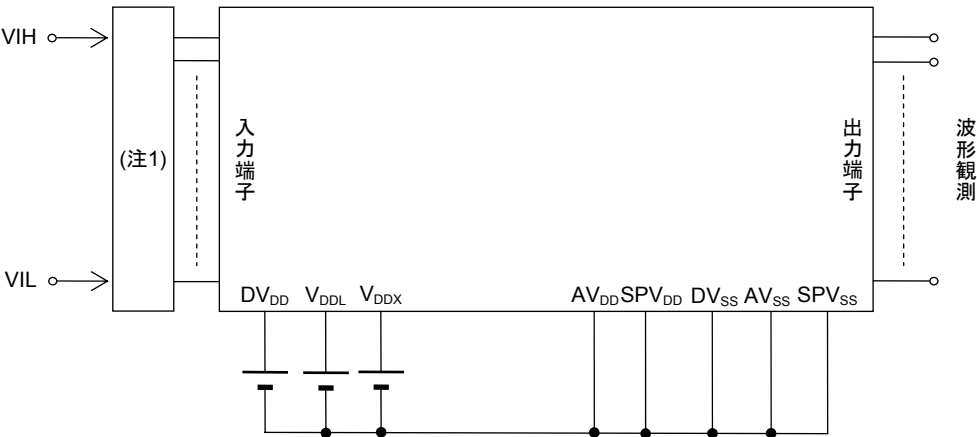
(注1) 指定の状態にする入力ロジック
(注2) 指定の出力端子について繰り返す

測定回路 4



(注3) 指定の入力端子について繰り返す

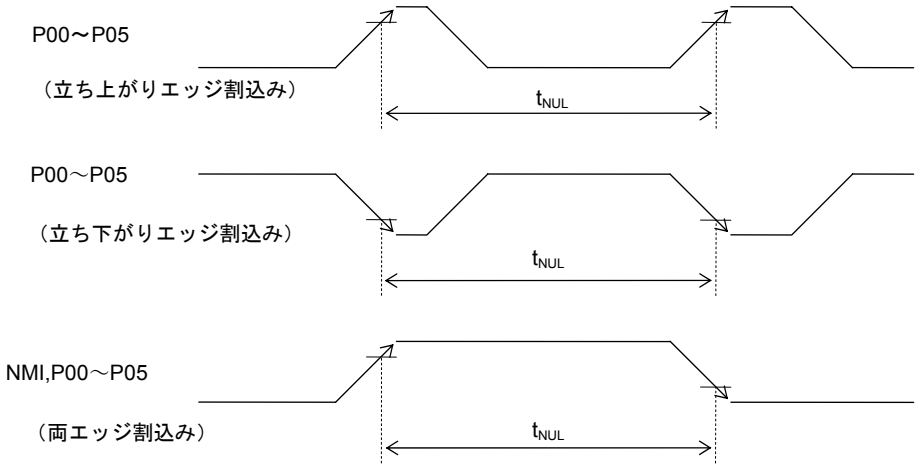
測定回路 5



(注1) 指定の状態にする入力ロジック

●交流特性（外部割込み）
（特に指定のない場合は、 $DV_{DD}=SPV_{DD}=AV_{DD}=2.0\sim 3.6V$, $DV_{SS}=AV_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$ ）

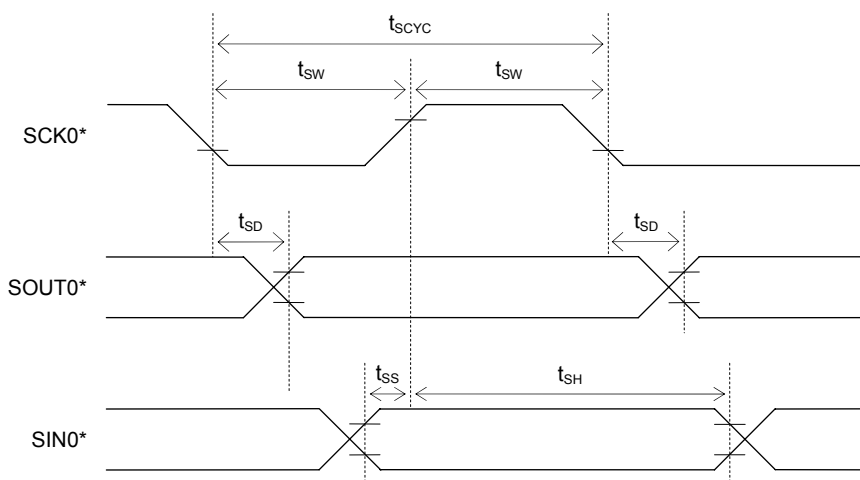
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	T_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作	$2.5\times$ sysclk	—	$3.5\times$ sysclk	μs



●交流特性（同期式シリアルポート）

（特に指定のない場合は、 $DV_{DD}=SPV_{DD}=AV_{DD}=2.0\sim 3.6V$, $DV_{SS}=AV_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +85^{\circ}C$ ）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCK 入力サイクル （スレーブモード）	t_{SCYC}	高速発振停止時	10	—	—	μs
		高速発振時	500	—	—	ns
SCK 出力サイクル （マスターモード）	t_{SCYC}	—	—	SCK^{*1}	—	s
SCK 入力パルス幅 （スレーブモード）	t_{SW}	高速発振停止時	4	—	—	μs
		高速発振時	200	—	—	ns
SCK 出力パルス幅 （マスターモード）	t_{SW}	—	SCK^{*1} $\times 0.4$	SCK^{*1} $\times 0.5$	SCK^{*1} $\times 0.6$	s
SOUT 出力遅延時間 （スレーブモード）	t_{SD}	—	—	—	180	ns
SOUT 出力遅延時間 （マスターモード）	t_{SD}	—	—	—	80	ns
SIN 入力 セットアップ時間 （スレーブモード）	t_{SS}	—	50	—	—	ns
SIN 入力 ホールド時間	t_{SH}	—	50	—	—	ns

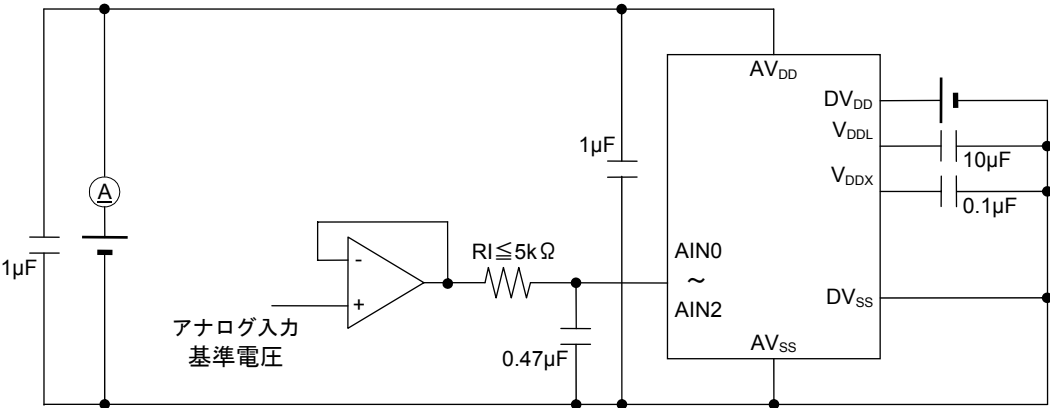
*¹：シリアルポート 0 モードレジスタ（SIO0MOD1）の S0CK3～0 により選択されたクロック周期

*: ポートの 3 次機能を示す。

●逐次比較型 A/D コンバータの電気的特性
(特に指定のない場合は、DV_{DD}=SPV_{DD}=2.0~3.6V, AV_{DD}=2.2~3.6V, DV_{SS}=AV_{SS}=SPV_{SS}=0V, Ta=-40~+85℃)

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
分解能	n	—	—	—	12	bit
積分非直線性誤差	IDL	2.7V≦V _{REF} ≦3.6V	-4	—	+4	LSB
		2.2V≦V _{REF} ≦2.7V	-6	—	+6	
微分非直線性誤差	DNL	2.7V≦V _{REF} ≦3.6V	-3	—	+3	
		2.2V≦V _{REF} ≦2.7V	-5	—	+5	
ゼロスケール誤差	V _{OFF}	—	-6	—	+6	
フルスケール誤差	FSE	—	-6	—	+6	
入力インピーダンス	Z _I	—	—	—	5k	Ω
変換時間	t _{CONV}	SACK=0 (HSCLK=3M~8.4MHz) 2.2≦AV _{DD}	—	224	—	φ/CH
		SACK=1 (HSCLK=3M~8.4MHz) 2.5≦AV _{DD}	—	160	—	

φ：高速クロック (HSCLK) の周期

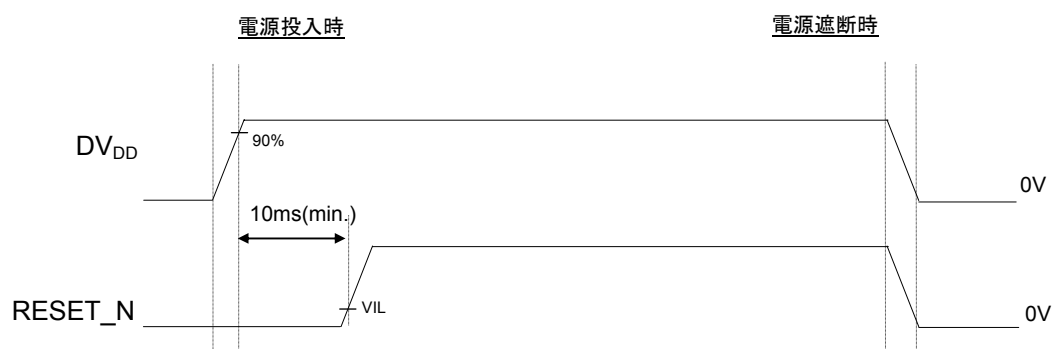


●電源投入・遮断シーケンス

■電源立ち上がり時間が 100msec 以内の場合



■電源立ち上がり時間が 10msec 以上の場合

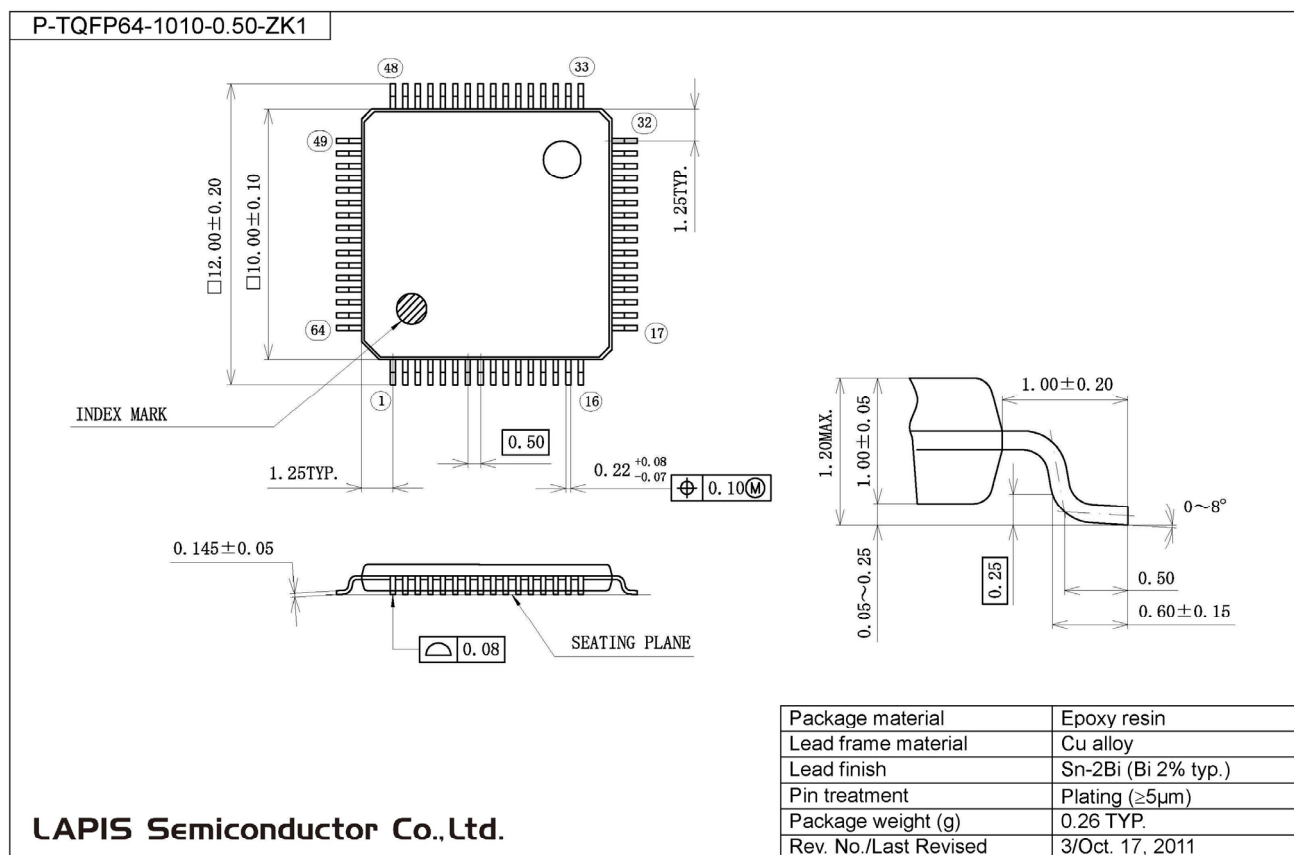


AV_{DD} は、DV_{DD} と同時もしくは DV_{DD} が立ち上がった後に供給してください。

■ パッケージ外形図

ML610Q359/ML610Q360

(单位: mm)



TQFP64

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

本 LSI の熱抵抗値(2 例)について以下に示します。基板の大きさや層数により熱抵抗値(θ_{Ja})が変わります。

条件	例① (EIA/JESD51 準拠)	例②
PCB	W/L/t= 76.2/114.5/1.6(mm)	W/L/t= 62/60/1.6(mm)
PCB Layer	2 層	2 層
Cu 箔厚	40um	30um
各層 Cu 箔残存率	60%(表層/裏層)	80%(表層/裏層)
空冷条件	無風時(0m/sec)	無風時(0m/sec)
熱抵抗値(θJa)	41.3(°C/W)	46.1(°C/W)
チップの消費電力 PMax OutputPower 0.5W (3.6V)時	0.472[W](ML610Q359) 0.562[W](ML610Q360)	

本 LSI の TjMax は 125°C です。TjMax は以下の式で表されます。

$$T_{j\text{Max}} = T_{a\text{Max}} + \theta \text{ Ja} \times P_{\text{Max}}$$

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q359-01	2015.7.14	—	—	正式版発行

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもつて、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器 (AV機器、OA機器、通信機器、家電製品、アミューズメント機器など) および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
・輸送機器 (車載、船舶、鉄道など)、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2015 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>