

お客様各位

資料中の「ラピスセミコンダクタ」等名称のラピステクノロジー株式会社への変更

2020年10月1日をもって、ラピスセミコンダクタ株式会社のLSI事業部門は、ラピステクノロジー株式会社に分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。

なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML610Q380/ ML610Q383

ML610Q384/ ML610Q385

音声機能付 8bit マイクロコントローラ

■ 概要

本 LSI は、8 ビット CPU nX-U8/100 を搭載し、10 ビット逐次比較型 A/D コンバータ、タイマ、PWM、同期式シリアルポート、UART、I²C バスインタフェース(マスタ)、電源電圧検出回路、LCDドライバ、音声再生機能、およびスピーカーアンプ等、多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。CPU nX-U8/100 は、3 段パイプラインアーキテクチャによる並列処置をすることで 1 命令 1 クロックの効率的な命令実行が可能です。さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

■ 特長

- CPU
 - RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)
 - 命令体系:16 ビット長命令
 - 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
 - デバッグ機能を内蔵
 - 最小命令実行時間
 - 約 30.5 μ s (@32.768kHz システムクロック)
 - 約 0.122 μ s (@8.192MHz システムクロック) @DV_{DD}=2.2~5.5V
- 内部メモリ
 - 128K バイトのフラッシュ ROM (64K \times 16 ビット)を内蔵(使用不可のテスト領域 1K バイトを含む)
 - 2K バイトの RAM (2048 \times 8 ビット)を内蔵
 - 最大 16M ビットの P2ROM を内蔵(ML610Q383/ML610Q384/ML610Q385)
 - P2ROM 容量:ML610Q383 (4M ビット), ML610Q384 (8M ビット), ML610Q385 (16M ビット)
- 割込みコントローラ
 - ノンマスカブル割込み 2 要因(内部要因:1、外部要因:1)
 - マスカブル割込み 24 要因(内部要因:20、外部要因:4)
- タイムベースカウンタ
 - 低速側タイムベースカウンタ \times 1ch
 - 高速側タイムベースカウンタ \times 1ch
- ウォッチドッグタイマ
 - オーバフロー1 回目はノンマスカブル割り込み、2 回目はシステムリセット
 - フリーラン
 - オーバフロー周期選択可能:4 種(125ms,500ms,2s,8s)
- タイマ
 - 8 ビット \times 6ch(16bit 構成も可能)

- PWM
 - 分解能 16 ビット×2ch (IGBT control)
- 音声出力機能
 - 音声合成方式: 4bit ADPCM2 / 8bit non-linear PCM / 8bit PCM / 16bit PCM
 - サンプリング周波数: 8/16/32 kHz; 10.7/21.3 kHz; 6.4/12.8/25.6 kHz
- D/A コンバータ
 - 12bit D/A コンバータ
- スピーカーアンプ
 - 0.6W (@5V)
 - サーマル検知機能
 - 断線検知機能
- 同期式シリアルポート×2ch (ML610Q383/384/385 は1ch を P2ROM アクセスに使用)
 - マスタ/スレーブ選択可能
 - LSB/MSB ファースト選択可能
 - 8ビット/16ビット長選択可能
- UART
 - 半二重通信
 - TXD/RXD×2ch
 - ビット長、パリティ有無、奇数/偶数パリティ、1/2 ストップビット
 - 正/負論理選択可
 - ボーレートジェネレータ内蔵
- I²C バスインタフェース
 - マスタ機能のみ
 - ファーストモード(400kbps@4MHz)、標準モード(100kbps@4MHz)
- 逐次比較型 A/D コンバータ
 - 10ビット A/D コンバータ
 - 入力 8ch(最大)
 - 変換時間: 12.75us/1ch
- 汎用ポート 45(最大)
 - ノンマスカブル割り込み入力ポート×1ch
 - 入力専用ポート×6ch
 - 出力専用ポート×4ch (2 次機能含む)
 - 入出力ポート×18ch (2 次機能含む)
 - 入出力ポート×16ch (LCD ドライバとの選択含む)
- LCD ドライバ
 - 最大 96 ドット (最大: 24seg×4com)、1/1～1/4 デューティ
 - フレーム周波数選択 (約 64Hz, 約 73Hz, 約 85Hz, 約 102Hz, 約 32Hz, 約 128Hz, 約 146Hz, 約 171Hz, 約 256Hz)
 - LCD 停止、LCD 表示、全点灯、全消灯モード選択
- 電源電圧検出機能 (BLD)
 - 判定電圧: 4 値から 1 つを選択
 - 判定精度: ±2% (Typ.)

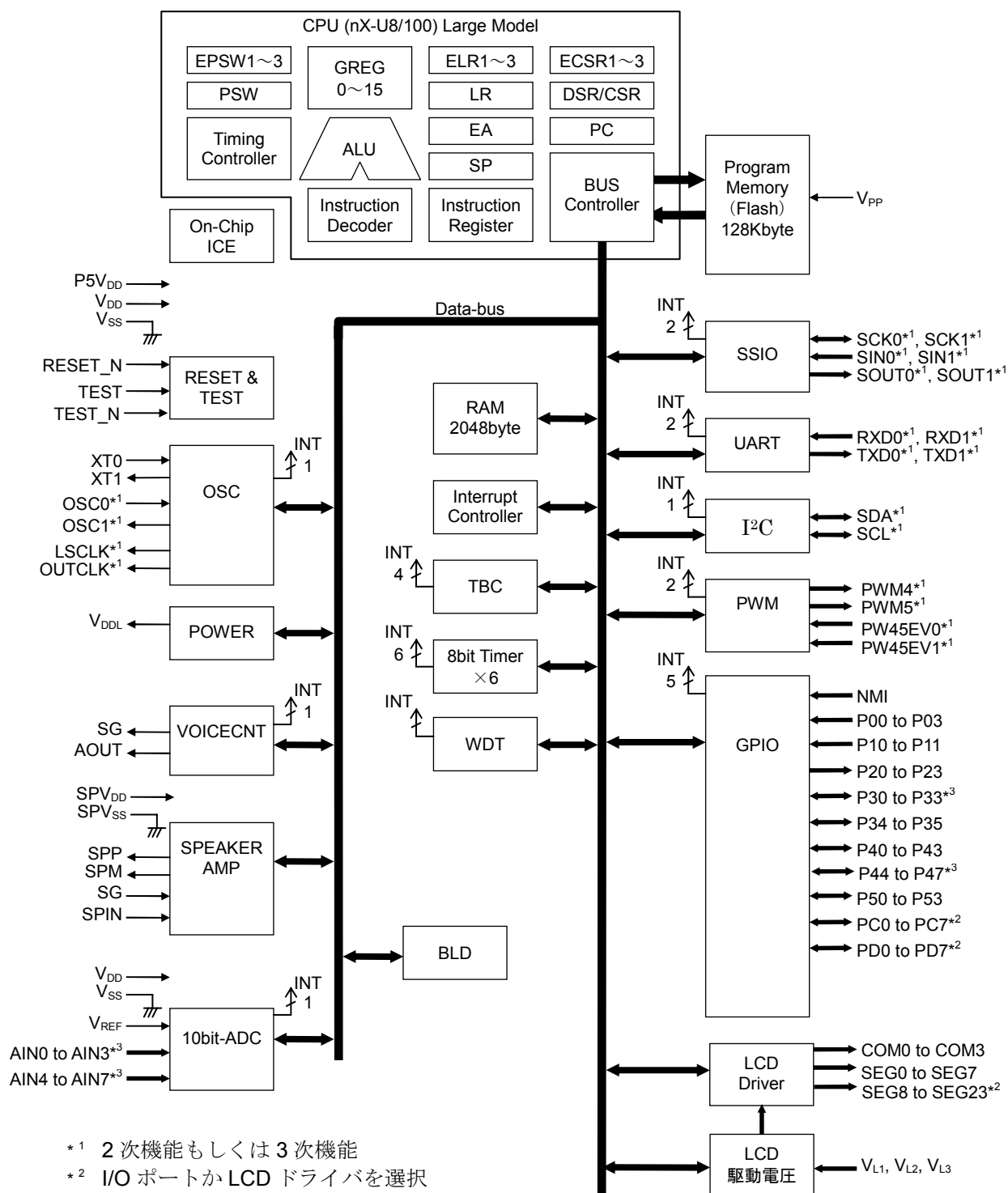
- リセット
 - RESET_N 端子リセット
 - WDT オーバフローによる検出リセット
- クロック
 - 低速側クロック
水晶発振 (32.768kHz)、内蔵 RC 発振 (32.7kHz)
 - 高速側クロック
内蔵 PLL 発振 (8.192MHz)、水晶/セラミック発振 (8MHz)、外部クロック入力
- パワーマネジメント
 - HALT モード: CPU の命令実行中断 (周辺回路は動作状態)
 - STOP モード: 低速発振、および高速発振の停止 (CPU および周辺回路は動作を停止)
 - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/1、1/2、1/4、1/8)
 - ブロック制御機能: 使用しない機能ブロック回路の動作をパワーダウン (レジスタリセット & クロック停止)
- 出荷形態
 - 80 ピン QFP
 - ML610Q380-xxxGA (ブランク品: ML610Q380-NNNGA) xxx: ROM コード番号
 - ML610Q383-xxxGA (ブランク品: ML610Q383-NNNGA) xxx: ROM コード番号
 - ML610Q384-xxxGA (ブランク品: ML610Q384-NNNGA) xxx: ROM コード番号
 - ML610Q385-xxxGA (ブランク品: ML610Q385-NNNGA) xxx: ROM コード番号
- 動作保証範囲
 - 動作温度: -40°C ~ 70°C
 - 動作電圧: $DV_{DD}=P5V_{DD}=2.2V\sim5.5V$ 、 $SPV_{DD}=4.5V\sim5.5V$ 、 $V_{REF}=4.5V\sim5.5V$

■ ブロック図

● ML610Q380 ブロック図

図 1-1 に ML610Q380 のブロック図を示します。

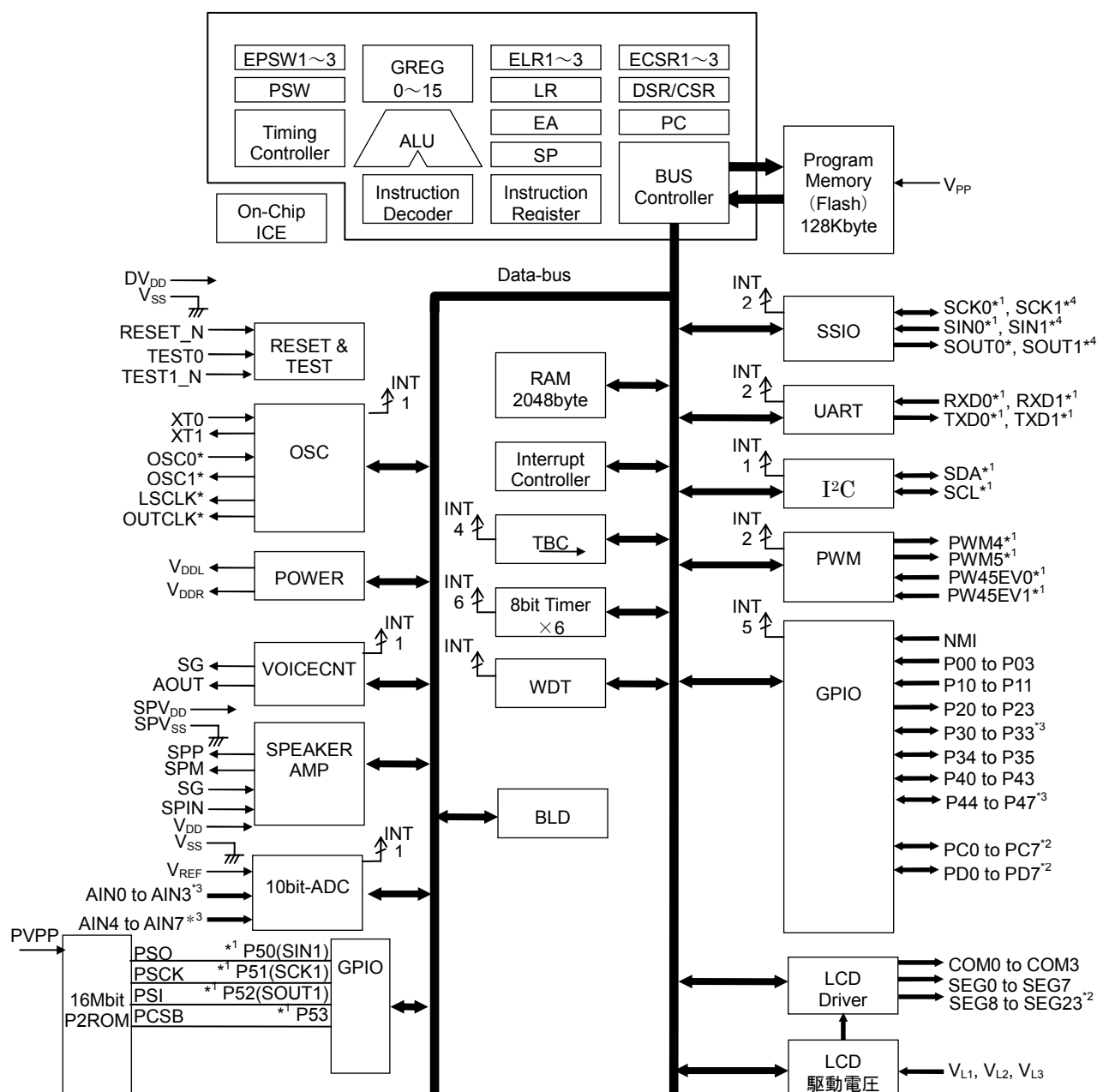
“*”は各ポートの 2 次機能又は 3 次機能です。



● ML610Q383/384/385 ブロック図

図 1-2 に ML610Q383/384/385 のブロック図を示します。

“*”は各ポートの 2 次機能又は 3 次機能です。



*1 2 次機能もしくは 3 次機能

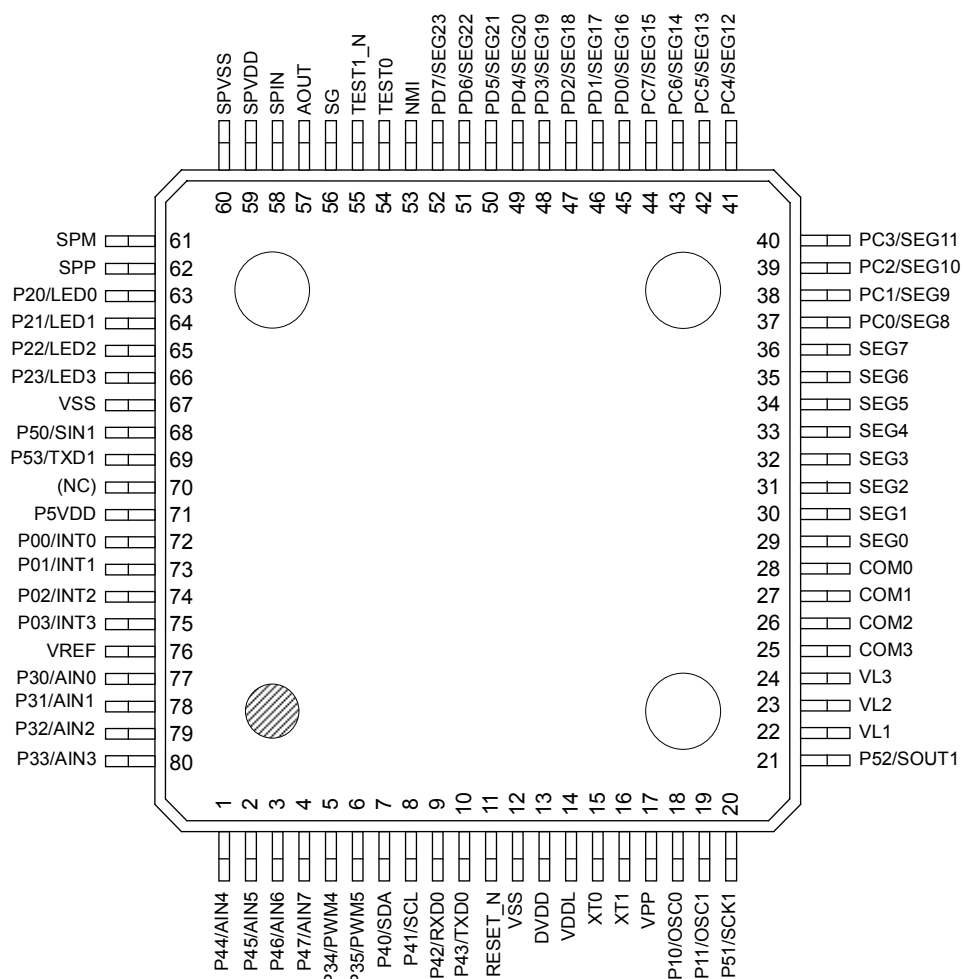
*2 I/O ポートか LCD ドライバを選択

*3 I/O ポートか A/D コンバータ入力端子を選択

*4 P2ROM 用

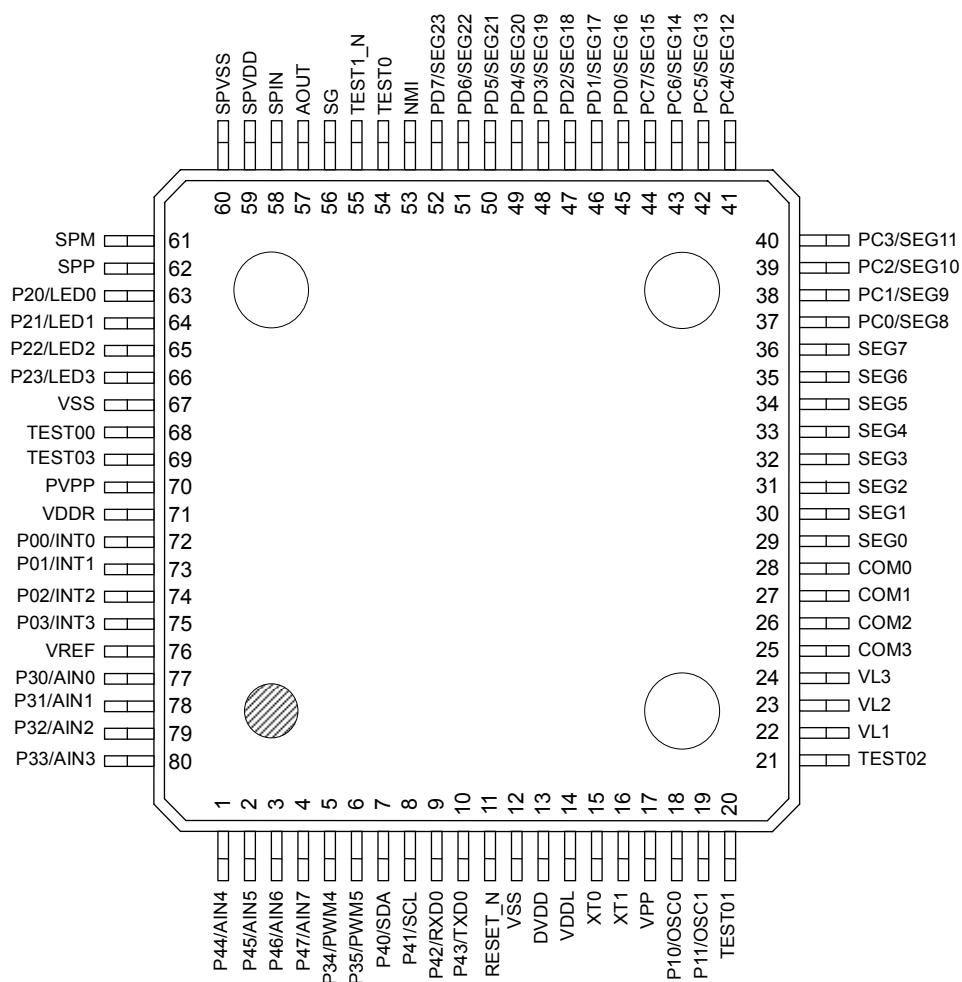
■ 端子配置

● ML610Q380



NC: No Connection

● ML610Q383/384/385



■ 端子一覧

| PAD No | 1 次機能 | | | 2 次機能 | | | 3 次機能 | | |
|--------|---------------------------------|-----|-----------------------------|--------|-----|------------|--------|-----|-----------|
| | 端子名 | I/O | 機能 | 端子名 | I/O | 機能 | 端子名 | I/O | 機能 |
| 12,67 | V _{SS} | — | マイナス側電源端子 | — | — | — | — | — | — |
| 13 | DV _{DD} | — | プラス側電源端子 | — | — | — | — | — | — |
| 14 | V _{DDL} | — | 内部ロジック用電源端子 (内部発生) | — | — | — | — | — | — |
| 60 | SPV _{SS} | — | 内蔵スピーカアンプ用マイナス側電源端子 | — | — | — | — | — | — |
| 59 | SPV _{DD} | — | 内蔵スピーカアンプ用プラス側電源端子 | — | — | — | — | — | — |
| 17 | V _{PP*} | — | フラッシュ ROM 用電源端子 | — | — | — | — | — | — |
| 71 | P5V _{DD} ^{*1} | — | P50~P53 用電源端子 | — | — | — | — | — | — |
| | V _{DDR} ^{*2} | — | P2ROM 用 SIO ポート電源端子 | — | — | — | — | — | — |
| 70 | PVPP ^{*2} | — | 内蔵 P2ROM へのデータ書き込み時の高電圧電源端子 | — | — | — | — | — | — |
| 22 | V _{L1} | — | LCD ドライバ用電源端子 | — | — | — | — | — | — |
| 23 | V _{L2} | — | LCD ドライバ用電源端子 | — | — | — | — | — | — |
| 24 | V _{L3} | — | LCD ドライバ用電源端子 | — | — | — | — | — | — |
| 54 | TEST0 | I/O | テスト用入出力端子 | — | — | — | — | — | — |
| 55 | TEST1_N | I/O | テスト用入出力端子 | — | — | — | — | — | — |
| 11 | RESET_N | I | リセット入力端子 | — | — | — | — | — | — |
| 15 | XT0 | I | 低速クロック発振端子 | — | — | — | — | — | — |
| 16 | XT1 | O | 低速クロック発振端子 | — | — | — | — | — | — |
| 57 | AOUT | O | LINE 出力 | — | — | — | — | — | — |
| 58 | SPIN | I | 内蔵スピーカアンプへのアナログ入力 | — | — | — | — | — | — |
| 56 | SG | O | 内蔵スピーカアンプの基準電源端子 | — | — | — | — | — | — |
| 62 | SPP | O | 内蔵スピーカアンプのプラス側出力端子 | — | — | — | — | — | — |
| 61 | SPM | O | 内蔵スピーカアンプのマイナス側出力端子 | — | — | — | — | — | — |
| 76 | V _{REF} | — | 逐次比較型 ADC 用リファレンス電源端子 | — | — | — | — | — | — |
| 53 | NMI | I | 入力ポート、ノンマスクブル割込み | — | — | — | — | — | — |
| 72 | P00/EXI0/ PW45EV0 | I | 入力ポート、外部割込み、PW45EV0 入力 | — | — | — | — | — | — |
| 73 | P01/EXI1 | I | 入力ポート、外部割込み | — | — | — | — | — | — |
| 74 | P02/EXI2/ RXD0 | I | 入力ポート、外部割込み、UART0 データ入力 | — | — | — | — | — | — |
| 75 | P03/EXI3/ RXD1 | I | 入力ポート、外部割込み、UART1 データ入力 | — | — | — | — | — | — |
| 18 | P10 | I | 入力ポート | OSC0 | I | 高速クロック発振端子 | — | — | — |
| 19 | P11 | I | 入力ポート | OSC1 | O | 高速クロック発振端子 | — | — | — |
| 63 | P20/LED0 | O | 出力ポート、LED 駆動 | LSCLK | O | 低速クロック出力 | — | — | — |
| 64 | P21/LED1 | O | 出力ポート、LED 駆動 | OUTCLK | O | 高速クロック出力 | — | — | — |
| 65 | P22/LED2 | O | 出力ポート、LED 駆動 | — | — | — | TM9OUT | O | タイマ 9 アウト |
| 66 | P23/LED3 | O | 出力ポート、LED 駆動 | — | — | — | TMBOUT | O | タイマ B アウト |

| PAD No | 1 次機能 | | | 2 次機能 | | | 3 次機能 | | |
|--------|---|-----|---|-------|-----|---------------------------|-------|-----|---------------------|
| | 端子名 | I/O | 機能 | 端子名 | I/O | 機能 | 端子名 | I/O | 機能 |
| 77 | P30/ PW45EV1 /AIN0 | I/O | 入出力ポート、 PW45EV1 入力、逐次比較型 ADC 入力 | — | — | — | — | — | — |
| 78 | P31/AIN1 | I/O | 入出力ポート、 逐次比較型 ADC 入力 | — | — | — | — | — | — |
| 79 | P32/AIN2 | I/O | 入出力ポート、 逐次比較型 ADC 入力 | — | — | — | — | — | — |
| 80 | P33/AIN3 | I/O | 入出力ポート、 逐次比較型 ADC 入力 | — | — | — | — | — | — |
| 5 | P34 | I/O | 入出力ポート | — | — | — | PWM4 | O | PWM4 出力 |
| 6 | P35 | I/O | 入出力ポート | — | — | — | PWM5 | O | PWM5 出力 |
| 7 | P40 | I/O | 入出力ポート | SDA | I/O | I ² C 用データ入出力 | SIN0 | I | SSIO0 データ入力 |
| 8 | P41 | I/O | 入出力ポート | SCL | I/O | I ² C 用クロック入出力 | SCK0 | I/O | SSIO0 同期クロック 入出力 |
| 9 | P42 | I/O | 入出力ポート | RXD0 | I | UART0 データ入力 | SOUT0 | O | SSIO0 データ出力 |
| 10 | P43 | I/O | 入出力ポート | TXD0 | O | UART0 データ出力 | PWM4 | O | PWM4 出力 |
| 1 | P44/ T0P4CK/ AIN4 | I | 入出力ポート、 TM0 外部 CLK 入力 PWM5 外部 CLK 入力 逐次比較型 ADC 入力 | — | — | — | SIN0 | I | SSIO0 データ入力 |
| 2 | P45/ T1P5CK/ AIN5 | I | 入出力ポート、 タイマ 1 外部 CLK 入力 PWM5 外部 CLK 入力 逐次比較型 ADC 入力 | — | — | — | SCK0 | I/O | SSIO0 同期クロック 入出力 |
| 3 | P46/ T8ACK/ AIN6 | I | 入出力ポート、 タイマ 8 外部 CLK 入力 タイマ A 外部 CLK 入力 逐次比較型 ADC 入力 | — | — | — | SOUT0 | O | SSIO0 データ出力 |
| 4 | P47/ T9BCK/ AIN7 | I | 入出力ポート、 タイマ 9 外部 CLK 入力 タイマ B 外部 CLK 入力 逐次比較型 ADC 入力 | — | — | — | PWM5 | O | PWM5 出力 |
| 68 | P50 ¹ TEST00 ² | I/O | 入出力ポート | — | — | — | SIN1 | I | SSIO1 データ入力 |
| 20 | P51 ¹ TEST01 ² | I/O | 入出力ポート | — | — | — | SCK1 | I/O | SSIO1 同期クロック 入出力 |
| 21 | P52 ¹ TEST02 | I/O | 入出力ポート | RXD1 | I | UART1 データ入力 | SOUT1 | O | SSIO1 データ出力 |
| 69 | P53 ¹ TEST03 ² | I/O | 入出力ポート | TXD1 | O | UART1 データ出力 | | | |
| 28 | COM0 | O | LCD コモン端子 | — | — | — | — | — | — |
| 27 | COM1 | O | LCD コモン端子 | — | — | — | — | — | — |
| 26 | COM2 | O | LCD コモン端子 | — | — | — | — | — | — |
| 25 | COM3 | O | LCD コモン端子 | — | — | — | — | — | — |
| 29 | SEG0 | O | LCD セグメント端子 | — | — | — | — | — | — |
| 30 | SEG1 | O | LCD セグメント端子 | — | — | — | — | — | — |
| 31 | SEG2 | O | LCD セグメント端子 | — | — | — | — | — | — |
| 32 | SEG3 | O | LCD セグメント端子 | — | — | — | — | — | — |
| 33 | SEG4 | O | LCD セグメント端子 | — | — | — | — | — | — |
| 34 | SEG5 | O | LCD セグメント端子 | — | — | — | — | — | — |
| 35 | SEG6 | O | LCD セグメント端子 | — | — | — | — | — | — |
| 36 | SEG7 | O | LCD セグメント端子 | — | — | — | — | — | — |
| 37 | PC0 | I/O | 入出力ポート | SEG8 | O | LCD セグメント端子 | — | — | — |
| 38 | PC1 | I/O | 入出力ポート | SEG9 | O | LCD セグメント端子 | — | — | — |
| 39 | PC2 | I/O | 入出力ポート | SEG10 | O | LCD セグメント端子 | — | — | — |
| 40 | PC3 | I/O | 入出力ポート | SEG11 | O | LCD セグメント端子 | — | — | — |
| 41 | PC4 | I/O | 入出力ポート | SEG12 | O | LCD セグメント端子 | — | — | — |
| 42 | PC5 | I/O | 入出力ポート | SEG13 | O | LCD セグメント端子 | — | — | — |
| 43 | PC6 | I/O | 入出力ポート | SEG14 | O | LCD セグメント端子 | — | — | — |
| 44 | PC7 | I/O | 入出力ポート | SEG15 | O | LCD セグメント端子 | — | — | — |
| 45 | PD0 | I/O | 入出力ポート | SEG16 | O | LCD セグメント端子 | — | — | — |

| PAD No | 1 次機能 | | | 2 次機能 | | | 3 次機能 | | |
|--------|-------|-----|--------|-------|-----|-------------|-------|-----|----|
| | 端子名 | I/O | 機能 | 端子名 | I/O | 機能 | 端子名 | I/O | 機能 |
| 46 | PD1 | I/O | 入出力ポート | SEG17 | O | LCD セグメント端子 | — | — | — |
| 47 | PD2 | I/O | 入出力ポート | SEG18 | O | LCD セグメント端子 | — | — | — |
| 48 | PD3 | I/O | 入出力ポート | SEG19 | O | LCD セグメント端子 | — | — | — |
| 49 | PD4 | I/O | 入出力ポート | SEG20 | O | LCD セグメント端子 | — | — | — |
| 50 | PD5 | I/O | 入出力ポート | SEG21 | O | LCD セグメント端子 | — | — | — |
| 51 | PD6 | I/O | 入出力ポート | SEG22 | O | LCD セグメント端子 | — | — | — |
| 52 | PD7 | I/O | 入出力ポート | SEG23 | O | LCD セグメント端子 | — | — | — |

*1:ML610Q380 に適用、*2:ML610Q383/384/385 に適用

【補足】ML610Q383/384/385 のみ。(ML610Q380 は該当しません。)

P50～P53 は、チップ内部で内蔵 P2ROM と接続されており、各機能は存在します。

(外部端子名は TEST00～TEST03 になります。外部端子処理はオープンとしてください。)

以下に、P2ROM との接続内容を以下に示します。

| 内蔵 P2ROM の端子 | 説明 |
|--------------|--|
| PSO | シリアルデータ出力 内部で P50/SIN1(3 次機能使用)と接続 |
| PSCK | シリアルクロック入力 内部で P51/SCK1(3 次機能使用)と接続 |
| PSI | シリアルデータ入力 内部で P52/SOUT1(3 次機能使用)と接続 |
| PCSB | チップセレクト入力 内部で P53(1 次機能使用)と接続 |

■ 端子説明

| 端子名 | I/O | 説 明 | 1 次/ 2 次/ 3 次 | 論理 |
|-------------------|-----|---|---------------------|----|
| 電源 | | | | |
| V _{SS} | — | マイナス側電源端子です。 | — | — |
| DV _{DD} | — | プラス側電源端子です。 | — | — |
| V _{DDL} | — | 内部ロジック用プラス側電源（内部発生）端子です。V _{SS} との間にコンデンサ C _L （測定回路 1 参照）を接続します。 | — | — |
| P5V _{DD} | — | ML610Q380 時のポート 5 の IF 電源端子です。 外付けに SPI メモリ接続時には SPI メモリの電源を供給してください。それ以外は DV _{DD} と同じレベルを供給してください。 | — | — |
| V _{DDR} | | ML610Q383/384/385 時の内蔵 P2ROM 用プラス側電源（内部発生）端子です。V _{SS} との間にコンデンサ C _R （測定回路 1 参照）を接続します。 | — | — |
| PVPP | — | 内蔵 P2ROM へのデータ書き込み時の高電圧電源端子です。 データ書き込み時以外は、V _{SS} レベルに固定して下さい。 | — | — |
| SPV _{SS} | — | 内蔵スピーカーアンプ用マイナス側電源端子 | — | — |
| SPV _{DD} | — | 内蔵スピーカーアンプ用プラス側電源端子 | — | — |
| V _{PP} * | — | フラッシュ ROM 用電源端子 | — | — |
| V _{L1} | — | LCD ドライバ用電源端子 | — | — |
| V _{L2} | — | LCD ドライバ用電源端子 | | |
| V _{L3} | — | LCD ドライバ用電源端子 | — | — |
| テスト用 | | | | |
| TEST0 | I/O | テスト用入出力端子です。プルダウン抵抗が内蔵されています。 | — | 正 |
| TEST1_N | I/O | テスト用入出力端子です。プルアップ抵抗が内蔵されています。 | — | 負 |
| システム | | | | |
| RESET_N | I | リセット入力端子です。この端子を”L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を”H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。 | — | 負 |
| XT0 | I | 低速クロック用水晶振動子接続端子です。32.768kHz 水晶振動子（測定回路 1 参照）を接続し、必要に応じ V _{SS} との間にコンデンサ C _{DL} , C _{GL} を接続します。 | — | — |
| XT1 | O | | — | — |
| OSC0 | I | 高速クロック用水晶振動子接続端子です。 | 2 次 | — |
| OSC1 | O | 8MHz 水晶振動子（測定回路 1 参照）を接続し、必要に応じ V _{SS} との間にコンデンサ C _{DH} , C _{GH} を接続します。 | 2 次 | — |
| LSCLK | O | 低速クロック出力です。P20 端子の 2 次機能に割り付けられています。 | 2 次 | — |
| OUTCLK | O | 高速クロック出力です。P21 端子の 2 次機能に割り付けられています。 | 2 次 | — |
| 汎用入力ポート | | | | |
| P00～P03 | I | 汎用入力ポート。二次機能を使用する場合、ポートとして使用できません。 | 1 次 | 正 |
| P10～P11 | I | | | |
| 汎用出力ポート | | | | |
| P20～P23 | O | 汎用出力ポート。二次機能を使用する場合、ポートとして使用できません。 | 1 次 | 正 |
| 汎用入出力ポート | | | | |
| P30～P35 | I/O | 汎用入出力ポート。二次機能を使用する場合、ポートとして使用できません。 | 1 次 | 正 |
| P40～P47 | I/O | | | |
| P50～P53 | I/O | | | |
| PC0～PC7 | I/O | 汎用入出力ポート。セグメント出力端子として使用する場合は、ポートとして使用できません | | |
| PD0～PD7 | I/O | | | |

| 端子名 | I/O | 説 明 | 1 次/ 2 次/ 3 次 | 論 理 |
|----------------------------|-----|--|---------------------|---------|
| UART | | | | |
| TXD0 | O | UART0 データ出力端子です。P43 端子の 2 次機能に割り付けられています。 | 2 次 | 正 |
| RXD0 | I | UART0 データ入力端子です。P42 端子の 2 次機能および P02 の 1 次機能に割り付けられています。 | 2 次 | 正 |
| TXD1 | O | UART1 データ出力端子です。P53 端子の 2 次機能に割り付けられています。 | 2 次 | 正 |
| RXD1 | I | UART1 データ入力端子です。P52 端子の 2 次機能および P03 端子の 1 次機能に割り付けられています。 | 2 次 | 正 |
| I ² C バスインタフェース | | | | |
| SDA | I/O | I ² C データ入出力用 NMOS オープンドレイン端子です。P40 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。 | 2 次 | 正 |
| SCL | I/O | I ² C クロック入出力用 NMOS オープンドレイン端子です。P41 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。 | 2 次 | 正 |
| 同期シリアル (SSIO) | | | | |
| SIN0 | I | 同期シリアルデータ入力端子です。P40 端子および P44 端子の 3 次機能に割り付けられています。 | 3 次 | 正 |
| SCK0 | I/O | 同期シリアルクロック入出力端子です。P41 端子および P45 端子の 3 次機能に割り付けられています。 | 3 次 | — |
| SOUT0 | O | 同期シリアルデータ出力端子です。P42 端子および P46 端子の 3 次機能に割り付けられています。 | 3 次 | 正 |
| SIN1 | I | 同期シリアルデータ入力端子です。P50 端子の 3 次機能に割り付けられています。 | 3 次 | 正 |
| SCK1 | I/O | 同期シリアルクロック入出力端子です。P51 端子の 3 次機能に割り付けられています。 | 3 次 | — |
| SOUT1 | O | 同期シリアルデータ出力端子です。P52 端子の 3 次機能に割り付けられています。 | 3 次 | 正 |
| PWM | | | | |
| PWM4 | O | PWM4 出力端子です。P34 端子および P43 端子の 3 次機能に割り付けられています。 | 3 次 | 正 |
| PWM5 | O | PWM5 出力端子です。P35 端子および P47 端子の 3 次機能に割り付けられています。 | 3 次 | 正 |
| T0P4CK | I | タイマ 0、PWM4 の外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。 | 1 次 | — |
| T1P5CK | I | タイマ 1、PWM5 の外部クロック入力端子です。P45 端子の 1 次機能に割り付けられています。 | 1 次 | — |
| PW45EV0 PW45EV1 | I | PWM4、PWM5 をスタート/ストップ/クリア制御する入力端子です。 P00 端子の 1 次機能および P30 端子の 1 次機能に割り付けられています。 | 1 次 | — |
| 外部割込 | | | | |
| NMI | I | 外部ノンマスクابل割込み入力端子です。両エッジにて割込みが発生します。 | 1 次 | 正/ 負 |
| EXI0~3 | I | 外部マスクابل割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P00~P03 端子の 1 次機能に割り付けられています。 | 1 次 | 正/ 負 |

| 端子名 | I/O | 説 明 | 1 次/ 2 次 /3 次 | 論 理 |
|------------------|-----|---|---------------------|---------|
| タイマ | | | | |
| T0P4CK | I | タイマ 0、PWM4 の外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。 | 1 次 | — |
| T1P5CK | I | タイマ 1、PWM5 の外部クロック入力端子です。P45 端子の 1 次機能に割り付けられています。 | 1 次 | — |
| T8ACK | I | タイマ 8、タイマ A の外部クロック入力端子です。P46 端子の 1 次機能に割り付けられています。 | 1 次 | — |
| T9BCK | I | タイマ 9、タイマ B の外部クロック入力端子です。P47 端子の 1 次機能に割り付けられています。 | 1 次 | — |
| TM9OUT | I | タイマ 9 出力端子です。P22 端子の 3 次機能に割り付けられています。 | 3 次 | 正 |
| TMBOUT | I | タイマ B 出力端子です。P23 端子の 3 次機能に割り付けられています。 | 3 次 | 正 |
| LED 駆動 | | | | |
| LED0~3 | O | LED 駆動端子です。P20~P23 端子の 1 次機能に割り付けられています。 | 1 次 | 正/ 負 |
| 音声出力機能 | | | | |
| AOUT | O | LINE 出力端子です。内蔵スピーカアンプを使用する場合は SPIN 端子と接続してください。 | — | — |
| SPIN | I | 内部スピーカアンプのアナログ入力端子です。 | — | — |
| SG | O | 内部スピーカアンプの基準電圧出力端子です。 | — | — |
| SPP | O | 内蔵スピーカアンプのプラス側出力端子です。 | — | — |
| SPM | O | 内蔵スピーカアンプのマイナス側出力端子です。 | — | — |
| 逐次比較型 A/D コンバータ | | | | |
| V _{REF} | — | 逐次比較型 A/D コンバータ用リファレンス電源端子です。 | — | — |
| AIN0~AIN7 | I | 逐次比較型 A/D コンバータ Ch0~Ch7 アナログ入力です。 P30~P33 端子、P44~P47 端子の 1 次機能に割り付けられています。 | — | — |
| LCD 駆動信号 | | | | |
| COM0~COM3 | O | LCD ドライバーのコモン端子です。 | — | — |
| SEG0~SEG7 | O | LCD ドライバーのセグメント端子です。 | — | — |
| SEG8~SEG23 | O | LCD ドライバーのセグメント端子です。 PC0~PC7 端子、PD0~PD7 端子の 2 次機能に割り付けられています。 | — | — |

■ 未使用端子処理

● 未使用端子の処理方法

| 端子 | 推奨端子処理 |
|----------------------------------|--------------------------------------|
| V _{PP} | オープン |
| RESET_N | オープン |
| TEST0 | オープン |
| TEST1_N | オープン |
| V _{REF} | DV _{DD} |
| SPV _{DD} | DV _{DD} |
| SPV _{SS} | V _{SS} |
| P5V _{DD} ※ ¹ | DV _{DD} |
| AOUT | オープン |
| SPIN | オープン |
| SG | オープン |
| SPP | オープン |
| SPM | オープン |
| P00~P03 | DV _{DD} または V _{SS} |
| P10~P11 | DV _{DD} または V _{SS} |
| P20~P23 | オープン |
| P30~P33 (AIN0~3) | オープン |
| P34~P35 | オープン |
| P40~P43 | オープン |
| P44~P47 (AIN4~7) | オープン |
| P50~P53 | オープン |
| COM0~3 | オープン |
| SEG0~7 | オープン |
| PC0~PC7 (SEG8~15) | オープン |
| PD0~PD7 (SEG16~23) | オープン |

【注意】

※1. ML610Q380 のみ適用

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

■ 電気的特性

● 絶対最大定格

(V_{SS}=SPV_{SS}=0V)

| 項 目 | 記 号 | 条 件 | 定 格 値 | 単 位 |
|----------|-------------------|-------------------------------------|---------------------------|-----|
| 電源電圧 1 | DV _{DD} | Ta=25°C | -0.3~+7.0 | V |
| 電源電圧 2 | SPV _{DD} | Ta=25°C | -0.3~+7.0 | V |
| 電源電圧 3 | V _{PP} | Ta=25°C | -0.3~+9.5 | V |
| 電源電圧 4 | V _{L1} | Ta=25°C | -0.3~+2.33 | V |
| 電源電圧 5 | V _{L2} | Ta=25°C | -0.3~+4.66 | V |
| 電源電圧 6 | V _{L3} | Ta=25°C | -0.3~+7.0 | V |
| 電源電圧 7* | P5V _{DD} | Ta=25°C | -0.3~+7.0 | V |
| リファレンス電圧 | V _{REF} | Ta=25°C | -0.3~V _{DD} +0.3 | V |
| アナログ入力電圧 | V _{AI} | Ta=25°C | -0.3~V _{DD} +0.3 | V |
| 入力電圧 | V _{IN} | Ta=25°C | -0.3~V _{DD} +0.3 | V |
| 出力電圧 | V _{OUT} | Ta=25°C | -0.3~V _{DD} +0.3 | V |
| 出力電流 1 | I _{OUT1} | ポート 3,4,5,C,D,COM,SEG 系、 Ta=25°C | -12~+11 | mA |
| 出力電流 2 | I _{OUT2} | ポート 2 系、Ta=25°C | -12~+20 | mA |
| 許容損失 | PD | Ta=25°C | 1 | W |
| 保存温度 | T _{STG} | — | -55~+150 | °C |

● 推奨動作条件

| 項 目 | 記 号 | 条 件 | 範 囲 | 単 位 |
|-----------------------------|---------------------|---------------------------|-------------|-----|
| 動作温度 | T _{OP} | — | -40~+70 | °C |
| 動作電圧 | DV _{DD} | — | 2.2~5.5 | V |
| | P5V _{DD} | — | 2.2~5.5 | V |
| | SPV _{DD} | — | 4.5~5.5 | V |
| 動作周波数 (CPU) | f _{OP} | — | 30k~8.4M | Hz |
| 低速水晶発振周波数 | f _{XTL} | — | 32.768k | Hz |
| 低速水晶発振 外付け容量 | C _{DL} | DMX-26S (大真空株式会社製) 使用時 | 12~25 | pF |
| | C _G L | | 12~25 | |
| 高速水晶/セラミック 発振周波数 | f _{XTH} | — | 8M / 8.192M | Hz |
| 高速水晶発振 外付け容量* | C _{DH} | — | 47±30% | pF |
| | C _{GH} | — | 47±30% | |
| DV _{DD} 端子外付け容量 | C _V | — | 10±30% | μF |
| SPV _{DD} 端子外付け容量 | C _{SV} | — | 1±30% | μF |
| V _{PP} 端子外付け容量 | C ₁ | — | 1±30% | μF |
| V _{ref} 端子外付け容量 | C _{AV} | — | 1±30% | μF |
| V _{DDL} 端子外付け容量 | C _L | — | 10±30% | μF |
| V _{DDR} 端子外付け容量 | C _R | — | 10±30% | μF |
| V _{L1,2,3} 端子外付け容量 | C _{L1,2,3} | — | 0.22±30% | μF |
| AOUT-SPIN 外付け容量 | C _{AO} SP | — | 22±30% | nF |
| SG 端子外付け容量 | C _{SG} | — | 0.1±30% | μF |

* CSTLS8M00G56-A0 (村田製作所製) の場合は CGH、CDH は内蔵しているので外付け容量は不要です

● フラッシュメモリ動作条件

(V_{SS} = SPV_{SS} = 0V)

| 項 目 | 記 号 | 条 件 | 範 囲 | 単 位 |
|---------|------------------|------------------------|----------|-----|
| 動作温度 | T _{OP} | 書き込み／消去時 | 0～+40 | ℃ |
| 動作電圧 | DV _{DD} | 書き込み／消去時 | 2.7～5.5 | V |
| | V _{DDL} | 書き込み／消去時 ^{*1} | 2.5～2.75 | |
| | V _{PPW} | 書き込み／消去時 | 7.7～8.3 | |
| 書き換え回数 | C _{EP} | — | 80 | 回 |
| データ保持年数 | Y _{DR} | — | 10 | 年 |

^{*1} : フラッシュ ROM 書き込み／消去時は V_{DDL} 端子に上記規定範囲の電圧を供給する必要があります。
V_{PP} 端子にはプルダウン抵抗を内蔵しています。

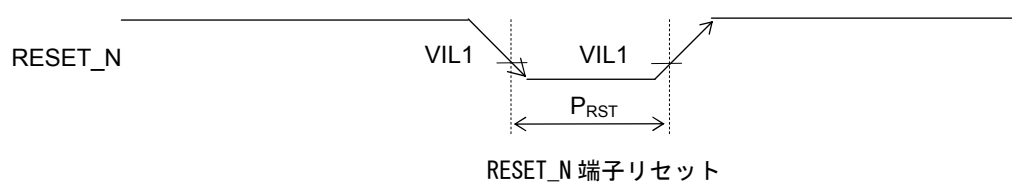
● 直流特性(1/6)

(特に指定のない場合は、DV_{DD} = SPV_{DD} = P5V_{DD} = 2.2～5.5V, V_{SS} = SPV_{SS} = 0V, Ta = -40～+70℃)

| 項 目 | 記 号 | 条 件 | 規 格 値 | | | 単位 | 測定回路 |
|--------------------------|-------------------|--------------------------------------|------------|-------|------------|-----|------|
| | | | Min. | Typ. | Max. | | |
| 高速水晶発振開始時間 | T _{XTH} | — | — | 2 | 20 | ms | 1 |
| 低速水晶発振開始時間* ¹ | T _{XTL} | — | — | 0.6 | 2 | s | |
| 低速内蔵 RC 発振周波数 | f _{LCR} | Ta=-10~60℃ | typ -5% | 32.7k | typ +5% | Hz | |
| PLL 発振精度 | f _{PLL} | LSCLK=32.768kHz 100 clock average | typ -1% | 8.192 | typ +1% | MHz | |
| リセットパルス幅 | P _{RST} | — | 100 | — | — | μs | |
| リセットノイズ除去 パルス幅 | P _{NRST} | — | — | — | 0.4 | | |

^{*1} : 32.768KHz 水晶振動子 DT-26 (大真空株式会社) を使用 (C_{GL}/C_{DL} = 12pF)。

● リセット



● 直流特性(2/6)

(特に指定のない場合は、 $DV_{DD}=SPV_{DD}=P5V_{DD}=4.5\sim 5.5V$, $DV_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +70^{\circ}C$)

| 項 目 | 記 号 | 条 件 | 規 格 値 | | | 単位 | 測定回路 |
|-------------------------|------------|---|------------------------|------------|------------------------|------------|------|
| | | | Min. | Typ. | Max. | | |
| LINE アンプ出力電圧範囲 | V_{AO} | 対 V_{SS} 10k Ω 負荷時 | $V_{DD} \times 1/6$ | — | $V_{DD} \times 5/6$ | V | 1 |
| SG 出力電圧 | V_{SG} | — | $0.95 \times V_{DD}/2$ | $V_{DD}/2$ | $1.05 \times V_{DD}/2$ | V | |
| SG 出力抵抗 | R_{SG} | — | 57 | 96 | 135 | k Ω | |
| SPM、SPP 出力負荷抵抗 | R_{LSP} | — | 8 | — | — | Ω | |
| スピーカアンプ出力電力 | P_{SPO1} | $SPV_{DD}=5.0V$, $f=1kHz$ $R_{SPO}=8\Omega$, $THD \geq 10\%$ SPIN 入力時 | — | 0.6 | — | W | |
| 無信号時 SPM-SPP 間出力オフセット電圧 | V_{OF} | $SPV_{DD}=5.0V$, SPIN-SPM 利得=+0dB 8 Ω 負荷時 | -50 | — | 50 | mV | |

● 直流特性(3/6)

(特に指定のない場合は、 $DV_{DD}=SPV_{DD}=P5V_{DD}=2.2\sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +70^{\circ}C$)

| 項 目 | 記 号 | 条 件 | 規 格 値 | | | 単位 | 測定回路 |
|----------|-----------|-------------------|-------------|------|-------------|----|------|
| | | | Min. | Typ. | Max. | | |
| BLD 判定電圧 | V_{BLD} | $T_a=25^{\circ}C$ | Typ. -2% | 2.35 | Typ. +2% | V | 1 |
| | | | | 2.80 | | | |
| | | | | 3.70 | | | |
| | | | | 4.60 | | | |

● 直流特性(4/6)

(特に指定のない場合は、 $DV_{DD}=SPV_{DD}=P5V_{DD}=2.2\sim 5.5V$, $V_{SS}=SPV_{SS}=0V$, $T_a=-40\sim +70^{\circ}C$)

| 項 目 | 記 号 | 条 件 | | 規 格 値 | | | 単位 | 測定回路 |
|--------|------|--|----------------|-------|------|------|---------|------|
| | | | | Min. | Typ. | Max. | | |
| 消費電流 1 | IDD1 | CPU が STOP 状態 低速/高速発振停止 | $DV_{DD}=3.0V$ | — | 0.7 | 22 | μA | 1 |
| 消費電流 2 | IDD2 | CPU が HALT 状態 (LTBC, WDT 動作 ^{*2}) 高速発振停止 | $DV_{DD}=3.0V$ | — | 2.0 | 24 | | |
| 消費電流 3 | IDD3 | CPU が 32kHz 動作状態 ^{*1} 高速発振停止 | $DV_{DD}=3.0V$ | — | 13 | 42 | | |
| 消費電流 4 | IDD4 | CPU が 8MHz 動作状態 水晶/セラミック発振状態 | $DV_{DD}=5.0V$ | — | 5 | 8 | mA | |

^{*1}: CPU 動作率 100%時 (HALT 状態なし)^{*2}: BLKCON0~BLKCON4 の有効ビット全て“1”。

● 直流特性(5/6)

(特に指定のない場合は、 $DV_{DD} = SPV_{DD} = P5V_{DD} = 2.2 \sim 5.5V$, $V_{SS} = SPV_{SS} = 0V$, $T_a = -40 \sim +70^\circ C$)

| 項 目 | 記 号 | 条 件 | | 規 格 値 | | | 単位 | 測定 回路 |
|--|-------|-------------------------------|----------------------------------|-------------------|------|------|---------|----------|
| | | | | Min. | Typ. | Max. | | |
| 出力電圧 1 (P20~P23) (P30~P35) (P40~P47) (P50~P53) (PC0~PC7) (PD0~PD7) | VOH1 | IOH1=-0.5mA | | DV_{DD} -0.5 | — | — | V | 2 |
| | VOL1 | IOL1=+0.5mA | | — | — | 0.5 | | |
| 出力電圧 2 (P20~P23) | VOL2 | (LED 駆動モード 選択時) | IOL2=+10mA $V_{DD} \geq 4.5V$ | — | — | 0.5 | | |
| 出力電圧 3 (P40~P41) | VOL3 | (I ² C モード 選択時) | IOL3=+3mA | — | — | 0.4 | | |
| 出力リーク (P20~P23) (P30~P35) (P40~P47) (P50~P53) (PC0~PC7) (PD0~PD7) | IOOH | VOH= V_{DD} (ハイインピーダンス時) | | — | — | 1 | μA | 3 |
| | IOOL | VOL= V_{SS} (ハイインピーダンス時) | | -1 | — | — | | |
| 出力電流 1 COM0-COM3 | IOL1 | VL3=3V、VOL=0.3V | | 15 | 40 | — | μA | 3 |
| | | VL3=5V、VOL=0.5V | | 100 | 200 | — | | |
| | IOH1 | VL3=3V、VOH=2.7V | | — | -30 | -15 | | |
| | | VL3=5V、VOH=4.5V | | — | -90 | -45 | | |
| 出力電流 2 SEG0-SEG23 | IOL2 | VL3=3V、VOL=0.3V | | 15 | 30 | — | | |
| | | VL3=5V、VOL=0.5V | | 70 | 150 | — | | |
| | IOH2 | VL3=3V、VOH=2.7V | | — | -13 | -6 | | |
| | | VL3=5V、VOH=4.5V | | — | -40 | -20 | | |
| 入力電流 1 (RESET_N) | IIH1 | VIH1= DV_{DD} | | 0 | — | 1 | μA | 4 |
| | IIL1 | VIL1= V_{SS} | | -1500 | -300 | -20 | | |
| 入力電流 2 (NMI) (P00~P03) (P11) (P30~P35) (P40~P47) (P50~P53) (PC0~PC7) (PD0~PD7) | IIH2 | VIH2= DV_{DD} (プルダウン時) | | 2 | 30 | 250 | | |
| | IIL2 | VIL2= V_{SS} (プルアップ時) | | -250 | -30 | -2 | | |
| | IIH2Z | VIH2= V_{DD} (ハイインピーダンス時) | | — | — | 1 | | |
| | IIL2Z | VIL2= V_{SS} (ハイインピーダンス時) | | -1 | — | — | | |
| 入力電流 3 (TEST) | IIH3 | VIH3= DV_{DD} | | 20 | 300 | 1500 | | |
| | IIL3 | VIL3= V_{SS} | | -1 | — | — | | |

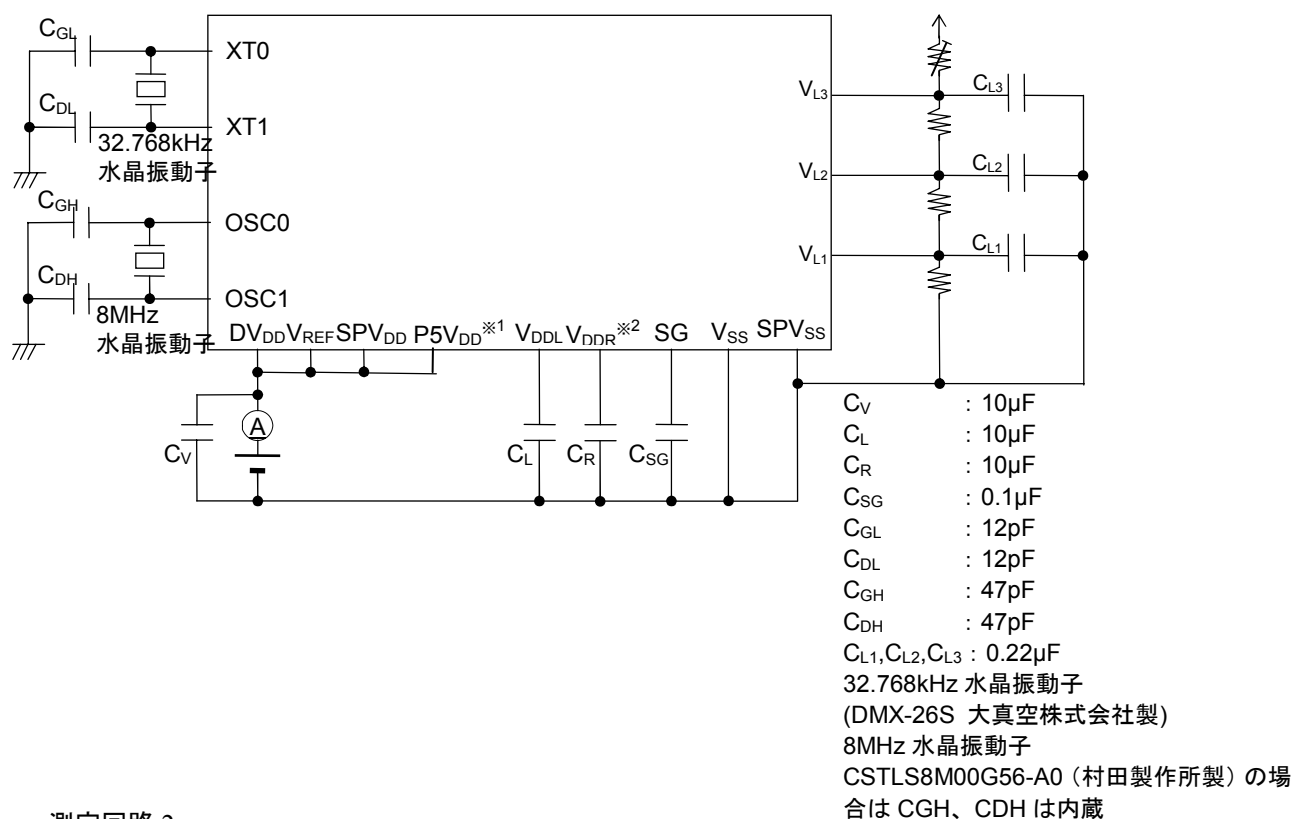
● 直流特性(6/6)

(特に指定のない場合は、 $DV_{DD} = SPV_{DD} = P5V_{DD} = 2.2 \sim 5.5V$, $V_{SS} = SPV_{SS} = 0V$, $T_a = -40 \sim +70^\circ C$)

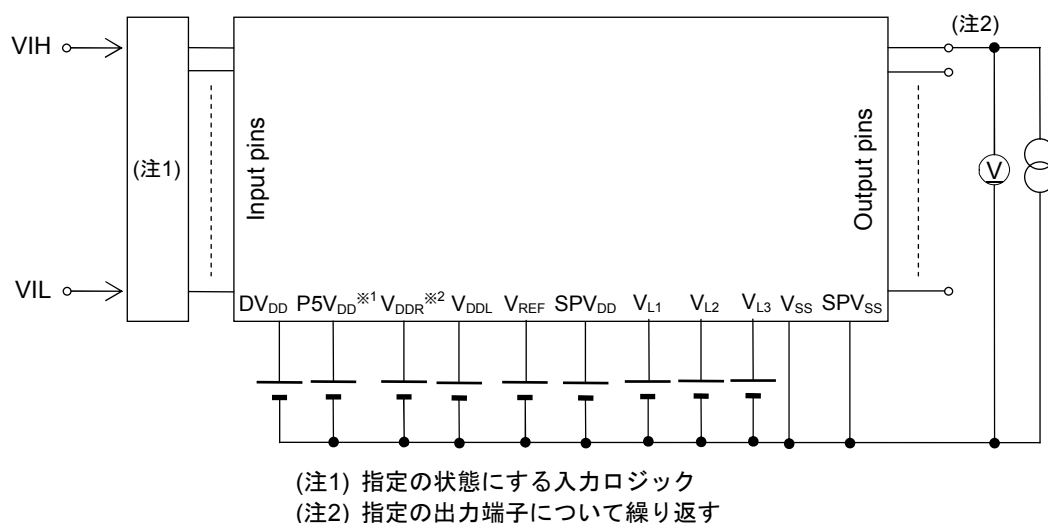
| 項 目 | 記 号 | 条 件 | 規 格 値 | | | 単位 | 測定 回路 |
|---|------|---|----------------------|------|----------------------|----|----------|
| | | | Min. | Typ. | Max. | | |
| 入力電圧 1 (RESET_N) (TEST) (NMI) (P00~P03) (P10~P11) (P30~P35) (P40~P43) (P50~P53) (PC0~PC7) (PD0~PD7) | VIH1 | — | $0.7 \times DV_{DD}$ | — | V_{DD} | V | 5 |
| | VIL1 | — | 0 | — | $0.3 \times DV_{DD}$ | | |
| 入力端子容量 (RESET_N) (TEST) (NMI) (P00~P03) (P10~P11) (P30~P35) (P40~P43) (P50~P53) (PC0~PC7) (PD0~PD7) | CIN | $f=10kHz$ $V_{rms}=50mV$ $T_a=25^\circ C$ | — | — | 10 | pF | — |

● 測定回路

測定回路 1



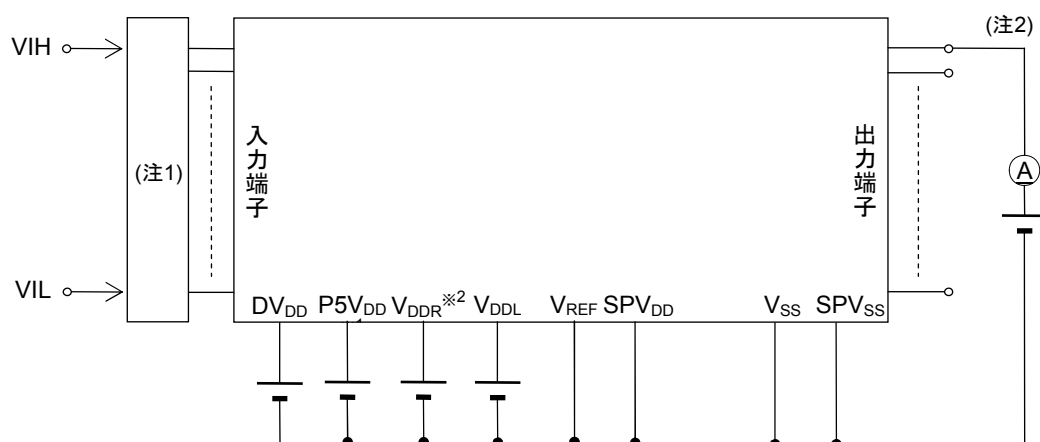
測定回路 2



※1.ML610Q380 のみ適用

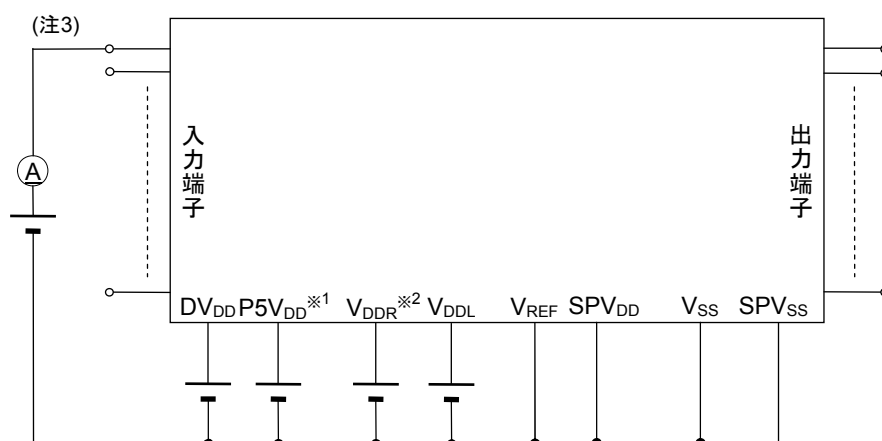
※2.ML610Q383/384/385 のみ適用

測定回路 3



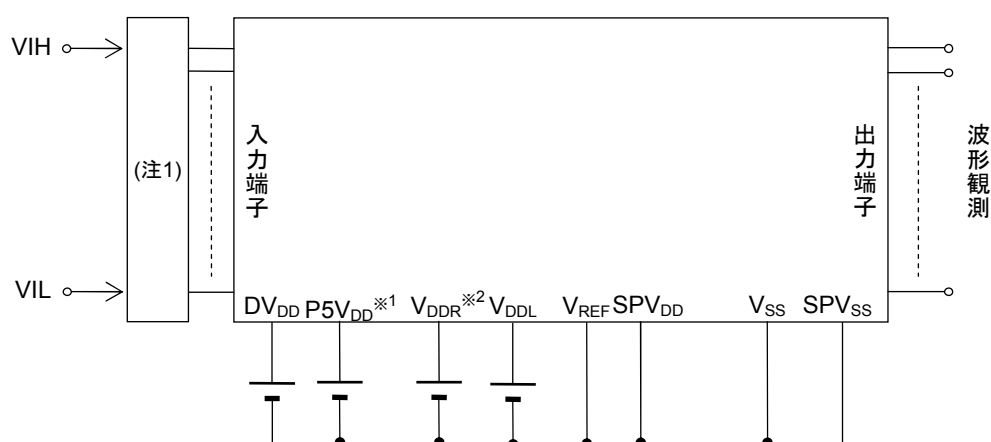
(注1) 指定の状態にする入力ロジック
 (注2) 指定の出力端子について繰り返す

測定回路 4



(注3) 指定の入力端子について繰り返す

測定回路 5



(注1) 指定の状態にする入力ロジック

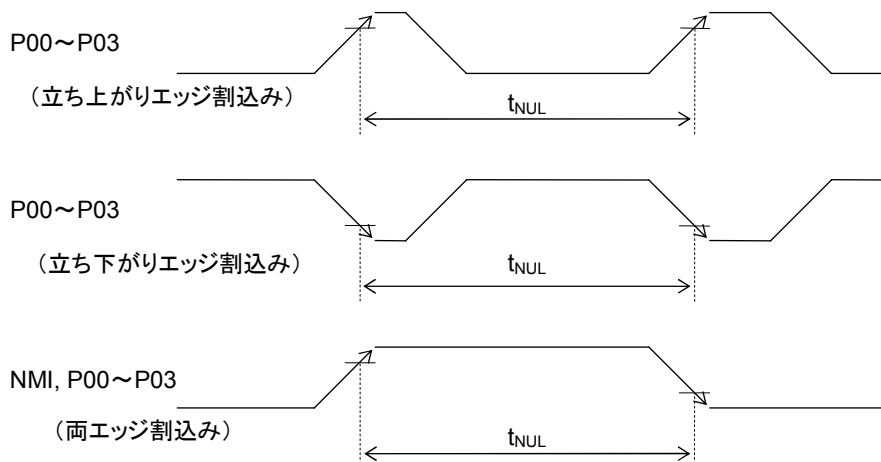
※1.ML610Q380 のみ適用

※2.ML610Q383/384/385 のみ適用

● 交流特性(外部割込み)

(特に指定のない場合は、 $DV_{DD} = SPV_{DD} = P5V_{DD} = 2.2 \sim 5.5V$, $V_{SS} = SPV_{SS} = 0V$, $T_a = -40 \sim +70^{\circ}C$)

| 項 目 | 記 号 | 条 件 | 規 格 値 | | | 単位 |
|-----------|-----------|-------------------------------|------------------------|------|------------------------|---------|
| | | | Min. | Typ. | Max. | |
| 外部割込み無効期間 | T_{NUL} | 割込み許可 (MIE=1) CPU は NOP 動作 | $2.5 \times$ sysclk | — | $3.5 \times$ sysclk | μs |

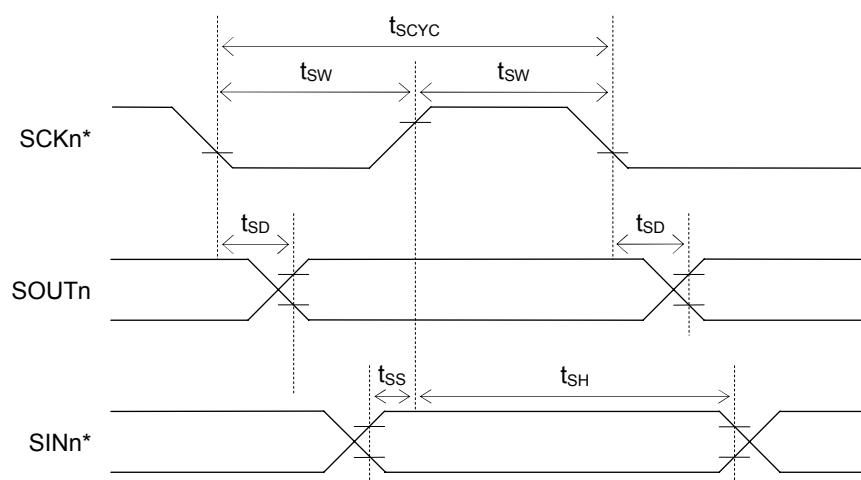


● 交流特性(同期式シリアルポート)

(特に指定のない場合は、 $DV_{DD} = SPV_{DD} = P5V_{DD} = 2.2 \sim 5.5V$, $V_{SS} = SPV_{SS} = 0V$, $T_a = -40 \sim +70^{\circ}C$)

| 項 目 | 記 号 | 条 件 | 規 格 値 | | | 単位 |
|---------------------------------|------------|---------|-----------------------|-----------------------|-----------------------|---------|
| | | | Min. | Typ. | Max. | |
| SCK 入力サイクル (スレーブモード) | t_{SCYC} | 高速発振停止時 | 10 | — | — | μs |
| | | 高速発振時 | 500 | — | — | ns |
| SCK 出力サイクル (マスターモード) | t_{SCYC} | — | — | SCK^{*1} | — | s |
| SCK 入力パルス幅 (スレーブモード) | t_{SW} | 高速発振停止時 | 4 | — | — | μs |
| | | 高速発振時 | 200 | — | — | ns |
| SCK 出力パルス幅 (マスターモード) | t_{SW} | — | $SCK^{*1} \times 0.4$ | $SCK^{*1} \times 0.5$ | $SCK^{*1} \times 0.6$ | s |
| SOUT 出力 時間 (スレーブモード) | t_{SD} | — | — | — | 180 | ns |
| SOUT 出力 時間 (マスターモード) | t_{SD} | — | — | — | 80 | ns |
| SIN 入力 セットアップ時間 (スレーブモード) | t_{SS} | — | 50 | — | — | ns |
| SIN 入力 ールド時間 | t_{SH} | — | 50 | — | — | ns |

*1: シリアルポート 0 モードレジスタ (SIO0MOD1) の S0CK3~0 により選択され クロック周期



*: ポートの 2 次機能を示す。

● 交流特性 (I2C バスインタフェース: 標準モード 100kHz)

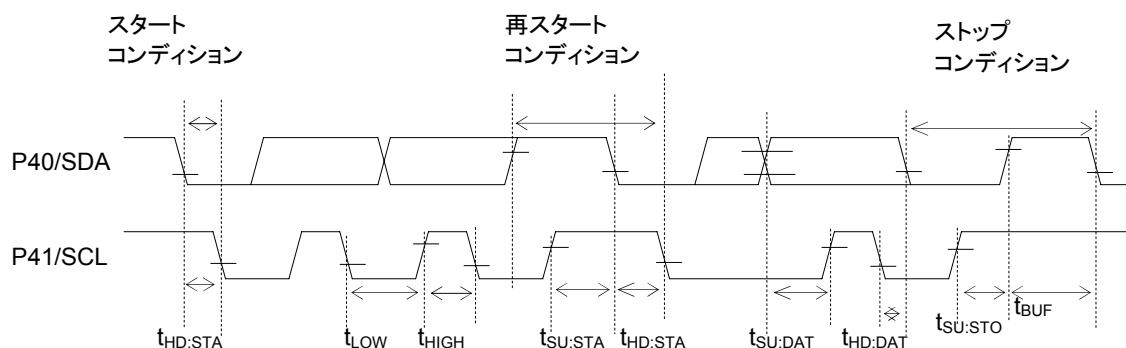
(特に指定のない場合は、 $DV_{DD} = SPV_{DD} = P5V_{DD} = 2.2 \sim 5.5V$, $V_{SS} = SPV_{SS} = 0V$, $T_a = -40 \sim +70^\circ C$)

| 項 目 | 記 号 | 条 件 | 規 格 値 | | | 単位 |
|---------------------------------------|--------------|-----|-------|------|------|---------|
| | | | Min. | Typ. | Max. | |
| SCL クロック周波数 | f_{SCL} | — | 0 | — | 100 | kHz |
| SCL ホールド時間 (スタート/再スタート コンディション) | $t_{HD:STA}$ | — | 4.0 | — | — | μs |
| SCL "L" レベル時間 | t_{LOW} | — | 4.7 | — | — | μs |
| SCL "H" レベル時間 | t_{HIGH} | — | 4.0 | — | — | μs |
| SCL セットアップ時間 (再スタートコンディション) | $t_{SU:STA}$ | — | 4.7 | — | — | μs |
| SDA ホールド時間 | $t_{HD:DAT}$ | — | 0 | — | — | μs |
| SDA セットアップ時間 | $t_{SU:DAT}$ | — | 0.25 | — | — | μs |
| SDA セットアップ時間 (ストップコンディション) | $t_{SU:STO}$ | — | 4.0 | — | — | μs |
| バスフリー時間 | t_{BUF} | — | 4.7 | — | — | μs |

● 交流特性 (I2C バスインタフェース: ファーストモード 400kHz)

(特に指定のない場合は、 $DV_{DD} = SPV_{DD} = P5V_{DD} = 2.2 \sim 5.5V$, $V_{SS} = SPV_{SS} = 0V$, $T_a = -40 \sim +70^\circ C$)

| 項 目 | 記 号 | 条 件 | 規 格 値 | | | 単位 |
|---------------------------------------|--------------|-----|-------|------|------|---------|
| | | | Min. | Typ. | Max. | |
| SCL クロック周波数 | f_{SCL} | — | 0 | — | 400 | kHz |
| SCL ホールド時間 (スタート/再スタート コンディション) | $t_{HD:STA}$ | — | 0.6 | — | — | μs |
| SCL "L" レベル時間 | t_{LOW} | — | 1.3 | — | — | μs |
| SCL "H" レベル時間 | t_{HIGH} | — | 0.6 | — | — | μs |
| SCL セットアップ時間 (再スタートコンディション) | $t_{SU:STA}$ | — | 0.6 | — | — | μs |
| SDA ホールド時間 | $t_{HD:DAT}$ | — | 0 | — | — | μs |
| SDA セットアップ時間 | $t_{SU:DAT}$ | — | 0.1 | — | — | μs |
| SDA セットアップ時間 (ストップコンディション) | $t_{SU:STO}$ | — | 0.6 | — | — | μs |
| バスフリー時間 | t_{BUF} | — | 1.3 | — | — | μs |

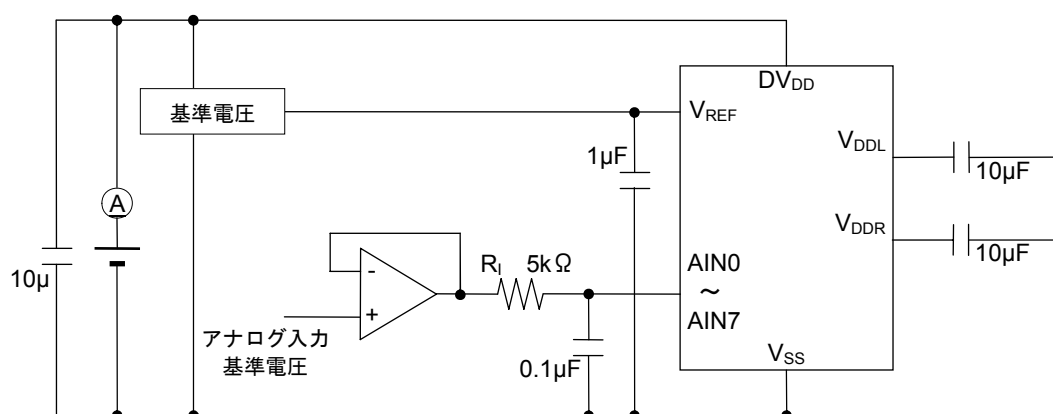


● 逐次比較型 A/D コンバータの電気的特性

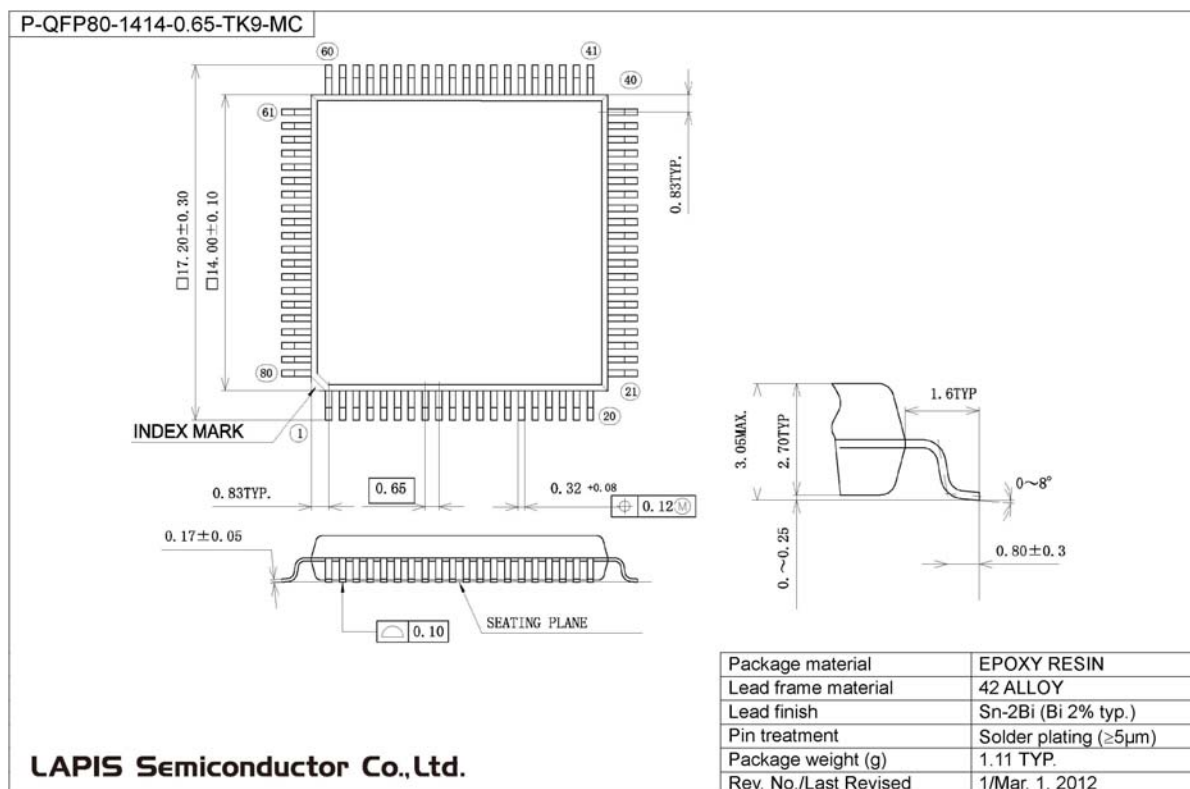
(特に指定のない場合は、 $DV_{DD} = SPV_{DD} = P5V_{DD} = 4.5 \sim 5.5V$, $V_{SS} = SPV_{SS} = 0V$, $T_a = -40 \sim +70^{\circ}C$)

| 項 目 | 記 号 | 条 件 | 規 格 値 | | | 単位 |
|--------------|------------|-------------------|-------|------|-----------|-----------|
| | | | Min. | Typ. | Max. | |
| 分解能 | n | — | — | — | 10 | bit |
| 積分非直線性誤差 | IDL | — | -4 | — | +4 | LSB |
| 微分非直線性誤差 | DNL | — | -3 | — | +3 | |
| ゼロスケール誤差 | V_{OFF} | — | -4 | — | +4 | |
| フルスケール誤差 | FSE | — | -4 | — | +4 | |
| 許容信号源インピーダンス | R_I | — | — | — | 5k | Ω |
| リファレンス電圧 | V_{REF} | — | 4.5 | — | DV_{DD} | V |
| 変換時間 | t_{CONV} | HSCLK=3.0M~8.4MHz | — | 102 | — | ϕ/CH |

ϕ : 高速クロック (HSCLK) の周期



■ パッケージ外形図



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などを当社販売窓口まで必ずお問い合わせください。

■ 改版履歴

| ドキュメント No. | 発行日 | ページ | | 変更内容 |
|----------------|----------|-----|-----|-------|
| | | 改版前 | 改版後 | |
| FJDL610Q380-01 | 2012.3.9 | — | — | 正式版発行 |

ご注意

本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

本資料の記載内容は改良などのため予告なく変更することがあります。

本資料に記載されている内容は製品のご紹介資料です。ご使用にあたりましては、別途仕様書を必ずご請求のうえ、ご確認ください。

本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。

本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。

本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ラピスセミコンダクタまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。

本資料に掲載されております製品は、一般的な電子機器 (AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器など) への使用を意図しています。

本資料に掲載されております製品は、「耐放射線設計」はなされていません。

ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、種々の要因で故障することもあり得ます。

ラピスセミコンダクタ製品が故障した際、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。

極めて高度な信頼性が要求され、その製品の故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのある機器・装置・システム (医療機器、輸送機器、航空宇宙機、原子力制御、燃料制御、各種安全装置など) へのご使用を意図して設計・製造されたものではありません。上記特定用途に使用された場合、いかなる責任もラピスセミコンダクタは負うものではありません。上記特定用途への使用を検討される際は、事前にローム営業窓口までご相談願います。

本資料に記載されております製品および技術のうち「外国為替及び外国貿易法」に該当する製品または技術を輸出する場合、または国外に提供する場合には、同法に基づく許可が必要です。

Copyright 2011 - 2012 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒193-8550 東京都八王子市東浅川町 550-1

<http://www.lapis-semi.com/jp/>