

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML610Q411/Q412

LCD ドライバ内蔵 8bit マイクロコントローラ

■ 概要

ML610Q411/Q412 は、8 ビット CPU nX-U8/100 を搭載し、同期式シリアルポート、UART、I²C バスインタフェース(マスタ)、ブザードライバ、電源電圧検出回路、RC 発振型 A/D コンバータ、12 ビット逐次比較型 A/D コンバータ、および LCD ドライバ等、多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。

CPU nX-U8/100 は、3 段パイプラインアーキテクチャによる並列処置をすることで 1 命令 1 クロックの効率的な命令実行が可能です。また、マスク ROM 同等の低電圧、低消費電力動作(読み出し時)を実現したフラッシュ ROM を搭載しており、携帯機器などの電池駆動アプリケーションに最適です。また、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

ML610Q411/Q412 は、32.768kHz の低速水晶発振クロックと内蔵の 500kHzRC 発振クロックとのデュアルクロックで動作し、計時などクロック精度を必要とするシステムにお使いいただけます。

■ 特長

- CPU
 - RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)
 - 命令体系:16 ビット長命令
 - 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
 - オンチップデバッグ機能を内蔵
 - 最小命令実行時間
 - 30.5μs (@32.768kHz システムクロック)
 - 2μs (@500kHz システムクロック)
- 内部メモリ
 - 16K バイトのフラッシュ ROM (8K×16 ビット) を内蔵 (使用不可のテスト領域 1K バイト含む)
 - 1K バイトの RAM (1024×8 ビット)
- 割込みコントローラ
 - ノンマスカブル割込み 2 要因
 - 内部要因:1 (ウォッチドッグタイマ)
 - 外部要因:1 (NMI)
 - マスカブル割込み 19 要因
 - 内部要因:15 (同期式シリアルポート、逐次比較型 A/D コンバータ、I2C、タイマ 0、タイマ 1、タイマ 2、タイマ 3、1kHz タイマ、UART、RC 発振型 A/D コンバータ、PWM、TBC128Hz、TBC32Hz、TBC16Hz、TBC2Hz)
 - 外部要因:4 (P00、P01、P02、P03)
- タイムベースカウンタ
 - 低速側タイムベースカウンタ×1ch
 - 周波数補正機能(補正可能範囲:-488~+488ppm、補正精度:約 0.48ppm)
 - 高速側タイムベースカウンタ×1ch



- ウォッチドッグタイマ
 - ノンマスカブル割り込み、およびリセット
 - フリーラン
 - オーバフロー周期選択可能: 4 種(125ms, 500ms, 2s, 8s)
- タイマ
 - 8 ビット×4ch(タイマ 0~3: タイマ 0-1 もしくはタイマ 2-3 を使用した 16bit 構成×2ch も可能)
 - クロック周波数測定機能モード(タイマ 2-3 を使用した 16bit 構成 1ch のみ)
- 1kHz タイマ
 - 10Hz/1Hz 割り込み機能
- キャプチャ
 - タイムベースキャプチャ×2ch(4096Hz~32Hz)
- PWM
 - 分解能 16 ビット×1ch
- 同期式シリアルポート
 - マスタ/スレーブ選択可能
 - LSB/MSB ファースト選択可能
 - 8 ビット/16 ビット長選択可能
- UART
 - TXD/RXD×1ch
 - ビット長、パリティ有無、奇数/偶数パリティ、1/2 ストップビット
 - 正/負論理選択可
 - ボーレートジェネレータ内蔵
- I²C バスインタフェース
 - マスタ機能のみ
 - 標準モード(50kbps)
- ブザードライバ
 - 出力モード 4 種、周波数 8 種、デューティ変更 16 レベル
- RC 発振型 A/D コンバータ
 - 24 ビットカウンタ
 - 時分割 2ch 方式
- 逐次比較型 A/D コンバータ
 - 12 ビット A/D コンバータ
 - 入力 2ch
 - 変換時間: 46us/1ch@500kHz

- 汎用ポート
 - ノンマスカブル割り込み入力ポート×1ch
 - 入力専用ポート×6ch(2次機能含む)
 - 出力専用ポート×3ch(2次機能含む)
 - 入出力ポート
 - ML610Q411: 22ch(2次機能含む)
 - ML610Q412: 14ch(2次機能含む)
- LCDドライバ
 - セグメント数
 - ML610Q411: 最大 144 ドット(36seg×4com)
 - ML610Q412: 最大 176 ドット(44seg×4com)
 - 1/1～1/4 デューティ
 - 1/3 バイアス(バイアス発生回路内蔵)
 - フレーム周波数選択(約 64Hz, 約 73Hz, 約 85Hz, 約 102Hz)
 - バイアス昇圧クロック選択(8種類)
 - コントラスト調整(32段階)
 - LCD 停止、LCD 表示、全点灯、全消灯モード選択
- リセット
 - RESET_N 端子リセット
 - パワーオン検出リセット
 - 発振停止検出リセット
 - WDT オーバーフローによるリセット
- 電源電圧検出機能
 - 判定電圧: 16 値から 1 つを選択
 - 判定精度: ±2% (Typ.)
- クロック
 - 低速側クロック (本 LSI は低速水晶発振クロックが供給されない条件での動作は保証できません)
水晶発振 (32.768kHz)
 - 高速側クロック
 - 内蔵 RC 発振 (500kHz)
 - 外部クロック (500kHz 以下)
 - 高速側クロックギア:
1/2 (250kHz), 1/4 (125kHz), 1/8 (62.5kHz)
 - ソフトウェアによる高速クロックモードの選択:
内蔵 RC 発振、外部クロック
- パワーマネジメント
 - HALT モード: CPU の命令実行中断(周辺回路は動作状態)
 - STOP モード: 低速発振、および高速発振の停止 (CPU および周辺回路は動作を停止)
 - 高速側クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能(発振クロックの 1/1、1/2、1/4、1/8)
 - ブロック制御機能: 使わない機能ブロック回路の動作を完全停止
- 動作保証範囲
 - 動作温度: -20℃～+70℃ (P version: -40℃～+85℃)
 - 動作電圧: $V_{DD}=1.1V\sim3.6V$, $AV_{DD}=2.2V\sim3.6V$

● 商品名 - 機能一覧 -

ML610Q411 および ML610Q412 のラインアップは以下です。

- チップ(Die) -	ROM 種別	低速発振停止検出 リセット	動作保証温度	備考
ML610Q411-xxxWA	フラッシュ ROM	Yes	-20°C to +70°C	-
ML610Q411P-xxxWA	フラッシュ ROM	Yes	-40°C to +85°C	-
ML610Q411PA-xxxWA	フラッシュ ROM	レジスタ設定により無効化可能	-40°C to +85°C	-
ML610Q412-xxxWA	フラッシュ ROM	Yes	-20°C to +70°C	-
ML610Q412P-xxxWA	フラッシュ ROM	Yes	-40°C to +85°C	-

- 120Pin プラスチック TQFP -	ROM 種別	低速発振停止検出 リセット	動作保証温度	備考
ML610Q411-xxxTB	フラッシュ ROM	Yes	-20°C to +70°C	-
ML610Q411P-xxxTB	フラッシュ ROM	Yes	-40°C to +85°C	-
ML610Q411PA-xxxTB	フラッシュ ROM	レジスタ設定により無効化可能	-40°C to +85°C	-
ML610Q412-xxxTB	フラッシュ ROM	Yes	-20°C to +70°C	-
ML610Q412P-xxxTB	フラッシュ ROM	Yes	-40°C to +85°C	-

xxx:ROM コード番号(ブランク品の場合、xxxは NNN)

Q:フラッシュ ROM 品

P: 温度拡張品

A: 発振停止検出リセットをレジスタ設定により無効化可能(詳細はユーザーズマニュアル第3章、第4章を参照してください)

WA: チップ品

TB: TQFP

■ ブロック図

● ML610Q411 ブロック図

図 1 に ML610Q411 のブロック図を示します。

“*”:各ポートの 2 次機能です。

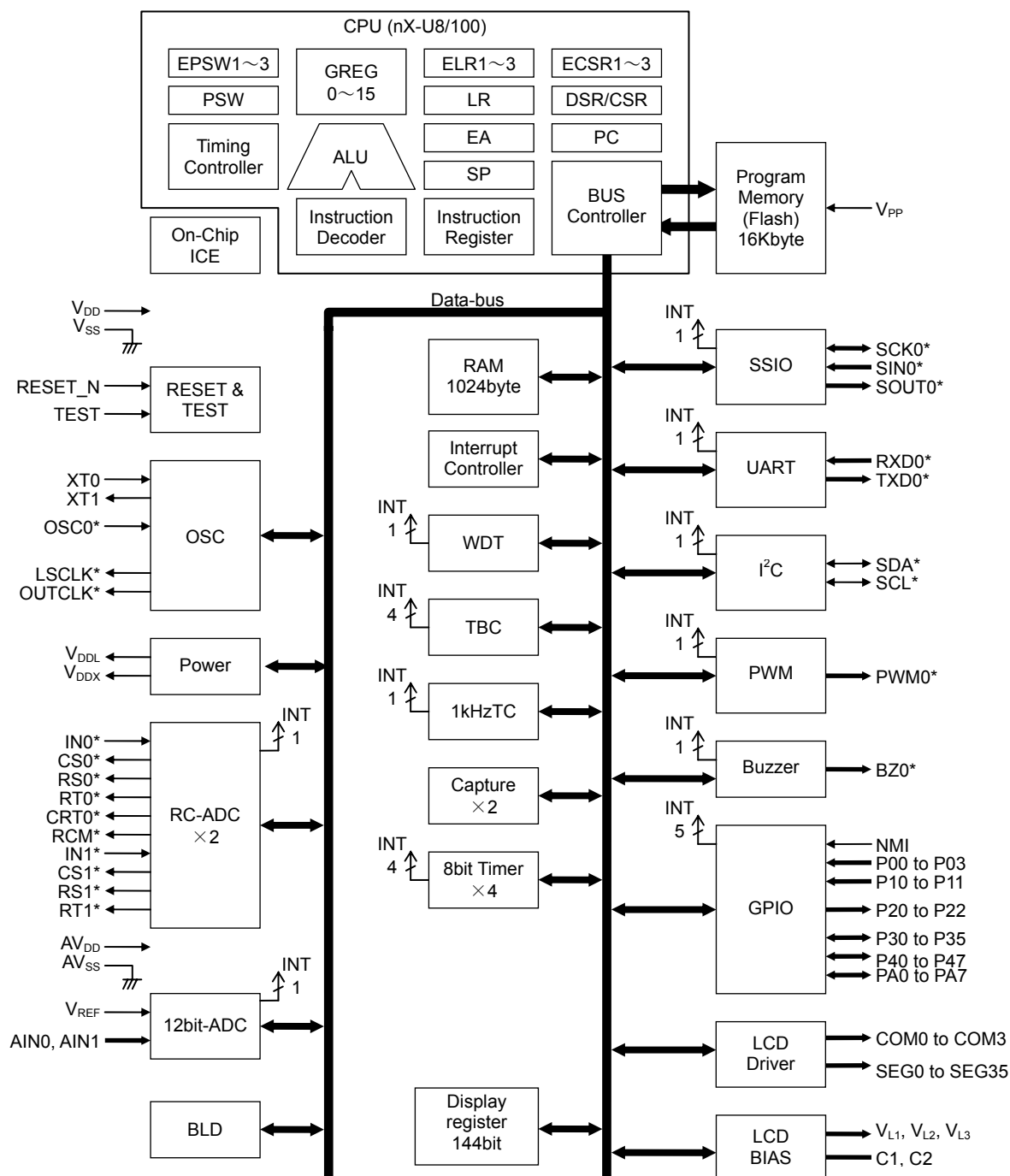


図 1 ML610Q411 ブロック図

● ML610Q412 ブロック図

図 2 に ML610Q412 のブロック図を示します。

“*”は各ポートの 2 次機能です。

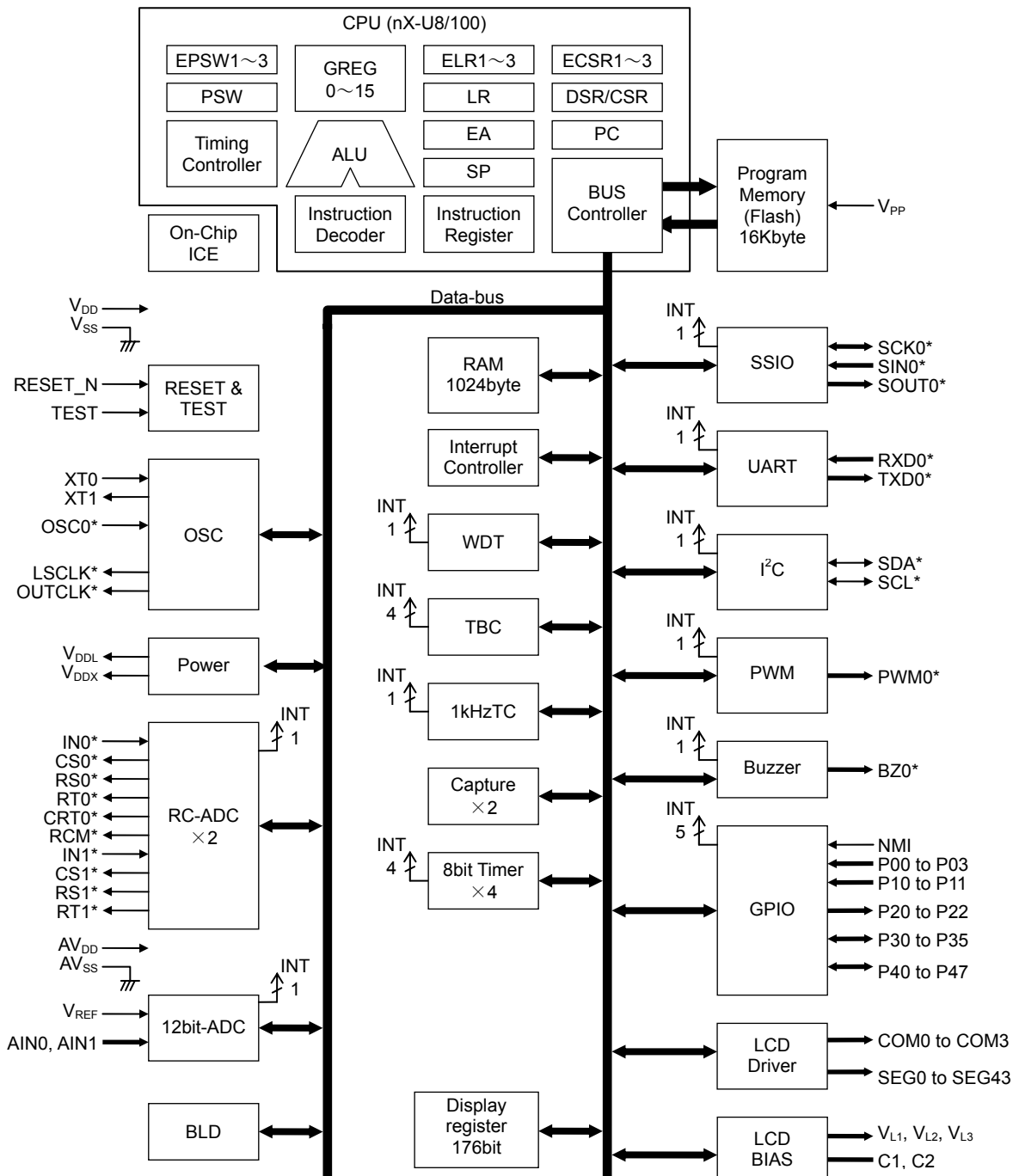


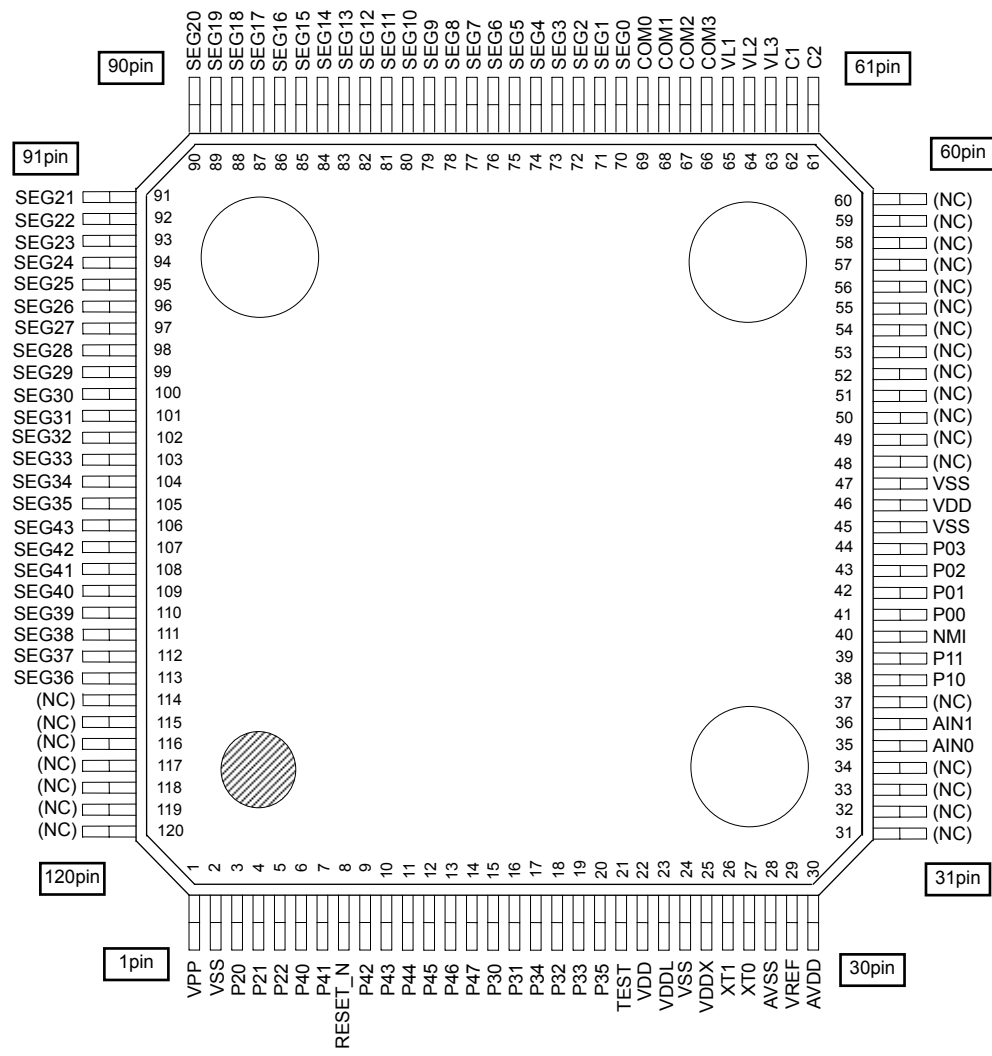
図 2 ML610Q412 ブロック図

-
- The diagram illustrates the pin configuration for the ATmega328P microcontroller. The pins are arranged in a 40-pin package, with the following labels and functions:
- Top Edge (1-12 pins):** SEG20, SEG19, SEG18, SEG17, SEG16, SEG15, SEG14, SEG13, SEG12, SEG11, SEG10, SEG9, SEG8, SEG7, SEG6, SEG5, SEG4, SEG3, SEG2, SEG1, SEG0, COM0, COM1, COM2, COM3, VL1, VL2, VL3, C1, C2.
 - Right Edge (13-24 pins):** 60 (NC), 59 (NC), 58 (NC), 57 (NC), 56 (NC), 55 (NC), 54 (NC), 53 (NC), 52 (NC), 51 (NC), 50 (NC), 49 (NC), 48 (NC), 47 (VSS), 46 (VDD), 45 (VSS), 44 (P03), 43 (P02), 42 (P01), 41 (P00), 40 (NMI), 39 (P11), 38 (P10), 37 (NC), 36 (AIN1), 35 (AIN0), 34 (NC), 33 (NC), 32 (NC), 31 (NC).
 - Bottom Edge (25-36 pins):** 30, 29 (AVDD), 28 (VREF), 27 (XT0), 26 (XT1), 25 (VDDX), 24 (VSS), 23 (VDDL), 22 (VDD), 21 (TEST), 20 (P35), 19 (P33), 18 (P32), 17 (P34), 16 (P31), 15 (P30), 14 (P47), 13 (P46), 12 (P45), 11 (P44), 10 (P43), 9 (P42), 8 (RESET_N), 7 (P41), 6 (P40), 5 (P22), 4 (P21), 3 (P20), 2 (VSS), 1 (VPP).
 - Left Edge (37-40 pins):** 91, 92, 93, 94, 95, 96, 97, 98, 99, 100, 101, 102, 103, 104, 105, 106 (PA0), 107 (PA1), 108 (PA2), 109 (PA3), 110 (PA4), 111 (PA5), 112 (PA6), 113 (PA7), 114 (NC), 115 (NC), 116 (NC), 117 (NC), 118 (NC), 119 (NC), 120 (NC).
- Additional labels include "90pin" (top left), "61pin" (top right), "91pin" (left), "60pin" (right), "120pin" (bottom left), "31pin" (bottom right), "1pin" (bottom left), and "30pin" (bottom right).

【注意】

図3 ML610Q411 パッケージ品端子配置図

● ML610Q412 TQFP120 パッケージ品の端子配置図



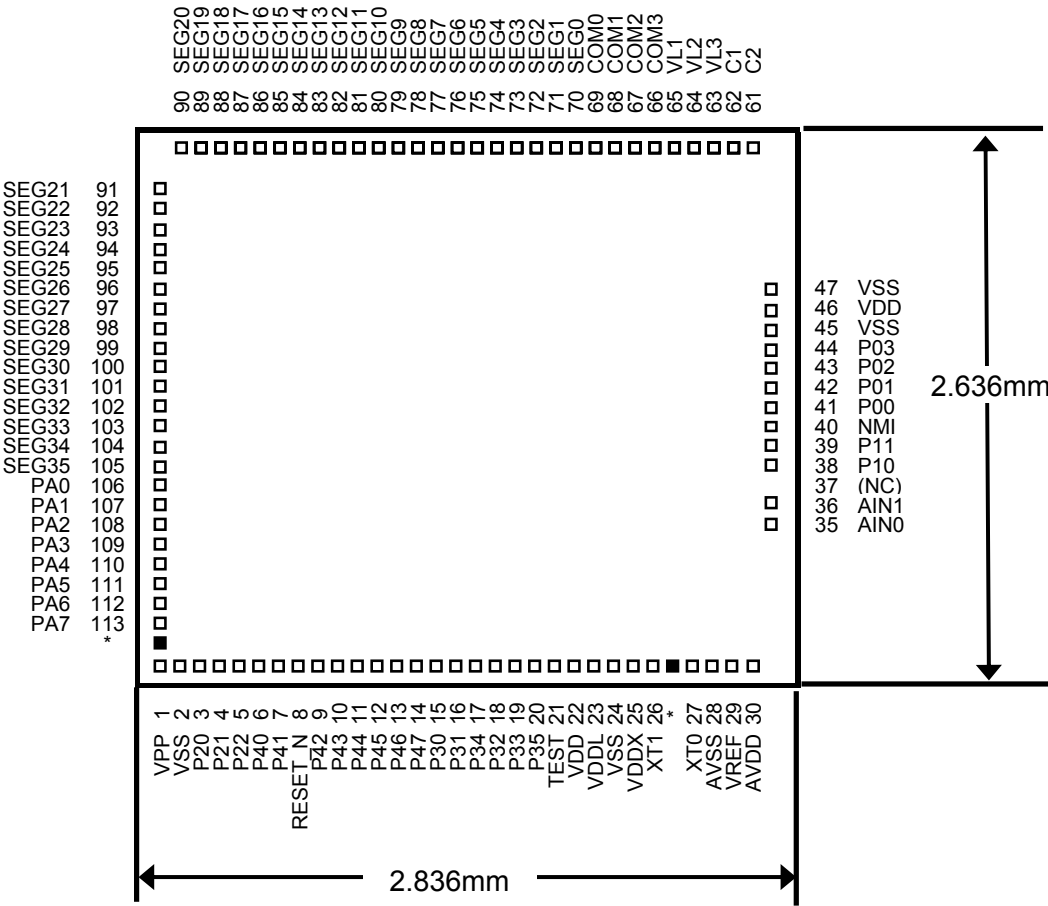
(NC): No Connection

【注意】

ポート 3 (P30～P35) はポート番号順に配置されていません。

図 4 ML610Q412 パッケージ品端子配置図

● ML610Q411 チップ品の端子配置と外形図

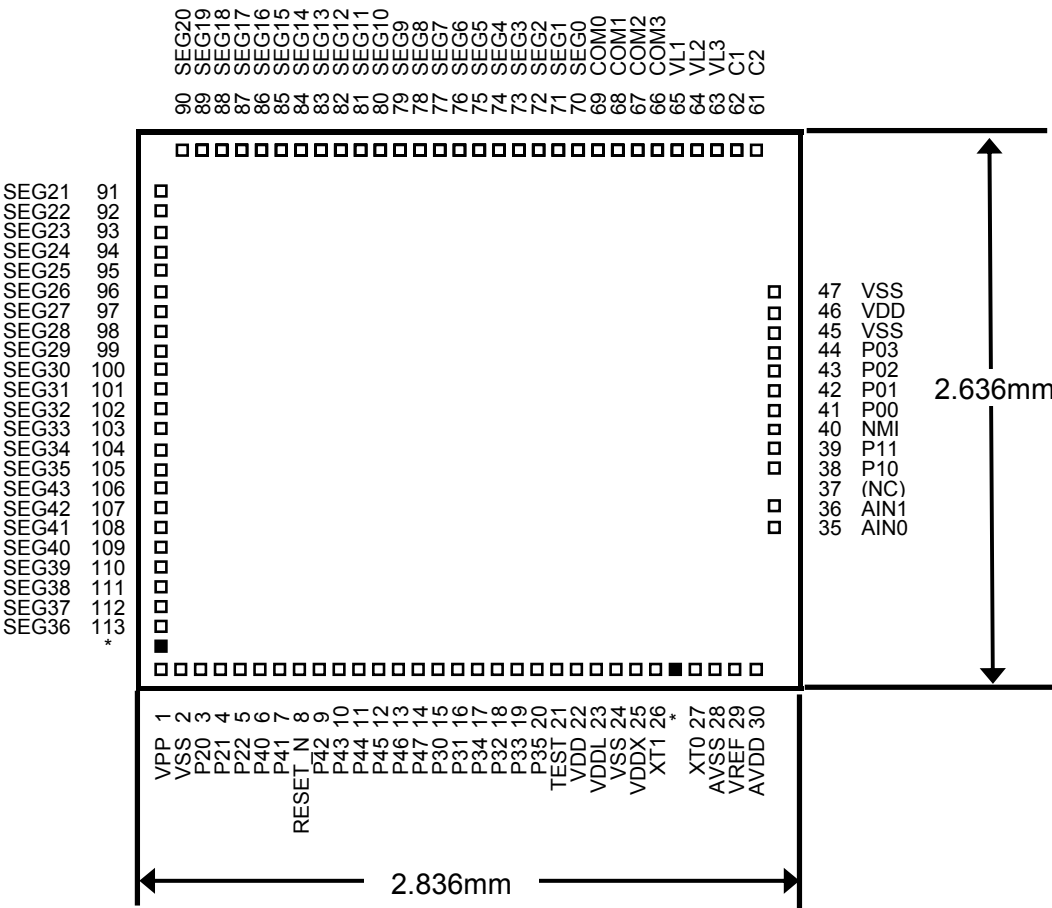


* ダミーパッドです。その他 PAD 同様 Visible ですが機能は持ちません。【注意】ラピスセミコンダクタにおけるメカニカル評価用です。このダミーパッドへのワイヤボンドは実施しないでください。

チップサイズ:2.836mm x 2.636mm
PAD 数:95
最小 PAD ピッチ:80um
PAD 開口部:70um×70um
チップ厚:350um
チップ裏面の電圧は、V_{SS} レベルになっています。

図 5 ML610Q411 チップ外形図

● ML610Q412 チップ品の端子配置と外形図



チップ品パッド座標

● ML610Q411 パッド座標

表 1 ML610Q411 パッド座標表

Chip Center: X=0,Y=0

PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)
1	VPP	-1230	-1212	51	(NC)	-	-	101	SEG31	-1312	160
2	VSS	-1150	-1212	52	(NC)	-	-	102	SEG32	-1312	80
3	P20	-1070	-1212	53	(NC)	-	-	103	SEG33	-1312	0
4	P21	-990	-1212	54	(NC)	-	-	104	SEG34	-1312	-80
5	P22	-910	-1212	55	(NC)	-	-	105	SEG35	-1312	-160
6	P40	-830	-1212	56	(NC)	-	-	106	PA0	-1312	-240
7	P41	-750	-1212	57	(NC)	-	-	107	PA1	-1312	-320
8	RESET_N	-670	-1212	58	(NC)	-	-	108	PA2	-1312	-400
9	P42	-590	-1212	59	(NC)	-	-	109	PA3	-1312	-480
10	P43	-510	-1212	60	(NC)	-	-	110	PA4	-1312	-560
11	P44	-430	-1212	61	C2	1220	1212	111	PA5	-1312	-640
12	P45	-350	-1212	62	C1	1140	1212	112	PA6	-1312	-720
13	P46	-270	-1212	63	VL3	1060	1212	113	PA7	-1312	-800
14	P47	-190	-1212	64	VL2	980	1212	-	Dummy	-1312	-908
15	P30	-110	-1212	65	VL1	900	1212				
16	P31	-30	-1212	66	COM3	820	1212				
17	P34	50	-1212	67	COM2	740	1212				
18	P32	130	-1212	68	COM1	660	1212				
19	P33	210	-1212	69	COM0	580	1212				
20	P35	290	-1212	70	SEG0	500	1212				
21	TEST	370	-1212	71	SEG1	420	1212				
22	VDD	450	-1212	72	SEG2	340	1212				
23	VDDL	530	-1212	73	SEG3	260	1212				
24	VSS	610	-1212	74	SEG4	180	1212				
25	VDDX	690	-1212	75	SEG5	100	1212				
26	XT1	770	-1212	76	SEG6	20	1212				
-	Dummy	850	-1212	77	SEG7	-60	1212				
27	XT0	930	-1212	78	SEG8	-140	1212				
28	AVSS	1030	-1212	79	SEG9	-220	1212				
29	VREF	1110	-1212	80	SEG10	-300	1212				
30	AVDD	1190	-1212	81	SEG11	-380	1212				
31	(NC)	-	-	82	SEG12	-460	1212				
32	(NC)	-	-	83	SEG13	-540	1212				
33	(NC)	-	-	84	SEG14	-620	1212				
34	(NC)	-	-	85	SEG15	-700	1212				
35	AIN0	1312	-522	86	SEG16	-780	1212				
36	AIN1	1312	-350	87	SEG17	-860	1212				
37	(NC)	-	-	88	SEG18	-940	1212				
38	P10	1312	-210	89	SEG19	-1020	1212				
39	P11	1312	-130	90	SEG20	-1100	1212				
40	NMI	1312	-50	91	SEG21	-1312	960				
41	P00	1312	30	92	SEG22	-1312	880				
42	P01	1312	110	93	SEG23	-1312	800				
43	P02	1312	190	94	SEG24	-1312	720				
44	P03	1312	270	95	SEG25	-1312	640				
45	VSS	1312	350	96	SEG26	-1312	560				
46	VDD	1312	430	97	SEG27	-1312	480				
47	VSS	1312	510	98	SEG28	-1312	400				
48	(NC)	-	-	99	SEG29	-1312	320				
49	(NC)	-	-	100	SEG30	-1312	240				
50	(NC)	-	-								

● ML610Q412 パッド座標

表 2 ML610Q412 パッド座標表

Chip Center: X=0,Y=0

PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)
1	VPP	-1230	-1212	51	(NC)	-	-	101	SEG31	-1312	160
2	VSS	-1150	-1212	52	(NC)	-	-	102	SEG32	-1312	80
3	P20	-1070	-1212	53	(NC)	-	-	103	SEG33	-1312	0
4	P21	-990	-1212	54	(NC)	-	-	104	SEG34	-1312	-80
5	P22	-910	-1212	55	(NC)	-	-	105	SEG35	-1312	-160
6	P40	-830	-1212	56	(NC)	-	-	106	SEG43	-1312	-240
7	P41	-750	-1212	57	(NC)	-	-	107	SEG42	-1312	-320
8	RESET_N	-670	-1212	58	(NC)	-	-	108	SEG41	-1312	-400
9	P42	-590	-1212	59	(NC)	-	-	109	SEG40	-1312	-480
10	P43	-510	-1212	60	(NC)	-	-	110	SEG39	-1312	-560
11	P44	-430	-1212	61	C2	1220	1212	111	SEG38	-1312	-640
12	P45	-350	-1212	62	C1	1140	1212	112	SEG37	-1312	-720
13	P46	-270	-1212	63	VL3	1060	1212	113	SEG36	-1312	-800
14	P47	-190	-1212	64	VL2	980	1212	-	Dummy	-1312	-908
15	P30	-110	-1212	65	VL1	900	1212				
16	P31	-30	-1212	66	COM3	820	1212				
17	P34	50	-1212	67	COM2	740	1212				
18	P32	130	-1212	68	COM1	660	1212				
19	P33	210	-1212	69	COM0	580	1212				
20	P35	290	-1212	70	SEG0	500	1212				
21	TEST	370	-1212	71	SEG1	420	1212				
22	VDD	450	-1212	72	SEG2	340	1212				
23	VDDL	530	-1212	73	SEG3	260	1212				
24	VSS	610	-1212	74	SEG4	180	1212				
25	VDDX	690	-1212	75	SEG5	100	1212				
26	XT1	770	-1212	76	SEG6	20	1212				
-	Dummy	850	-1212	77	SEG7	-60	1212				
27	XT0	930	-1212	78	SEG8	-140	1212				
28	AVSS	1030	-1212	79	SEG9	-220	1212				
29	VREF	1110	-1212	80	SEG10	-300	1212				
30	AVDD	1190	-1212	81	SEG11	-380	1212				
31	(NC)	-	-	82	SEG12	-460	1212				
32	(NC)	-	-	83	SEG13	-540	1212				
33	(NC)	-	-	84	SEG14	-620	1212				
34	(NC)	-	-	85	SEG15	-700	1212				
35	AIN0	1312	-522	86	SEG16	-780	1212				
36	AIN1	1312	-350	87	SEG17	-860	1212				
37	(NC)	-	-	88	SEG18	-940	1212				
38	P10	1312	-210	89	SEG19	-1020	1212				
39	P11	1312	-130	90	SEG20	-1100	1212				
40	NMI	1312	-50	91	SEG21	-1312	960				
41	P00	1312	30	92	SEG22	-1312	880				
42	P01	1312	110	93	SEG23	-1312	800				
43	P02	1312	190	94	SEG24	-1312	720				
44	P03	1312	270	95	SEG25	-1312	640				
45	VSS	1312	350	96	SEG26	-1312	560				
46	VDD	1312	430	97	SEG27	-1312	480				
47	VSS	1312	510	98	SEG28	-1312	400				
48	(NC)	-	-	99	SEG29	-1312	320				
49	(NC)	-	-	100	SEG30	-1312	240				
50	(NC)	-	-								

■ 端子一覧

PAD No.	1 次機能			2 次機能			3 次機能		
	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
2, 24, 45, 47	V _{SS}	—	マイナス側電源端子	—	—	—	—	—	—
22, 46	V _{DD}	—	プラス側電源端子	—	—	—	—	—	—
23	V _{DDL}	—	内部ロジック用電源端子 (内部発生)	—	—	—	—	—	—
25	V _{DDX}	—	低速発振用電源端子 (内部発生)	—	—	—	—	—	—
1	V _{PP}	—	フラッシュ ROM 用電源端子	—	—	—	—	—	—
28	AV _{SS}	—	逐次比較型 ADC 用 マイナス側電源端子	—	—	—	—	—	—
30	AV _{DD}	—	逐次比較型 ADC 用 プラス側電源端子	—	—	—	—	—	—
65	V _{L1}	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
64	V _{L2}	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
63	V _{L3}	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
62	C1	—	LCD バイアス発生用コンデンサ接続端子	—	—	—	—	—	—
61	C2	—	LCD バイアス発生用コンデンサ接続端子	—	—	—	—	—	—
21	TEST	I/O	テスト用入出力端子	—	—	—	—	—	—
8	RESET_N	I	リセット入力端子	—	—	—	—	—	—
27	XT0	I	低速クロック発振端子	—	—	—	—	—	—
26	XT1	O	低速クロック発振端子	—	—	—	—	—	—
29	V _{REF}	—	逐次比較型 ADC 用リファレンス電源端子	—	—	—	—	—	—
35	AIN0	I	逐次比較型 ADC 入力	—	—	—	—	—	—
36	AIN1	I	逐次比較型 ADC 入力	—	—	—	—	—	—
40	NMI	I	入力ポート、 ノンマスカブル割込み	—	—	—	—	—	—
41	P00/EXI0/C AP0	I	入力ポート、 外部割込み、 キャプチャ 0 入力	—	—	—	—	—	—
42	P01/EXI1/C AP1	I	入力ポート、 外部割込み、 キャプチャ 1 入力	—	—	—	—	—	—
43	P02/EXI2/R XD0	I	入力ポート、 外部割込み、 UART0 受信データ	—	—	—	—	—	—
44	P03/EXI3	I	入力ポート、 外部割込み	—	—	—	—	—	—
38	P10 OSC0	I	入力ポート、 高速外部クロック入力	—	—	—	—	—	—
39	P11	I	入力ポート	—	—	—	—	—	—
3	P20/LED0	O	出力ポート、	LSCLK	O	低速クロック出力	—	—	—
4	P21/LED1	O	出力ポート	OUTCLK	O	高速クロック出力	—	—	—
5	P22/LED2	O	出力ポート	BZ0	O	ブザー 0 出力	—	—	—
15	P30	I/O	入出力ポート	IN0	I	RC 型 ADC0 発振入力端子	—	—	—
16	P31	I/O	入出力ポート	CS0	O	RC 型 ADC0 基準容量接続端子	—	—	—
17	P34	I/O	入出力ポート	RCT0	O	RC 型 ADC0 測定用抵抗/容量センサ接続端子	PWM0	O	PWM0 出力
18	P32	I/O	入出力ポート	RS0	O	RC 型 ADC0 基準抵抗接続端子	—	—	—
19	P33	I/O	入出力ポート	RT0	O	RC 型 ADC0 測定用抵抗センサ接続端子	—	—	—
20	P35	I/O	入出力ポート	RCM	O	RC 型 ADC 用発振モータ	—	—	—

PAD No.	1 次機能			2 次機能			3 次機能		
	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
6	P40	I/O	入出力ポート	SDA	I/O	I ² C 用データ入出力	SIN0	I	SSIO0 データ入力
7	P41	I/O	入出力ポート	SCL	I/O	I ² C 用クロック入出力	SCK0	I/O	SSIO0 同期クロック入出力
9	P42	I/O	入出力ポート	RXD0	I	UART0 データ入力	SOUT0	I	SSIO0 データ出力
10	P43	I/O	入出力ポート	TXD0	O	UART0 データ出力	PWM0	O	PWM0 出力
11	P44/ T02P0CK	I/O	入出力ポート、 タイマ 0/タイマ 2/PWM0 外部クロック入力	IN1	I	RC 型 ADC1 発振入 力端子	SIN0	I	SSIO0 データ入力
12	P45/T13P1 CK	I/O	入出力ポート、 タイマ 1/タイマ 3 外部クロ ック入力	CS1	O	RC 型 ADC1 基準容 量接続端子	SCK0	I/O	SSIO0 同期クロック入出力
13	P46	I/O	入出力ポート	RS1	O	RC 型 ADC1 基準抵 抗接続端子	SOUT0	O	SSIO0 データ出力
14	P47	I/O	入出力ポート	RT1	O	RC 型 ADC1 測定用 抵抗センサ接続端子	—	—	—
106	PA0(* ¹)	I/O	入出力ポート	—	—	—	—	—	—
	SEG43(* ²)	O	LCD セグメント端子	—	—	—	—	—	—
107	PA1(* ¹)	I/O	入出力ポート	—	—	—	—	—	—
	SEG42(* ²)	O	LCD セグメント端子	—	—	—	—	—	—
108	PA2(* ¹)	I/O	入出力ポート	—	—	—	—	—	—
	SEG41(* ²)	O	LCD セグメント端子	—	—	—	—	—	—
109	PA3(* ¹)	I/O	入出力ポート	—	—	—	—	—	—
	SEG40(* ²)	O	LCD セグメント端子	—	—	—	—	—	—
110	PA4(* ¹)	I/O	入出力ポート	—	—	—	—	—	—
	SEG39(* ²)	O	LCD セグメント端子	—	—	—	—	—	—
111	PA5(* ¹)	I/O	入出力ポート	—	—	—	—	—	—
	SEG38(* ²)	O	LCD セグメント端子	—	—	—	—	—	—
112	PA6(* ¹)	I/O	入出力ポート	—	—	—	—	—	—
	SEG37(* ²)	O	LCD セグメント端子	—	—	—	—	—	—
113	PA7(* ¹)	I/O	入出力ポート	—	—	—	—	—	—
	SEG36(* ²)	O	LCD セグメント端子	—	—	—	—	—	—
69	COM0	O	LCD コモン端子	—	—	—	—	—	—
68	COM1	O	LCD コモン端子	—	—	—	—	—	—
67	COM2	O	LCD コモン端子	—	—	—	—	—	—
66	COM3	O	LCD コモン端子	—	—	—	—	—	—
70	SEG0	O	LCD セグメント端子	—	—	—	—	—	—
71	SEG1	O	LCD セグメント端子	—	—	—	—	—	—
72	SEG2	O	LCD セグメント端子	—	—	—	—	—	—
73	SEG3	O	LCD セグメント端子	—	—	—	—	—	—
74	SEG4	O	LCD セグメント端子	—	—	—	—	—	—
75	SEG5	O	LCD セグメント端子	—	—	—	—	—	—
76	SEG6	O	LCD セグメント端子	—	—	—	—	—	—
77	SEG7	O	LCD セグメント端子	—	—	—	—	—	—
78	SEG8	O	LCD セグメント端子	—	—	—	—	—	—
79	SEG9	O	LCD セグメント端子	—	—	—	—	—	—
80	SEG10	O	LCD セグメント端子	—	—	—	—	—	—
81	SEG11	O	LCD セグメント端子	—	—	—	—	—	—
82	SEG12	O	LCD セグメント端子	—	—	—	—	—	—
83	SEG13	O	LCD セグメント端子	—	—	—	—	—	—
84	SEG14	O	LCD セグメント端子	—	—	—	—	—	—
85	SEG15	O	LCD セグメント端子	—	—	—	—	—	—
86	SEG16	O	LCD セグメント端子	—	—	—	—	—	—
87	SEG17	O	LCD セグメント端子	—	—	—	—	—	—
88	SEG18	O	LCD セグメント端子	—	—	—	—	—	—
89	SEG19	O	LCD セグメント端子	—	—	—	—	—	—
90	SEG20	O	LCD セグメント端子	—	—	—	—	—	—
91	SEG21	O	LCD セグメント端子	—	—	—	—	—	—
92	SEG22	O	LCD セグメント端子	—	—	—	—	—	—
93	SEG23	O	LCD セグメント端子	—	—	—	—	—	—
94	SEG24	O	LCD セグメント端子	—	—	—	—	—	—
95	SEG25	O	LCD セグメント端子	—	—	—	—	—	—
96	SEG26	O	LCD セグメント端子	—	—	—	—	—	—
97	SEG27	O	LCD セグメント端子	—	—	—	—	—	—
98	SEG28	O	LCD セグメント端子	—	—	—	—	—	—

PAD No.	1 次機能			2 次機能			3 次機能		
	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
99	SEG29	O	LCD セグメント端子	—	—	—	—	—	—
100	SEG30	O	LCD セグメント端子	—	—	—	—	—	—
101	SEG31	O	LCD セグメント端子	—	—	—	—	—	—
102	SEG32	O	LCD セグメント端子	—	—	—	—	—	—
103	SEG33	O	LCD セグメント端子	—	—	—	—	—	—
104	SEG34	O	LCD セグメント端子	—	—	—	—	—	—
105	SEG35	O	LCD セグメント端子	—	—	—	—	—	—

(*¹) ML610Q411 の端子です。

(*²) ML610Q412 の端子名です。

■ 端子説明

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論理
システム				
RESET_N	I	リセット入力端子です。この端子を”L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を”H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	—	負
XT0	I	低速クロック用水晶振動子接続端子です。	—	—
XT1	O	32.768kHz 水晶振動子(測定回路 1 参照)を接続し、必要に応じ V _{SS} との間にコンデンサ C _{DL} , C _{GL} を接続します。	—	—
OSC0	I	高速外部クロック入力です。P10 端子の 2 次機能に割り付けられています。	2 次	—
LSCLK	O	低速クロック出力です。P20 端子の 2 次機能に割り付けられています。	2 次	—
OUTCLK	O	高速クロック出力です。P21 端子の 2 次機能に割り付けられています。	2 次	—
汎用入力ポート				
P00～P03	I	汎用入力ポートです。	1 次	正
P10～P11	I	汎用入力ポートです。 2 次機能として使用する場合は、汎用入力ポートとして使用できません。	1 次	正
汎用出力ポート				
P20～P22	O	汎用出力ポートです。 2 次機能として使用する場合は、汎用出力ポートとして使用できません。	1 次	正
汎用入出力ポート				
P30～P35	I/O	汎用入出力ポートです。 2 次機能、3 次機能として使用する場合は、汎用入出力ポートとして使用できません。	1 次	正
P40～P47	I/O	汎用入出力ポートです。 2 次機能、3 次機能として使用する場合は、汎用入出力ポートとして使用できません。	1 次	正
PA0～PA7	I/O	汎用入出力ポートです。 ML610Q411 に搭載され、ML610Q412 には搭載されません。	1 次	正

端子名	I/O	説 明	1 次/ 2 次 /3 次	論 理
UART				
TXD0	O	UART0 データ出力端子です。P43 端子の 2 次機能に割り付けられています。	2 次	正
RXD0	I	UART0 データ入力端子です。P02 端子の 1 次機能および P42 の 2 次機能に割り付けられています。	1 次/ 2 次	正
I ² C バスインタフェース				
SDA	I/O	I ² C データ入出力用 NMOS オープンドレイン端子です。P40 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
SCL	I/O	I ² C クロック入出力用 NMOS オープンドレイン端子です。P41 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
同期シリアル(SSIO)				
SCK0	I/O	同期シリアルクロック入出力端子です。P41 端子および P45 端子の 3 次機能に割り付けられています。	3 次	—
SIN0	I	同期シリアルデータ入力端子です。P40 端子および P44 端子の 3 次機能に割り付けられています。	3 次	正
SOUT0	O	同期シリアルデータ出力端子です。P42 端子および P46 端子の 3 次機能に割り付けられています。	3 次	正
PWM				
PWM0	O	PWM0 出力端子です。P34 端子および P43 端子の 3 次機能に割り付けられています。	3 次	正
T02P0CK	O	PWM0 外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
外部割込				
NMI	I	外部ノンマスカブル割込み入力端子です。両エッジにて割込みが発生します。	1 次	正/ 負
EXI0～3	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P00～P03 端子の 1 次機能に割り付けられています。	1 次	正/ 負
キャプチャ				
CAP0	I	キャプチャトリガ入力端子です。ソフトウェアで選択した割込みエッジに同期してタイムベースカウンタの値をレジスタに取込みます。P00(CAP0)端子, P01(CAP1)端子の 1 次機能に割り付けられています。	1 次	正/ 負
CAP1	I		1 次	正/ 負
タイマ				
T02P0CK	I	タイマ 0 およびタイマ 2 の外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
T13P1CK	I	タイマ 1 およびタイマ 3 の外部クロック入力端子です。P45 端子の 1 次機能に割り付けられています。	1 次	—
ブザー				
BZ0	O	ブザー信号出力端子です。P22 端子の 2 次機能に割り付けられています。	2 次	正/ 負
LED 駆動				
LED0～2	O	LED 直接駆動が可能な Nch オープンドレイン端子です。	1 次	正/ 負

端子名	I/O	説 明	1 次/ 2 次 /3 次	論 理
RC 発振型 A/D コンバータ				
IN0	I	チャンネル 0 の発振入力端子です。P30 端子の 2 次機能に割り付けられています。	2 次	—
CS0	O	チャンネル 0 の基準容量接続端子です。P31 端子の 2 次機能に割り付けられています。	2 次	—
RS0	O	チャンネル 0 の基準抵抗接続端子です。P32 端子の 2 次機能に割り付けられています。	2 次	—
RCT0	O	チャンネル 0 の測定用抵抗／容量センサ)接続端子です。P34 端子の 2 次機能に割り付けられています。	2 次	—
RT0	O	チャンネル 0 の測定用抵抗センサ接続端子です。P33 端子の 2 次機能に割り付けられています。	2 次	—
RCM	O	RC 発振モニタ端子です。P35 端子の 2 次機能に割り付けられています。	2 次	—
IN1	I	チャンネル 1 の発振入力端子です。P44 端子の 2 次機能に割り付けられています。	2 次	—
CS1	O	チャンネル 1 の基準容量接続端子です。P45 端子の 2 次機能に割り付けられています。	2 次	—
RS1	O	チャンネル 1 の基準抵抗接続端子です。P46 端子の 2 次機能に割り付けられています。	2 次	—
RT1	O	チャンネル 1 の測定用抵抗センサ接続端子です。P47 端子の 2 次機能に割り付けられています。	2 次	—
逐次比較型 A/D コンバータ				
AV _{SS}	—	逐次比較型 A/D コンバータ用マイナス側電源端子です。	—	—
AV _{DD}	—	逐次比較型 A/D コンバータ用プラス側電源端子です。	—	—
V _{REF}	—	逐次比較型 A/D コンバータ用リファレンス電源端子です。	—	—
AIN0	I	逐次比較型 A/D コンバータ Ch0 アナログ入力です。	—	—
AIN1	I	逐次比較型 A/D コンバータ Ch1 アナログ入力です。	—	—
LCD 駆動信号				
COM0～3	O	コモン出力端子です。	—	—
SEG0～35	O	セグメント出力端子です。	—	—
SEG36～43	O	セグメント出力端子です。ML610Q412 に搭載され、ML610Q411 には搭載していません。	—	—
LCD ドライバ電源				
V _{L1}	—	LCD バイアス電源 (内部発生) 端子です。V _{SS} との間にそれぞれコンデンサ C _a , C _b , C _c , (測定回路 1 参照)を接続します。	—	—
V _{L2}	—		—	—
V _{L3}	—		—	—
C1	—	LCD バイアス電源発生用コンデンサ接続端子です。C1-C2 間にコンデンサ C ₁₂ (測定回路 1 参照)を接続します。	—	—
C2	—		—	—
テスト用				
TEST	I/O	テスト用入出力端子です。プルダウン抵抗が内蔵されています。	—	正
電源				
V _{SS}	—	マイナス側電源端子です。	—	—
V _{DD}	—	プラス側電源端子です。	—	—
V _{DDL}	—	内部ロジック用プラス側電源 (内部発生) 端子です。V _{SS} との間にコンデンサ C _{L0} , C _{L1} (測定回路 1 参照)を接続します。	—	—
V _{DDX}	—	低速発振用プラス側電源 (内部発生) 端子です。ML610Q411, ML610Q412 では V _{SS} との間にコンデンサ C _X , (測定回路 1 参照)を接続します。	—	—
V _{PP}	—	フラッシュ ROM 書き込み用電源入力端子です。プルダウン抵抗が内蔵されています。	—	—

■ 未使用端子処理

表 4 に未使用端子の処理方法を示します。

表 3 未使用端子の処理

端子	推奨端子処理
V _{PP}	オープン
AV _{DD}	V _{SS}
AV _{SS}	V _{SS}
V _{REF}	V _{SS}
AIN0, AIN1	オープン
V _{L1} , V _{L2} , V _{L3}	オープン
C1, C2	オープン
RESET_N	オープン
TEST	オープン
NMI	オープン
P00~P03	V _{DD} または V _{SS}
P10~P11	V _{DD}
P20~P22	オープン
P30~P35	オープン
P40~P47	オープン
PA0~PA7	オープン
COM0~3	オープン
SEG0~43	オープン

【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

■ 電気的特性

● 絶対最大定格

(V_{SS}=AV_{SS}=0V)

項 目	記 号	条 件	定 格 値	単位
電源電圧 1	V _{DD}	Ta=25°C	-0.3~+4.6	V
電源電圧 2	AV _{DD}	Ta=25°C	-0.3~+4.6	V
電源電圧 3	V _{PP}	Ta=25°C	-0.3~+9.5	V
電源電圧 4	V _{DDL}	Ta=25°C	-0.3~+3.6	V
電源電圧 5	V _{DDX}	Ta=25°C	-0.3~+3.6	V
電源電圧 6	V _{L1}	Ta=25°C	-0.3~+1.75	V
電源電圧 7	V _{L2}	Ta=25°C	-0.3~+3.5	V
電源電圧 8	V _{L3}	Ta=25°C	-0.3~+5.25	V
入力電圧	V _{IN}	Ta=25°C	-0.3~V _{DD} +0.3	V
出力電圧	V _{OUT}	Ta=25°C	-0.3~V _{DD} +0.3	V
出力電流 1	I _{OUT1}	ポート 3~A 系、Ta=25°C	-12~+11	mA
出力電流 2	I _{OUT2}	ポート 2 系、Ta=25°C	-12~+20	mA
許容損失	PD	Ta=25°C	1.25	W
保存温度	T _{STG}	—	-55~+150	°C

● 推奨動作条件

(V_{SS}=AV_{SS}=0V)

項 目	記 号	条 件	範 囲	単位
動作温度	T _{OP}	ML610Q411, ML610Q412,	-20~+70	°C
		ML610Q411P, ML610Q411PA, ML610Q412P	-40~+85	
動作電圧	V _{DD}	—	1.1~3.6	V
	AV _{DD}	—	2.2~3.6	
動作周波数 (CPU)	f _{OP}	V _{DD} =1.1~3.6V	30k~36k 46.9k to 78.1k	Hz
		V _{DD} =1.3~3.6V	30k~625k	
			23k~625k	
V _{DDL} 端子外付け容量	C _{L0}	—	1.0±30%	μF
	C _{L1}	—	0.1±30%	
V _{DDX} 端子外付け容量	C _X	—	0.1±30%	μF
V _{L1,2,3} 端子外付け容量	C _{L1,2,3}	—	1.0±30%	μF
C1-C2 端子間 外付け容量	C ₁₂	—	1.0±30%	μF

● 発振回路動作条件

(V_{SS}=0V)

項 目	記 号	条 件	規格値			単位
			Min.	Typ.	Max.	
低速水晶発振周波数	f _{XTL}	—	—	32.768k	—	Hz
推奨する低速水晶の 等価直列抵抗値	R _L	—	—	—	40k	Ω
低速水晶発振外付け容量*1	C _{DL} /C _{GL}	水晶振動子の C _L =6pF ^{*2}	—	0	—	pF
		水晶振動子の C _L =9pF	—	6	—	
		水晶振動子の C _L =12pF	—	12	—	
	C _{GH}	—	—	24	—	

*1: 内蔵負荷容量(C_D, C_G)のパラつき、および、お客様の基板の配線容量等を考慮頂き、外付け容量を調整下さい。

*2: CL=6pF の水晶振動子の場合、外付け容量で補正出来ない可能性があります。

●フラッシュ ROM 動作条件

(V_{SS}=AV_{SS}=0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	書き込み／消去時	0～+40	℃
動作電圧	V _{DD}	書き込み／消去時 ^{*1}	2.75～3.6	V
	V _{DDL}	書き込み／消去時 ^{*1}	2.5～2.75	
	V _{PP}	書き込み／消去時 ^{*1}	7.7～8.3	
書き換え回数	C _{EP}	—	80	回
データ保持年数	Y _{DR}	—	10	年

*¹: フラッシュ ROM 書き込み／消去時は V_{PP}, V_{DDL} 端子に上記規定範囲の電圧を供給する必要があります。

V_{PP}

●直流特性(1/5)

(特に指定のない場合は、V_{DD}=1.1～3.6V, AV_{DD}=2.2～3.6V, V_{SS}=AV_{SS}=0V, Ta=-20～+70℃,
P Version の場合 Ta= -40～+85℃)

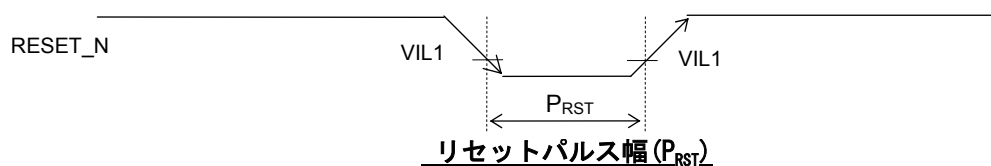
項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
500kHz RC 発振周波数	f _{RC}	V _{DD} =1.3 ～3.6V Ta=25℃	Typ. -10%	500	Typ. +10%	kHz	1
			Typ. -25%	500	Typ. +25%	kHz	
低速水晶発振開始時間 ^{*2}	T _{XTL}	—	—	0.3	2	s	
500kHz RC 発振開始時間	T _{RC}	—	—	50	500	μs	
低速発振停止検出時間 ^{*1}	T _{STOP}	—	0.2	3	20	ms	
リセットパルス幅	P _{RST}	—	200	—	—	μs	
リセットノイズ除去 パルス幅	P _{NRST}	—	—	—	0.3	μs	
パワーオンリセット発生 電源立ち上がり時間	T _{POR}	—	—	—	10	ms	

*¹: 低速水晶発振が低速発振停止検出時間以上停止した場合、システムリセットモードになります。

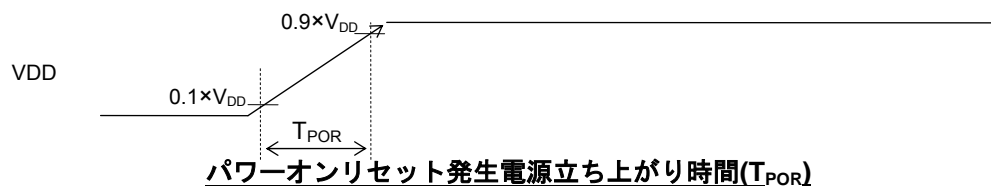
*²: 32.768KHz 水晶振動子 C-001R (エプソントヨコム株式会社) を使用 (C_{GL}/C_{DL}=0pF)

*³: 推奨動作温度範囲 (-P 版: Ta= -40～+85℃, P 無し版: Ta= -20～+70℃)

[リセットパルス幅]



[パワーオンリセット発生電源立ち上がり時間]



●直流特性(2/5)

(特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$, $AV_{DD}=2.2\sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim +70^{\circ}C$,
P Version の場合 $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定回路
				Min.	Typ.	Max.		
V _{L1} 電圧	V _{L1}	V _{DD} =3.0V, Tj=25℃	CN4~0=00H	0.89	0.94	0.99	V	1
			CN4~0=01H	0.91	0.96	1.01		
			CN4~0=02H	0.93	0.98	1.03		
			CN4~0=03H	0.95	1.00	1.05		
			CN4~0=04H	0.97	1.02	1.07		
			CN4~0=05H	0.99	1.04	1.09		
			CN4~0=06H	1.01	1.06	1.11		
			CN4~0=07H	1.03	1.08	1.13		
			CN4~0=08H	1.05	1.10	1.15		
			CN4~0=09H	1.07	1.12	1.17		
			CN4~0=0AH	1.09	1.14	1.19		
			CN4~0=0BH	1.11	1.16	1.21		
			CN4~0=0CH	1.13	1.18	1.23		
			CN4~0=0DH	1.15	1.20	1.25		
			CN4~0=0EH	1.17	1.22	1.27		
			CN4~0=0FH	1.19	1.24	1.29		
			CN4~0=10H	1.21	1.26	1.31		
			CN4~0=11H	1.23	1.28	1.33		
			CN4~0=12H	1.25	1.30	1.35		
			CN4~0=13H	1.27	1.32	1.37		
			CN4~0=14H	1.29	1.34	1.39		
			CN4~0=15H	1.31	1.36	1.41		
			CN4~0=16H	1.33	1.38	1.43		
			CN4~0=17H	1.35	1.40	1.45		
			CN4~0=18H	1.37	1.42	1.47		
			CN4~0=19H	1.39	1.44	1.49		
			CN4~0=1AH	1.41	1.46	1.51		
			CN4~0=1BH	1.43	1.48	1.53		
			CN4~0=1CH	1.45	1.50	1.55		
			CN4~0=1DH	1.47	1.52	1.57		
			CN4~0=1EH	1.49	1.54	1.59		
			CN4~0=1FH	1.51	1.56	1.61		
V _{L1} 温度偏差* ¹	ΔV _{L1}	V _{DD} =3.0V		—	-1.5	—	mV/℃	
V _{L1} 電圧依存* ¹	ΔV _{L1}	V _{DD} =1.3~3.6V		—	5	20	mV/V	
V _{L2} 電圧	V _{L2}	V _{DD} =3.0V, Tj=25℃ 負荷 1MΩ (V _{L3} —V _{SS} 間)		Typ. -10%	V _{L1} ×2	Typ. +4%	V	
V _{L3} 電圧	V _{L3}			Typ. -10%	V _{L1} ×3	Typ. +4%		
LCD バイアス電圧発生時間	T _{BIAS}	—		—	—	600	ms	

*¹: 温度・電圧偏差から算出される V_{L1} の電圧が、計算上 V_{DD} 電圧を超える時、V_{L1} 電圧の最大値は V_{DD} 電圧レベルとなります。

●直流特性(3/5)

(特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$, $AV_{DD}=2.2\sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim +70^{\circ}C$,
P Version の場合 $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路	
				Min.	Typ.	Max.			
BLD 判定電圧	V _{BLD}	V _{DD} =1.35~3.6V	LD3~0=0H	Typ. -2%	1.35	Typ. +2%	V	1	
					LD3~0=1H				1.4
					LD3~0=2H				1.45
					LD3~0=3H				1.5
					LD3~0=4H				1.6
					LD3~0=5H				1.7
					LD3~0=6H				1.8
					LD3~0=7H				1.9
					LD3~0=8H				2.0
					LD3~0=9H				2.1
					LD3~0=0AH				2.2
					LD3~0=0BH				2.3
					LD3~0=0CH				2.4
					LD3~0=0DH				2.5
					LD3~0=0EH				2.7
					LD3~0=0FH				2.9
BLD 判定電圧 温度偏差	ΔV _{BLD}	V _{DD} =1.35~3.6V		—	0	—	%/℃		
消費電流 1	IDD1	CPU が STOP 状態 低速/高速 RC500kHz 発振停止	Ta= 25℃	—	0.15	0.5	μA	1	
			*5	—	—	2.5			
消費電流 2	IDD2	CPU が HALT 状態（LTBC,WDT 動作, 低速発振停止検出禁止*3*4）、高速 RC500kHz 発振停止、LCD BIAS 回路停止	Ta= 25℃	—	0.5	1.3	μA		
			*5	—	—	3.5			
消費電流 3	IDD3	CPU が HALT 状態（LTBC,WDT 動作, 低速発振停止検出禁止*3）、高速 RC500kHz 発振停止、LCD BIAS 回路 動作中*2	Ta= 25℃	—	1.28	1.6	μA		
			*5	—	—	11			
消費電流 4	IDD4	CPU が 32.768kHz 動作状態*1*3、高速 RC500kHz 発振停止、LCD BIAS 回路 動作中*2	Ta= 25℃	—	5.5	7	μA		
			*5	—	—	12			
消費電流 5	IDD5	CPU が RC500kHz 動作状態 LCD BIAS 回路動作中*2	Ta= 25℃	—	80	90	μA		
			*5	—	—	100			
消費電流 6	IDD6	CPU が RC500kHz 動作状態*2 A/D 動作状態、LCD BIAS 回路動作中 *2、V _{DD} =AV _{DD} =3.0V	Ta= 25℃	—	0.4	0.5	mA		
			*5	—	—	0.6			

*1: CPU 動作率 100%時 (HALT 状態なし)

*2: 全セグメントオフ波形、液晶パネル負荷なし、1/3 バイアス、1/3 デューティ、フレーム周波数約 64Hz、バイアス昇圧クロック 1/128LSCLK (256Hz)

*3: 32.768KHz 水晶振動子 C-001R (エプソントヨコム株式会社) を使用 ($C_{GL}/C_{DL}=0pF$)

*4: BLKCON0~BLKCON4 の有効ビット全て“1”。

*5: 推奨動作温度範囲 (-P 版: $T_a=-40\sim +85^{\circ}C$, P 無し版: $T_a=-20\sim +70^{\circ}C$)

●直流特性(4/5)

(特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$, $AV_{DD}=2.2\sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim +70^{\circ}C$,
P Version の場合 $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
出力電圧 1 (P20~P22/2 次機能選択時) (P30~P36) (P40~P47) (PA0~PA7)* ¹	VOH1	IOH1=-0.5mA, $V_{DD}=1.8\sim 3.6V$	$V_{DD}-0.5$	—	—	V	2
		IOH1=-0.1mA, $V_{DD}=1.3\sim 3.6V$	$V_{DD}-0.3$	—	—		
		IOH1=-0.03mA, $V_{DD}=1.1\sim 3.6V$	$V_{DD}-0.3$	—	—		
	VOL1	IOL1=+0.5mA, $V_{DD}=1.8\sim 3.6V$	—	—	0.5		
		IOL1=+0.1mA, $V_{DD}=1.3\sim 3.6V$	—	—	0.5		
		IOL1=+0.03mA, $V_{DD}=1.1\sim 3.6V$	—	—	0.3		
出力電圧 2 (P20~P22/2 次機能未選択時)	VOH2	IOH1=-0.5mA, $V_{DD}=1.8\sim 3.6V$	$V_{DD}-0.5$	—	—		
		IOH1=-0.1mA, $V_{DD}=1.3\sim 3.6V$	$V_{DD}-0.3$	—	—		
		IOH1=-0.03mA, $V_{DD}=1.1\sim 3.6V$	$V_{DD}-0.3$	—	—		
	VOL2	IOL2=+5mA, $V_{DD}=1.8\sim 3.6V$	—	—	0.5		
出力電圧 3 (P40~P41)	VOL3	IOL3=+3mA, $V_{DD}=2.0\sim 3.6V$ (I ² C モード選択時)	—	—	0.4		
出力電圧 4 (COM0~3) (SEG0~35)* ¹ (SEG0~43)* ²	VOH4	IOH4=-0.2mA, $V_L=1.2V$	$V_{L3}-0.2$	—	—		
	VOMH4	IOMH4=+0.2mA, $V_L=1.2V$	—	—	$V_{L2}+0.2$		
	VOM4S	IOM4S=-0.2mA, $V_L=1.2V$	$V_{L2}-0.2$	—	—		
	VOML4	IOML4=+0.2mA, $V_L=1.2V$	—	—	$V_{L1}+0.2$		
	VOML4S	IOML4S=-0.2mA, $V_L=1.2V$	$V_{L1}-0.2$	—	—		
	VOL4	IOL4=+0.2mA, $V_L=1.2V$	—	—	0.2		
出力リーク (P20~P22) (P30~P35) (P40~P47) (PA0~PA7)* ¹	IOOH	VOH= V_{DD} (ハイインピーダンス時)	—	—	1	μA	3
	IOOL	VOL= V_{SS} (ハイインピーダンス時)	-1	—	—		
入力電流 1 (RESET_N)	IIH1	$V_{IH1}=V_{DD}$		0	—	μA	4
	IIL1	$V_{IL1}=V_{SS}$	$V_{DD}=1.3\sim 3.6V$	-600	-300		
			$V_{DD}=1.1\sim 3.6V$	-600	-300		
	IIH1	$V_{IH1}=V_{DD}$	$V_{DD}=1.3\sim 3.6V$	10	300		
			$V_{DD}=1.1\sim 3.6V$	2	300		
入力電流 1 (TEST)	IIL1	$V_{IL1}=V_{SS}$		-1	—		
	IIH2	$V_{IH2}=V_{DD}$ (プルダウン時)	$V_{DD}=1.3\sim 3.6V$	0.2	30		
			$V_{DD}=1.1\sim 3.6V$	0.01	30		
	IIL2	$V_{IL2}=V_{SS}$ (プルアップ時)	$V_{DD}=1.3\sim 3.6V$	-200	-30		
			$V_{DD}=1.1\sim 3.6V$	-200	-30		
	IIH2Z	$V_{IH2}=V_{DD}$ (ハイインピーダンス時)		—	—		
	IIL2Z	$V_{IL2}=V_{SS}$ (ハイインピーダンス時)		-1	—		

*¹: ML610Q411*²: ML610Q412

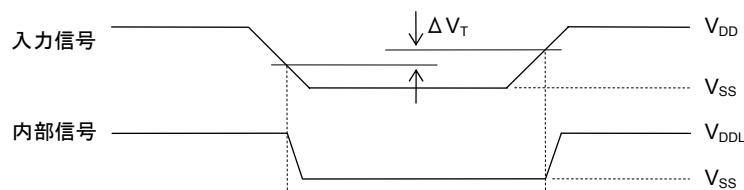
●直流特性(5/5)

(特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$, $AV_{DD}=2.2\sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim +70^{\circ}C$,
P Version の場合 $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (TEST) (NMI) (P00~P03) (P10~P11) (P31~P35) (P40~P47) (PA0~PA7)* ¹	VIH1	$V_{DD}=1.3\sim 3.6V$	$0.7 \times V_{DD}$	—	V_{DD}	V	5
		$V_{DD}=1.1\sim 3.6V$	$0.7 \times V_{DD}$	—	V_{DD}		
	VIL1	$V_{DD}=1.3\sim 3.6V$	0	—	$0.3 \times V_{DD}$		
		$V_{DD}=1.1\sim 3.6V$	0	—	$0.2 \times V_{DD}$		
ヒステリシス幅 (RESET_N) (TEST) (NMI) (P00~P03) (P10~P11) (P31~P35) (P40~P43) (P45~P47) (PA0~PA7)* ¹	ΔVT	$V_{DD}=2.0\sim 3.6V$	$0.05 \times V_{DD}$	$0.18 \times V_{DD}$	$0.4 \times V_{DD}$	V	5
		$V_{DD}=1.1\sim 3.6V$	$0.02 \times V_{DD}$	$0.18 \times V_{DD}$	$0.4 \times V_{DD}$		
入力電圧 2 (P30, P44)	VIH2	—	$0.7 \times V_{DD}$	—	V_{DD}	V	5
	VIL2	—	0	—	$0.3 \times V_{DD}$		
入力端子容量 (NMI) (P00~P03) (P10~P11) (P30~P35) (P40~P47) (PA0~PA7)* ¹	CIN	$f=10kHz$ $V_{rms}=50mV$ $T_a=25^{\circ}C$	—	—	5	pF	—

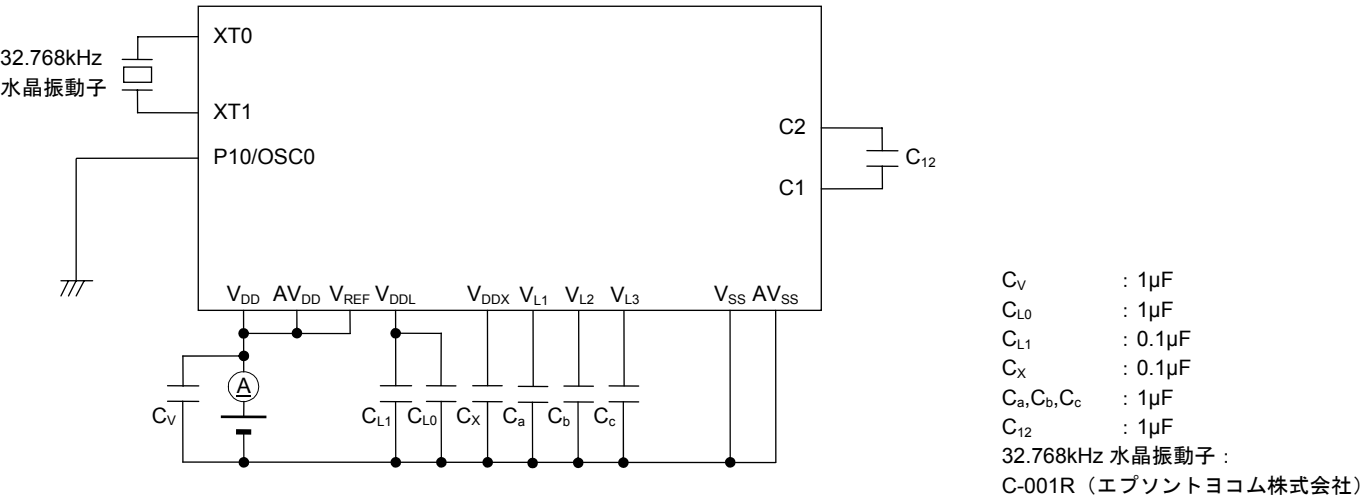
*¹: ML610Q411

●ヒステリシス幅

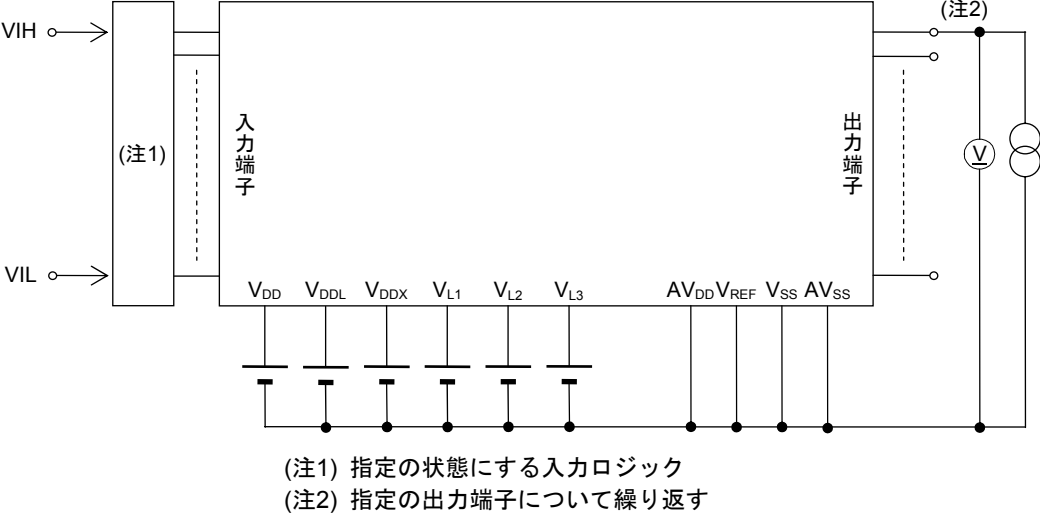


●測定回路

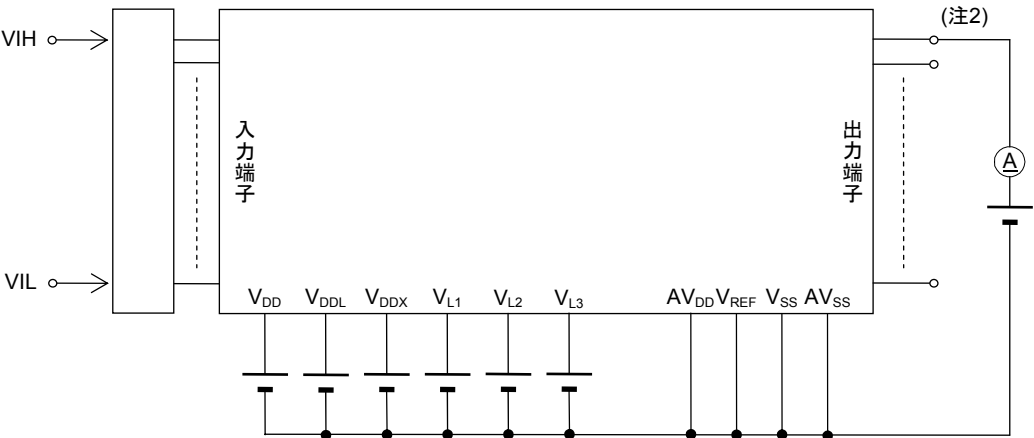
測定回路 1



測定回路 2

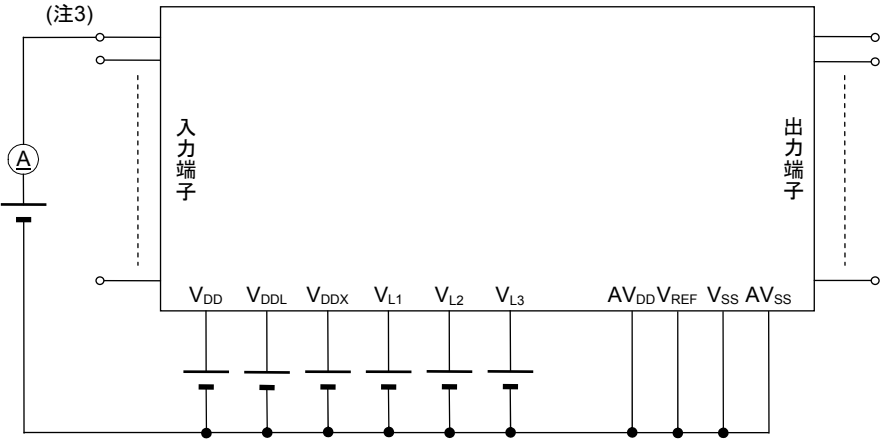


測定回路 3



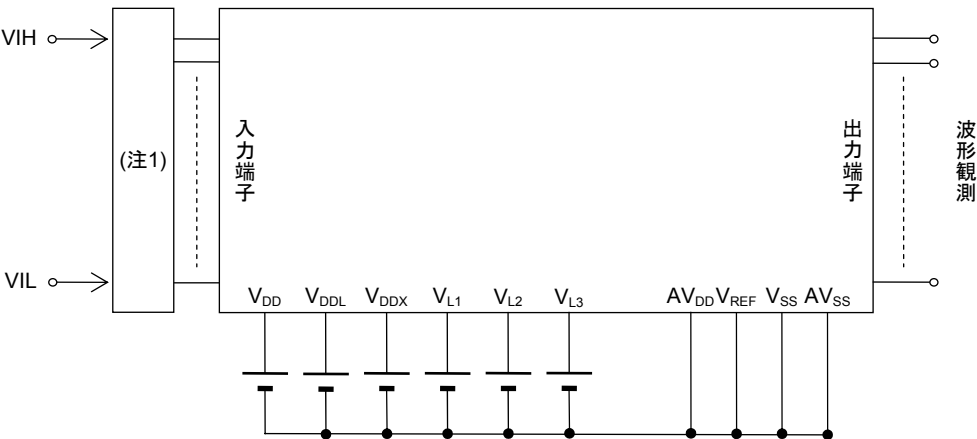
(注1) 指定の状態にする入力ロジック
(注2) 指定の出力端子について繰り返す

測定回路 4



(注3) 指定の入力端子について繰り返す

測定回路 5

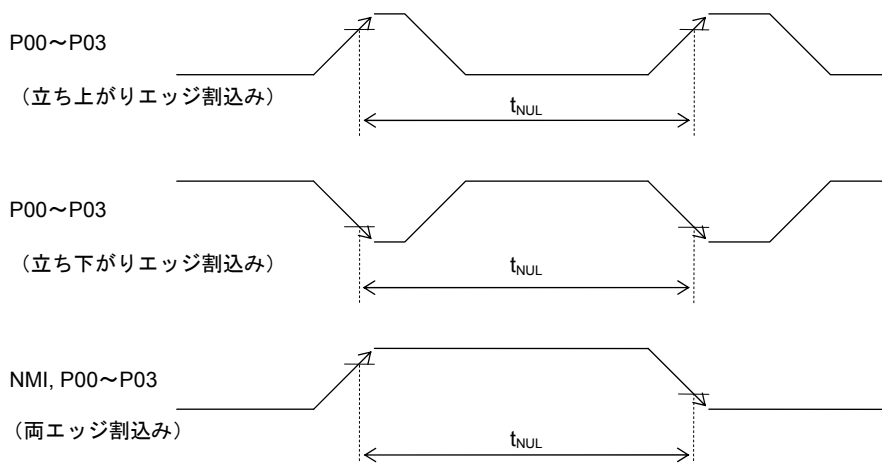


(注1) 指定の状態にする入力ロジック

●交流特性（外部割込み）

（特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$, $AV_{DD}=2.2\sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim +70^{\circ}C$,
P Version の場合 $T_a=-40\sim +85^{\circ}C$ ）

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
外部割込み無効期間	T_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作 システムクロック:32.768kHz	76.8	—	106.8	μs

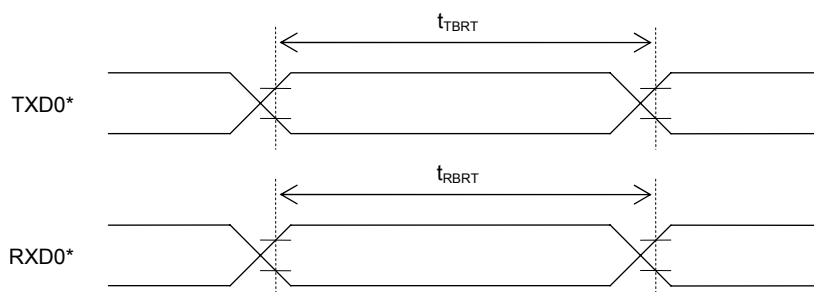


●交流特性（シリアルポート）

（特に指定のない場合は、 $V_{DD}=1.3\sim 3.6V$, $AV_{DD}=2.2\sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim +70^{\circ}C$,
P Version の場合 $T_a=-40\sim +85^{\circ}C$ ）

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
送信ボーレート	t_{TBRT}	—	—	BRT^{*1}	—	s
受信ボーレート	t_{RBRT}	—	BRT^{*1} -3%	BRT^{*1}	BRT^{*1} +3%	s

*1: シリアルポートボーレートレジスタ (SIOBRTL,H)、シリアルポートモードレジスタ 0 (SIOMOD0)で設定されたボーレートの周期（選択されたクロック周波数誤差含む）



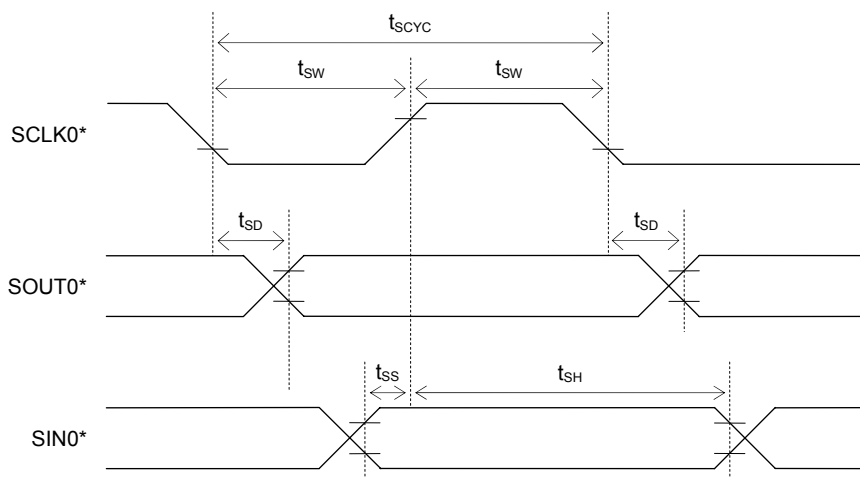
*: ポートの 2 次機能を示す。

●交流特性（同期式シリアルポート）

（特に指定のない場合は、 $V_{DD}=1.3\sim 3.6V$, $AV_{DD}=2.2\sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim +70^{\circ}C$,
P Version の場合 $T_a=-40\sim +85^{\circ}C$ ）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル （スレーブモード）	t_{SCYC}	高速発振停止時	10	—	—	μs
		高速発振時 ($V_{DD}=1.8\sim 3.6V$)	1	—	—	μs
SCLK 出力サイクル （マスタモード）	t_{SCYC}	—	—	$SCLK^{*1}$	—	s
SCLK 入力パルス幅 （スレーブモード）	t_{SW}	高速発振停止時	4	—	—	μs
		高速発振時 ($V_{DD}=1.8\sim 3.6V$)	0.4	—	—	μs
SCLK 出力パルス幅 （マスタモード）	t_{SW}	—	$SCLK^{*1}$ $\times 0.4$	$SCLK^{*1}$ $\times 0.5$	$SCLK^{*1}$ $\times 0.6$	s
SOUT 出力遅延時間 （スレーブモード）	t_{SD}	—	—	—	500	ns
SOUT 出力遅延時間 （マスタモード）	t_{SD}	—	—	—	500	ns
SIN 入力 セットアップ時間 （スレーブモード）	t_{SS}	—	80	—	—	ns
SIN 入力 セットアップ時間 （マスタモード）	t_{SS}	—	500	—	—	ns
SIN 入力 ホールド時間	t_{SH}	—	300	—	—	ns

*1：シリアルポート 0 モードレジスタ（SIO0MOD1）の S0CK3～0 により選択されたクロック周期

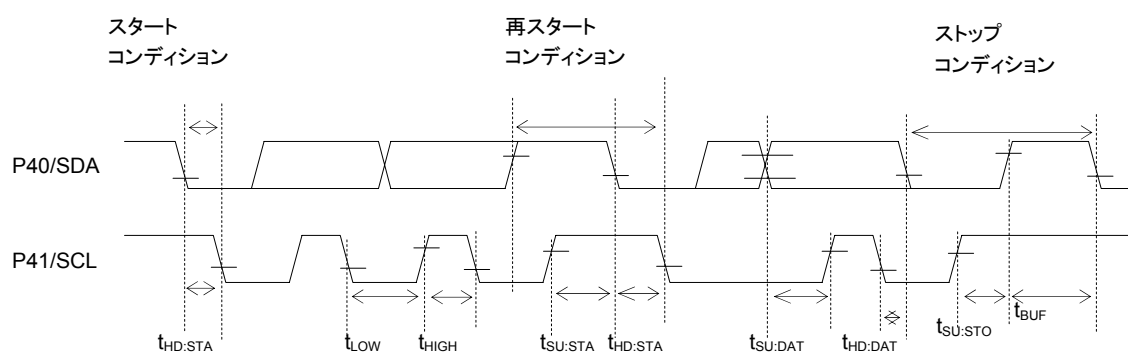


*: ポートの 2 次機能を示す。

● 交流特性 (I²C バスインタフェース：標準モード)

(特に指定のない場合は、V_{DD}=1.8~3.6V, AV_{DD}=2.2~3.6V, V_{SS}=AV_{SS}=0V, Ta=-20~+70°C,
P Version の場合 Ta= -40~+85°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	—	50	—	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	t _{HD:STA}	—	4.0	—	—	μs
SCL "L" レベル時間	t _{LOW}	—	4.7	—	—	μs
SCL "H" レベル時間	t _{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	4.7	—	—	μs
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	μs
SDA セットアップ時間	t _{SU:DAT}	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	4.0	—	—	μs
バスフリー時間	t _{BUF}	—	4.7	—	—	μs



●交流特性(RC 発振方式 A/D コンバータ)

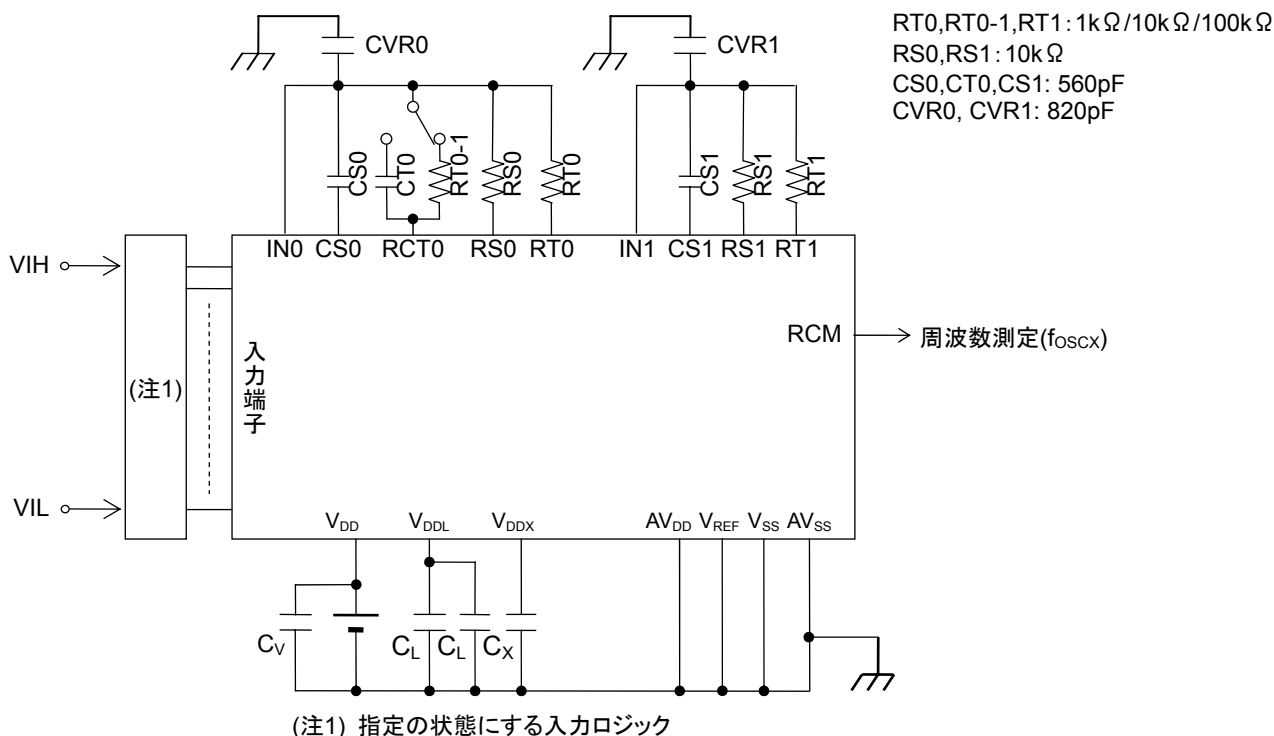
(特に指定のない場合は、 $V_{DD}=1.3\sim 3.6V$, $AV_{DD}=2.2\sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim +70^{\circ}C$,
P Version の場合 $T_a=-40\sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
発振用抵抗	RS0, RS1, RT0-1, RT1	CS0, CT0, CS1 $\geq 740pF$	1	—	—	k Ω
発振周波数 VDD = 1.5V	f _{OSC1}	発振用抵抗=1k Ω	209.4	330.6	435.1	kHz
	f _{OSC2}	発振用抵抗=10k Ω	41.29	55.27	64.16	kHz
	f _{OSC3}	発振用抵抗=100k Ω	4.71	5.97	7.06	kHz
RS・RT 発振周波数比*1 VDD = 1.5V	Kf1	RT0, RT0-1, RT1=1kHz	5.567	5.982	6.225	—
	Kf2	RT0, RT0-1, RT1=10kHz	0.99	1	1.01	—
	Kf3	RT0, RT0-1, RT1=100kHz	0.104	0.108	0.118	—
発振周波数 VDD = 3.0V	f _{OSC1}	発振用抵抗=1k Ω	407.3	486.7	594.6	kHz
	f _{OSC2}	発振用抵抗=10k Ω	49.76	59.28	72.76	kHz
	f _{OSC3}	発振用抵抗=100k Ω	5.04	5.993	7.04	kHz
RS・RT 発振周波数比*1 VDD = 3.0V	Kf1	RT0, RT0-1, RT1=1kHz	8.006	8.210	8.416	—
	Kf2	RT0, RT0-1, RT1=10kHz	0.99	1	1.01	—
	Kf3	RT0, RT0-1, RT1=100kHz	0.100	0.108	0.115	—

*1: Kfx は、同一条件におけるセンサ抵抗による発振周波数と基準抵抗による発振周波数の比

$$Kfx = \frac{f_{OSCx}(RT0-1-CS0 \text{ 発振})}{f_{OSCx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{OSCx}(RT0-1-CS0 \text{ 発振})}{f_{OSCx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{OSCx}(RT1-CS1 \text{ 発振})}{f_{OSCx}(RS1-CS1 \text{ 発振})}$$

(x = 1, 2, 3)



【注意】

・共通ノード(各外付けコンデンサや抵抗から IN0/IN1 端子に接続される配線パターン)は、CTR0/CTR1 を含めて LSI から最短になるようレイアウトしてください。特に IN0 と RS0、IN1 と RS1 間の長い配線は避けて下さい。配線間のカップリング容量で A/D 変換が誤動作する可能性があります。また、共通ノードの周辺にノイズ源となるような信号は配線しないでください。

・RT0/RT1 など(サーミスタなど)が配置場所の制限によって配線の引き回しが必要な信号は VSS (GND) 線でガードしてください。

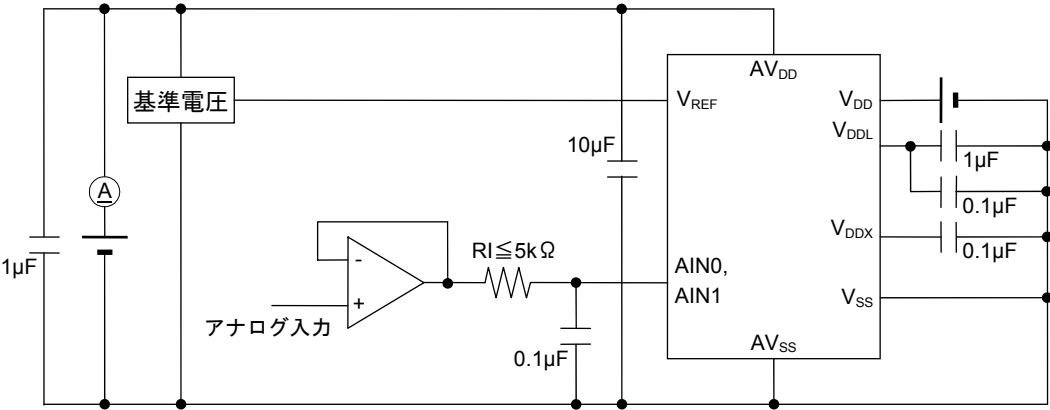
・目的の測定に必要な素子(コンデンサや抵抗など)のみ配線して下さい。予備の素子などを配線している場合、その素子からのノイズで A/D 変換動作に影響を与える可能性があります。

●逐次比較型 A/D コンバータの電気的特性
(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$, $AV_{DD}=2.2\sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $Ta=-20\sim +70^{\circ}C$,
P Version の場合 $Ta=-40\sim +85^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	—	12	bit
積分非直線性誤差	IDL	$2.7V \leq V_{REF} \leq 3.6V$	-4	—	+4	LSB
		$2.2V \leq V_{REF} \leq 2.7V$	-6	—	+6	
微分非直線性誤差	DNL	$2.7V \leq V_{REF} \leq 3.6V$	-3	—	+3	
		$2.2V \leq V_{REF} \leq 2.7V$	-5	—	+5	
ゼロスケール誤差	V_{OFF}	—	-6	—	+6	V
フルスケール誤差	FSE	—	-6	—	+6	
リファレンス電圧	V_{REF}	—	2.2	—	AV_{DD}	V
変換時間	t_{CONV}	—	—	23 * ¹	—	φ/CH

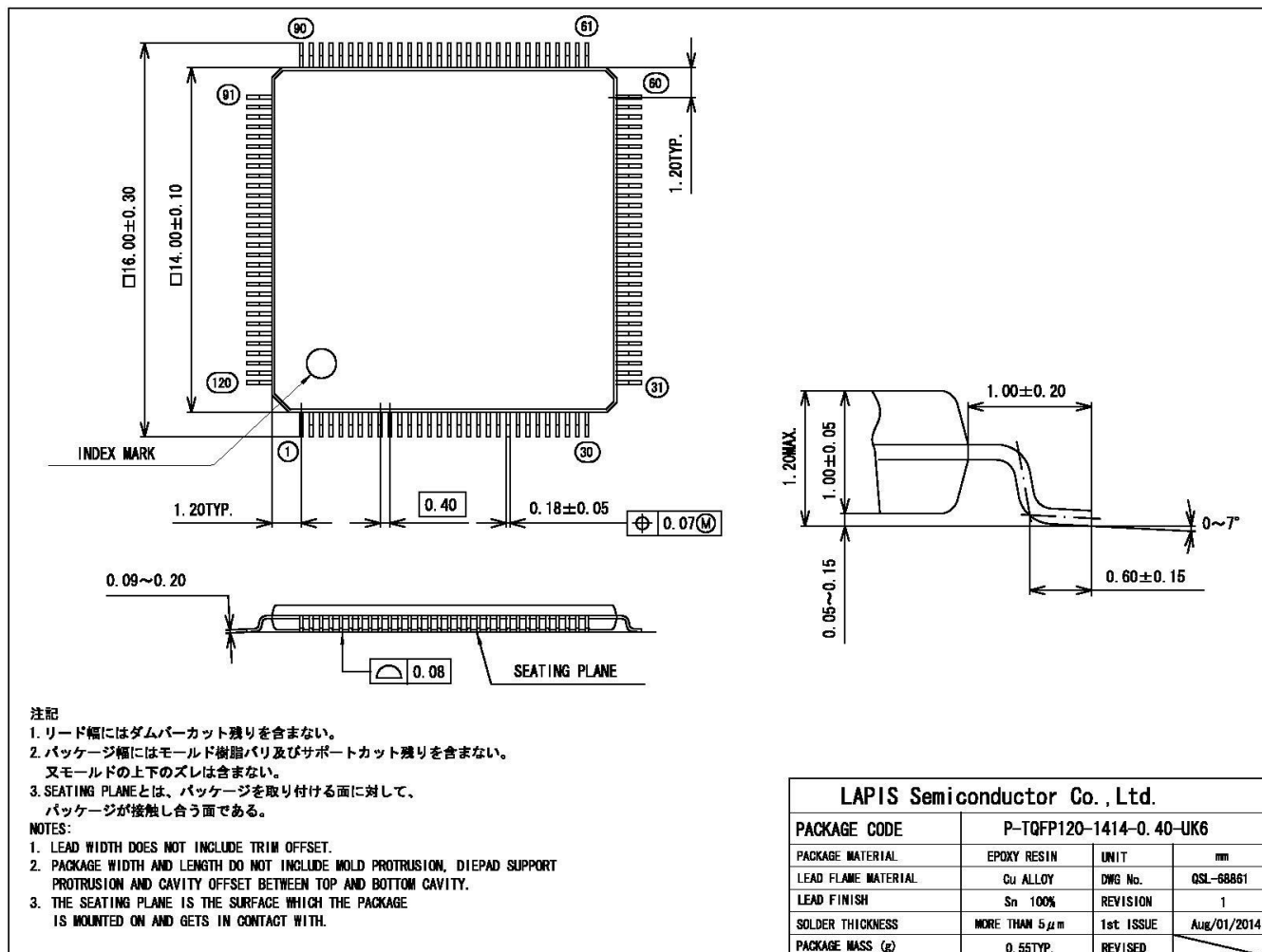
φ：高速クロック(HSCLK)の周期

*¹ 連続変換する場合、各変換間のインターバル時間として変換毎に2φ/CH 必要になります



■ パッケージ外形図

(单位: mm)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q411-01	2010.07.17	—	—	正式初版発行
FJDL610Q411-02	2011.03.23	3,4,21	3,4,21	ML610Q411PC について説明追加
		33	33	パッケージ外形図を差換え(サイズ、材質等の内容に変更はありません)
FJDL610Q411-03	2015.04.15	全項	全項	ヘッダおよびフッタの変更
		1~3	1~3	ML610Q415 および ML610Q411PC を削除
		5	5	
		7	7	
		9	9	
		11	11	
		15	15	
		16	16	
		18~21 23~26	18~21 23~26	
		4	5	「出荷形態」を「商品名 - 機能一覧」に変更
		—	20	発振回路動作条件を追記
		21	21	「リセット」の項目を「リセットパルス幅(P _{RST})」の項目と「パワーオンリセット発生電源立ち上がり時間(T _{POR})」の項目に変更
		35	35	ご注意の修正
FJDL610Q411-04	2015.07.13	13	13	PAD No.の誤記修正。 誤:36→正:35、誤:37→正:36

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
・輸送機器(車載、船舶、鉄道など)、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2010 – 2015 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>