

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML610Q419/ML610Q419C

LCD ドライバ内蔵 8bit マイクロコントローラ

■ 概要

本 LSI は、8 ビット CPU nX-U8/100 を搭載し、同期式シリアルポート、UART、I2C バスインタフェース(マスタ)、メロデイドライバ、電源電圧検出回路、RC 発振型 A/D コンバータ、および LCD ドライバ等、多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。

CPU nX-U8/100 は、3 段パイプラインアーキテクチャによる並列処置をすることで 1 命令 1 クロックの効率的な命令実行が可能です。また、マスク ROM 同等の低電圧、低消費電力動作(読み出し時)を実現したフラッシュ ROM を搭載しており、携帯機器などの電池駆動アプリケーションに最適です。

さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

■ 特長

- CPU
 - RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)
 - 命令体系:16 ビット長命令
 - 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
 - オンチップデバッグ機能を内蔵
 - 最小命令実行時間
 - 30.5 μ s (@32.768kHz システムクロック)
 - 0.244 μ s (@4.096MHz システムクロック)
- 内部メモリ
 - 64K バイトのフラッシュ ROM (32K \times 16 ビット) を内蔵 (使用不可のテスト領域 1K バイト含む)
 - 4K バイトのデータ FLASH (2K \times 16 ビット) を内蔵
 - 2K バイトの RAM (2048 \times 8 ビット) と 240 \times 9 ビットの表示割付 RAM を内蔵
- 割込みコントローラ
 - ノンマスカブル割込み 1 要因 (内部要因:1)
 - マスカブル割込み 21 要因 (内部要因:16、外部要因:5)
- タイムベースカウンタ
 - 低速側タイムベースカウンタ \times 1ch
 - 周波数補正機能 (補正可能範囲:-488 \sim +488ppm、補正精度:約 0.48ppm)
 - 高速側タイムベースカウンタ \times 1ch
- ウォッチドッグタイマ
 - ノンマスカブル割り込み、およびリセット
 - フリーラン
 - オーバフロー周期選択可能:4 種 (125ms, 500ms, 2s, 8s)
- タイマ
 - 8 ビット \times 4ch (16bit 構成も可能)
 - クロック周波数測定機能モード (タイマ 2-3 を使用した 16bit 構成 1ch のみ)
- キャプチャ
 - タイムベースキャプチャ \times 2ch (4096Hz \sim 32Hz)
- PWM
 - 分解能 16 ビット \times 1ch

- 同期式シリアルポート
 - マスタ/スレーブ選択可能×2ch
 - LSB/MSB ファースト選択可能
 - 8ビット/16ビット長選択可能
- UART
 - TXD/RXD×1ch
 - ビット長、パリティ有無、奇数/偶数パリティ、1/2 ストップビット
 - 正/負論理選択可
 - ボーレートジェネレータ内蔵
- I²C バスインタフェース
 - マスタ機能のみ
 - ファーストモード(400kbps@4MHz)、標準モード(100kbps@4MHz, 50kbps@500kHz)
- メロディドライバ
 - 音階:29 種(メロディ音周波数:508Hz～32.768kHz)
 - 音長:63 種
 - テンポ:15 種
 - ブザー出力モード(出力モード 4 種、周波数 8 種、デューティ変更 16 レベル)
- RC 発振型 A/D コンバータ
 - 24 ビットカウンタ
 - 時分割 2ch 方式
- 逐次比較型 A/D コンバータ
 - 12 ビット A/D コンバータ
 - 入力 4ch
- 汎用ポート
 - 入力専用ポート×6ch(2 次機能含む)
 - 出力専用ポート×3ch(2 次機能含む)
 - 入出力ポート
 - ML610Q419 :18ch(2 次機能含む)
 - ML610Q419C :26ch(2 次機能含む)
- LCD ドライバ
 - ドットマトリックス対応可
 - ML610Q419 :最大 192 ドット(48seg×4com)
 - ML610Q419C :最大 160 ドット(40seg×4com)
 - 1/1～1/4 デューティ
 - 1/2, 1/3 バイアス(バイアス発生回路内蔵)
 - フレーム周波数選択(約 64Hz, 約 73Hz, 約 85Hz, 約 102Hz)
 - バイアス昇圧クロック選択(8 種類)
 - LCD 停止、LCD 表示、全点灯、全消灯モード選択
 - プログラマブル表示割り付け機能

- リセット
 - RESET_N 端子リセット
 - パワーオン検出リセット
 - 低電圧検出リセット
 - 判定電圧はコードオプションにより 1.1V/1.8V (Max.) を選択可能
 - 発振停止検出リセット
 - ソフトウェアにより禁止/許可選択可能
 - WDT オーバーフローによるリセット
- 電源電圧検出機能
 - 判定電圧: 16 値から 1 つを選択
 - 判定精度: $\pm 2\%$ (Typ.)
- クロック
 - 低速側クロック (本 LSI は低速クロックが供給されない条件での動作は保証できません)
 - 水晶発振 (32.768kHz)
 - 高速側クロック
 - 内蔵 RC 発振 (500k)
 - 内蔵 PLL 発振 (8.192MHz $\pm 2.5\%$)、水晶/セラミック発振 (4.096MHz)、外部クロック
 - ソフトウェアによる高速クロックモードの選択:
 - 内蔵 RC 発振、内蔵 PLL 発振、水晶/セラミック発振、外部クロック
- パワーマネジメント
 - HALT モード: CPU の命令実行中断 (周辺回路は動作状態)
 - STOP モード: 低速発振、および高速発振の停止 (CPU および周辺回路は動作を停止)
 - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/1、1/2、1/4、1/8)
 - ブロック制御機能: 使わない機能ブロック回路の動作をパワーダウン (レジスタリセット & クロック停止)
- 動作保証範囲
 - 動作温度: $-20^{\circ}\text{C} \sim 70^{\circ}\text{C}$
 - 動作電圧: $V_{\text{DD}} = 1.1\text{V} \sim 3.6\text{V}$

- 商品名 — 機能一覧 —
ML610Q419 のラインアップは以下です。

- チップ(Die) -	ROM 種別	動作保証温度	LCD ドライバ	備考
ML610Q419-xxxWA	フラッシュ ROM	-20°C to +70°C	最大 192 ドット (48seg×4com)	-
ML610Q419C-xxxWA	フラッシュ ROM	-20°C to +70°C	最大 160 ドット (40seg×4com)	-

- 100Pin プラスチック TQFP	ROM 種別	動作保証温度	LCD ドライバ	備考
ML610Q419-xxxTB	フラッシュ ROM	-20°C to +70°C	最大 192 ドット (48seg×4com)	-
ML610Q419C-xxxTB	フラッシュ ROM	-20°C to +70°C	最大 160 ドット (40seg×4com)	-

xxx:ROM コード番号 (ブランク品の場合、xxx は NNN)

Q:フラッシュ ROM 品

WA:チップ品

TB:TQFP

■ ブロック図

● 図 1 に、ML610Q419 のブロック図を示します。

“*”は各ポートの 2 次機能もしくは 3 次機能です。

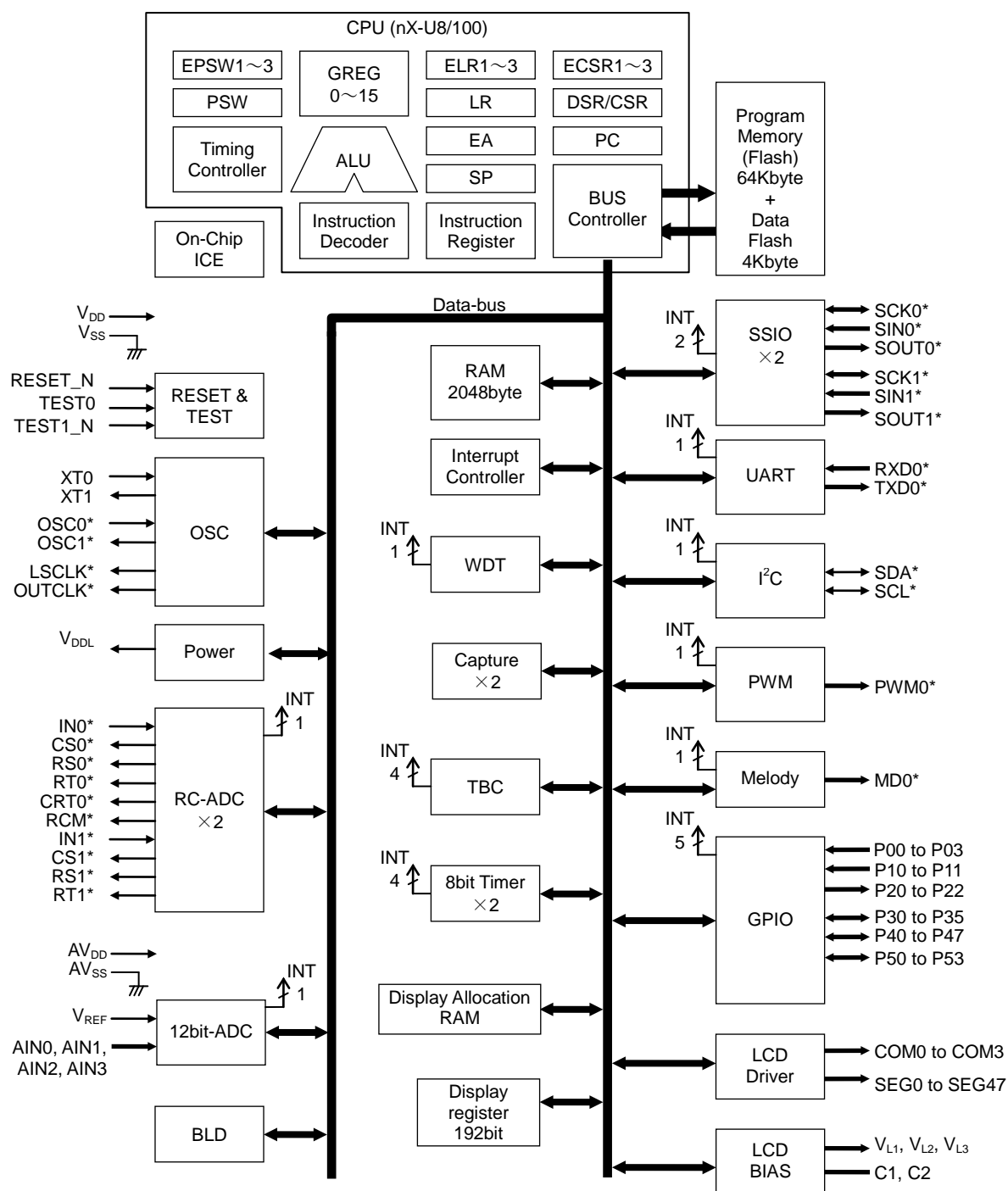


図 1 ML610Q419 ブロック図

● 図 2 に、ML610Q419C のブロック図を示します。

“*”は各ポートの 2 次機能もしくは 3 次機能です。

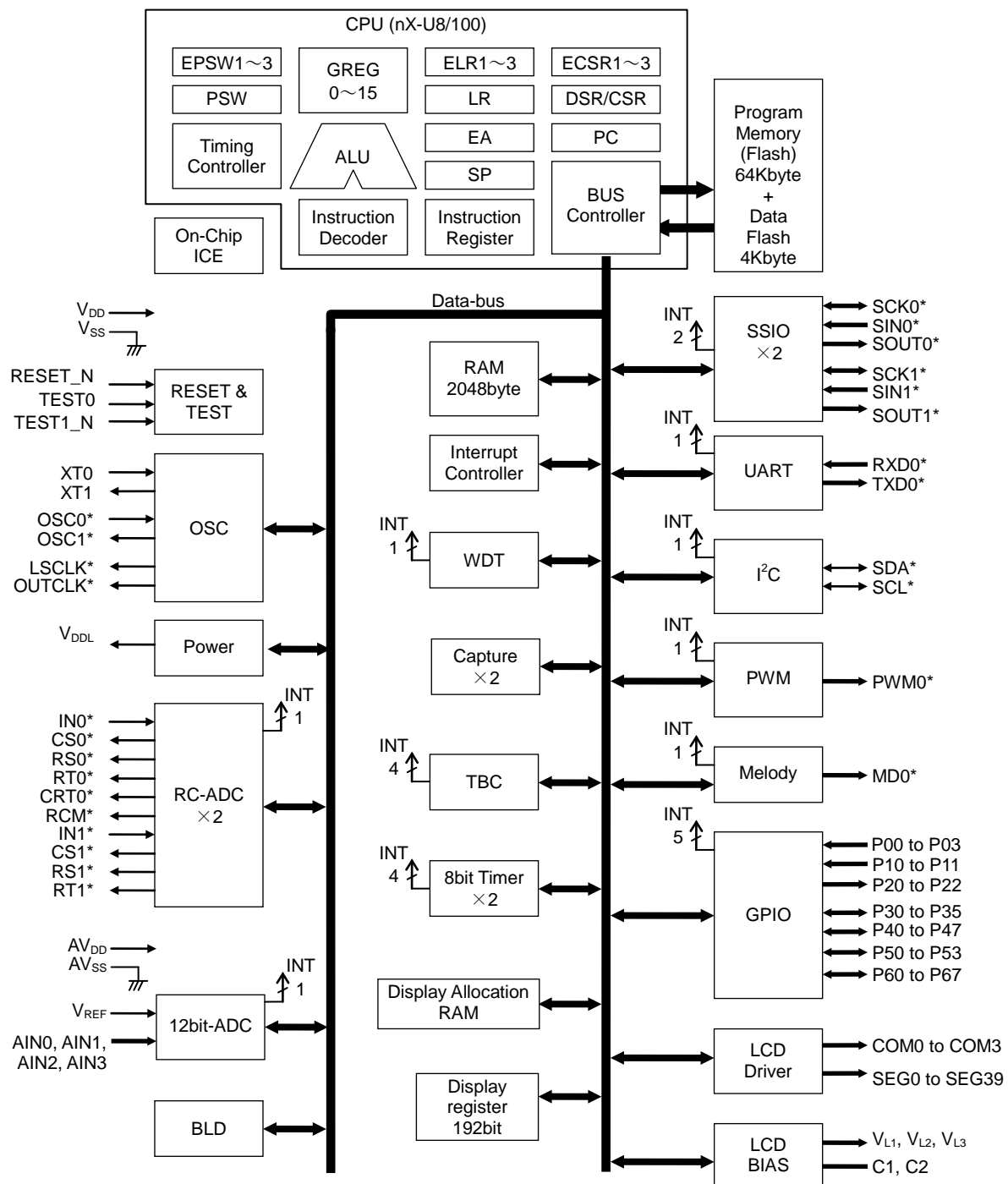
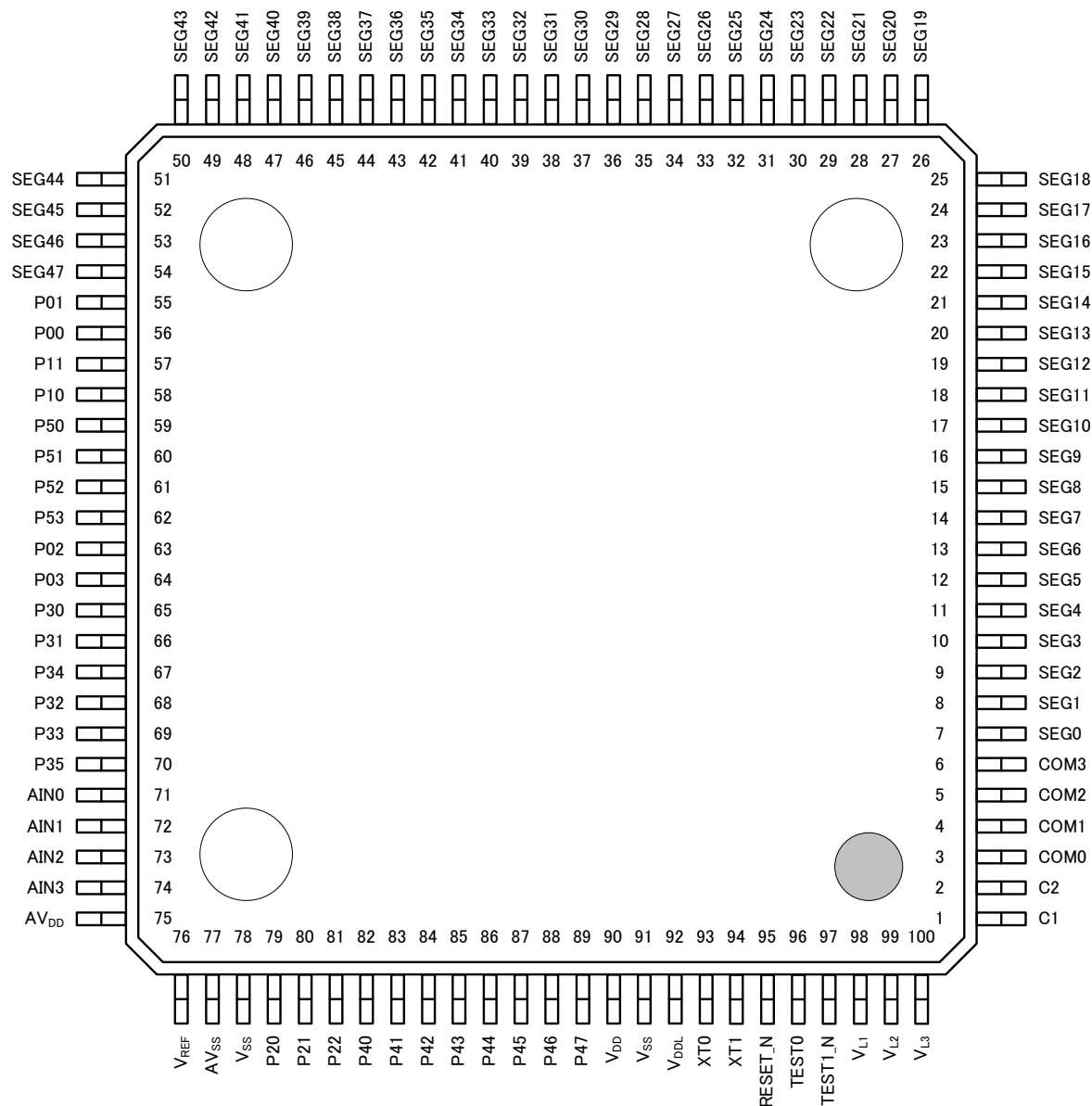


図 2 ML610Q419C ブロック図

■ 端子配置

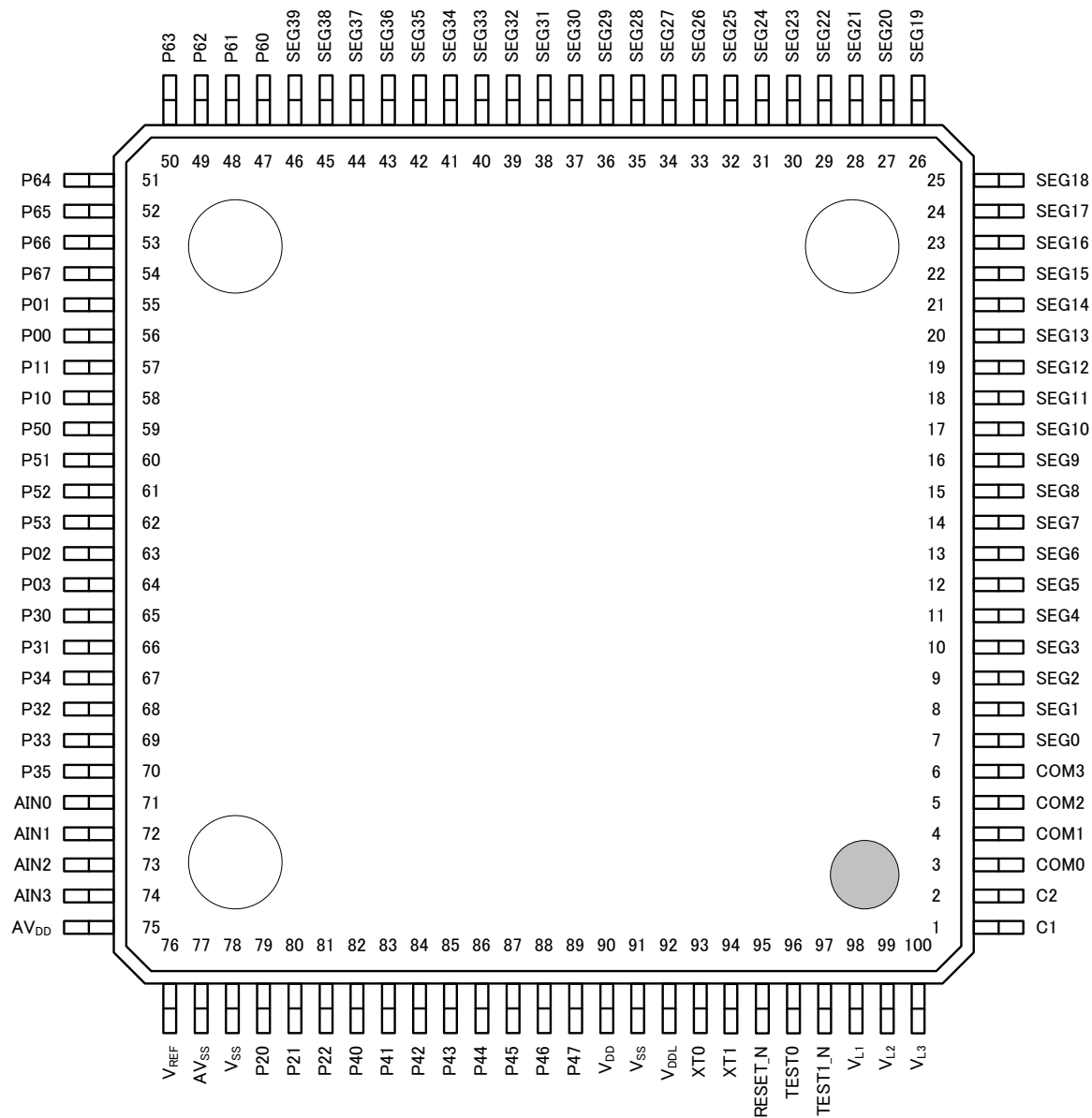
● 図 3 に、ML610Q419 の TQFP パッケージ端子配置図を示します。



(NC): No Connection

図 3 ML610Q419 TQFP パッケージの端子配置図

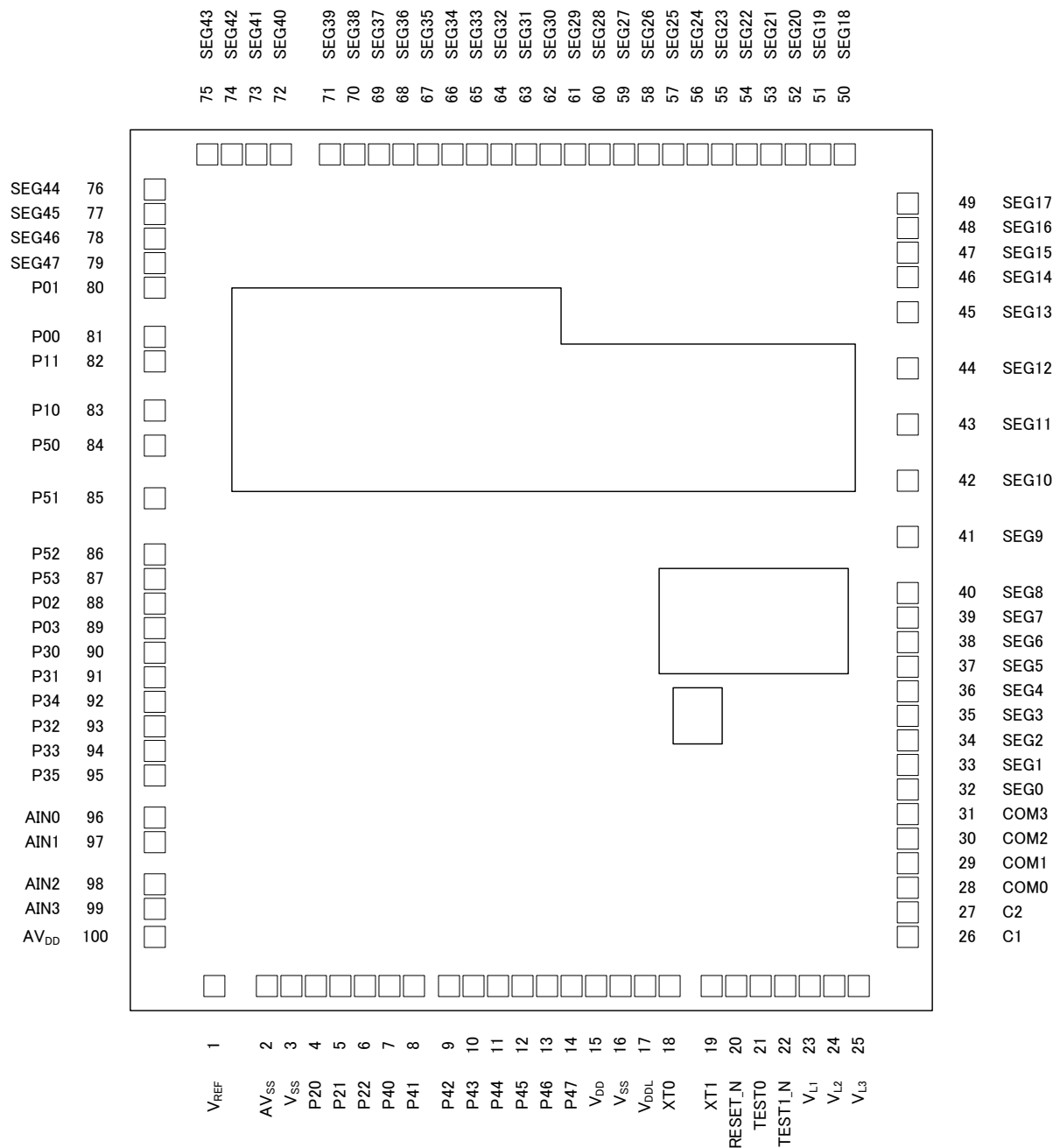
● 図 4 に、ML610Q419C の TQFP パッケージ端子配置図を示します。



(NC): No Connection

図 4 ML610Q419C TQFP パッケージの端子配置図

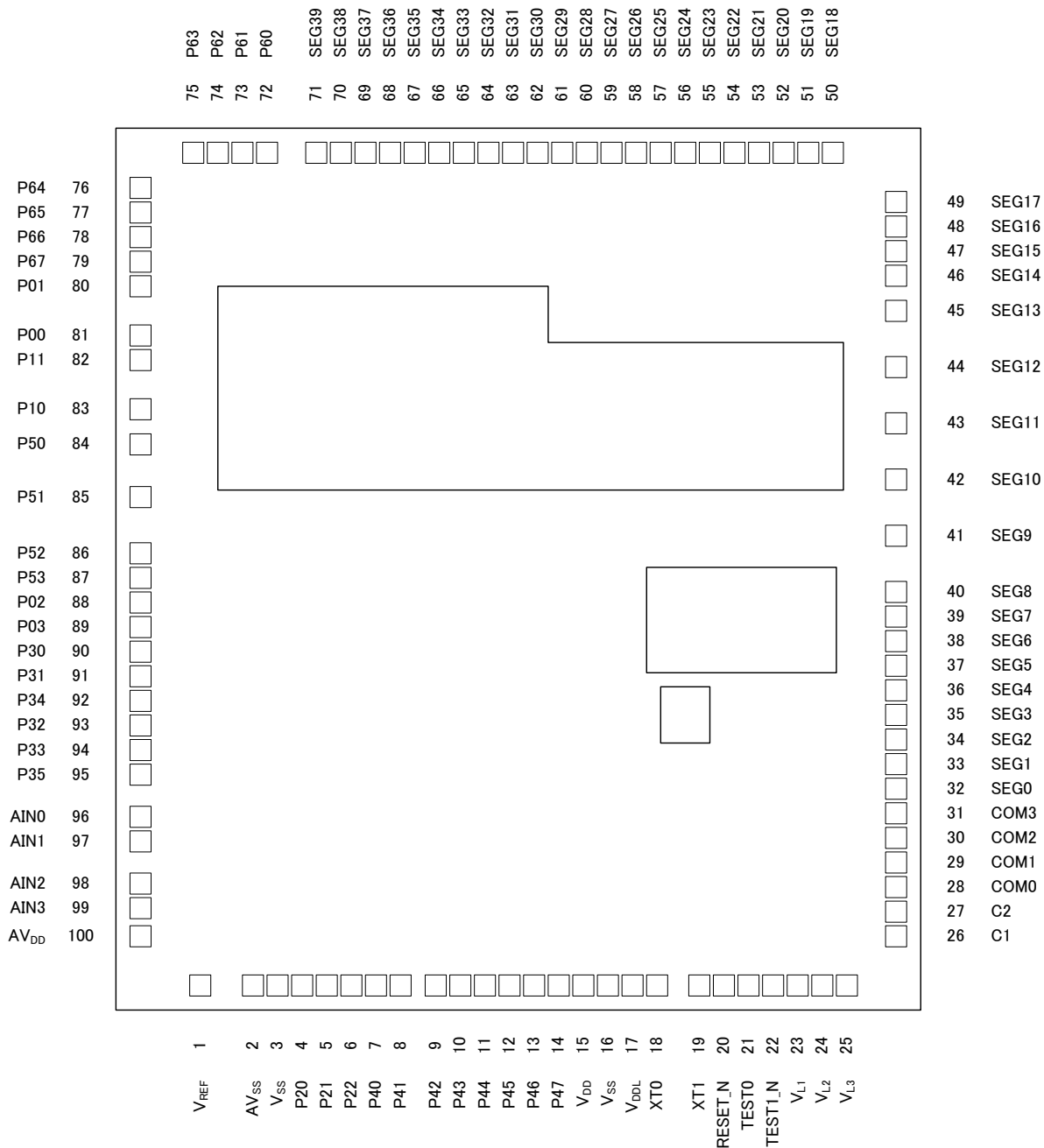
● 図 5 に、ML610Q419 のチップ端子配置図を示します。



チップサイズ: 2.64mm×3.20mm
PAD 数: 100 ピン
最小 PAD ピッチ: 80μm
PAD 開口部: 70μm×70μm
チップ厚: 350μm
チップ裏面の電圧は、V_{SS} レベルになっています。

図 5 ML610Q419 チップ端子配置図

● 図 6 に、ML610Q419C のチップ端子配置図を示します。



チップサイズ: 2.64mm×3.20mm
PAD 数: 100 ピン
最小 PAD ピッチ: 80um
PAD 開口部: 70um×70um
チップ厚: 350um
チップ裏面の電圧は、V_{SS}レベルになっています。

図 6 ML610Q419C チップ端子配置図

- 表 1 に ML610Q419 のチップ品 PAD 座標を示します。

表 1 ML610Q419 チップ品 PAD 座標

Chip Center: X=0,Y=0

PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)
1	V _{ref}	-1020.0	-1494.0	36	SEG4	1214.0	-525.0	71	SEG39	-620.0	1494.0
2	AV _{SS}	-860.0	-1494.0	37	SEG5	1214.0	-445.0	72	SEG40	-730.0	1494.0
3	V _{SS}	-780.0	-1494.0	38	SEG6	1214.0	-365.0	73	SEG41	-810.0	1494.0
4	P20	-700.0	-1494.0	39	SEG7	1214.0	-285.0	74	SEG42	-890.0	1494.0
5	P21	-620.0	-1494.0	40	SEG8	1214.0	-205.0	75	SEG43	-970.0	1494.0
6	P22	-540.0	-1494.0	41	SEG9	1214.0	52.0	76	SEG44	-1214.0	1380.0
7	P40	-460.0	-1494.0	42	SEG10	1214.0	258.0	77	SEG45	-1214.0	1300.0
8	P41	-380.0	-1494.0	43	SEG11	1214.0	464.0	78	SEG46	-1214.0	1220.0
9	P42	-280.0	-1494.0	44	SEG12	1214.0	670.0	79	SEG47	-1214.0	1140.0
10	P43	-200.0	-1494.0	45	SEG13	1214.0	876.0	80	P01	-1214.0	1040.0
11	P44	-120.0	-1494.0	46	SEG14	1214.0	1015.0	81	P00	-1214.0	850.0
12	P45	-40.0	-1494.0	47	SEG15	1214.0	1095.0	82	P11	-1214.0	760.0
13	P46	40.0	-1494.0	48	SEG16	1214.0	1175.0	83	P10	-1214.0	600.0
14	P47	120.0	-1494.0	49	SEG17	1214.0	1255.0	84	P50	-1214.0	476.0
15	V _{DD}	204.0	-1494.0	50	SEG18	1060.0	1494.0	85	P51	-1214.0	270.0
16	V _{SS}	284.0	-1494.0	51	SEG19	980.0	1494.0	86	P52	-1214.0	28.0
17	V _{DDL}	364.0	-1494.0	52	SEG20	900.0	1494.0	87	P53	-1214.0	-52.0
18	XT0	452.0	-1494.0	53	SEG21	820.0	1494.0	88	P02	-1214.0	-132.0
19	XT1	612.0	-1494.0	54	SEG22	740.0	1494.0	89	P03	-1214.0	-212.0
20	RESET_N	692.0	-1494.0	55	SEG23	660.0	1494.0	90	P30	-1214.0	-292.0
21	TEST0	772.0	-1494.0	56	SEG24	580.0	1494.0	91	P31	-1214.0	-372.0
22	TEST1_N	852.0	-1494.0	57	SEG25	500.0	1494.0	92	P34	-1214.0	-452.0
23	V _{L1}	932.0	-1494.0	58	SEG26	420.0	1494.0	93	P32	-1214.0	-532.0
24	V _{L2}	1012.0	-1494.0	59	SEG27	340.0	1494.0	94	P33	-1214.0	-612.0
25	V _{L3}	1092.0	-1494.0	60	SEG28	260.0	1494.0	95	P35	-1214.0	-692.0
26	C1	1214.0	-1325.0	61	SEG29	180.0	1494.0	96	AIN0	-1214.0	-833.0
27	C2	1214.0	-1245.0	62	SEG30	100.0	1494.0	97	AIN1	-1214.0	-913.0
28	COM0	1214.0	-1165.0	63	SEG31	20.0	1494.0	98	AIN02	-1214.0	-1085.0
29	COM1	1214.0	-1085.0	64	SEG32	-60.0	1494.0	99	AIN03	-1214.0	-1165.0
30	COM2	1214.0	-1005.0	65	SEG33	-140.0	1494.0	100	AV _{DD}	-1214.0	-1291.0
31	COM3	1214.0	-925.0	66	SEG34	-220.0	1494.0				
32	SEG0	1214.0	-845.0	67	SEG35	-300.0	1494.0				
33	SEG1	1214.0	-765.0	68	SEG36	-380.0	1494.0				
34	SEG2	1214.0	-685.0	69	SEG37	-460.0	1494.0				
35	SEG3	1214.0	-605.0	70	SEG38	-540.0	1494.0				

● 表 2 に ML610Q419C のチップ品 PAD 座標を示します。

表 2 ML610Q419C チップ品 PAD 座標

Chip Center: X=0,Y=0

PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)
1	V _{ref}	-1020.0	-1494.0	36	SEG4	1214.0	-525.0	71	SEG39	-620.0	1494.0
2	AV _{SS}	-860.0	-1494.0	37	SEG5	1214.0	-445.0	72	P60	-730.0	1494.0
3	V _{SS}	-780.0	-1494.0	38	SEG6	1214.0	-365.0	73	P61	-810.0	1494.0
4	P20	-700.0	-1494.0	39	SEG7	1214.0	-285.0	74	P62	-890.0	1494.0
5	P21	-620.0	-1494.0	40	SEG8	1214.0	-205.0	75	P63	-970.0	1494.0
6	P22	-540.0	-1494.0	41	SEG9	1214.0	52.0	76	P64	-1214.0	1380.0
7	P40	-460.0	-1494.0	42	SEG10	1214.0	258.0	77	P65	-1214.0	1300.0
8	P41	-380.0	-1494.0	43	SEG11	1214.0	464.0	78	P66	-1214.0	1220.0
9	P42	-280.0	-1494.0	44	SEG12	1214.0	670.0	79	P67	-1214.0	1140.0
10	P43	-200.0	-1494.0	45	SEG13	1214.0	876.0	80	P01	-1214.0	1040.0
11	P44	-120.0	-1494.0	46	SEG14	1214.0	1015.0	81	P00	-1214.0	850.0
12	P45	-40.0	-1494.0	47	SEG15	1214.0	1095.0	82	P11	-1214.0	760.0
13	P46	40.0	-1494.0	48	SEG16	1214.0	1175.0	83	P10	-1214.0	600.0
14	P47	120.0	-1494.0	49	SEG17	1214.0	1255.0	84	P50	-1214.0	476.0
15	V _{DD}	204.0	-1494.0	50	SEG18	1060.0	1494.0	85	P51	-1214.0	270.0
16	V _{SS}	284.0	-1494.0	51	SEG19	980.0	1494.0	86	P52	-1214.0	28.0
17	V _{DDL}	364.0	-1494.0	52	SEG20	900.0	1494.0	87	P53	-1214.0	-52.0
18	XT0	452.0	-1494.0	53	SEG21	820.0	1494.0	88	P02	-1214.0	-132.0
19	XT1	612.0	-1494.0	54	SEG22	740.0	1494.0	89	P03	-1214.0	-212.0
20	RESET_N	692.0	-1494.0	55	SEG23	660.0	1494.0	90	P30	-1214.0	-292.0
21	TEST0	772.0	-1494.0	56	SEG24	580.0	1494.0	91	P31	-1214.0	-372.0
22	TEST1_N	852.0	-1494.0	57	SEG25	500.0	1494.0	92	P34	-1214.0	-452.0
23	V _{L1}	932.0	-1494.0	58	SEG26	420.0	1494.0	93	P32	-1214.0	-532.0
24	V _{L2}	1012.0	-1494.0	59	SEG27	340.0	1494.0	94	P33	-1214.0	-612.0
25	V _{L3}	1092.0	-1494.0	60	SEG28	260.0	1494.0	95	P35	-1214.0	-692.0
26	C1	1214.0	-1325.0	61	SEG29	180.0	1494.0	96	AIN0	-1214.0	-833.0
27	C2	1214.0	-1245.0	62	SEG30	100.0	1494.0	97	AIN1	-1214.0	-913.0
28	COM0	1214.0	-1165.0	63	SEG31	20.0	1494.0	98	AIN02	-1214.0	-1085.0
29	COM1	1214.0	-1085.0	64	SEG32	-60.0	1494.0	99	AIN03	-1214.0	-1165.0
30	COM2	1214.0	-1005.0	65	SEG33	-140.0	1494.0	100	AV _{DD}	-1214.0	-1291.0
31	COM3	1214.0	-925.0	66	SEG34	-220.0	1494.0				
32	SEG0	1214.0	-845.0	67	SEG35	-300.0	1494.0				
33	SEG1	1214.0	-765.0	68	SEG36	-380.0	1494.0				
34	SEG2	1214.0	-685.0	69	SEG37	-460.0	1494.0				
35	SEG3	1214.0	-605.0	70	SEG38	-540.0	1494.0				

■ 端子一覧

表 3 に端子一覧を示します。

I/O 欄の“—”は電源端子、“I”は入力端子、“O”は出力端子、“I/O”は入出力端子を示します。

表 3 端子一覧

PAD No.		1 次機能			2 次機能			3 次機能		
Q419	Q419C	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
3, 16	3, 16	V _{SS}	—	マイナス側電源端子	—	—	—	—	—	—
15	15	V _{DD}	—	プラス側電源端子	—	—	—	—	—	—
17	17	V _{DDL}	—	内部ロジック用電源端子 (内部発生)	—	—	—	—	—	—
2	2	AV _{SS}	—	逐次比較型 ADC 用マイナス側電源端子	—	—	—	—	—	—
100	100	AV _{DD}	—	逐次比較型 ADC 用プラス側電源端子	—	—	—	—	—	—
1	1	V _{REF}	—	逐次比較型 ADC 用リファレンス電源端子	—	—	—	—	—	—
96	96	AIN0	—	逐次比較型 ADC 入力	—	—	—	—	—	—
97	97	AIN1	—	逐次比較型 ADC 入力	—	—	—	—	—	—
98	98	AIN2	—	逐次比較型 ADC 入力	—	—	—	—	—	—
99	99	AIN3	—	逐次比較型 ADC 入力	—	—	—	—	—	—
23	23	V _{L1}	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
24	24	V _{L2}	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
25	25	V _{L3}	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
26	26	C1	—	LCD バイアス発生用コンデンサ接続端子	—	—	—	—	—	—
27	27	C2	—	LCD バイアス発生用コンデンサ接続端子	—	—	—	—	—	—
21	21	TEST0	I/O	テスト用入出力端子	—	—	—	—	—	—
22	22	TEST1_N	I	テスト用入力端子	—	—	—	—	—	—
20	20	RESET_N	I	リセット入力端子	—	—	—	—	—	—
18	18	XT0	I	低速クロック発振端子	—	—	—	—	—	—
19	19	XT1	O	低速クロック発振端子	—	—	—	—	—	—
81	81	P00/EXI0/CAP0	I	入力ポート、外部割込み、キャプチャ0入力	—	—	—	—	—	—
80	80	P01/EXI1/CAP1	I	入力ポート、外部割込み、キャプチャ1入力	—	—	—	—	—	—
88	88	P02/EXI2/RXD0	I	入力ポート、外部割込み、UART0 受信データ	—	—	—	—	—	—
89	89	P03/EXI3	I	入力ポート、外部割込み	—	—	—	—	—	—
83	83	P10	I	入力ポート	OSC0	I	高速発振	—	—	—
82	82	P11	I	入力ポート	OSC1	O	高速発振	—	—	—
4	4	P20/LED0	O	出力ポート	LSCLK	O	低速クロック出力	—	—	—
5	5	P21/LED1	O	出力ポート	OUTCLK	O	高速クロック出力	—	—	—
6	6	P22/LED2	O	出力ポート	MD0	O	メロディ0出力	—	—	—
90	90	P30	I/O	入出力ポート	IN0	I	RC 型 ADC0 発振入力端子	—	—	—
91	91	P31	I/O	入出力ポート	CS0	O	RC 型 ADC0 基準容量接続端子	—	—	—
93	93	P32	I/O	入出力ポート	RS0	O	RC 型 ADC0 基準抵抗接続端子	—	—	—

PAD No.		1 次機能			2 次機能			3 次機能		
Q419	Q419C	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
94	94	P33	I/O	入出力ポート	RT0	O	RC 型 ADC0 測定用抵抗センサ接続端子	—	—	—
92	92	P34	I/O	入出力ポート	RCT0	O	RC 型 ADC0 測定用抵抗/容量センサ接続端子	PWM0	O	PWM0 出力
95	95	P35	I/O	入出力ポート	RCM	O	RC 型 ADC 用発振モニタ	—	—	—
7	7	P40	I/O	入出力ポート	SDA	I/O	I ² C 用データ入出力	SIN0	I	SSIO0 データ入力
8	8	P41	I/O	入出力ポート	SCL	I/O	I ² C 用クロック入出力	SCK0	I/O	SSIO 同期クロック入出力
9	9	P42	I/O	入出力ポート	RXD0	I	UART データ入力	SOUT0	O	SSIO データ出力
10	10	P43	I/O	入出力ポート	TXD0	O	UART データ出力	PWM0	O	PWM0 出力
11	11	P44/T02P0CK	I/O	入出力ポート、タイマ 0/タイマ 2/PWM0 外部クロック入力	IN1	I	RC 型 ADC1 発振入力端子	SIN0	I	SSIO0 データ入力
12	12	P45/T13CK	I/O	入出力ポート、タイマ 1/タイマ 3 外部クロック入力	CS1	O	RC 型 ADC1 基準容量接続端子	SCK0	I/O	SSIO0 同期クロック入出力
13	13	P46	I/O	入出力ポート	RS1	O	RC 型 ADC1 基準抵抗接続端子	SOUT0	O	SSIO0 データ出力
14	14	P47	I/O	入出力ポート	RT1	O	RC 型 ADC1 測定用抵抗センサ接続端子	—	—	—
84	84	P50/EXI8	I/O	入出力ポート、外部割込み	MD0	O	メロディー0出力	SIN1	I	SSIO0 データ入力
85	85	P51/EXI8	I/O	入出力ポート、外部割込み	—	—	—	SCK1	I/O	SSIO1 同期クロック入出力
86	86	P52/EXI8	I/O	入出力ポート、外部割込み	—	—	—	SOUT1	O	SSIO1 データ出力
87	87	P53/EXI8	I/O	入出力ポート、外部割込み	—	—	—	—	—	—
28	28	COM0	O	LCD コモン端子	—	—	—	—	—	—
29	29	COM1	O	LCD コモン端子	—	—	—	—	—	—
30	30	COM2	O	LCD コモン端子	—	—	—	—	—	—
31	31	COM3	O	LCD コモン端子	—	—	—	—	—	—
32	32	SEG0	O	LCD セグメント端子	—	—	—	—	—	—
33	33	SEG1	O	LCD セグメント端子	—	—	—	—	—	—
34	34	SEG2	O	LCD セグメント端子	—	—	—	—	—	—
35	35	SEG3	O	LCD セグメント端子	—	—	—	—	—	—
36	36	SEG4	O	LCD セグメント端子	—	—	—	—	—	—
37	37	SEG5	O	LCD セグメント端子	—	—	—	—	—	—
38	38	SEG6	O	LCD セグメント端子	—	—	—	—	—	—
39	39	SEG7	O	LCD セグメント端子	—	—	—	—	—	—
40	40	SEG8	O	LCD セグメント端子	—	—	—	—	—	—
41	41	SEG9	O	LCD セグメント端子	—	—	—	—	—	—
42	42	SEG10	O	LCD セグメント端子	—	—	—	—	—	—
43	43	SEG11	O	LCD セグメント端子	—	—	—	—	—	—
44	44	SEG12	O	LCD セグメント端子	—	—	—	—	—	—
45	45	SEG13	O	LCD セグメント端子	—	—	—	—	—	—
46	46	SEG14	O	LCD セグメント端子	—	—	—	—	—	—
47	47	SEG15	O	LCD セグメント端子	—	—	—	—	—	—
48	48	SEG16	O	LCD セグメント端子	—	—	—	—	—	—
49	49	SEG17	O	LCD セグメント端子	—	—	—	—	—	—
50	50	SEG18	O	LCD セグメント端子	—	—	—	—	—	—
51	51	SEG19	O	LCD セグメント端子	—	—	—	—	—	—
52	52	SEG20	O	LCD セグメント端子	—	—	—	—	—	—
53	53	SEG21	O	LCD セグメント端子	—	—	—	—	—	—

PAD No.		1 次機能			2 次機能			3 次機能		
Q419	Q419C	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
54	54	SEG22	O	LCD セグメント端子	—	—	—	—	—	—
55	55	SEG23	O	LCD セグメント端子	—	—	—	—	—	—
56	56	SEG24	O	LCD セグメント端子	—	—	—	—	—	—
57	57	SEG25	O	LCD セグメント端子	—	—	—	—	—	—
58	58	SEG26	O	LCD セグメント端子	—	—	—	—	—	—
59	59	SEG27	O	LCD セグメント端子	—	—	—	—	—	—
60	60	SEG28	O	LCD セグメント端子	—	—	—	—	—	—
61	61	SEG29	O	LCD セグメント端子	—	—	—	—	—	—
62	62	SEG30	O	LCD セグメント端子	—	—	—	—	—	—
63	63	SEG31	O	LCD セグメント端子	—	—	—	—	—	—
64	64	SEG32	O	LCD セグメント端子	—	—	—	—	—	—
65	65	SEG33	O	LCD セグメント端子	—	—	—	—	—	—
66	66	SEG34	O	LCD セグメント端子	—	—	—	—	—	—
67	67	SEG35	O	LCD セグメント端子	—	—	—	—	—	—
68	68	SEG36	O	LCD セグメント端子	—	—	—	—	—	—
69	69	SEG37	O	LCD セグメント端子	—	—	—	—	—	—
70	70	SEG38	O	LCD セグメント端子	—	—	—	—	—	—
71	71	SEG39	O	LCD セグメント端子	—	—	—	—	—	—
72	—	SEG40	O	LCD セグメント端子	—	—	—	—	—	—
73	—	SEG41	O	LCD セグメント端子	—	—	—	—	—	—
74	—	SEG42	O	LCD セグメント端子	—	—	—	—	—	—
75	—	SEG43	O	LCD セグメント端子	—	—	—	—	—	—
76	—	SEG44	O	LCD セグメント端子	—	—	—	—	—	—
77	—	SEG45	O	LCD セグメント端子	—	—	—	—	—	—
78	—	SEG46	O	LCD セグメント端子	—	—	—	—	—	—
79	—	SEG47	O	LCD セグメント端子	—	—	—	—	—	—
—	72	P60	I/O	入出力ポート	—	—	—	—	—	—
—	73	P61	I/O	入出力ポート	—	—	—	—	—	—
—	74	P62	I/O	入出力ポート	—	—	—	—	—	—
—	75	P63	I/O	入出力ポート	—	—	—	—	—	—
—	76	P64	I/O	入出力ポート	—	—	—	—	—	—
—	77	P65	I/O	入出力ポート	—	—	—	—	—	—
—	78	P66	I/O	入出力ポート	—	—	—	—	—	—
—	79	P67	I/O	入出力ポート	—	—	—	—	—	—

■ 端子説明

表 4-1、4-2、4-3 に端子説明を示します。

I/O 欄の“—”は電源端子、“I”は入力端子、“O”は出力端子、“I/O”は入出力端子を示します。

表 4-1 端子説明

端子名	I/O	説明	1 次/ 2 次/ 3 次	論理
システム				
RESET_N	I	リセット入力端子です。この端子を“L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を“H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	—	負
XT0	I	低速クロック用水晶振動子接続端子です。	—	—
XT1	O	32.768kHz 水晶振動子(測定回路 1 参照)を接続し、必要に応じ VSS との間にコンデンサ CDL, CGL を接続します。	—	—
OSC0	I	高速クロック用水晶／セラミック振動子接続端子です。	2 次	—
OSC1	O	水晶振動子もしくはセラミック振動子を接続し(最大 4.1MHz)、VSS との間にコンデンサ CDH, CGH(測定回路 1 参照)を接続します。 P10 端子および P11 端子の 2 次機能に割り付けられています。	2 次	—
LSCLK	O	低速クロック出力です。P20 端子の 2 次機能に割り付けられています。	2 次	—
OUTCLK	O	高速クロック出力です。P21 端子の 2 次機能に割り付けられています。	2 次	—
汎用入力ポート				
P00-P03	I	汎用入力ポートです。 2 次機能として使用する場合は、汎用入力ポートとして使用できません。	1 次	正
P10-P11	I	汎用入力ポートです。 2 次機能として使用する場合は、汎用入力ポートとして使用できません。	1 次	正
汎用出力ポート				
P20-P22	O	汎用出力ポートです。 2 次機能として使用する場合は、汎用入力ポートとして使用できません。	1 次	正
汎用入出力ポート				
P30-P35	I/O	汎用入出力ポートです。 2 次機能として使用する場合は、汎用入力ポートとして使用できません。	1 次	正
P40-P47	I/O	汎用入出力ポートです。 2 次機能として使用する場合は、汎用入力ポートとして使用できません。	1 次	正
P50-P53	I/O	汎用入出力ポートです。 2 次機能として使用する場合は、汎用入力ポートとして使用できません。	1 次	正
P60-P67	I/O	汎用入出力ポートです。 ML610Q419C 用の機能です。ML610Q419 は使用できません。	1 次	正

表 4-2 端子説明

端子名	I/O	説明	1 次/ 2 次/ 3 次	論理
UART				
TXD0	O	UART0 データ出力端子です。P43 端子の 2 次機能に割り付けられています。	2 次	正
RXD0	I	UART0 データ入力端子です。P02 端子の 1 次機能および P42 の 2 次機能に割り付けられています。	1 次/ 2 次	正
I ² C バスインタフェース				
SDA	I/O	I ² C データ入出力用 NMOS オープンドレイン端子です。P40 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
SCL	O	I ² C クロック入出力用 NMOS オープンドレイン端子です。P41 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
同期シリアル(SSIO)				
SCK0	I/O	同期シリアルクロック入出力端子です。P41 端子および P45 端子の 3 次機能に割り付けられています。	3 次	—
SIN0	I	同期シリアルデータ入力端子です。P40 端子および P44 端子の 3 次機能に割り付けられています。	3 次	正
SOUT0	O	同期シリアルデータ出力端子です。P42 端子および P46 端子の 3 次機能に割り付けられています。	3 次	正
SCK1	I/O	同期シリアルクロック入出力端子です。P51 端子の 3 次機能に割り付けられています。	3 次	—
SIN1	I	同期シリアルデータ入力端子です。P50 端子の 3 次機能に割り付けられています。	3 次	正
SOUT1	O	同期シリアルデータ出力端子です。P52 端子の 3 次機能に割り付けられています。	3 次	正
PWM				
PWM0	O	PWM0 出力端子です。P34 端子および P43 端子の 3 次機能に割り付けられています。	3 次	正
T0P0CK	I	PWM0 外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
外部割込				
EXI0-3	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P00～P03 端子の 1 次機能に割り付けられています。	1 次	正/負
EXI8	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P50～P53 端子の 1 次機能に割り付けられています。	1 次	正/負
キャプチャ				
CAP0	I	キャプチャトリガ入力端子です。ソフトウェアで選択した割込みエッジに同期してタイムベースカウンタの値をレジスタに取込みます。P00(CAP0)端子, P01(CAP1)端子の 1 次機能に割り付けられています。	1 次	—
CAP1	I		1 次	—
タイマ				
T02P0CK	I	タイマ 0 およびタイマ 2 の外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
T13CK	I	タイマ 1 およびタイマ 3 の外部クロック入力端子です。P45 端子の 1 次機能に割り付けられています。	1 次	—
Melody				
MD0	O	メロディ／ブザー信号出力端子です。P22 端子の 2 次機能に割り付けられています。	2 次	正/負
LED 駆動				
LED0-2	O	LED 直接駆動が可能な Nch オープンドレイン端子です。	1 次	正/負

表 4-3 端子説明

端子名	I/O	説明	1 次/ 2 次/ 3 次	論理
RC 発振型 A/D コンバータ				
IN0	I	チャンネル 0 の発振入力端子です。P30 端子の 2 次機能に割り付けられています。	2 次	—
CS0	O	チャンネル 0 の基準容量接続端子です。P31 端子の 2 次機能に割り付けられています。	2 次	—
RS0	O	チャンネル 0 の基準抵抗接続端子です。P32 端子の 2 次機能に割り付けられています。	2 次	—
RT0	O	チャンネル 0 の測定用抵抗センサ接続端子です。P33 端子の 2 次機能に割り付けられています。	2 次	—
CRT0	O	チャンネル 0 の測定用抵抗／容量センサ)接続端子です。P34 端子の 2 次機能に割り付けられています。	2 次	—
RCM	O	RC 発振モニタ端子です。P35 端子の 2 次機能に割り付けられています。	2 次	—
IN1	I	チャンネル 1 の発振入力端子です。P44 端子の 2 次機能に割り付けられています。	2 次	—
CS1	O	チャンネル 1 の基準容量接続端子です。P45 端子の 2 次機能に割り付けられています。	2 次	—
RS1	O	チャンネル 1 の基準抵抗接続端子です。P46 端子の 2 次機能に割り付けられています。	2 次	—
RT1	O	チャンネル 1 の測定用抵抗センサ接続端子です。P47 端子の 2 次機能に割り付けられています。	2 次	—
逐次比較型 A/D コンバータ				
AV _{SS}	—	逐次比較型 A/D コンバータ用マイナス側電源端子です。	—	—
AV _{DD}	—	逐次比較型 A/D コンバータ用プラス側電源端子です。	—	—
V _{REF}	—	逐次比較型 A/D コンバータ用リファレンス電源端子です。	—	—
AIN0	O	逐次比較型 A/D コンバータ Ch0 アナログ入力です。	—	—
AIN1	O	逐次比較型 A/D コンバータ Ch1 アナログ入力です。	—	—
AIN2	O	逐次比較型 A/D コンバータ Ch2 アナログ入力です。	—	—
AIN3	O	逐次比較型 A/D コンバータ Ch3 アナログ入力です。	—	—
LCD 駆動信号				
COM0-3	O	コモン出力端子です。	—	—
SEG0-39	O	セグメント出力端子です。	—	—
SEG40-47	O	セグメント出力端子です。 ML610Q419 用の機能です。ML610Q419C は使用できません。	—	—
LCD ドライバ電源				
V _{L1}	—	LCD バイアス電源 (内部発生) 端子です。V _{SS} との間にそれぞれコンデンサ C _a , C _b , C _c (測定回路 1 参照) を接続します。	—	—
V _{L2}	—		—	—
V _{L3}	—		—	—
C1	—	LCD バイアス電源発生用コンデンサ接続端子です。C1-C2 間にコンデンサ C ₁₂ (測定回路 1 参照) を接続します。	—	—
C2	—		—	—
テスト用				
TEST0	I/O	テスト用入出力端子です。プルダウン抵抗が内蔵されています。	—	正
TEST1_N	I	テスト用入力端子です。プルアップ抵抗が内蔵されています。	—	負
電源				
V _{SS}	—	マイナス側電源端子です。	—	—
V _{DD}	—	プラス側電源端子です。	—	—
V _{DDL}	—	内部ロジック用プラス側電源 (内部発生) 端子です。V _{SS} との間にコンデンサ C _{L0} , C _{L1} (測定回路 1 参照) を接続します。	—	—

■ 未使用端子処理

表 5 に未使用端子の処理方法を示します。

表 5 未使用端子の処理

端子	推奨端子処理
AV _{DD}	V _{SS}
AV _{SS}	V _{SS}
V _{REF}	V _{SS}
AIN0, AIN1, AIN2, AIN3	オープン
V _{L1} , V _{L2} , V _{L3}	オープン
C1, C2	オープン
RESET_N	オープン
TEST0	オープン
TEST1_N	オープン
P00~P03	V _{DD} または V _{SS}
P10~P11	V _{DD}
P20~P22	オープン
P30~P35	オープン
P40~P47	オープン
P50~P53	オープン
P60~P67	オープン
COM0~3	オープン
SEG0~47	オープン

【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておく
と消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、
もしくは出力モードに設定することを推奨します。

■ ML610Q419 と ML610Q419C の主な差異点

機能	ML610Q419	ML610Q419C
LCD SEG	SEG47~SEG0	SEG39~SEG0
PORT6	—	P60~P67

■ 電気的特性

● 絶対最大定格

(V_{SS} = 0V)

項目	記号	条件	定格値	単位
電源電圧 1	V _{DD}	Ta = 25°C	-0.3~+4.6	V
電源電圧 2	AV _{DD}	Ta = 25°C	-0.3~+3.6	V
電源電圧 3	V _{DDL}	Ta = 25°C	-0.3~+3.6	V
電源電圧 4	V _{L1}	Ta = 25°C	-0.3~+1.75	V
電源電圧 5	V _{L2}	Ta = 25°C	-0.3~+3.5	V
電源電圧 6	V _{L3}	Ta = 25°C	-0.3~+5.25	V
入力電圧	V _{IN}	Ta = 25°C	-0.3~V _{DD} +0.3	V
出力電圧	V _{OUT}	Ta = 25°C	-0.3~V _{DD} +0.3	V
出力電流 1	I _{OUT1}	Port3~5、Ta = 25°C	-12~+11	mA
出力電流 2	I _{OUT2}	Port2、Ta = 25°C	-12~+20	mA
許容損失	PD	Ta = 25°C	0.9	mW
保存温度	T _{STG}	—	-55~+150	°C

● 推奨動作条件

(V_{SS} = 0V)

項目	記号	条件	範囲	単位
動作温度	T _{OP}	—	-20~+70	°C
動作電圧	V _{DD}	f _{OP} = 30k~625kHz	1.1~3.6	V
		f _{OP} = 30k~4.2MHz	1.8~3.6	V
動作周波数 (CPU)	f _{OP}	VDD = 1.1~3.6V	30k~36k	Hz
		VDD = 1.3~3.6V	30k~650k	
		VDD = 1.8~3.6V	30k~4.2M	
	C _{GH}	—	24	
VDD 端子外付け容量	C _V	—	2.2±30%以上	μF
VDDL 端子外付け容量	C _{L0}	—	2.2±30%	μF
	C _{L1}	—	0.1±30%	
VL1,2,3 端子外付け容量	C _{a, b, c}	—	0.1±30%	μF
C1-C2 端子間 外付け容量	C ₁₂	—	0.47±30%	μF

● 発振回路動作条件

(V_{SS} = 0V)

項 目	記 号	条 件	規格値			単位
			Min.	Typ.	Max.	
低速水晶発振周波数	f _{XTL}	—	—	32.768k	—	Hz
推奨する低速水晶の 等価直列抵抗値	R _L	—	—	—	40k	Ω
低速水晶発振外付け容量	C _{DL} /C _{GL}	水晶振動子の C _L =3pF	—	6	—	pF
		水晶振動子の C _L =6pF	—	12	—	
		水晶振動子の C _L =9pF	—	18	—	
高速水晶/セラミック 発振周波数	f _{XTH}	—	—	4.0M / 4.096M	—	Hz
高速水晶発振 外付け容量	C _{DH}	—	—	24	—	pF
	C _{GH}	—	—	24	—	

● フラッシュメモリ動作条件

(V_{SS} = 0V)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
動作温度	T _{OP}	FLASH ROM: 書き込み／消去時	0	—	+40	°C
		データ FLASH: 書き込み／消去時	-40	—	+85	°C
動作電圧	V _{DD}	書き込み／消去時	1.8	—	3.6	V
書き換え回数	C _{EP}	FLASH ROM	—	—	100	回
		データ FLASH	—	—	10k	
データ保持年数	Y _{DR}	FLASH ROM	10	—		年
		データ FLASH、 1000 回	10	—		
チップ消去時間	t _{CERASE}	—		85	100	ms
ブロック消去時間	t _{BERASE}	—		85	100	ms
セクタ消去時間	t _{SERASE}	—		85	100	ms
1 ワード書き込み時間	t _{WRITE}	—		18	40	μs

● 直流特性(1/5)

(特に指定のない場合は、 $V_{DD} = 1.1 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^\circ C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
500kHz RC 発振周波数	f_{RC}	$V_{DD} = 1.3 \sim 3.6V$					
		$T_a = 25^\circ C$	Typ. -10%	500	Typ. +10%	kHz	
		$T_a = -20 \sim +70^\circ C$	Typ. -25%	500	Typ. +25%	kHz	
PLL 発振周波数*4	f_{PLL}	LSCLK = 32.768kHz $V_{DD} = 1.8 \sim 3.6V$	-2.5%	8.192	+2.5%	MHz	
低速水晶発振開始時間*2	T_{XTL}	—	—	0.3	2	s	
500kHz RC 発振開始時間	T_{RC}	—	—	50	500	μs	
高速水晶発振開始時間*3	T_{XTH}	$V_{DD} = 1.8 \sim 3.6V$	—	2	20	ms	
PLL 発振開始時間	T_{PLL}	$V_{DD} = 1.8 \sim 3.6V$	—	1	10		
低速発振停止検出時間*1	T_{STOP}	—	0.2	3	20		
リセットパルス幅	P_{RST}	—	200	—	—	μs	
リセットノイズ除去パルス幅	P_{NRST}	—	—	—	0.3		
パワーオンリセット発生電源立ち上がり時間	T_{POR}	—	—	—	10	ms	
低電圧判定リセット発生電圧	V_{LLR}	COLD0=0*5	—	—	1.1	V	
		COLD0=1*5	—	—	1.8		
低電圧判定リセット発生時間	T_{LLR}	—	200	—	—	μs	
低電圧判定リセット解除電圧	V_{RER}	COLD0=0*5	—	—	1.1	V	
		COLD0=1*5	—	—	1.8		

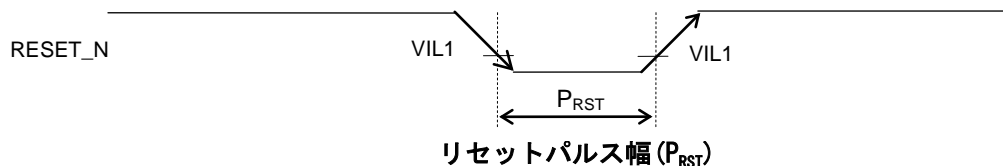
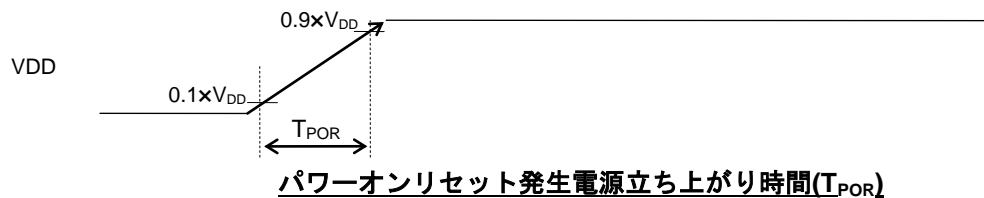
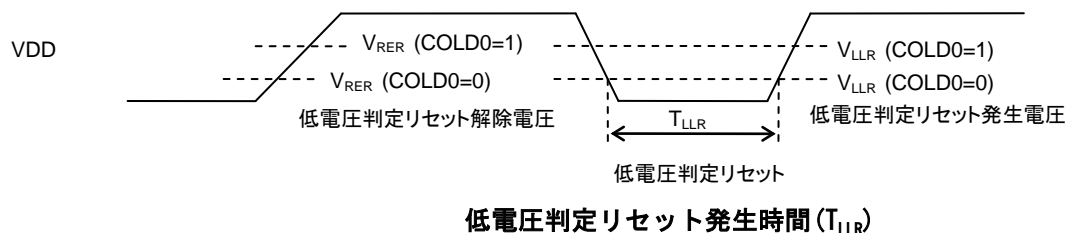
*1: 低速水晶発振が低速発振停止検出時間以上停止した場合、システムリセットモードになります。

*2: 32.768KHz 水晶振動子 DT-26(負荷容量 6pF)(株式会社 大真空)を使用($C_{GL}=C_{DL}=6pF$)。

*3: 4.096MHz 水晶振動子 CHC49SFWB(京セラ株式会社)を使用。

*4: 1024 クロックの平均値。

*5: COLD0ビットは FLASH ROM 内で設定するコードオプションです。

リセットパルス幅(P_{RST})パワーオンリセット発生電源立ち上がり時間(T_{POR})低電圧判定リセット発生時間(T_{LLR})

● 直流特性(2/5)

(特に指定のない場合は、 $V_{DD} = 1.1 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^\circ C$)

項目	記号	条件		規格値			単位	測定 回路
				Min.	Typ.	Max.		
V _{L1} 電圧	V _{L1}	V _{DD} = 3.0V, T _j = 25°C	CN4-0 = 00H	0.89	0.94	0.99	V	1
			CN4-0 = 01H	0.91	0.96	1.01		
			CN4-0 = 02H	0.93	0.98	1.03		
			CN4-0 = 03H	0.95	1.00	1.05		
			CN4-0 = 04H	0.97	1.02	1.07		
			CN4-0 = 05H	0.99	1.04	1.09		
			CN4-0 = 06H	1.01	1.06	1.11		
			CN4-0 = 07H	1.03	1.08	1.13		
			CN4-0 = 08H	1.05	1.10	1.15		
			CN4-0 = 09H	1.07	1.12	1.17		
			CN4-0 = 0AH	1.09	1.14	1.19		
			CN4-0 = 0BH	1.11	1.16	1.21		
			CN4-0 = 0CH	1.13	1.18	1.23		
			CN4-0 = 0DH	1.15	1.20	1.25		
			CN4-0 = 0EH	1.17	1.22	1.27		
			CN4-0 = 0FH	1.19	1.24	1.29		
			CN4-0 = 10H	1.21	1.26	1.31		
			CN4-0 = 11H	1.23	1.28	1.33		
			CN4-0 = 12H	1.25	1.30	1.35		
			CN4-0 = 13H	1.27	1.32	1.37		
			CN4-0 = 14H ^{*1}	1.29	1.34	1.39		
			CN4-0 = 15H ^{*1}	1.31	1.36	1.41		
			CN4-0 = 16H ^{*1}	1.33	1.38	1.43		
			CN4-0 = 17H ^{*1}	1.35	1.40	1.45		
			CN4-0 = 18H ^{*1}	1.37	1.42	1.47		
			CN4-0 = 19H ^{*1}	1.39	1.44	1.49		
			CN4-0 = 1AH ^{*1}	1.41	1.46	1.51		
			CN4-0 = 1BH ^{*1}	1.43	1.48	1.53		
			CN4-0 = 1CH ^{*1}	1.45	1.50	1.55		
			CN4-0 = 1DH ^{*1}	1.47	1.52	1.57		
			CN4-0 = 1EH ^{*1}	1.49	1.54	1.59		
			CN4-0 = 1FH ^{*1}	1.51	1.56	1.61		
V _{L1} 電圧偏差	Δ V _{L1}	V _{DD} = 3.0V		—	-1.5	—	mV/°C	
V _{L1} 電圧依存	Δ V _{L1}	V _{DD} = 1.3~3.6V		—	5	20	mV/V	
V _{L2} 電圧	V _{L2}	V _{DD} = 3.0V, T _j = 25°C, 負荷 300k Ω (V _{L3} －V _{SS})	1/2bias	—	V _{L1} × 1	—	V	
V _{L3} 電圧	V _{L3}		1/3bias	Typ. × 09	V _{L1} × 2	—		
			1/2bias	Typ. × 09	V _{L1} × 2	—		
			1/3bias	Typ. × 09	V _{L1} × 3	—		
LCD バイアス電圧 発生時間	T _{BIAS}	—		—	—	100	ms	

● 直流特性(3/5)

(特に指定のない場合は、 $V_{DD} = 1.1 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^\circ C$)

項目	記号	条件		規格値			単位	測定回路
				Min.	Typ.	Max.		
BLD 判定電圧	V_{BLD}	$V_{DD} = 1.35 \sim 3.6V$	LD2-0 = 0H	Typ. -2%	1.35	Typ. +2%	V	1
			LD2-0 = 1H		1.4			
			LD2-0 = 2H		1.45			
			LD2-0 = 3H		1.5			
			LD2-0 = 4H		1.6			
			LD2-0 = 5H		1.7			
			LD2-0 = 6H		1.8			
			LD2-0 = 7H		1.9			
			LD2-0 = 8H		2.0			
			LD2-0 = 9H		2.1			
			LD2-0 = 0AH		2.2			
			LD2-0 = 0BH		2.3			
			LD2-0 = 0CH		2.4			
			LD2-0 = 0DH		2.5			
			LD2-0 = 0EH		2.7			
			LD2-0 = 0FH		2.9			
BLD 判定電圧 温度偏差	ΔV_{BLD}	$V_{DD} = 1.35 \sim 3.6V$		—	0	—	%/ $^\circ C$	
消費電流 1	IDD1	CPU が STOP 状態 低速/高速発振停止	$T_a = 25^\circ C$	—	0.4	0.8	μA	
			$T_a = -20 \sim +70^\circ C$	—	—	8		
消費電流 2	IDD2	CPU が HALT 状態 (LTBC, WDT 動作 ^{*3*} 5)、 高速発振停止、LCD BIAS 回路 停止	$T_a = 25^\circ C$	—	0.9	1.8	μA	
			$T_a = -20 \sim +70^\circ C$	—	—	9		
消費電流 3	IDD3	CPU 32.768kHz 動作状態 ^{*1*} 3 、高速発振停止、LCD BIAS 回 路動作中 ^{*2}	$T_a = 25^\circ C$	—	5	8	μA	
			$T_a = -20 \sim +70^\circ C$	—	—	15		
消費電流 4	IDD4	CPU が 500kHz CR 動作状態 、LCD BIAS 回路動作中 ^{*2*} 3	$T_a = 25^\circ C$	—	80	100	μA	
			$T_a = -20 \sim +70^\circ C$	—	—	120		
消費電流 5	IDD5	CPU が 4.096MHz 動作状態 、PLL 発振状態 、LCD BIAS 回路動作中 ^{*2*} 3 $V_{DD} = 1.8 \sim 3.6V$	$T_a = 25^\circ C$	—	0.9	1.0	mA	
			$T_a = -20 \sim +70^\circ C$	—	—	1.2		
消費電流 6	IDD6	CPU が 4.096MHz 動作状態 、PLL 発振状態、AD 動作状態、 、LCD BIAS 回路動作中 ^{*2*} 3 $V_{DD} = AV_{DD} = 3.0V$	$T_a = 25^\circ C$	—	1.5	1.6	mA	
			$T_a = -20 \sim +70^\circ C$	—	—	2.5		

*1: CPU 動作率 100%時 (HALT 状態なし)

*2: 全セグメントオフ波形、液晶パネル負荷なし、1/3 バイアス、1/3 デューティ、フレーム周波数約 64Hz、バイアス昇圧クロック、1/128LSCLK (256Hz)

*3: 32.768KHz 水晶振動子 DT-26(負荷容量 6pF)(株式会社 大真空)を使用 ($C_{GL} = C_{DL} = 6pF$)。

*4: 4.096MHz 水晶振動子 CHC49SFWB (京セラ株式会社)を使用。

*5: BLKCON0~BLKCON4 の有効ビット全て“1”。

● 直流特性(4/5)

(特に指定のない場合は、 $V_{DD} = 1.1 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^\circ C$)

項目	記号	条件		規格値			単位	測定回路
				Min.	Typ.	Max.		
出力電圧 1 (P20-P22/2 次機能選択時) (P30-P35) (P40-P47) (P50-P53) (P60-P67) ^{*1}	VOH1	IOH1 = -0.5mA, $V_{DD} = 1.8 \sim 3.6V$		$V_{DD}-0.5$	—	—	V	2
		IOH1 = -0.1mA, $V_{DD} = 1.3 \sim 3.6V$		$V_{DD}-0.3$	—	—		
		IOH1 = -0.03mA, $V_{DD} = 1.1 \sim 3.6V$		$V_{DD}-0.3$	—	—		
	VOL1	IOL1 = +0.5mA, $V_{DD} = 1.8 \sim 3.6V$		—	—	0.5		
		IOL1 = +0.1mA, $V_{DD} = 1.3 \sim 3.6V$		—	—	0.5		
		IOL1 = +0.03mA, $V_{DD} = 1.1 \sim 3.6V$		—	—	0.3		
出力電圧 2 (P20-P22/2 次機能未選択時)	VOH2	IOH1 = -0.5mA, $V_{DD} = 1.8 \sim 3.6V$		$V_{DD}-0.5$	—	—	V	2
		IOH1 = -0.1mA, $V_{DD} = 1.3 \sim 3.6V$		$V_{DD}-0.3$	—	—		
		IOH1 = -0.03mA, $V_{DD} = 1.1 \sim 3.6V$		$V_{DD}-0.3$	—	—		
	VOL2	IOL2 = +5mA, $V_{DD} = 1.8 \sim 3.6V$		—	—	0.5		
出力電圧 3 (P40-P41)	VOL3	IOL3 = +3mA, $V_{DD} = 2.0$ to $3.6V$ (I ² C モード選択時)		—	—	0.4	V	2
出力電圧 4 (COM0-3) (SEG0-39) (SEG40-47) ^{*2}	VOH4	IOH4 = -0.05mA, $V_{L1}=1.2V$		$V_{L3}-0.2$	—	—		
	VOML4	IOMH4 = +0.05mA, $V_{L1}=1.2V$		—	—	$V_{L2}+0.2$		
	VOML4S	IOMH4S = -0.05mA, $V_{L1}=1.2V$		$V_{L2}-0.2$	—	—		
	VOLM4	IOML4 = +0.05mA, $V_{L1}=1.2V$		—	—	$V_{L1}+0.2$		
	VOLM4S	IOML4S = -0.05mA, $V_{L1}=1.2V$		$V_{L1}-0.2$	—	—		
	VOL4	IOL4 = +0.05mA, $V_{L1}=1.2V$		—	—	0.2		
出力リーク (P20-P22) (P30-P35) (P40-P47) (P50-P53) (P60-P67) ^{*1}	IOOH	$VOH = V_{DD}$ (ハイインピーダンス時)		—	—	1	μA	3
	IOOL	$VOL = V_{SS}$ (ハイインピーダンス時)		-1	—	—		
入力電流 1 (RESET_N) (TEST1_N)	IIH1	$VIH1 = V_{DD}$		0	—	1	μA	4
	IIL1	$VIL1 = V_{SS}$	$V_{DD} = 1.8 \sim 3.6V$	-600	-300	-20		
			$V_{DD} = 1.3 \sim 3.6V$	-600	-300	-10		
			$V_{DD} = 1.1 \sim 3.6V$	-600	-300	-2		
入力電流 1 (TEST0)	IIH1	$VIH1 = V_{DD}$	$V_{DD} = 1.8 \sim 3.6V$	20	300	600		
			$V_{DD} = 1.3 \sim 3.6V$	10	300	600		
			$V_{DD} = 1.1 \sim 3.6V$	2	300	600		
	IIL1	$VIL1 = V_{SS}$		-1	—	—		
入力電流 2 (P00-P03) (P10-P11) (P30-P35) (P40-P47) (P50-P53) (P60-P67) ^{*1}	IIH2	$VIH2 = V_{DD}$ (プルダウン時)	$V_{DD} = 1.8 \sim 3.6V$	2	30	200		
			$V_{DD} = 1.3 \sim 3.6V$	0.2	30	200		
			$V_{DD} = 1.1 \sim 3.6V$	0.01	30	200		
	IIL2	$VIL2 = V_{SS}$ (プルアップ時)	$V_{DD} = 1.8 \sim 3.6V$	-200	-30	-2		
			$V_{DD} = 1.3 \sim 3.6V$	-200	-30	-0.2		
			$V_{DD} = 1.1 \sim 3.6V$	-200	-30	-0.01		
	IIH2Z	$VIH2 = V_{DD}$ (ハイインピーダンス時)		—	—	1		
	IIL2Z	$VIL2 = V_{SS}$ (ハイインピーダンス時)		-1	—	—		

*1: ML610Q419C のみ

*2: ML610Q419 のみ

● 直流特性(5/5)

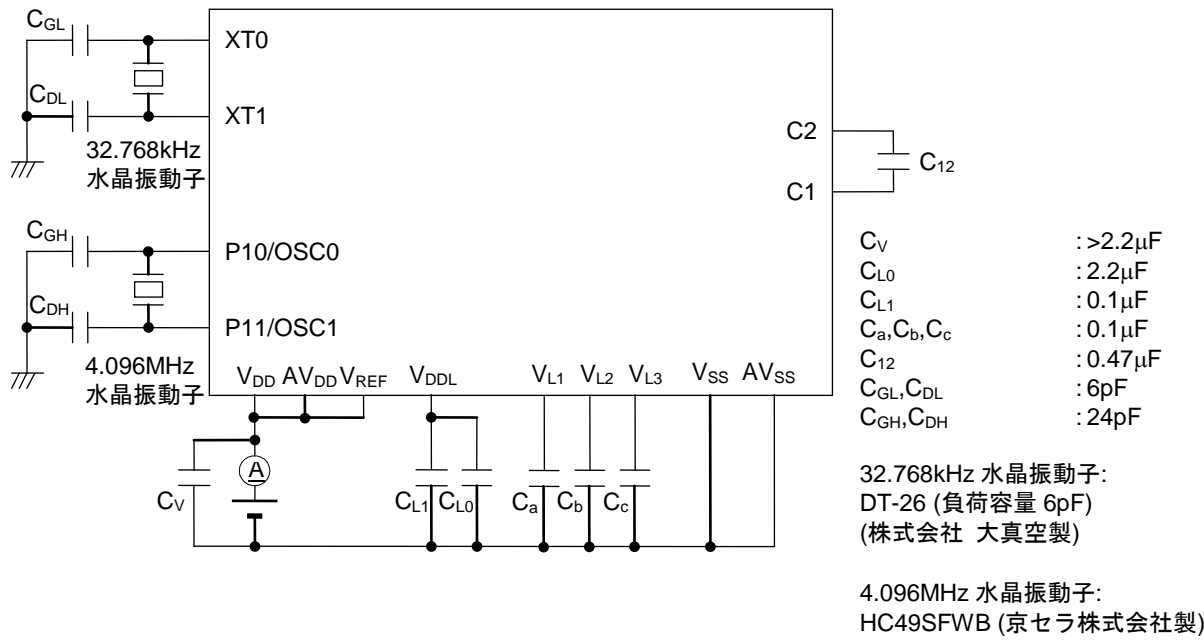
(特に指定のない場合は、 $V_{DD} = 1.1 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^\circ C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (TEST1_N) (TEST0) (P00-P03) (P10-P11) (P31-P35) (P40-P43) (P45-P47) (P50-P53) (P60-P67) ^{*1}	VIH1	$V_{DD} = 1.3 \sim 3.6V$	$0.7 \times V_{DD}$	—	V_{DD}	V	5
		$V_{DD} = 1.1 \sim 3.6V$	$0.7 \times V_{DD}$	—	V_{DD}		
	VIL1	$V_{DD} = 1.3 \sim 3.6V$	0	—	$0.3 \times V_{DD}$		
		$V_{DD} = 1.1 \sim 3.6V$	0	—	$0.2 \times V_{DD}$		
入力電圧 2 (P30, P44)	VIH2	—	$0.7 \times V_{DD}$	—	V_{DD}		
	VIL2	—	0	—	$0.3 \times V_{DD}$		
入力端子容量 (P00-P03) (P10-P11) (P30-P35) (P40-P47) (P50-P53) (P60-P67) ^{*1}	CIN	$f = 10kHz$ $V_{rms} = 50mV$ $T_a = 25^\circ C$	—	—	5	pF	—

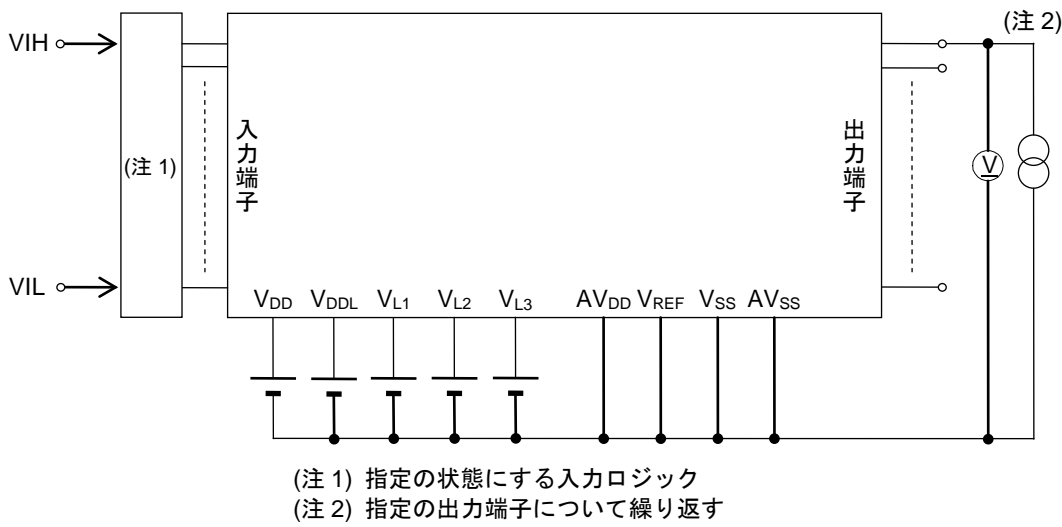
*1: ML610Q419C のみ

● 測定回路

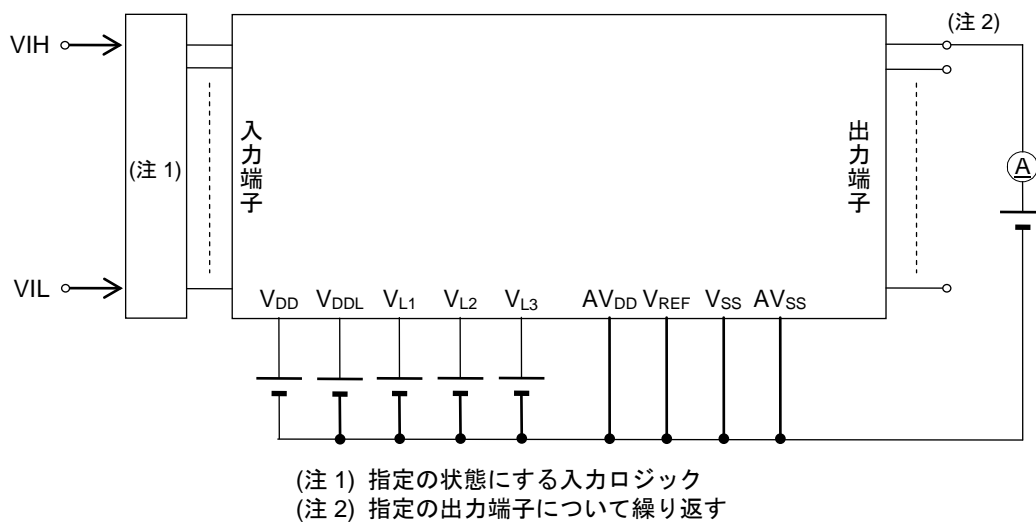
測定回路 1



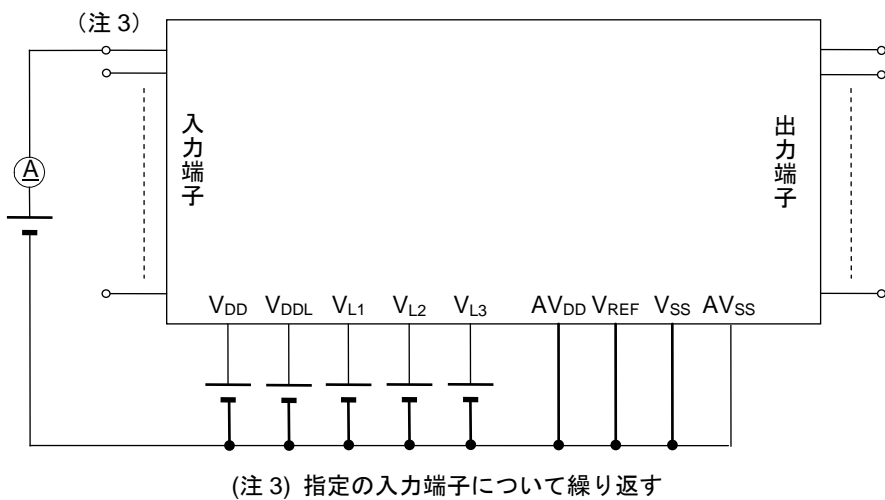
測定回路 2



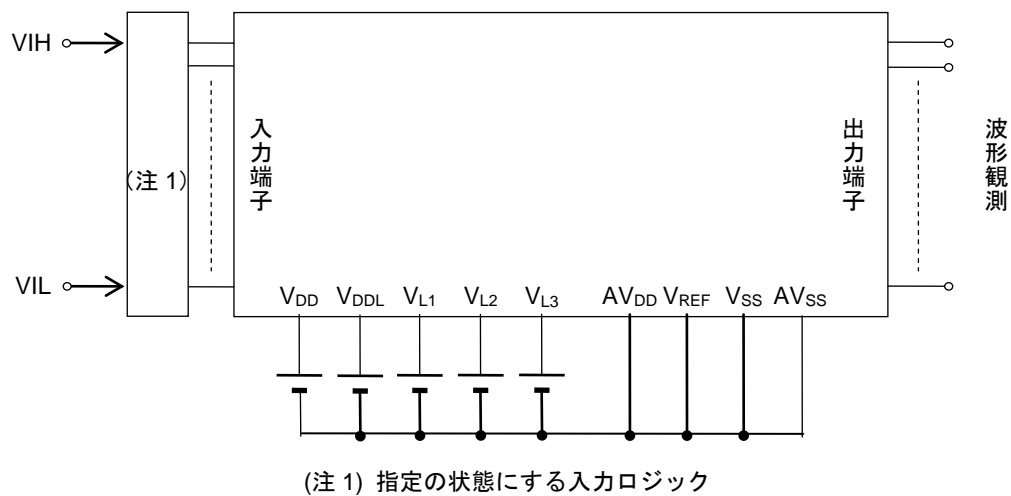
測定回路 3



測定回路 4



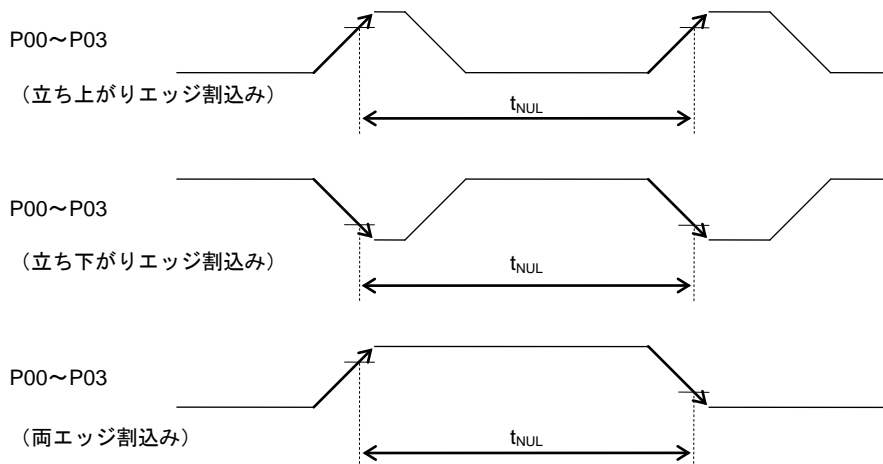
測定回路 5



● 交流特性（外部割込み）

(特に指定のない場合は、 $V_{DD} = 1.1 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	t_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作 システムクロック:32.768kHz	76.8	—	106.8	μs

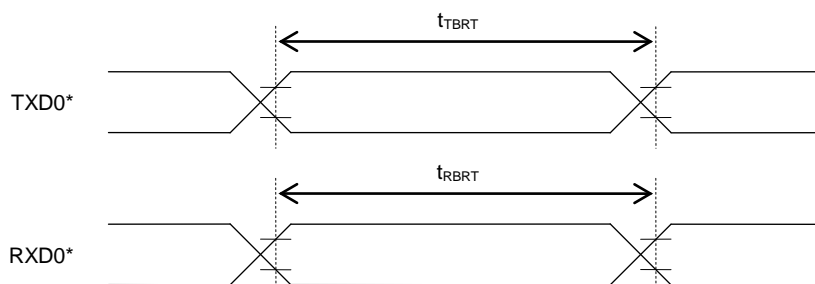


● 交流特性（UART）

(特に指定のない場合は、 $V_{DD} = 1.3 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
送信ボーレート	t_{TBRT}	—	—	BRT ^{*1}	—	s
受信ボーレート	t_{RBRT}	—	BRT ^{*1} -3%	BRT ^{*1}	BRT ^{*1} +3%	s

*1: UART0 ボーレートレジスタ (UA0BRTL,H)、UART0 モードレジスタ 0 (UA0MOD0)で設定されたボーレートの周期（選択されたクロック周波数誤差含む）

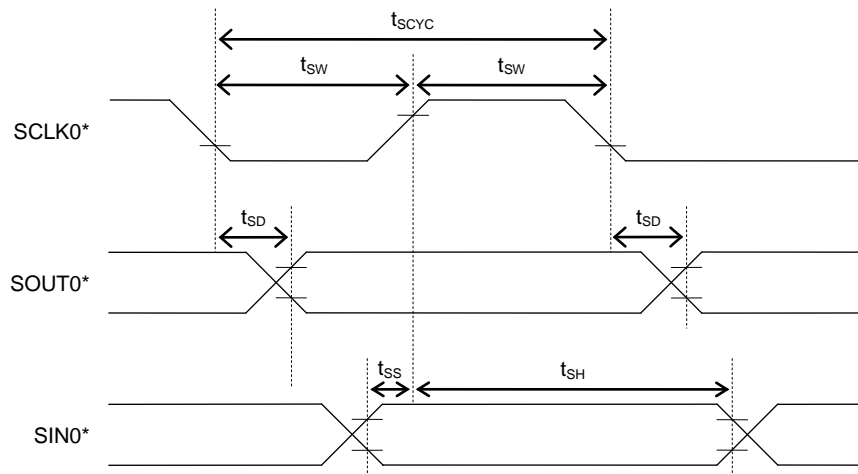


*:ポートの 2 次機能を示す。

● 交流特性（同期式シリアルポート）

(特に指定のない場合は、 $V_{DD} = 1.3 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^\circ C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル (スレーブモード)	t_{SCYC}	RC 発振モード時 ^{*2} ($V_{DD}=1.3 \sim 3.6V$)	10	—	—	μs
		高速発振時 ^{*3} ($V_{DD}=1.8 \sim 3.6V$)	1	—	—	μs
SCLK 出力サイクル (マスタモード)	t_{SCYC}	—	—	SCLK ^{*1}	—	s
SCLK 入力パルス幅 (スレーブモード)	t_{SW}	RC 発振モード時 ^{*2} ($V_{DD}=1.3 \sim 3.6V$)	4	—	—	μs
		高速発振時 ^{*3} ($V_{DD}=1.8 \sim 3.6V$)	0.4	—	—	μs
SCLK 出力パルス幅 (マスタモード)	t_{SW}	—	SCLK ^{*1} $\times 0.4$	SCLK ^{*1} $\times 0.5$	SCLK ^{*1} $\times 0.6$	s
SOUT 出力遅延時間 (スレーブモード)	t_{SD}	RC 発振モード時 ^{*2} ($V_{DD}=1.3 \sim 3.6V$)	—	—	500	ns
		高速発振時 ^{*3} ($V_{DD}=1.8 \sim 3.6V$)	—	—	240	
SOUT 出力遅延時間 (マスタモード)	t_{SD}	RC 発振モード時 ^{*2} ($V_{DD}=1.3 \sim 3.6V$)	—	—	500	ns
		高速発振時 ^{*3} ($V_{DD}=1.8 \sim 3.6V$)	—	—	240	
SIN 入力 セットアップ時間 (スレーブモード)	t_{SS}	—	80	—	—	ns
SIN 入力 セットアップ時間 (マスタモード)	t_{SS}	RC 発振モード時 ^{*2} ($V_{DD}=1.3 \sim 3.6V$)	500	—	—	ns
		高速発振時 ^{*3} ($V_{DD}=1.8 \sim 3.6V$)	240	—	—	
SIN 入力 ホールド時間	t_{SH}	RC 発振モード時 ^{*2} ($V_{DD}=1.3 \sim 3.6V$)	300	—	—	ns
		高速発振時 ^{*3} ($V_{DD}=1.8 \sim 3.6V$)	80	—	—	

*¹: シリアルポート 0 モードレジスタ (SIO0MOD1) の S0CK3~0 により選択されたクロック周期*²: 周波数コントロールレジスタ 0 (FCON0) の OSCM1~0 により RC 発振モードを選択した場合*³: 周波数コントロールレジスタ 0 (FCON0) の OSCM1~0 により水晶/セラミック発振モード、あるいは内蔵 PLL 発振モード、あるいは外部クロック入力モードを選択した場合

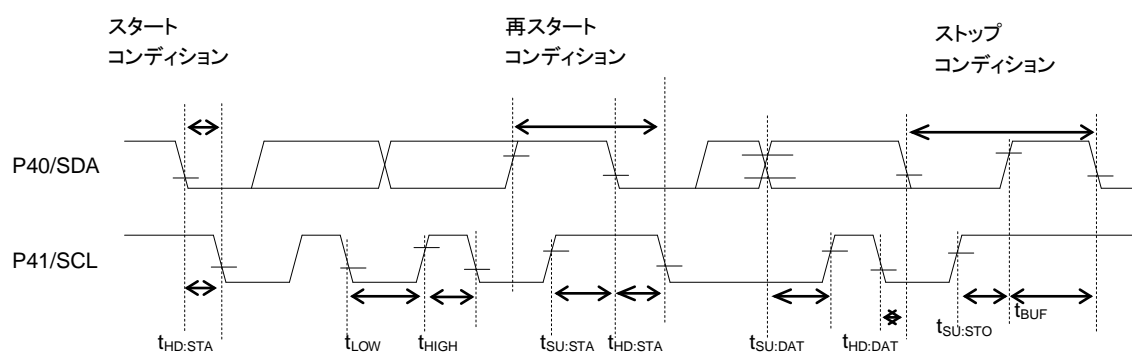
*: ポートの 2 次機能を示す。

● 交流特性 (I^2C バスインタフェース : 標準モード 100kHz)(特に指定のない場合は、 $V_{DD} = 1.8 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^\circ C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$	—	4.0	—	—	μs
SCL "L" レベル時間	t_{LOW}	—	4.7	—	—	μs
SCL "H" レベル時間	t_{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	4.7	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	3.45	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	4.0	—	—	μs
バスフリー時間	t_{BUF}	—	4.7	—	—	μs

● 交流特性 (I^2C バスインタフェース : ファーストモード 400kHz)(特に指定のない場合は、 $V_{DD} = 1.8 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^\circ C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$	—	0.6	—	—	μs
SCL "L" レベル時間	t_{LOW}	—	1.3	—	—	μs
SCL "H" レベル時間	t_{HIGH}	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.6	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	0.9	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	μs
バスフリー時間	t_{BUF}	—	1.3	—	—	μs



● 交流特性（RC 発振方式 A/D コンバータ）

$V_{DD} = 1.8 \sim 3.6V$ の場合の特性

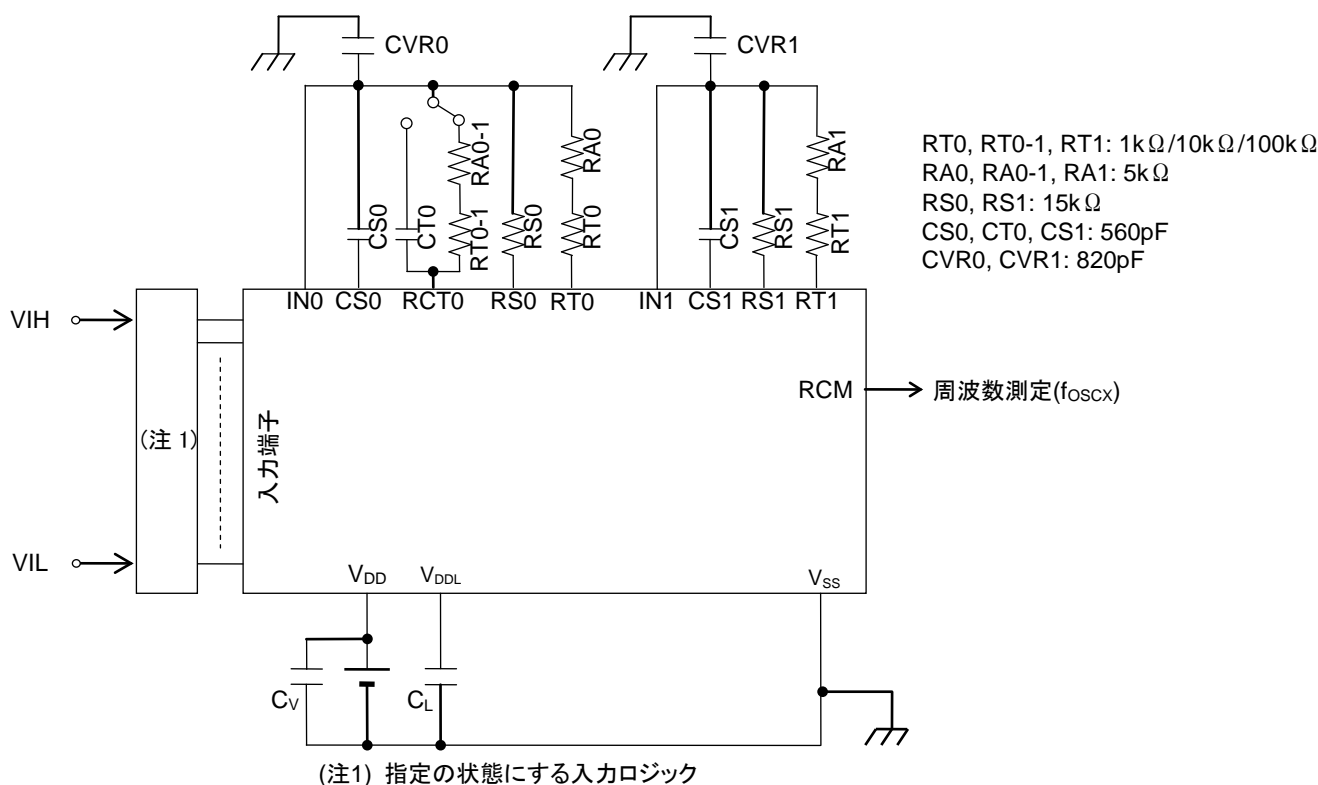
(特に指定のない場合は、 $V_{DD} = 1.8 \sim 3.6V$, $AV_{DD} = 2.2 \sim 3.6V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +70^\circ C$)

項 目		条 件	規 格 値			単位
			Min.	Typ.	Max.	
発振用抵抗	RS0,RS1,RT0,RT0-1,RT1	CS0, CT0, CS1 $\geq 740pF$	1	—	—	k Ω
発振周波数 $V_{DD} = 3.0V$	f_{OSC1}	発振用抵抗=1k Ω	457.3	525.2	575.1	kHz
	f_{OSC2}	発振用抵抗=10k Ω	53.48	58.18	62.43	kHz
	f_{OSC3}	発振用抵抗=100k Ω	5.43	5.89	6.32	kHz
RS・RT 発振周波数比 ^{*1} $V_{DD} = 3.0V$	Kf1	RT0, RT0-1, RT1=1k Ω	7.972	9.028	9.782	—
	Kf2	RT0, RT0-1, RT1=10k Ω	0.981	1	1.019	—
	Kf3	RT0, RT0-1, RT1=100k Ω	0.099	0.101	0.104	—

*1: Kfx は、同一条件におけるセンサ抵抗による発振周波数と基準抵抗による発振周波数の比

$$Kfx = \frac{f_{OSCx}(RT0-1-CS0 \text{ 発振})}{f_{OSCx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{OSCx}(RT0-1-CS0 \text{ 発振})}{f_{OSCx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{OSCx}(RT1-CS1 \text{ 発振})}{f_{OSCx}(RS1-CS1 \text{ 発振})}$$

(x = 1, 2, 3)



【注意】

- ・共通ノード(各外付けコンデンサや抵抗から IN0/IN1 端子に接続される配線パターン)は、CVR0/CVR1 を含めて LSI から最短になるようレイアウトしてください。特に IN0 と RS0、IN1 と RS1 間の長い配線は避けて下さい。配線間のカップリング容量で A/D 変換が誤動作する可能性があります。また、共通ノードの周辺にノイズ源となるような信号は配線しないでください。
- ・RT0/RT1 など(サーミスタなど)が配置場所の制限によって配線の引き回しが必要な信号は VSS (GND) 線でガードしてください。
- ・目的の測定に必要な素子(コンデンサや抵抗など)のみ配線して下さい。予備の素子などを配線している場合、その素子からのノイズで A/D 変換動作に影響を与える可能性があります。

V_{DD} = 1.25~3.6V の場合の特性

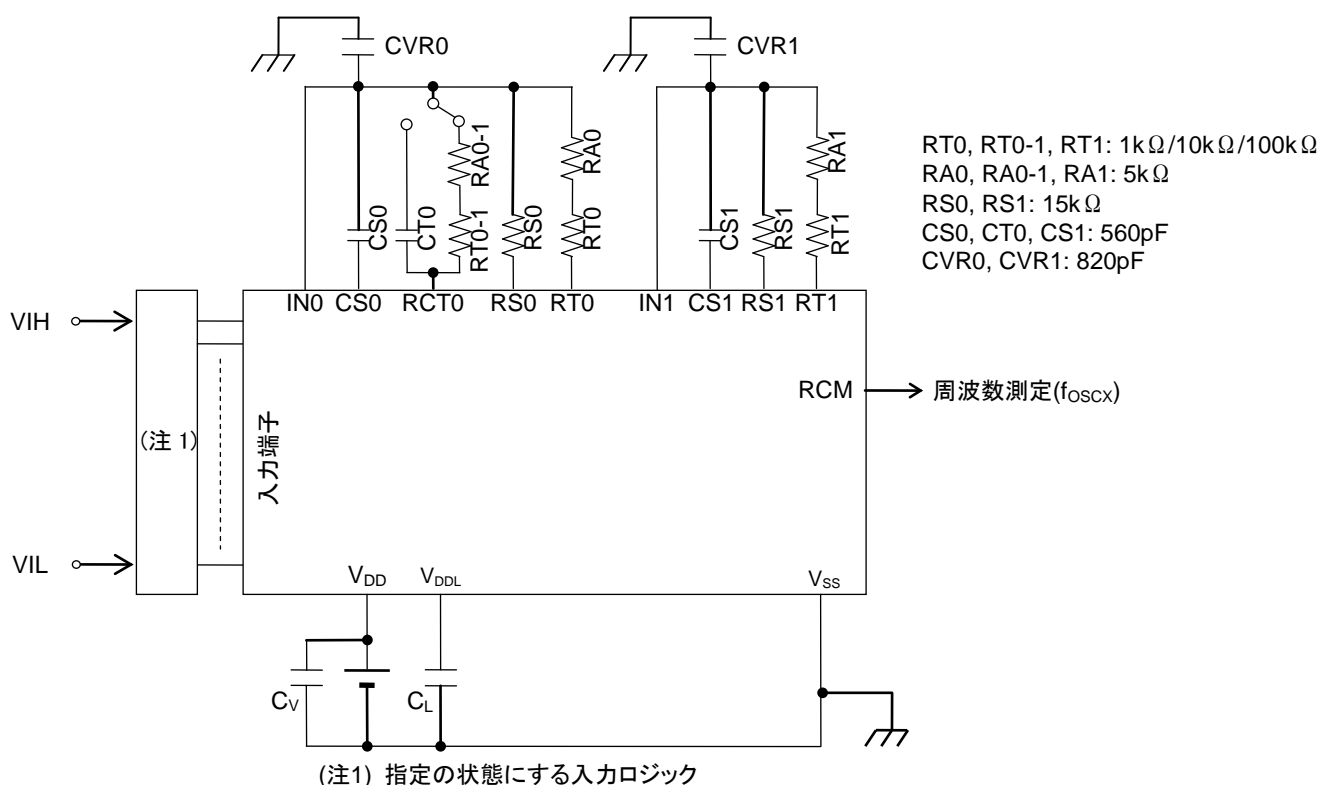
(特に指定のない場合は、V_{DD} = 1.25~3.6V, AV_{DD} = 2.2~3.6V, V_{SS} = AV_{SS} = 0V, Ta = -20~+70°C)

項 目		条 件	規 格 値			単位
			Min.	Typ.	Max.	
発振用抵抗	RS0, RS1, RT0, RT0-1, RT1	CS0, CT0, CS1 ≥ 740pF	1	—	—	kΩ
発振周波数 VDD = 1.5V	f _{OSC1}	発振用抵抗=6kΩ	81.93	93.16	101.2	kHz
	f _{OSC2}	発振用抵抗=15kΩ	35.32	38.75	41.48	kHz
	f _{OSC3}	発振用抵抗=105kΩ	5.22	5.65	6.03	kHz
RS・RT 発振周波数比*1 VDD = 1.5V	Kf1	RT0, RT0-1, RT1=1kΩ	2.139	2.381	2.632	—
	Kf2	RT0, RT0-1, RT1=10kΩ	0.973	1	1.028	—
	Kf3	RT0, RT0-1, RT1=100kΩ	0.142	0.147	0.152	—
発振周波数 VDD = 3.0V	f _{OSC1}	発振用抵抗=6kΩ	85.28	94.58	103.3	kHz
	f _{OSC2}	発振用抵抗=15kΩ	35.72	38.87	41.78	kHz
	f _{OSC3}	発振用抵抗=105kΩ	5.189	5.622	6.012	kHz
RS・RT 発振周波数比*1 VDD = 3.0V	Kf1	RT0, RT0-1, RT1=1kΩ	2.227	2.432	2.626	—
	Kf2	RT0, RT0-1, RT1=10kΩ	0.982	1	1.018	—
	Kf3	RT0, RT0-1, RT1=100kΩ	0.141	0.145	0.149	—

*1: Kfx は、同一条件におけるセンサ抵抗による発振周波数と基準抵抗による発振周波数の比

$$Kfx = \frac{f_{oscx}(RT0-CS0 \text{ 発振})}{f_{oscx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{oscx}(RT0-1-CS0 \text{ 発振})}{f_{oscx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{oscx}(RT1-CS1 \text{ 発振})}{f_{oscx}(RS1-CS1 \text{ 発振})}$$

(x = 1, 2, 3)

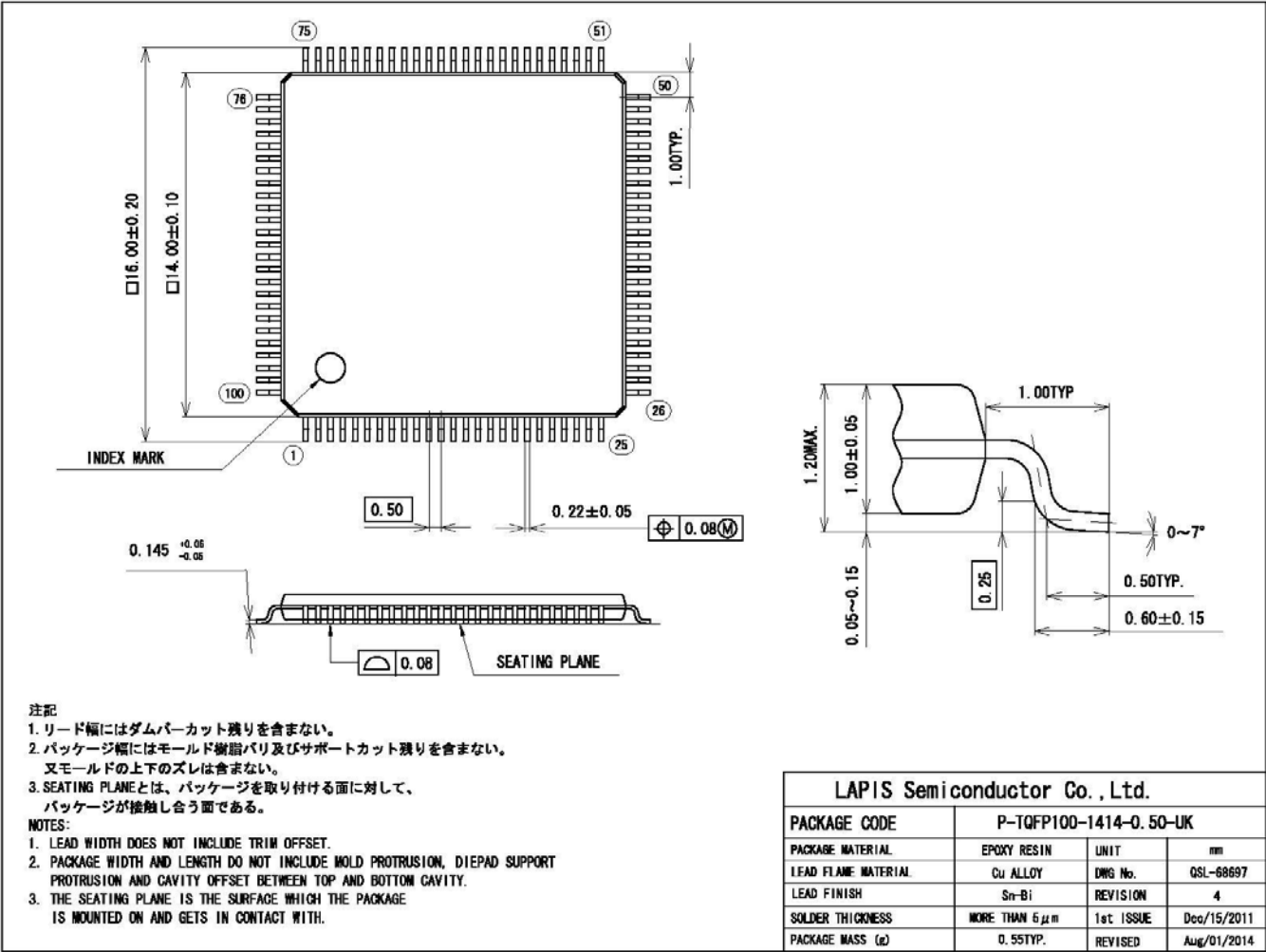


【注意】

- ・共通ノード(各外付けコンデンサや抵抗から IN0/IN1 端子に接続される配線パターン)は、CVR0/CVR1 を含めて LSI から最短になるようレイアウトしてください。特に IN0 と RS0、IN1 と RS1 間の長い配線は避けて下さい。配線間のカップリング容量で A/D 変換が誤動作する可能性があります。また、共通ノードの周辺にノイズ源となるような信号は配線しないでください。
- ・RT0/RT1 など(サーミスタなど)が配置場所の制限によって配線の引き回しが必要な信号は VSS (GND) 線でガードしてください。
- ・目的の測定に必要な素子(コンデンサや抵抗など)のみ配線して下さい。予備の素子などを配線している場合、その素子からのノイズで A/D 変換動作に影響を与える可能性があります。

■ パッケージ寸法図

(単位: mm)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q419-01	2012.1.19	—	—	正式初版発行
FJDL610Q419-02	2012.6.5	3	3	TQFP の PKG 名を修正
FJDL610Q419-03	2012.9.4	20	20	データ保持年数項目を修正 1 ワード書き込み時間項目を修正
FJDL610Q419-04	2014.7.25	全頁	全頁	ヘッダおよびフッタの変更
		3	4	「出荷形態」を「商品名 - 機能一覧」に変更
		-	20	発振回路動作条件を追記
		21	22	「リセットシーケンス」の項目を「リセットパルス幅(P _{RST})」の項目、 「パワーオンリセット発生電源立ち上がり時間(T _{POR})」および「低 電圧判定リセット発生時間(T _{LLR})」の項目に変更
		21	22	直流特性(1/5)の注記 2 の C _{GL} 値、および C _{DL} 値の誤記修正
		23	24	直流特性(3/5)の注記 3 の C _{GL} 値、および C _{DL} 値の誤記修正
		26	27	測定回路 1 の C _{GL} 値、および C _{DL} 値の誤記修正
FJDL610Q419-05	2015.5.13	2	2	誤記修正。 標準モード 100kbps@1MHz HSCLK を標準モード 100kbps@4MHz HSCLK に修正
		29	29	「交流特性(外部割込み)」の誤記修正
		35	35	PKG 図変更
		3,4,20, 22~26, 29~34	3,4,20, 22~26, 29~34	温度拡張品(P Version)削除
FJDL610Q419-06	2015.10.28	20	20	発振回路動作条件の誤記修正
		22	22	直流特性(1/5)の注記 2 の C _{GL} 値、および C _{DL} 値の誤記修正
		24	24	直流特性(3/5)の注記 3 の C _{GL} 値、および C _{DL} 値の誤記修正
		27	27	測定回路 1 の C _{GL} 値、および C _{DL} 値の誤記修正

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのデレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
 - ・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
 - ・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2012 – 2015 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>