

お客様各位

## 資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日  
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1<sup>st</sup> day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

# ML610Q431/ML610Q432

LCDドライバ内蔵 8bit マイクロコントローラ

## ■ 概要

本 LSI は、8ビット CPU nX-U8/100 を搭載し、リアルタイムクロック、同期式シリアルポート、UART、I<sup>2</sup>C バスインタフェース(マスタ)、メロディドライバ、電源電圧検出回路、RC 発振型 A/D コンバータ、12 ビット逐次比較型 A/D コンバータ、および LCD ドライバ等、多彩な周辺機能を集積した高性能 CMOS 8 ビットマイクロコントローラです。

CPU nX-U8/100 は、3 段パイプラインアーキテクチャによる並列処置をすることで 1 命令 1 クロックの効率的な命令実行が可能です。また、マスク ROM 同等の低電圧、低消費電力動作(読み出し時)を実現したフラッシュ ROM を搭載しており、携帯機器などの電池駆動アプリケーションに最適です。

さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

## ■ 特長

- CPU
  - RISC 方式 8 ビット CPU (CPU 名称:nX-U8/100)
  - 命令体系:16 ビット長命令
  - 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, ジャンプ, 条件ジャンプ, コール・リターンスタック操作, 算術シフトなど
  - オンチップデバッグ機能を内蔵
  - 最小命令実行時間
    - 30.5 $\mu$ s (@32.768kHz システムクロック)
    - 0.244 $\mu$ s (@4.096MHz システムクロック)
- 内部メモリ
  - 64K バイトのフラッシュ ROM (32K $\times$ 16 ビット) を内蔵(使用不可のテスト領域 1K バイト含む)
  - 2K バイトの RAM (2048 $\times$ 8 ビット) と 1K バイトの表示割付 RAM を内蔵
  - 192 バイトの表示用 RAM を内蔵
- 割込みコントローラ
  - ノンマスカブル割込み 2 要因(内部要因:1、外部要因:1)
  - マスカブル割込み 23 要因(内部要因:19、外部要因:4)
- タイムベースカウンタ
  - 低速側タイムベースカウンタ $\times$ 1ch
    - 周波数補正機能(補正可能範囲:-488 $\sim$ +488ppm、補正精度:約 0.48ppm)
  - 高速側タイムベースカウンタ $\times$ 1ch
- ウォッチドッグタイマ
  - ノンマスカブル割り込み、およびリセット
  - フリーラン
  - オーバフロー周期選択可能:4 種(125ms,500ms,2s,8s)
- タイマ
  - 8 ビット $\times$ 4ch(16bit 構成も可能)

- 1kHz タイマ
  - 10Hz/1Hz 割り込み機能
- キャプチャ
  - タイムベースキャプチャ×2ch(4096Hz～32Hz)
- PWM
  - 分解能 16ビット×1ch
- リアルタイムクロック
  - 年、月、日、曜、時、分、秒レジスタ
  - うるう年自動補正
  - 定期割り込み(0.5 秒、1 秒、1 分、1 時間)
  - アラーム割り込み×2ch(曜時分、月日時分)
- 同期式シリアルポート
  - マスタ/スレーブ選択可能
  - LSB/MSB ファースト選択可能
  - 8ビット/16ビット長選択可能
- UART
  - TXD/RXD×1ch
  - ビット長、パリティ有無、奇数/偶数パリティ、1/2 ストップビット
  - 正/負論理選択可
  - ボーレートジェネレータ内蔵
- I<sup>2</sup>C バスインタフェース
  - マスタ機能のみ
  - ファーストモード(400kbps@4MHz)、標準モード(100kbps@4MHz, 50kbps@500kHz)
- メロディドライバ
  - 音階:29 種(メロディ音周波数:508Hz～32.768kHz)
  - 音長:63 種
  - テンポ:15 種
  - ブザー出力モード(出力モード 4 種、周波数 8 種、デューティ変更 16 レベル)
- RC 発振型 A/D コンバータ
  - 24 ビットカウンタ
  - 時分割 2ch 方式
- 逐次比較型 A/D コンバータ
  - 12 ビット A/D コンバータ
  - 入力 2ch
- 汎用ポート
  - ノンマスカブル割り込み入力ポート×1ch
  - 入力専用ポート×6ch(2 次機能含む)
  - 出力専用ポート×3ch(2 次機能含む)
  - 入出力ポート
    - ML610Q431: 22ch(2 次機能含む)
    - ML610Q432: 14ch(2 次機能含む)

- LCDドライバ
  - ドットマトリックス対応可
    - ML610Q431: 最大 1024 ドット (64seg×16com)
    - ML610Q432: 最大 1536 ドット (64seg×24com)
  - 1/1～1/24 デューティ
  - 1/3, 1/4 バイアス (バイアス発生回路内蔵)
  - フレーム周波数選択 (約 64Hz, 約 73Hz, 約 85Hz, 約 102Hz)
  - バイアス昇圧クロック選択 (8 種類)
  - コントラスト調整 (1/3 バイアス時: 32 段階、1/4 バイアス時: 20 段階)
  - LCD 停止、LCD 表示、全点灯、全消灯モード選択
  - プログラマブル表示割り付け機能 (1/1～1/8 デューティ時のみ)
- リセット
  - RESET\_N 端子リセット
  - パワーオン検出リセット
  - 発振停止検出リセット
    - (A 版: ML610Q431A, ML610Q432A は、発振停止検出リセットはありません。)
  - WDT オーバーフローによるリセット
- 電源電圧検出機能
  - 判定電圧: 16 値から 1 つを選択
  - 判定精度: ±2% (Typ.)
- クロック
  - 低速側クロック (本 LSI は低速クロックが供給されない条件での動作は保証できません)
    - 水晶発振 (32.768kHz)
  - 高速側クロック
    - 内蔵 RC 発振 (500kHz)
    - 内蔵 PLL 発振 (8.192MHz±2.5%)、水晶/セラミック発振 (4.096MHz)、外部クロック
  - ソフトウェアによる高速クロックモードの選択:
    - 内蔵 RC 発振、内蔵 PLL 発振、水晶/セラミック発振、外部クロック
- パワーマネジメント
  - HALT モード: CPU の命令実行中断 (周辺回路は動作状態)
  - STOP モード: 低速発振、および高速発振の停止 (CPU および周辺回路は動作を停止)
  - クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/1、1/2、1/4、1/8)
  - ブロック制御機能: 使わない機能ブロック回路の動作をパワーダウン (レジスタリセット&クロック停止)
- 動作保証範囲
  - 動作温度: -20℃～70℃
  - 動作電圧:  $V_{DD}=1.1V\sim3.6V$ ,  $AV_{DD}=2.2V\sim3.6V$

## ● 商品名 - 機能一覧 -

ML610Q431 および ML610Q432 のラインアップは以下です。

- チップ(Die) -	ROM 種別	低速発振停止検出 リセット	動作保証温度	備考
ML610Q431-xxxWA	フラッシュ ROM	Yes	-20°C to +70°C	-
ML610Q431A-xxxWA	フラッシュ ROM	-	20°C to +70°C	-
ML610Q432-xxxWA	フラッシュ ROM	Yes	-20°C to +70°C	-
ML610Q432A-xxxWA	フラッシュ ROM	-	-20°C to +70°C	-

- 144Pin プラスチック LQFP -	ROM 種別	低速発振停止検出 リセット	動作保証温度	備考
ML610Q431-xxxTC	フラッシュ ROM	Yes	-20°C to +70°C	-
ML610Q432-xxxTC	フラッシュ ROM	Yes	-20°C to +70°C	-
ML610Q432A-xxxTC	フラッシュ ROM	-	-20°C to +70°C	-

xxx:ROM コード番号(ブランク品の場合、xxxは NNN)

Q:フラッシュ ROM 品

A:発振停止検出リセット無効版

WA:チップ品

TC:LQFP

## ■ ブロック図

## ● ML610Q431 ブロック図

図 1 に ML610Q431 のブロック図を示します。

“\*”は各ポートの 2 次機能です。

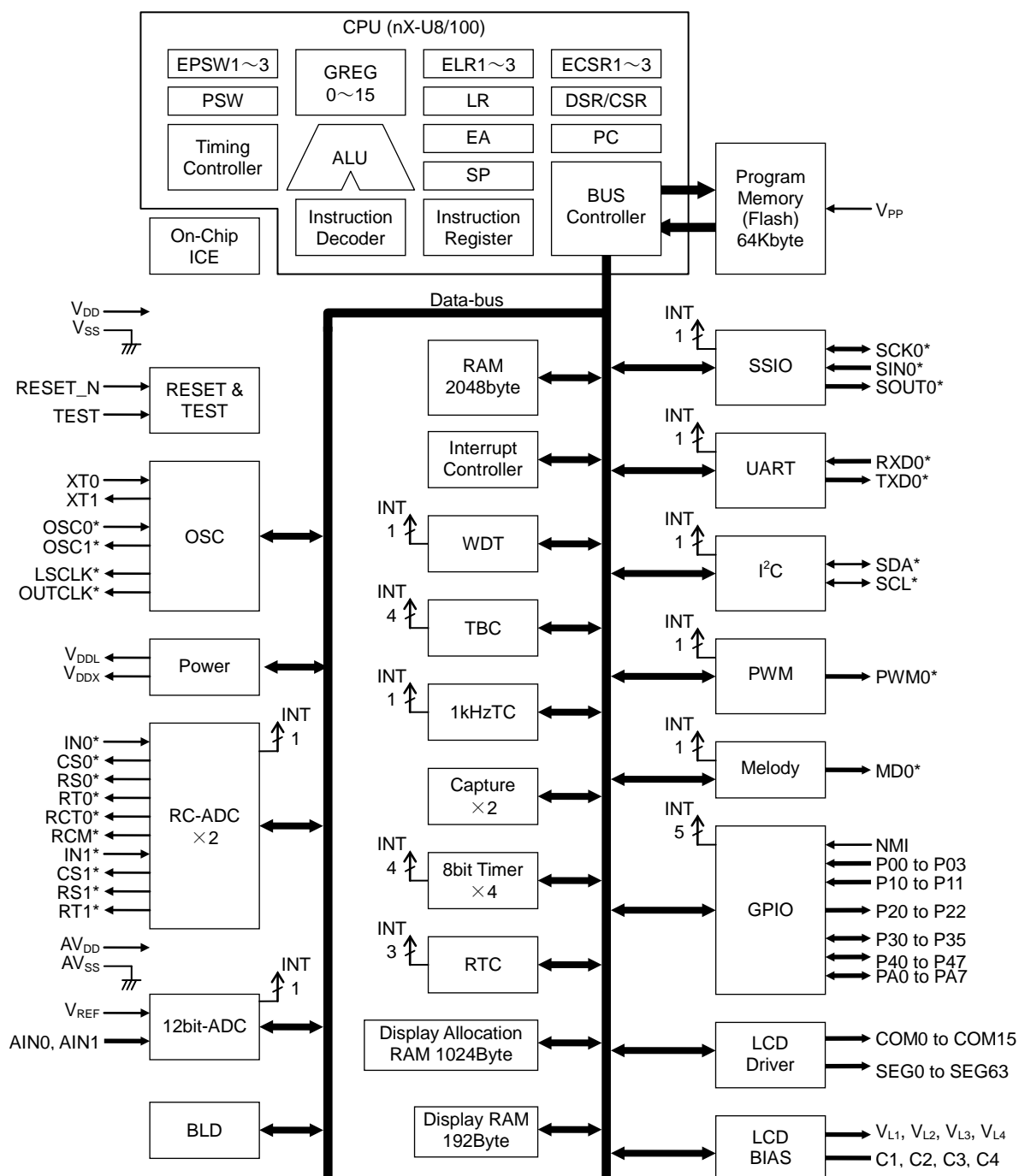


図 1 ML610Q431 ブロック図

● ML610Q432 ブロック図

図 2 に ML610Q432 のブロック図を示します。  
 “\*”は各ポートの 2 次機能です。

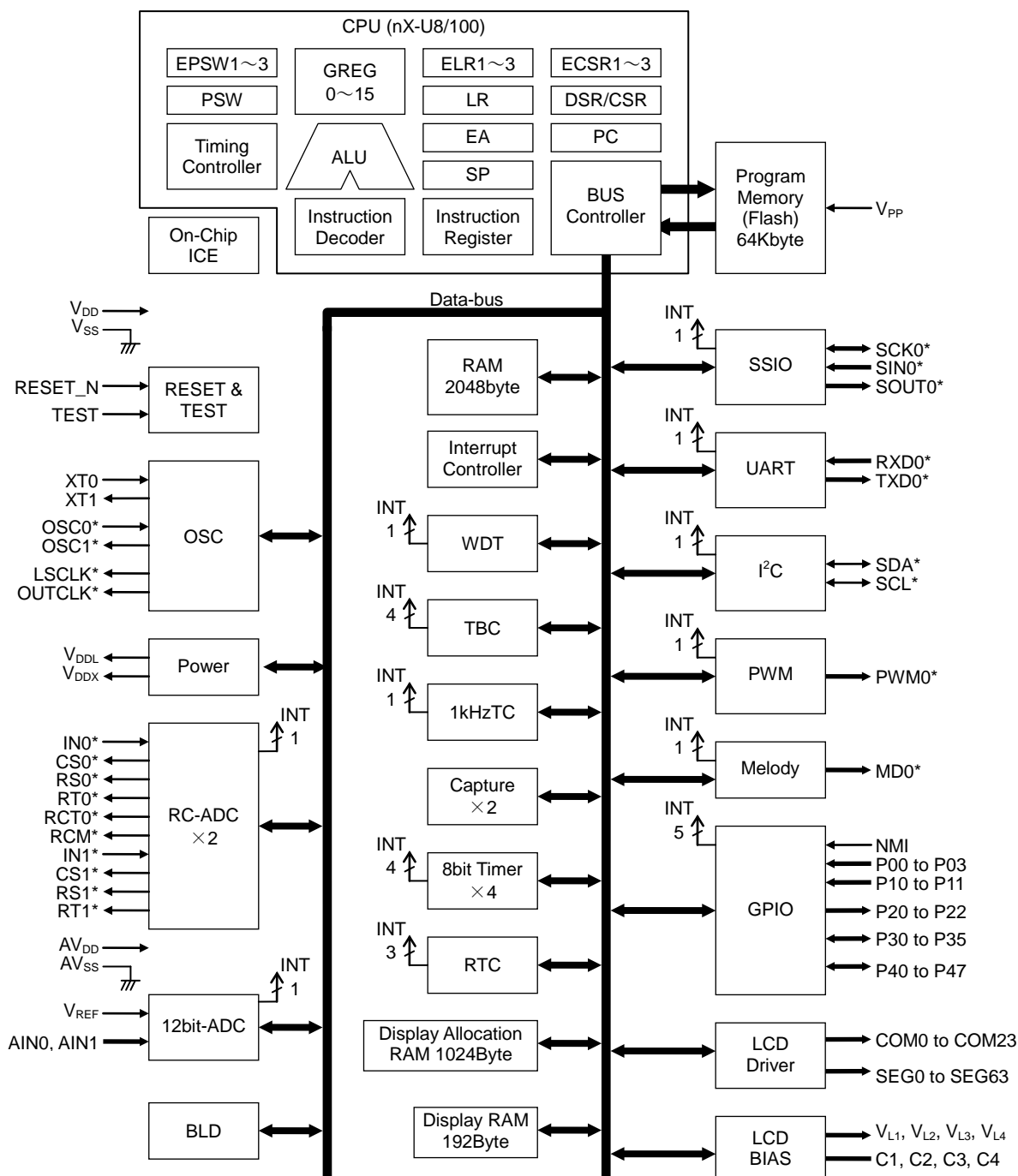
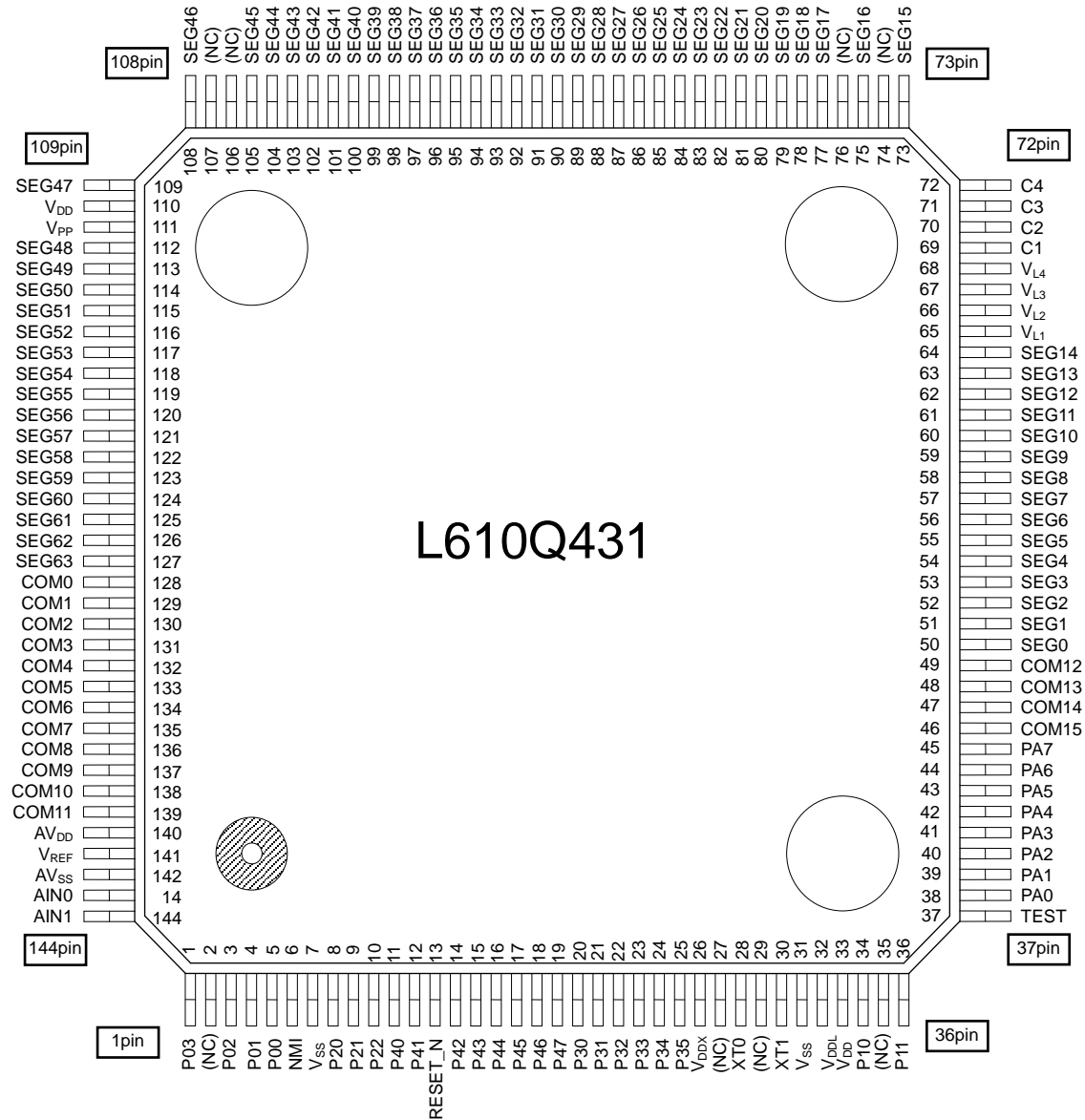


図 2 ML610Q432 ブロック図



■ 端子配置

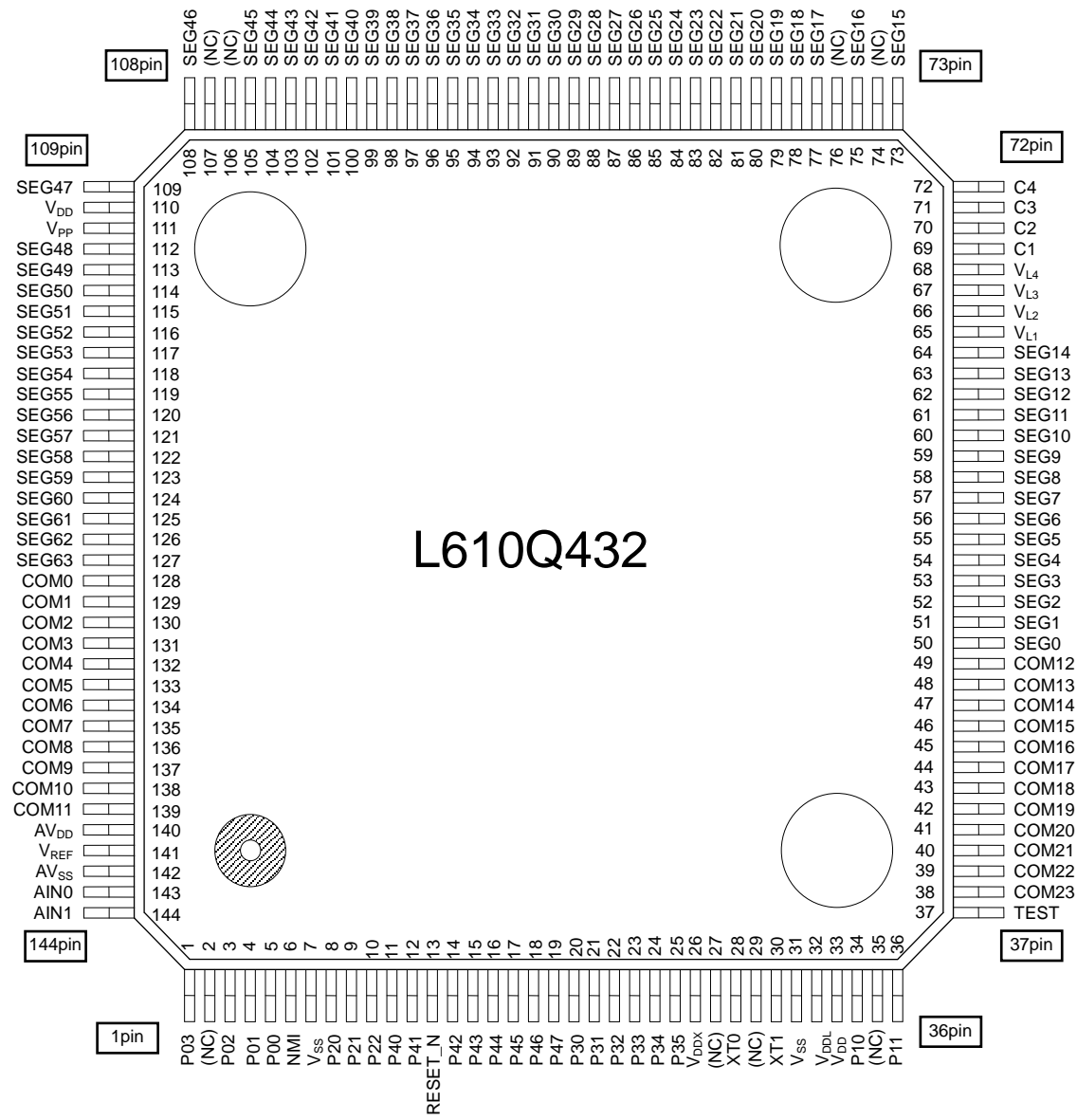
● ML610Q431 LQFP パッケージ品の端子配置図



(NC): No Connection

図 3 ML610Q431 パッケージ品端子配置図

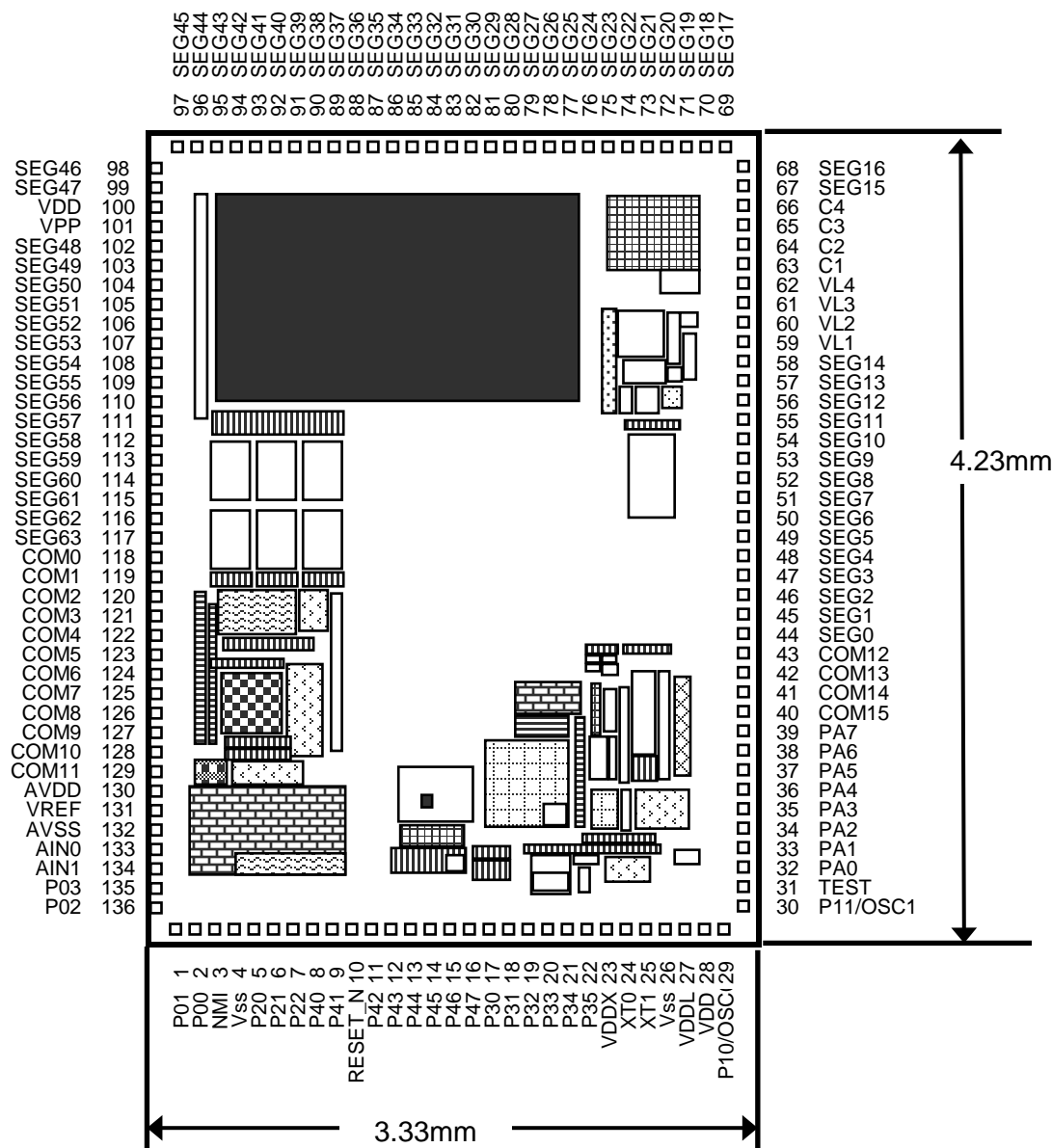
● ML610Q432 LQFP パッケージ品の端子配置図



(NC): No Connection

図 4 ML610Q432 パッケージ品端子配置図

● ML610Q431 チップ品の端子配置と外形図



チップサイズ: 3.33mm × 4.23mm

PAD 数: 136ピン

最小 PAD ピッチ: 100μm

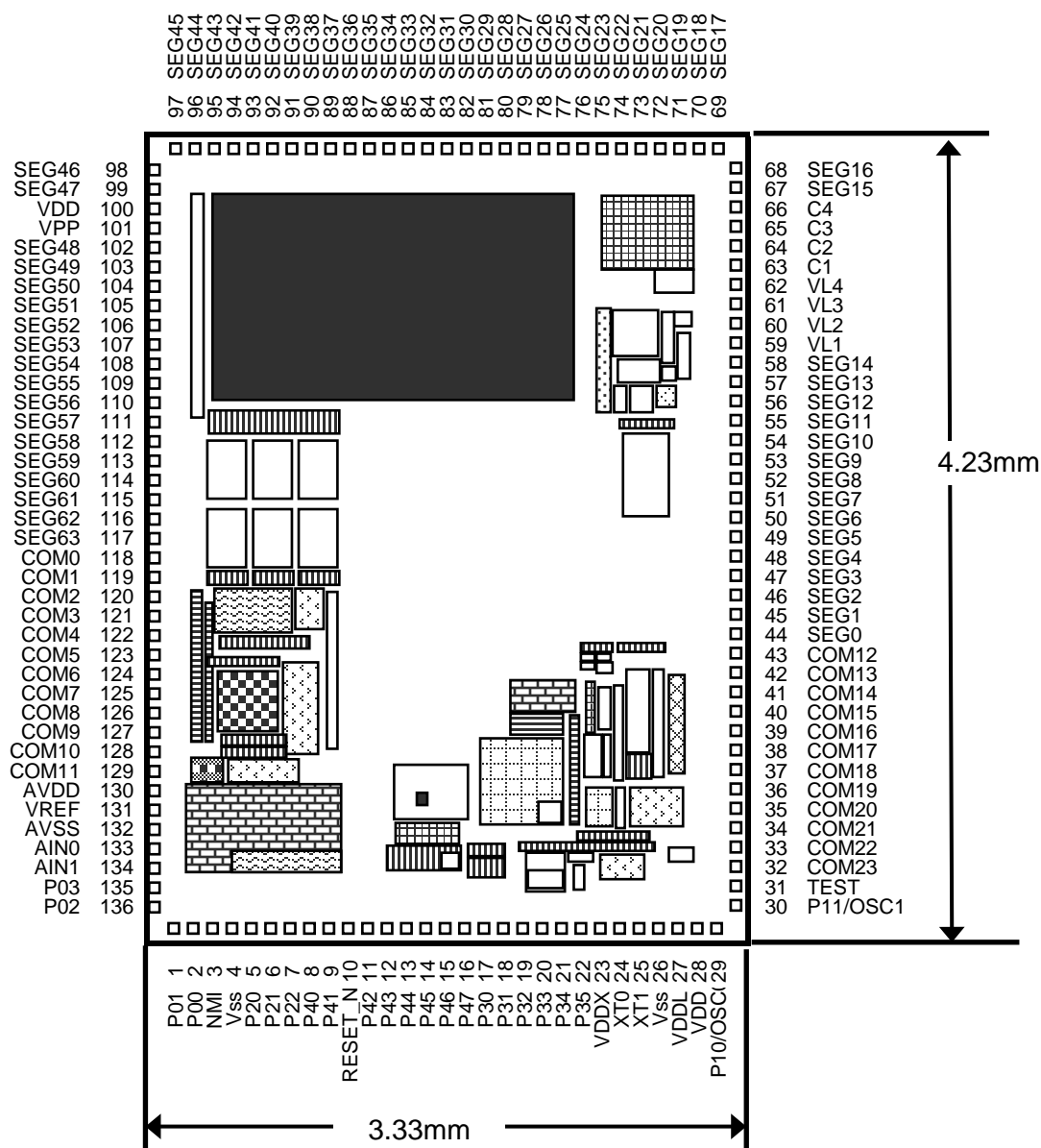
PAD 開口部: 80μm × 80μm

チップ厚: 350μm

チップ裏面の電圧は、V<sub>SS</sub> レベルになっています。

図 5 ML610Q431 チップ外形図

● ML610Q432 チップ品の端子配置と外形図



チップサイズ: 3.33mm × 4.23mm

PAD 数: 136ピン

最小 PAD ピッチ: 100μm

PAD 開口部: 80μm × 80μm

チップ厚: 350μm

チップ裏面の電圧は、V<sub>ss</sub> レベルになっています。

図 6 ML610Q432 チップ外形図

## ■ チップ品パッド座標

## ● ML610Q431 パッド座標

表 1 ML610Q431 パッド座標表

Chip Center: X=0,Y=0

PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)
1	P01	-1400	-1978	51	SEG7	1528	200	101	V <sub>PP</sub>	-1528	1600
2	P00	-1300	-1978	52	SEG8	1528	300	102	SEG48	-1528	1500
3	NMI	-1200	-1978	53	SEG9	1528	400	103	SEG49	-1528	1400
4	V <sub>SS</sub>	-1100	-1978	54	SEG10	1528	500	104	SEG50	-1528	1300
5	P20	-1000	-1978	55	SEG11	1528	600	105	SEG51	-1528	1200
6	P21	-900	-1978	56	SEG12	1528	700	106	SEG52	-1528	1100
7	P22	-800	-1978	57	SEG13	1528	800	107	SEG53	-1528	1000
8	P40	-700	-1978	58	SEG14	1528	900	108	SEG54	-1528	900
9	P41	-600	-1978	59	V <sub>L1</sub>	1528	1000	109	SEG55	-1528	800
10	RESET_N	-500	-1978	60	V <sub>L2</sub>	1528	1100	110	SEG56	-1528	700
11	P42	-400	-1978	61	V <sub>L3</sub>	1528	1200	111	SEG57	-1528	600
12	P43	-300	-1978	62	V <sub>L4</sub>	1528	1300	112	SEG58	-1528	500
13	P44	-200	-1978	63	C1	1528	1400	113	SEG59	-1528	400
14	P45	-100	-1978	64	C2	1528	1500	114	SEG60	-1528	300
15	P46	0	-1978	65	C3	1528	1600	115	SEG61	-1528	200
16	P47	100	-1978	66	C4	1528	1700	116	SEG62	-1528	100
17	P30	200	-1978	67	SEG15	1528	1800	117	SEG63	-1528	0
18	P31	300	-1978	68	SEG16	1528	1900	118	COM0	-1528	-100
19	P32	400	-1978	69	SEG17	1400	1978	119	COM1	-1528	-200
20	P33	500	-1978	70	SEG18	1300	1978	120	COM2	-1528	-300
21	P34	600	-1978	71	SEG19	1200	1978	121	COM3	-1528	-400
22	P35	700	-1978	72	SEG20	1100	1978	122	COM4	-1528	-500
23	V <sub>DDX</sub>	800	-1978	73	SEG21	1000	1978	123	COM5	-1528	-600
24	XT0	900	-1978	74	SEG22	900	1978	124	COM6	-1528	-700
25	XT1	1000	-1978	75	SEG23	800	1978	125	COM7	-1528	-800
26	V <sub>SS</sub>	1100	-1978	76	SEG24	700	1978	126	COM8	-1528	-900
27	V <sub>DDL</sub>	1200	-1978	77	SEG25	600	1978	127	COM9	-1528	-1000
28	V <sub>DD</sub>	1300	-1978	78	SEG26	500	1978	128	COM10	-1528	-1100
29	P10	1400	-1978	79	SEG27	400	1978	129	COM11	-1528	-1200
30	P11	1528	-1900	80	SEG28	300	1978	130	A <sub>VDD</sub>	-1528	-1300
31	TEST	1528	-1800	81	SEG29	200	1978	131	V <sub>REF</sub>	-1528	-1400
32	PA0	1528	-1700	82	SEG30	100	1978	132	A <sub>VSS</sub>	-1528	-1500
33	PA1	1528	-1600	83	SEG31	0	1978	133	AIN0	-1528	-1600
34	PA2	1528	-1500	84	SEG32	-100	1978	134	AIN1	-1528	-1700
35	PA3	1528	-1400	85	SEG33	-200	1978	135	P03	-1528	-1800
36	PA4	1528	-1300	86	SEG34	-300	1978	136	P02	-1528	-1900
37	PA5	1528	-1200	87	SEG35	-400	1978				
38	PA6	1528	-1100	88	SEG36	-500	1978				
39	PA7	1528	-1000	89	SEG37	-600	1978				
40	COM15	1528	-900	90	SEG38	-700	1978				
41	COM14	1528	-800	91	SEG39	-800	1978				
42	COM13	1528	-700	92	SEG40	-900	1978				
43	COM12	1528	-600	93	SEG41	-1000	1978				
44	SEG0	1528	-500	94	SEG42	-1100	1978				
45	SEG1	1528	-400	95	SEG43	-1200	1978				
46	SEG2	1528	-300	96	SEG44	-1300	1978				
47	SEG3	1528	-200	97	SEG45	-1400	1978				
48	SEG4	1528	-100	98	SEG46	-1528	1900				
49	SEG5	1528	0	99	SEG47	-1528	1800				
50	SEG6	1528	100	100	V <sub>DD</sub>	-1528	1700				

## ● ML610Q432 パッド座標

表 2 ML610Q432 パッド座標表

Chip Center: X=0,Y=0

PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)	PAD No.	Pad Name	X (μm)	Y (μm)
1	P01	-1400	-1978	51	SEG7	1528	200	101	V <sub>PP</sub>	-1528	1600
2	P00	-1300	-1978	52	SEG8	1528	300	102	SEG48	-1528	1500
3	NMI	-1200	-1978	53	SEG9	1528	400	103	SEG49	-1528	1400
4	V <sub>SS</sub>	-1100	-1978	54	SEG10	1528	500	104	SEG50	-1528	1300
5	P20	-1000	-1978	55	SEG11	1528	600	105	SEG51	-1528	1200
6	P21	-900	-1978	56	SEG12	1528	700	106	SEG52	-1528	1100
7	P22	-800	-1978	57	SEG13	1528	800	107	SEG53	-1528	1000
8	P40	-700	-1978	58	SEG14	1528	900	108	SEG54	-1528	900
9	P41	-600	-1978	59	V <sub>L1</sub>	1528	1000	109	SEG55	-1528	800
10	RESET_N	-500	-1978	60	V <sub>L2</sub>	1528	1100	110	SEG56	-1528	700
11	P42	-400	-1978	61	V <sub>L3</sub>	1528	1200	111	SEG57	-1528	600
12	P43	-300	-1978	62	V <sub>L4</sub>	1528	1300	112	SEG58	-1528	500
13	P44	-200	-1978	63	C1	1528	1400	113	SEG59	-1528	400
14	P45	-100	-1978	64	C2	1528	1500	114	SEG60	-1528	300
15	P46	0	-1978	65	C3	1528	1600	115	SEG61	-1528	200
16	P47	100	-1978	66	C4	1528	1700	116	SEG62	-1528	100
17	P30	200	-1978	67	SEG15	1528	1800	117	SEG63	-1528	0
18	P31	300	-1978	68	SEG16	1528	1900	118	COM0	-1528	-100
19	P32	400	-1978	69	SEG17	1400	1978	119	COM1	-1528	-200
20	P33	500	-1978	70	SEG18	1300	1978	120	COM2	-1528	-300
21	P34	600	-1978	71	SEG19	1200	1978	121	COM3	-1528	-400
22	P35	700	-1978	72	SEG20	1100	1978	122	COM4	-1528	-500
23	V <sub>DDX</sub>	800	-1978	73	SEG21	1000	1978	123	COM5	-1528	-600
24	XT0	900	-1978	74	SEG22	900	1978	124	COM6	-1528	-700
25	XT1	1000	-1978	75	SEG23	800	1978	125	COM7	-1528	-800
26	V <sub>SS</sub>	1100	-1978	76	SEG24	700	1978	126	COM8	-1528	-900
27	V <sub>DDL</sub>	1200	-1978	77	SEG25	600	1978	127	COM9	-1528	-1000
28	V <sub>DD</sub>	1300	-1978	78	SEG26	500	1978	128	COM10	-1528	-1100
29	P10	1400	-1978	79	SEG27	400	1978	129	COM11	-1528	-1200
30	P11	1528	-1900	80	SEG28	300	1978	130	A <sub>VDD</sub>	-1528	-1300
31	TEST	1528	-1800	81	SEG29	200	1978	131	V <sub>REF</sub>	-1528	-1400
32	COM23	1528	-1700	82	SEG30	100	1978	132	A <sub>VSS</sub>	-1528	-1500
33	COM22	1528	-1600	83	SEG31	0	1978	133	AIN0	-1528	-1600
34	COM21	1528	-1500	84	SEG32	-100	1978	134	AIN1	-1528	-1700
35	COM20	1528	-1400	85	SEG33	-200	1978	135	P03	-1528	-1800
36	COM19	1528	-1300	86	SEG34	-300	1978	136	P02	-1528	-1900
37	COM18	1528	-1200	87	SEG35	-400	1978				
38	COM17	1528	-1100	88	SEG36	-500	1978				
39	COM16	1528	-1000	89	SEG37	-600	1978				
40	COM15	1528	-900	90	SEG38	-700	1978				
41	COM14	1528	-800	91	SEG39	-800	1978				
42	COM13	1528	-700	92	SEG40	-900	1978				
43	COM12	1528	-600	93	SEG41	-1000	1978				
44	SEG0	1528	-500	94	SEG42	-1100	1978				
45	SEG1	1528	-400	95	SEG43	-1200	1978				
46	SEG2	1528	-300	96	SEG44	-1300	1978				
47	SEG3	1528	-200	97	SEG45	-1400	1978				
48	SEG4	1528	-100	98	SEG46	-1528	1900				
49	SEG5	1528	0	99	SEG47	-1528	1800				
50	SEG6	1528	100	100	V <sub>DD</sub>	-1528	1700				

## ■ 端子一覧

PAD No.		1 次機能			2 次機能			3 次機能		
Q432	Q431	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
4,26	4,26	V <sub>SS</sub>	—	マイナス側電源端子	—	—	—	—	—	—
28, 100	28, 100	V <sub>DD</sub>	—	プラス側電源端子	—	—	—	—	—	—
27	27	V <sub>DDL</sub>	—	内部ロジック用電源端子 (内部発生)	—	—	—	—	—	—
23	23	V <sub>DDX</sub>	—	低速発振用電源端子 (内部発生)	—	—	—	—	—	—
101	101	V <sub>PP</sub>	—	フラッシュ ROM 用電源端子	—	—	—	—	—	—
132	132	AV <sub>SS</sub>	—	逐次比較型 ADC 用マイナス側電源端子	—	—	—	—	—	—
130	130	AV <sub>DD</sub>	—	逐次比較型 ADC 用プラス側電源端子	—	—	—	—	—	—
59	59	V <sub>L1</sub>	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
60	60	V <sub>L2</sub>	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
61	61	V <sub>L3</sub>	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
62	62	V <sub>L4</sub>	—	LCD バイアス用電源端子 (内部発生)	—	—	—	—	—	—
63	63	C1	—	LCD バイアス発生用コンデンサ接続端子	—	—	—	—	—	—
64	64	C2	—	LCD バイアス発生用コンデンサ接続端子	—	—	—	—	—	—
65	65	C3	—	LCD バイアス発生用コンデンサ接続端子	—	—	—	—	—	—
66	66	C4	—	LCD バイアス発生用コンデンサ接続端子	—	—	—	—	—	—
31	31	TEST	I/O	テスト用入出力端子	—	—	—	—	—	—
10	10	RESET_N	I	リセット入力端子	—	—	—	—	—	—
24	24	XT0	I	低速クロック発振端子	—	—	—	—	—	—
25	25	XT1	O	低速クロック発振端子	—	—	—	—	—	—
131	131	V <sub>REF</sub>	—	逐次比較型 ADC 用リファレンス電源端子	—	—	—	—	—	—
133	133	AIN0	I	逐次比較型 ADC 入力	—	—	—	—	—	—
134	134	AIN1	I	逐次比較型 ADC 入力	—	—	—	—	—	—
3	3	NMI	I	入力ポート、ノンマスクابل割込み	—	—	—	—	—	—
2	2	P00/EXI0/ CAP0	I	入力ポート、外部割込み、キャプチャ0 入力	—	—	—	—	—	—
1	1	P01/EXI1/ CAP1	I	入力ポート、外部割込み、キャプチャ1 入力	—	—	—	—	—	—
136	136	P02/EXI2/ RXD0	I	入力ポート、外部割込み、UART0 受信データ	—	—	—	—	—	—
135	135	P03/EXI3	I	入力ポート、外部割込み	—	—	—	—	—	—
29	29	P10	I	入力ポート	OSC0	I	高速発振	—	—	—
30	30	P11	I	入力ポート	OSC1	O	高速発振	—	—	—
5	5	P20/LED0	O	出力ポート、	LSCLK	O	低速クロック出力	—	—	—
6	6	P21/LED1	O	出力ポート	OUTCLK	O	高速クロック出力	—	—	—
7	7	P22/LED2	O	出力ポート	MD0	O	メロディ0 出力	—	—	—
17	17	P30	I/O	入出力ポート	IN0	I	RC 型 ADC0 発振入力端子	—	—	—
18	18	P31	I/O	入出力ポート	CS0	O	RC 型 ADC0 基準容量接続端子	—	—	—
19	19	P32	I/O	入出力ポート	RS0	O	RC 型 ADC0 基準抵抗接続端子	—	—	—
20	20	P33	I/O	入出力ポート	RT0	O	RC 型 ADC0 測定用抵抗センサ接続端子	—	—	—

PAD No.		1 次機能			2 次機能			3 次機能		
Q432	Q431	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
21	21	P34	I/O	入出力ポート	RCT0	O	RC 型 ADC0 測定用抵抗/容量センサ接続端子	PWM0	O	PWM0 出力
22	22	P35	I/O	入出力ポート	RCM	O	RC 型 ADC 用発振モータ	—	—	—
8	8	P40	I/O	入出力ポート	SDA	I/O	I <sup>2</sup> C 用データ入出力	SIN0	I	SSIO0 データ入力
9	9	P41	I/O	入出力ポート	SCL	I/O	I <sup>2</sup> C 用クロック入出力	SCK0	I/O	SSIO0 同期クロック入出力
11	11	P42	I/O	入出力ポート	RXD0	I	UART0 データ入力	SOUT0	O	SSIO0 データ出力
12	12	P43	I/O	入出力ポート	TXD0	O	UART0 データ出力	PWM0	O	PWM0 出力
13	13	P44/ T02P0CK	I/O	入出力ポート、 タイマ 0/タイマ 2/PWM0 外部クロック 入力	IN1	I	RC 型 ADC1 発振入 力端子	SIN0	I	SSIO0 データ入力
14	14	P45/ T13P1CK	I/O	入出力ポート、 タイマ 1/タイマ 3 外部 クロック入力	CS1	O	RC 型 ADC1 基準容 量接続端子	SCK0	I/O	SSIO0 同期クロック入 出力
15	15	P46	I/O	入出力ポート	RS1	O	RC 型 ADC1 基準抵 抗接続端子	SOUT0	O	SSIO0 データ出力
16	16	P47	I/O	入出力ポート	RT1	O	RC 型 ADC1 測定用 抵抗センサ接続端子	—	—	—
—	32	PA0	I/O	入出力ポート	—	—	—	—	—	—
—	33	PA1	I/O	入出力ポート	—	—	—	—	—	—
—	34	PA2	I/O	入出力ポート	—	—	—	—	—	—
—	35	PA3	I/O	入出力ポート	—	—	—	—	—	—
—	36	PA4	I/O	入出力ポート	—	—	—	—	—	—
—	37	PA5	I/O	入出力ポート	—	—	—	—	—	—
—	38	PA6	I/O	入出力ポート	—	—	—	—	—	—
—	39	PA7	I/O	入出力ポート	—	—	—	—	—	—
118	118	COM0	O	LCD コモン端子	—	—	—	—	—	—
119	119	COM1	O	LCD コモン端子	—	—	—	—	—	—
120	120	COM2	O	LCD コモン端子	—	—	—	—	—	—
121	121	COM3	O	LCD コモン端子	—	—	—	—	—	—
122	122	COM4	O	LCD コモン端子	—	—	—	—	—	—
123	123	COM5	O	LCD コモン端子	—	—	—	—	—	—
124	124	COM6	O	LCD コモン端子	—	—	—	—	—	—
125	125	COM7	O	LCD コモン端子	—	—	—	—	—	—
126	126	COM8	O	LCD コモン端子	—	—	—	—	—	—
127	127	COM9	O	LCD コモン端子	—	—	—	—	—	—
128	128	COM10	O	LCD コモン端子	—	—	—	—	—	—
129	129	COM11	O	LCD コモン端子	—	—	—	—	—	—
43	43	COM12	O	LCD コモン端子	—	—	—	—	—	—
42	42	COM13	O	LCD コモン端子	—	—	—	—	—	—
41	41	COM14	O	LCD コモン端子	—	—	—	—	—	—
40	40	COM15	O	LCD コモン端子	—	—	—	—	—	—
39	—	COM16	O	LCD コモン端子	—	—	—	—	—	—
38	—	COM17	O	LCD コモン端子	—	—	—	—	—	—
37	—	COM18	O	LCD コモン端子	—	—	—	—	—	—
36	—	COM19	O	LCD コモン端子	—	—	—	—	—	—
35	—	COM20	O	LCD コモン端子	—	—	—	—	—	—
34	—	COM21	O	LCD コモン端子	—	—	—	—	—	—
33	—	COM22	O	LCD コモン端子	—	—	—	—	—	—
32	—	COM23	O	LCD コモン端子	—	—	—	—	—	—
44	44	SEG0	O	LCD セグメント端子	—	—	—	—	—	—
45	45	SEG1	O	LCD セグメント端子	—	—	—	—	—	—
46	46	SEG2	O	LCD セグメント端子	—	—	—	—	—	—
47	47	SEG3	O	LCD セグメント端子	—	—	—	—	—	—
48	48	SEG4	O	LCD セグメント端子	—	—	—	—	—	—
49	49	SEG5	O	LCD セグメント端子	—	—	—	—	—	—
50	50	SEG6	O	LCD セグメント端子	—	—	—	—	—	—
51	51	SEG7	O	LCD セグメント端子	—	—	—	—	—	—
52	52	SEG8	O	LCD セグメント端子	—	—	—	—	—	—
53	53	SEG9	O	LCD セグメント端子	—	—	—	—	—	—
54	54	SEG10	O	LCD セグメント端子	—	—	—	—	—	—



PAD No.		1 次機能			2 次機能			3 次機能		
Q432	Q431	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
55	55	SEG11	O	LCD セグメント端子	—	—	—	—	—	—
56	56	SEG12	O	LCD セグメント端子	—	—	—	—	—	—
57	57	SEG13	O	LCD セグメント端子	—	—	—	—	—	—
58	58	SEG14	O	LCD セグメント端子	—	—	—	—	—	—
67	67	SEG15	O	LCD セグメント端子	—	—	—	—	—	—
68	68	SEG16	O	LCD セグメント端子	—	—	—	—	—	—
69	69	SEG17	O	LCD セグメント端子	—	—	—	—	—	—
70	70	SEG18	O	LCD セグメント端子	—	—	—	—	—	—
71	71	SEG19	O	LCD セグメント端子	—	—	—	—	—	—
72	72	SEG20	O	LCD セグメント端子	—	—	—	—	—	—
73	73	SEG21	O	LCD セグメント端子	—	—	—	—	—	—
74	74	SEG22	O	LCD セグメント端子	—	—	—	—	—	—
75	75	SEG23	O	LCD セグメント端子	—	—	—	—	—	—
76	76	SEG24	O	LCD セグメント端子	—	—	—	—	—	—
77	77	SEG25	O	LCD セグメント端子	—	—	—	—	—	—
78	78	SEG26	O	LCD セグメント端子	—	—	—	—	—	—
79	79	SEG27	O	LCD セグメント端子	—	—	—	—	—	—
80	80	SEG28	O	LCD セグメント端子	—	—	—	—	—	—
81	81	SEG29	O	LCD セグメント端子	—	—	—	—	—	—
82	82	SEG30	O	LCD セグメント端子	—	—	—	—	—	—
83	83	SEG31	O	LCD セグメント端子	—	—	—	—	—	—
84	84	SEG32	O	LCD セグメント端子	—	—	—	—	—	—
85	85	SEG33	O	LCD セグメント端子	—	—	—	—	—	—
86	86	SEG34	O	LCD セグメント端子	—	—	—	—	—	—
87	87	SEG35	O	LCD セグメント端子	—	—	—	—	—	—
88	88	SEG36	O	LCD セグメント端子	—	—	—	—	—	—
89	89	SEG37	O	LCD セグメント端子	—	—	—	—	—	—
90	90	SEG38	O	LCD セグメント端子	—	—	—	—	—	—
91	91	SEG39	O	LCD セグメント端子	—	—	—	—	—	—
92	92	SEG40	O	LCD セグメント端子	—	—	—	—	—	—
93	93	SEG41	O	LCD セグメント端子	—	—	—	—	—	—
94	94	SEG42	O	LCD セグメント端子	—	—	—	—	—	—
95	95	SEG43	O	LCD セグメント端子	—	—	—	—	—	—
96	96	SEG44	O	LCD セグメント端子	—	—	—	—	—	—
97	97	SEG45	O	LCD セグメント端子	—	—	—	—	—	—
98	98	SEG46	O	LCD セグメント端子	—	—	—	—	—	—
99	99	SEG47	O	LCD セグメント端子	—	—	—	—	—	—
102	102	SEG48	O	LCD セグメント端子	—	—	—	—	—	—
103	103	SEG49	O	LCD セグメント端子	—	—	—	—	—	—
104	104	SEG50	O	LCD セグメント端子	—	—	—	—	—	—
105	105	SEG51	O	LCD セグメント端子	—	—	—	—	—	—
106	106	SEG52	O	LCD セグメント端子	—	—	—	—	—	—
107	107	SEG53	O	LCD セグメント端子	—	—	—	—	—	—
108	108	SEG54	O	LCD セグメント端子	—	—	—	—	—	—
109	109	SEG55	O	LCD セグメント端子	—	—	—	—	—	—
110	110	SEG56	O	LCD セグメント端子	—	—	—	—	—	—
111	111	SEG57	O	LCD セグメント端子	—	—	—	—	—	—
112	112	SEG58	O	LCD セグメント端子	—	—	—	—	—	—
113	113	SEG59	O	LCD セグメント端子	—	—	—	—	—	—
114	114	SEG60	O	LCD セグメント端子	—	—	—	—	—	—
115	115	SEG61	O	LCD セグメント端子	—	—	—	—	—	—
116	116	SEG62	O	LCD セグメント端子	—	—	—	—	—	—
117	117	SEG63	O	LCD セグメント端子	—	—	—	—	—	—

## ■ 端子説明

端子名	I/O	説明	1 次/ 2 次/ 3 次	論理
システム				
RESET_N	I	リセット入力端子です。この端子を"L"レベルにするとシステムリセットモードになり内部が初期化され、その後端子を"H"レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	—	負
XT0	I	低速クロック用水晶振動子接続端子です。	—	—
XT1	O	32.768kHz 水晶振動子 (測定回路 1 参照) を接続し、必要に応じ $V_{SS}$ との間にコンデンサ $C_{DL}$ , $C_{GL}$ を接続します。	—	—
OSC0	I	高速クロック用水晶／セラミック振動子接続端子です。	2 次	—
OSC1	O	水晶振動子もしくはセラミック振動子を接続し (最大 4.1MHz)、 $V_{SS}$ との間にコンデンサ $C_{DH}$ , $C_{GH}$ (測定回路 1 参照) を接続します。 P10 端子および P11 端子の 2 次機能に割り付けられています。	2 次	—
LSCLK	O	低速クロック出力です。P20 端子の 2 次機能に割り付けられています。	2 次	—
OUTCLK	O	高速クロック出力です。P21 端子の 2 次機能に割り付けられています。	2 次	—
汎用入力ポート				
P00～P03	I	汎用入力ポートです。	1 次	正
P10～P11	I	汎用入力ポートです。 2 次機能として使用する場合は、汎用入力ポートとして使用できません。	1 次	正
汎用出力ポート				
P20～P22	O	汎用出力ポートです。 2 次機能として使用する場合は、汎用出力ポートとして使用できません。	1 次	正
汎用入出力ポート				
P30～P35	I/O	汎用入出力ポートです。 2 次機能、3 次機能として使用する場合は、汎用入出力ポートとして使用できません。	1 次	正
P40～P47	I/O	汎用入出力ポートです。 2 次機能、3 次機能として使用する場合は、汎用入出力ポートとして使用できません。	1 次	正
PA0～PA7	I/O	汎用入出力ポートです。 ML610Q432 には搭載していません。	1 次	正

端子名	I/O	説 明	1 次/ 2 次 /3 次	論 理
UART				
TXD0	O	UART0 データ出力端子です。P43 端子の 2 次機能に割り付けられています。	2 次	正
RXD0	I	UART0 データ入力端子です。P02 端子の 1 次機能および P42 の 2 次機能に割り付けられています。	1 次/ 2 次	正
I <sup>2</sup> C バスインタフェース				
SDA	I/O	I <sup>2</sup> C データ入出力用 NMOS オープンドレイン端子です。P40 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
SCL	I/O	I <sup>2</sup> C クロック入出力用 NMOS オープンドレイン端子です。P41 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
同期シリアル(SSIO)				
SCK0	I/O	同期シリアルクロック入出力端子です。P41 端子および P45 端子の 3 次機能に割り付けられています。	3 次	—
SIN0	I	同期シリアルデータ入力端子です。P40 端子および P44 端子の 3 次機能に割り付けられています。	3 次	正
SOUT0	O	同期シリアルデータ出力端子です。P42 端子および P46 端子の 3 次機能に割り付けられています。	3 次	正
PWM				
PWM0	O	PWM0 出力端子です。P34 端子および P43 端子の 3 次機能に割り付けられています。	3 次	正
T02P0CK	I	PWM0 外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
外部割込				
NMI	I	外部ノンマスカブル割込み入力端子です。両エッジにて割込みが発生します。	1 次	正/ 負
EXI0～3	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P00～P03 端子の 1 次機能に割り付けられています。	1 次	正/ 負
キャプチャ				
CAP0	I	キャプチャトリガ入力端子です。ソフトウェアで選択した割込みエッジに同期してタイムベースカウンタの値をレジスタに取込みます。P00(CAP0)端子, P01(CAP1)端子の 1 次機能に割り付けられています。	1 次	正/ 負
CAP1	I		1 次	正/ 負
タイマ				
T02P0CK	I	タイマ 0 およびタイマ 2 の外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
T13P1CK	I	タイマ 1 およびタイマ 3 の外部クロック入力端子です。P45 端子の 1 次機能に割り付けられています。	1 次	—
メロディ				
MD0	O	メロディ／ブザー信号出力端子です。P22 端子の 2 次機能に割り付けられています。	2 次	正/ 負
LED 駆動				
LED0～2	O	LED 直接駆動が可能な NMOS オープンドレイン端子です。P20～P22 端子の 1 次機能に割り付けられています。	1 次	正/ 負

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論 理
RC 発振型 A/D コンバータ				
IN0	I	チャンネル 0 の発振入力端子です。P30 端子の 2 次機能に割り付けられています。	2 次	—
CS0	O	チャンネル 0 の基準容量接続端子です。P31 端子の 2 次機能に割り付けられています。	2 次	—
RS0	O	チャンネル 0 の基準抵抗接続端子です。P32 端子の 2 次機能に割り付けられています。	2 次	—
RT0	O	チャンネル 0 の測定用抵抗センサ接続端子です。P33 端子の 2 次機能に割り付けられています。	2 次	—
RCT0	O	チャンネル 0 の測定用抵抗／容量センサ)接続端子です。P34 端子の 2 次機能に割り付けられています。	2 次	—
RCM	O	RC 発振モニタ端子です。P35 端子の 2 次機能に割り付けられています。	2 次	—
IN1	I	チャンネル 1 の発振入力端子です。P44 端子の 2 次機能に割り付けられています。	2 次	—
CS1	O	チャンネル 1 の基準容量接続端子です。P45 端子の 2 次機能に割り付けられています。	2 次	—
RS1	O	チャンネル 1 の基準抵抗接続端子です。P46 端子の 2 次機能に割り付けられています。	2 次	—
RT1	O	チャンネル 1 の測定用抵抗センサ接続端子です。P47 端子の 2 次機能に割り付けられています。	2 次	—
逐次比較型 A/D コンバータ				
AV <sub>SS</sub>	—	逐次比較型 A/D コンバータ用マイナス側電源端子です。	—	—
AV <sub>DD</sub>	—	逐次比較型 A/D コンバータ用プラス側電源端子です。	—	—
V <sub>REF</sub>	—	逐次比較型 A/D コンバータ用リファレンス電源端子です。	—	—
AIN0	I	逐次比較型 A/D コンバータ Ch0 アナログ入力です。	—	—
AIN1	I	逐次比較型 A/D コンバータ Ch1 アナログ入力です。	—	—
LCD 駆動信号				
COM0～15	O	コモン出力端子です。	—	—
COM16～23	O	コモン出力端子です。 ML610Q431 には搭載していません。	—	—
SEG0～63	O	セグメント出力端子です。	—	—
LCD ドライバ電源				
V <sub>L1</sub>	—	LCD バイアス電源 (内部発生) 端子です。V <sub>SS</sub> との間にそれぞれコンデンサ C <sub>a</sub> , C <sub>b</sub> , C <sub>c</sub> , C <sub>d</sub> , (測定回路 1 参照) を接続します。	—	—
V <sub>L2</sub>	—		—	—
V <sub>L3</sub>	—		—	—
V <sub>L4</sub>	—		—	—
C1	—	LCD バイアス電源発生用コンデンサ接続端子です。C1-C2 間および C3-C4 間にそれぞれコンデンサ C <sub>12</sub> , C <sub>34</sub> (測定回路 1 参照) を接続します。	—	—
C2	—		—	—
C3	—		—	—
C4	—		—	—
テスト用				
TEST	I/O	テスト用入出力端子です。プルダウン抵抗が内蔵されています。	—	正
電源				
V <sub>SS</sub>	—	マイナス側電源端子です。	—	—
V <sub>DD</sub>	—	プラス側電源端子です。	—	—
V <sub>DDL</sub>	—	内部ロジック用プラス側電源 (内部発生) 端子です。V <sub>SS</sub> との間にコンデンサ C <sub>L0</sub> , C <sub>L1</sub> (測定回路 1 参照) を接続します。	—	—
V <sub>DDX</sub>	—	低速発振用プラス側電源 (内部発生) 端子です。V <sub>SS</sub> との間にコンデンサ C <sub>X</sub> , (測定回路 1 参照) を接続します。	—	—
V <sub>PP</sub>	—	フラッシュ ROM 書き込み用電源入力端子です。プルダウン抵抗が内蔵されています。	—	—

## ■ 未使用端子処理

表 5 に未使用端子の処理方法を示します。

表 5 未使用端子の処理

端子	推奨端子処理
V <sub>PP</sub>	オープン
AV <sub>DD</sub>	V <sub>SS</sub>
AV <sub>SS</sub>	V <sub>SS</sub>
V <sub>REF</sub>	V <sub>SS</sub>
AIN0, AIN1	オープン
V <sub>L1</sub> , V <sub>L2</sub> , V <sub>L3</sub> , V <sub>L4</sub>	オープン
C1, C2, C3, C4	オープン
RESET_N	オープン
TEST	オープン
NMI	オープン
P00~P03	V <sub>DD</sub> または V <sub>SS</sub>
P10~P11	V <sub>DD</sub>
P20~P22	オープン
P30~P35	オープン
P40~P47	オープン
PA0~PA7	オープン
COM0~23	オープン
SEG0~63	オープン

## 【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード／プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

## 電気的特性

## ●絶対最大定格

(V<sub>SS</sub>=AV<sub>SS</sub>=0V)

項 目	記 号	条 件	定 格 値	単位
電源電圧 1	V <sub>DD</sub>	Ta=25°C	-0.3~+4.6	V
電源電圧 2	AV <sub>DD</sub>	Ta=25°C	-0.3~+4.6	V
電源電圧 3	V <sub>PP</sub>	Ta=25°C	-0.3~+9.5	V
電源電圧 4	V <sub>DDL</sub>	Ta=25°C	-0.3~+3.6	V
電源電圧 5	V <sub>DDX</sub>	Ta=25°C	-0.3~+3.6	V
電源電圧 6	V <sub>L1</sub>	Ta=25°C	-0.3~+1.75	V
電源電圧 7	V <sub>L2</sub>	Ta=25°C	-0.3~+3.5	V
電源電圧 8	V <sub>L3</sub>	Ta=25°C	-0.3~+5.25	V
電源電圧 9	V <sub>L4</sub>	Ta=25°C	-0.3~+7.0	V
入力電圧	V <sub>IN</sub>	Ta=25°C	-0.3~V <sub>DD</sub> +0.3	V
出力電圧	V <sub>OUT</sub>	Ta=25°C	-0.3~V <sub>DD</sub> +0.3	V
出力電流 1	I <sub>OUT1</sub>	ポート 3~A 系、Ta=25°C	-12~+11	mA
出力電流 2	I <sub>OUT2</sub>	ポート 2 系、Ta=25°C	-12~+20	mA
許容損失	PD	Ta=25°C	122	mW
保存温度	T <sub>STG</sub>	—	-55~+150	°C

## ●推奨動作条件

(V<sub>SS</sub>=AV<sub>SS</sub>=0V)

項 目	記 号	条 件	範 囲	単位
動作温度	T <sub>OP</sub>	—	-20~+70	°C
動作電圧	V <sub>DD</sub>	—	1.1~3.6	V
	AV <sub>DD</sub>	—	2.2~3.6	
動作周波数 (CPU)	f <sub>OP</sub>	V <sub>DD</sub> =1.1~3.6V	30k~36k	Hz
		V <sub>DD</sub> =1.3~3.6V	30k~650k	
		V <sub>DD</sub> =1.8~3.6V	30k~4.2M	
V <sub>DDL</sub> 端子外付け容量	C <sub>L0</sub>	—	1.0±30%	μF
	C <sub>L1</sub>	—	0.1±30%	
V <sub>DDX</sub> 端子外付け容量	C <sub>X</sub>	—	0.1±30%	μF
V <sub>L1,2,3,4</sub> 端子外付け容量	C <sub>L1,2,3</sub>	—	1.0±30%	μF
C1-C2, C3-C4 端子間 外付け容量	C <sub>12</sub> , C <sub>34</sub>	—	1.0±30%	μF

## ●発振回路動作条件

(V<sub>SS</sub>= 0V)

項 目	記 号	条 件	規格値			単位
			Min.	Typ.	Max.	
低速水晶発振周波数	f <sub>XTL</sub>	—	—	32.768k	—	Hz
推奨する低速水晶の 等価直列抵抗値	R <sub>L</sub>	—	—	—	40k	Ω
低速水晶発振外付け容量 <sup>*1</sup>	C <sub>DL</sub> /C <sub>GL</sub>	水晶振動子の C <sub>L</sub> =6pF <sup>*2</sup>	—	0	—	pF
		水晶振動子の C <sub>L</sub> =9pF	—	6	—	
		水晶振動子の C <sub>L</sub> =12pF	—	12	—	
高速水晶/セラミック 発振周波数	f <sub>XTH</sub>	—	—	4.0M / 4.096M	—	Hz
高速水晶発振 外付け容量	C <sub>DH</sub>	—	—	24	—	pF
	C <sub>GH</sub>	—	—	24	—	

<sup>\*1</sup>: 内蔵負荷容量(C<sub>D</sub>, C<sub>G</sub>)のバラつき、および、お客様の基板の配線容量等を考慮頂き、外付け容量を調整下さい。

<sup>\*2</sup>: C<sub>L</sub>=6pF の水晶振動子の場合、外付け容量で補正出来ない可能性があります。

## ●フラッシュ ROM 動作条件

(V<sub>SS</sub>=AV<sub>SS</sub>=0V)

項 目	記 号	条 件	範 围	単 位
動作温度	T <sub>OP</sub>	書き込み／消去時	0～+40	℃
動作電圧	V <sub>DD</sub>	書き込み／消去時 <sup>*1</sup>	2.75～3.6	V
	V <sub>DDL</sub>	書き込み／消去時 <sup>*1</sup>	2.5～2.75	
	V <sub>PP</sub>	書き込み／消去時 <sup>*1</sup>	7.7～8.3	
書き換え回数	C <sub>EP</sub>	—	80	回
データ保持年数	Y <sub>DR</sub>	—	10	年

<sup>\*1</sup> : フラッシュ ROM 書き込み／消去時は VDDL 端子に上記規定範囲の電圧を供給する必要があります。  
V<sub>PP</sub> 端子には、プルダウン抵抗を内蔵しています。

## ●直流特性(1/5)

(特に指定のない場合は、V<sub>DD</sub>=1.1～3.6V, AV<sub>DD</sub>=2.2～3.6V, V<sub>SS</sub>=AV<sub>SS</sub>=0V, Ta=-20～+70℃)

項 目	記 号	条 件		規 格 値			単位	測定回路
				Min.	Typ.	Max.		
500kHz RC 発振周波数	f <sub>RC</sub>	V <sub>DD</sub> =1.3 ~3.6V	Ta=25℃	Typ. -10%	500	Typ. +10%	kHz	1
			Ta=-20~70℃	Typ. -25%	500	Typ. +25%	kHz	
PLL 発振周波数* <sup>4</sup>	f <sub>PLL</sub>	LSCLK=32.768kHz V <sub>DD</sub> =1.8~3.6V		Typ. -2.5%	8.192	Typ. +2.5%	MHz	
低速水晶発振開始時間* <sup>2</sup>	T <sub>XTL</sub>	—		—	0.3	2	s	
500kHz RC 発振開始時間	T <sub>RC</sub>	—		—	50	500	μs	
高速水晶発振開始時間* <sup>3</sup>	T <sub>XTH</sub>	V <sub>DD</sub> =1.8~3.6V		—	2	20	ms	
PLL 発振開始時間	T <sub>PLL</sub>	V <sub>DD</sub> =1.8~3.6V		—	1	10		
低速発振停止検出時間* <sup>1</sup>	T <sub>STOP</sub>	—		0.2	3	20		
リセット有効パルス幅	P <sub>RST</sub>	—		200	—	—	μs	
リセットノイズ除去 パルス幅	P <sub>NRST</sub>	—		—	—	0.3		
パワーオンリセット発生 電源立ち上がり時間	T <sub>POR</sub>	—		—	—	10	ms	

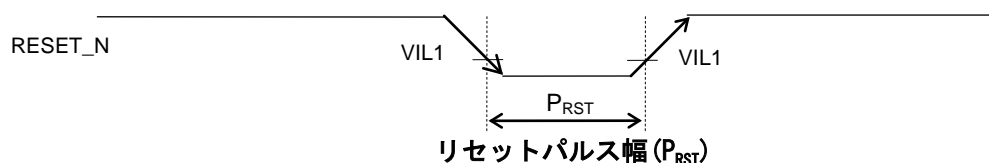
<sup>\*1</sup> : 低速水晶発振が低速発振停止検出時間以上停止した場合、システムリセットモードになります。A 版 : ML610Q431A/Q432A にはこの規格はありません。

<sup>\*2</sup> : 32.768kHz 水晶振動子 C-001R (エプソントヨコム株式会社) を使用 (C<sub>GL</sub>/C<sub>DL</sub>=0pF)。

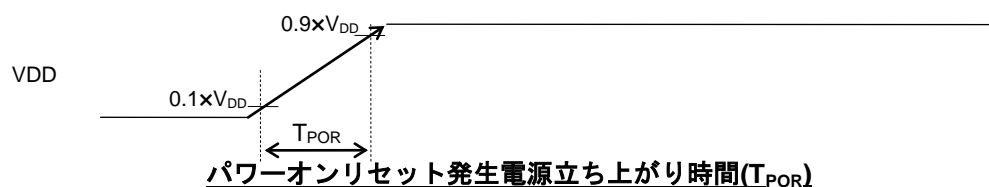
<sup>\*3</sup> : 4.096MHz 水晶振動子 HC49SFWB (京セラ株式会社) を使用。

<sup>\*4</sup> : 1024 クロックの平均値。

## [リセットパルス幅]



## [パワーオンリセット発生電源立ち上がり時間]



## ●直流特性(2/5)

(特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ )

項 目	記 号	条 件		規 格 値			単位	測定回路
				Min.	Typ.	Max.		
V <sub>L1</sub> 電圧	V <sub>L1</sub>	V <sub>DD</sub> =3.0V, T <sub>j</sub> =25°C	CN4~0=00H	0.89	0.94	0.99	V	1
			CN4~0=01H	0.91	0.96	1.01		
			CN4~0=02H	0.93	0.98	1.03		
			CN4~0=03H	0.95	1.00	1.05		
			CN4~0=04H	0.97	1.02	1.07		
			CN4~0=05H	0.99	1.04	1.09		
			CN4~0=06H	1.01	1.06	1.11		
			CN4~0=07H	1.03	1.08	1.13		
			CN4~0=08H	1.05	1.10	1.15		
			CN4~0=09H	1.07	1.12	1.17		
			CN4~0=0AH	1.09	1.14	1.19		
			CN4~0=0BH	1.11	1.16	1.21		
			CN4~0=0CH	1.13	1.18	1.23		
			CN4~0=0DH	1.15	1.20	1.25		
			CN4~0=0EH	1.17	1.22	1.27		
			CN4~0=0FH	1.19	1.24	1.29		
			CN4~0=10H	1.21	1.26	1.31		
			CN4~0=11H	1.23	1.28	1.33		
			CN4~0=12H	1.25	1.30	1.35		
			CN4~0=13H	1.27	1.32	1.37		
			CN4~0=14H* <sup>1</sup>	1.29	1.34	1.39		
			CN4~0=15H* <sup>1</sup>	1.31	1.36	1.41		
			CN4~0=16H* <sup>1</sup>	1.33	1.38	1.43		
			CN4~0=17H* <sup>1</sup>	1.35	1.40	1.45		
			CN4~0=18H* <sup>1</sup>	1.37	1.42	1.47		
			CN4~0=19H* <sup>1</sup>	1.39	1.44	1.49		
			CN4~0=1AH* <sup>1</sup>	1.41	1.46	1.51		
			CN4~0=1BH* <sup>1</sup>	1.43	1.48	1.53		
CN4~0=1CH* <sup>1</sup>	1.45	1.50	1.55					
CN4~0=1DH* <sup>1</sup>	1.47	1.52	1.57					
CN4~0=1EH* <sup>1</sup>	1.49	1.54	1.59					
CN4~0=1FH* <sup>1</sup>	1.51	1.56	1.61					
V <sub>L1</sub> 温度偏差	ΔV <sub>L1</sub>	V <sub>DD</sub> =3.0V		—	-1.5	—	mV/°C	
V <sub>L1</sub> 電圧依存	ΔV <sub>L1</sub>	V <sub>DD</sub> =1.3~3.6V		—	5	20	mV/V	
V <sub>L2</sub> 電圧	V <sub>L2</sub>	V <sub>DD</sub> =3.0V, T <sub>j</sub> =25°C 負荷 300kΩ (V <sub>L4</sub> —V <sub>SS</sub> 間)		Typ. -10%	V <sub>L1</sub> ×2	Typ. +4%	V	
V <sub>L3</sub> 電圧	V <sub>L3</sub>	V <sub>DD</sub> =3.0V, T <sub>j</sub> =25°C 負荷 300kΩ (V <sub>L4</sub> —V <sub>SS</sub> 間)	1/3 バイアス	Typ. -10%	V <sub>L1</sub> ×2	Typ. +4%		
V <sub>L4</sub> 電圧	V <sub>L4</sub>		1/4 バイアス	Typ. -10%	V <sub>L1</sub> ×3	Typ. +4%		
			1/3 バイアス	Typ. -10%	V <sub>L1</sub> ×3	Typ. +5%		
LCD バイアス電圧発生時間	T <sub>BIAS</sub>	—		—	—	600	ms	

\*1 : 1/4 バイアス時は、Typ. 1.32V (CN4~0=13H と同じ電圧) に設定されます。



## ●直流特性(3/5)

(特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
BLD 判定電圧	$V_{BLD}$	$V_{DD}=1.35\sim 3.6V$	Typ. -2%	1.35	Typ. +2%	V	1
				1.4			
				1.45			
				1.5			
				1.6			
				1.7			
				1.8			
				1.9			
				2.0			
				2.1			
				2.2			
				2.3			
				2.4			
				2.5			
				2.7			
				2.9			
BLD 判定電圧 温度偏差	$\Delta V_{BLD}$	$V_{DD}=1.35\sim 3.6V$	—	0.1	—	%/ $^{\circ}C$	
消費電流 1	IDD1	CPU が STOP 状態 低速/高速発振停止	$T_a=25^{\circ}C$	—	0.15	0.5	$\mu A$
			$T_a=-20\sim 70^{\circ}C$	—	—	2.50	
消費電流 2	IDD2	CPU が HALT 状態 (LTBC, RTC 動作 <sup>*3*</sup> ), 高速発振停止, LCD BIAS 回路停止	$T_a=25^{\circ}C$	—	0.5	1.3	$\mu A$
			$T_a=-20\sim 70^{\circ}C$	—	—	3.5	
消費電流 3	IDD3	CPU が 32.768kHz 動作状態 <sup>*1*</sup> , 高速発振停止, LCD BIAS 回路動作中 <sup>*2</sup>	$T_a=25^{\circ}C$	—	5	7	$\mu A$
			$T_a=-20\sim 70^{\circ}C$	—	—	12	
消費電流 4	IDD4	CPU が 500kHz CR 動作状態, LCD BIAS 回路動作中 <sup>*2</sup>	$T_a=25^{\circ}C$	—	70	85	$\mu A$
			$T_a=-20\sim 70^{\circ}C$	—	—	100	
消費電流 5	IDD5	CPU が 4.096MHz 動作状態 <sup>*2*</sup> , PLL 発振状態, LCD BIAS 回路動作中 <sup>*2</sup> , $V_{DD}=1.8\sim 3.6V$	$T_a=25^{\circ}C$	—	0.8	1.0	mA
			$T_a=-20\sim 70^{\circ}C$	—	—	1.2	
消費電流 6	IDD6	CPU が 4.096MHz 動作状態 <sup>*2</sup> , PLL 発振状態, A/D 動作状態, LCD BIAS 回路動作中 <sup>*2</sup> , $V_{DD}=AV_{DD}=3.0V$	$T_a=25^{\circ}C$	—	1.5	1.6	mA
			$T_a=-20\sim 70^{\circ}C$	—	—	2.5	

\*1: CPU 動作率 100%時 (HALT 状態なし)

\*2: 全セグメントオフ波形、液晶パネル負荷なし、1/3 バイアス、1/3 デューティ、フレーム周波数約 64Hz、バイアス昇圧クロック 1/128LSCLK (256Hz)

\*3: 32.768KHz 水晶振動子 C-001R (エプソントヨコム株式会社) を使用 ( $C_{GL}/C_{DL}=0pF$ )

\*4: 4.096MHz 水晶振動子 HC49SFWB (京セラ株式会社) を使用

\*5: BLKCON0~BLKCON4 の有効ビット全て“1”。

## ●直流特性(4/5)

(特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ )

項 目	記 号	条 件		規 格 値			単位	測定回路
				Min.	Typ.	Max.		
出力電圧 1 (P20~P22/2 次機能選択時) (P30~P35) (P40~P47) (PA0~PA7)* <sup>1</sup>	VOH1	IOH1=-0.5mA, V <sub>DD</sub> =1.8~3.6V		V <sub>DD</sub> -0.5	—	—	V	2
		IOH1=-0.1mA, V <sub>DD</sub> =1.3~3.6V		V <sub>DD</sub> -0.3	—	—		
		IOH1=-0.03mA, V <sub>DD</sub> =1.1~3.6V		V <sub>DD</sub> -0.3	—	—		
	VOL1	IOL1=+0.5mA, V <sub>DD</sub> =1.8~3.6V		—	—	0.5		
		IOL1=+0.1mA, V <sub>DD</sub> =1.3~3.6V		—	—	0.5		
		IOL1=+0.03mA, V <sub>DD</sub> =1.1~3.6V		—	—	0.3		
出力電圧 2 (P20~P22/2 次機能未選択時)	VOH2	IOH1=-0.5mA, V <sub>DD</sub> =1.8~3.6V		V <sub>DD</sub> -0.5	—	—		
		IOH1=-0.1mA, V <sub>DD</sub> =1.3~3.6V		V <sub>DD</sub> -0.3	—	—		
		IOH1=-0.03mA, V <sub>DD</sub> =1.1~3.6V		V <sub>DD</sub> -0.3	—	—		
	VOL2	IOL2=+5mA, V <sub>DD</sub> =1.8~3.6V		—	—	0.5		
出力電圧 3 (P40~P41)	VOL3	IOL3=+3mA, V <sub>DD</sub> =2.0~3.6V (I <sup>2</sup> C モード選択時)		—	—	0.4		
出力電圧 4 (COM0~15) (COM16~23) * <sup>2</sup> (SEG0~63)	VOH4	IOH4=-0.2mA, VL1=1.2V		V <sub>L4</sub> -0.2	—	—		
	VOMH4	IOMH4=+0.2mA, VL1=1.2V		—	—	V <sub>L3</sub> +0.2		
	VOMH4S	IOMH4S=-0.2mA, VL1=1.2V		V <sub>L3</sub> -0.2	—	—		
	VOM4	IOM4=+0.2mA, VL1=1.2V		—	—	V <sub>L2</sub> +0.2		
	VOM4S	IOM4S=-0.2mA, VL1=1.2V		V <sub>L2</sub> -0.2	—	—		
	VOML4	IOML4=+0.2mA, VL1=1.2V		—	—	V <sub>L1</sub> +0.2		
	VOML4S	IOML4S=-0.2mA, VL1=1.2V		V <sub>L1</sub> -0.2	—	—		
	VOL4	IOL4=+0.2mA, VL1=1.2V		—	—	0.2		
出力リーク (P20~P22) (P30~P35) (P40~P47) (PA0~PA7)* <sup>1</sup>	IOOH	VOH=V <sub>DD</sub> (ハイインピーダンス時)		—	—	1	μA	3
	IOOL	VOL=V <sub>SS</sub> (ハイインピーダンス時)		-1	—	—		
入力電流 1 (RESET_N)	IIH1	VIH1=V <sub>DD</sub>		0	—	1	μA	4
	IIL1	VIL1=V <sub>SS</sub>	V <sub>DD</sub> =1.8~3.6V	-600	-300	-20		
			V <sub>DD</sub> =1.3~3.6V	-600	-300	-10		
			V <sub>DD</sub> =1.1~3.6V	-600	-300	-2		
入力電流 1 (TEST)	IIH1	VIH1=V <sub>DD</sub>	V <sub>DD</sub> =1.8~3.6V	20	300	600		
			V <sub>DD</sub> =1.3~3.6V	10	300	600		
			V <sub>DD</sub> =1.1~3.6V	2	300	600		
	IIL1	VIL1=V <sub>SS</sub>		-1	—	—		
	入力電流 2 (NMI) (P00~P03) (P10~P11) (P30~P35) (P40~P47) (PA0~PA7)* <sup>1</sup>	IIH2	VIH2=V <sub>DD</sub> (プルダウン時)	V <sub>DD</sub> =1.8~3.6V	2	30		
V <sub>DD</sub> =1.3~3.6V				0.2	30	200		
V <sub>DD</sub> =1.1~3.6V				0.01	30	200		
IIL2		VIL2=V <sub>SS</sub> (プルアップ時)	V <sub>DD</sub> =1.8~3.6V	-200	-30	-2		
			V <sub>DD</sub> =1.3~3.6V	-200	-30	-0.2		
			V <sub>DD</sub> =1.1~3.6V	-200	-30	-0.01		
IIH2Z		VIH2=V <sub>DD</sub> (ハイインピーダンス時)		—	—	1		
IIL2Z		VIL2=V <sub>SS</sub> (ハイインピーダンス時)		-1	—	—		

\*<sup>1</sup>: ML610Q431 のみ\*<sup>2</sup>: ML610Q432 のみ

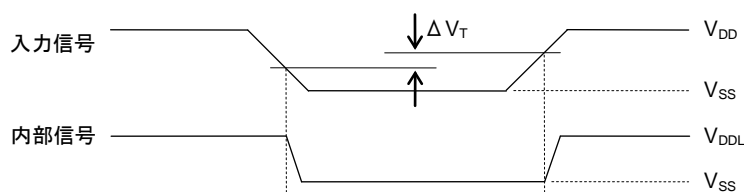
## ●直流特性(5/5)

(特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (TEST) (NMI) (P00~P03) (P10~P11) (P31~P35) (P40~P47) (PA0~PA7)* <sup>1</sup>	VIH1	$V_{DD}=1.3\sim 3.6V$	$0.7 \times V_{DD}$	—	$V_{DD}$	V	5
		$V_{DD}=1.1\sim 3.6V$	$0.7 \times V_{DD}$	—	$V_{DD}$		
	VIL1	$V_{DD}=1.3\sim 3.6V$	0	—	$0.3 \times V_{DD}$		
		$V_{DD}=1.1\sim 3.6V$	0	—	$0.2 \times V_{DD}$		
ヒステリシス幅 (RESET_N) (TEST) (NMI) (P00~P03) (P10~P11) (P31~P35) (P40~P43) (P45~P47) (PA0~PA7)* <sup>1</sup>	$\Delta VT$	$V_{DD}=2.0\sim 3.6V$	$0.05 \times V_{DD}$	$0.18 \times V_{DD}$	$0.4 \times V_{DD}$	V	5
		$V_{DD}=1.1\sim 3.6V$	$0.02 \times V_{DD}$	$0.18 \times V_{DD}$	$0.4 \times V_{DD}$		
入力電圧 2 (P30, P44)	VIH2	—	$0.7 \times V_{DD}$	—	$V_{DD}$	pF	—
	VIL2	—	0	—	$0.3 \times V_{DD}$		
入力端子容量 (NMI) (P00~P03) (P10~P11) (P30~P35) (P40~P47) (PA0~PA7)* <sup>1</sup>	CIN	$f=10kHz$ $V_{rms}=50mV$ $T_a=25^{\circ}C$	—	—	5	pF	—

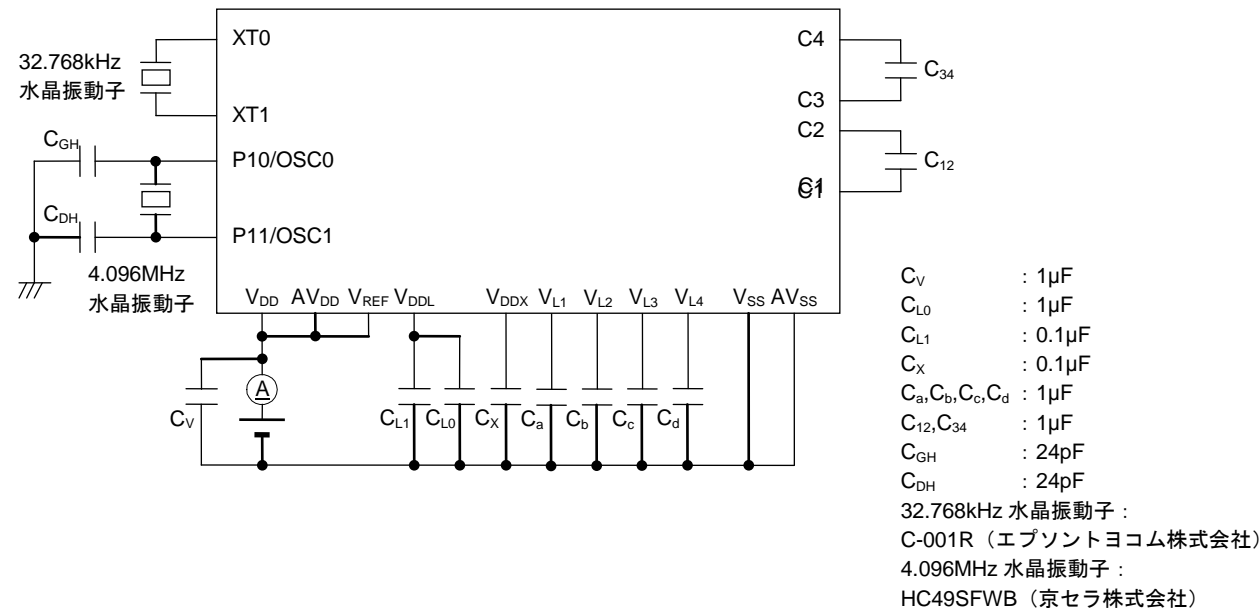
\*<sup>1</sup> : ML610Q431 のみ

## ●ヒステリシス幅

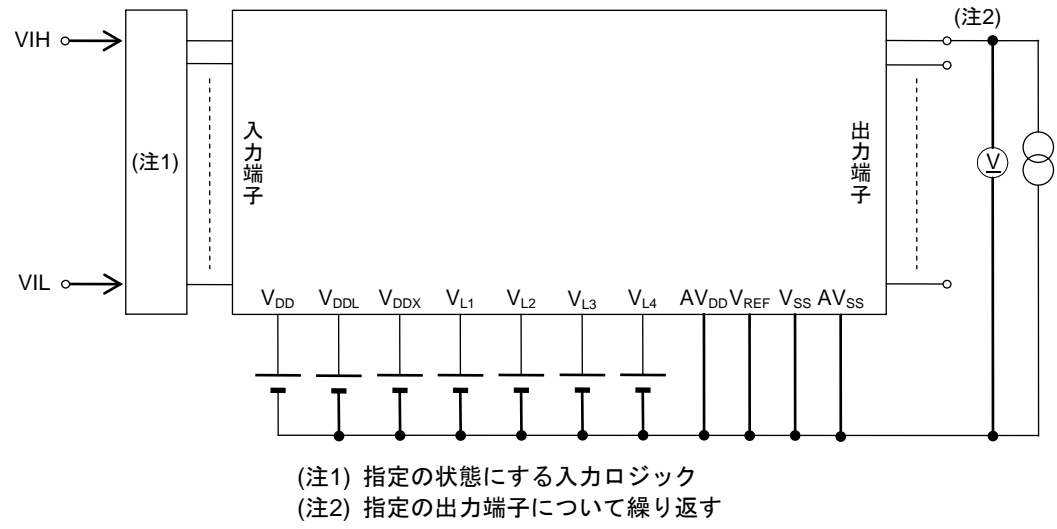


●測定回路

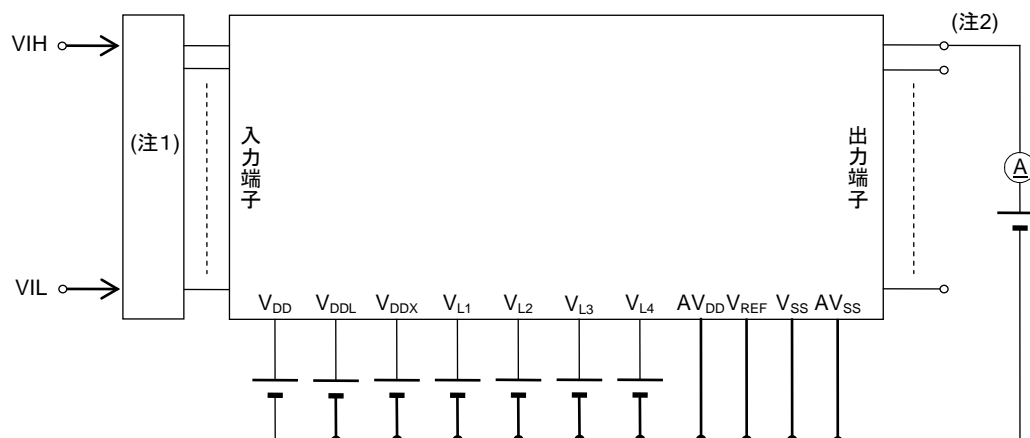
測定回路 1



測定回路 2

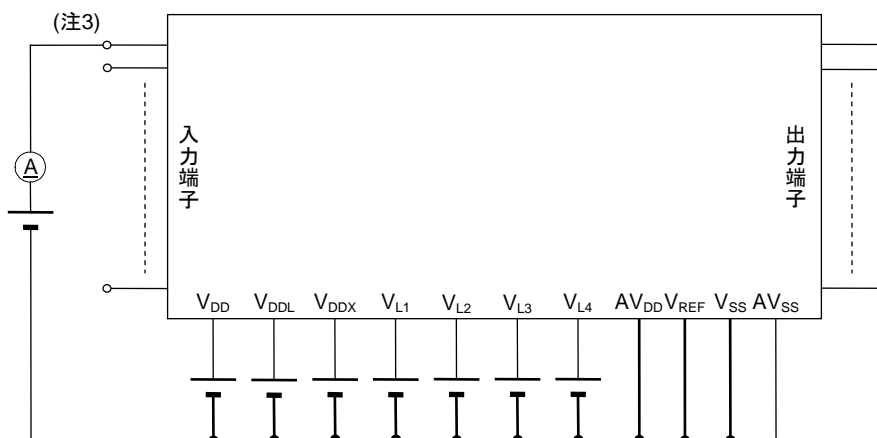


測定回路 3



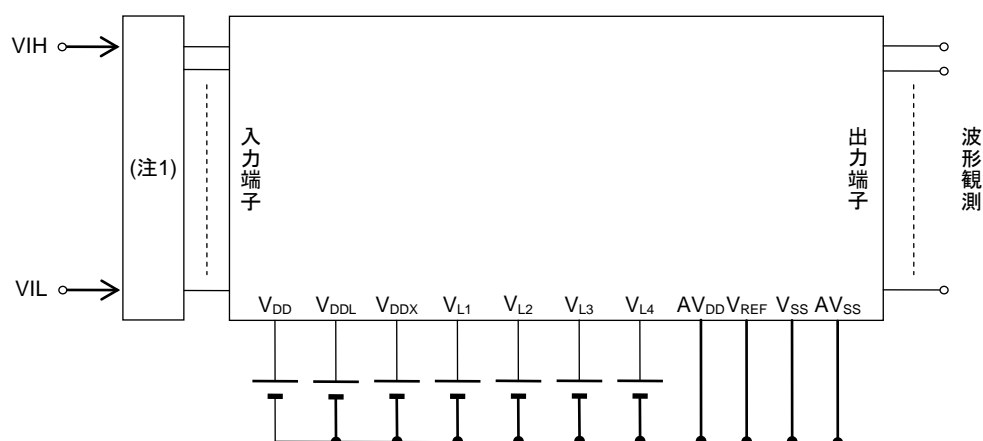
(注1) 指定の状態にする入力ロジック  
(注2) 指定の出力端子について繰り返す

測定回路 4



(注3) 指定の入力端子について繰り返す

測定回路 5

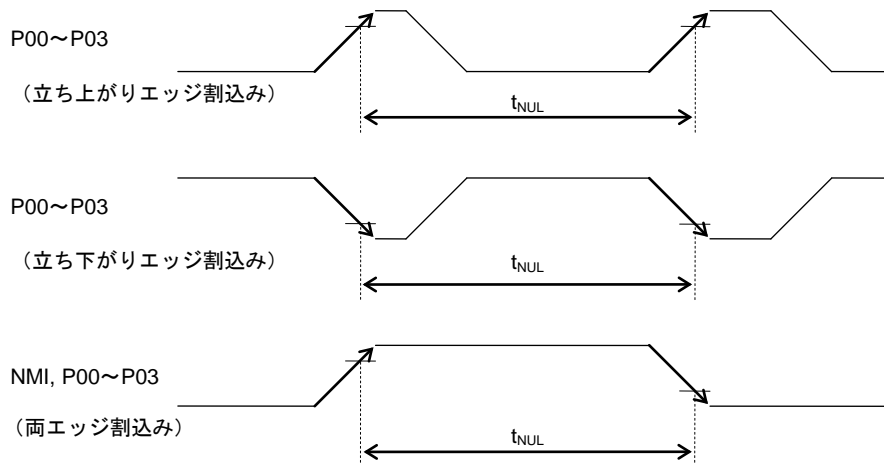


(注1) 指定の状態にする入力ロジック

## ●交流特性（外部割込み）

(特に指定のない場合は、 $V_{DD}=1.1\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	$T_{NUL}$	割込み許可 (MIE=1) CPU は NOP 動作 システムクロック:32.768kHz	76.8	—	106.8	$\mu s$

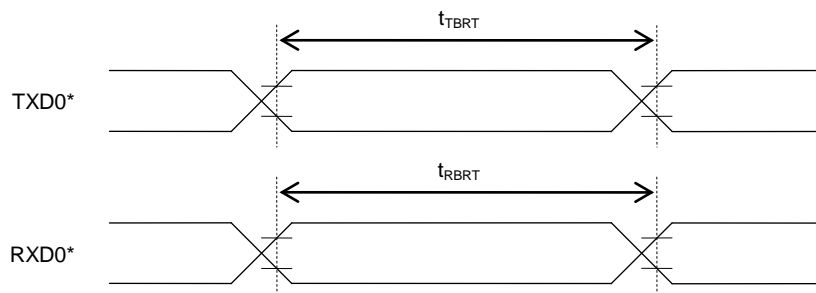


## ●交流特性（UART）

(特に指定のない場合は、 $V_{DD}=1.3\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
送信ボーレート	$t_{TBRT}$	—	—	$BRT^{*1}$	—	s
受信ボーレート	$t_{RBRT}$	—	$BRT^{*1}$ -3%	$BRT^{*1}$	$BRT^{*1}$ +3%	s

\*1: UART0 ボーレートレジスタ (UA0BRTL,H)、UART0 モードレジスタ 0 (UA0MOD0)で設定されたボーレートの周期 (選択されたクロック周波数誤差含む)



\*:ポートの 2 次機能を示す。

## ●交流特性（同期式シリアルポート）

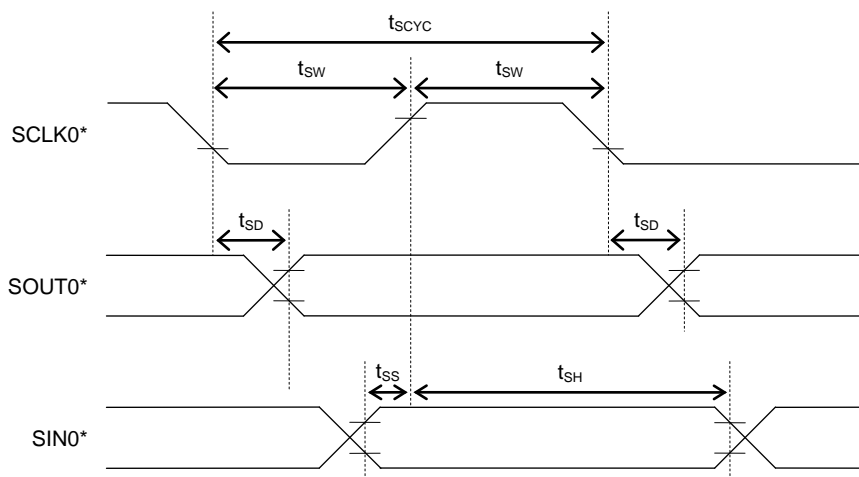
（特に指定のない場合は、 $V_{DD}=1.3\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ ）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル （スレーブモード）	$t_{SCYC}$	RC 発振モード時 <sup>*2</sup> （ $V_{DD}=1.3\sim 3.6V$ ）	10	—	—	$\mu s$
		高速発振時 <sup>*3</sup> （ $V_{DD}=1.8\sim 3.6V$ ）	1	—	—	$\mu s$
SCLK 出力サイクル （マスタモード）	$t_{SCYC}$	—	—	SCLK <sup>*1</sup>	—	s
SCLK 入力パルス幅 （スレーブモード）	$t_{SW}$	RC 発振モード時 <sup>*2</sup> （ $V_{DD}=1.3\sim 3.6V$ ）	4	—	—	$\mu s$
		高速発振時 <sup>*3</sup> （ $V_{DD}=1.8\sim 3.6V$ ）	0.4	—	—	$\mu s$
SCLK 出力パルス幅 （マスタモード）	$t_{SW}$	—	SCLK <sup>*1</sup> $\times 0.4$	SCLK <sup>*1</sup> $\times 0.5$	SCLK <sup>*1</sup> $\times 0.6$	s
SOUT 出力遅延時間 （スレーブモード）	$t_{SD}$	RC 発振モード時 <sup>*2</sup> （ $V_{DD}=1.3\sim 3.6V$ ）	—	—	500	ns
		高速発振時 <sup>*3</sup> （ $V_{DD}=1.8\sim 3.6V$ ）	—	—	240	
SOUT 出力遅延時間 （マスタモード）	$t_{SD}$	RC 発振モード時 <sup>*2</sup> （ $V_{DD}=1.3\sim 3.6V$ ）	—	—	500	ns
		高速発振時 <sup>*3</sup> （ $V_{DD}=1.8\sim 3.6V$ ）	—	—	240	
SIN 入力 セットアップ時間 （スレーブモード）	$t_{SS}$	—	80	—	—	ns
SIN 入力 セットアップ時間 （マスタモード）	$t_{SS}$	RC 発振モード時 <sup>*2</sup> （ $V_{DD}=1.3\sim 3.6V$ ）	500	—	—	ns
		高速発振時 <sup>*3</sup> （ $V_{DD}=1.8\sim 3.6V$ ）	240	—	—	
SIN 入力 ホールド時間	$t_{SH}$	RC 発振モード時 <sup>*2</sup> （ $V_{DD}=1.3\sim 3.6V$ ）	300	—	—	ns
		高速発振時 <sup>*3</sup> （ $V_{DD}=1.8\sim 3.6V$ ）	80	—	—	

\*<sup>1</sup>：シリアルポート 0 モードレジスタ（SIO0MOD1）の S0CK3～0 により選択されたクロック周期

\*<sup>2</sup>：周波数コントロールレジスタ 0（FCON0）の OSCM1～0 により RC 発振モードを選択した場合

\*<sup>3</sup>：周波数コントロールレジスタ 0（FCON0）の OSCM1～0 により水晶/セラミック発振モード、  
あるいは内蔵 PLL 発振モード、あるいは外部クロック入力モードを選択した場合



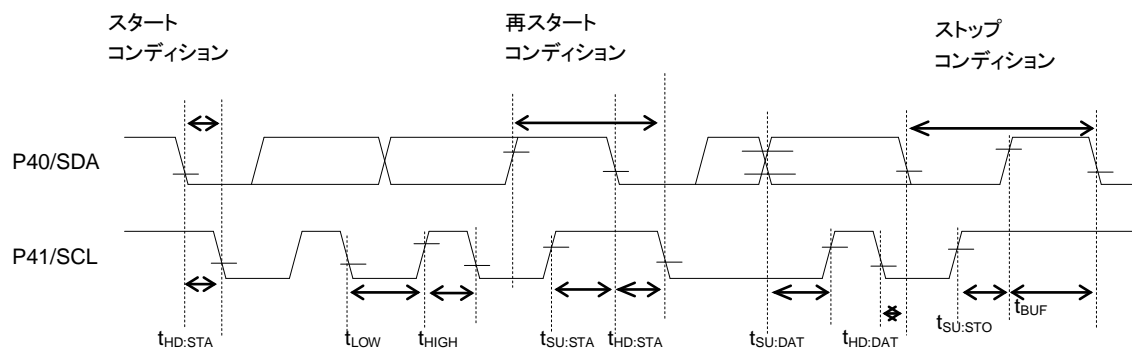
\*: ポートの 2 次機能を示す。

●交流特性 (I<sup>2</sup>C バスインタフェース : 標準モード 100kHz)(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	$f_{SCL}$	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$	—	4.0	—	—	$\mu s$
SCL "L" レベル時間	$t_{LOW}$	—	4.7	—	—	$\mu s$
SCL "H" レベル時間	$t_{HIGH}$	—	4.0	—	—	$\mu s$
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	4.7	—	—	$\mu s$
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	3.45	$\mu s$
SDA セットアップ時間	$t_{SU:DAT}$	—	0.25	—	—	$\mu s$
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	4.0	—	—	$\mu s$
バスフリー時間	$t_{BUF}$	—	4.7	—	—	$\mu s$

●交流特性 (I<sup>2</sup>C バスインタフェース : ファーストモード 400kHz)(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	$f_{SCL}$	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$	—	0.6	—	—	$\mu s$
SCL "L" レベル時間	$t_{LOW}$	—	1.3	—	—	$\mu s$
SCL "H" レベル時間	$t_{HIGH}$	—	0.6	—	—	$\mu s$
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.6	—	—	$\mu s$
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	0.9	$\mu s$
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	$\mu s$
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	$\mu s$
バスフリー時間	$t_{BUF}$	—	1.3	—	—	$\mu s$





## ●交流特性（RC 発振方式 A/D コンバータ）

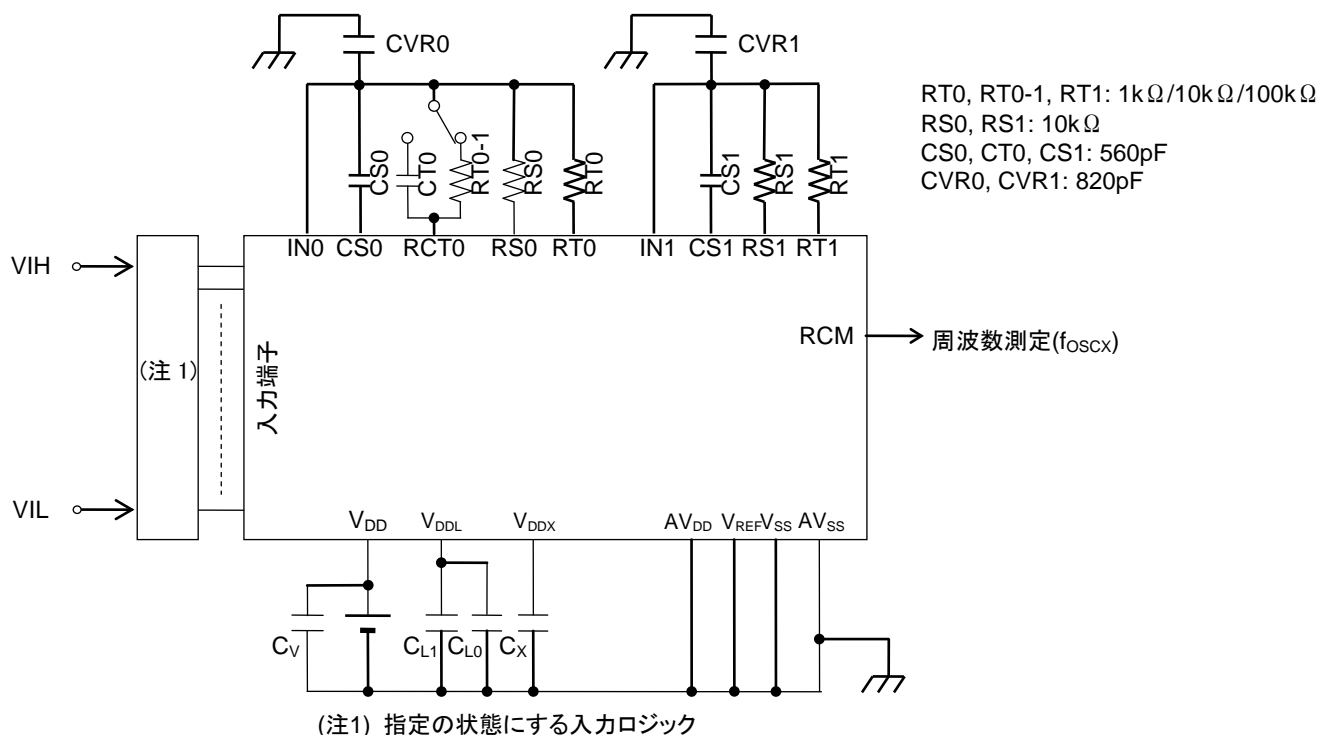
(特に指定のない場合は、 $V_{DD}=1.3\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $T_a=-20\sim +70^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
発振用抵抗	RS0,RS1,RT0,RT0-1,RT1	CS0, CT0, CS1 $\geq 740pF$	1	—	—	k $\Omega$
発振周波数 VDD = 1.5V	f <sub>OSC1</sub>	発振用抵抗=1k $\Omega$	209.4	330.6	435.1	kHz
	f <sub>OSC2</sub>	発振用抵抗=10k $\Omega$	41.29	55.27	64.16	kHz
	f <sub>OSC3</sub>	発振用抵抗=100k $\Omega$	4.71	5.97	7.06	kHz
RS・RT 発振周波数比* <sup>1</sup> VDD = 1.5V	Kf1	RT0, RT0-1, RT1=1k $\Omega$	5.567	5.982	6.225	—
	Kf2	RT0, RT0-1, RT1=10k $\Omega$	0.99	1	1.01	—
	Kf3	RT0, RT0-1, RT1=100k $\Omega$	0.104	0.108	0.118	—
発振周波数 VDD = 3.0V	f <sub>OSC1</sub>	発振用抵抗=1k $\Omega$	407.3	486.7	594.6	kHz
	f <sub>OSC2</sub>	発振用抵抗=10k $\Omega$	49.76	59.28	72.76	kHz
	f <sub>OSC3</sub>	発振用抵抗=100k $\Omega$	5.04	5.993	7.04	kHz
RS・RT 発振周波数比* <sup>1</sup> VDD = 3.0V	Kf1	RT0, RT0-1, RT1=1k $\Omega$	8.006	8.210	8.416	—
	Kf2	RT0, RT0-1, RT1=10k $\Omega$	0.99	1	1.01	—
	Kf3	RT0, RT0-1, RT1=100k $\Omega$	0.100	0.108	0.115	—

\*<sup>1</sup>: Kfx は、同一条件におけるセンサ抵抗による発振周波数と基準抵抗による発振周波数の比

$$Kfx = \frac{f_{OSCx}(RT0-CS0 \text{ 発振})}{f_{OSCx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{OSCx}(RT0-1-CS0 \text{ 発振})}{f_{OSCx}(RS0-CS0 \text{ 発振})}, \quad \frac{f_{OSCx}(RT1-CS1 \text{ 発振})}{f_{OSCx}(RS1-CS1 \text{ 発振})}$$

( x = 1, 2, 3 )



## 【注意】

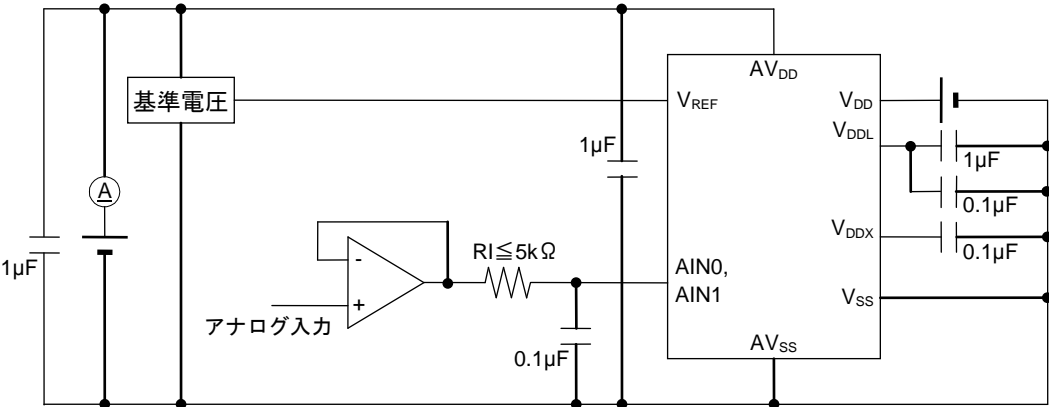
- ・共通ノード(各外付けコンデンサや抵抗から IN0/IN1 端子に接続される配線パターン)は、CVR0/CVR1 を含めて LSI から最短になるようレイアウトしてください。特に IN0 と RS0、IN1 と RS1 間の長い配線は避けて下さい。配線間のカップリング容量で A/D 変換が誤動作する可能性があります。また、共通ノードの周辺にノイズ源となるような信号は配線しないでください。
- ・RT0/RT1 など(サーミスタなど)が配置場所の制限によって配線の引き回しが必要な信号は VSS (GND) 線でガードしてください。
- ・目的の測定に必要な素子(コンデンサや抵抗など)のみ配線して下さい。予備の素子などを配線している場合、その素子からのノイズで A/D 変換動作に影響を与える可能性があります。

● 逐次比較型 A/D コンバータの電気的特性

(特に指定のない場合は、 $V_{DD}=1.8\sim 3.6V$ ,  $AV_{DD}=2.2\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $Ta=-20\sim +70^{\circ}C$ )

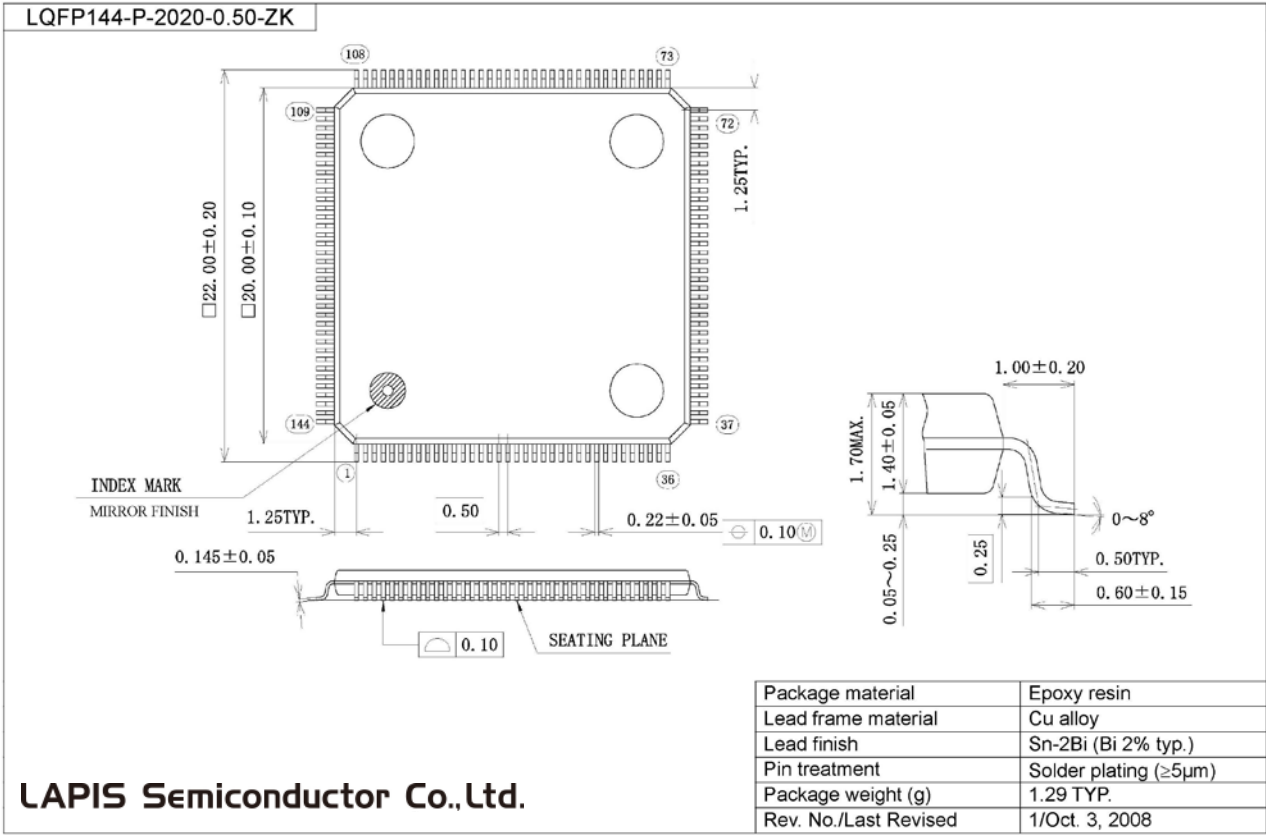
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	—	12	bit
積分非直線性誤差	IDL	$2.7V \leq V_{REF} \leq 3.6V$	-4	—	+4	LSB
		$2.2V \leq V_{REF} \leq 2.7V$	-6	—	+6	
微分非直線性誤差	DNL	$2.7V \leq V_{REF} \leq 3.6V$	-3	—	+3	
		$2.2V \leq V_{REF} \leq 2.7V$	-5	—	+5	
ゼロスケール誤差	$V_{OFF}$	—	-6	—	+6	V
フルスケール誤差	FSE	—	-6	—	+6	
リファレンス電圧	$V_{REF}$	—	2.2	—	$AV_{DD}$	
変換時間	$t_{CONV}$	SACK=0 (HSCLK=375k~625kHz)	—	25	—	$\phi/CH$
		SACK=1 (HSCLK=1.5M~4.2MHz)	—	112	—	

$\phi$  : 高速クロック (HSCLK) の周期



■ パッケージ外形図

(単位: mm)



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

## ■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL610Q431-01	2010.06.29	—	—	初版発行
FJDL610Q431-02	2011.02.08	3	3	A バージョンの製品名を追加。
		4	4	端子名 CRT0 を RCT0 に訂正。
		5	5	端子名 CRT0 を RCT0 に訂正。
		22	22	BLD 判定電圧温度偏差の Typ 値"0"を"0.1"に訂正。
		32	32	パッケージ外形図の差し替え。
FJDL610Q431-03	2015.03.23	全頁	全頁	ヘッダおよびフッタの変更
		3	4	「出荷形態」を「商品名 - 機能一覧」に変更
		—	20	発振回路動作条件を追記
		20	21	「リセット」の項目を「リセットパルス幅(P <sub>RST</sub> )」の項目と「パワーオンリセット発生電源立ち上がり時間(T <sub>POR</sub> )」の項目に変更
		34	35	ご注意の修正
		2	2	誤記修正。 標準モード 100kbps@1MHz HSCLK を標準モード 100kbps@4MHz HSCLK に修正

## ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。  
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのデレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器 (AV機器、OA機器、通信機器、家電製品、アミューズメント機器など) および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。  
・輸送機器 (車載、船舶、鉄道など)、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。  
・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2010 – 2015 LAPIS Semiconductor Co., Ltd.

**ラピスセミコンダクタ株式会社**

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>