

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML610Q794G

センサ制御用 8bit マイクロコントローラ

■ 概要

ML610Q794Gは、8ビット CPU コア nX-U8/100 を搭載し、64K バイトのフラッシュメモリ、4K バイトの RAM、および I2C と SPI のインタフェース等の周辺機能を集積した高性能 CMOS マイクロコントローラです。高温時のリーク電流を抑制したプロセスを採用し、HALT への移行および HALT からの高速復帰といった強力なパワーマネージメント機構を実装しているため、バッテリー駆動が必要なウェアラブルデバイス、パーソナルヘルスケア他、各種センシング端末に最適です。

■ 特長

● CPU

- ーRISC 方式 8 ビット CPU (CPU 名称: uX-U8/100)
- ー16 ビット長命令体系
- ー最小命令実行時間
 - 30.5us (32.768kHz システムクロック)
 - 0.25us (4.096MHz システムクロック)
- ー乗算、除算、積和演算を実行するコプロセッサを搭載
 - 乗算(入力:16 ビット x 16 ビット、出力:32 ビット)
 - 除算(入力:32 ビット/16 ビット、出力:32 ビット)
 - 積和(入力:16 ビット x 16 ビット + 32 ビット、出力:32 ビット)

● 内蔵メモリ

- ー64K バイトの FLASH ROM (32K ワード x 16 ビット)
- ー4K バイトの SRAM (4K ワード x 8 ビット)

● 割込みコントローラ

- ーノンマスカブル割込みを 1 要因
- ーマスカブル割り込みを 29 要因
 - 内部要因数:13 (タイマ:6, ADC:1, SPI:1, I2C:1, HOSTIF:1, 演算器:1, UART:1, SIO:1)
 - 外部要因数:16

● タイマ

- ー8 ビット×6ch(タイマ 0-1、タイマ 2-3、もしくはタイマ 4-5 を使用した 16bit 構成×3ch も可能)
- ー1ch のウォッチドッグタイマ (WDT)

● シリアルインタフェース

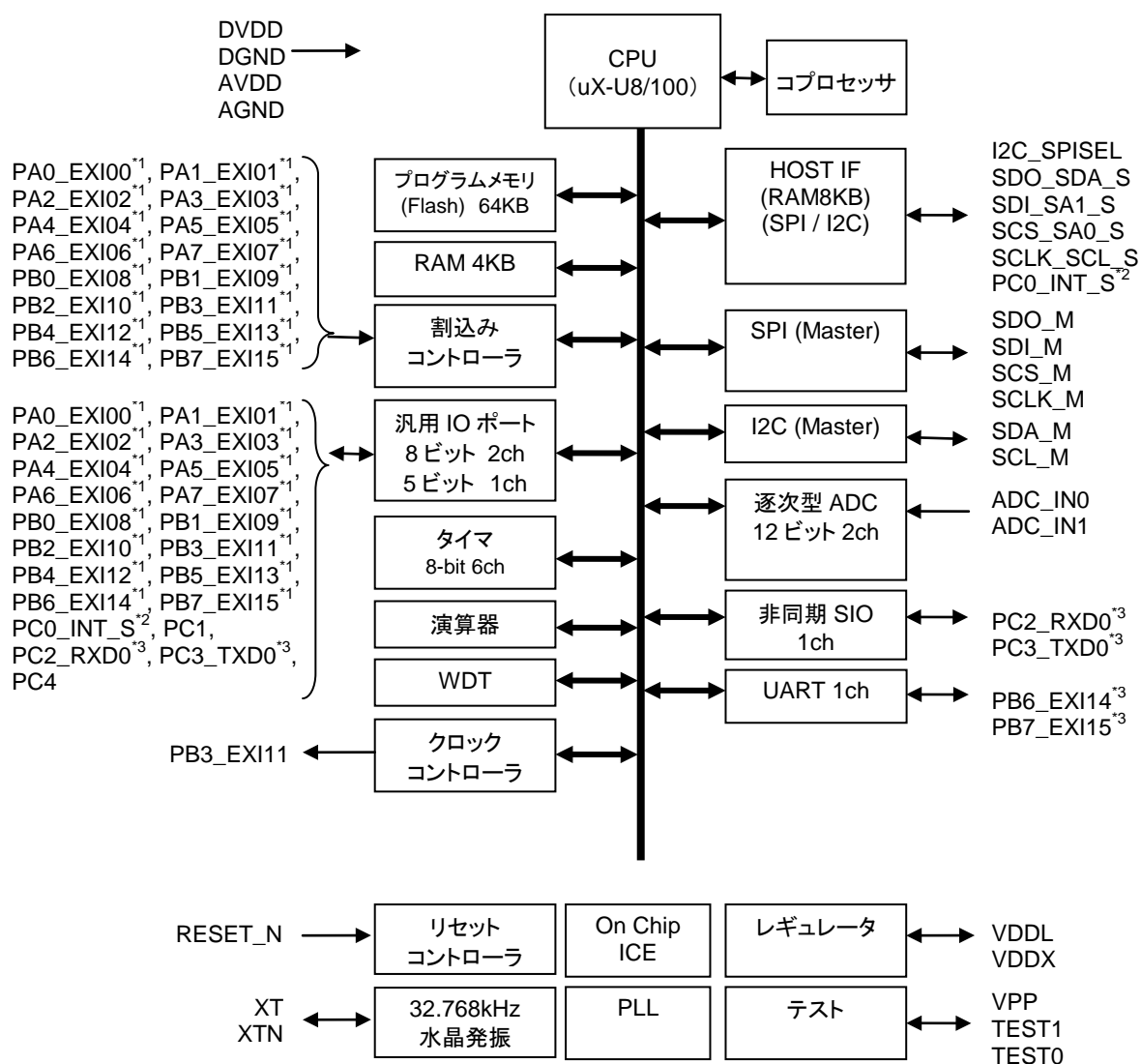
- ー1ch のマスタ機能をもった SPI インタフェース
- ー1ch のマスタ機能をもった I2C インタフェース
- ー1ch の UART インタフェース(2 線式、全二重通信 16 バイト FIFO)
- ー1ch の SIO インタフェース(2 線式、半二重通信)

● ホストインタフェース

- ー1ch のスレーブ機能をもったシリアルインタフェース(SPI または I2C の選択)
- ー1ch のホストプロセッサ割込みを出力(汎用 IO ポートの 2 次機能)
- ー8K バイトのロギング用 RAM

- 汎用 IO ポート
 - －21 ビットの入出力ポート
 - －2ch の 8 ビット入出力ポート
 - －1ch の 5 ビット入出力ポート
- AD コンバータ
 - －2ch の逐次比較型 12 ビット AD コンバータ
- 演算器
 - －ルート演算 (入力:18 ビット、 出力:19 ビット)
- 動作モードと消費電力制御機能
 - －CPU 動作モード
 - 高速クロックでの動作と低速クロックでの動作をサポート
 - －HALT モード
 - CPU のみ停止する HALT モードをサポート
 - HALT からの復帰時間 77 μsec (内蔵高速クロック発振使用時のみ)
- 入力クロック
 - －32.768kHz 水晶発振子から供給されるクロック
- 電源電圧
 - －アナログ部 : 2.5V～3.6V
 - －デジタル I/O 部 : 2.5V～3.6V
 - －デジタルコア部 : (レギュレータにて生成)
- 消費電流
 - －高速クロックでの動作モード時 (4.096MHz) : 1.0mA
 - －HALT モード時 : 1.1 μA
- 動作周波数
 - －高速クロック時 4.096MHz
 - －低速クロック時 32.768kHz
- 動作温度
 - －周囲温度 (FLASH 読出し時) : -30℃～+85℃
 - －周囲温度 (FLASH 書換え時) : -30℃～+60℃
- パッケージ
 - －48 ピン QFP (TQFP48-0707-0.50)

■ ブロック図

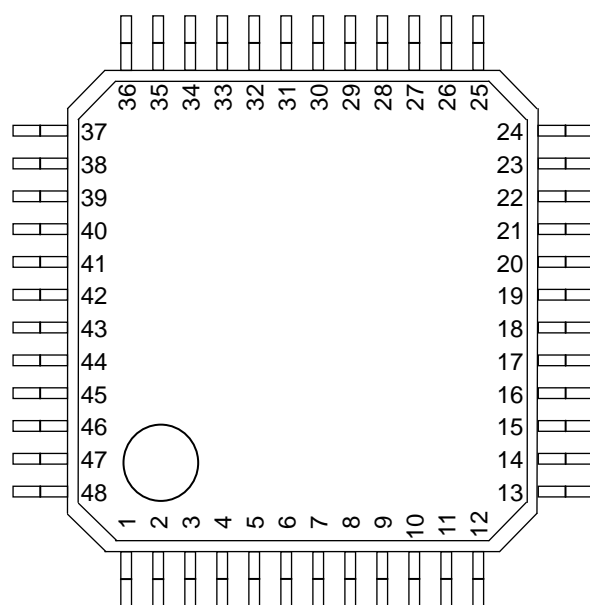


*1 割り込み端子と汎用 IO ポートを共用

*2 ホストインタフェースの割り込み出力端子と汎用 IO ポートを共用

*3 UART / SIO の送受信端子と汎用 IO ポートを共用

■ 端子配置



48 ピン QFP (TQFP48-0707-0.50) 端子配置図 Top View

■ 端子一覧

PIN No.	端子名称	入出力	極性	機能
38	AGND	—	—	アナログ GND
39	AVDD	—	—	アナログ電源 / 逐次 ADC 用リファレンス電圧入力
36	DGND	—	—	デジタル IO/コア GND
35	DVDD	—	—	デジタル IO 電源
34	VDDL	—	—	デジタルコア電源 (内部レギュレータ生成)
37	VDDX	—	—	32.768kHz 水晶発振用電源 (内部レギュレータ生成)
48	I2C_SPISEL	I	—	ホストとのインタフェースを選択 I2C_SPISEL=1 のとき I2C インタフェース I2C_SPISEL=0 のとき SPI インタフェース
3	SDO_SDA_S	IO	—	I2C_SPISEL=1 のとき、I2C スレーブインタフェースの SDA
		O	—	I2C_SPISEL=0 のとき、SPI スレーブインタフェースの SDO (データ出力時以外は、Hi-z となります。)
17	SDI_SA1_S	I	—	I2C_SPISEL=1 のとき、I2C スレーブアドレス
		I	—	I2C_SPISEL=0 のとき、SPI スレーブインタフェースの SDI
5	SCS_SA0_S	I	—	I2C_SPISEL=1 のとき、I2C スレーブアドレス
		I	正	I2C_SPISEL=0 のとき、SPI スレーブインタフェースの SCS
4	SCLK_SCL_S	I	—	I2C_SPISEL=1 のとき、I2C スレーブインタフェースの SCL
		I	—	I2C_SPISEL=0 のとき、SPI スレーブインタフェースの SCLK
32	SDA_M	IO	—	I2C マスタインタフェースの SDA
33	SCL_M	O	—	I2C マスタインタフェースの SCL
6	SDO_M	O	—	SPI マスタインタフェースの SDO
19	SDI_M	I	—	SPI マスタインタフェースの SDI
7	SCS_M	O	正	SPI マスタインタフェースの SCS
8	SCLK_M	O	—	SPI マスタインタフェースの SCLK
40	ADC_IN1	I	—	逐次 ADC 入力 1
41	ADC_IN0	I	—	逐次 ADC 入力 0
10	PC0_INT_S	IO	—	1 次機能で、汎用入出力ポート
		O	負	2 次機能で、ホストインタフェースの割込み出力
2	PC1	IO	—	汎用入出力ポート
11	PC2_RXD0	IO	—	1 次機能で、汎用入出力ポート
		I	—	2 次機能で、非同期 SIO 受信データ
12	PC3_TXD0	IO	—	1 次機能で、汎用入出力ポート
		O	—	2 次機能で、非同期 SIO 送信データ
18	PC4	IO	—	汎用入出力ポート
16	PA0_EXI00	IO	—	汎用入出力ポート / 外部割込入力
31	PA1_EXI01	IO	—	汎用入出力ポート / 外部割込入力
20	PA2_EXI02	IO	—	汎用入出力ポート / 外部割込入力
30	PA3_EXI03	IO	—	汎用入出力ポート / 外部割込入力
21	PA4_EXI04	IO	—	汎用入出力ポート / 外部割込入力
29	PA5_EXI05	IO	—	汎用入出力ポート / 外部割込入力
28	PA6_EXI06	IO	—	汎用入出力ポート / 外部割込入力
27	PA7_EXI07	IO	—	汎用入出力ポート / 外部割込入力
26	PB0_EXI08	IO	—	汎用入出力ポート / 外部割込入力
25	PB1_EXI09	IO	—	汎用入出力ポート / 外部割込入力
22	PB2_EXI10	IO	—	汎用入出力ポート / 外部割込入力
23	PB3_EXI11	IO	—	1 次機能で、汎用入出力ポート / 外部割込入力
		O	—	2 次機能で、32.768kHz クロック出力

13	PB4_EXI12	IO	—	汎用入出力ポート / 外部割込入力
14	PB5_EXI13	IO	—	汎用入出力ポート / 外部割込入力
15	PB6_EXI14	IO	I	1 次機能で、汎用入出力ポート / 外部割込入力 2 次機能で、UART 受信データ
9	PB7_EXI15	IO	O	1 次機能で、汎用入出力ポート / 外部割込入力 2 次機能で、UART 送信データ
1	RESET_N	I	負	システムリセット入力
47	XT	I	—	32.768kHz 発振端子
46	XTN	IO	—	32.768kHz 発振端子
43	HXT	—	—	テスト用端子: オープンにしてください。
42	HXTN	—	—	テスト用端子: オープンにしてください。
24	VPP	I	—	テスト用端子: オープンにしてください。
44	TEST1	I	—	テスト端子
45	TEST0	I	—	テスト端子/リマップ端子(ファームウェアアップデート用)

■ 未使用端子の処理

端子	推奨端子処理
VPP	オープンにしてください。
HXT, HXTN	オープンにしてください。
TEST0	オープンにしてください。
TEST1	オープンにしてください。
RESET_N	オープン、または、プルアップ抵抗を接続してください。
PA0~PA7	オープンにしてください。(注意)
PB0~PB7	オープンにしてください。(注意)
PC0~PC4	オープンにしてください。(注意)
ADC_IN0~1	オープンにしてください。
SDA_M, SCL_M	オープンにしてください。
SDO_M, SCS_M, SCLK_M	オープンにしてください。
SDI_M	プルダウン抵抗を接続してください。
SCLK_SCL_S, SCS_SA0_S, SDI_SA1_S, SDO_SDA_S	I2C.SPISEL 端子に Low レベルを印加して、プルダウン抵抗を接続してください。

【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがあります。ポート制御レジスタの設定により、プルダウン抵抗付き入力モード/プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

■ ホストインタフェース

ML610Q794Gは、ホストインタフェースを介して各種センサを制御します。ホストインタフェースは、選択可能な I2C/SPI のインタフェースとホストプロセッサへの割込み信号を備え、8 ビットのレジスタアドレス空間と 8K バイトの FIFO を内蔵します。

● レジスタマップ

アドレス		名称	略称 (Byte)	R/W	サイズ	初期値
ライト	リード					
00H	80H	コンフィグレジスタ	CFG	R/W	8	00H
01H	81H	センサ割込みマスクレジスタ 0	INTMSK0	R/W	8	FFH
02H	82H	センサ割込みマスクレジスタ 1	INTMSK1	R/W	8	FFH
03H	83H	reserved	-	-	-	-
04H	84H	reserved	-	-	-	-
05H	85H	reserved	-	-	-	-
06H	86H	reserved	-	-	-	-
07H	87H	reserved	-	-	-	-
08H	88H	動作ステータスレジスタ	STATUS	R/—	8	FEH
09H	89H	センサ割込み要求レジスタ 0	INTREQ0	R/—	8	00H
0AH	8AH	センサ割込み要求レジスタ 1	INTREQ1	R/—	8	00H
0BH	8BH	エラーコードレジスタ 0	ERROR0	R/—	8	00H
0CH	8CH	エラーコードレジスタ 1	ERROR1	R/—	8	00H
0DH	8DH	reserved	-	-	-	-
0EH	8EH	reserved	-	-	-	-
0FH	8FH	reserved	-	-	-	-
10H	90H	コマンドレジスタ 0	CMD0	R/W	8	00H
11H	91H	コマンドレジスタ 1	CMD1	R/W	8	00H
12H	92H	パラメータレジスタ 0	PRM0	R/W	8	00H
13H	93H	パラメータレジスタ 1	PRM1	R/W	8	00H
14H	94H	パラメータレジスタ 2	PRM2	R/W	8	00H
15H	95H	パラメータレジスタ 3	PRM3	R/W	8	00H
16H	96H	パラメータレジスタ 4	PRM4	R/W	8	00H
17H	97H	パラメータレジスタ 5	PRM5	R/W	8	00H
18H	98H	パラメータレジスタ 6	PRM6	R/W	8	00H
19H	99H	パラメータレジスタ 7	PRM7	R/W	8	00H
1AH	9AH	パラメータレジスタ 8	PRM8	R/W	8	00H
1BH	9BH	パラメータレジスタ 9	PRM9	R/W	8	00H
1CH	9CH	パラメータレジスタ A	PRMA	R/W	8	00H
1DH	9DH	パラメータレジスタ B	PRMB	R/W	8	00H
1EH	9EH	パラメータレジスタ C	PRMC	R/W	8	00H
1FH	9FH	コマンドエントリレジスタ	ENT	R/W	8	00H
20H	A0H	結果レジスタ 00	RSLT00	R/—	8	00H
21H	A1H	結果レジスタ 01	RSLT01	R/—	8	00H
22H	A2H	結果レジスタ 02	RSLT02	R/—	8	00H
23H	A3H	結果レジスタ 03	RSLT03	R/—	8	00H
24H	A4H	結果レジスタ 04	RSLT04	R/—	8	00H
25H	A5H	結果レジスタ 05	RSLT05	R/—	8	00H
26H	A6H	結果レジスタ 06	RSLT06	R/—	8	00H
27H	A7H	結果レジスタ 07	RSLT07	R/—	8	00H
28H	A8H	結果レジスタ 08	RSLT08	R/—	8	00H
29H	A9H	結果レジスタ 09	RSLT09	R/—	8	00H

2AH	AAH	結果レジスタ 0A	RSLT0A	R/ー	8	00H
2BH	ABH	結果レジスタ 0B	RSLT0B	R/ー	8	00H
2CH	ACH	結果レジスタ 0C	RSLT0C	R/ー	8	00H
2DH	ADH	結果レジスタ 0D	RSLT0D	R/ー	8	00H
2EH	AEH	結果レジスタ 0E	RSLT0E	R/ー	8	00H
2FH	AFH	結果レジスタ 0F	RSLT0F	R/ー	8	00H
30H	B0H	結果レジスタ 10	RSLT10	R/ー	8	00H
31H	B1H	結果レジスタ 11	RSLT11	R/ー	8	00H
32H	B2H	結果レジスタ 12	RSLT12	R/ー	8	00H
33H	B3H	結果レジスタ 13	RSLT13	R/ー	8	00H
34H	B4H	結果レジスタ 14	RSLT14	R/ー	8	00H
35H	B5H	結果レジスタ 15	RSLT15	R/ー	8	00H
36H	B6H	結果レジスタ 16	RSLT16	R/ー	8	00H
37H	B7H	結果レジスタ 17	RSLT17	R/ー	8	00H
38H	B8H	結果レジスタ 18	RSLT18	R/ー	8	00H
39H	B9H	結果レジスタ 19	RSLT19	R/ー	8	00H
3AH	BAH	結果レジスタ 1A	RSLT1A	R/ー	8	00H
3BH	BBH	結果レジスタ 1B	RSLT1B	R/ー	8	00H
3CH	BCH	結果レジスタ 1C	RSLT1C	R/ー	8	00H
3DH	BDH	結果レジスタ 1D	RSLT1D	R/ー	8	00H
3EH	BEH	結果レジスタ 1E	RSLT1E	R/ー	8	00H
3FH	BFH	結果レジスタ 1F	RSLT1F	R/ー	8	00H
40H	C0H	結果レジスタ 20	RSLT20	R/W	8	不定
41H~ 7FH	C1H~ FFH	reserved	—	—	—	—

● コンフィグレジスタ CFG

	7	6	5	4	3	2	1	0
CFG	REGMD	SPI3M	—	—	—	INTLVL	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

REGMD:

シリアルインタフェース(I2C/SPI)のアクセスモードを設定します。”0”に設定すると1Byte データを送受信するごとに内部アドレスが1バイト分加算されます。”1”に設定すると同一アドレス固定です。
結果レジスタ20は対象外となります。また,”0”に設定した状態で、結果レジスタ1F、20の連続データリードをすることは禁止です。

SPI3M:

ホストインタフェースを SPI に設定している場合(I2C_SPISEL 端子に”L”レベル入力)、SPI のシリアルインタフェースは 4 線タイプと 3 線タイプとを選択することができます。本ビットを”0”に設定すると(初期値)、4 線タイプになり,”1”に設定すると3 線タイプになります。

INTLVL:

ホストプロセッサへの割込み信号を設定します。”0”に設定するとパルス出力になり,”1”に設定するとレベル出力になります。

● センサ割込みマスクレジスタ INTMSK0, INTMSK1

	7	6	5	4	3	2	1	0
INTMSK0	MSK0[7]	MSK0[6]	MSK0[5]	MSK0[4]	MSK0[3]	MSK0[2]	MSK0[1]	MSK0[0]
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

	7	6	5	4	3	2	1	0
INTMSK1	MSK1[7]	MSK1[6]	MSK1[5]	MSK1[4]	MSK1[3]	MSK1[2]	MSK1[1]	MSK1[0]
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	1	1	1	1	1	1	1	1

MSK0[7:0]:

センサ割込み要求レジスタ(INTREQ0)によるホストプロセッサへの割込み通知をマスクします。”1”を設定するとINTREQ0 の REQ0[n]ビットによる割込み通知をマスクします。”0”を設定すると割込み通知をマスクしません。

MSK1[7:0]:

センサ割込み要求レジスタ(INTREQ1)によるホストプロセッサへの割込み通知をマスクします。”1”を設定するとINTREQ1 の REQ1[n]ビットによる割込み通知をマスクします。”0”を設定すると割込み通知をマスクしません。

● 動作ステータスレジスタ STATUS

	7	6	5	4	3	2	1	0
STATUS	ST[7]	ST[6]	ST[5]	ST[4]	ST[3]	ST[2]	ST[1]	ST[0]
R/W	R/—	R/—	R/—	R/—	R/—	R/—	R/—	R/—
初期値	1	1	1	1	1	1	1	0

ST[n](N=7 ~ 0):

センサ測定のスレータスを示します。

本レジスタは、アドレスインクリメントモードで STATUS、INTREQ0、INTREQ1 を連続でリードしてください。

● センサ割込み要求レジスタ INTREQ_n (n=0, 1)

	7	6	5	4	3	2	1	0
INTREQ _n	REQ _n [7]	REQ _n [6]	REQ _n [5]	REQ _n [4]	REQ _n [3]	REQ _n [2]	REQ _n [1]	REQ _n [0]
R/W	R/—	R/—	R/—	R/—	R/—	R/—	R/—	R/—
初期値	0	0	0	0	0	0	0	0

REQ_n[7:0]:

ホストプロセッサへの割込み要因を示します。本レジスタの各ビットは、ホストプロセッサが読み出すことでクリアされます。

本レジスタは、アドレスインクリメントモードで、INTREQ0、INTREQ1 を連続でリードしてください。

● エラーコードレジスタ ERROR_n (n=0, 1)

	7	6	5	4	3	2	1	0
ERROR _n	ER _n [7]	ER _n [6]	ER _n [5]	ER _n [4]	ER _n [3]	ER _n [2]	ER _n [1]	ER _n [0]
R/W	R/—	R/—	R/—	R/—	R/—	R/—	R/—	R/—
初期値	0	0	0	0	0	0	0	0

ER_n[7:0]:

ホストプロセッサへのエラーコードを示します。

● コマンドレジスタ CMD_n (n=0, 1)

	7	6	5	4	3	2	1	0
CMD _n	CMD _n [7]	CMD _n [6]	CMD _n [5]	CMD _n [4]	CMD _n [3]	CMD _n [2]	CMD _n [1]	CMD _n [0]
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

CMD_n[7:0]:

各種センサの測定条件を設定したり、測定開始/停止等のコマンドを入力するレジスタです。

● パラメータレジスタ PRM n ($n=0-9, A-C$)

	7	6	5	4	3	2	1	0
PRM n	PRM n [7]	PRM n [6]	PRM n [5]	PRM n [4]	PRM n [3]	PRM n [2]	PRM n [1]	PRM n [0]
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

PRM n [7:0]:

コマンドのパラメータをセットするレジスタです。

● コマンドエントリレジスタ ENT

	7	6	5	4	3	2	1	0
ENT	—	—	—	—	—	—	—	ENT
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

ENT:

コマンドをセットした後、本ビットを”1”にセットすると、コマンドが CPU へ通知されます。CPU がコマンドを受け取ると、本ビットはクリアされます。

● 結果レジスタ RSLT n ($n=00 - 1F$)

	7	6	5	4	3	2	1	0
RSLT n	RSLT n [7]	RSLT n [6]	RSLT n [5]	RSLT n [4]	RSLT n [3]	RSLT n [2]	RSLT n [1]	RSLT n [0]
R/W	R/—	R/—	R/—	R/—	R/—	R/—	R/—	R/—
初期値	0	0	0	0	0	0	0	0

RSLT n [7:0]:

処理結果を示すレジスタです。

● 結果レジスタ RSLT20

	7	6	5	4	3	2	1	0
RSLT20	RSLT20[7]	RSLT20 [6]	RSLT20 [5]	RSLT20 [4]	RSLT20 [3]	RSLT20 [2]	RSLT20 [1]	RSLT20 [0]
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	X	X	X	X	X	X	X	X

RSLT20[7:0]:

処理結果を示すレジスタです。本レジスタは、FIFO 構造となっていますので、所定のサイズのデータをリードしてください。

ソフトウェア開発キット(SDK)で提供しているファームアップデートソフトを使用した場合のみ、ホストプロセッサから本レジスタに書き込むことが可能です。詳細は、「ML610Q793 SDK ファームアップデートソフトマニュアル」を参照してください。

■ 絶対最大定格

(DGND=AGND=0V)				
項目	記号	条件	定格値	単位
電源電圧(デジタル IO)	VDD	Ta = 25°C	-0.3 ~ +4.6	V
電源電圧(デジタル CORE)	VDDL	Ta = 25°C	-0.3 ~ +3.6	
電源電圧(アナログ)	VDDA	Ta = 25°C	-0.3 ~ +4.6	
電源電圧(発振端子)	VDDX	Ta = 25°C	-0.3 ~ +3.6	
入力電圧	VIN	Ta = 25°C	-0.3 ~ VDD+0.3	
出力電流	IOUT	Ta = 25°C	-12 ~ +11	mA
許容損失	PD	Ta = 25°C	0.9	W
保存温度	TSTG	—	-55 ~ +150	°C

■ 推奨動作条件

(DGND=AGND=0V)						
項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧(デジタル IO)	V _{DD}	—	2.5	3.3	3.6	V
電源電圧(アナログ)	V _{DDA}	—	2.5	3.3	3.6	
低速発振周波数	F _{OSC}	—		32.768		kHz
V _{DDL} 端子外付け容量	C _{L0}	—	1.54	2.2	2.86	μF
周囲温度	Ta	FLASH 読出し時	-30	25	+85	°C
		FLASH 書き込み／消去時	-30	25	+60	

■ フラッシュメモリ動作条件

(DGND=AGND= 0V)				
項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	読出し時	-30~+85	°C
		書き込み／消去時	-30~+60	
動作電圧	V _{DDA}	—	2.5~3.6	V
書き換え回数	C _{EP}	—	100	回
データ保持年数	Y _{DR}	—	10	年

■ 電気的特性

● 直流特性 (1/2)

(DVDD=2.5 to 3.6V, AVDD=2.5 to 3.6V, DGND=AGND=0V, Ta=-30 to +85°C)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
消費電流 (HALT)	IDD2	4MHz クロック停止 (PLL、CPU、ADC 停止) 32kHz クロック動作	-	1.1	17.5	μA
消費電流 (低速動作)	IDD3	CPU 32kHz クロック動作 (PLL、ADC 停止)	-	8.5	27	μA
消費電流 (高速動作 1)	IDD4-1	CPU 4MHz クロック動作 (PLL 動作、ADC 停止) 32kHz クロック動作	-	1.0	1.4	mA
消費電流 (高速動作 2)	IDD4-2	CPU 4MHz クロック動作 (PLL、ADC 動作) 32kHz クロック動作	-	1.6	2.4	mA

● 直流特性 (2/2)

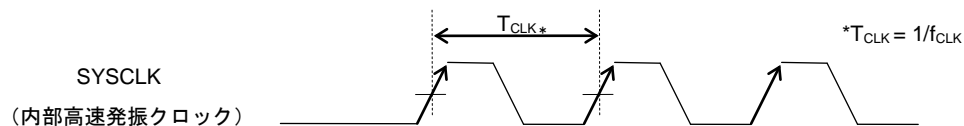
(DVDD=2.5 to 3.6V, AVDD=2.5 to 3.6V, DGND=AGND=0V, Ta=-30 to +85°C)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
出力電圧 1 (SDA_M, SCL_M)	VOH1	-	-	-	-	V
	VOL1	IOL1 = +3mA	-	-	0.4	
出力リーク 1 (SDA_M, SCL_M)	IOOH1	-	-	-	-	μA
	IOOL1	VOL = 0V (ハイ・インピーダンス状態)	-1	-	-	
出力電圧 2 (SDA_M, SCL_M 除く)	VOH2	IOH = -0.5mA	DVDD - 0.5	-	-	V
	VOL2	IOL = +0.5mA	-	-	0.5	
出力リーク 2 (SDA_M, SCL_M 除く)	IOOH2	VOH = DVDD (ハイ・インピーダンス状態)	-	-	1	μA
	IOOL2	VOL = 0V (ハイ・インピーダンス状態)	-1	-	-	
入力電流 1 (RESET_N, TEST1)	IIH1	VIH1 = DVDD	-	-	1	μA
	IIL1	VIL1 = 0V	-600	-300	-2	
入力電流 2 (TEST0)	IIH2	VIH1 = DVDD	2	300	600	μA
	IIL2	VIL1 = 0V	-1	-	-	
入力電流 3 (RESET_N, TEST1, TEST0 を除く)	IIH3	VIH1 = DVDD (pull-down)	2	30	200	μA
	IIL3	VIL1 = 0V (pull-up)	-200	-30	-2	
	IIH3Z	VIH1 = DVDD (ハイ・インピーダンス状態)	-	-	1	
	IIL3Z	VIL1 = 0V (ハイ・インピーダンス状態)	-1	-	-	
入力電圧	VIH1	-	DVDD x 0.7	-	-	V
	VIL1	-	-	-	DVDD x 0.3	

● 交流特性 (クロック)

(特に指定のない場合は、DVDD=2.5 to 3.6V, AVDD=2.5 to 3.6V, DGND=AGND= 0V, Ta=-30 to +85°C)

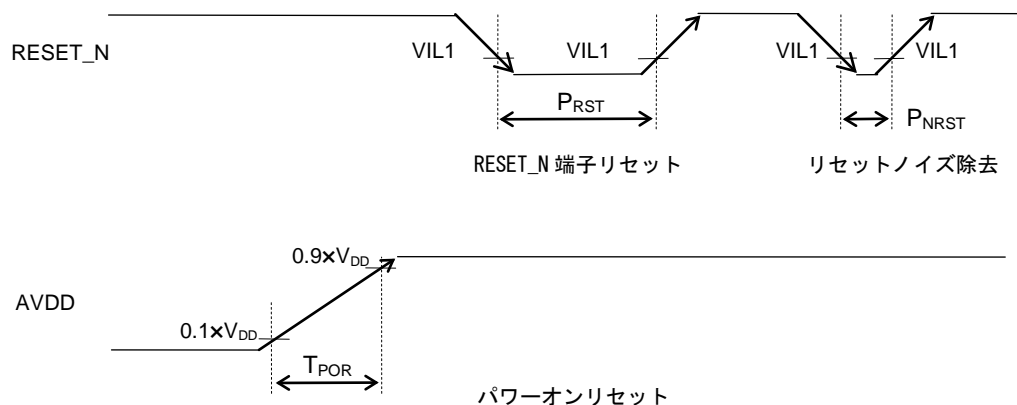
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
内部高速発振周波数	f_{CLK}	—	3.89	4.096	4.30	MHz



● 交流特性 (リセット)

(特に指定のない場合は、DVDD=2.5 to 3.6V, AVDD=2.5 to 3.6V, DGND=AGND= 0V, Ta=-30 to +85°C)

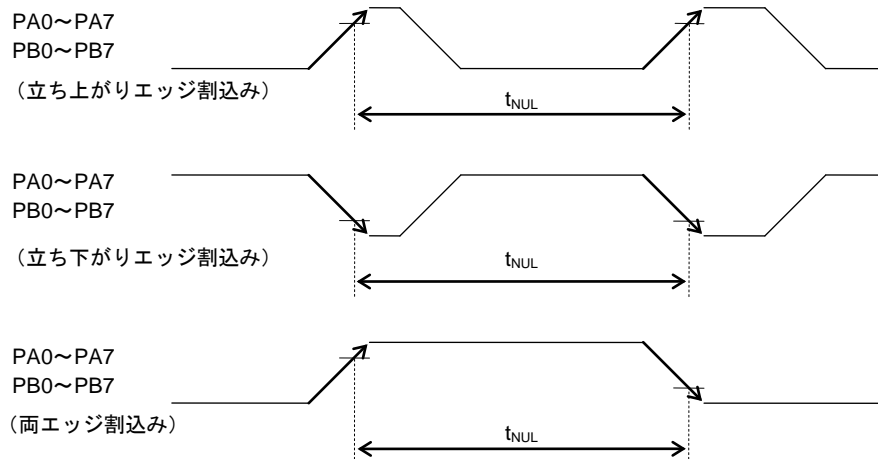
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
リセットパルス幅	P_{RST}	—	200	—	—	μs
リセットノイズ除去 パルス幅	P_{NRST}	—	—	—	0.3	
パワーオンリセット発生 電源立ち上がり時間	T_{POR}	—	—	—	5	ms



● 交流特性（外部割込み）

(特に指定のない場合は、DVDD=2.5 to 3.6V, AVDD=2.5 to 3.6V, AGND=DGND=0V, Ta=-30 to +85°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	T_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作 システムクロック:32.768kHz	76.8	—	106.8	μ s



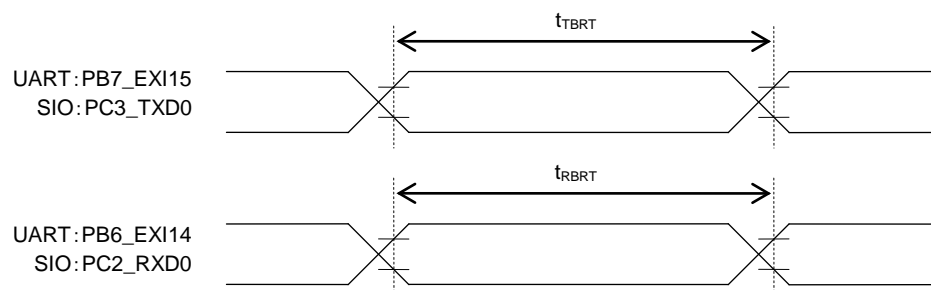
● 交流特性（UART/SIO）

(特に指定のない場合は、DVDD= 2.5 to 3.6V, AVDD=2.5 to 3.6V, AGND=DGND=0V, Ta=-30 to +85°C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
送信ボーレート	t_{TBRT}	—	—	BRT^{*1}	—	s
受信ボーレート	t_{RBRT}	—	BRT^{*1} -3%	BRT^{*1}	BRT^{*1} +3%	s

*1 : UART : UART ボーレート分周設定レジスタ (LSB/MSB) で設定されたボーレートの周期

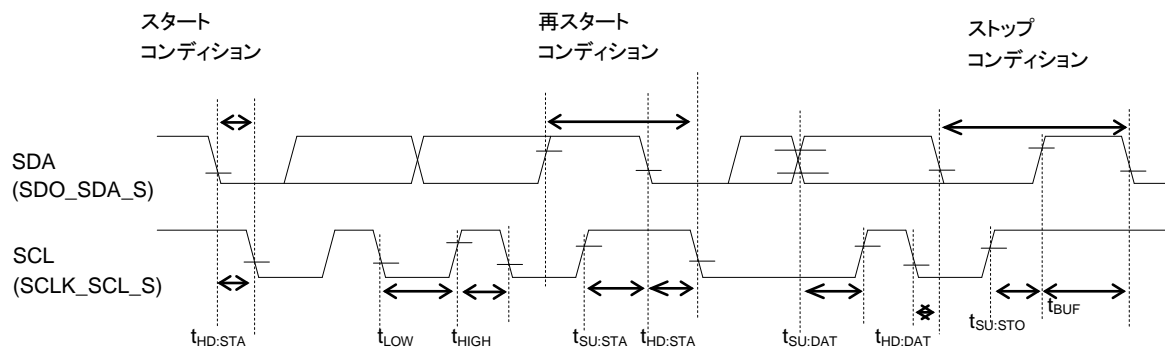
SIO : UART0 ボーレートレジスタ (UA0BRTL,H)、UART0 モードレジスタ 0 (UA0MOD0) で設定されたボーレートの周期



● 交流特性（ホストインタフェース：I2C スレーブインタフェース）

（特に指定のない場合は、DVDD= 2.5 to 3.6V, AVDD=2.5 to 3.6V, DGND=AGND=0V, Ta= -30 to +85°C）

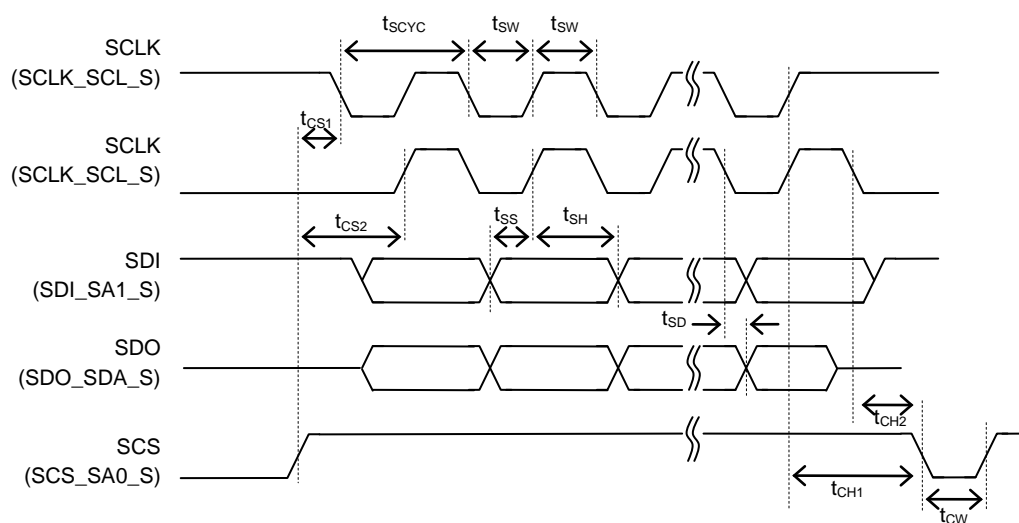
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$	—	0.6	—	—	μs
SCL "L" レベル時間	t_{LOW}	—	1.3	—	—	μs
SCL "H" レベル時間	t_{HIGH}	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.6	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	ns
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	μs
バスフリー時間	t_{BUF}	—	1.3	—	—	μs



● 交流特性（ホストインタフェース：SPI スレーブインタフェース）

（特に指定のない場合は、DVDD=2.5 to 3.6V, AVDD=2.5 to 3.6V, DGND=AGND=0V, Ta= -30 to +85°C）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル	t_{SCYC}	—	0.5	—	—	μs
SCLK 入力パルス幅	t_{SW}	—	0.2	—	—	μs
SCS セットアップ時間	t_{CS1}	—	80	—	—	ns
	t_{CS2}	—	80	—	—	ns
SCS ホールド時間	t_{CH1}	—	80	—	—	ns
	t_{CH2}	—	80	—	—	ns
SCS 入力パルス幅	t_{CW}	—	90	—	—	ns
SDO 出力遅延時間	t_{SD}	—	—	—	240	ns
SDI 入力セットアップ時間	t_{SS}	—	80	—	—	ns
SDI 入力ホールド時間	t_{SH}	—	80	—	—	ns

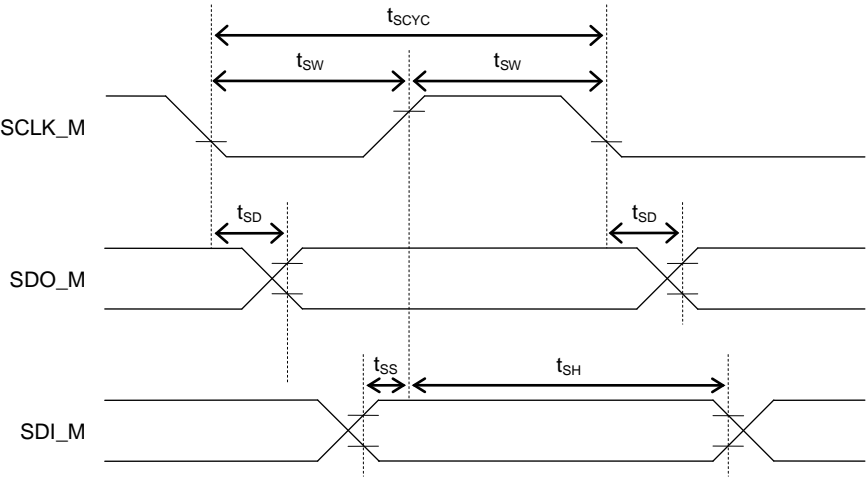


● 交流特性（SPI マスタインタフェース）

（特に指定のない場合は、DVDD=2.5 to 3.6V, AVDD=2.5 to 3.6V, DGND=AGND=0V, Ta= -30 to +85℃）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK_M 出力サイクル	t _{SCYC}	—	—	SCLK* ^{*1}	—	s
SCLK_M 出力パルス幅	t _{SW}	—	SCLK* ^{*1} ×0.4	SCLK* ^{*1} ×0.5	SCLK* ^{*1} ×0.6	s
SDO_M 出力遅延時間	t _{SD}	—	—	—	240	ns
SDI_M 入力セットアップ時間	t _{SS}	—	240	—	—	ns
SDI_M 入力ホールド時間	t _{SH}	—	80	—	—	ns

*1：インタフェースレジスタにより選択された内部クロックの周期



● 交流特性（I2C マスタインタフェース：標準モード 100kHz）

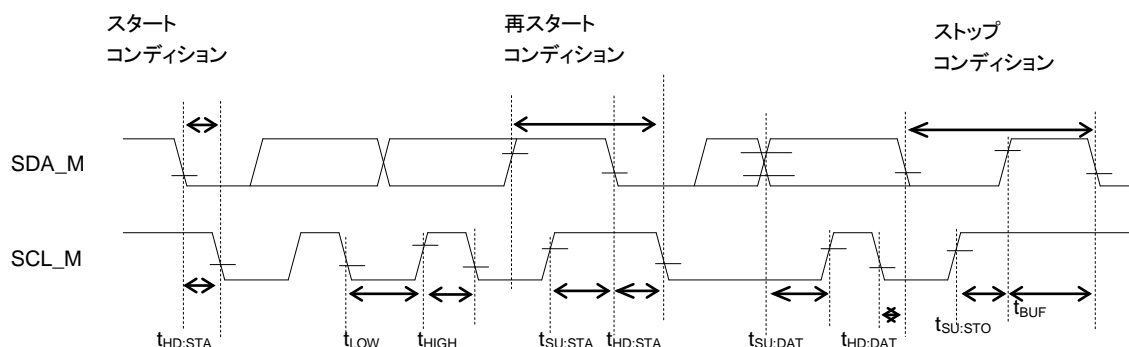
（特に指定のない場合は、DVDD=2.5 to 3.6V, AVDD=2.5 to 3.6V, DGND=AGND=0V, Ta= -30 to +85°C）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$	—	4.0	—	—	μs
SCL "L" レベル時間	t_{LOW}	—	4.7	—	—	μs
SCL "H" レベル時間	t_{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	4.7	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	4.0	—	—	μs
バスフリー時間	t_{BUF}	—	4.7	—	—	μs

● 交流特性（I2C マスタインタフェース：ファストモード 400kHz）

（特に指定のない場合は、DVDD=2.5 to 3.6V, AVDD=2.5 to 3.6V, DGND=AGND=0V, Ta= -30 to +85°C）

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL_M クロック周波数	f_{SCL}	—	0	—	400	kHz
SCL_M ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$	—	0.6	—	—	μs
SCL_M "L" レベル時間	t_{LOW}	—	1.3	—	—	μs
SCL_M "H" レベル時間	t_{HIGH}	—	0.6	—	—	μs
SCL_M セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.6	—	—	μs
SDA_M ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA_M セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA_M セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	μs
バスフリー時間	t_{BUF}	—	1.3	—	—	μs



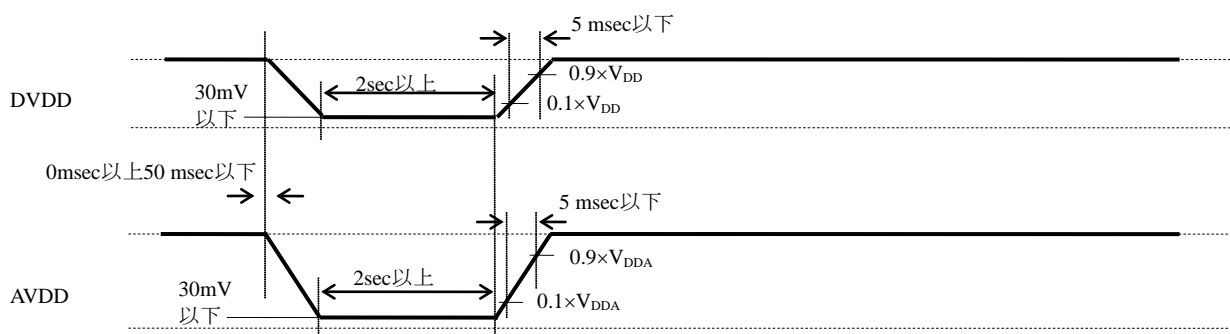
● 逐次比較型 AD コンバータの電気特性
(特に指定のない場合は、DVDD=AVDD=2.5 to 3.6V, DGND=AGND=0V, Ta= -30 to +85℃)

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
分解能	n	—	—	—	12	bit
積分非直線性誤差	INL	$2.7V \leq AVDD \leq 3.6V$	-4	—	+4	LSB
		$2.5V \leq AVDD \leq 2.7V$	-6	—	+6	
微分非直線性誤差	DNL	$2.7V \leq AVDD \leq 3.6V$	-3	—	+3	
		$2.5V \leq AVDD \leq 2.7V$	-5	—	+5	
ゼロスケール誤差	V _{OFF}	—	-6	—	+6	V
フルスケール誤差	FSE	—	-6	—	+6	
リファレンス電圧	AVDD	—	2.5	—	V _{DDA}	V
変換時間	t _{CONV}	高速動作時	—	112	—	φ/CH

φ : 高速クロックの周期

■ 電源の投入および遮断

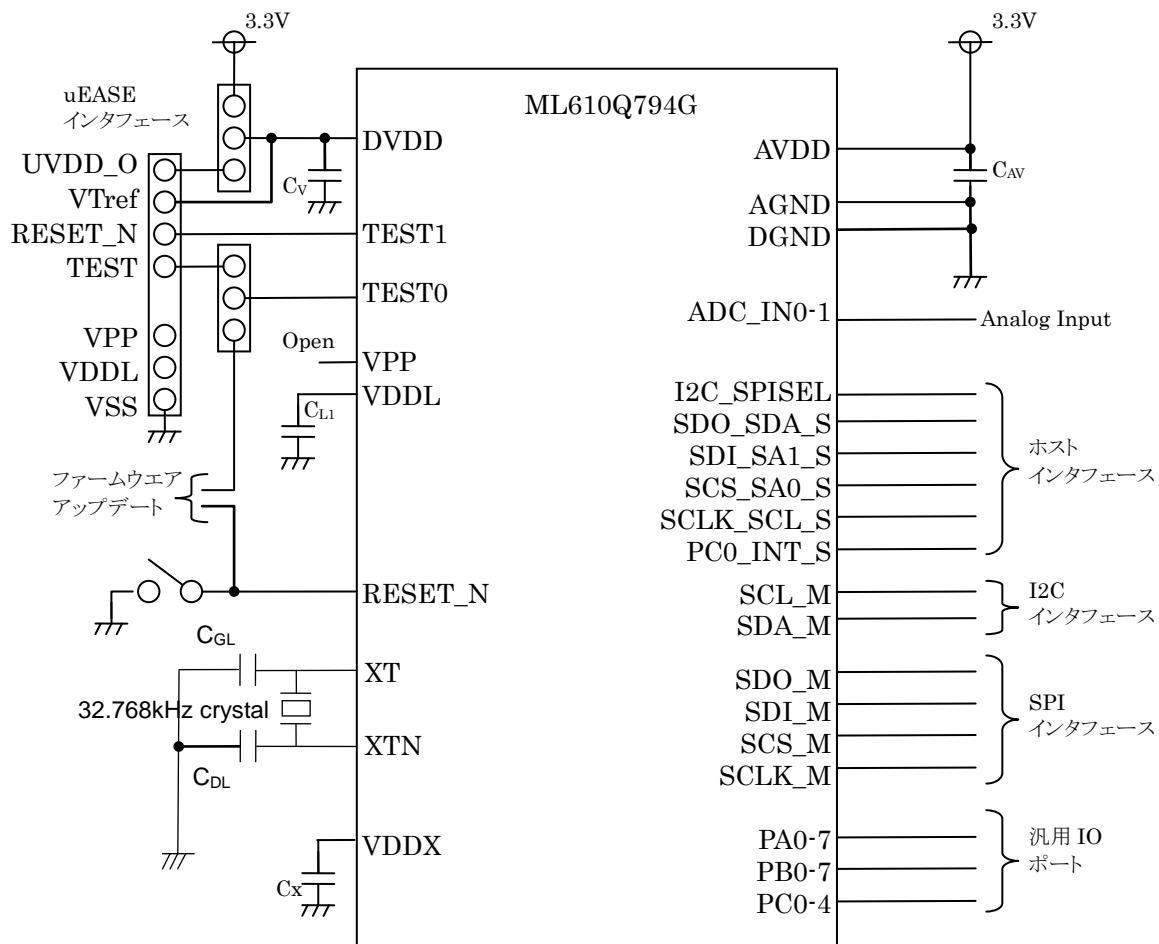
DVDD, AVDD の電源投入および遮断は、以下のタイミング制約を守ってください。



■ 応用回路例

(1) 概要

ML610Q794G の応用回路例と、回路中のコンデンサや抵抗の推奨値を示します。



回路定数の推奨値

記号	推奨値
C _V	1μF
C _{AV}	1μF
C _{L1}	2.2μF
C _X	0.1μF
C _{GL}	3～18pF
C _{DL}	3～18pF

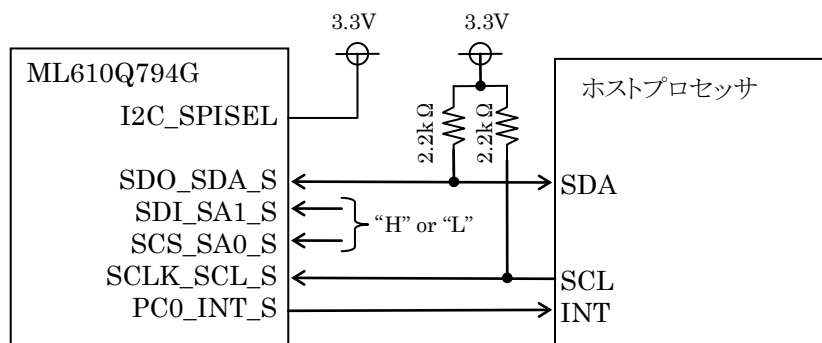
(2) ホストインタフェース

ML610Q794G は、ホストプロセッサとのインタフェースとして、I2C_SPISEL により I2C と SPI のシリアルインタフェースを選択することができます。以下にそれぞれの接続例を示します。

◇I2C スレーブインタフェース

I2C インタフェースを利用するためには、I2C_SPISEL 端子に”H”レベルを印加します。

ML610Q794G は、I2C のスレーブアドレスを SDI_SA1_S 端子と SCS_SA0_S 端子で設定することができます。当該端子の印加レベルとスレーブアドレスの対応表に示します。

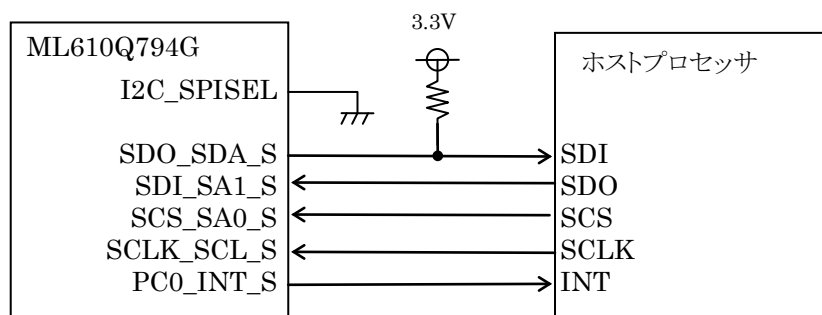


I2C スレーブアドレス

SDI_SA1_S	SCS_SA0_S	ライトアドレス	リードアドレス
“H”	“H”	8'b1110_1110	8'b1110_1111
“H”	“L”	8'b1010_1110	8'b1010_1111
“L”	“H”	8'b0110_1110	8'b0110_1111
“L”	“L”	8'b0010_1110	8'b0010_1111

◇SPI スレーブインタフェース

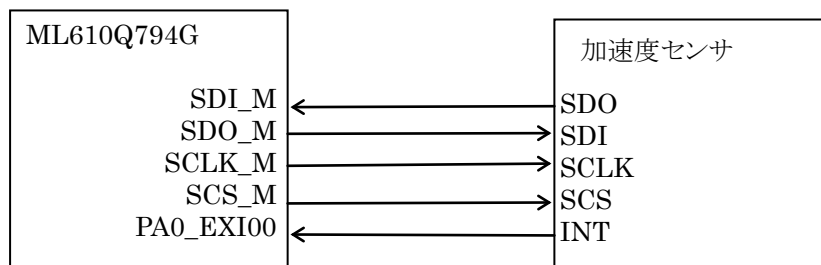
SPI インタフェースを利用するためには、I2C_SPISEL 端子に”L”レベルを印加します。



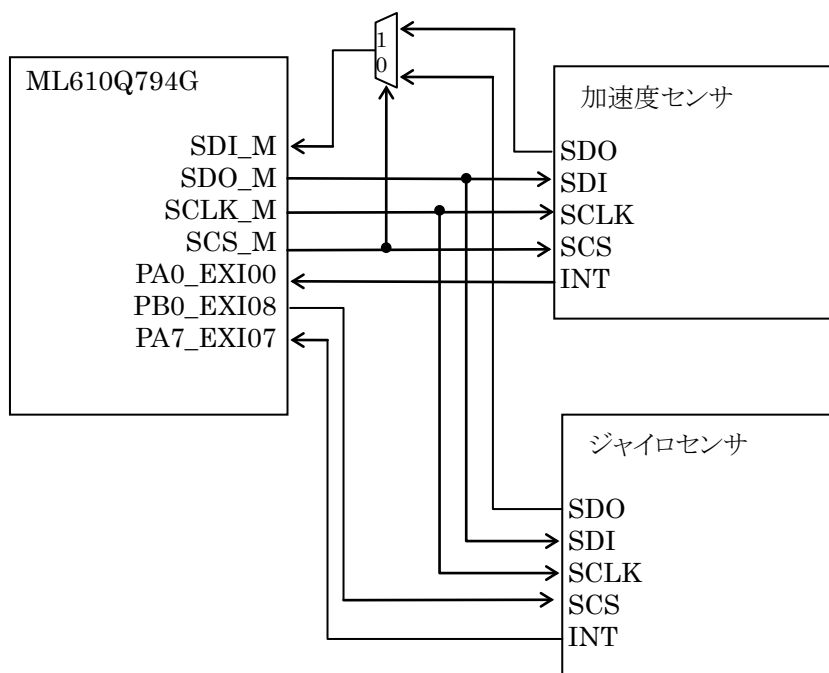
(3) センサ用インタフェース

ML610Q794G は、センサ制御用に SPI マスタインタフェースを 1ch、I2C マスタインタフェースを 1ch 備えています。それぞれの接続例を以下に示します。

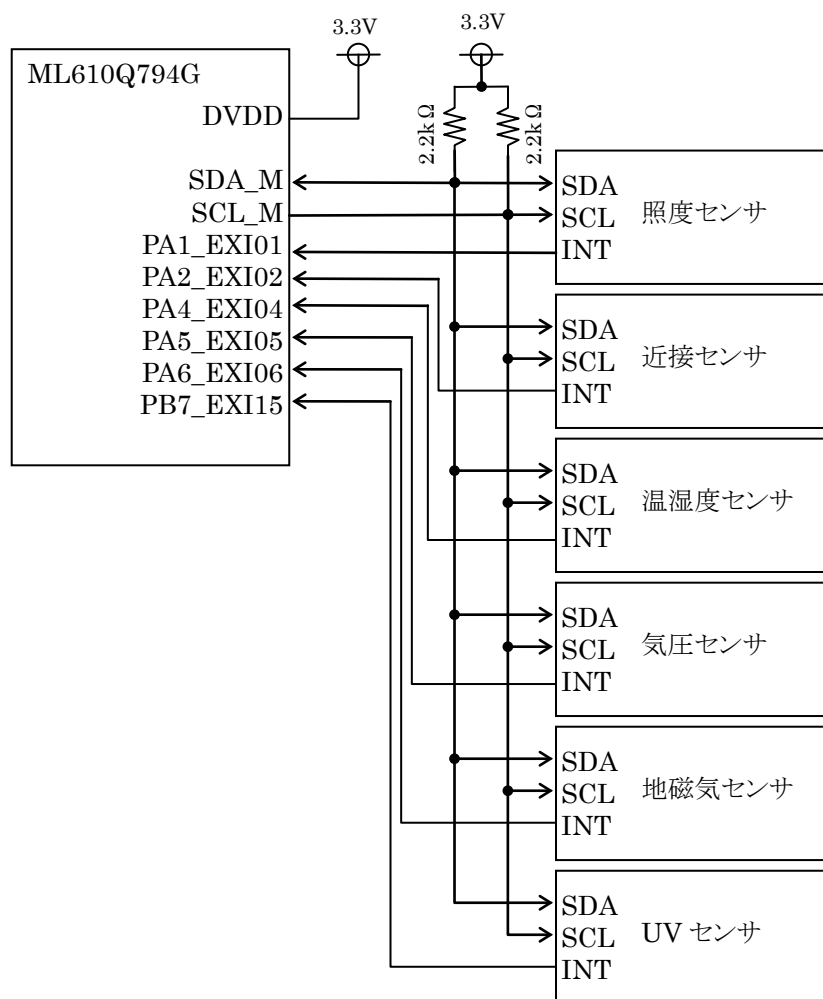
◇SPI マスタインタフェース（単独センサの接続例）



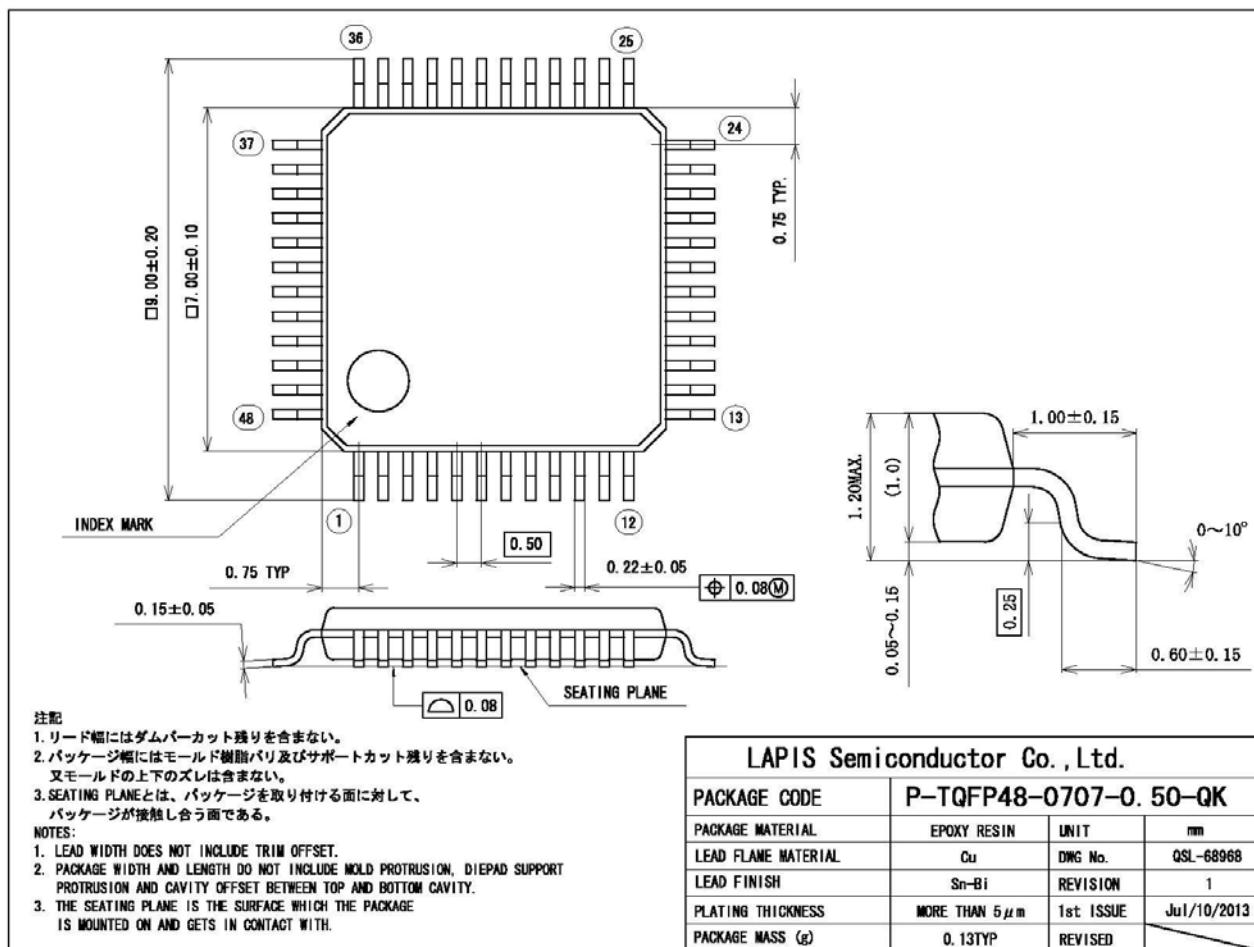
◇SPI マスタインタフェース（複数センサの接続例）



◇I2C マスタインタフェース



■ パッケージ寸法図



■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
PJDL610Q794-01	2013.7.5	—	—	暫定初版発行
FJDL610Q794-01	2014.3.10	—	—	正式版発行
FJDL610Q794-02	2015.1.28	—	—	誤記修正
		5	5	端子一覧 ・PC2_RXD0, PC3_TXD0 の 2 次機能を修正 ・PB3_EX11 の 2 次機能の説明に追記
		7	7	ホストインターフェース 説明事項の修正
		7-8	7-8	ホストインターフェース レジスタマップ RSLT00-RSLT1F の R/W サイズを修正
		10	10	動作ステータスレジスタ STATUS 初期値の修正
		13	13	直流特性(2/2) ・出力電圧1 (SDA_M, SCL_M) の VOL1 の条件および規格値を変更 ・IIH MIN 側(0uA), IIL MAX 側(0uA)の削除

ご注意

本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複製することを堅くお断りします。

本資料の記載内容は改良などのため予告なく変更することがあります。

本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。

本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。

本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ラピスセミコンダクタまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。

本資料に掲載されております製品は、一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器など）への使用を意図しています。

本資料に掲載されております製品は、「耐放射線設計」はなされていません。

ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、種々の要因で故障することもあり得ます。

ラピスセミコンダクタ製品が故障した際、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。

極めて高度な信頼性が要求され、その製品の故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのある機器・装置・システム（医療機器、輸送機器、航空宇宙機、原子力制御、燃料制御、各種安全装置など）へのご使用を意図して設計・製造されたものではありません。上記特定用途に使用された場合、いかなる責任もラピスセミコンダクタは負うものではありません。上記特定用途への使用を検討される際は、事前にローム営業窓口までご相談願います。

本資料に記載されております製品および技術のうち「外国為替及び外国貿易法」に該当する製品または技術を輸出する場合、または国外に提供する場合には、同法に基づく許可が必要です。

Copyright 2013-2015 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>