

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML620Q151B/2B/3B/4B/5B/6B/7B/8B/9B

高ノイズ耐性 16 ビットマイクロコントローラ

概要

本 LSI は、16 ビット CPU nX-U16/100 を搭載し、タイマ、PWM、UART、I²C バス・インタフェース、同期式シリアルポート、LLD 回路および、逐次比較型 A/D コンバータ等、多彩な周辺機能を集積した高性能 CMOS 16 ビットマイクロコントローラです。CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。また、ソフトウェアにより書き換え可能なデータ・フラッシュ・メモリを内蔵しています。さらに、オンチップデバッグ機能を搭載しているため、基板実装状態でのソフトウェアのデバッグや書き換えが可能です。

特長

I CPU

RISC 方式 16 ビット CPU (CPU 名称:nX-U16/100)

命令体系:16 ビット長命令

命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど

オンチップデバッグ機能を内蔵

最小命令実行時間

約 30.5μs (@32.768kHz システムクロック)

約 122ns (@8.192MHz システムクロック)

I 内部メモリ

フラッシュ・メモリ*(プログラム領域) :

商品	プログラム領域	書き換え回数
ML620Q151B/ML620Q154B/ML620Q157B	32K バイト(16K × 16 ビット)	100 回
ML620Q152B/ML620Q155B/ML620Q158B	48K バイト(24K × 16 ビット)	
ML620Q153B/ML620Q156B/ML620Q159B	64K バイト(32K × 16 ビット)	

使用不可のテスト領域 1K バイトを含む

データ・フラッシュ・メモリ* :2K バイト(1K × 16 ビット) 書き換え回数 10,000 回

RAM :2K バイト(2K × 8 ビット)

*: This product uses SuperFlash® technology licensed from Silicon Storage Technology, Inc. SuperFlash® is a registered trademark of Silicon Storage Technology, Inc.

I 割込みコントローラ

ノンマスクابل割込み 2 要因(内部要因:バックアップクロック, WDT)

マスクابل割込み

商品	割込み要因数
ML620Q151B/ML620Q152B/ML620Q153B	27 要因(内部要因:20, 外部要因:7)
ML620Q154B/ML620Q155B/ML620Q156B	28 要因(内部要因:20, 外部要因:8)
ML620Q157B/ML620Q158B/ML620Q159B	28 要因(内部要因:20, 外部要因:8)

4 段階の割込みレベル

- | タイムベースカウンタ
低速側タイムベースカウンタ × 1ch
- | ウォッチドッグタイマ
ノンマスカブル割込み, およびリセット
(1 回目のオーバーフローで割込みを発生, 2 回目のオーバーフローでリセットを発生)
フリーラン
オーバーフロー周期選択可能: 4 種 (125ms, 500ms, 2s, 8s @ 32.768kHz)
- | タイマ
8 ビット × 2ch (16 ビット × 1ch)
16 ビット × 4ch
連続モード / ワンショットモード
- | PWM
16 ビット × 4ch
連続モード / ワンショットモード
ソフトウェア / 外部トリガによるタイマスタート・ストップ機能
外部トリガ入力を利用してパルス幅などの測定が可能
カウンタクロックに外部イベントを選択可能
相補同期 PWM
- | 同期式シリアルポート (SSIO)
1ch
マスタ / スレーブ選択可能
LSB / MSB ファースト選択可能
8 ビット / 16 ビット長選択可能
SPI モード 0/3 対応
- | UART
全二重通信 × 1ch (半二重通信 × 2ch)
ビット長, パリティ有無, 奇数 / 偶数パリティ, 1 ストップビット / 2 ストップビット
正 / 負論理選択可
ボーレートジェネレータ内蔵
- | I²C バス・インタフェース
マスタ × 1ch
標準モード (100kbps), ファーストモード (400kbps) 対応
- | 逐次比較型 A/D コンバータ
分解能: 10 ビット
入力 12ch
変換時間: 約 13.5μs/ch / 約 43μs/ch
連続変換 / 1 回変換選択可能
- | アナログコンパレータ
1ch
割込みはエッジの選択, サンプリング有無が選択可能

I 汎用ポート

入力専用ポート(2 次機能等含む)

商品	入力専用ポート(2 次機能等含む)	
	水晶未使用時	水晶使用時
ML620Q151B/ML620Q152B/ML620Q153B	7ch	6ch
ML620Q154B/ML620Q155B/ML620Q156B	8ch	7ch
ML620Q157B/ML620Q158B/ML620Q159B	8ch	7ch

出力専用ポート × 4ch(2 次機能等含む)

入出力ポート(2 次機能等含む)

商品	入出力ポート(2 次機能等含む)	
	水晶未使用時	水晶使用時
ML620Q151B/ML620Q152B/ML620Q153B	31ch	30ch
ML620Q154B/ML620Q155B/ML620Q156B	34ch	33ch
ML620Q157B/ML620Q158B/ML620Q159B	46ch	45ch

I リセット

RESET_N 端子リセット

パワーオン検出リセット

WDT オーバフローによるリセット

LLD (Low Level Detector) によるリセット

I LLD (Low Level Detector) 機能

判定電圧: 4 値 (1.9V/2.55V/3.7V/4.2V) より選択

判定電圧はコードオプションで選択可能

電源電圧監視リセットとして使用可能

リセット, または, 割込み出力をコードオプションで選択可能

I クロック

低速側クロック (本 LSI は, 低速クロックは必須です)

水晶発振 (32.768kHz)

低速 RC 発振 (32.768kHz)

水晶発振, または低速 RC 発振をコードオプションで選択可能

高速側クロック

PLL 発振 (8.192MHz)

高速 RC 発振 (2.097MHz)

I パワーマネジメント

HALT モード: CPU の命令実行中断 (周辺回路は動作状態)

STOP モード: 低速発振および高速発振の停止 (CPU および周辺回路は動作を停止)

クロックギア: ソフトウェアにより高速システムクロックの周波数を変更可能 (発振クロックの 1/1, 1/2, 1/4, 1/8)

ブロック制御機能: 使わない機能ブロック回路の動作をパワーダウン (レジスタリセット & クロック停止)

I 出荷形態

商品	出荷形態
ML620Q151B/ML620Q152B/ML620Q153B	48 ピン TQFP (P-TQFP48-0707-0.50-QK)
ML620Q154B/ML620Q155B/ML620Q156B	52 ピン TQFP (P-TQFP52-1010-0.65-TK)
ML620Q157B/ML620Q158B/ML620Q159B	64 ピン QFP (P-QFP64-1414-0.80-ZK6)
	64 ピン TQFP (P-TQFP64-1010-0.50-ZK6)

I 動作保証範囲

動作周囲温度 : -40 ~ 105

動作電圧 : $V_{DD}=1.8V \sim 5.5V$

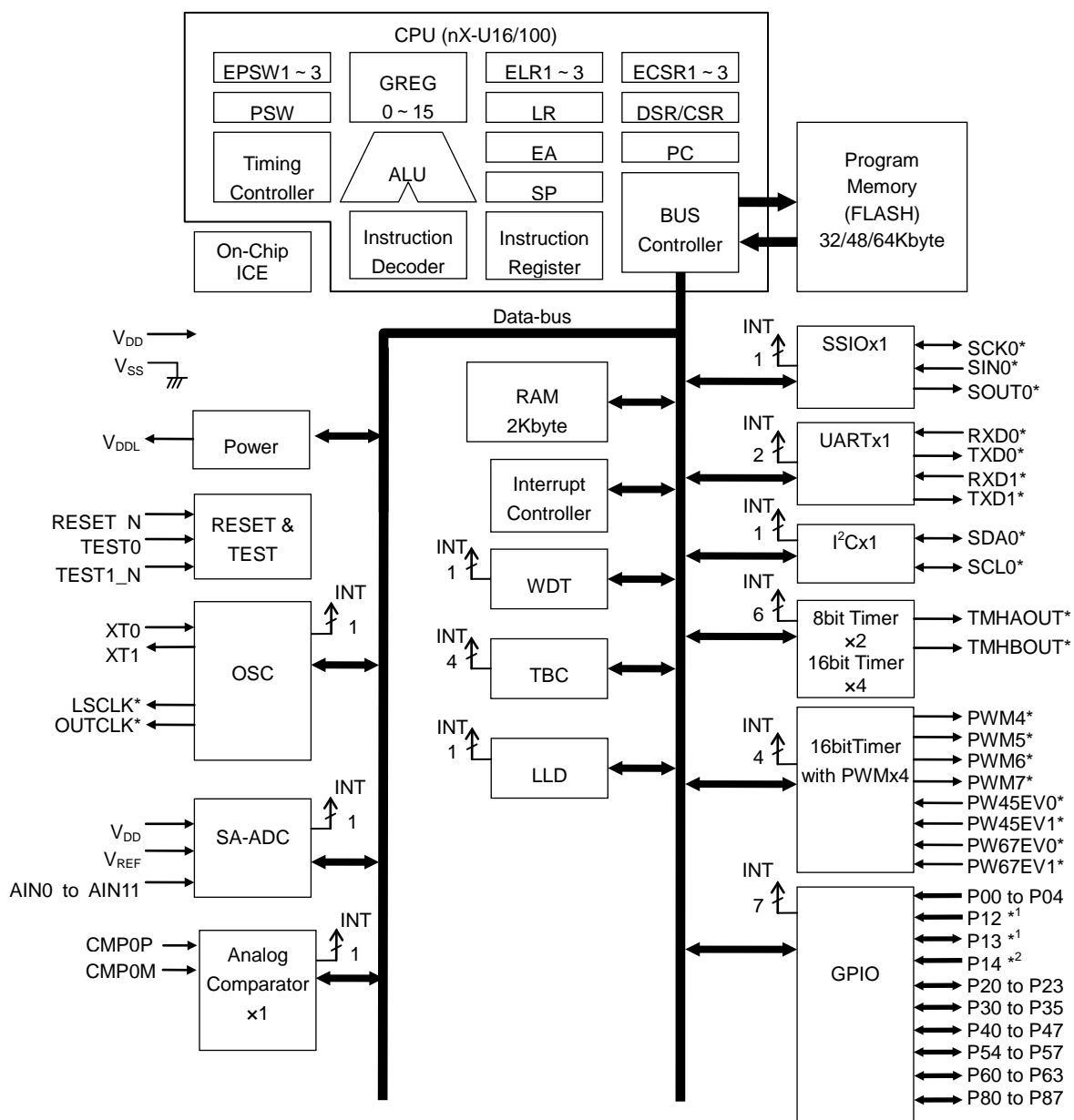
I ML620Q151B / 152B / 153B / 154B / 155B / 156B / 157B / 158B / 159B 間の差異点

機能	ML620Q151B/ 152B/153B	ML620Q154B/ 155B/156B	ML620Q157B/ 158B/159B
出荷形態	48 ピン TQFP	52 ピン TQFP	64 ピン QFP/TQFP
フラッシュ・メモリ容量 (プログラム領域)	32KB (ML620Q151B) 48KB (ML620Q152B) 64KB (ML620Q153B)	32KB (ML620Q154B) 48KB (ML620Q155B) 64KB (ML620Q156B)	32KB (ML620Q157B) 48KB (ML620Q158B) 64KB (ML620Q159B)
マスカブル割込み	27	28	28
入力専用ポート (水晶未使用時の場合)	7	8	8
P05 端子			
入出力ポート (水晶未使用の場合)	31	34	46
P36,P53,P64 端子			
P37 端子			
P50 ~ P52 端子			
P65 ~ P67 端子			
P70 ~ P74 端子			

: 有り, - : 無し

機能ブロック構成

ML620Q151B / ML620Q152B / ML620Q153B ブロック図 (TQFP48)



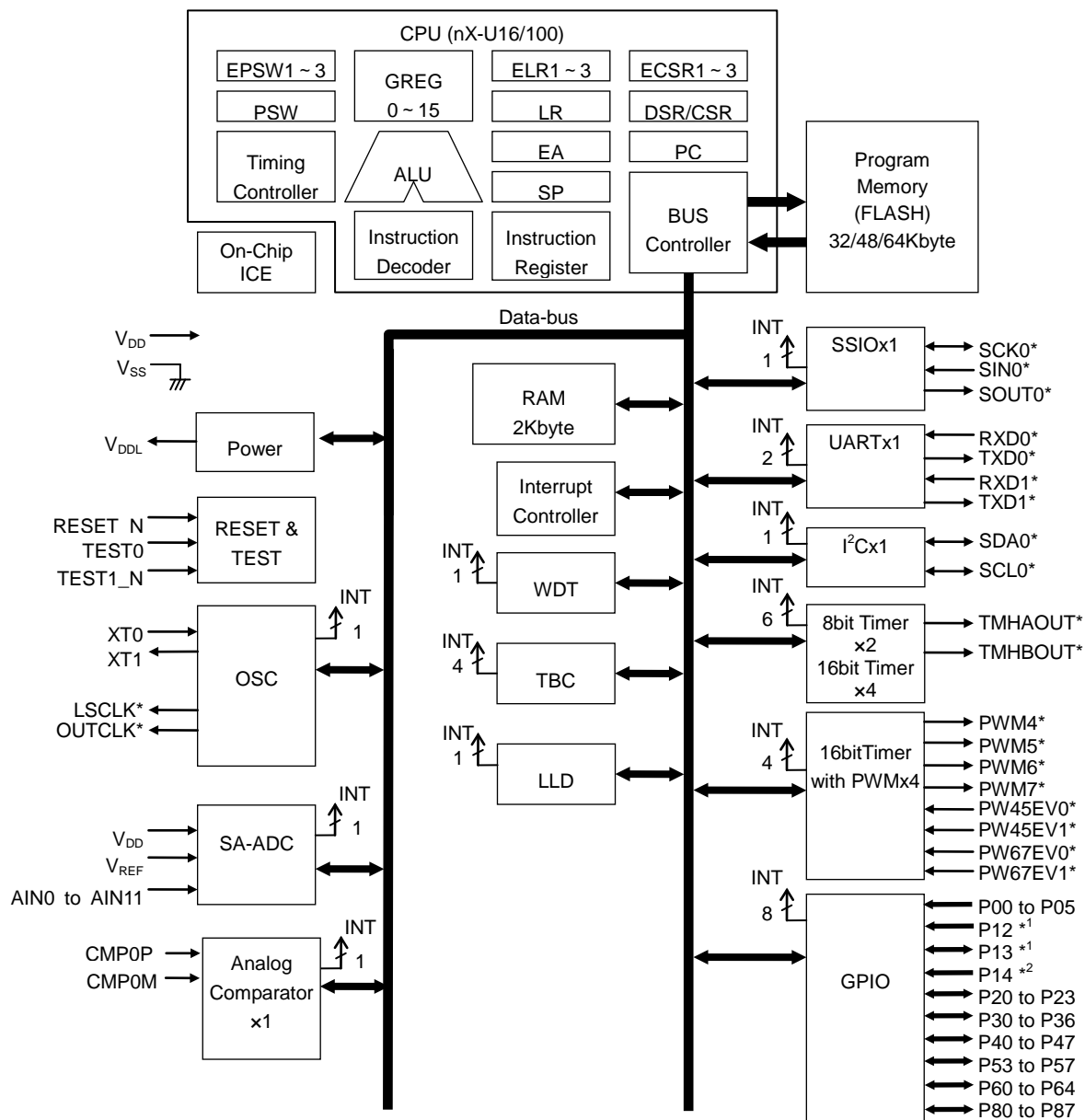
* : 各ポートの2次機能/3次機能/4次機能

*1: P12, P13は、水晶を接続した場合は入出力ポートとして使用できません。

*2: P14は、オンチップデバッグエミュレータ(uEASE)を接続した場合は入力ポートとして使用できません。

ML620Q151B / ML620Q152B / ML620Q153B ブロック図 (TQFP48)

ML620Q154B / ML620Q155B / ML620Q156B ブロック図(TQFP52)



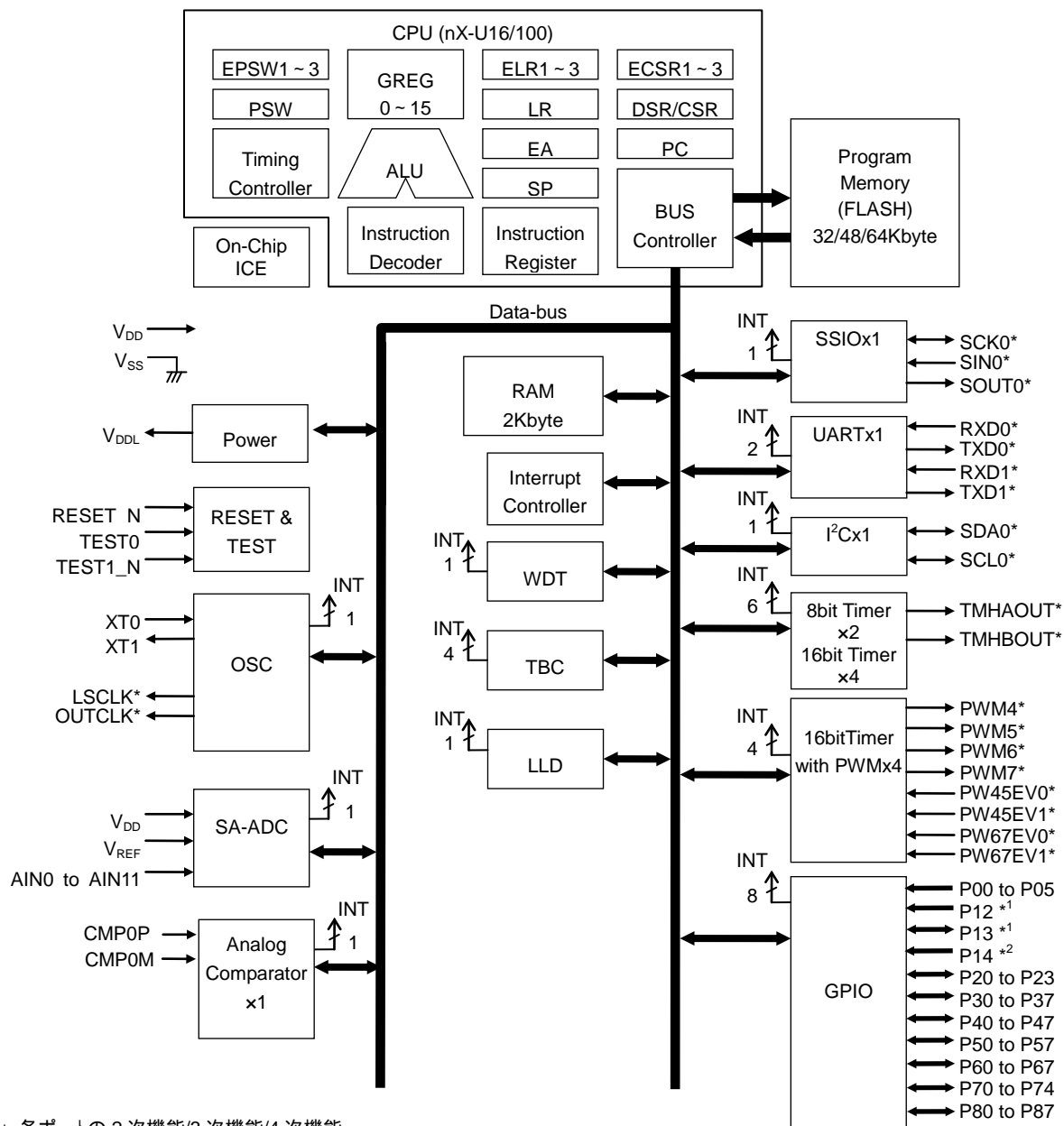
* : 各ポートの2次機能/3次機能/4次機能

*¹: P12, P13 は、水晶を接続した場合は入出力ポートとして使用できません。

*²: P14 は、オンチップデバッグエミュレータ(uEASE)を接続した場合は入力ポートとして使用できません。

ML620Q154B / ML620Q155B / ML620Q156B ブロック図(TQFP52)

ML620Q157B / ML620Q158B / ML620Q159B ブロック図 (QFP64/TQFP64)



* : 各ポートの2次機能/3次機能/4次機能

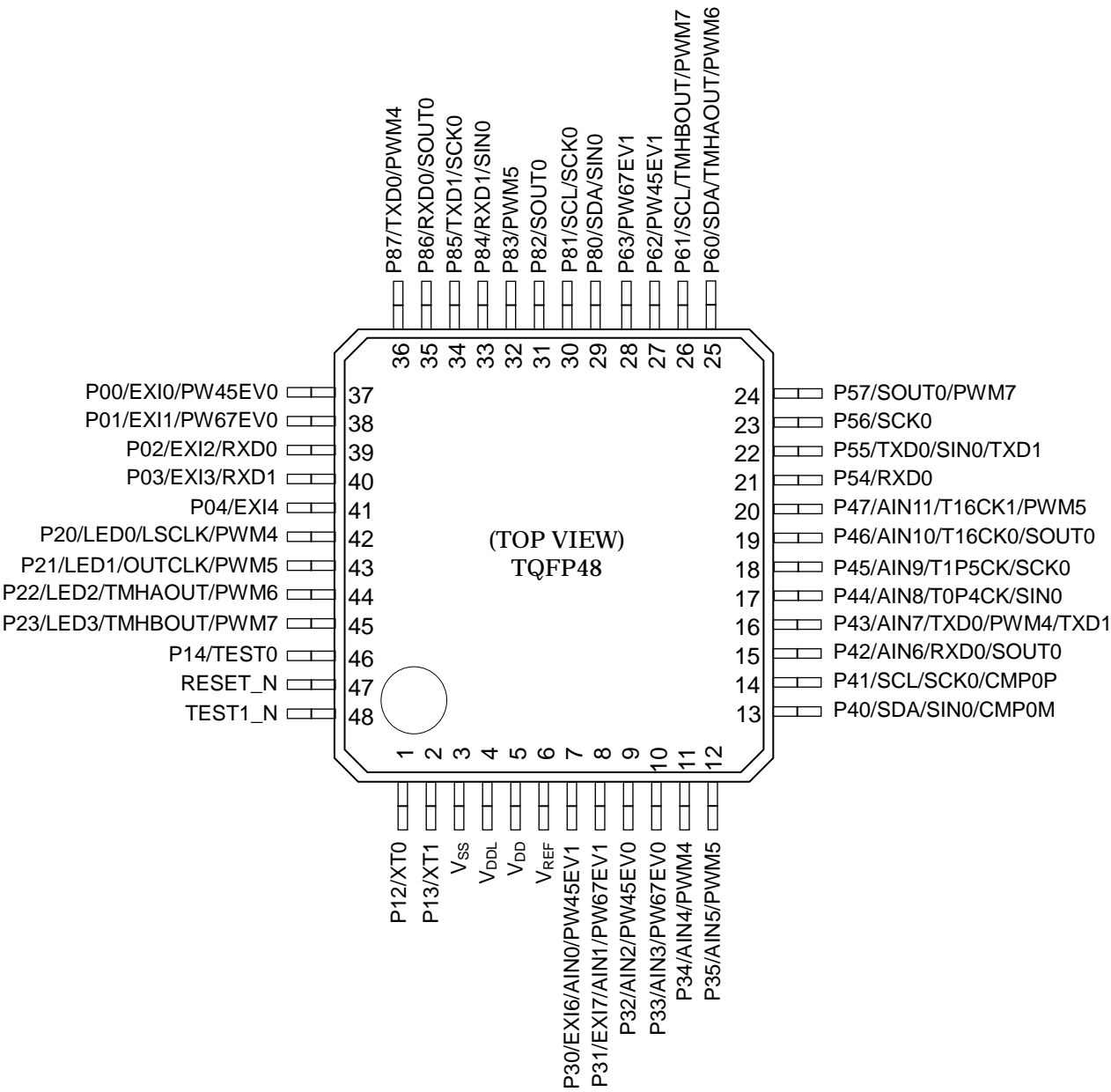
*1: P12, P13 は、水晶を接続した場合は入出力ポートとして使用できません。

*2: P14 は、オンチップデバッグエミュレータ(uEASE)を接続した場合は入力ポートとして使用できません。

ML620Q157B / ML620Q158B / ML620Q159B ブロック図 (QFP64/TQFP64)

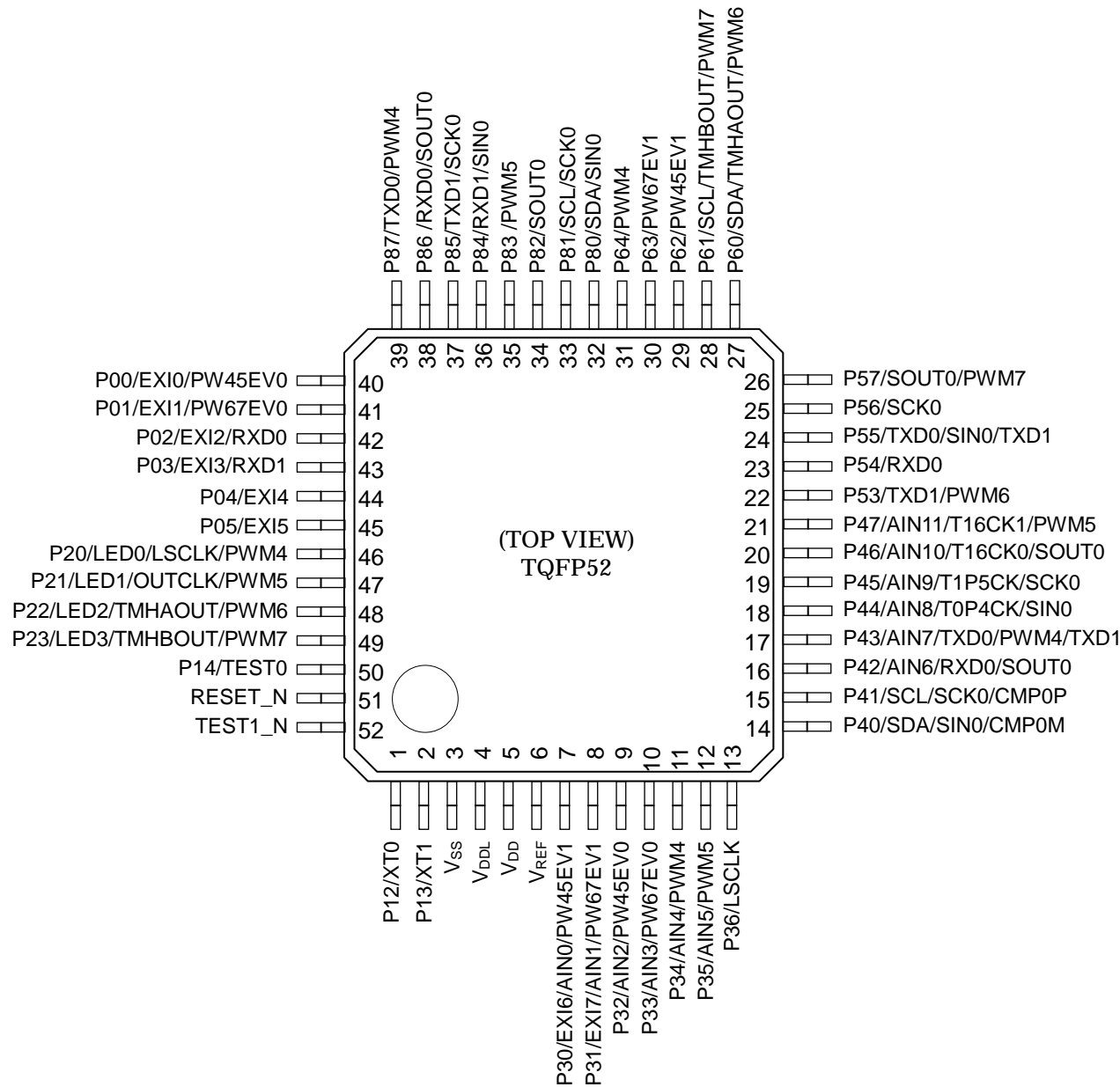
端子配置

ML620Q151B / ML620Q152B / ML620Q153B 端子配置図(TQFP48) (TOP View)



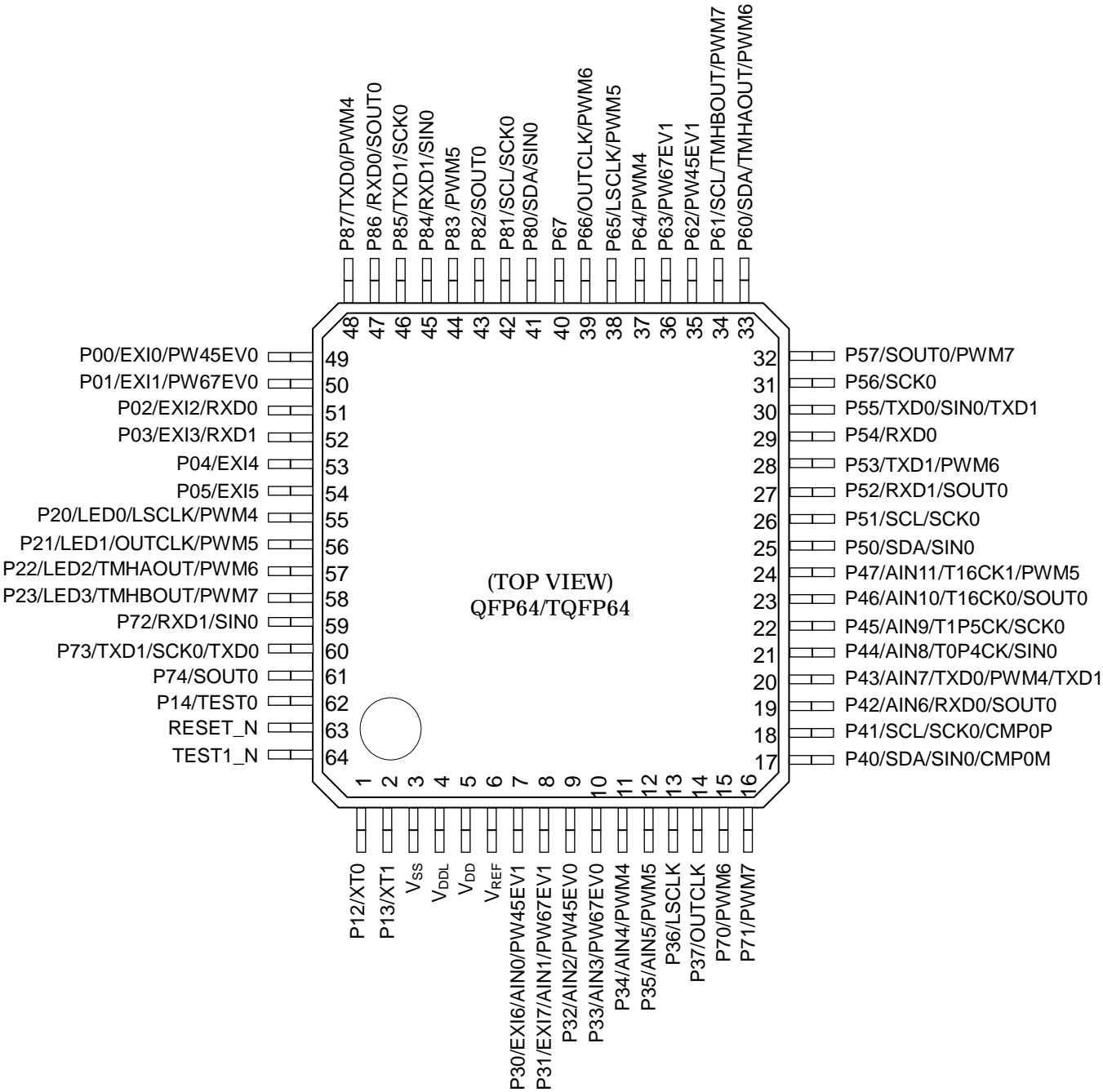
ML620Q151B / ML620Q152B / ML620Q153B 端子配置図(TQFP48) (TOP View)

ML620Q154B / ML620Q155B / ML620Q156B 端子配置図(TQFP52) (TOP View)



ML620Q154B / ML620Q155B / ML620Q156B 端子配置図(TQFP52) (TOP View)

ML620Q157B / ML620Q158B / ML620Q159B 端子配置図 (QFP64/TQFP64) (TOP View)



ML620Q157B / ML620Q158B / ML620Q159B 端子配置図 (QFP64/TQFP64) (TOP View)

端子一覧

I/O 欄の “ - ” は電源端子，“I” は入力端子，“O” は出力端子，“I/O” は入出力端子を示します。

端子一覧

48 Pin No.	52 Pin No.	64 Pin No.	1 次機能			2 次機能			3 次機能			4 次機能		
			端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
3	3	3	V _{SS}	¾	マイナス側電源端子	¾	¾	¾	¾	¾	¾	¾	¾	¾
5	5	5	V _{DD}	¾	プラス側電源端子	¾	¾	¾	¾	¾	¾	¾	¾	¾
4	4	4	V _{DDL}	¾	内部ロジック用電源端子 (内部発生)	¾	¾	¾	¾	¾	¾	¾	¾	¾
46	50	62	P14/ TEST0	I	入力ポート テスト用入力端子	¾	¾	¾	¾	¾	¾	¾	¾	¾
47	51	63	RESET_N	I	リセット入力端子	¾	¾	¾	¾	¾	¾	¾	¾	¾
48	52	64	TEST1_N	I	テスト用入力端子	¾	¾	¾	¾	¾	¾	¾	¾	¾
1	1	1	P12/ XT0	I	入力ポート 低速クロック発振端子	¾	¾	¾	¾	¾	¾	¾	¾	¾
2	2	2	P13/ XT1	I/O	入出力ポート 低速クロック発振端子	¾	¾	¾	¾	¾	¾	¾	¾	¾
6	6	6	V _{REF}	¾	逐次比較型 ADC 用リ ファレンス電源端子	¾	¾	¾	¾	¾	¾	¾	¾	¾
37	40	49	P00/EXI0/ PW45EV0	I	入力ポート, 外部割込み, PW45EV0 入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
38	41	50	P01/EXI1/ PW67EV0	I	入力ポート, 外部割込み, PW67EV0 入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
39	42	51	P02/EXI2/ RXD0	I	入力ポート, 外部割込み, UART0 データ入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
40	43	52	P03/EXI3/ RXD1	I	入力ポート, 外部割込み, UART1 データ入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
41	44	53	P04/EXI4	I	入力ポート, 外部割込み	¾	¾	¾	¾	¾	¾	¾	¾	¾
¾	45	54	P05/EXI5	I	入力ポート, 外部割込み	¾	¾	¾	¾	¾	¾	¾	¾	¾
42	46	55	P20/ LED0	O	出力ポート, LED 駆動	LSCLK	O	低速クロ ック出力	PWM4	O	PWM4 出力	¾	¾	¾
43	47	56	P21/ LED1	O	出力ポート, LED 駆動	OUTCLK	O	高速クロ ック出力	PWM5	O	PWM5 出力	¾	¾	¾
44	48	57	P22/ LED2	O	出力ポート, LED 駆動	¾	¾	¾	TMHA0 UT	O	16 ビット タイマ A アウト	PWM6	O	PWM6 出力
45	49	58	P23/ LED3	O	出力ポート, LED 駆動	¾	¾	¾	TMHBO UT	O	16 ビット タイマ B アウト	PWM7	O	PWM7 出力
7	7	7	P30/EXI6 PW45EV1/ AIN0	I/O	入出力ポート 外部割込み PW45EV1 入力 逐次比較型 ADC 入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
8	8	8	P31/EXI7 PW67EV1/ AIN1	I/O	入出力ポート 外部割込み PW67EV1 入力 逐次比較型 ADC 入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
9	9	9	P32/ PW45EV0/ AIN2	I/O	入出力ポート PW45EV0 入力 逐次比較型 ADC 入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
10	10	10	P33/ PW67EV0/ AIN3	I/O	入出力ポート PW67EV0 入力 逐次比較型 ADC 入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
11	11	11	P34/ AIN4	I/O	入出力ポート 逐次比較型 ADC 入力	¾	¾	¾	PWM4	O	PWM4 出力	¾	¾	¾
12	12	12	P35/ AIN5	I/O	入出力ポート 逐次比較型 ADC 入力	¾	¾	¾	PWM5	O	PWM5 出力	¾	¾	¾
¾	13	13	P36	I/O	入出力ポート	LSCLK	O	低速クロ ック出力	¾	¾	¾	¾	¾	¾

48 Pin No.	52 Pin No.	64 Pin No.	1 次機能			2 次機能			3 次機能			4 次機能		
			端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
¾	¾	14	P37	I/O	入出力ポート	OUTCLK	O	高速クロック出力	¾	¾	¾	¾	¾	¾
13	14	17	P40/ CMP0M	I/O	入出力ポート, アナログコンパレータ 0 非反転入力	SDA	I/O	I ² C 用デ ータ入出 力	SIN0	I	SSIO0 データ入 力	¾	¾	¾
14	15	18	P41/ CMP0P	I/O	入出力ポート, アナログコンパレータ 0 反転入力	SCL	I/O	I ² C 用ク ロック入 出力	SCK0	I/O	SSIO0 同期クロ ック入出 力	¾	¾	¾
15	16	19	P42/ AIN6	I/O	入出力ポート, 逐次比較型 ADC 入力	RXD0	I	UART0 データ入 力	SOUT0	O	SSIO0 データ出 力	¾	¾	¾
16	17	20	P43/ AIN7	I/O	入出力ポート, 逐次比較型 ADC 入力	TXD0	O	UART0 データ出 力	PWM4	O	PWM4 出力	TXD1	O	UART1 データ出 力
17	18	21	P44/ TOP4CK/ AIN8	I/O	入出力ポート, PWM4 外部クロック入 力 逐次比較型 ADC 入力	¾	¾	¾	SIN0	I	SSIO0 データ入 力	¾	¾	¾
18	19	22	P45/ T1P5CK/ AIN9	I/O	入出力ポート, PWM5 外部クロック入 力 逐次比較型 ADC 入力	¾	¾	¾	SCK0	I/O	SSIO0 同期クロ ック入出 力	¾	¾	¾
19	20	23	P46/ T16CK0/ AIN10	I/O	入出力ポート, タイマ 8, A 外部クロッ ク入力 PWM6 外部クロック入 力 逐次比較型 ADC 入力	¾	¾	¾	SOUT0	O	SSIO0 データ出 力	¾	¾	¾
20	21	24	P47/ T16CK1/ AIN11	I/O	入出力ポート, タイマ 9, B 外部クロッ ク入力 PWM7 外部クロック入 力 逐次比較型 ADC 入力	¾	¾	¾	PWM5	O	PWM5 出力	¾	¾	¾
¾	¾	25	P50	I/O	入出力ポート	SDA	I/O	I ² C 用デ ータ入出 力	SIN0	I	SSIO0 データ入 力			
¾	¾	26	P51	I/O	入出力ポート	SCL	I/O	I ² C 用ク ロック入 出力	SCK0	I/O	SSIO0 同期クロ ック入出 力			
¾	¾	27	P52	I/O	入出力ポート	RXD1	I	UART1 データ入 力	SOUT0	O	SSIO0 データ出 力			
¾	22	28	P53	I/O	入出力ポート	TXD1	O	UART1 データ出 力	PWM6	O	PWM6 出力	¾	¾	¾
21	23	29	P54	I/O	入出力ポート	RXD0	I	UART0 データ入 力	¾	¾	¾	¾	¾	¾
22	24	30	P55	I/O	入出力ポート	TXD0	O	UART0 データ出 力	SIN0	I	SSIO0 データ入 力	TXD1	O	UART1 データ出 力
23	25	31	P56	I/O	入出力ポート	¾	¾	¾	SCK0	I/O	SSIO0 同期クロ ック入出 力	¾	¾	¾
24	26	32	P57	I/O	入出力ポート	¾	¾	¾	SOUT0	O	SSIO0 データ出 力	PWM7	O	PWM7 出力
25	27	33	P60	I/O	入出力ポート	SDA	I/O	I ² C 用デ ータ入出 力	TMHA0 UT	O	16 ビット タイマ A アウト	PWM6	O	PWM6 出力
26	28	34	P61	I/O	入出力ポート	SCL	I/O	I ² C 用ク ロック入 出力	TMHBO UT	O	16 ビット タイマ B アウト	PWM7	O	PWM7 出力
27	29	35	P62/ PW45EV1	I/O	入出力ポート PW45EV1 入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
28	30	36	P63/ PW67EV1	I/O	入出力ポート PW67EV1 入力	¾	¾	¾	¾	¾	¾	¾	¾	¾
¾	31	37	P64	I/O	入出力ポート	¾	¾	¾	PWM4	O	PWM4 出力	¾	¾	¾

48 Pin No.	52 Pin No.	64 Pin No.	1 次機能			2 次機能			3 次機能			4 次機能		
			端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能	端子名	I/O	機能
3/4	3/4	38	P65	I/O	入出力ポート	LSCLK	O	低速クロック出力	PWM5	O	PWM5 出力	3/4	3/4	3/4
3/4	3/4	39	P66	I/O	入出力ポート	OUTCLK	O	高速クロック出力	PWM6	O	PWM6 出力	3/4	3/4	3/4
3/4	3/4	40	P67	I/O	入出力ポート	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4	3/4
3/4	3/4	15	P70	I/O	入出力ポート	3/4	3/4	3/4	PWM6	O	PWM6 出力	3/4	3/4	3/4
3/4	3/4	16	P71	I/O	入出力ポート	3/4	3/4	3/4	PWM7	O	PWM7 出力	3/4	3/4	3/4
3/4	3/4	59	P72	I/O	入出力ポート	RXD1	I	UART1 データ入力	SIN0	I	SSIO0 データ入力	3/4	3/4	3/4
3/4	3/4	60	P73	I/O	入出力ポート	TXD1	O	UART1 データ出力	SCK0	I/O	SSIO0 同期クロック入出力	TXD0	O	UART0 データ出力
3/4	3/4	61	P74	I/O	入出力ポート	3/4	3/4	3/4	SOUT0	O	SSIO0 データ出力	3/4	3/4	3/4
29	32	41	P80	I/O	入出力ポート	SDA	I/O	I ² C 用 データ入出力	SIN0	I	SSIO0 データ入力	3/4	3/4	3/4
30	33	42	P81	I/O	入出力ポート	SCL	I/O	I ² C 用 クロック入出力	SCK0	I/O	SSIO0 同期クロック入出力	3/4	3/4	3/4
31	34	43	P82	I/O	入出力ポート	3/4	3/4	3/4	SOUT0	O	SSIO0 データ出力	3/4	3/4	3/4
32	35	44	P83	I/O	入出力ポート	3/4	3/4	3/4	PWM5	O	PWM5 出力	3/4	3/4	3/4
33	36	45	P84	I/O	入出力ポート	RXD1	I	UART1 データ入力	SIN0	I	SSIO0 データ入力	3/4	3/4	3/4
34	37	46	P85	I/O	入出力ポート	TXD1	O	UART1 データ出力	SCK0	I/O	SSIO0 同期クロック入出力	3/4	3/4	3/4
35	38	47	P86	I/O	入出力ポート	RXD0	I	UART0 データ入力	SOUT0	O	SSIO0 データ出力	3/4	3/4	3/4
36	39	48	P87	I/O	入出力ポート	TXD0	O	UART0 データ出力	PWM4	O	PWM4 出力	3/4	3/4	3/4

端子説明

I/O 欄の “ - ” は電源端子，“I” は入力端子，“O” は出力端子，“I/O” は入出力端子を示します。

端子説明 (1/4)

端子名	I/O	説 明	1 次/ 2 次/ 3 次/ 4 次	論 理
電源				
V _{SS}	—	マイナス側電源端子	—	—
V _{DD}	—	プラス側電源端子	—	—
V _{DDL}	—	内部ロジック用電源端子 (内部発生) V _{SS} との間にコンデンサ C _L (2.2μF) を接続します。	—	—
テスト				
TEST0	I	テスト用入力端子。プルダウン抵抗が内蔵されています。	—	正
TEST1_N	I	テスト用入力端子。プルアップ抵抗が内蔵されています。	—	負
システム				
RESET_N	I	リセット入力端子です。この端子を“L”レベルにするとシステムリセットモードになり内部が初期化され、その後端子を“H”レベルにするとプログラム実行を開始します。プルアップ抵抗が内蔵されています。	1 次	負
XT0	I	低速クロック用水晶振動子接続端子です。	1 次	—
XT1	I/O	32.768kHz 水晶振動子を接続し、VSS との間にコンデンサ C _{DL} , C _{GL} を接続します。	1 次	—
LSCLK*	O	低速クロック出力です。P20/P36/P65 端子の 2 次機能に割り付けられています。	2 次	—
OUTCLK*	O	高速クロック出力です。P21/P37/P66 端子の 2 次機能に割り付けられています。	2 次	—
汎用入力ポート				
P00 ~ P05*	I	汎用入力ポート、もしくは出力ポートです。	1 次	正
P12	I			
P13	I/O			
P14	I			
汎用出力ポート				
P20 ~ P23	O	汎用出力ポート。2 次機能、3 次機能、4 次機能を使用する場合、ポートとして使用できません。	2 次/ 3 次/ 4 次	正
汎用入出力ポート				
P30 ~ P37*	I/O	汎用入出力ポート。2 次機能、3 次機能、4 次機能を使用する場合、ポートとして使用できません。	2 次/ 3 次/ 4 次	正
P40 ~ P47				
P50 ~ P57*				
P60 ~ P67*				
P70 ~ P74*				
P80 ~ P87				

*: ML620Q151B/ML620Q152B/ML620Q153B/ML620Q154B/ML620Q155B/ML620Q156B/ML620Q157B/ML620Q158B/ML620Q159B で端子構成が異なります。詳細は, “端子一覧”を参照してください。

端子説明 (2/4)

端子名	I/O	説 明	1 次/ 2 次/ 3 次/ 4 次	論 理
UART				
TXD0*	O	UART0 データ出力端子です。P43 端子の 2 次機能および P55 端子の 2 次機能および P73 端子の 4 次機能および P87 端子の 2 次機能に割り付けられています。	2 次/ 4 次	正
RXD0*	I	UART0 データ入力端子です。P02 端子の 2 次機能および P42 端子の 2 次機能および P54 端子の 2 次機能および P86 端子の 2 次機能に割り付けられています。	2 次	正
TXD1*	O	UART1 データ出力端子です。P43 端子の 4 次機能および P53 端子の 2 次機能および P55 端子の 4 次機能および P73 端子の 2 次機能および P85 端子の 2 次機能に割り付けられています。	2 次/ 4 次	正
RXD1*	I	UART1 データ入力端子です。P03 端子の 2 次機能および P52 端子の 2 次機能および P72 端子の 2 次機能および P84 端子の 2 次機能に割り付けられています。	2 次	正
I ² C バス・インタフェース				
SDA*	I/O	I ² C データ入出力用 Nch オープンドレイン端子です。P40 端子の 2 次機能および P50 端子の 2 次機能および P60 端子の 2 次機能および P80 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
SCL*	I/O	I ² C クロック入出力用 Nch オープンドレイン端子です。P41 端子の 2 次機能および P51 端子の 2 次機能および P61 端子の 2 次機能および P81 端子の 2 次機能に割り付けられています。外部にプルアップ抵抗を接続します。	2 次	正
同期シリアル (SSIO)				
SIN0*	I	同期シリアルデータ入力端子です。P40 端子の 3 次機能および P44 端子の 3 次機能および P50 端子の 3 次機能および P55 端子の 3 次機能および P72 端子の 3 次機能および P80 端子の 3 次機能および P84 端子の 3 次機能に割り付けられています。	3 次	正
SCK0*	I/O	同期シリアルクロック入出力端子です。P41 端子の 3 次機能および P45 端子の 3 次機能および P51 端子の 3 次機能および P56 端子の 3 次機能および P73 端子の 3 次機能および P81 端子の 3 次機能および P85 端子の 3 次機能に割り付けられています。	3 次	—
SOUT0*	O	同期シリアルデータ出力端子です。P42 端子の 3 次機能および P46 端子の 3 次機能および P52 端子の 3 次機能および P57 端子の 3 次機能および P74 端子の 3 次機能および P82 端子の 3 次機能および P86 端子の 3 次機能に割り付けられています。	3 次	正

*: ML620Q151B/ML620Q152B/ML620Q153B/ML620Q154B/ML620Q155B/ML620Q156B/ML620Q157B/ML620Q158B/ML620Q159B で端子構成が異なります。詳細は, “端子一覧”を参照してください。

端子説明 (3/4)

端子名	I/O	説 明	1 次/ 2 次/ 3 次/ 4 次	論 理
PWM				
PWM4*	○	PWM4 出力端子です。P20 端子の 3 次機能および P34 端子の 3 次機能および P43 端子の 3 次機能および P64 端子の 3 次機能および P87 端子の 3 次機能に割り付けられています。	3 次	正
PWM5*	○	PWM5 出力端子です。P21 端子の 3 次機能および P35 端子の 3 次機能および P47 端子の 3 次機能および P65 端子の 3 次機能および P83 端子の 3 次機能に割り付けられています。	3 次	正
PWM6*	○	PWM6 出力端子です。P22 端子の 4 次機能および P53 端子の 3 次機能および P60 端子の 4 次機能および P66 端子の 3 次機能および P70 端子の 3 次機能に割り付けられています。	3 次/ 4 次	正
PWM7*	○	PWM7 出力端子です。P23 端子の 4 次機能および P57 端子の 4 次機能および P61 端子の 4 次機能および P71 端子の 3 次機能に割り付けられています。	3 次/ 4 次	正
PW45EV0 PW45EV1	I	PWM4, PWM5 をスタート/ストップ/クリア制御する入力端子です。 P00 端子の 1 次機能, P30 端子の 1 次機能, P32 端子の 1 次機能および P62 端子の 1 次機能に割り付けられています。	1 次	—
PW67EV0 PW67EV1	I	PWM6, PWM7 をスタート/ストップ/クリア制御する入力端子です。 P01 端子の 1 次機能, P31 端子の 1 次機能, P33 端子の 1 次機能および P63 端子の 1 次機能に割り付けられています。	1 次	—
T0P4CK	I	PWM4 の外部クロック入力端子です。P44 端子の 1 次機能に割り付けられています。	1 次	—
T1P5CK	I	PWM5 の外部クロック入力端子です。P45 端子の 1 次機能に割り付けられています。	1 次	—

*: ML620Q151B/ML620Q152B/ML620Q153B/ML620Q154B/ML620Q155B/ML620Q156B/ML620Q157B/ML620Q158B/ML620Q159B で端子構成が異なります。詳細は、“端子一覧”を参照してください。

端子説明 (4/4)

端子名	I/O	説 明	1 次/ 2 次/ 3 次	論 理
外部割込み				
EXIO ~ 7*	I	外部マスカブル割込み入力端子です。ソフトウェアにてビット毎に割込み許可と割込みエッジ選択ができます。P00 ~ P05 端子, P30 ~ P31 端子の 1 次機能に割り付けられています。	1 次	正/ 負
タイマ				
T16CK0	I	16 ビットタイマ 8, A および PWM6 の外部クロック入力端子です。P46 端子の 1 次機能に割り付けられています。	1 次	—
T16CK1	I	16 ビットタイマ 9, B および PWM7 の外部クロック入力端子です。P47 端子の 1 次機能に割り付けられています。	1 次	—
TMHAOUT	O	16 ビットタイマ A 出力端子です。P22 端子の 3 次機能および P60 端子の 3 次機能に割り付けられています。	3 次	正
TMHBOUT	O	16 ビットタイマ B 出力端子です。P23 端子の 3 次機能および P61 端子の 3 次機能に割り付けられています。	3 次	正
LED 駆動				
LED0 ~ 3	O	LED 駆動端子です。 P20 ~ P23 端子の 1 次機能に割り付けられています。	1 次	正/ 負
逐次比較型 A/D コンバータ				
V _{REF}	—	逐次比較型 A/D コンバータ用リファレンス電源端子です。	—	—
AIN0 ~ AIN11	I	逐次比較型 A/D コンバータ Ch0 ~ Ch11 アナログ入力です。 P30 ~ P35 端子, P42 ~ P47 端子の 1 次機能に割り付けられています。	1 次	—
アナログコンパレータ				
CMP0P	I	アナログコンパレータ 0 反転入力です。 P41 端子の 1 次機能に割り付けられています。	1 次	—
CMP0M	I	アナログコンパレータ 0 非反転入力 P40 端子の 1 次機能に割り付けられています。	1 次	—

*: ML620Q151B/ML620Q152B/ML620Q153B/ML620Q154B/ML620Q155B/ML620Q156B/ML620Q157B/ML620Q158B/ML620Q159B で端子構成が異なります。詳細は, “端子一覧”を参照してください。

未使用端子の処理

下表に未使用端子の処理方法を示します。

未使用端子の処理

端子	推奨端子処理
RESET_N	オープン
P14/TEST0	オープン
TEST1_N	オープン
V _{REF}	V _{DD}
P00 to P05 ^{*1}	V _{DD} またはV _{SS}
P12 ^{*2}	V _{DD} またはV _{SS}
P13 ^{*2}	オープン
P20 to P23	オープン
P30 to P37 ^{*1}	オープン
P40 to P47	オープン
P50 to P57 ^{*1}	オープン
P60 to P67 ^{*1}	オープン
P70 to P74 ^{*1}	オープン
P80 to P87	オープン

^{*1}: ML620Q151B/ML620Q152B/ML620Q153B/ML620Q154B/ML620Q155B/ML620Q156B/ML620Q157B/ML620Q158B/ML620Q159B で端子構成が異なります。詳細は、“端子一覧”を参照してください。

^{*2}: 水晶振動子を接続しない場合の処理です。

【注意】

未使用の入力ポートおよび入出力ポートは、ハイインピーダンス入力設定状態で端子をオープンのままにしておくと消費電流が過大に流れる恐れがありますので、プルダウン抵抗付き入力モード/プルアップ抵抗付き入力モード、もしくは出力モードに設定することを推奨します。

電気的特性

絶対最大定格

(V_{SS}= 0V)

項 目	記 号	条 件	定 格 値	単位
電源電圧 1	V _{DD}	Ta=25	-0.3 ~ +6.5	V
電源電圧 2	V _{DDL}	Ta=25	-0.3 ~ +2.0	V
リファレンス電圧	V _{REF}	Ta=25	-0.3 ~ V _{DD} +0.3	V
アナログ入力電圧	V _{AI}	Ta=25	-0.3 ~ V _{DD} +0.3	V
入力電圧	V _{IN}	Ta=25	-0.3 ~ V _{DD} +0.3	V
出力電圧	V _{OUT}	Ta=25	-0.3 ~ V _{DD} +0.3	V
出力電流 1 (P13, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P74, P80 ~ P87)	I _{OUT1}	Ta=25	-12 ~ +11	mA
出力電流 2 (P20 ~ P23)	I _{OUT2}	Ta=25 Nch オープンドレイン出力選択時	-12 ~ +20	mA
許容損失	PD	Ta=25	1	W
保存温度	T _{STG}	—	-55 ~ +150	

推奨動作条件

(V_{SS}= 0V)

項 目	記 号	条 件	範 囲	単位
動作温度	T _{OP}	—	-40 ~ +105	
動作電圧	V _{DD}	—	1.8 ~ 5.5	V
リファレンス電圧	V _{REF}	V _{DD} V _{REF}	1.8 ~ V _{DD}	V
アナログ入力電圧	V _{AI}	—	V _{SS} ~ V _{REF}	V
動作周波数 (CPU)	f _{OP}	—	30k ~ 8.4M	Hz
低速水晶発振周波数	f _{XTL}	—	32.768k	Hz
低速水晶発振 外付け容量	C _{DL}	DT-26 (大真空株式会社製) 使用時	12 ~ 25	pF
	C _{GL}		12 ~ 25	
V _{DD} 端子外付け容量	C _V	—	2.2 ± 30%以上	μF
V _{DDL} 端子外付け容量	C _L	—	2.2 ± 30%	μF

フラッシュ・メモリ動作条件

(V_{SS}= 0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	データ領域：書き込み / 消去時	-40 ~ +105	
		プログラム領域：書き込み / 消去時	0 ~ +40	
動作電圧	V _{DD}	書き込み / 消去時	1.8 ~ 5.5	V
書き換え回数 ^{*1}	C _{EPD}	データ領域 (1,024B x 2)	10,000	回
	C _{EPP}	プログラム領域	100	
消去単位	—	チップ消去	プログラム, データの 全領域	—
	—	ブロック消去	プログラム領域	KB
			データ領域	
	—	セクタ消去 (データ領域のみ有効)	1	KB
消去時間 (最大)	—	チップ消去 ブロック消去 セクタ消去	100	ms
書き込み単位	—	—	1 ワード (2 バイト)	—
書き込み時間 (最大)	—	1 ワード (2 バイト)	40	μs
データ保持年数	Y _{DR}	—	15	年

*1: 消去 1 回と消去後の書き込み 1 回が書き換え回数 1 回です。ただし消去を中断した場合も 1 回としてカウントします。

直流特性 (消費電流)

(特に指定のない場合は, V_{DD} = 1.8 ~ 5.5V, V_{SS} = 0V, Ta = -40 ~ +105)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
消費電流 1	IDD1	CPU が STOP 状態 低速/高速発振停止 V _{DD} =3.0V	-40 ~ +35	—	1.0	6	μA	1
			-40 ~ +105	—	1.0	22		
消費電流 2	IDD2	水晶発振時 CPU が HALT 状態 (LTBC , WDT 動作 ^{*1}) 高速発振停止 V _{DD} =3.0V	-40 ~ +35	—	2.5	7		
			-40 ~ +105	—	2.5	24		
		低速 RC 発振時 CPU が HALT 状態 (LTBC , WDT 動作 ^{*1}) 高速発振停止 V _{DD} =3.0V	-40 ~ +35	—	3.5	9		
			-40 ~ +105	—	3.5	26		
消費電流 3	IDD3	CPU が 32kHz 動作状態 ^{*2} 高速発振停止 V _{DD} =3.0V	-40 ~ +35	—	13	20		
			-40 ~ +105	—	13	42		
消費電流 4	IDD4	CPU が 2MHz 動作状態 ^{*2} 高速 RC2MHz 発振状態 V _{DD} =5.0V	—	0.64	2.0	mA		
消費電流 5	IDD5	CPU が 8.192MHz 動作状態 ^{*2} PLL 発振状態 V _{DD} =5.0V	—	5	8			

^{*1}: BLKCON0, BLKCON2~BLKCON4, BLKCON6, BLKCON7 の有効ビット全て“1”。

^{*2}: CPU 動作率 100%時 (HALT 状態なし)

直流特性 (VOHL, IOHL)

(特に指定のない場合は, $V_{DD}=1.8 \sim 5.5V$, $V_{SS}=0V$, $T_a=-40 \sim +105$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
出力電圧 1 (P20 ~ P23) (P30 ~ P37)* [†] (P40 ~ P47) (P50 ~ P57)* [†] (P60 ~ P67)* [†] (P70 ~ P74)* [†] (P80 ~ P87)	VOH1	IOH1=-0.5mA 1 端子出力	$V_{DD}-0.5$	—	—	V	2
	VOL1	IOL1=+0.5mA 1 端子出力	—	—	0.5		
出力電圧 2 (P20 ~ P23)	VOL2	Nch オープンドレイン出力選択時	IOL2=+10mA $V_{DD}=5.0V$ 1 端子出力	—	—		
			IOL2=+8mA $V_{DD}=3.0V$ 1 端子出力	—	—		
出力電圧 3 (P40 ~ P41) (P50 ~ P51)* [†] (P60 ~ P61)* [†] (P80 ~ P81)	VOL3	I ² C モード選択時	IOL3=+3mA $V_{DD}=2.0V$ 1 端子出力	—	—	0.4	
			IOL3=+2mA $2.0V > V_{DD} > 1.8V$ 1 端子出力	—	—		
出力リーク (P20 ~ P23) (P30 ~ P37)* [†] (P40 ~ P47) (P50 ~ P57)* [†] (P60 ~ P67)* [†] (P70 ~ P74)* [†] (P80 ~ P87)	IOOH	VOH= V_{DD} (ハイインピーダンス時)	—	—	1	mA	3
	IOOL	VOL= V_{SS} (ハイインピーダンス時)	-1	—	—		

*[†]: ML620Q151B/ML620Q152B/ML620Q153B/ML620Q154B/ML620Q155B/ML620Q156B/ML620Q157B/ML620Q158B/ML620Q159B で端子構成が異なります。詳細は, “端子一覧”を参照してください。

直流特性 (IIHL)

(特に指定のない場合は, $V_{DD}=1.8 \sim 5.5V$, $V_{SS}=0V$, $T_a=-40 \sim +105$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N) (TEST1_N)	IIH1	VIH1= V_{DD}	0	—	1	mA	4
	IIL1	VIL1= V_{SS}	-1500	-300	-20		
入力電流 2 (P00 ~ P05)* (P12 ~ P14) (P30 ~ P37)* (P40 ~ P47) (P50 ~ P57)* (P60 ~ P67)* (P70 ~ P74)* (P80 ~ P87)	IIH2	VIH2= V_{DD} (プルダウン時)	2	30	250		
	IIL2	VIL2= V_{SS} (プルアップ時)	-250	-30	-2		
	IIH2Z	VIH2= V_{DD} (ハイインピーダンス時)	—	—	1		
	IIL2Z	VIL2= V_{SS} (ハイインピーダンス時)	-1	—	—		

*: ML620Q151B/ML620Q152B/ML620Q153B/ML620Q154B/ML620Q155B/ML620Q156B/ML620Q157B/ML620Q158B/ML620Q159B で端子構成が異なります。詳細は, “端子一覧”を参照してください。

直流特性 (VIHL)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
入力電圧 1 (RESET_N) (P14/TEST0) (TEST1_N) (P00 ~ P05) * (P12 , P13) (P30 ~ P37) * (P40 ~ P47) (P50 ~ P57) * (P60 ~ P67) * (P70 ~ P74) * (P80 ~ P87)	VIH1	—	0.7 $\times V_{DD}$	—	V_{DD}	V	5
	VIL1	—	0	—	0.3 $\times V_{DD}$		
入力端子容量 (RESET_N) (P14/TEST0) (TEST1_N) (P00 ~ P05) * (P12 , P13) (P30 ~ P37) * (P40 ~ P47) (P50 ~ P57) * (P60 ~ P67) * (P70 ~ P74) * (P80 ~ P87)	CIN	f=10kHz Ta=25	—	—	10	pF	—

*: ML620Q151B/ML620Q152B/ML620Q153B/ML620Q154B/ML620Q155B/ML620Q156B/ML620Q157B/
ML620Q158B/ML620Q159B で端子構成が異なります。詳細は, “端子一覧”を参照してください。

直流特性 (LLD)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
LLD 判定電圧	V _{CMP}	LLD1 ~ 0=0H	電源立ち上がり時	1.85	1.98	2.1	V	1
			電源立ち下がり時	1.8	1.9	2		
		LLD1 ~ 0=1H	電源立ち上がり時	2.5	2.63	2.75		
			電源立ち下がり時	2.45	2.55	2.65		
		LLD1 ~ 0=2H	電源立ち上がり時	3.65	3.78	3.9		
			電源立ち下がり時	3.6	3.7	3.8		
		LLD1 ~ 0=3H	電源立ち上がり時	4.15	4.28	4.4		
			電源立ち下がり時	4.1	4.2	4.3		
ヒステリシス幅	V _{hys}	¾		¾	80	¾	mV	

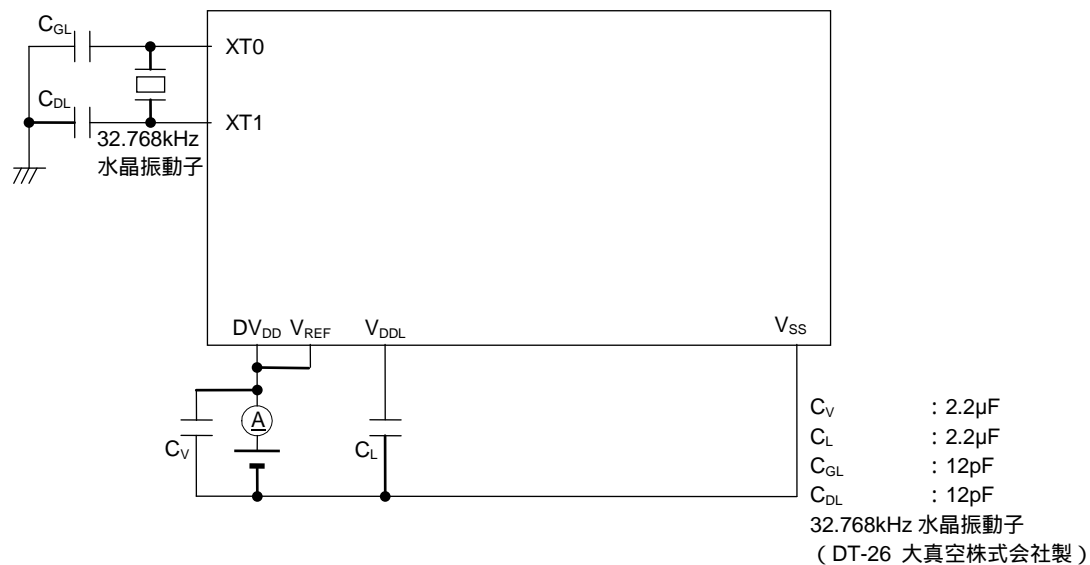
直流特性 (アナログコンパレータ)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

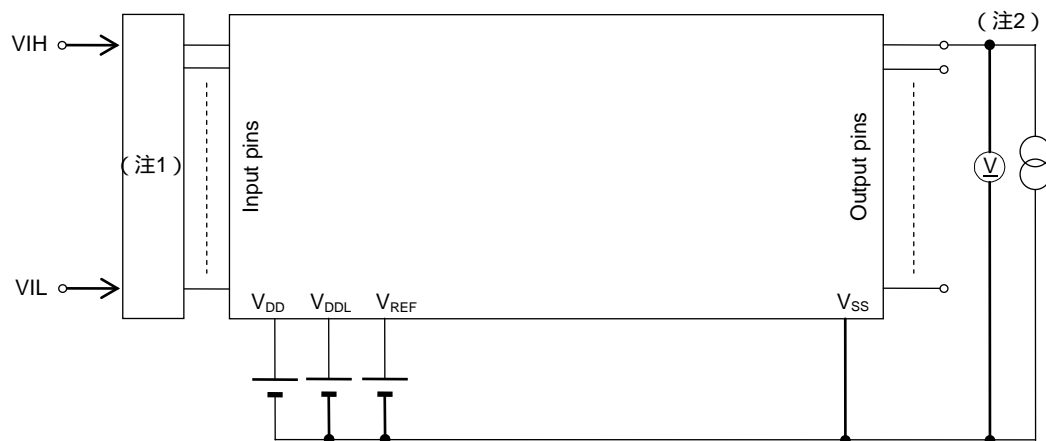
項目	記号	条件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
アナログコンパレータ コモンモード入力電圧	CMP0M V_{IN}		0	$\frac{3}{4}$	V_{DD} -1.4	V	1
	CMP0P V_{IN}		0	$\frac{3}{4}$	V_{DD}		
入力オフセット電圧	V_{CMPOF}		$\frac{3}{4}$	5	100	mV	
コンパレータ出力 遅延時間	T_{CMP}	CMP0P = CMP0M \pm 100mV	$\frac{3}{4}$	$\frac{3}{4}$	1	ns	

測定回路

測定回路 1

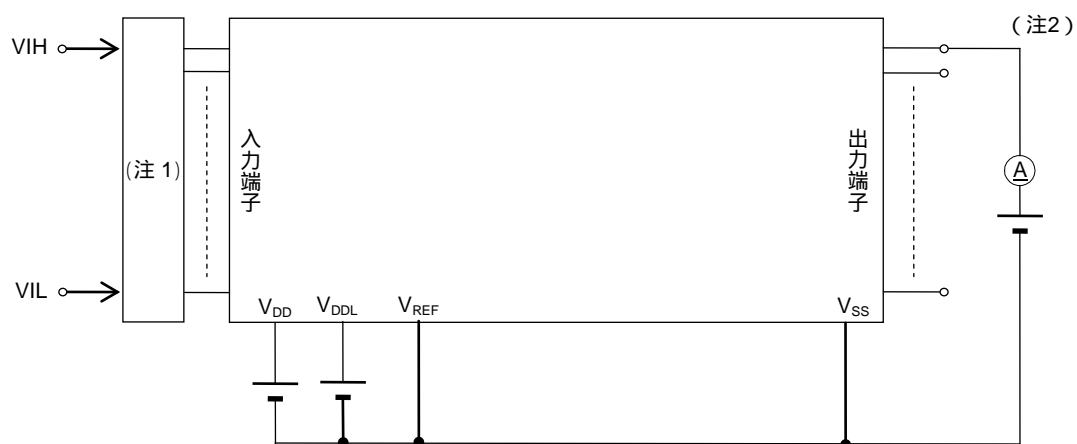


測定回路 2



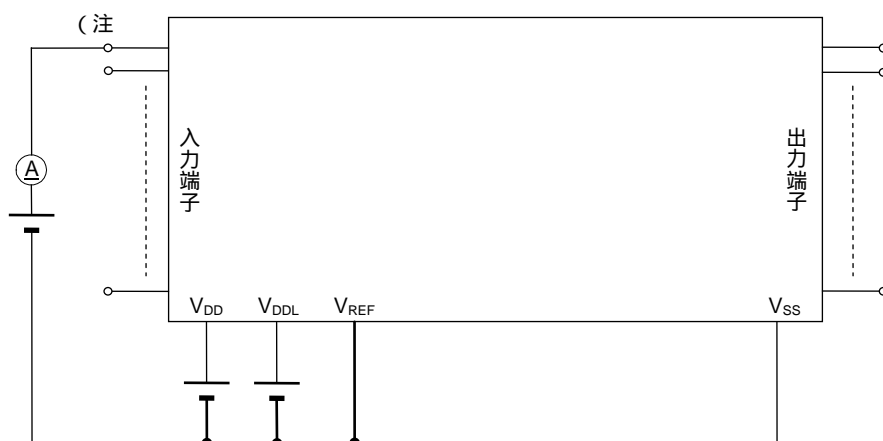
(注1) 指定の状態にする入力ロジック
 (注2) 指定の出力端子について繰り返す

測定回路 3



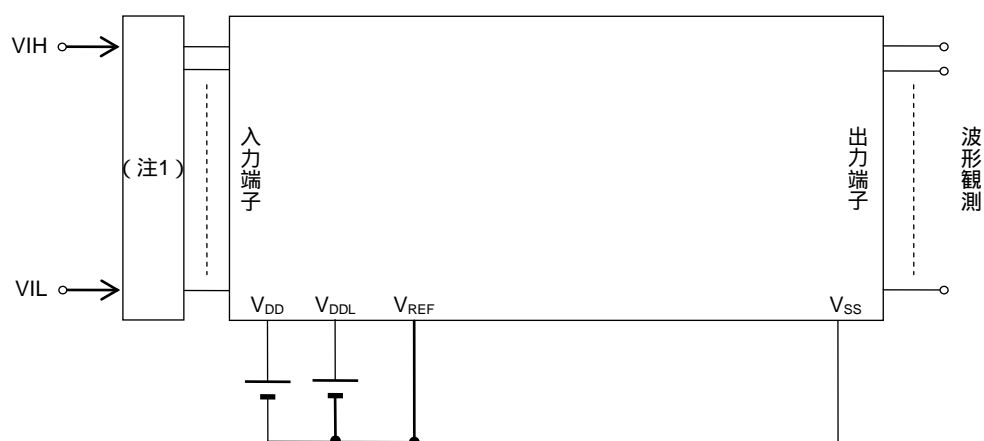
(注1) 指定の状態にする入力ロジック
(注2) 指定の出力端子について繰り返す

測定回路 4



(注3) 指定の入力端子について繰り返す

測定回路 5



(注1) 指定の状態にする入力ロジック

交流特性 (発振回路)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
低速水晶発振開始時間*1	T _{XTL}	—	—	0.6	2	s	1
低速 RC 発振周波数	f _{LCR}	Ta=25	typ -1%	32.768k	typ +1%	Hz	
		Ta=-40 ~ 85	typ -2.5%	32.768k	typ +2.5%		
		Ta=-40 ~ 105	typ -3%	32.768k	typ +3%		
高速 RC 発振周波数	f _{HCR}	Ta=25	typ -5%	2.097	typ +5%	MHz	
		Ta=-40 ~ 105	typ -15%	2.097	typ +15%		
PLL 発振周波数	f _{PLL}	LSCLK=32.768kHz 2,048 clock average	typ -1%	8.192	typ +1%	MHz	

^{*1}: 32.768KHz 水晶振動子 DT-26 (大真空株式会社) を使用 ($C_{GL}/C_{DL} = 12pF$)

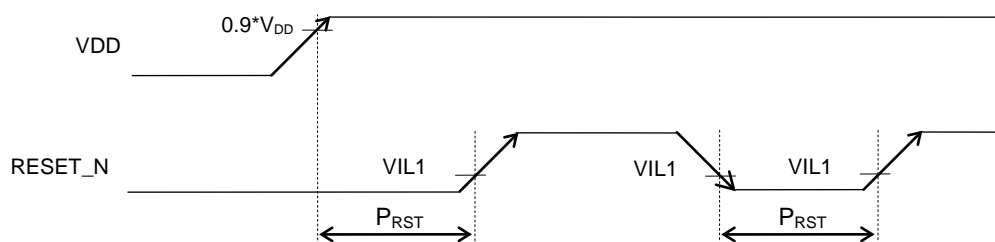
交流特性 (電源立ち上げ・リセットシーケンス)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

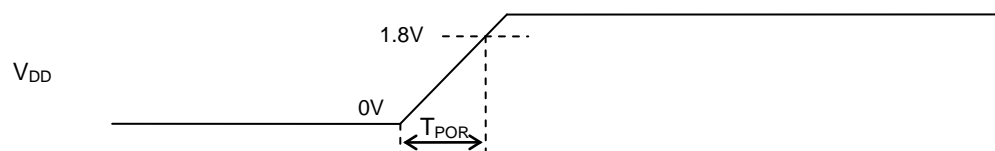
項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
リセット ^{*1} 有効パルス幅	P_{RST}	—	100	—	—	μs	1
リセット ^{*1} ノイズ除去 パルス幅	P_{NRST}	—	—	—	0.4		
パワーオンリセット発生 電源立ち上がり時間	T_{POR}	—	—	—	10	ms	

^{*1}: RESET_N 端子によるリセット

RESET_N 端子を使用する場合



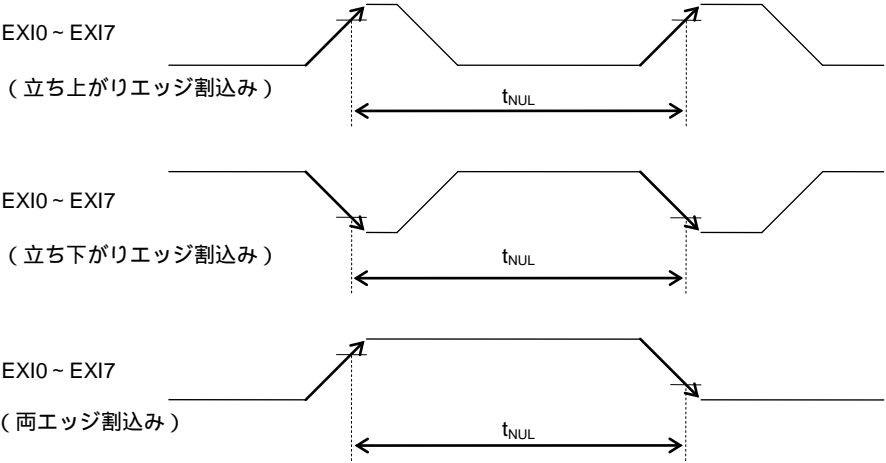
パワーオンリセットを使用する場合



交流特性 (外部割込み)

(特に指定のない場合は、 $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
外部割込み無効期間	t_{NUL}	割込み許可 (MIE=1) CPU は NOP 動作	2.5× LSCLK	—	3.5× LSCLK	ms

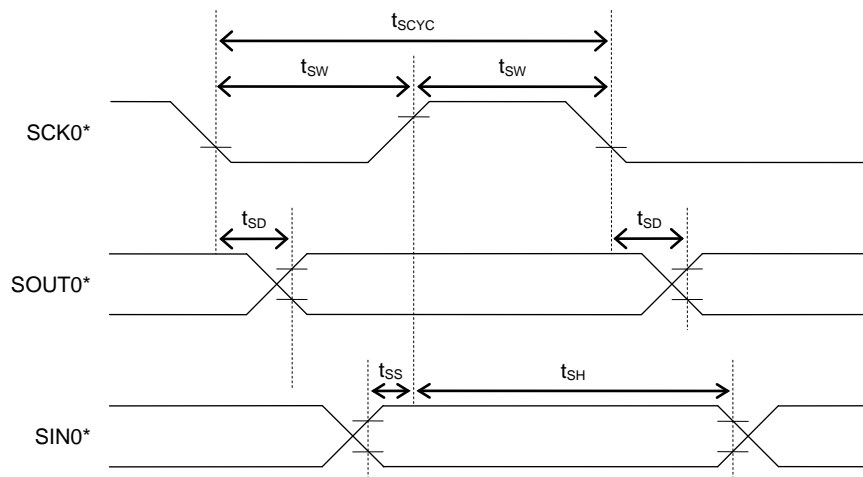


交流特性(同期式シリアルポート)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCK 入力サイクル (スレーブモード)	t_{SCYC}	高速発振停止時	10	—	—	μs
		高速発振時	500	—	—	ns
SCK 出力サイクル (マスタモード)	t_{SCYC}	—	—	SCK^{*1}	—	s
SCK 入力パルス幅 (スレーブモード)	t_{SW}	高速発振停止時	4	—	—	μs
		高速発振時	200	—	—	ns
SCK 出力パルス幅 (マスタモード)	t_{SW}	—	$SCK^{*1} \times 0.4$	$SCK^{*1} \times 0.5$	$SCK^{*1} \times 0.6$	s
SOUT 出力遅延時間 (スレーブモード)	t_{SD}	—	—	—	180	ns
SOUT 出力遅延時間 (マスタモード)	t_{SD}	—	—	—	80	ns
SIN 入力 セットアップ時間 (スレーブモード)	t_{SS}	—	80	—	—	ns
SIN 入力 セットアップ時間 (マスタモード)	t_{SS}	—	240	—	—	ns
SIN 入力 ホールド時間	t_{SH}	—	80	—	—	ns

*1: シリアルポート 0 モードレジスタ (SIO0MOD1) の S0CK3 ~ 0 により選択されたクロック周期



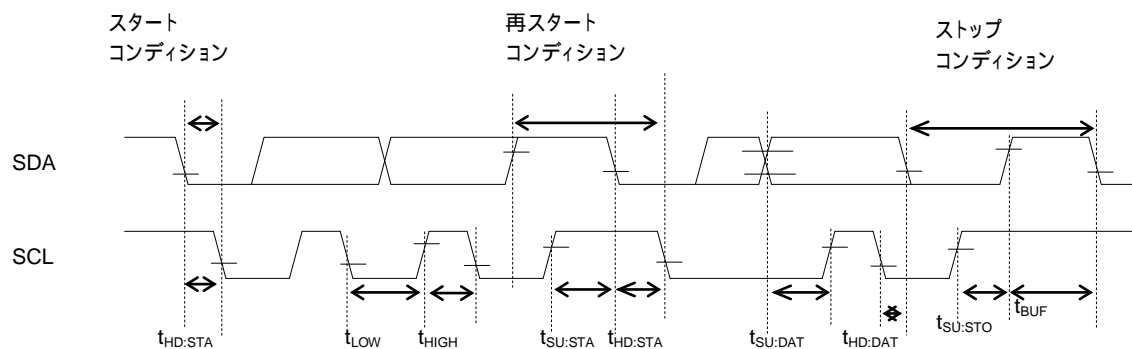
*: ポートの 2 次機能を示す。

交流特性 (I^2C バス・インタフェース: 標準モード 100kbps)(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}		0		100	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$		4.0			μs
SCL “L” レベル時間	t_{LOW}		4.7			μs
SCL “H” レベル時間	t_{HIGH}		4.0			μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$		4.7			μs
SDA ホールド時間	$t_{HD:DAT}$		0			μs
SDA セットアップ時間	$t_{SU:DAT}$		0.25			μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$		4.0			μs
バスフリー時間	t_{BUF}		4.7			μs

交流特性 (I^2C バス・インタフェース: ファーストモード 400kbps)(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}		0		400	kHz
SCL ホールド時間 (スタート/再スタート コンディション)	$t_{HD:STA}$		0.6			μs
SCL “L” レベル時間	t_{LOW}		1.3			μs
SCL “H” レベル時間	t_{HIGH}		0.6			μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$		0.6			μs
SDA ホールド時間	$t_{HD:DAT}$		0			μs
SDA セットアップ時間	$t_{SU:DAT}$		0.1			μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$		0.6			μs
バスフリー時間	t_{BUF}		1.3			μs

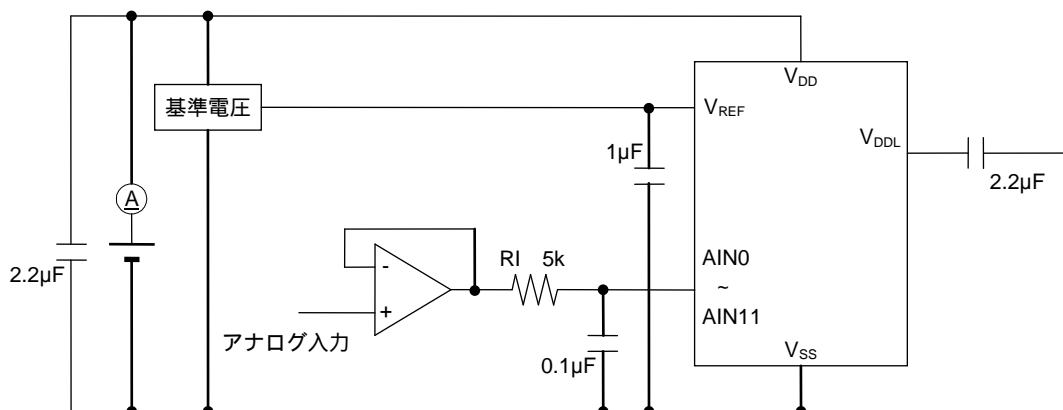


逐次比較型 A/D コンバータの電気的特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105$)

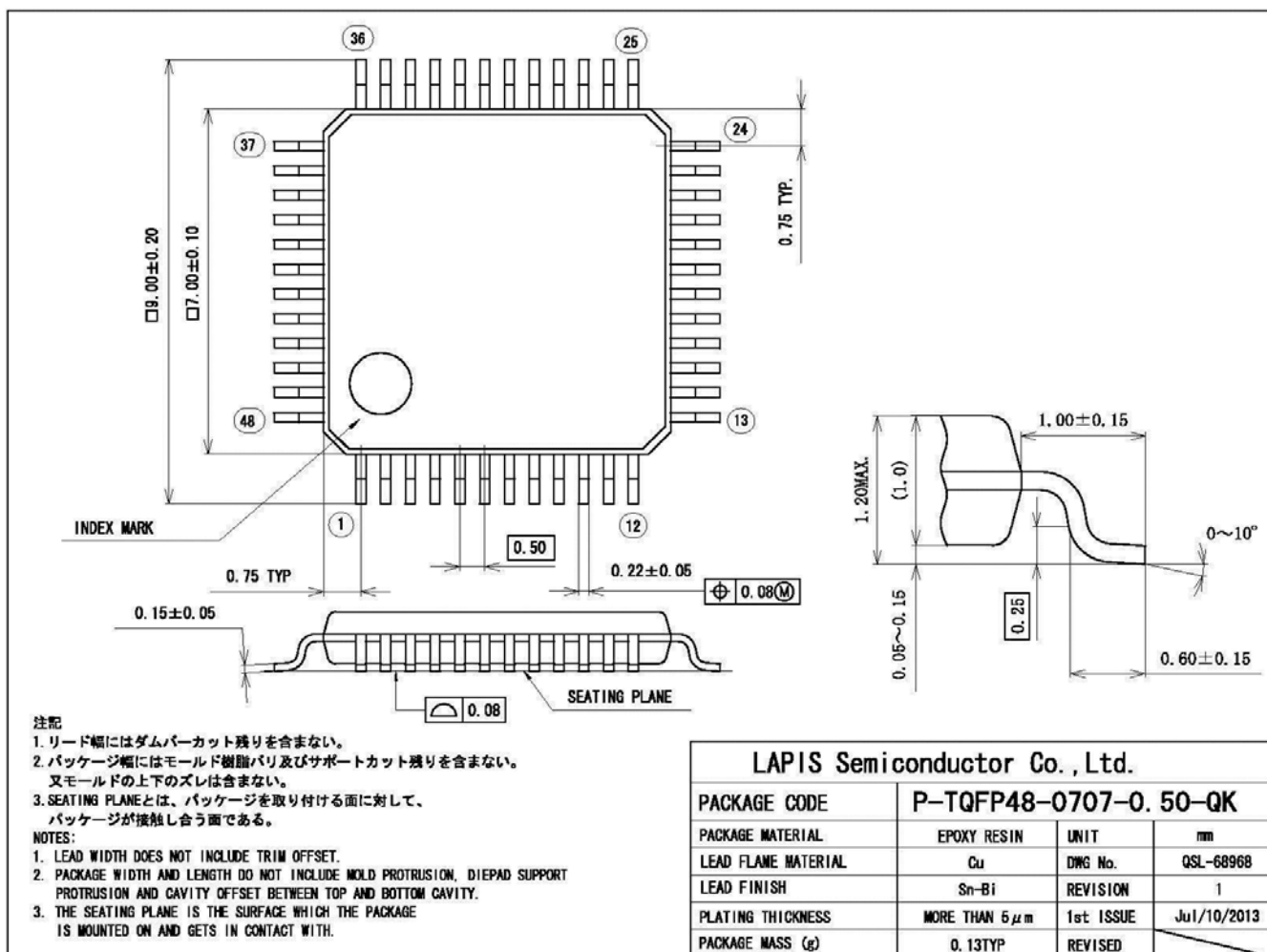
項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	—	10	bit
積分非直線性誤差	INL	$2.7V \leq V_{REF} \leq 5.5V$	-4	—	+4	LSB
		$2.2V \leq V_{REF} < 2.7V$	-6	—	+6	
		$1.8V \leq V_{REF} < 2.2V$ $SACK^{*1} = "1"$	-10	—	+10	
微分非直線性誤差	DNL	$2.7V \leq V_{REF} \leq 5.5V$	-3	—	+3	
		$2.2V \leq V_{REF} < 2.7V$	-5	—	+5	
		$1.8V \leq V_{REF} < 2.2V$ $SACK^{*1} = "1"$	-9	—	+9	
ゼロスケール誤差	V_{OFF}	RI 5k	-6	—	+6	
フルスケール誤差	FSE	RI 5k	-6	—	+6	
入力インピーダンス	RI	—	—	—	5k	
A/D 動作電圧	V_{DD}	V_{DD} V_{REF}	1.8	—	5.5	V
変換時間	t_{CONV}	PLL 発振 モード	$SACK^{*1} = "0"$	—	13.5	μs
			$SACK^{*1} = "1"$	—	43	
		高速 RC 発振 モード	$SACK^{*1} = "0"$	—	16	
			$SACK^{*1} = "1"$	—	44	

*1 : SA-ADC コントロールレジスタ 0 (SADCON0) のビット 1



パッケージ寸法図

ML620Q151B / ML620Q152B / ML620Q153B パッケージ外形図 (48 ピン TQFP)



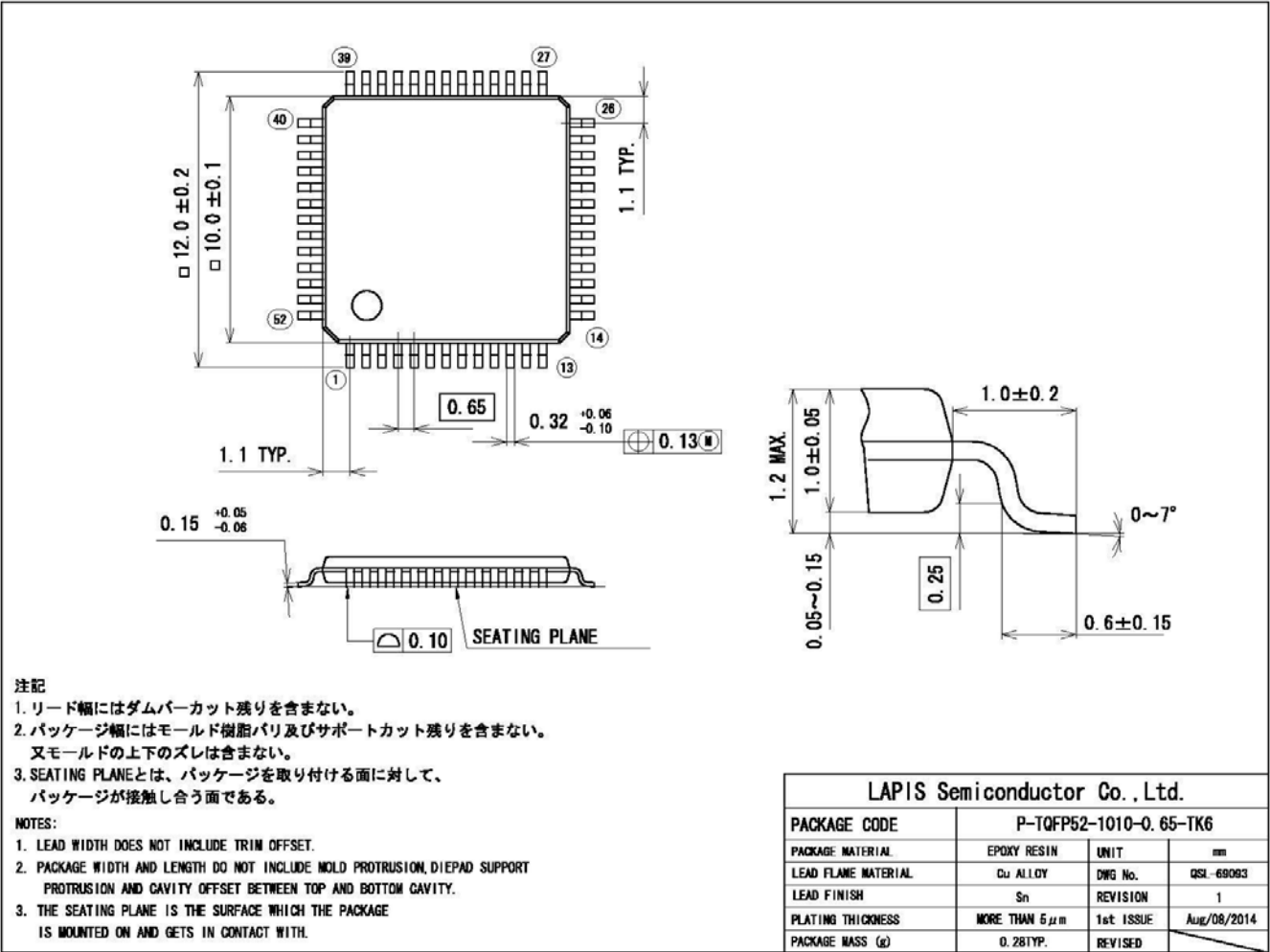
P-TQFP48-0707-0.50-QK

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

ML620Q154B / ML620Q155B / ML620Q156B パッケージ外形図 (52 ピン TQFP)

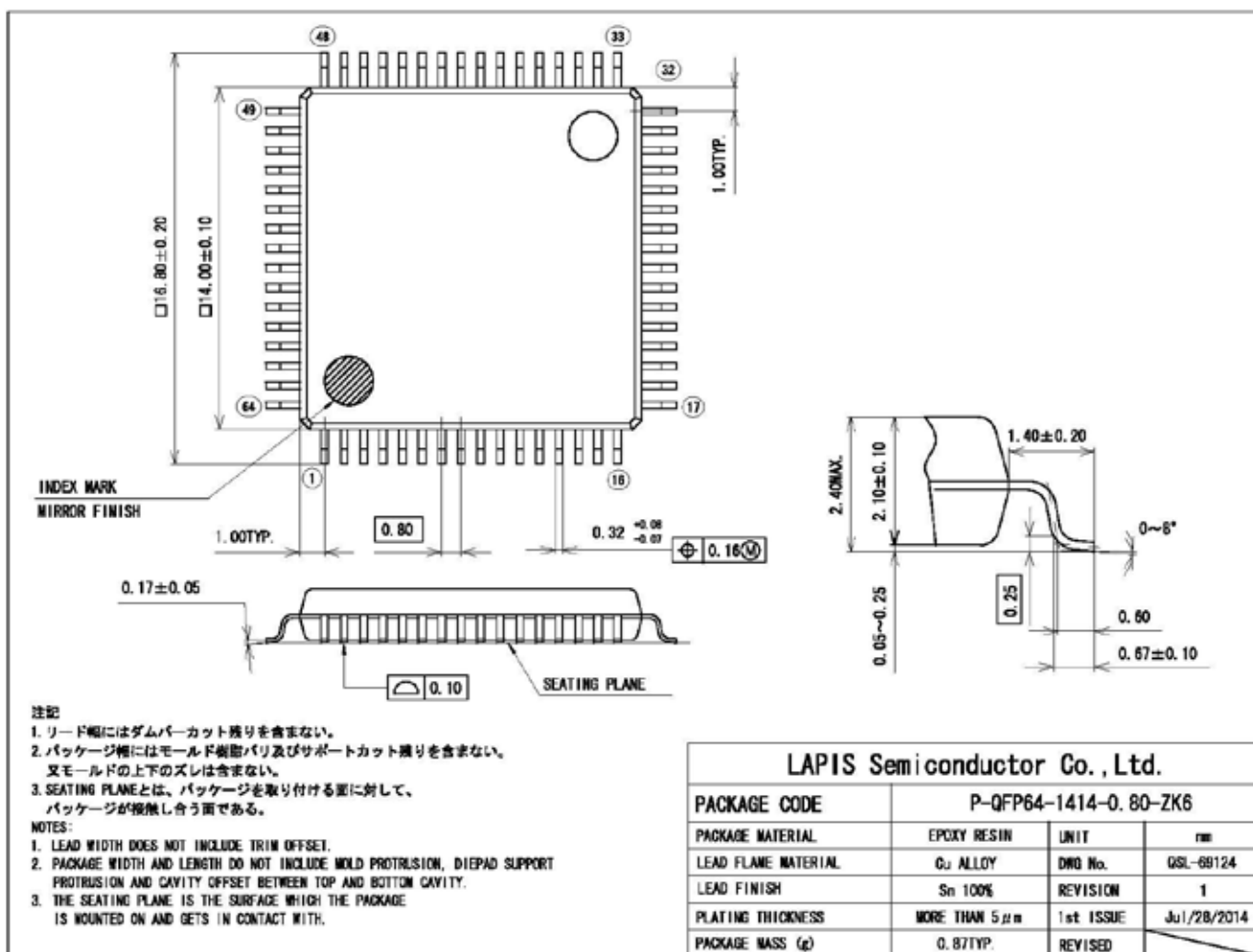


P-TQFP52-1010-0.65-TK6

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。
したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ML620Q157B / ML620Q158B / ML620Q159B パッケージ外形図(64 ピン QFP)



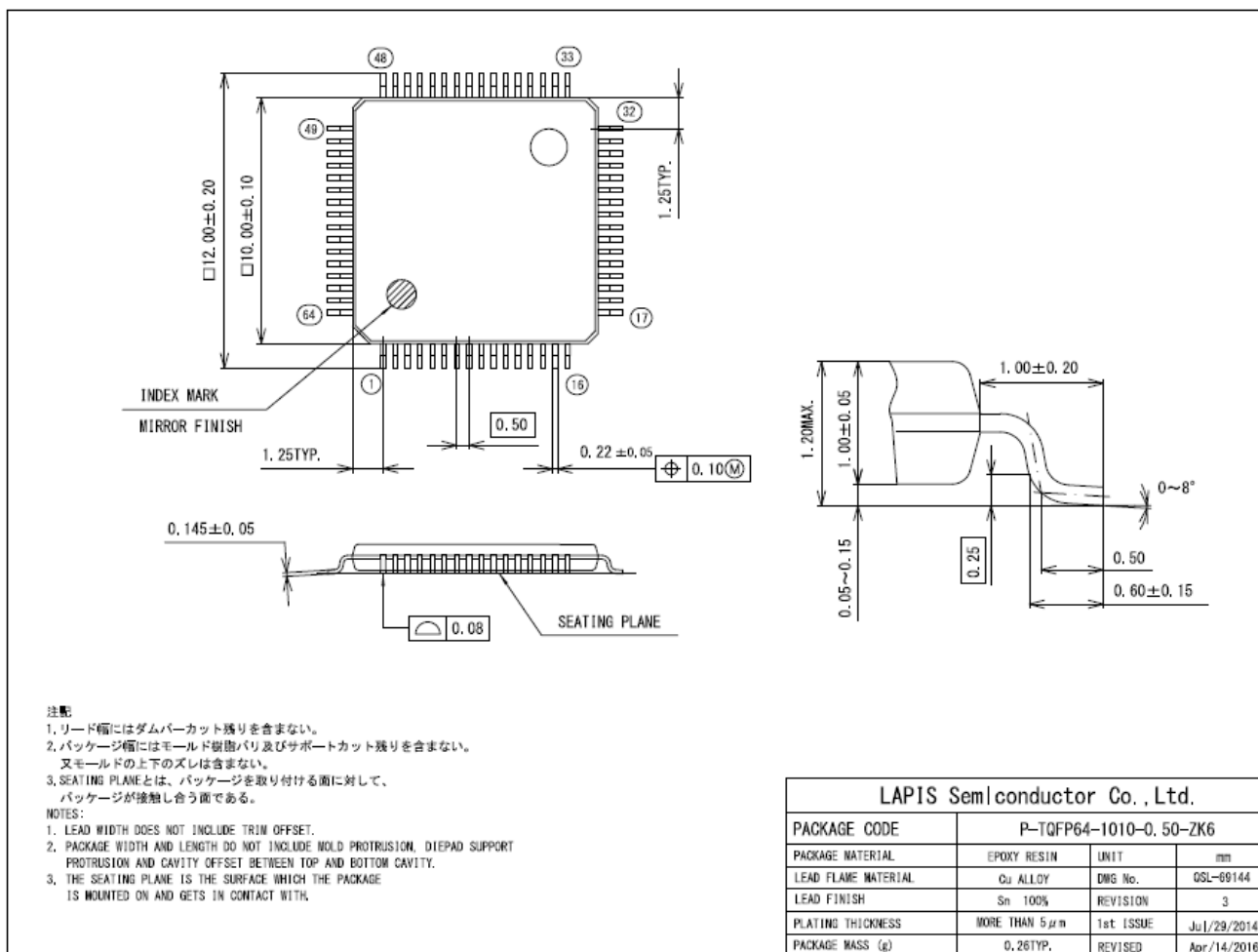
P-QFP64-1414-0.80-ZK6

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

ML620Q157B / ML620Q158B / ML620Q159B パッケージ外形図 (64 ピン TQFP)



P-TQFP64-1010-0.50-ZK6

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコードおよび希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL620Q150B-01	2016.9.14	⅜	⅜	正式初版発行
FJDL620Q150B-02	2017.5.15	2 4 29	2 4 29	誤記修正
		26	26	交流特性(電源立ち上げ・リセットシーケンス)に注釈*1を追加
		3 7 10 -	3 7 10 34	TQFP64 パッケージに関する記載を追加
FJDL620Q150B-03	2017.7.1	3	3	QFP64 PKG 名修正
		33	33	QFP64 パッケージ図変更

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのデレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
・航空宇宙機器、原子力制御機器、海中中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2016-2017 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>