

お客様各位

資料中の「ラピスセミコンダクタ」等名称の ラピステクノロジー株式会社への変更

2020 年 10 月 1 日をもって、ラピスセミコンダクタ株式会社の LSI 事業部門は、ラピステクノロジー株式会社へ分割承継されました。従いまして、本資料中にあります「ラピスセミコンダクタ株式会社」、「ラピスセミ」、「ラピス」といった表記に関しましては、全て「ラピステクノロジー株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしくお願いいたします。

2020年10月1日
ラピステクノロジー株式会社

Dear customer

LAPIS Semiconductor Co., Ltd. ("LAPIS Semiconductor"), on the 1st day of October, 2020, implemented the incorporation-type company split (shinsetsu-bunkatsu) in which LAPIS established a new company, LAPIS Technology Co., Ltd. ("LAPIS Technology") and LAPIS Technology succeeded LAPIS Semiconductor's LSI business.

Therefore, all references to "LAPIS Semiconductor Co., Ltd.", "LAPIS Semiconductor" and/or "LAPIS" in this document shall be replaced with "LAPIS Technology Co., Ltd."

Furthermore, there are no changes to the documents relating to our products other than the company name, the company trademark, logo, etc.

Thank you for your understanding.

LAPIS Technology Co., Ltd.

October 1, 2020

ML62Q1200E グループ

16 ビットマイクロコントローラ

■概要

ML62Q1200E グループは、16ビットCPU nX-U16/100を搭載し、プログラム・メモリ(フラッシュ・メモリ)、データ・メモリ(RAM)、データ・フラッシュ、乗除算器、CRC 演算器、DMA コントローラ、クロック発生回路、タイマ、汎用ポート、UART、同期式シリアルポート、I²C バス(マスタ、スレーブ)、ブザー、電圧レベル監視機能(VLS)、逐次比較型 A/D コンバータ、D/A コンバータ、アナログコンパレータ、安全機能など、多彩な周辺機能を集積した高性能 CMOS16 ビットマイクロコントローラです。

16 ビット CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。

ML62Q1200E グループは、オンチップデバッグ機能を搭載しており、オンボードでのソフトウェアのデバッグおよびソフトウェアの書き換えが可能です。また、ISP (In-System Programming) 機能を搭載しており、量産ラインでのフラッシュ書き込み機能を容易に実現することができます。

ML62Q1200E グループは、パッケージ種類およびプログラム・メモリ容量別に複数のグループから構成されています。

表 1 に 16 ピンから 32 ピンの 5 種類のパッケージ、16K バイトから 64K バイトの 5 種類のプログラム・メモリ容量をラインアップした ML62Q1200E グループの商品一覧を示します。

表 1 ML62Q1200E グループの商品一覧

プログラム・メモリ	データ・メモリ (RAM)	データ・フラッシュ	16 ピン SSOP16 WQFN16	20 ピン TSSOP20	24 ピン WQFN24	32 ピン TQFP32
64K バイト	4K バイト	2K バイト	—	—	ML62Q1247E	ML62Q1267E
48K バイト	4K バイト	2K バイト	—	—	ML62Q1246E	ML62Q1266E
32K バイト	4K バイト	2K バイト	—	—	ML62Q1245E	ML62Q1265E
	2K バイト	2K バイト	ML62Q1225E	ML62Q1235E	—	—
24K バイト	2K バイト	2K バイト	ML62Q1224E	ML62Q1234E	—	—
16K バイト	2K バイト	2K バイト	ML62Q1223E	ML62Q1233E	—	—

■特長

- CPU
 - RISC 方式 16 ビット CPU (CPU 名称:nX-U16/100)
 - 命令体系:16 ビット長命令
 - 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
 - オンチップデバッグ機能を内蔵 (ラピスセミコンダクタ製オンチップデバッグエミュレータ EASE1000 と接続)
 - ISP (In-System Programming) 機能を内蔵
 - 最小命令実行時間
約 30.5μs (@32.768kHz システムクロック)
約 62.5ns/41.6ns (@16MHz/24MHz システムクロック)
- 乗除算器(コプロセッサ)
 - 乗算 : 16bit×16bit (演算時間 4 サイクル)
 - 除算 : 32bit÷16bit (演算時間 8 サイクル)
 - 除算 : 32bit÷32bit (演算時間 16 サイクル)
 - 積和(非飽和型) : 16bit×16bit+32bit (演算時間 4 サイクル)
 - 積和(飽和型) : 16bit×16bit+32bit (演算時間 4 サイクル)
 - 符号有り, 無し of 演算の設定が可能

- 動作保証範囲
 - 動作電圧 : $V_{DD}=1.6V\sim 5.5V$
 - 動作周囲温度 : $-40^{\circ}C\sim +105^{\circ}C$
- 内部メモリ
 - プログラム・メモリ
 - 書き換え回数 : 100 回
 - 書き換え単位 : 32 ビット (4 バイト)
 - 消去単位 : 16K バイト / 1K バイト
 - 消去 / 書き換え温度 : $0^{\circ}C\sim +40^{\circ}C$
 - データ・フラッシュ
 - 書き換え回数 : 10,000 回
 - 書き換え単位 : 8 ビット (1 バイト)
 - 消去単位 : 2K バイト / 128 バイト
 - 消去 / 書き換え温度 : $-40^{\circ}C\sim +85^{\circ}C$
 - バックグラウンドオペレーション (BGO)
 - データ・メモリ (RAM)
 - 書き換え単位 : 8 ビット / 16 ビット
 - パリティチェック機能有り (パリティエラー時にリセット発生可能)
- クロック発生回路
 - 低速クロック
 - 低速 RC 発振 : 約 32.768kHz
 - 高速クロック
 - PLL 発振 : コードオプションで 32MHz / 24MHz / 16MHz を選択可能
 - WDT (ウォッチドッグタイマ) 専用クロック
 - RC1K 発振 : 約 1kHz
 - WDT の動作クロックは、コードオプションで RC1K 発振または低速 RC 発振を選択可能
- リセット
 - リセット入力端子によるリセット
 - パワーオン検出によるリセット
 - WDT の二度目のオーバフローによるリセット
 - WDT 不正クリアによるリセット
 - RAM パリティエラーによるリセット
 - ROM 未使用領域アクセスによるリセット
 - 電圧レベル監視機能 (VLS) によるリセット
 - BRK 命令実行によるソフトウェアリセット (CPU のみリセット)
- パワーマネジメント
 - HALT モード : CPU の命令実行中断, 低速発振, 高速発振および周辺回路は動作状態
 - HALT-H モード : CPU の命令実行中断, 高速発振停止, 低速発振および周辺回路は動作状態
 - STOP モード : CPU の命令実行中断, 低速発振および高速発振停止
 - STOP-D モード : CPU の命令実行中断, 低速発振および高速発振停止, さらに内部ロジック電圧 (V_{DDL}) は消費電流抑制のため低下 (RAM データは保持可能)
 - クロックギア : 高速システムクロックの周波数を変更可能 (HSCLK の 1/1, 1/2, 1/4, 1/8, 1/16, 1/32)
 - ブロック制御機能 : 使用しない機能ブロックをパワーダウン (リセットもしくはクロック供給停止)
- 割込み
 - ノンマスカブル割込み : 1 要因 (内部要因 WDT)
 - マスカブル割込み : 最大 31 要因 (内部要因: 23, 外部要因: 8)
 - 4 段階の割込みレベル機能

- ウォッチドッグタイマ (WDT)
 - 動作クロック選択 : コードオプションで RC1K 発振もしくは低速 RC 発振を選択可能
 - オーバフロー周期選択 : 8 種選択可能 (7.8, 15.6, 31.3, 62.5, 125, 500, 2000, 8000ms @32.768kHz)
 - WDT カウンタクリア期間選択 : オーバフロー周期の 50%/75%/100%を選択可能 (100%選択時)
1 回目のオーバフローでノンマスカブル割込みを発生, 2 回目のオーバフローでリセットを発生 (50%/75%選択時)
WDT のカウンタクリアが可能な期間以外で WDT カウンタをクリアすることにより WDT 不正クリアリセットを発生
 - WDT 動作選択 : コードオプションで許可/停止選択可能
 - WDT カウンタ読み出し可能 : WDT カウンタ動作の監視機能
- DMA (Direct Memory Access) コントローラ
 - チャンネル数 : 2 チャンネル
 - 動作モード : ウェイトモード (ノーウェイトモードでは使用できません)
 - 転送単位 : 8 ビット/16 ビット
 - 転送回数 : 1~1024 回
 - 転送タイプ : 2 サイクル転送
 - 転送モード : シングル転送モード (アドレス固定, アドレスインクリメント, アドレスデクリメントモード)
 - 転送対象 : SFR⇄RAM 間 (フラッシュ・メモリとの転送はできません)
 - 転送トリガ : シリアル通信ユニット割込み, 逐次比較型 A/D コンバータ割込み, 16 ビットタイマ割込み
- 低速タイムベースカウンタ
 - 低速クロック (LSCLK) を分周し, 32.768kHz~1Hz のパルス信号を生成
 - 8 種類の定期割込み要求 (128Hz, 64Hz, 32Hz, 16Hz, 8Hz, 4Hz, 2Hz, 1Hz) から 3 つの割込みを選択可能
 - 汎用ポート (TBCOUT1) から低速タイムベースクロック (1Hz, 2Hz) を出力可能
- ファンクショナルタイマ
 - チャンネル数 : 4 チャンネル
 - 連続モード, ワンショットモード, キャプチャモード, PWM モード 1, PMW モード 2 (相補出力)
 - ファンクショナルタイマの異なるチャンネル間で同時開始/停止が可能 (16 ビットタイマとの同時開始/停止はできません)
 - イベント・トリガ (外部割込み, アナログコンパレータ入力, 16 ビットタイマ割込み, ファンクショナルタイマ割込み)
 - デットタイム生成可能
 - チャンネル毎にカウンタクロックの分周比を設定可能
- 16 ビットタイマ
 - チャンネル数 : 最大 6 チャンネル
 - 8 ビットタイマモード, 16 ビットタイマモード (16 ビットタイマ×1 チャンネルは, 8 ビットタイマ×2 チャンネルとして使用可能)
 - 16 ビット (8 ビット) タイマの異なるチャンネル間で同時開始/停止が可能 (ファンクショナルタイマとの同時開始/停止はできません)
 - タイマ出力 (オーバフロー毎に出力が反転)
 - チャンネル毎にカウンタクロックの分周比を設定可能

- シリアル通信ユニット
 - － 同期式シリアルポートモード／UART モードを選択
 - － チャンネル数 : 2 チャンネル
 - ＜同期式シリアルポートモード＞
 - － マスタ／スレーブ選択可能
 - － LSB ファースト／MSB ファースト選択可能
 - － 8 ビット長／16 ビット長選択可能
 - ＜UART モード＞
 - － 全二重通信×2 チャンネル(全二重通信×1 チャンネルは、半二重通信×2 チャンネルとして使用可能)
 - － ビット長 5～8, パリティ有無, 奇数パリティ／偶数パリティ, 1 ストップビット／2 ストップビット
 - － 正論理／負論理選択可能
 - － LSB ファースト／MSB ファースト選択可能
 - － ボーレートジェネレータ内蔵 (1bps～2Mbps)
- I²C バスユニット(マスタ／スレーブ)
 - － マスタモード／スレーブモードを選択
 - － チャンネル数 : 1 チャンネル
 - ＜マスタ機能＞
 - － 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - － ハンドシェーク(クロック同期化) 対応
 - － 7 ビットアドレスフォーマット(10 ビットアドレス対応可能)
 - ＜スレーブ機能＞
 - － 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - － ハンドシェーク(クロック同期化) 対応可能
 - － 7 ビットアドレスフォーマット
- I²C バスマスタ
 - － チャンネル数 : 1 チャンネル
 - － 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - － ハンドシェーク(クロック同期化) 対応
 - － 7 ビットアドレスフォーマット(10 ビットアドレス対応可能)
- 汎用ポート(GPIO)
 - － 汎用入出力 : 最大 28 端子(兼用機能およびオンチップデバッグ用の 1 端子を含む)
 - － 外部割込み : 8 端子
 - － LED 駆動 : 最大 27 端子
 - － キャリア周波数出力機能(赤外線通信用)
- 逐次比較型 A/D コンバータ
 - － チャンネル数 : 最大 8 チャンネル
 - － 分解能 : 10 ビット
 - － 変換時間 : 最小 2.25μs / 1 チャンネル(変換クロック 8MHz 時)
 - － 基準電圧選択可能
(VDD 端子入力電圧／内蔵リファレンス電圧(約 1.55V)／外部リファレンス電圧(V_{REF} 端子))
 - － スキャン機能(選択されたチャンネルを連続変換)
 - － 変換結果レジスタは各チャンネル毎に搭載
 - － 変換結果の下限, 上限判定による割込み要求が可能
 - － 低速 RC 発振周波数補正用の温度センサ内蔵
- 電圧レベル監視機能(VLS: Voltage Level Supervisor)
 - － 判定精度 : ±4%
 - － 判定電圧 : 12 値(1.85V～4.00V から選択可能)
 - － 電圧レベル検出リセット(VLS リセット)として使用可能
 - － 電圧レベル検出割込み(VLS0 割込み)として使用可能

- アナログコンパレータ
 - チャンネル数 : 1 チャンネル
 - 割込みエッジ, サンプリング有無が選択可能
 - 外部入力と内部基準電圧との比較が可能
- D/A コンバータ
 - チャンネル数 : 1 チャンネル
 - 分解能 : 8 ビット
 - 出力インピーダンス : 6k Ω (Typ.)
 - R-2R ラダー方式
- ブザー
 - 4 種類のブザーモード (連続音 / 単音 / 断続音 1 / 断続音 2)
 - 8 種の周波数 (4.096kHz ~ 293Hz)
 - 15 段階のデューティ (1/16 ~ 15/16)
 - ブザー出力端子の正論理 / 負論理が選択可能
- CRC (Cyclic Redundancy Check) 演算器
 - 生成多項式 : $X^{16}+X^{12}+X^5+1$
 - LSB ファースト
 - プログラム・メモリを HALT モード中に演算する自動 CRC 演算モードを搭載
- 安全機能
 - RAM / SFR ガード
 - プログラム・メモリの自動 CRC 演算
 - RAM パリティエラーリセット
 - ROM 未使用領域アクセスリセット
 - クロック相互監視
 - WDT カウンタ監視
 - 逐次比較型 A/D コンバータテスト
 - UART テスト
 - 同期式シリアルポートテスト
 - I²C バステスト
 - 汎用ポートテスト
- 出荷形態
 - 16 ピン プラスチック SSOP
ML62Q1223E/1224E/1225E - xxxMB (ブランク品: ML62Q1223E/1224E/1225E-NNNMB)
 - 16 ピン プラスチック WQFN
ML62Q1223E/1224E/1225E - xxxGD (ブランク品: ML62Q1223E/1224E/1225E-NNNGD)
 - 20 ピン プラスチック TSSOP
ML62Q1233E/1234E/1235E - xxxTD (ブランク品: ML62Q1233E/1234E/1235E-NNNTD)
 - 24 ピン プラスチック WQFN
ML62Q1245E/1246E/1247E - xxxGD (ブランク品: ML62Q1245E/1246E/1247E-NNNGD)
 - 32 ピン プラスチック TQFP
ML62Q1265E/1266E/1267E - xxxTB (ブランク品: ML62Q1265E/1266E/1267E-NNNTB)
 - xxx: ROM コード番号

■ML62Q1200E グループの商品名の見方

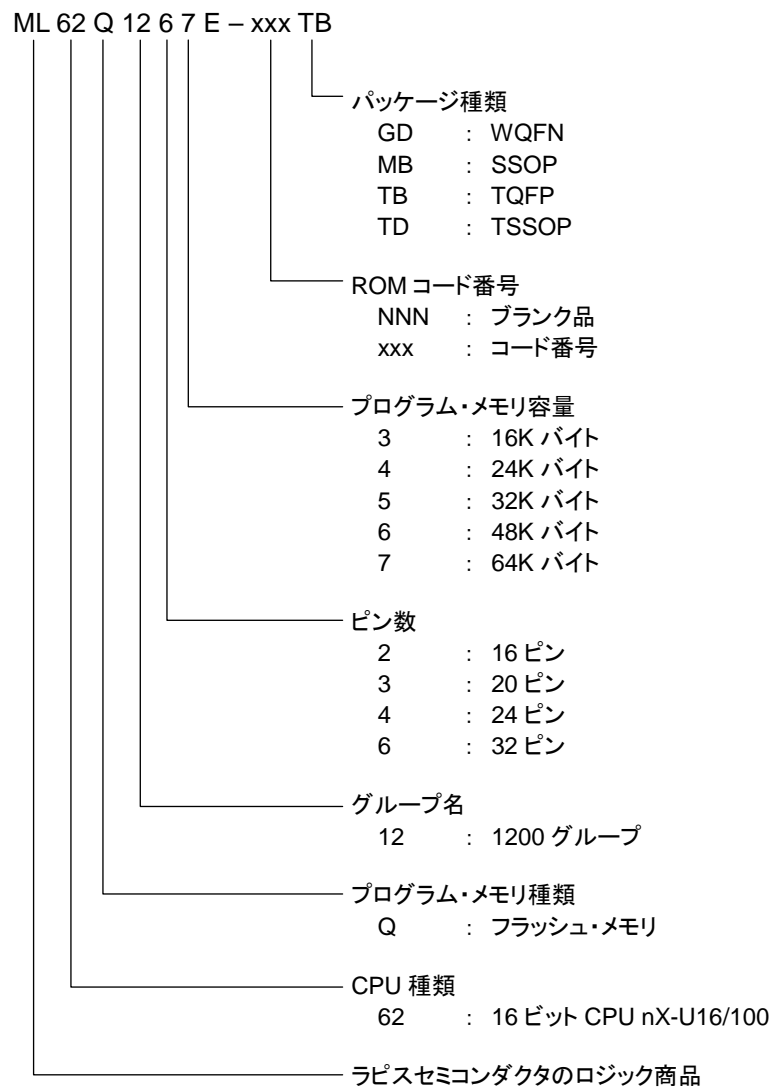


図 1 ML62Q1200E グループの商品名

■ML62Q1200E グループの商品別仕様

表 2 商品別仕様

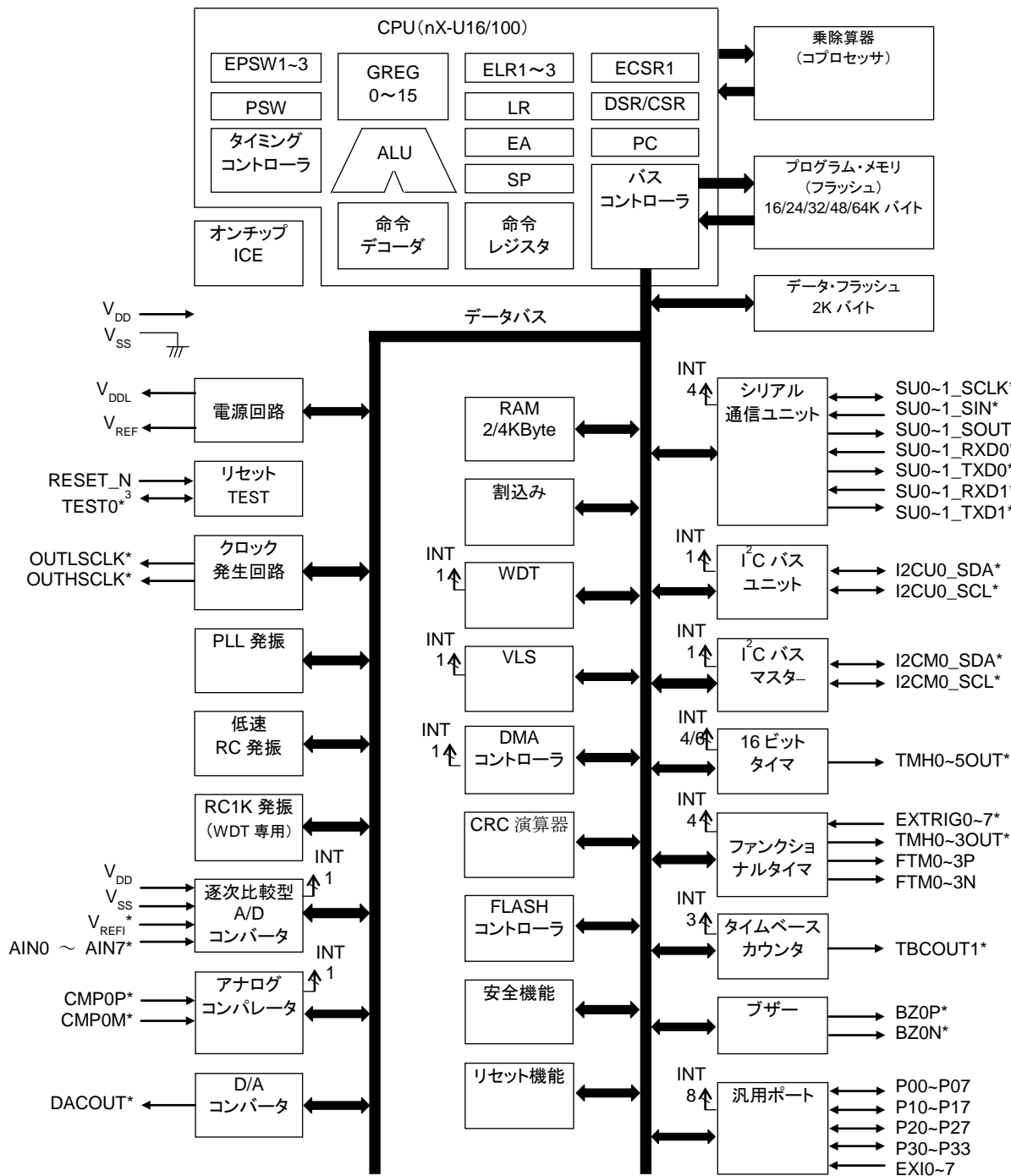
商品名	端子				割込み	タイマ	通信機能		アナログ																									
	総ピン数 [端子数]	電源端子 [端子数]	リセット入力端子[端子数]	入出力端子 [端子数]	LED 駆動端子(入出力端子兼用) [端子数]	内部要因(WDT 割込み含む) [要因数]	外部要因(外部割込み) [要因数]	フランクショナルタイマ [チャネル数]	16ビットタイマ [チャネル数]*1	シリアル通信ユニット(UART/同期式シリアルポート) [チャネル数]*2	I ² Cバスユニット(マスタ/スレーブ) [チャネル数]	I ² Cバスマスタ [チャネル数]	逐次比較型 A/D コンバータ入力端子 [チャネル数]	アナログコンパレータ [チャネル数]	D/A コンバータ[チャネル]																			
ML62Q1223E	16	3	1	12	11	22	8	4	4	2	1	1	6	1	0																			
ML62Q1224E				16	15								8																					
ML62Q1225E																																		
ML62Q1233E	20			20	19	24								2																				
ML62Q1234E																																		
ML62Q1235E																																		
ML62Q1245E	24			28	27	24		6							1																			
ML62Q1246E																																		
ML62Q1247E																																		
ML62Q1265E	32																																	
ML62Q1266E																																		
ML62Q1267E																																		

^{*1} :16ビットタイマ×1チャネルは、8ビットタイマ×2チャネルとして使用することができます。

^{*2} :シリアル通信ユニットは UART の全二重通信と同期式シリアルポートを兼用しています。同一チャネル内では UART と同期式シリアルポートは同時に使用できません。UART の全二重通信×1チャネルは、半二重通信×2チャネルとして使用することができます。

■ ブロック図

- ML62Q1200Eグループのブロック図



* : 各汎用ポートの兼用機能

図 2 ML62Q1200E グループのブロック図

■端子配置

●ML62Q1223E/1224E/1225E 16 ピン SSOP パッケージの端子配置図

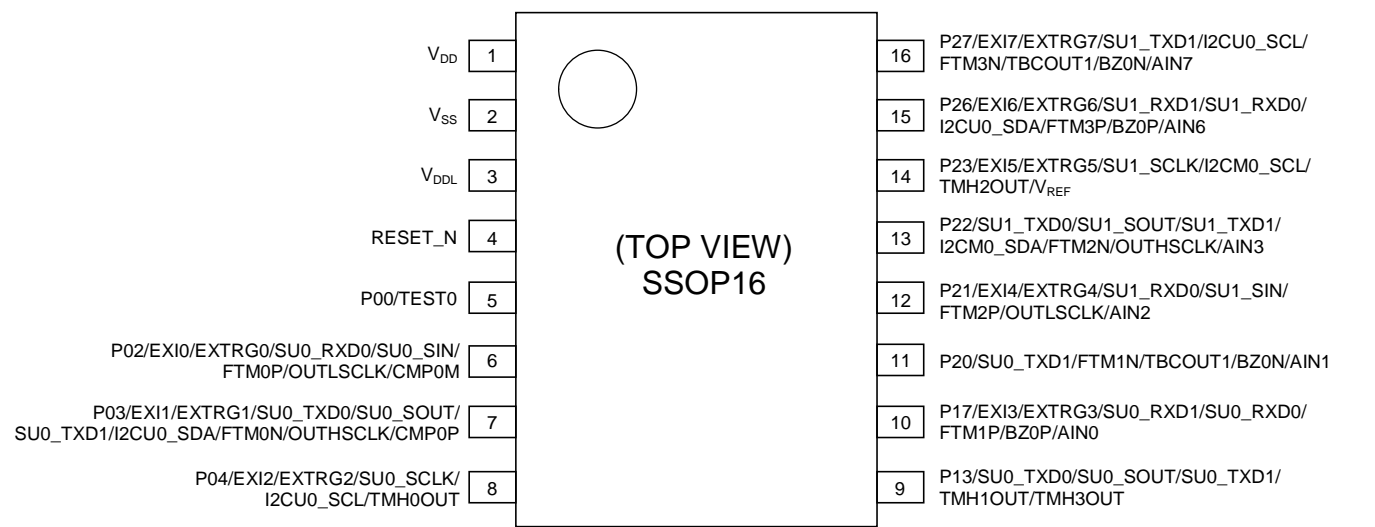


図 3 ML62Q1223E/1224E/1225E 16 ピン SSOP パッケージの端子配置図

●ML62Q1223E/1224E/1225E 16 ピン WQFN パッケージの端子配置図

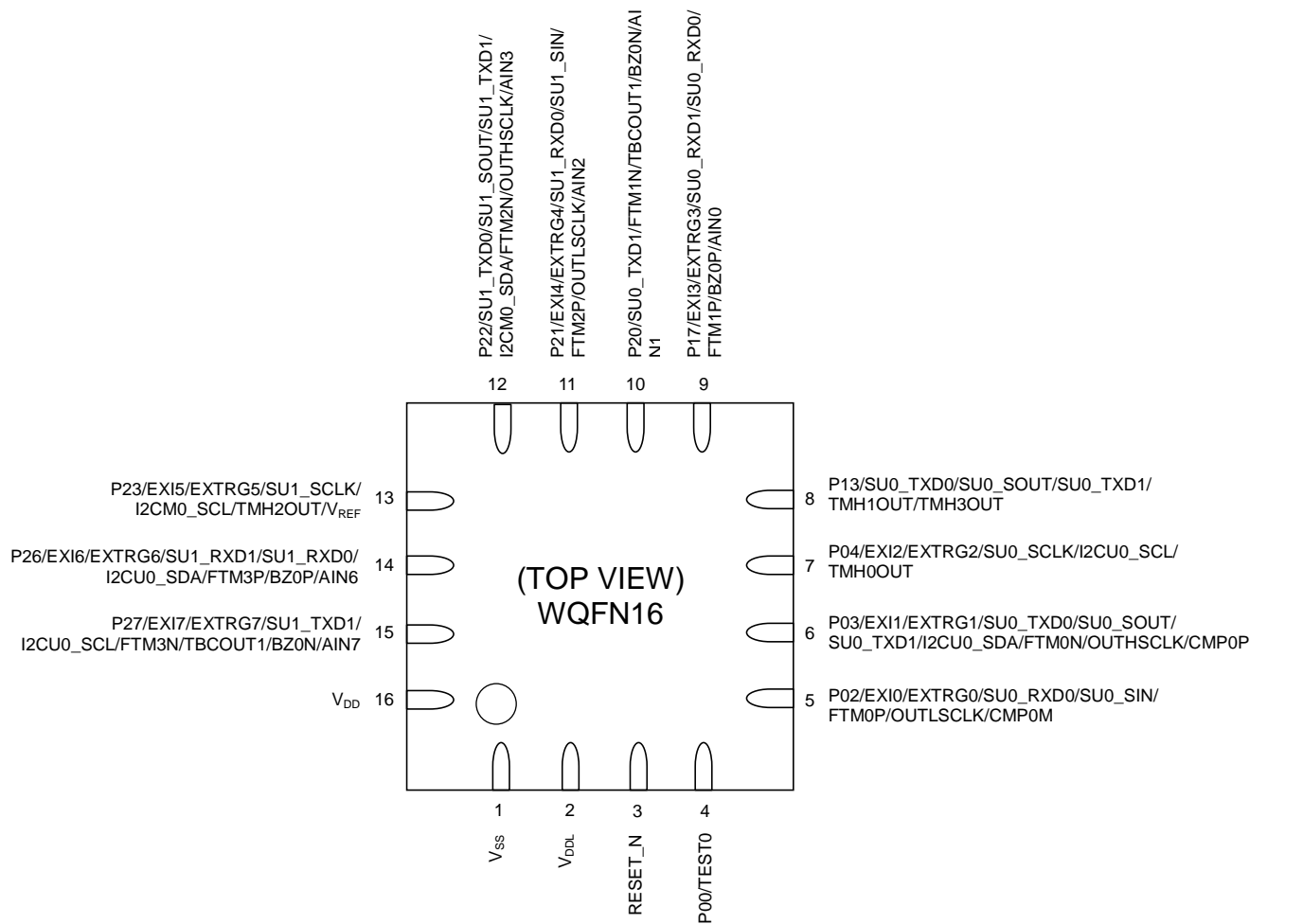


図 4 ML62Q1223E/1224E/1225E 16 ピン WQFN パッケージの端子配置図

●ML62Q1233E/1234E/1235E 20 ピン TSSOP パッケージの端子配置図

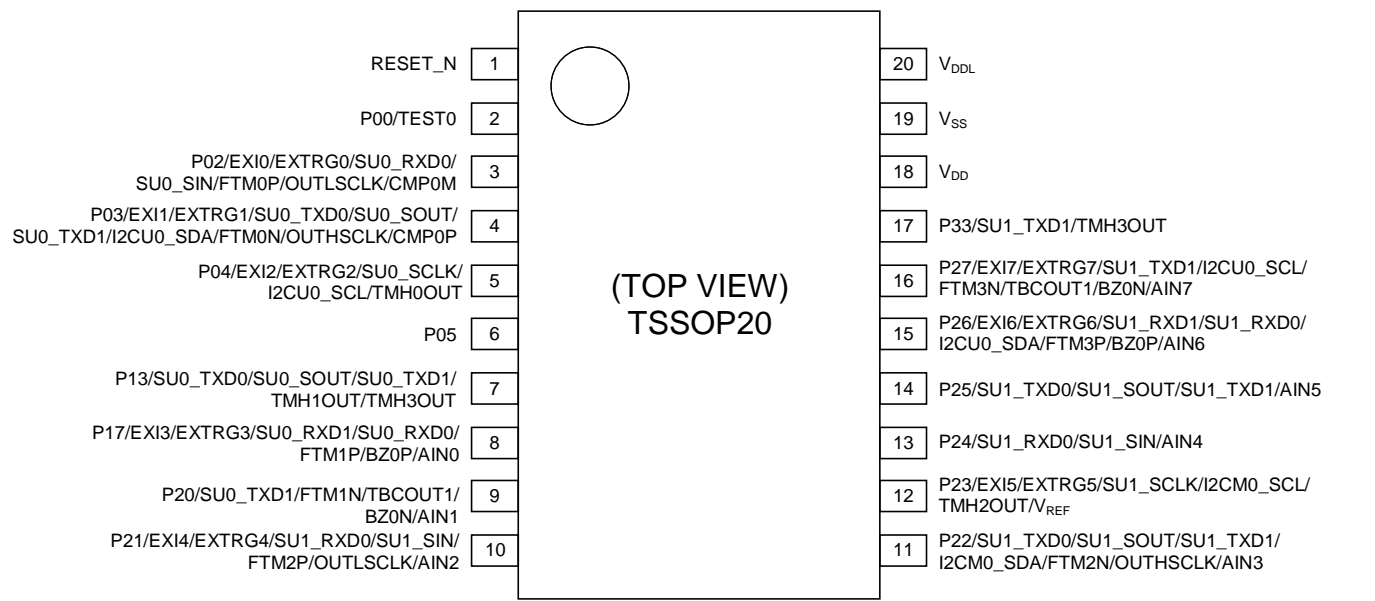


図 5 ML62Q1233E/1234E/1235E 20 ピン TSSOP パッケージの端子配置図

●ML62Q1245E/1246E/1247E 24 ピン WQFN パッケージの端子配置図

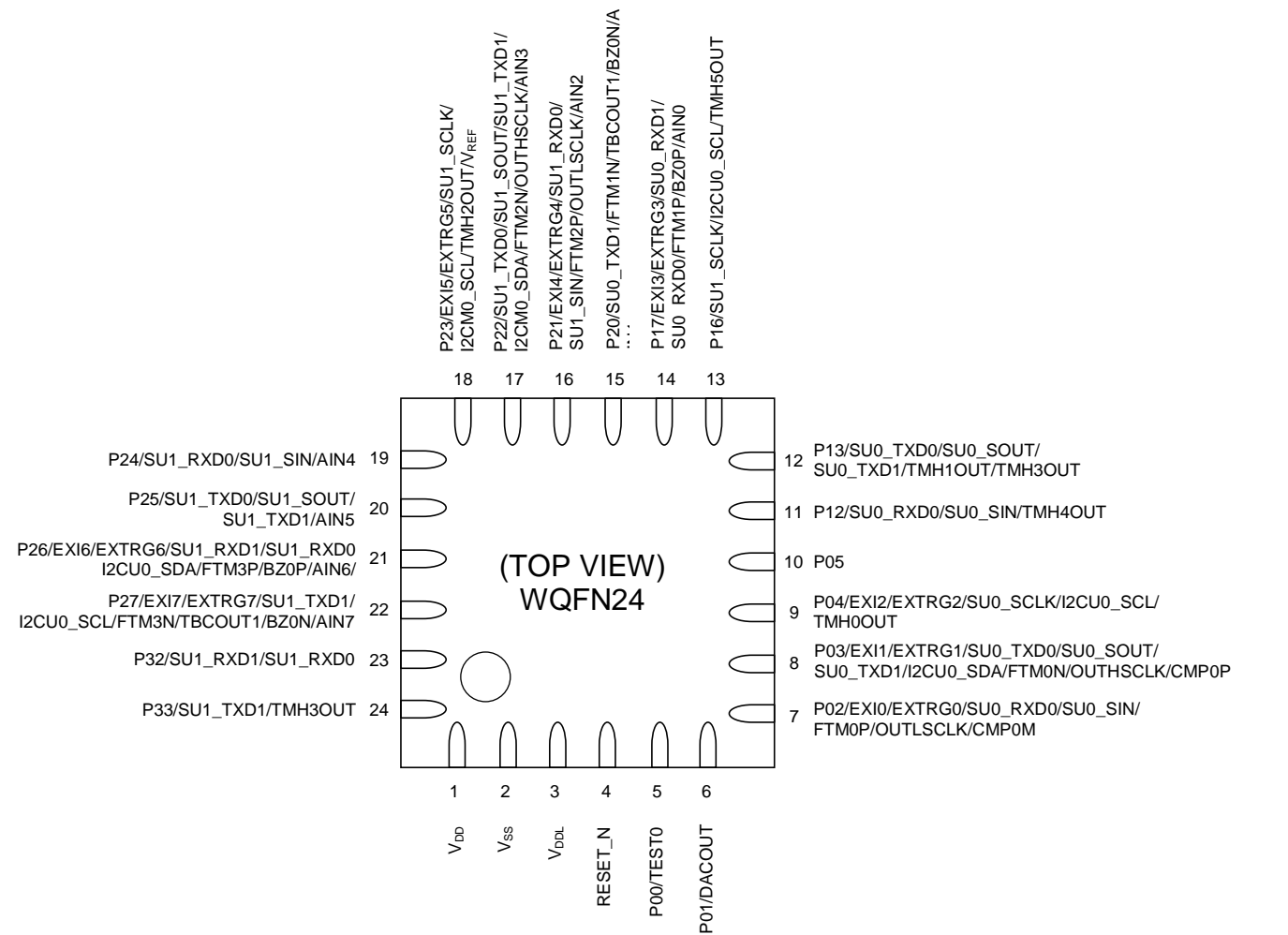


図 6 ML62Q1245E/1246E/1247E 24 ピン WQFN パッケージの端子配置図

●ML62Q1265E/1266E/1267E 32 ピン TQFP パッケージの端子配置図

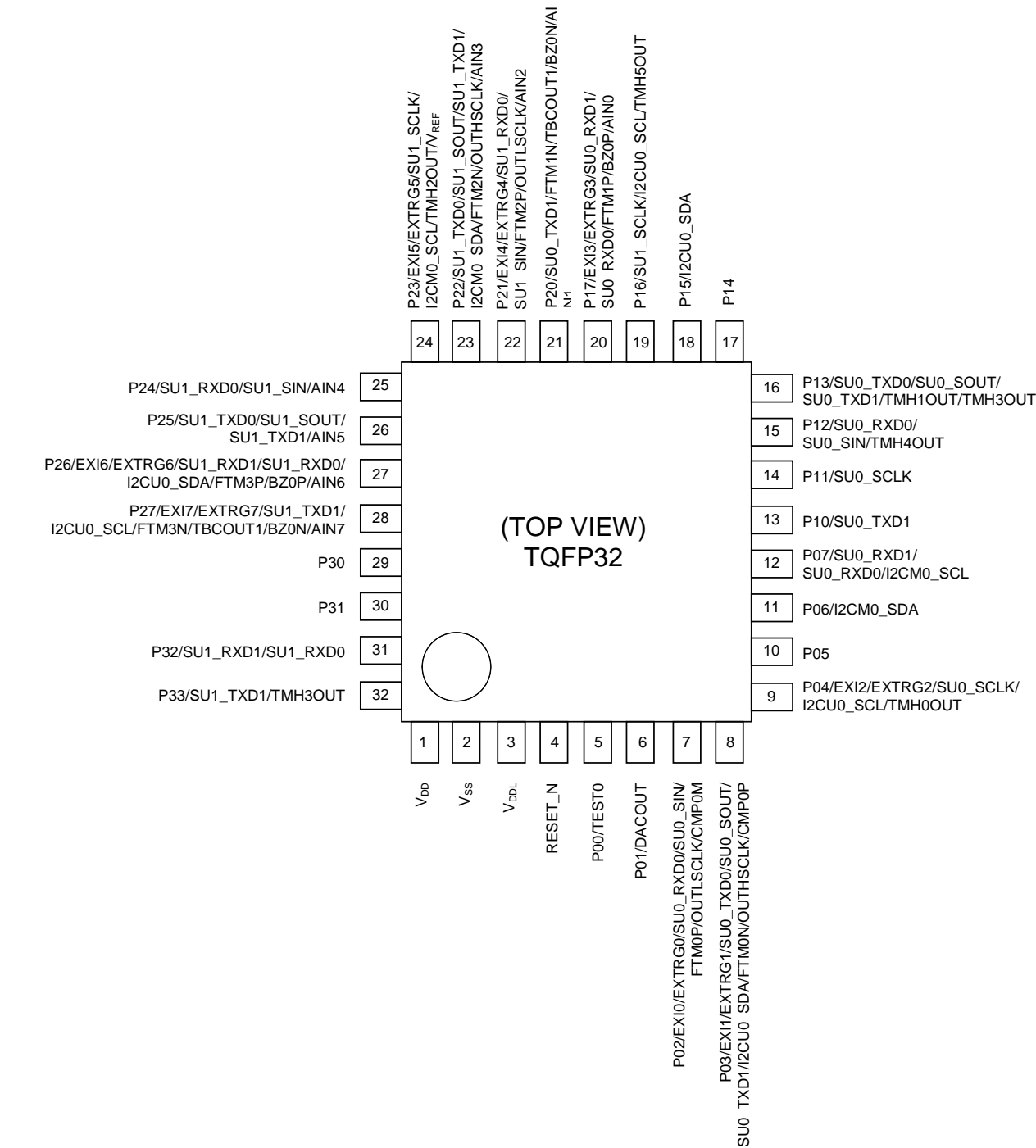


図 7 ML62Q1265E/1266E/1267E 32 ピン TQFP パッケージの端子配置図

■端子一覧

表 3 に ML62Q1200E グループの端子一覧を示します。
端子名にある“(I)”は入力端子,“(I/O)”は入出力端子を示します。

表 3 端子一覧(1/5)

16Pin No. (SSOP)	16Pin No. (WQFN)	20Pin No.	24Pin No.	32Pin No.	端子名	1 次機能	兼用機能	
1	16	18	1	1	V _{DD}	プラス側電源端子	—	
2	1	19	2	2	V _{SS}	マイナス側電源端子	—	
3	2	20	3	3	V _{DDL}	内部ロジック用電源端子 (内部発生)	—	
4	3	1	4	4	RESET_N (I)	リセット入力端子 オンチップデバッグに使用	—	
5	4	2	5	5	P00 / TEST0 (I/O)	汎用入出力端子 オンチップデバッグに使用 (オンチップデバッグに使用する 場合は、汎用ポートとしては使用 できません。)	—	
-	-	-	6	6	P01 / DACOUT (I/O)	汎用入出力端子 D/A コンバータ出力端子	2 次機能	—
							3 次機能	—
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—
6	5	3	7	7	P02 / EXI0 / EXTRG0 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部トリガ	2 次機能	SU0_RXD0/SU0_SIN
							3 次機能	—
							4 次機能	—
							5 次機能	FTM0P
							6 次機能	OUTLSCLK
							7 次機能	CMP0M
							8 次機能	—
7	6	4	8	8	P03 / EXI1 / EXTRG1 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部トリガ	2 次機能	SU0_TXD0/SU0_SOUT
							3 次機能	SU0_TXD1
							4 次機能	I2CU0_SDA
							5 次機能	FTM0N
							6 次機能	OUTHCLK
							7 次機能	CMP0P
							8 次機能	—
8	7	5	9	9	P04 / EXI2 / EXTRG2 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部トリガ	2 次機能	SU0_SCLK
							3 次機能	—
							4 次機能	I2CU0_SCL
							5 次機能	TMH0OUT
							6 次機能	—
							7 次機能	—
							8 次機能	—
-	-	6	10	10	P05 (I/O)	汎用入出力端子	2 次機能	—
							3 次機能	—
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—

表 3 端子一覧(2/5)

16Pin No. (SSOP)	16Pin No. (MQFN)	20Pin No.	24Pin No.	32Pin No.	端子名	1 次機能	兼用機能	
-	-	-	-	11	P06 (I/O)	汎用入出力端子	2 次機能	—
							3 次機能	—
							4 次機能	I2CM0_SDA
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—
-	-	-	-	12	P07 (I/O)	汎用入出力端子	2 次機能	SU0_RXD1
							3 次機能	SU0_RXD0
							4 次機能	I2CM0_SCL
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—
-	-	-	-	13	P10 (I/O)	汎用入出力端子	2 次機能	SU0_TXD1
							3 次機能	—
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—
-	-	-	-	14	P11 (I/O)	汎用入出力端子	2 次機能	SU0_SCLK
							3 次機能	—
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—
-	-	-	11	15	P12 (I/O)	汎用入出力端子	2 次機能	SU0_RXD0/SU0_SIN
							3 次機能	—
							4 次機能	—
							5 次機能	TMH4OUT
							6 次機能	—
							7 次機能	—
							8 次機能	—
9	8	7	12	16	P13 (I/O)	汎用入出力端子	2 次機能	SU0_TXD0/SU0_SOUT
							3 次機能	SU0_TXD1
							4 次機能	—
							5 次機能	TMH1OUT
							6 次機能	—
							7 次機能	TMH3OUT
							8 次機能	—
-	-	-	-	17	P14 (I/O)	汎用入出力端子	2 次機能	—
							3 次機能	—
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—

表 3 端子一覧(3/5)

16Pin No. (SSOP)	16Pin No. (WQFN)	20Pin No.	24Pin No.	32Pin No.	端子名	1 次機能	兼用機能	
-	-	-	-	18	P15 (I/O)	汎用入出力端子	2 次機能	—
							3 次機能	—
							4 次機能	I2CU0_SDA
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—
							2 次機能	SU1_SCLK
-	-	-	13	19	P16 (I/O)	汎用入出力端子	3 次機能	—
							4 次機能	I2CU0_SCL
							5 次機能	TMH5OUT
							6 次機能	—
							7 次機能	—
							8 次機能	—
10	9	8	14	20	P17 / EXI3 / EXTRG3 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部トリガ	2 次機能	SU0_RXD1
							3 次機能	SU0_RXD0
							4 次機能	—
							5 次機能	FTM1P
							6 次機能	—
							7 次機能	BZ0P
							8 次機能	AIN0
11	10	9	15	21	P20 (I/O)	汎用入出力端子	2 次機能	SU0_TXD1
							3 次機能	—
							4 次機能	—
							5 次機能	FTM1N
							6 次機能	TBCOUT1
							7 次機能	BZ0N
							8 次機能	AIN1
12	11	10	16	22	P21 / EXI4 / EXTRG4 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部トリガ	2 次機能	SU1_RXD0/SU1_SIN
							3 次機能	—
							4 次機能	—
							5 次機能	FTM2P
							6 次機能	OUTLSCLK
							7 次機能	—
							8 次機能	AIN2
13	12	11	17	23	P22 (I/O)	汎用入出力端子	2 次機能	SU1_TXD0/SU1_SOUT
							3 次機能	SU1_TXD1
							4 次機能	I2CM0_SDA
							5 次機能	FTM2N
							6 次機能	OUTHCLK
							7 次機能	—
							8 次機能	AIN3
14	13	12	18	24	P23 / EXI5 / EXTRG5 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部トリガ	2 次機能	SU1_SCLK
							3 次機能	—
							4 次機能	I2CM0_SCL
							5 次機能	TMH2OUT
							6 次機能	—
							7 次機能	—
							8 次機能	V _{REF}

表 3 端子一覧(4/5)

16Pin No. (SSOP)	16Pin No. (WQFN)	20Pin No.	24Pin No.	32Pin No.	端子名	1 次機能	兼用機能	
-	-	13	19	25	P24 (I/O)	汎用入出力端子	2 次機能	SU1_RXD0/SU1_SIN
							3 次機能	—
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	AIN4
							2 次機能	SU1_TXD0/SU1_SOUT
-	-	14	20	26	P25 (I/O)	汎用入出力端子	3 次機能	SU1_TXD1
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	AIN5
15	14	15	21	27	P26 / EXI6 / EXTRG6 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部トリガ	2 次機能	SU1_RXD1
							3 次機能	SU1_RXD0
							4 次機能	I2CU0_SDA
							5 次機能	FTM3P
							6 次機能	—
							7 次機能	BZ0P
							8 次機能	AIN6
16	15	16	22	28	P27 / EXI7 / EXTRG7 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部トリガ	2 次機能	SU1_TXD1
							3 次機能	—
							4 次機能	I2CU0_SCL
							5 次機能	FTM3N
							6 次機能	TBCOUT1
							7 次機能	BZ0N
							8 次機能	AIN7
-	-	-	-	29	P30 (I/O)	汎用入出力端子	2 次機能	—
							3 次機能	—
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—
-	-	-	-	30	P31 (I/O)	汎用入出力端子	2 次機能	—
							3 次機能	—
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—

表 3 端子一覧(5/5)

16Pin No. (SSOP)	16Pin No. (WQFN)	20Pin No.	24Pin No.	32Pin No.	端子名	1 次機能	兼用機能	
-	-	-	23	31	P32 (I/O)	汎用入出力端子	2 次機能	SU1_RXD1
							3 次機能	SU1_RXD0
							4 次機能	—
							5 次機能	—
							6 次機能	—
							7 次機能	—
							8 次機能	—
-	-	17	24	32	P33 (I/O)	汎用入出力端子	2 次機能	SU1_TXD1
							3 次機能	—
							4 次機能	—
							5 次機能	TMH3OUT
							6 次機能	—
							7 次機能	—
							8 次機能	—

■端子説明

表 4 に ML62Q1200E グループの端子説明を示します。

I/O 欄の“－”は電源端子，“I”は入力端子，“O”は出力端子，“I/O”は入出力端子を示します。

表 4 端子説明 (1/3)

機 能	信号名	端子名	I/O	説 明	論理
電源	－	V _{SS}	－	マイナス側電源端子	－
	－	V _{DD}	－	プラス側電源端子 V _{SS} との間にコンデンサ C _V (1μF 以上)を接続してください	－
	－	V _{DDL}	－	内部ロジック用電源端子(内部発生) V _{SS} との間にコンデンサ C _L (1μF)を接続してください	－
テスト	TEST0	P00	I/O	テスト用入出力端子 オンチップデバッグ機能, および ISP 機能に使用します P00 端子と兼用です。初期値はプルアップ抵抗付き入力です	正
システム	V _{REF}	P23	－	リファレンス電圧出力端子	－
	RESET_N	RESET_N	I	リセット入力端子 この端子を“L”レベルにするとシステムリセットモードになり, “H”レベルにするとプログラム動作モードに移行します オンチップデバッグ機能および ISP 機能に使用します (プルアップ抵抗は内蔵されていません)	負
	OUTLSCLK	P02 P21	O	低速クロック出力端子	－
	OUTHCLK	P03 P22	O	高速クロック出力端子	－
汎用ポート (GPIO)	P00	P00	I/O	汎用入出力端子 ・ハイインピーダンス ・プルアップ抵抗付き入力(初期値) ・プルアップ抵抗無し入力 ・CMOS 出力 ・Nch オープンドレイン出力 TEST0 端子と兼用のため, オンチップデバッグ機能もしくは ISP 機能を使用する場合は汎用ポートとして使用できません	正
	P01~P07	P01~P07	I/O	汎用入出力端子 ・ハイインピーダンス(初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・Nch オープンドレイン出力	正
	P10~P17	P10~P17			
	P20~P27	P20~P27			
	P30~P33	P30~P33			

表 4 端子説明 (2/3)

機 能	信号名	端子名	I/O	説 明	論理
UART	SU0_TXD0	P03	O	シリアル通信ユニット 0 の UART0 データ出力端子	正
		P13			
	SU0_RXD0	P02	I	シリアル通信ユニット 0 の UART0 データ入力端子	正
		P07			
		P12			
	SU0_TXD1	P17	O	シリアル通信ユニット 0 の UART1 データ出力端子	正
		P03			
		P10			
		P13			
	SU0_RXD1	P20	I	シリアル通信ユニット 0 の UART1 データ入力端子	正
		P07			
	SU1_TXD0	P17	O	シリアル通信ユニット 1 の UART0 データ出力端子	正
		P22			
同期式 シリアルポート	SU1_RXD0	P25	I	シリアル通信ユニット 1 の UART0 データ入力端子	正
		P21			
	SU1_TXD1	P24	O	シリアル通信ユニット 1 の UART1 データ出力端子	正
		P26			
		P32			
		P22			
	SU1_RXD1	P25	I	シリアル通信ユニット 1 の UART1 データ入力端子	正
		P27			
	SU0_SIN	P33	O	シリアル通信ユニット 1 の UART0 データ出力端子	正
		P26			
I ² C バス	SU0_SCLK	P32	I	シリアル通信ユニット 1 の UART1 データ入力端子	正
		P02			
	SU0_SOUT	P12	I/O	シリアル通信ユニット 0 の同期式シリアルデータ入出力端子	正
		P04			
	SU1_SIN	P11	O	シリアル通信ユニット 0 の同期式シリアルデータ出力端子	正
		P03			
	SU1_SCLK	P13	I	シリアル通信ユニット 0 の同期式シリアルデータ入力端子	正
		P21			
	SU1_SOUT	P24	I/O	シリアル通信ユニット 1 の同期式シリアルデータ入出力端子	正
		P16			
I ² C バス	SU1_SOUT	P23	O	シリアル通信ユニット 1 の同期式シリアルデータ出力端子	正
		P22			
	I2CU0_SDA	P25	I/O	I ² C バスユニット 0 のデータ入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正
		P03			
	I2CU0_SCL	P15	I/O	I ² C バスユニット 0 のクロック入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正
		P26			
	I2CM0_SDA	P04	I/O	I ² C バスユニット 0 のクロック入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正
		P16			
I ² C バス	I2CM0_SCL	P27	I/O	I ² C バスマスタ 0 のデータ入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正
		P06			

表 4 端子説明 (3/3)

機 能	信号名	端子名	I/O	説 明	論理
ファンクショナル タイマ (FTM)	FTM0P	P02	O	ファンクショナルタイマ 0 の出力端子	正
	FTM0N	P03	O	ファンクショナルタイマ 0 の出力端子	負
	FTM1P	P17	O	ファンクショナルタイマ 1 の出力端子	正
	FTM1N	P20	O	ファンクショナルタイマ 1 の出力端子	負
	FTM2P	P21	O	ファンクショナルタイマ 2 の出力端子	正
	FTM2N	P22	O	ファンクショナルタイマ 2 の出力端子	負
	FTM3P	P26	O	ファンクショナルタイマ 3 の出力端子	正
	FTM3N	P27	O	ファンクショナルタイマ 3 の出力端子	負
	EXTRG0	P02	I	ファンクショナルタイマ 0~3 のトリガ入力端子	—
	EXTRG1	P03	I	ファンクショナルタイマ 0~3 のトリガ入力端子	—
	EXTRG2	P04	I	ファンクショナルタイマ 0~3 のトリガ入力端子	—
	EXTRG3	P17	I	ファンクショナルタイマ 0~3 のトリガ入力端子	—
	EXTRG4	P21	I	ファンクショナルタイマ 0~3 のトリガ入力端子	—
	EXTRG5	P23	I	ファンクショナルタイマ 0~3 のトリガ入力端子	—
	EXTRG6	P26	I	ファンクショナルタイマ 0~3 のトリガ入力端子	—
	EXTRG7	P27	I	ファンクショナルタイマ 0~3 のトリガ入力端子	—
16 ビットタイマ	TMH0OUT	P04	O	16 ビットタイマ 0 出力端子	正
	TMH1OUT	P13	O	16 ビットタイマ 1 出力端子	正
	TMH2OUT	P23	O	16 ビットタイマ 2 出力端子	正
	TMH3OUT	P13 P33	O	16 ビットタイマ 3 出力端子	正
	TMH4OUT	P12	O	16 ビットタイマ 4 出力端子	正
	TMH5OUT	P16	O	16 ビットタイマ 5 出力端子	正
タイムベース カウンタ (TBC)	TBCOUT1	P20 P27	O	タイムベースカウンタ 1Hz/2Hz 出力端子	正
ブザー	BZ0P	P17	O	ブザー出力信号 (正相)	正
		P26			
	BZ0N	P20	O	ブザー出力信号 (逆相)	負
		P27			
外部割込み	EXI0	P02	I	GPIO マスカブル外部割込み端子	—
	EXI1	P03	I	GPIO マスカブル外部割込み端子	—
	EXI2	P04	I	GPIO マスカブル外部割込み端子	—
	EXI3	P17	I	GPIO マスカブル外部割込み端子	—
	EXI4	P21	I	GPIO マスカブル外部割込み端子	—
	EXI5	P23	I	GPIO マスカブル外部割込み端子	—
	EXI6	P26	I	GPIO マスカブル外部割込み端子	—
	EXI7	P27	I	GPIO マスカブル外部割込み端子	—
逐次比較型 A/D コンバータ	V _{REFI}	P23	—	逐次比較型 A/D コンバータ用リファレンス電源端子	—
	AIN0	P17	I	逐次比較型 A/D コンバータチャネル 0 のアナログ入力	—
	AIN1	P20	I	逐次比較型 A/D コンバータチャネル 1 のアナログ入力	—
	AIN2	P21	I	逐次比較型 A/D コンバータチャネル 2 のアナログ入力	—
	AIN3	P22	I	逐次比較型 A/D コンバータチャネル 3 のアナログ入力	—
	AIN4	P24	I	逐次比較型 A/D コンバータチャネル 4 のアナログ入力	—
	AIN5	P25	I	逐次比較型 A/D コンバータチャネル 5 のアナログ入力	—
	AIN6	P26	I	逐次比較型 A/D コンバータチャネル 6 のアナログ入力	—
アナログ コンパレータ	CMP0P	P03	I	アナログコンパレータ 0 非反転入力	—
	CMP0M	P02	I	アナログコンパレータ 0 反転入力	—
D/A コンバータ	DACOUT	P01	O	D/A コンバータの出力端子	—

■未使用端子処理

表 5 に未使用端子の処理方法を示します。

表 5 未使用端子の処理

端子名	推奨端子処理
RESET_N	抵抗を介して V_{DD} に接続してください。
P00/TEST0	初期値のプルアップ抵抗付き入力モードの状態で端子をオープンにしてください。
P01 ~ P07	初期値のハイインピーダンスの状態で端子をオープンにしてください。
P10 ~ P17	
P20 ~ P27	
P30 ~ P33	

【注意】

- 未使用の入力端子および入出力端子は、入力状態（プルアップ抵抗無しの入力モードまたは入出力モード）で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 5 の処理方法に従ってください。

■電気的特性
●絶対最大定格

(V_{SS}=0V)

項 目	記 号	条 件		定 格 値	単位
電源電圧 1	V _{DD}	Ta=25°C		-0.3~+6.5	V
電源電圧 2	V _{DDL}	Ta=25°C		-0.3~+2.0	V
入力電圧	V _{IN}	Ta=25°C		-0.3~V _{DD} +0.3 ^{*1}	V
出力電圧	V _{OUT}	Ta=25°C		-0.3~V _{DD} +0.3 ^{*1}	V
“H”レベル出力電流	I _{OUTH}	Ta=25°C	1 端子	-40 ^{*2}	mA
			端子合計	-150 ^{*2}	mA
“L”レベル出力電流	I _{OUTL}	Ta=25°C	1 端子	+40	mA
			端子合計	+150	mA
許容損失	PD	Ta=25°C		1	W
保存温度	T _{STG}	—		-55~+150	°C

^{*1} 6.5V 以下であること。
^{*2}: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。
流せる電流値は、絶対値が最大値となります。
例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。
【注意】
絶対最大定格を越えると、製品の品質を損なう恐れがあります。絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

●推奨動作条件

(V _{SS} =0V)				
項 目	記 号	条 件	範 囲	単位
動作温度	T _{OP}	—	-40~+105	°C
動作電圧	V _{DD}	—	1.6~5.5	V
動作周波数(CPU)	f _{OP}	V _{DD} =1.6~5.5V	30k~4M	Hz
		V _{DD} =1.8~5.5V	30k~25M	
V _{DDL} 端子外付け容量	C _L	—	1.0±30%	μF

●消費電流特性

(特に指定のない場合は, $V_{DD}=1.6\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ. (3.0V)	Max.		
消費電流 0	IDD0	CPU が STOP-D 状態 低速 RC1K / 低速 RC / PLL 発振停止	$T_a=-40\sim +85^{\circ}C$	—	0.45	16	μA
			$T_a=-40\sim +105^{\circ}C$	—	0.45	34	
消費電流 1	IDD1	CPU が STOP 状態 低速 RC1K / 低速 RC / PLL 発振停止	$T_a=-40\sim +85^{\circ}C$	—	0.60	18	μA
			$T_a=-40\sim +105^{\circ}C$	—	0.60	37	
消費電流 2	IDD2	低速 RC 発振時 CPU が HALT 状態 (LTBC, WDT 動作 ^{*1}) PLL 発振停止	$T_a=-40\sim +85^{\circ}C$	—	2.8	21	μA
			$T_a=-40\sim +105^{\circ}C$	—	2.8	41	
消費電流 3	IDD3	CPU が低速 RC 動作状態 ^{*1,*2} PLL 発振停止	$T_a=-40\sim +105^{\circ}C$	—	12	49	μA
消費電流 4	IDD4	CPU が 16MHz 動作状態 ^{*2} PLL 32MHz 発振時 $V_{DD}=1.8\sim 5.5V$	$T_a=-40\sim +105^{\circ}C$	—	4.5	5	mA
消費電流 5	IDD5	CPU が 24MHz 動作状態 ^{*2} PLL 24MHz 発振時 $V_{DD}=1.8\sim 5.5V$	$T_a=-40\sim +105^{\circ}C$	—	6.8	7.3	mA

^{*1}: LTBC, WDT 動作状態, ブロッククロックコントロールレジスタ 0~3 (BLKCON0-3) ならびにブロックリセットコントロールレジスタ 0~3 (BRECON0-3) の有効ビットが全て“1”の状態

^{*2}: CPU はウェイトモードで動作時

●オンチップオシレータ特性

(特に指定のない場合は, $V_{DD}=1.6\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
低速 RC 発振周波数 1	f _{RCL1}	Ta=+25 °C, V _{DD} =1.8~5.5V ソフトウェア補正 ^{*1} なし	Typ. -1.0%	32.768	Typ. +1.0%	kHz	1
		Ta=-40~+85 °C, V _{DD} =1.8~5.5V ソフトウェア補正なし	Typ. -2.5%	32.768	Typ. +2.5%		
		Ta=-40~+105 °C, V _{DD} =1.8~5.5V ソフトウェア補正なし	Typ. -3.0%	32.768	Typ. +3.0%		
		V _{DD} =1.6~1.8V ソフトウェア補正なし	Typ. -3.5%	32.768	Typ. +3.5%		
低速 RC 発振周波数 2	f _{RCL2}	Ta=-40~+85 °C, V _{DD} =1.8~5.5V ソフトウェア補正あり	Typ. -1.0%	32.768	Typ. +1.0%		
		Ta=-40~+105 °C, V _{DD} =1.8~5.5V ソフトウェア補正あり	Typ. -1.5%	32.768	Typ. +1.5%		
PLL 発振周波数 1	f _{PLL1}	Ta=-40~+85 °C, V _{DD} =1.8~5.5V 内蔵低速 RC/ソフトウェア補正なし	Typ. -2.5%	16/24/ 32	Typ. +2.5%	MHz	
		Ta=-40~+105 °C, V _{DD} =1.8~5.5V 内蔵低速 RC/ソフトウェア補正なし	Typ. -3.0%	16/24/ 32	Typ. +3.0%		
		V _{DD} =1.6~5.5V 内蔵低速 RC/ソフトウェア補正なし	Typ. -3.5%	16/24/ 32	Typ. +3.5%		
PLL 発振周波数 2	f _{PLL2}	Ta=-40~+85 °C, V _{DD} =1.8~5.5V 内蔵低速 RC/ソフトウェア補正あり	Typ. -1.0%	16/24/ 32	Typ. +1.0%		
		Ta=-40~+105 °C, V _{DD} =1.8~5.5V 内蔵低速 RC/ソフトウェア補正あり	Typ. -1.5%	16/24/ 32	Typ. +1.5%		
PLL 発振安定時間	T _{PLL}	V _{DD} =1.6~5.5V	—	—	2	ms	
低速 RC1K 発振周波数 (ウォッチドッグタイマ専用)	f _{RC1K}	Ta=-40~+105 °C, V _{DD} =1.6~5.5V	0.5	1	2	kHz	

*1: 逐次比較型 A/D コンバータの温度センサと低速 RC 発振周波数調整レジスタ(LRCADJ)を使用して周波数を補正します。

●入出力端子特性

(特に指定のない場合は、 $V_{DD}=1.6\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路	
				Min.	Typ.	Max.			
“H”/“L”レベル出力 電圧 1 (P00～P07) (P10～P17) (P20～P27) (P30～P33)	VOH1	IOH1=-1mA		V _{DD} -0.5	—	—	V	2	
	VOL1	IOL1=+1mA		—	—	0.5			
“L”レベル 出力電圧 2 (P01～P07) (P10～P17) (P20～P27) (P30～P33)	VOL2	Nch オープンドレイン 出力選択時	IOL2=+10mA V _{DD} ≥5.0V	—	—	0.5			
			IOL2=+8mA V _{DD} ≥3.0V	—	—	0.5			
			IOL2=+3mA V _{DD} ≥2.0V	—	—	0.4			
			IOL2=+2mA 2.0V>V _{DD} ≥1.6V	—	—	0.4			
“H”レベル 出力電流 1 *1	IOH1	1 端子 VOH≥V _{DD} -0.5		-1*3*5	—	—		mA	3
		P00～P07, P10～P13 合計		-10*5	—	—			
		P14～P17, P20～P27, P30～P33 合計		-10*5	—	—			
		全端子合計		-20*5	—	—			
“L”レベル 出力電流 1 *2	IOL1	1 端子 (CMOS 出力選択時)		—	—	1*3			
“L”レベル 出力電流 2 *2	IOL2	1 端子 (Nch オープンドレイン出力選択時)		—	—	10*3			
“L”レベル出力 合計電流 *2*4	IOL3	P00～P07, P10～P13 合計 (デューティ≤50%時)	V _{DD} ≥5.0V	—	—	60			
			V _{DD} ≥3.0V	—	—	40			
			V _{DD} ≥2.0V	—	—	15			
			2.0V>V _{DD} ≥1.6V	—	—	10			
		P14～P17, P20～P27, P30～P33 合計 (デューティ≤50%時)	V _{DD} ≥5.0V	—	—	60			
			V _{DD} ≥3.0V	—	—	40			
			V _{DD} ≥2.0V	—	—	15			
			2.0V>V _{DD} ≥1.6V	—	—	10			
		全端子合計 (デューティ≤50%時)			—	—	120		
出力リーク (P00～P07) (P10～P17) (P20～P27) (P30～P33)	IOOH	VOH=V _{DD} (ハイインピーダンス時)		—	—	+1	μA		
	IOOL	VOL=V _{SS} (ハイインピーダンス時)		-1*5	—	—			

*1: V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。*2: 出力端子から V_{SS} 端子に流れ込んでも、デバイスの動作を保証する電流値です。

*3: “L”レベル出力合計電流を超えないでください。

*4: デューティ $\leq 50\%$ の条件での出力電流の値です。デューティ $> 50\%$ に変更した出力電流の値は、次の計算式で求めることができます。端子合計の出力電流 = $IOL3 \times 50/n$ (デューティ比を $n\%$ に変更する場合)<計算例> $IOL3=100mA$ で、 $n=80\%$ の場合、端子合計の出力電流 = $IOL3 \times 50/80=62.5mA$ 1 端子に流せる電流はデューティによって変わることはなく、 $IOL1 \cdot IOL2$ の規格となります。

また絶対最大定格以上の電流は流せません。

*5: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

(特に指定のない場合は, $V_{DD}=1.6\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N)	IIH1	VIH1=V _{DD}	—	—	1	μA	4
	IIL1	VIL1=V _{SS}	-1* ¹	—	—		
入力電流 2 (P00/TEST0)	IIL2	VIL2=V _{SS} (プルアップ時)	-1500* ¹	-300* ¹	-20* ¹		
	V/IIL2	VIL2=V _{SS} (プルアップ時)	3.7	10	80		
	IIH2Z	VIH2=V _{DD} (ハインピーダンス時)	—	—	1	μA	
	IIL2Z	VIL2=V _{SS} (ハインピーダンス時)	-1* ¹	—	—		
入力電流 3 (P01~P07) (P10~P17) (P20~P27) (P30~P33)	IIL3	VIL3=V _{SS} (プルアップ時)	-250* ¹	-30* ¹	-2* ¹	kΩ	
	V/IIL3	VIL3=V _{SS} (プルアップ時)	22	100	800		
	IIH3Z	VIH3=V _{DD} (ハインピーダンス時)	—	—	1	μA	
	IIL3Z	VIL3=V _{SS} (ハインピーダンス時)	-1* ¹	—	—		
入力電圧 1 (RESET_N) (P00/TEST0) (P01~P07) (P10~P17) (P20~P27) (P30~P33)	VIH1	—	0.7 × V _{DD}	—	V _{DD}	V	5
	VIL1	—	0	—	0.3 × V _{DD}		
端子容量 (RESET_N) (P00/TEST0) (P01~P07) (P10~P17) (P20~P27) (P30~P33)	CPIN	f = 10kHz Ta = +25°C	—	—	10	pF	—

*¹: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

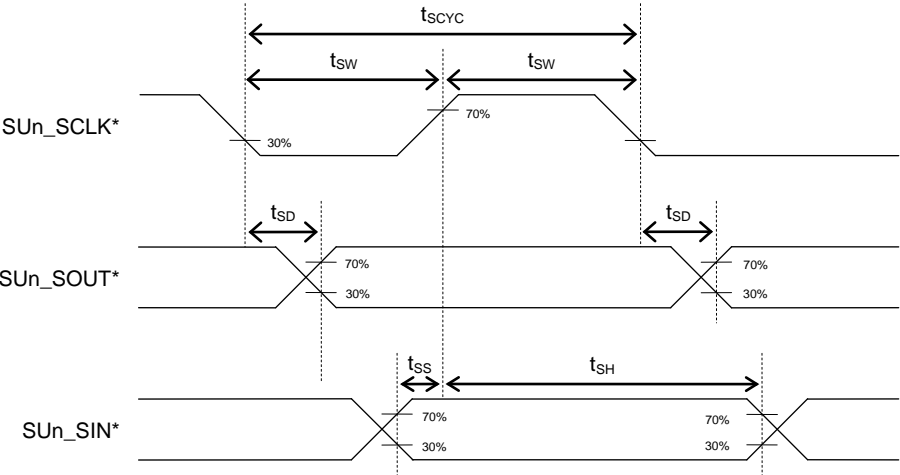
例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

●同期式シリアルポート特性
スレーブモード

(特に指定のない場合は、 $V_{DD}=1.8\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル	t_{SCYC}	—	1^{*2}	—	—	μs
SCLK 入力パルス幅	t_{SW}	—	0.5^{*3}	—	—	μs
SOUT 出力遅延時間	t_{SD}	$V_{DD}=2.4\sim5.5V$	—	—	$100+HSCLK^{*1}\times3$	ns
		$V_{DD}=1.8\sim5.5V$	—	—	$200+HSCLK^{*1}\times3$	ns
SIN 入力セットアップ時間	t_{SS}	—	$HSCLK^{*1}\times1$	—	—	ns
SIN 入力ホールド時間	t_{SH}	—	$80+HSCLK^{*1}\times3$	—	—	ns

*1 高速クロックの周期
*2 $HSCLK\times8$ 以上の入力サイクルが必要
*3 $HSCLK\times4$ 以上の入力パルス幅が必要



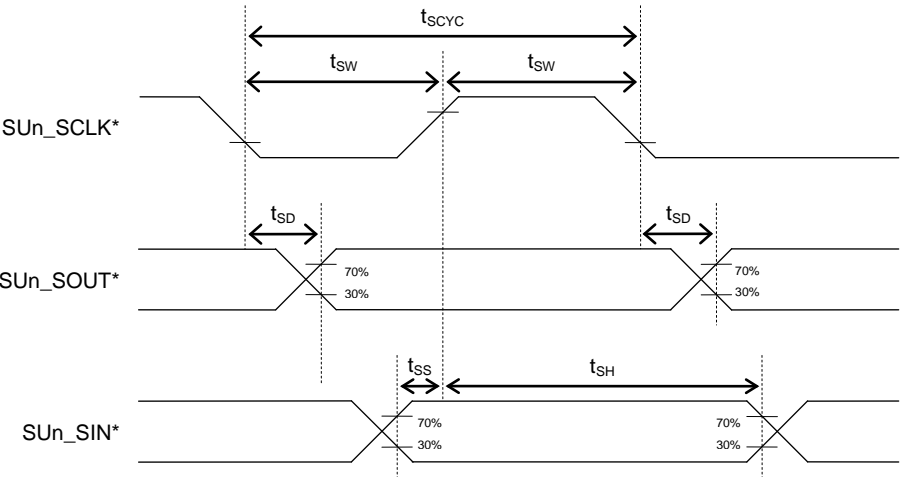
*: ポートの 2~8 次機能を示す。

マスターモード

(特に指定のない場合は、 $V_{DD}=1.8\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 出力サイクル	t_{SCYC}	—	—	$SCLK^{*1}$	—	ns
SCLK 出力パルス幅	t_{SW}	—	$SCLK^{*1}\times 0.4$	$SCLK^{*1}\times 0.5$	$SCLK^{*1}\times 0.6$	ns
SOUT 出力遅延時間	t_{SD}	$V_{DD}=2.4\sim 5.5V$	—	—	100	ns
		$V_{DD}=1.8\sim 5.5V$	—	—	160	ns
SIN 入力セットアップ時間	t_{SS}	$V_{DD}=2.4\sim 5.5V$	120	—	—	ns
		$V_{DD}=1.8\sim 5.5V$	180	—	—	ns
SIN 入力ホールド時間	t_{SH}	$V_{DD}=2.4\sim 5.5V$	80	—	—	ns
		$V_{DD}=1.8\sim 5.5V$	100	—	—	ns

*1 同期式シリアルポート n モードレジスタ(SIONMOD)のビット 12~8(SnCK4~0)により選択されたクロック周期
($V_{DD}\geq 2.4V$ 時: min250ns, $V_{DD}\geq 1.8V$ 時: min500ns)



*: ポートの 2~8 次機能を示す。

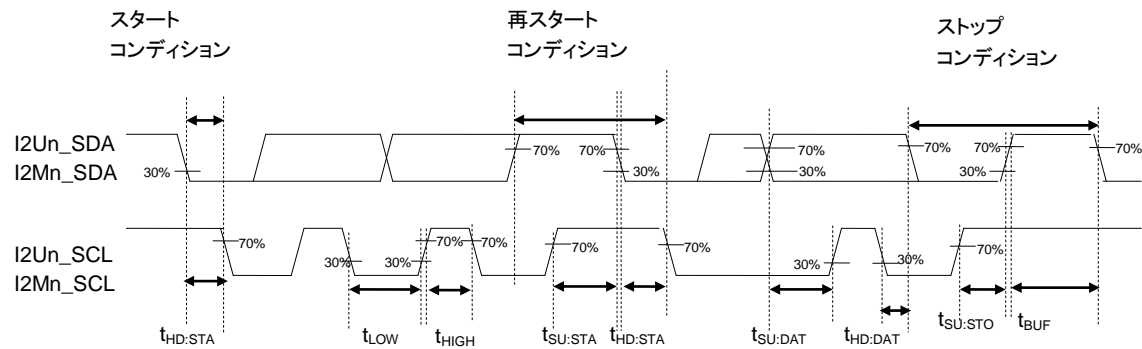
●I²C バス・インタフェース特性

標準モード(100Kbps)

(特に指定のない場合は, V_{DD} = 1.8~5.5V, V_{SS} = 0V, Ta=-40~+105 °C)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	t _{HD:STA}	—	4.0	—	—	μs
SCL “L”レベル時間	t _{LOW}	—	4.7	—	—	μs
SCL “H”レベル時間	t _{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	4.7	—	—	μs
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	μs
SDA セットアップ時間	t _{SU:DAT}	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	4.0	—	—	μs
バスフリー時間	t _{BUF}	—	4.7	—	—	μs

I²C バスマスタとして使用する場合は, 上記規格値を守るように I2C マスタ n モードレジスタ(I2MnMOD), I2C バス 0 モードレジスタ(マスタ側) (I2UM0MOD)を設定してください

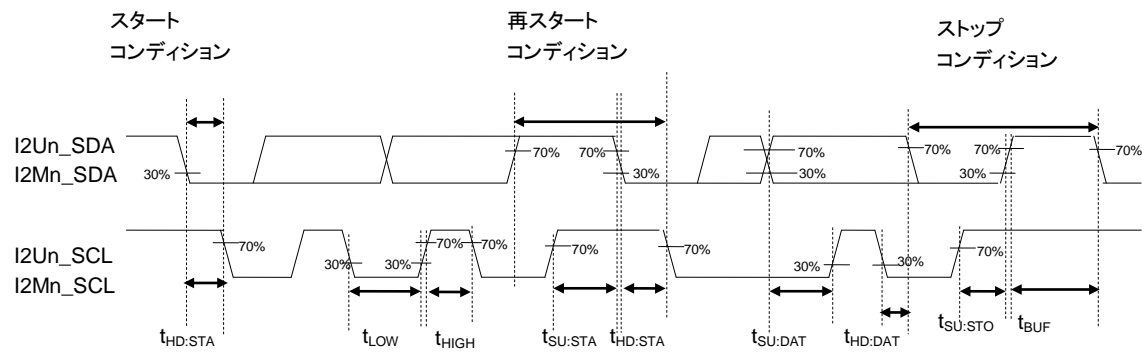


ファストモード(400Kbps)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.6	—	—	μs
SCL “L”レベル時間	t_{LOW}	—	1.3	—	—	μs
SCL “H”レベル時間	t_{HIGH}	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.6	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	μs
バスフリー時間	t_{BUF}	—	1.3	—	—	μs

I²C バスマスタとして使用する場合は, 上記規格値を守るように I2C マスタ n モードレジスタ(I2MnMOD), I2C バス 0 モードレジスタ(マスタ側)(I2UM0MOD)を設定してください

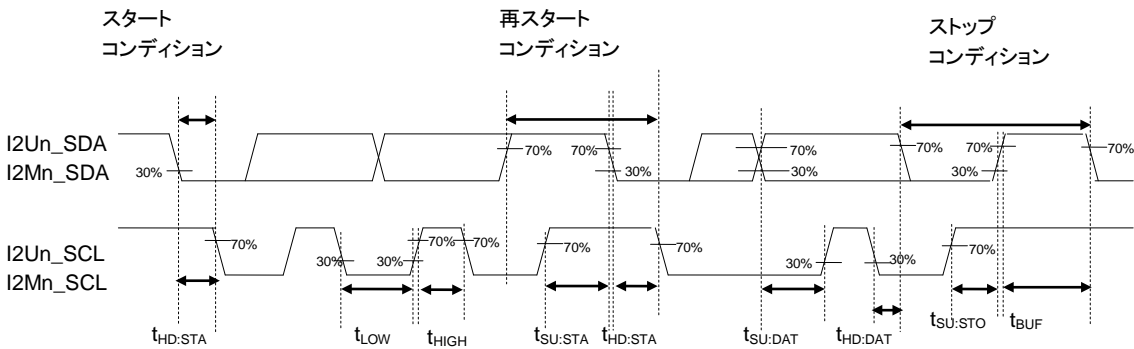


1Mbps モード

(特に指定のない場合は, $V_{DD} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	1000	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.26	—	—	μs
SCL “L”レベル時間	t_{LOW}	—	0.5	—	—	μs
SCL “H”レベル時間	t_{HIGH}	—	0.26	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.26	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.26	—	—	μs
バスフリー時間	t_{BUF}	—	0.5	—	—	μs

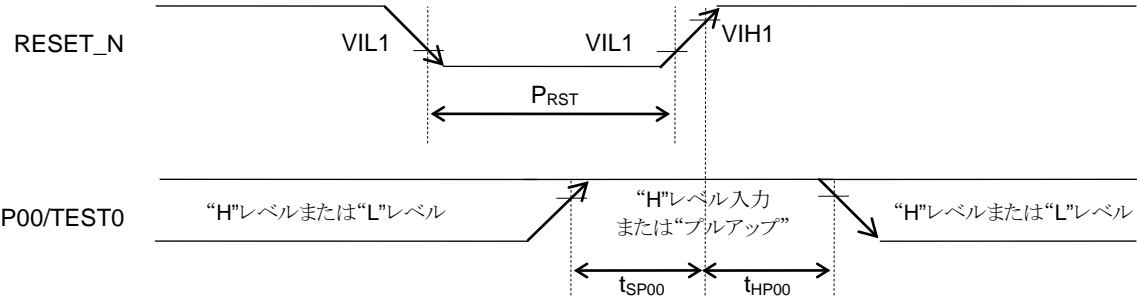
I²C バスマスタとして使用する場合は、上記規格値を守るように I2C マスタ n モードレジスタ(I2MnMOD)、I2C バス 0 モードレジスタ(マスタ側)(I2UM0MOD)を設定してください



●リセット特性

(特に指定のない場合は、 $V_{DD}=1.6\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単 位	測定 回路
			Min.	Typ.	Max.		
リセット有効時間	P_{RST}	—	2	—	—	ms	1
P00“H”レベル セットアップ時間	t_{SP00}	—	1	—	—	ms	
P00“H”レベル ホールド時間	t_{HP00}	—	1	—	—	ms	

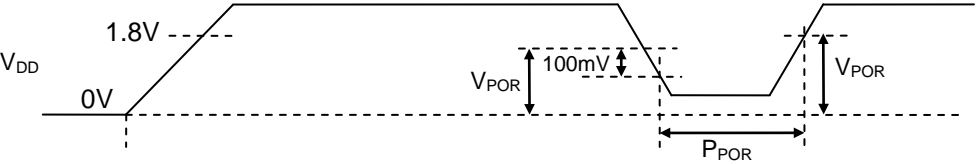


●パワーオンリセット特性

(特に指定のない場合は $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単 位	測定 回路
			Min.	Typ.	Max.		
パワーオンリセット判定電圧	V_{POR}	電源立ち下がり時	1.44	1.5	1.58	V	1
		電源立ち上がり時	1.45	1.53	1.8	V	
パワーオンリセット発生 電源立ち上がり傾き	R_{POR}^{*1}	—	0.009	—	60	V/ms	
パワーオンリセット反応時間	P_{POR}	^{*2}	200	—	—	μs	

^{*1}: 電源起動時は V_{DD} を1.8V以上まで上昇させてください。
^{*2}: V_{DD} が V_{POR} より100mV以上低下してから内部のパワーオンリセットがかかるまでの時間です。
電源立ち下がり時にパワーオンリセットを発生させるためには、電源立ち下がり傾き2V/ms以下にしてください。



※電源の瞬停についての注意

電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。
パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。

●VLS 特性

(特に指定のない場合は, $V_{DD}=1.6\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105\text{ }^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路
		VLS0LV ^{*1}		Min.	Typ.	Max.		
VLS 判定電圧 ^{*2}	V_{VLSR}	00H	電源上昇時	3.86	4.06	4.26	V	1
	V_{VLSF}		電源降下時	3.84	4.00	4.16		
	V_{VLSR}	01H	電源上昇時	3.57	3.76	3.95		
	V_{VLSF}		電源降下時	3.55	3.70	3.85		
	V_{VLSR}	02H	電源上昇時	2.94	3.11	3.28		
	V_{VLSF}		電源降下時	2.92	3.05	3.18		
	V_{VLSR}	03H	電源上昇時	2.85	3.01	3.17		
	V_{VLSF}		電源降下時	2.83	2.95	3.07		
	V_{VLSR}	04H	電源上昇時	2.75	2.91	3.07		
	V_{VLSF}		電源降下時	2.73	2.85	2.97		
	V_{VLSR}	05H	電源上昇時	2.66	2.81	2.96		
	V_{VLSF}		電源降下時	2.64	2.75	2.86		
	V_{VLSR}	06H	電源上昇時	2.56	2.71	2.86		
	V_{VLSF}		電源降下時	2.54	2.65	2.76		
	V_{VLSR}	07H	電源上昇時	2.46	2.61	2.76		
	V_{VLSF}		電源降下時	2.44	2.55	2.66		
	V_{VLSR}	08H	電源上昇時	2.37	2.51	2.65		
	V_{VLSF}		電源降下時	2.35	2.45	2.55		
	V_{VLSR}	09H	電源上昇時	1.98	2.11	2.24		
	V_{VLSF}		電源降下時	1.96	2.05	2.14		
	V_{VLSR}	0AH	電源上昇時	1.89	2.01	2.13		
	V_{VLSF}		電源降下時	1.87	1.95	2.03		
	V_{VLSR}	0BH	電源上昇時	1.79	1.91	2.03		
	V_{VLSF}		電源降下時	1.77	1.85	1.93		
VLS 消費電流	I_{VLS}	—		—	50	—	nA	

^{*1}: 電圧レベル検出回路 0 レベルレジスタ(VLS0LV)のビット 3～ビット 0^{*2}: VLS 判定電圧の VLS0LV=0CH~0FH は設定禁止です。設定した場合, 0BH 設定した時と同じ値になります。

●コンパレータ特性

(特に指定のない場合は, $V_{DD}=1.8\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
コンパレータ 同相入力電圧範囲	V_{CMR}	—	0.1	—	V_{DD} -1.5	V	1
コンパレータ 入力オフセット	V_{CMOF}	$T_a=+25\text{ }^{\circ}C$, $V_{DD}=5.0V$	—	5	—	mV	
コンパレータ 基準電圧	V_{CMREF}	—	0.75	0.8	0.85	V	

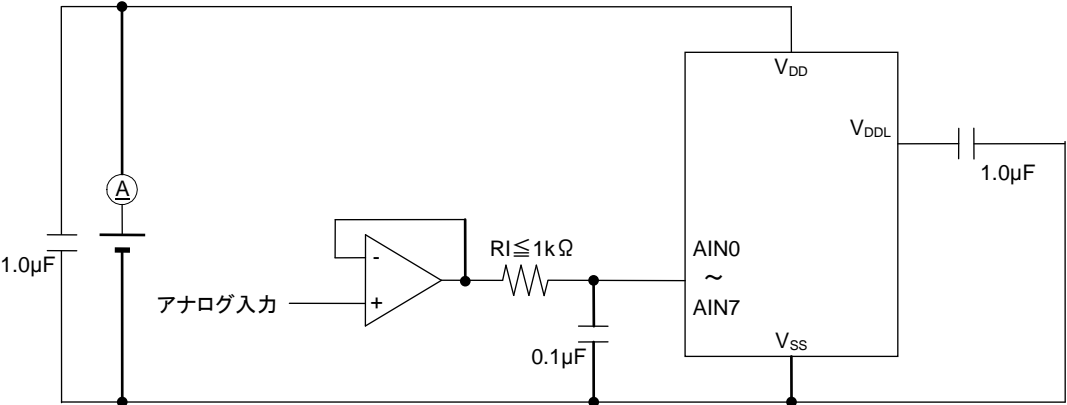
● 逐次比較型 A/D コンバータ特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n_{AD}	—	—	—	10	ビット
積分非直線性誤差	INL_{AD}	$2.7V \leq V_{REFP}^{*1} \leq 5.5V$	-4	—	4	LSB
		$2.2V \leq V_{REFP}^{*1} < 2.7V$	-6	—	6	
		$1.8V \leq V_{REFP}^{*1} < 2.2V$	-10	—	10	
		$V_{REFP} = \text{内部発生基準電圧}$	-15	—	15	
微分非直線性誤差	DNL_{AD}	$2.7V \leq V_{REFP}^{*1} \leq 5.5V$	-3	—	3	
		$2.2V \leq V_{REFP}^{*1} < 2.7V$	-5	—	5	
		$1.8V \leq V_{REFP}^{*1} < 2.2V$	-9	—	9	
		$V_{REFP} = \text{内部発生基準電圧}$	-14	—	14	
ゼロスケール誤差	ZSE	$R_I \leq 1k\Omega$	-6	—	6	
フルスケール誤差	FSE	$R_I \leq 1k\Omega$	-6	—	6	
A/D リファレンス電圧	V_{REFX}	—	1.8	—	V_{DD}	V
内部発生基準電圧	V_{REFI}	—	1.5	1.55	1.6	
変換時間	t_{CONV}	$4.5V \leq V_{DD} \leq 5.5V$	2.25	—	427	μs
		$2.2V \leq V_{DD} \leq 5.5V$	4.5	—	427	
		$1.8V \leq V_{DD} \leq 5.5V$	18	—	427	

*1: V_{REFP} は, SA-ADC TEMP/VREF コントロールレジスタ(VREFCON)のビット 5(V_{REFP1}), ビット 4(V_{REFP0})により V_{DD} , P23/ V_{REF} を逐次比較型 A/D コンバータの基準電圧に選択した場合です。

ADC サンプリング中にはコンデンサに充電するために電流が流れます。十分にサンプリングするためには, アナログ入力源の出カインピーダンスを $1\text{ k}\Omega$ 以下にしてください。また、ノイズを低減するために $0.1\text{ }\mu\text{F}$ 程度のコンデンサを付けることを推奨します。



●D/A コンバータ特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n_{DA}	—	—	—	8	ビット
変換周期	t_c	—	10	—	—	μs
積分非直線性誤差	INL_{DA}	$RL=4M\Omega$	-2	—	2	LSB
微分非直線性誤差	DNL_{DA}	$RL=4M\Omega$	-1	—	1	
出力インピーダンス	R_o	D/A コンバータイネーブルレジスタ (DACEN) のビット 1 (DAEN) を 1 に設定した状態	3	6	9	$k\Omega$

●リファレンス電圧出力特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
出力電圧値	V_{REFOUT}	—	1.5	1.55	1.6	V
出力インピーダンス	$R_{VREFOUT}$	—	—	—	500	$k\Omega$

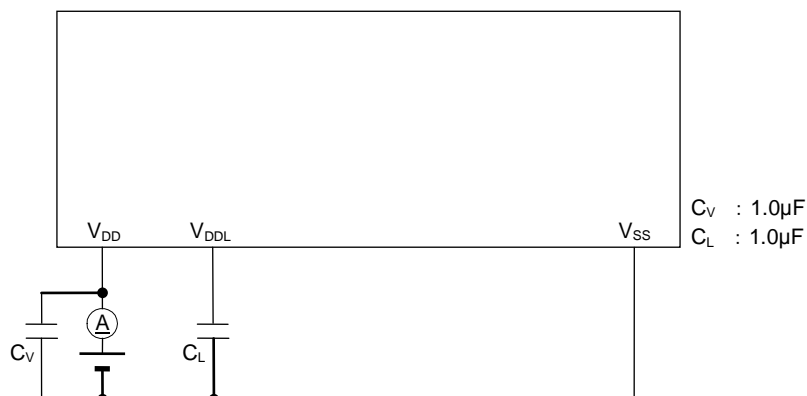
●フラッシュメモリ動作条件

($V_{SS} = 0V$)

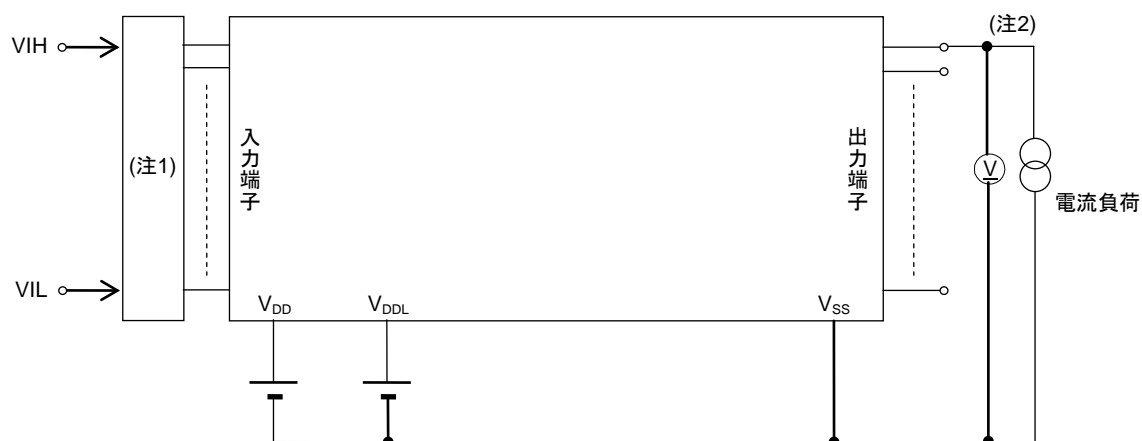
項 目	記 号	条 件		範 囲	単 位
動作温度	T_{OP}	データ領域: 書き込み/消去時		-40~+85	$^\circ C$
		プログラム領域: 書き込み/消去時		0~+40	
動作電圧	V_{DD}	書き込み/消去時		1.8~5.5	V
書き換え回数	CEPD	データ領域 (1024B x 2)		10000	回
	CEPP	プログラム領域		100	
消去単位	—	ブロック消去	プログラム領域	16K	B
			データ領域	2K	
	—	セクタ消去	プログラム領域	1K	B
			データ領域	128	
消去時間(最大)	—	ブロック消去/ セクタ消去		85	ms
書き込み単位	—	プログラム領域		4	B
		データ領域		1	
書き込み時間(最大)	—	プログラム領域		80	μs
	—	データ領域		40	
データ保持年数	YDR	—		15	年

●測定回路

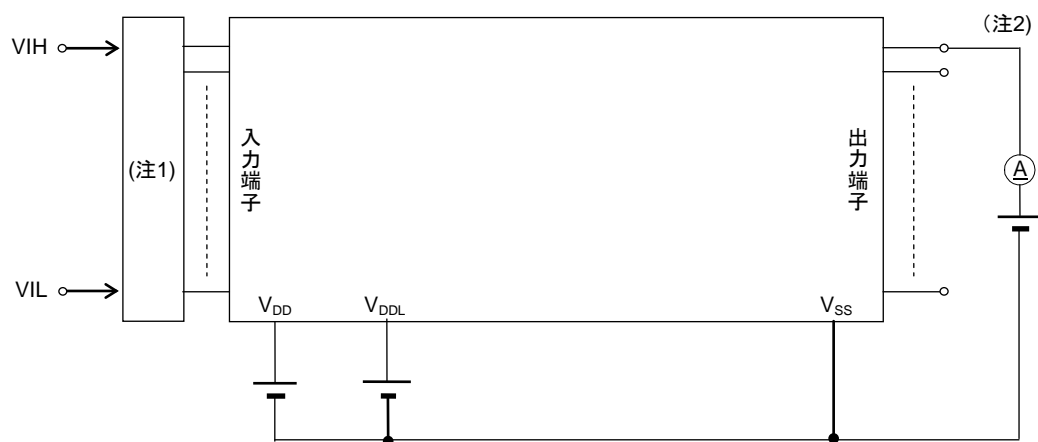
測定回路 1



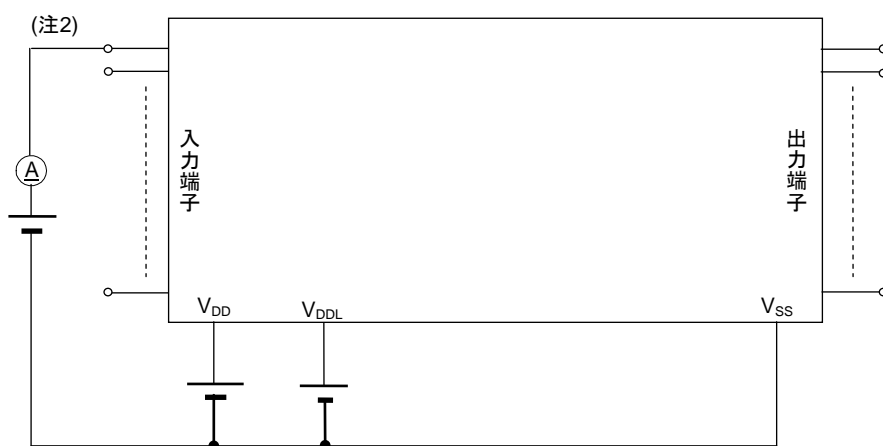
測定回路 2



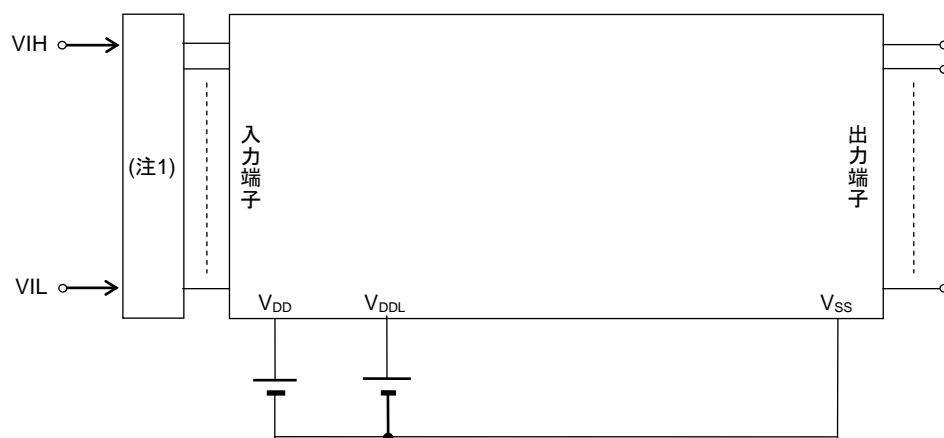
測定回路 3



測定回路 4



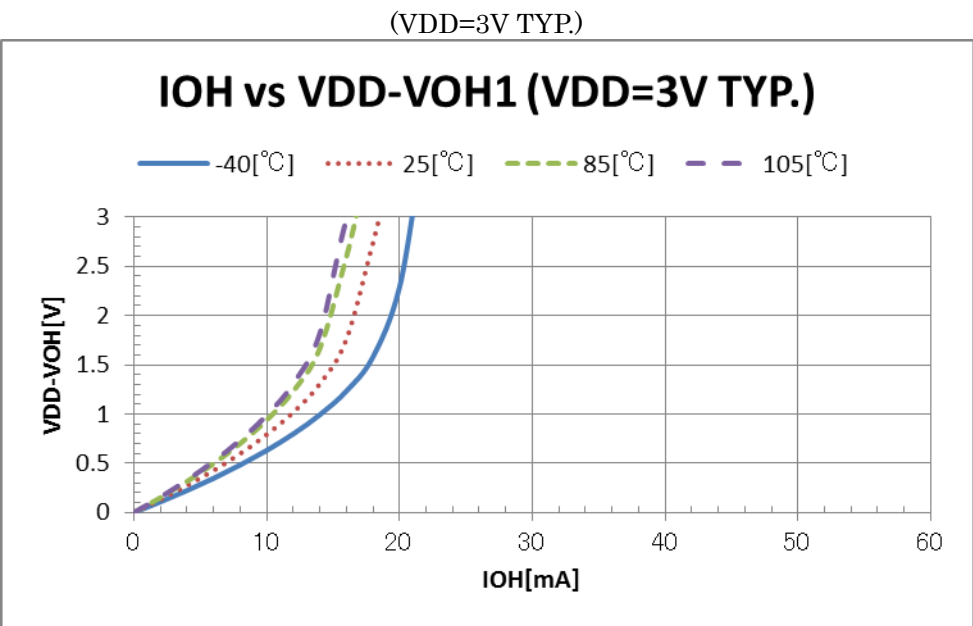
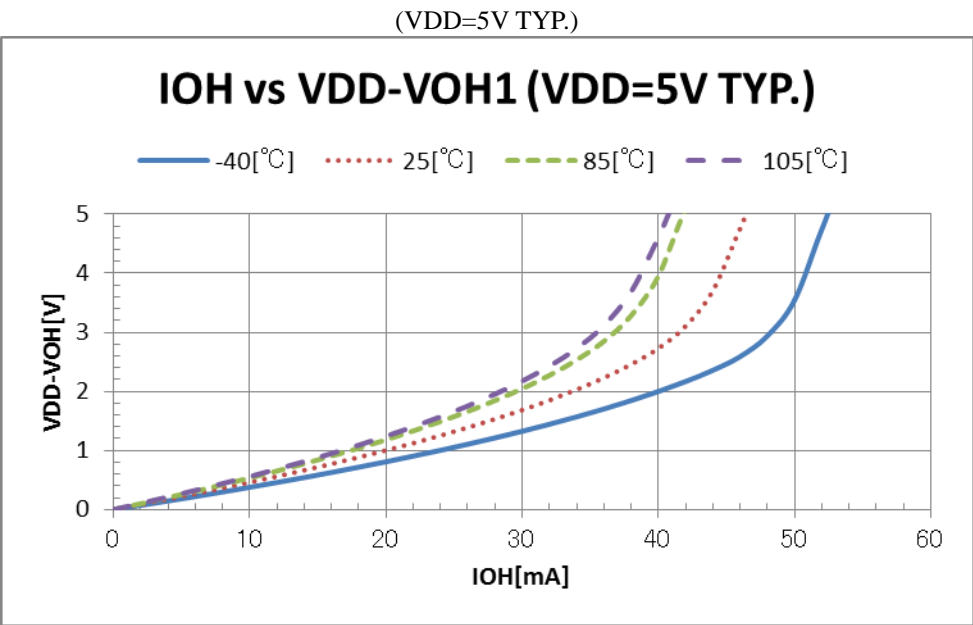
測定回路 5



●ML62Q1200 1400 1600 特性グラフ

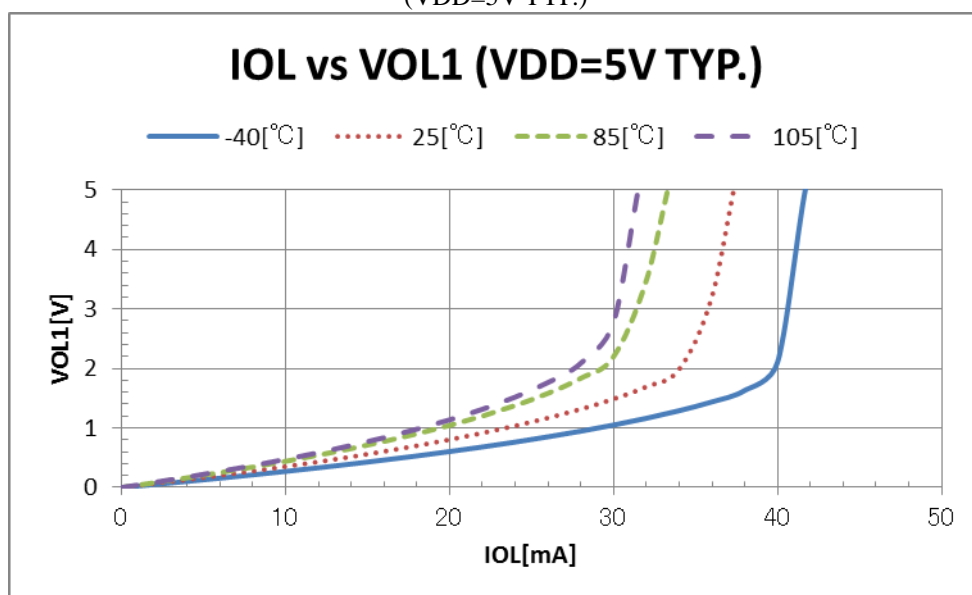
これらのグラフは、アプリケーション設計のための参考値です。
These Graphs are reference for designing an application.

IOH VS VDD-VOH1

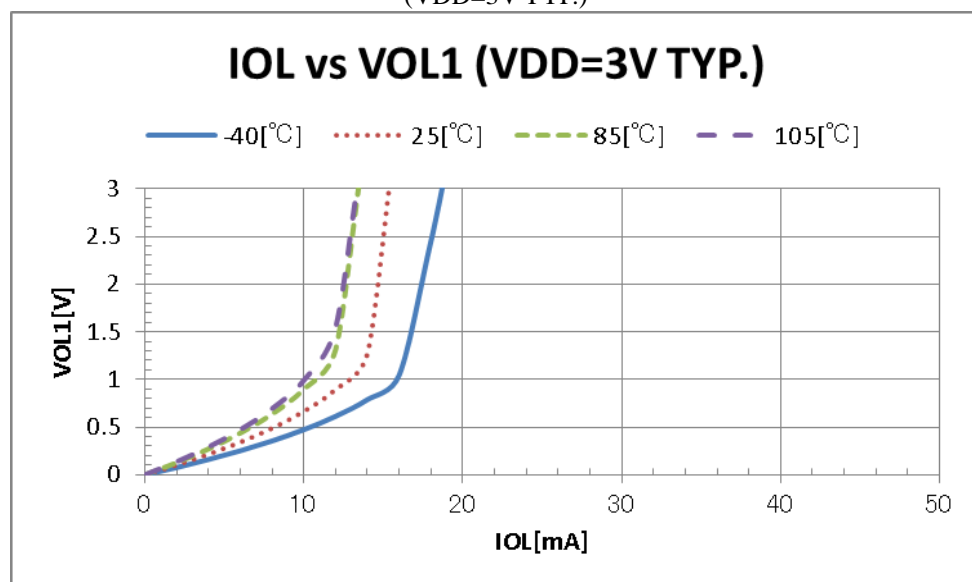


IOL VS VOL1

(VDD=5V TYP.)

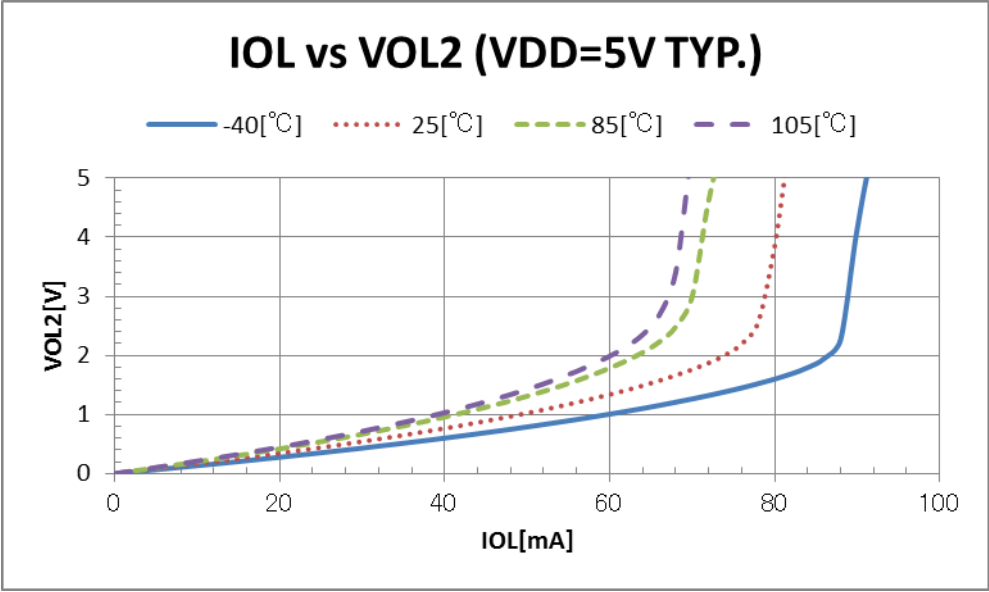


(VDD=3V TYP.)

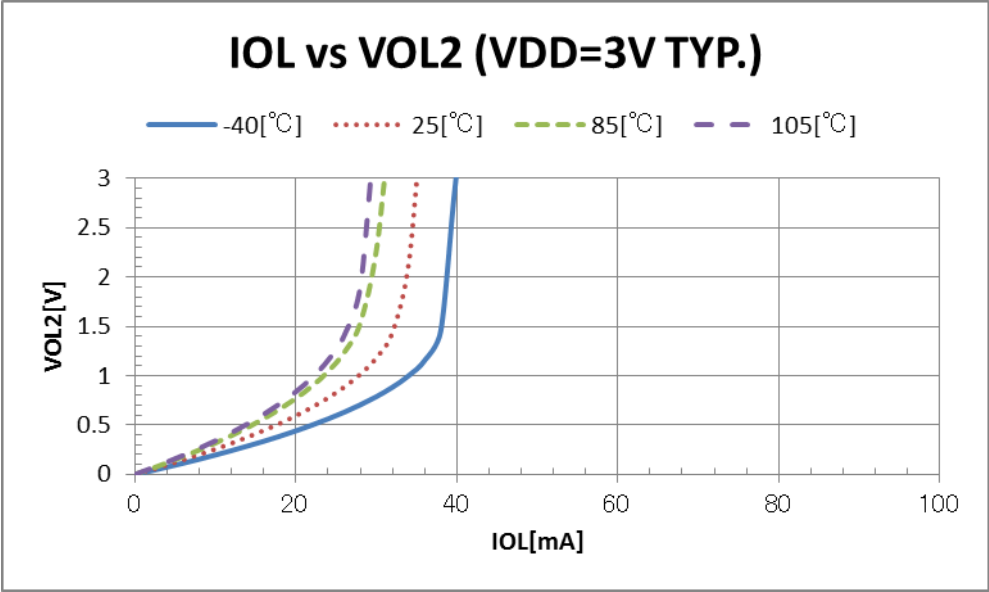


IOL VS VOL2

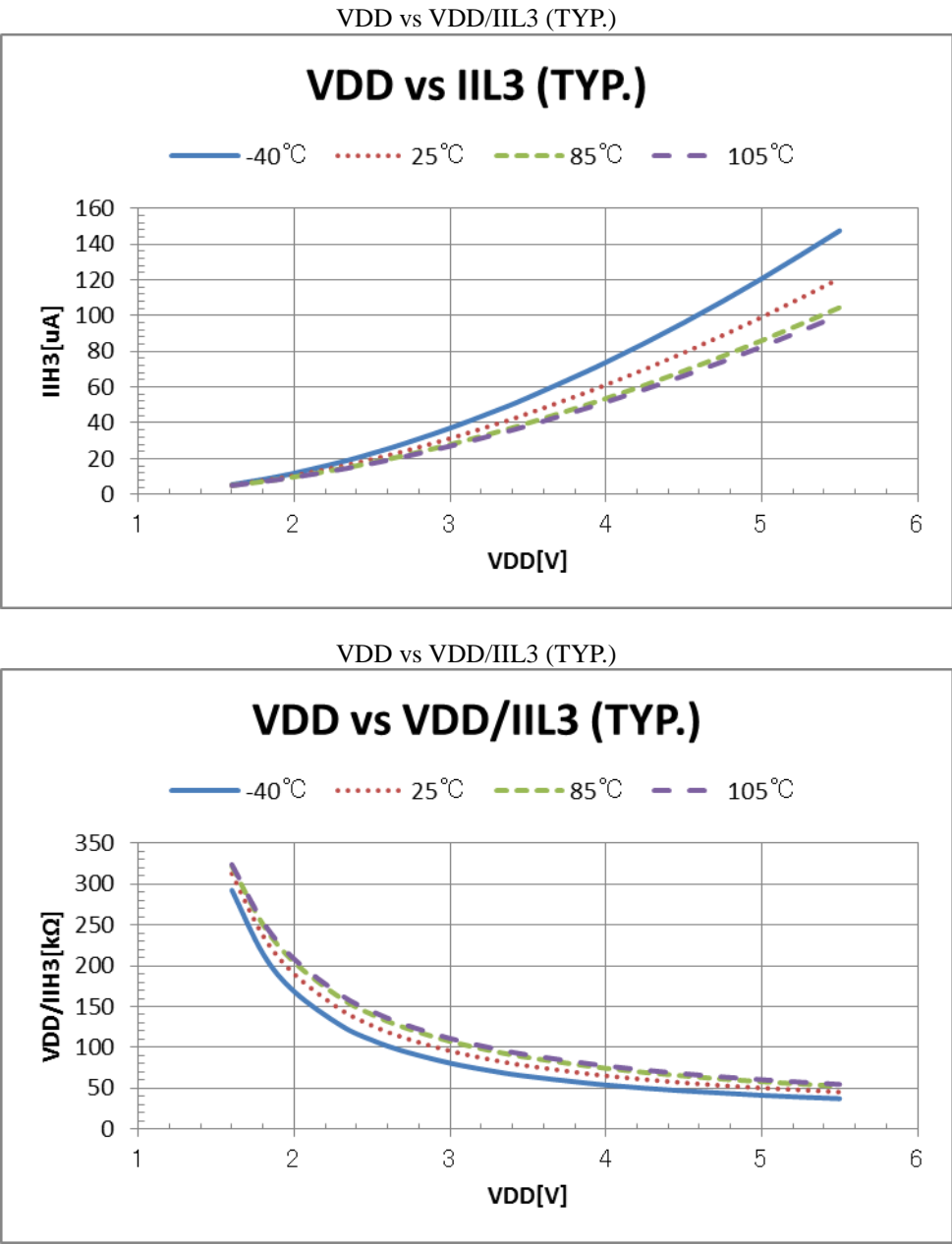
(VDD=5V TYP.)



(VDD=3V TYP.)

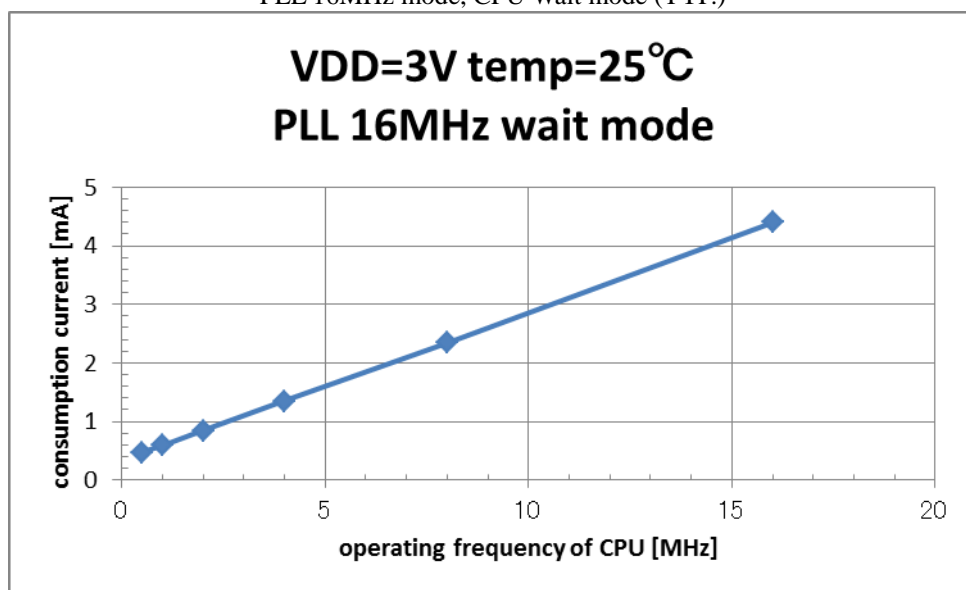


Pull-up resistor

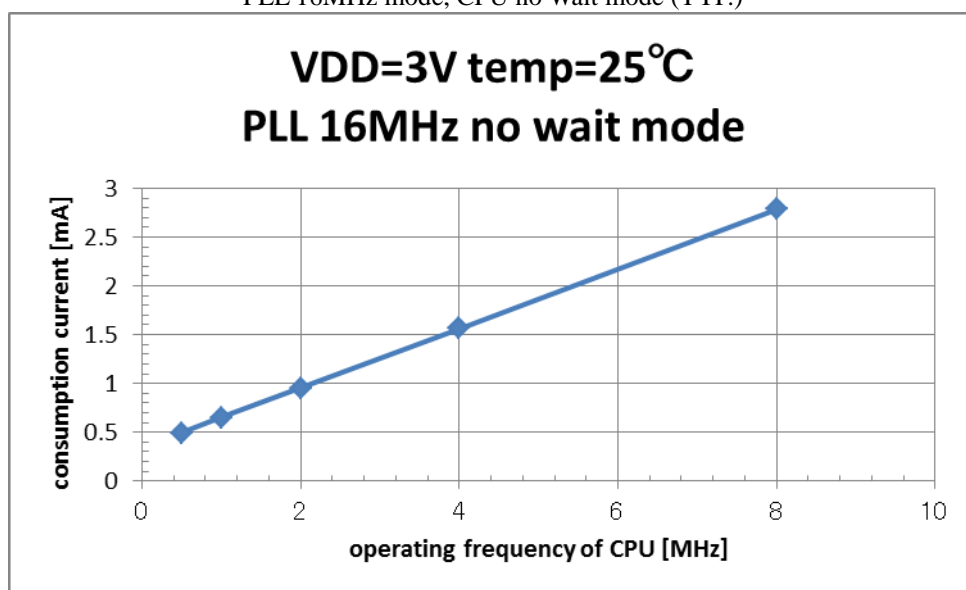


Current consumption VS operating frequency of CPU

VDD=3V, temp=25°C, stop the clock supply to peripherals.
PLL 16MHz mode, CPU Wait mode (TYP.)

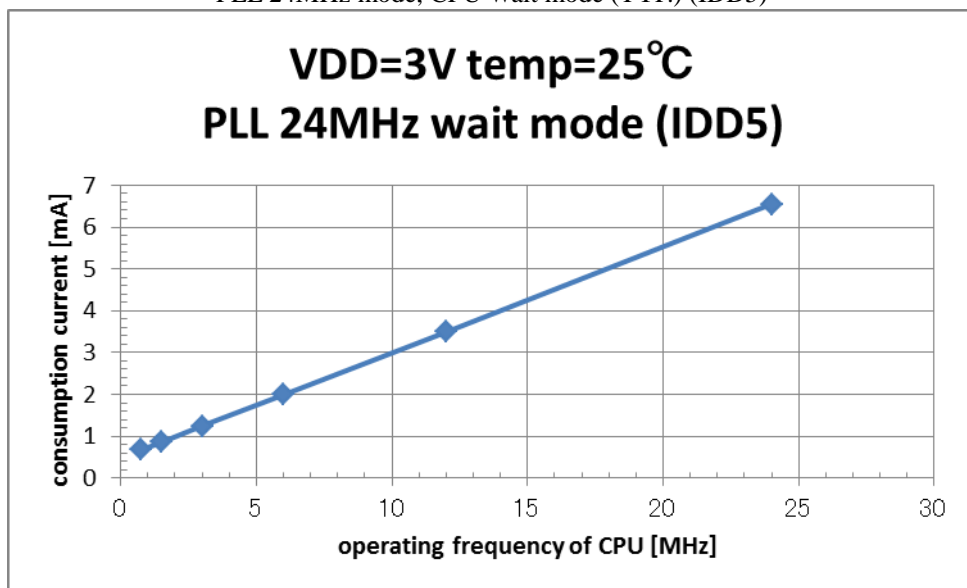


PLL 16MHz mode, CPU no Wait mode (TYP.)

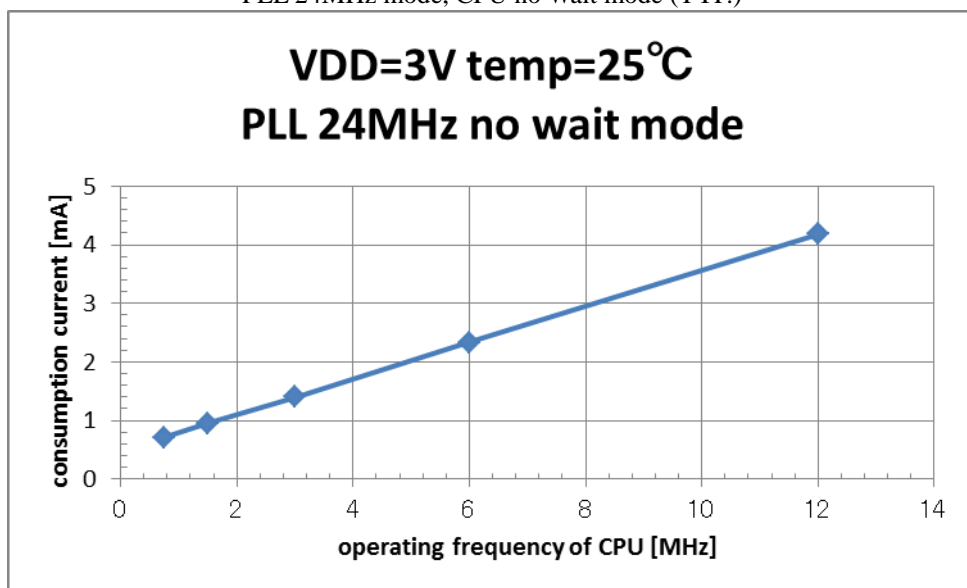


VDD=3V, temp=25°C, stop the clock supply to peripherals.

PLL 24MHz mode, CPU Wait mode (TYP.) (IDD5)

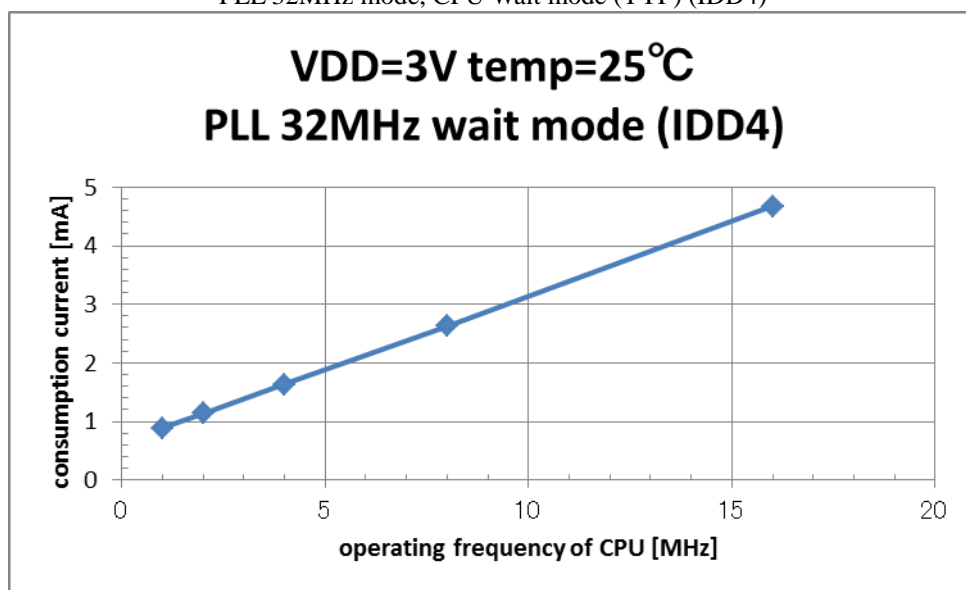


PLL 24MHz mode, CPU no Wait mode (TYP.)

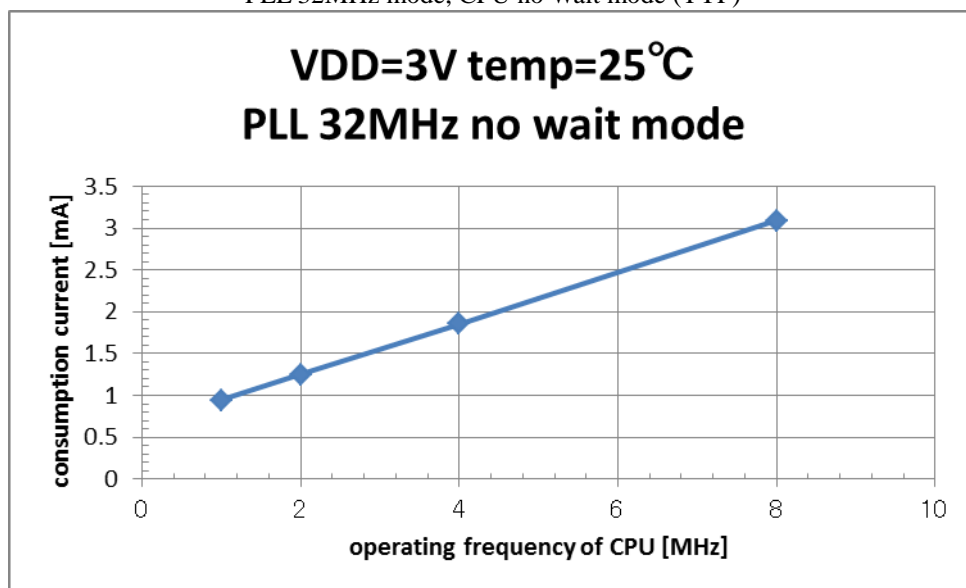


VDD=3V, temp=25°C, stop the clock supply to peripherals.

PLL 32MHz mode, CPU Wait mode (TYP) (IDD4)

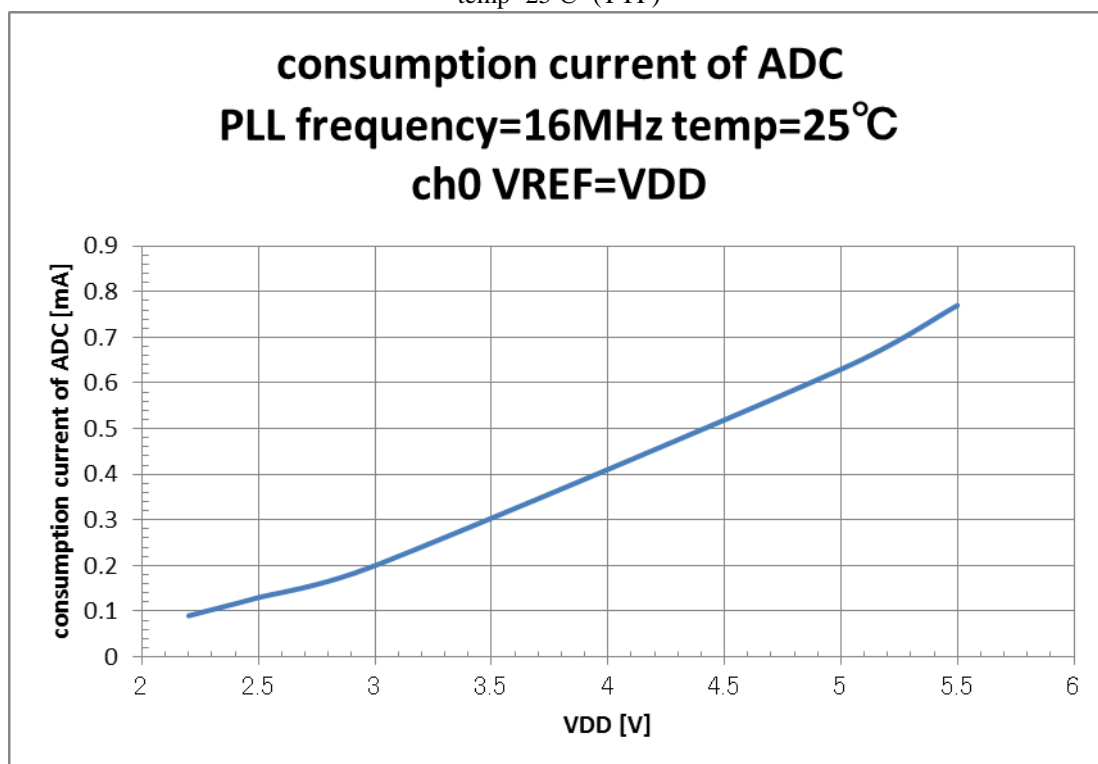


PLL 32MHz mode, CPU no Wait mode (TYP)



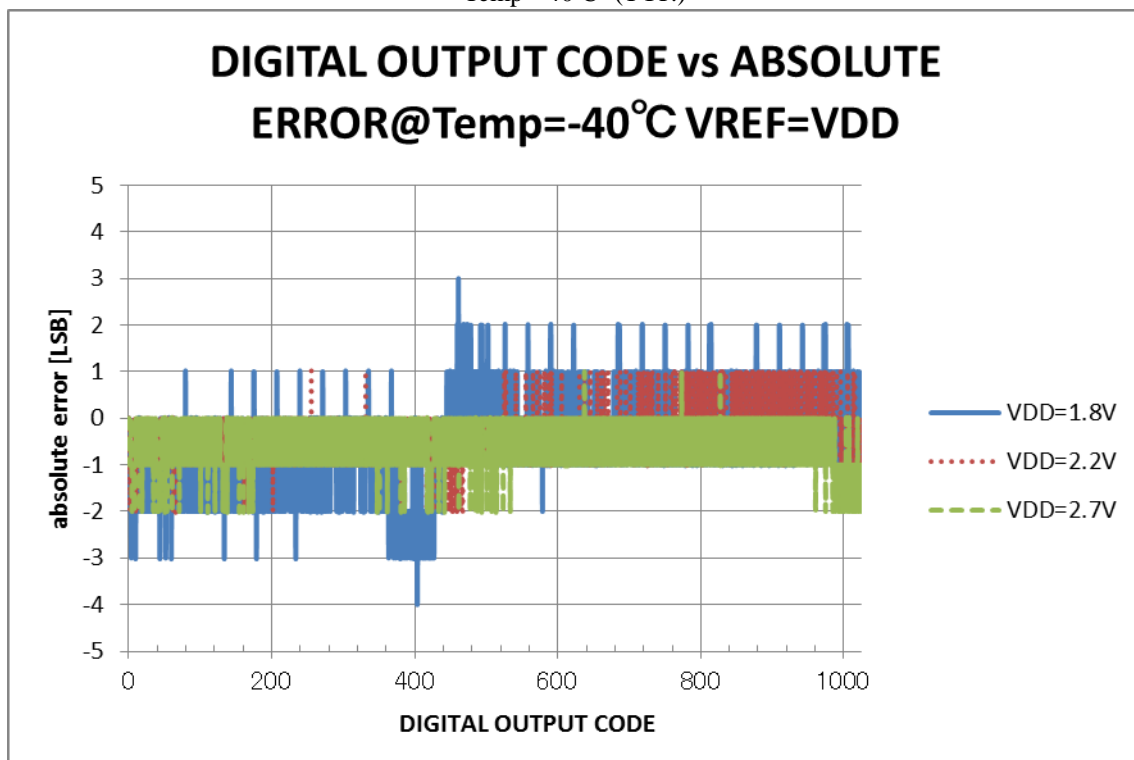
Consumption current of ADC VS operating voltage

temp=25°C (TYP)

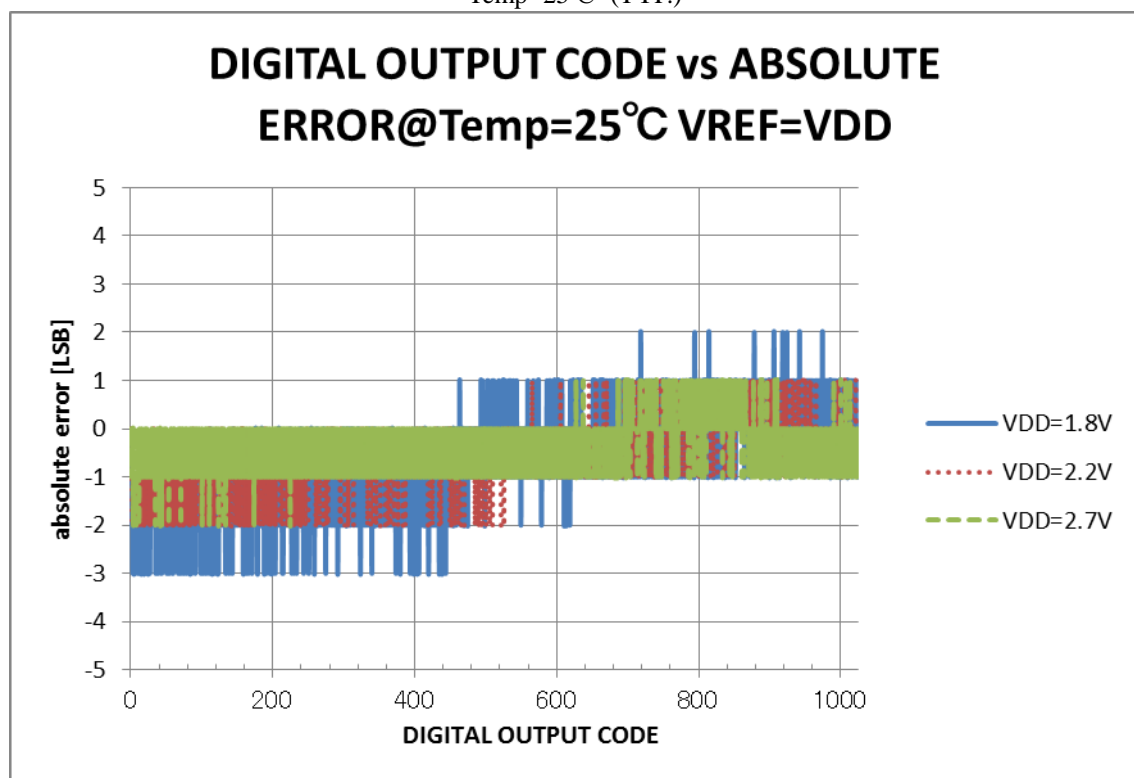


DIGITAL OUTPUT CODE vs absolute error of ADC

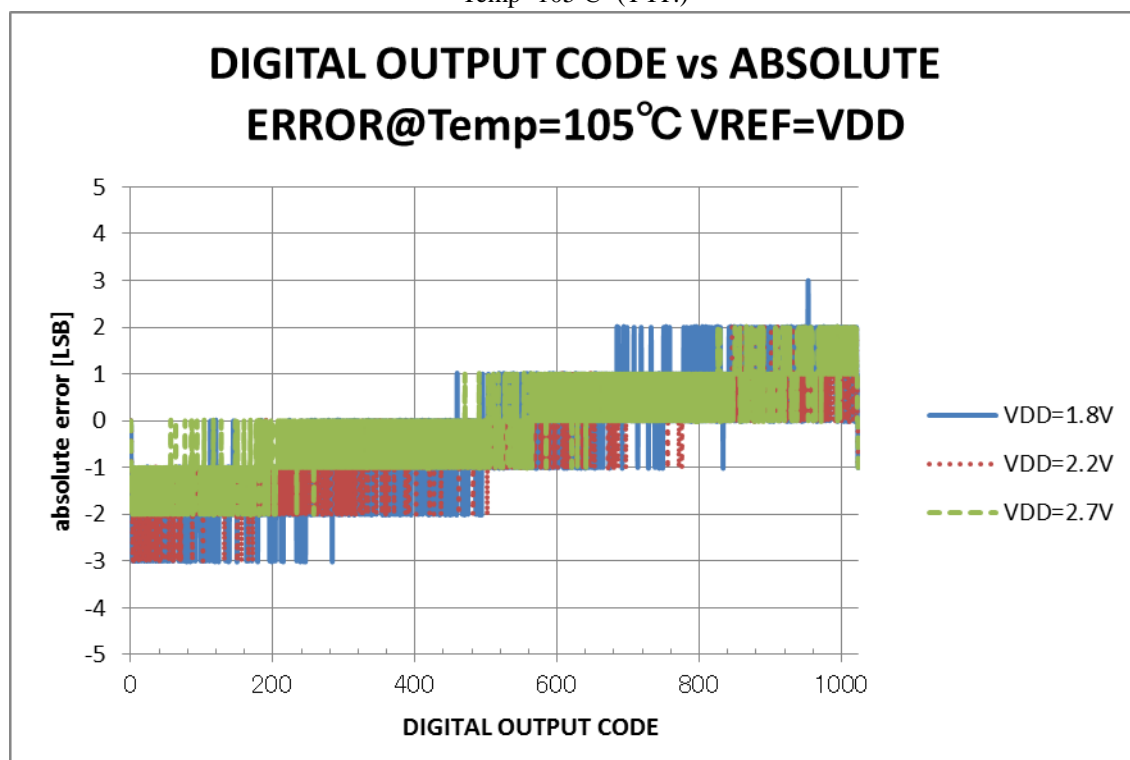
Temp=-40°C (TYP.)



Temp=25°C (TYP.)



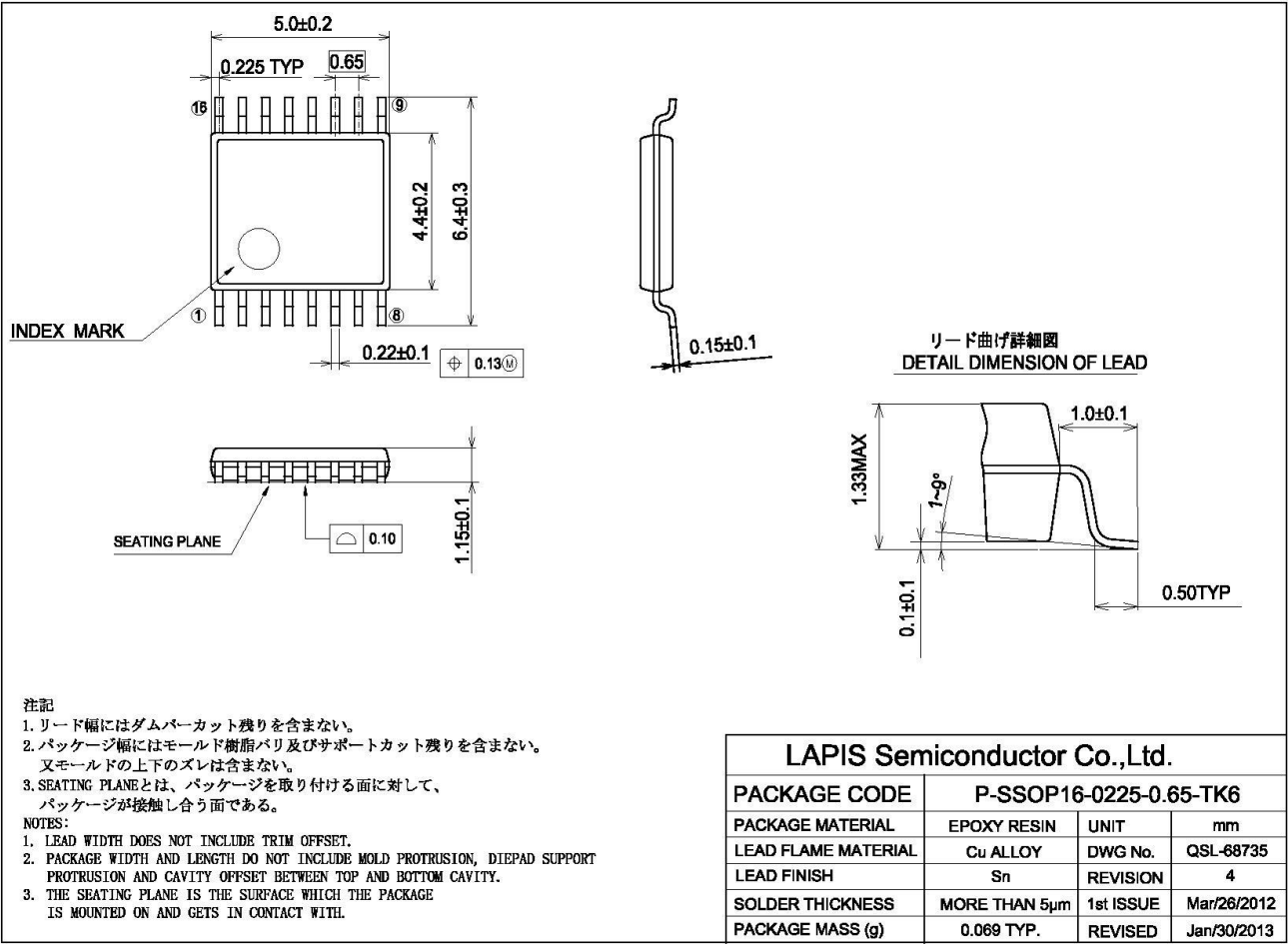
Temp=105°C (TYP.)



■パッケージ寸法図

●ML62Q1223E/1224E/1225E

16ピン SSOP パッケージの寸法図



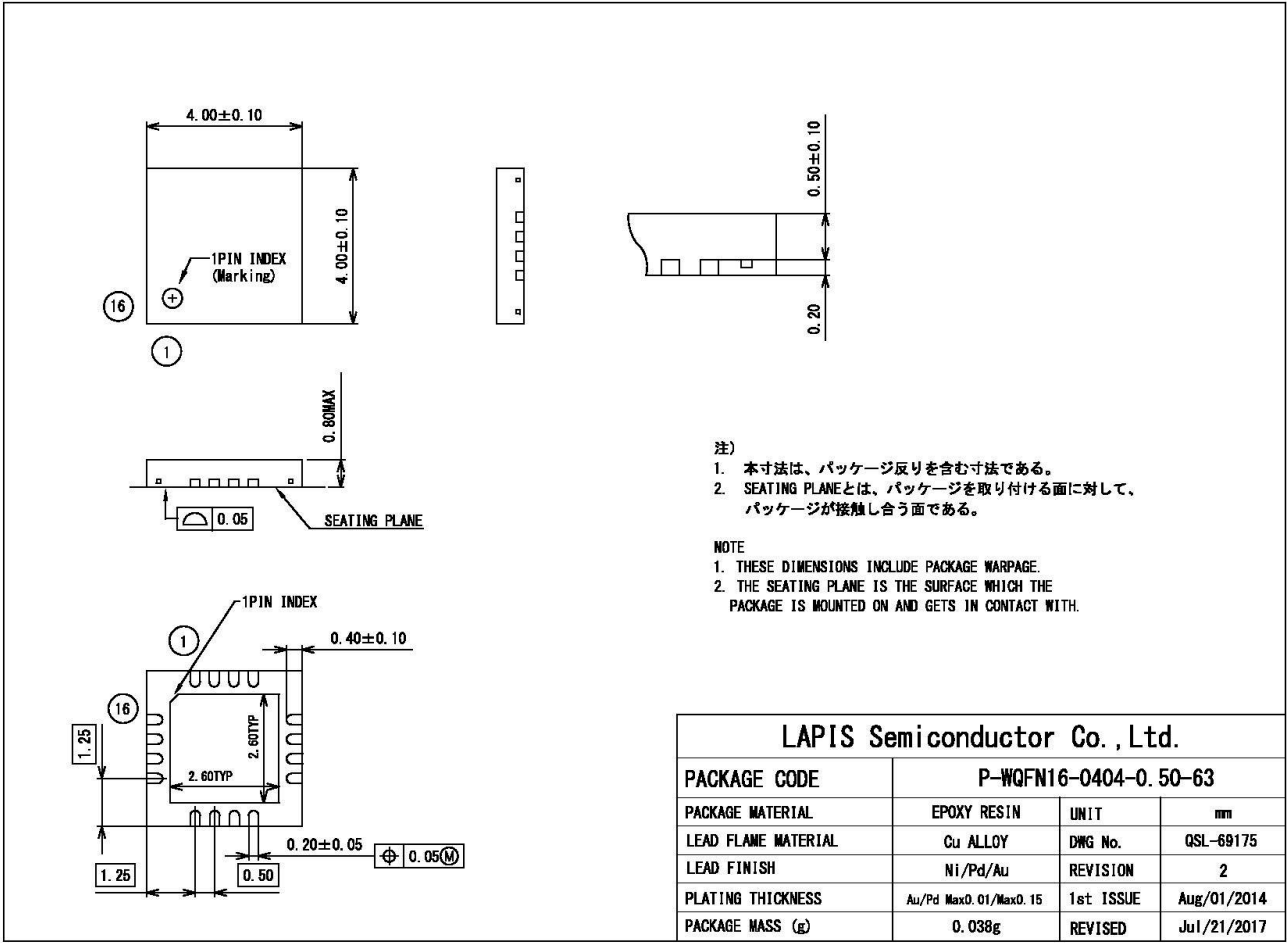
(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●ML62Q1223E/1224E/1225E

16 ピン WQFN パッケージの寸法図



(単位: mm)

表面実装型パッケージ実装上のご注意

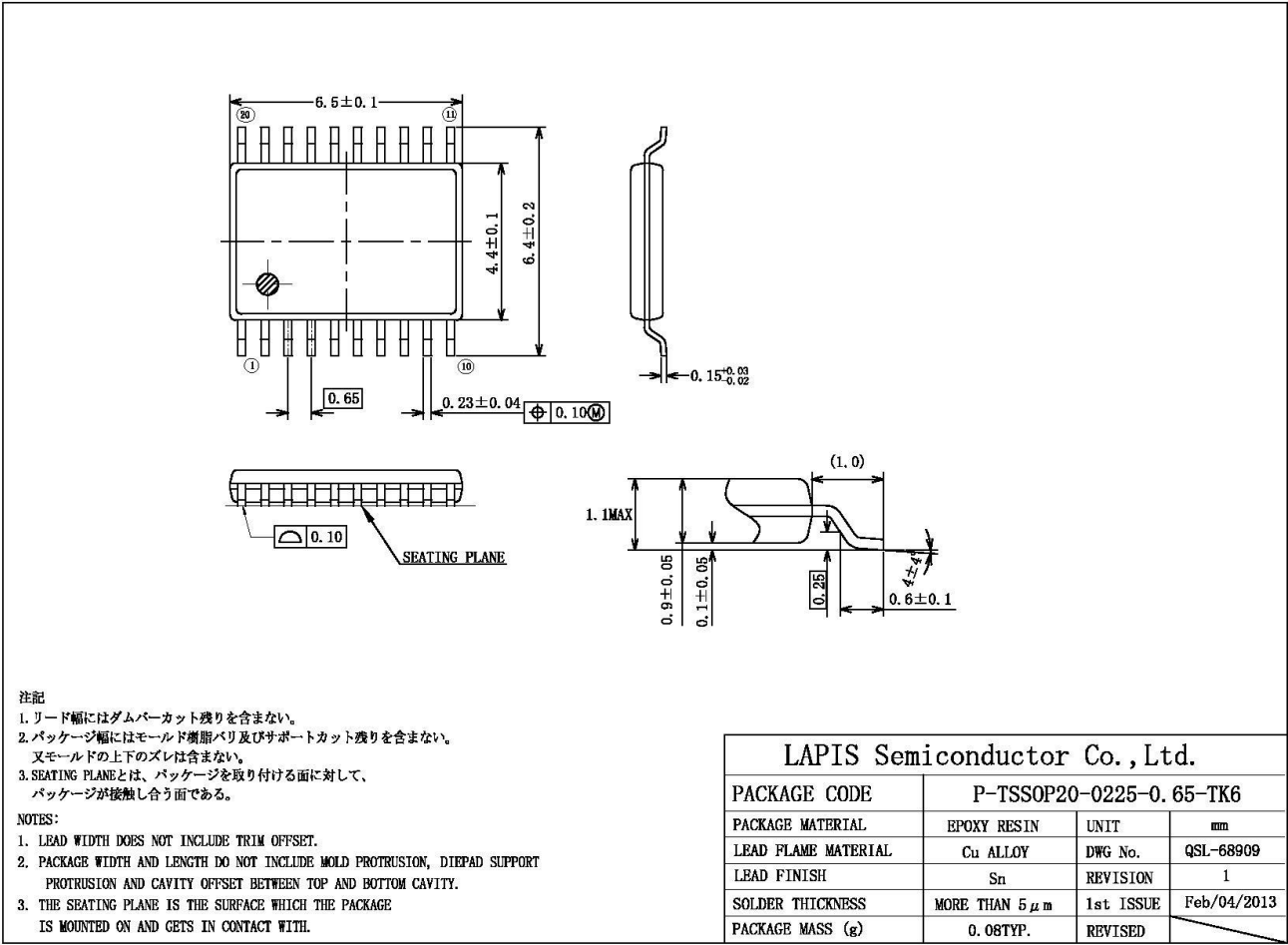
表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

●ML62Q1233E/1234E/1235E

20 ピン TSSOP パッケージの寸法図



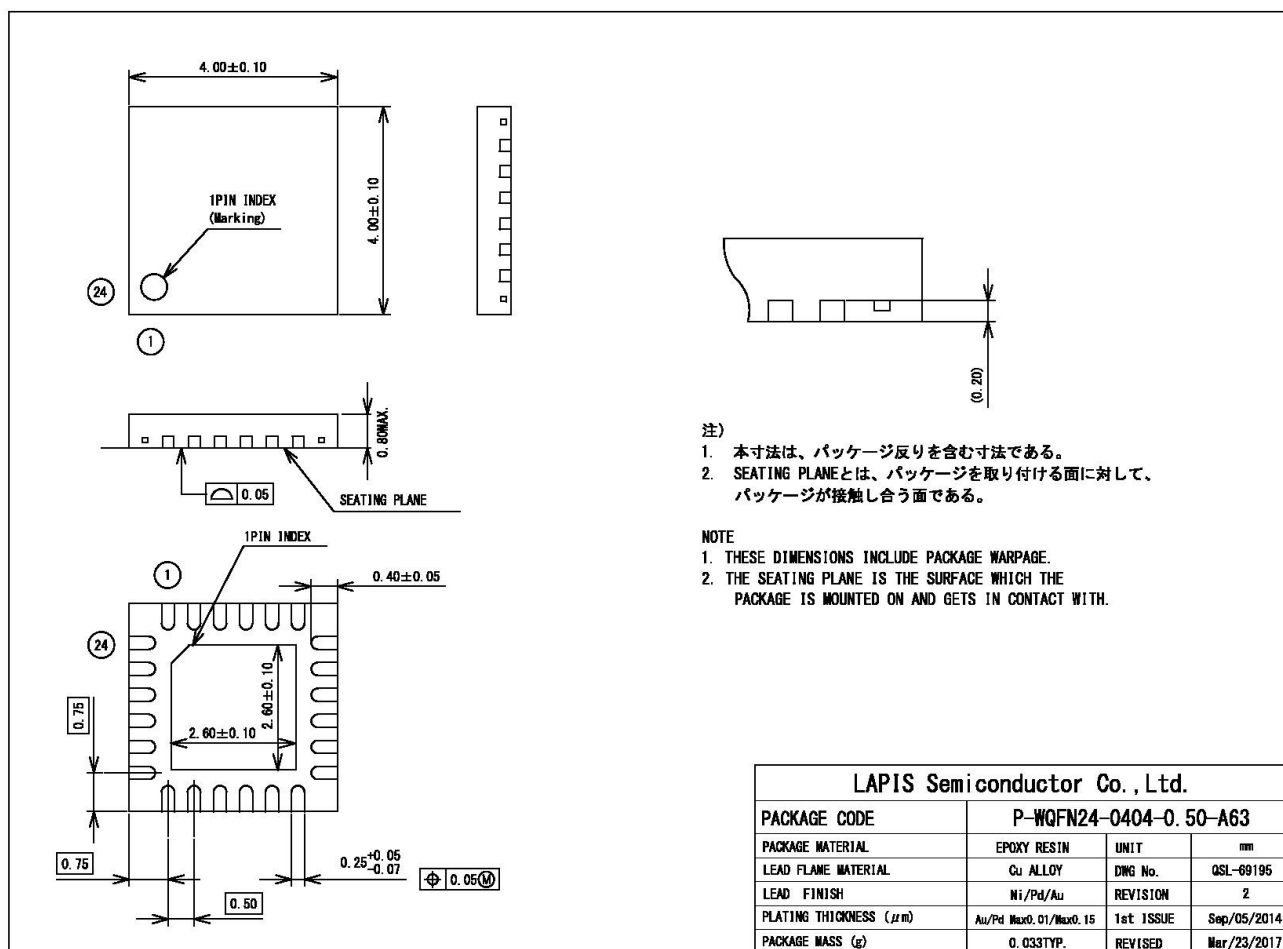
(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●ML62Q1245E/1246E/1247E

24 ピン WQFN パッケージの寸法図



(単位: mm)

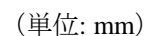
表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

32 ピン TQFP パッケージの寸法図



表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL62Q1200E-01	2017. 5. 1	—	—	正式初版発行
FJDL62Q1200E-02	2017. 8. 29	3	3	ウォッチドッグタイマの HALT/STOP モード時のコードオプション記述を削除
		3,7,8,21	3,7,8,21	誤記修正 誤) 16 ビットファンクショナルタイマ 正) ファンクショナルタイマ
		26	26	誤記修正 IOH の Max 規格, Min 規格
		26	26	VOH, VOL, IOH1 に P00 を追記
		27	27	I1H2 を削除
		27	27	I1L2 の条件にプルアップを追記
		27	27	I1H2Z, I1L2Z を作成し P00 について追記
		40	40	16 ピン WQFN パッケージの寸法図の修正
FJDL62Q1200E-03	2017.11.10	23,26,27	23,26,27	以下の内容を追加 「LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。流せる電流値は、絶対値が最大値となります。 例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。」
		26	26	ハイ・レベル出力電流 1 の条件記載に不足があり追加。 $VOH \geq V_{DD} - 0.5$
FJDL62Q1200E-04	2018. 3. 5	2,24,25, 27,34	2,24,25, 27,34	正の温度表記を+で統一
		3	3	DMA の概要に追記
		4	4	ADC の基準電圧に関する説明を訂正
		23,26	23,26	表現を修正
		24	24	IDD4/IDD5 の条件を明記
		26	26	IOL に関して P00 を追加
		26,45	26,45	表現を修正
		27	27	V/I1L2, 3 を追加
		28-32	28-32	Ch の表記修正
		32	32	1Mbps モードの SDA セットアップ時間の MIN 規格を変更
		33	33	リセット特性に P00 の AC 特性を追加
		33	33	電源立ち上がり傾きの MIN 規格を定義
		35,36	35,36	ADC と DAC の記号を分別
		35	35	ADC の測定回路の外付け部品に関する説明を追加
		36	36	基準電圧の MIN/MAX を定義
		—	39-49	特性グラフ追加

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器 (AV機器、OA機器、通信機器、家電製品、アミューズメント機器など) および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
 - ・輸送機器 (車載、船舶、鉄道など)、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
 - ・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2017-2018 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>