

# ML62Q1300 グループ

16 ビットマイクロコントローラ

## ■概要

ML62Q1300 グループは、16 ビット CPU nX-U16/100 (A35 コア) を搭載し、プログラム・メモリ (フラッシュ・メモリ)、データ・メモリ (RAM)、データ・フラッシュ、乗除算器、CRC 演算器、DMA コントローラ、クロック発生回路、タイマ、汎用ポート、UART、同期式シリアルポート、I<sup>2</sup>C バス (マスタ、スレーブ)、ブザー、電圧レベル監視機能 (VLS)、逐次比較型 A/D コンバータ、D/A コンバータ、アナログコンパレータ、安全機能 (IEC60730/60335 Class B 対応) など、多彩な周辺機能を集積した高性能 CMOS16 ビットマイクロコントローラです。

16 ビット CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。

ML62Q1300 グループは、オンチップデバッグ機能を搭載しており、オンボードでのソフトウェアのデバッグおよびソフトウェアの書き換えが可能です。また、ISP (In-System Programming) 機能を搭載しており、量産ラインでのフラッシュ書き込み機能を容易に実現することができます。

ML62Q1300 グループは、パッケージ種類およびプログラム・メモリ容量別に複数の商品から構成されています。

表 1 に 16 ピンから 32 ピンのパッケージ、16K バイトから 64K バイトのプログラム・メモリ容量をラインアップした ML62Q1300 グループの商品一覧を示します。

表 1 ML62Q1300 グループの商品一覧

プログラム・メモリ	データ・メモリ	データ・フラッシュ	16ピン SSOP16 WQFN16	20ピン TSSOP20 SSOP20	24ピン WQFN24	32ピン TQFP32 WQFN32
64K バイト	4K バイト	2K バイト	—	—	ML62Q1347	ML62Q1367
48K バイト			—	—	ML62Q1346	ML62Q1366
32K バイト			—	—	ML62Q1345	ML62Q1365
32K バイト	2K バイト		ML62Q1325	ML62Q1335	—	—
24K バイト			ML62Q1324	ML62Q1334	—	—
16K バイト			ML62Q1323	ML62Q1333	—	—

ML62Q1300 グループをご使用の際は、本資料に記載された「製品使用時の注意事項」および「ご注意」をご確認の上、お使いください。

## ■特長

- CPU
  - RISC 方式 16 ビット CPU : nX-U16/100 (A35 コア)
  - 命令体系: 16 ビット長命令
  - 命令セット: 転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
  - オンチップデバッグ機能を内蔵 (ラピステクノロジー製オンチップデバッグエミュレータと接続)
  - ISP (In-System Programming) 機能を内蔵
  - 最小命令実行時間
    - 約 30.5μs (@32.768kHz システムクロック)
    - 約 62.5ns / 41.6ns (@16MHz / 24MHz システムクロック)

- 乗除算器(コプロセッサ)
  - 乗算 : 16bit×16bit (演算時間 4 サイクル)
  - 除算 : 32bit÷16bit (演算時間 8 サイクル)
  - 除算 : 32bit÷32bit (演算時間 16 サイクル)
  - 積和(非飽和型) : 16bit×16bit+32bit (演算時間 4 サイクル)
  - 積和(飽和型) : 16bit×16bit+32bit (演算時間 4 サイクル)
  - 符号あり, なしの演算の設定が可能

- 動作保証範囲
  - 動作電圧 :  $V_{DD}=1.6V\sim5.5V$  (電源起動時は 1.8V 以上必要です)
  - 動作周囲温度 :  $-40^{\circ}C\sim+105^{\circ}C$

- 内部メモリ
  - プログラム・メモリ
    - 書き換え回数 : 100 回
    - 書き込み単位 : 32 ビット (4 バイト)
    - 消去単位 : 16K バイト/1K バイト
    - 消去/書き込み温度 :  $0^{\circ}C\sim+40^{\circ}C$
  - データ・フラッシュ
    - 書き換え回数 : 10,000 回
    - 書き込み単位 : 8 ビット (1 バイト)
    - 消去単位 : 全領域/128 バイト
    - 消去/書き込み温度 :  $-40^{\circ}C\sim+85^{\circ}C$
    - データ・フラッシュ消去/書き込み中, CPU は動作可能

This product uses SuperFlash® technology licensed from Silicon Storage Technology, Inc.  
SuperFlash® is a registered trademark of Silicon Storage Technology, Inc.

- データ・メモリ(RAM)
  - 書き込み単位 : 8 ビット/16 ビット
  - パリティチェック機能あり(パリティエラー時に割込み/リセット発生可能)
- クロック発生回路
  - 低速クロック(LSCLK)
    - 低速 RC 発振 : 約 32.768kHz
  - 高速クロック(HSCLK)
    - PLL 発振 : コードオプションで 24MHz/16MHz を選択可能
  - ウォッチドッグタイマ(WDT)用に独立クロックを内蔵(RC1K:約 1kHz)
- リセット
  - リセット入力端子リセット
  - パワーオンリセット
  - WDT オーバフローリセット
  - WDT 不正クリアリセット
  - RAM パリティエラーリセット
  - ROM 未使用領域アクセスリセット(命令アクセスのとき)
  - 電圧レベル監視リセット
  - BRK 命令リセット(CPU のみリセット)
  - 各周辺回路の個別リセット
  - 端子制御および周辺回路の一括リセット

- パワーマネージメント
  - HALT モード : CPU を停止, 周辺回路は動作を継続
  - HALT-H モード : CPU を停止, 周辺回路は低速クロックのみ継続, 高速クロックは強制停止, HALT-H モード解除時に高速クロックを強制開始
  - STOP モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止
  - STOP-D モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止, 内部ロジック用電圧 ( $V_{DDL}$ ) を低下させ消費電流を抑制 (RAM データは保持)
  - クロックギア : 高速システムクロックの周波数を変更可能 (HSCLK の 1/1, 1/2, 1/4, 1/8, 1/16, 1/32)
  - ブロック制御機能 : 使用しない機能ブロックをパワーダウン (リセットもしくはクロック供給停止)
- 割込み
  - 外部割込み 最大 8 本
  - ノンマスカブル割込み : 1 要因 (内部要因 WDT)
  - マスカブル割込み : 最大 32 要因
  - 4 段階の割込みレベル機能
- ウォッチドッグタイマ (WDT)
  - 動作クロック選択 : コードオプションで RC1K 発振もしくは低速クロックを選択可能
  - オーバフロー周期選択 : 8 種 (7.8ms, 15.6ms, 31.3ms, 62.5ms, 125ms, 500ms, 2s, 8s)
  - ウィンドウ機能の有効/無効選択 : クリア許可期間をオーバフロー周期の 50% もしくは 75% に設定可能
  - WDT 動作選択 : コードオプションで許可/停止選択可能
  - WDT カウンタ読み出し可能 : WDT カウンタ動作の監視機能
- DMA コントローラ
  - チャンネル数 : 2 チャンネル
  - 転送単位 : 8 ビット/16 ビット
  - 転送回数 : 1~1024 回
  - 転送サイクル : 2 サイクル転送
  - 転送アドレス : 固定アドレッシング, インクリメントアドレッシング, デクリメントアドレッシングモード
  - 転送対象 : 特殊機能レジスタ (SFR)/RAM → SFR/RAM (フラッシュ・メモリとの転送はできません)
  - 転送要求 : 外部端子, シリアル通信ユニット, 逐次比較型 A/D コンバータ, 16 ビットタイマ, ファンクショナルタイマ
- 低速タイムベースカウンタ
  - 低速クロック (LSCLK) を分周し, 8 種 (128Hz~1Hz) のパルス信号を生成
  - 8 種類のパルス信号から 3 つの割込みを選択可能
  - 1Hz または 2Hz の信号を汎用ポートから出力可能
- ファンクショナルタイマ
  - チャンネル数 : 4 チャンネル
  - 16 ビットカウンタによるタイマ/キャプチャ/PWM 機能を搭載
  - 連続モード, ワンショットモードを搭載
  - デューティの異なる 2 種類の同一周期 PWM 出力やデッドタイム付きの相補 PWM 出力が可能
  - キャプチャ機能により入力信号のデューティ, 周期が測定可能
  - 周期割込みのほか, デューティ割込みや設定値との一致割込みなどを発生
  - 外部入力, タイマなどをトリガにしてカウンタの動作開始/停止/カウンタクリアが可能
  - 外部入力をトリガにして緊急停止, および緊急停止割込みを発生
  - ファンクショナルタイマの異なるチャンネル間で同時開始/停止が可能
  - チャンネル毎にカウンタクロックを選択可能 (LSCLK/HSCLK の 1~128 分周または外部クロック入力)

- 16 ビットタイマ
  - チャンネル数 : 最大 6 チャンネル
  - 8 ビットタイマモード, 16 ビットタイマモード  
(16 ビットタイマ×1 チャンネルは, 8 ビットタイマ×2 チャンネルとして使用可能)
  - 16 ビット(8 ビット)タイマの異なるチャンネル間で同時開始/停止が可能
  - タイマ出力(オーバフロー毎に出力が反転)
  - チャンネル毎にカウンタクロックを選択可能(LSCLK/HSCLK の 1~128 分周または外部クロック入力)
- シリアル通信ユニット
  - 同期式シリアルポート(SSIO)モード/UART モードを選択
  - チャンネル数 : 2 チャンネル
  - <同期式シリアルポートモード>
    - マスタ/スレーブ選択可能
    - LSB ファースト/MSB ファースト選択可能
    - 8 ビット長/16 ビット長選択可能
  - <UART モード>
    - 全二重通信モード/半二重通信モード
    - ビット長 5~8, パリティ有無, 奇数パリティ/偶数パリティ, 1 ストップビット/2 ストップビット
    - 正論理/負論理選択可能
    - LSB ファースト/MSB ファースト選択可能
    - 幅広い通信速度を設定可能
      - ・クロック周波数 32.768kHz 時: 1bps~4,800bps
      - ・クロック周波数 24MHz 時: 600bps~3Mbps
      - ・クロック周波数 16MHz 時: 300bps~2Mbps
    - ボーレートジェネレータ内蔵
- I<sup>2</sup>C バスユニット(マスタ/スレーブ)
  - マスタモード/スレーブモードを選択
  - チャンネル数 : 1 チャンネル
  - <マスタ機能>
    - 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
    - ハンドシェーク(クロック同期化) 対応
    - 7 ビットアドレスフォーマット(10 ビットアドレス対応可能)
  - <スレーブ機能>
    - 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
    - クロックストレッチ機能
    - 7 ビットアドレスフォーマット
- I<sup>2</sup>C バスマスタ
  - チャンネル数 : 1 チャンネル
  - 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
  - ハンドシェーク(クロック同期化) 対応
  - 7 ビットアドレスフォーマット(10 ビットアドレス対応可能)
- 汎用ポート(GPIO)
  - 汎用入出力 : 最大 28 端子(兼用機能およびオンチップデバッグ用の 1 端子を含む)
  - 外部割込み : 最大 8 端子
  - LED 駆動 : 最大 27 端子
  - キャリア周波数出力機能(赤外線通信用)

- 逐次比較型 A/D コンバータ
  - チャンネル数 : 最大 8 チャンネル
  - 分解能 : 10 ビット
  - 変換時間 : 最小 2.25 $\mu$ s / 1 チャンネル (変換クロック 8MHz 時)
  - V<sub>DD</sub> 端子入力電圧 / 内蔵基準電圧 (V<sub>REFI</sub>=約 1.55V) / 外部基準電圧 (V<sub>REF</sub> 端子) 選択可能
  - 選択チャンネルの連続変換が可能
  - 変換結果レジスタは各チャンネル毎に搭載
  - 変換結果の下限, 上限判定による割込み要求が可能
- 電圧レベル監視機能 (VLS)
  - 判定精度 :  $\pm 4\%$
  - 判定電圧 : 12 値 (1.85V $\sim$ 4.00V から選択可能)
  - 電圧レベル監視リセット (VLS リセット) として使用可能
  - 電圧レベル監視割込み (VLS0 割込み) として使用可能
- アナログコンパレータ
  - チャンネル数 : 1 チャンネル
  - 割込みエッジ, サンプリング有無を選択可能
  - 外部入力と外部入力, 外部入力と内部基準電圧 (0.8V) との比較が可能
- D/A コンバータ
  - チャンネル数 : 最大 1 チャンネル
  - 分解能 : 8 ビット
  - 出力インピーダンス : 6k $\Omega$  (Typ.)
  - R-2R ラダー方式
- ブザー
  - 4 種類のブザーモード (連続音 / 単音 / 断続音 1 / 断続音 2)
  - 8 種の周波数 (4.096kHz $\sim$ 293Hz)
  - 15 段階のデューティ (1/16 $\sim$ 15/16)
  - ブザー出力端子の正論理 / 負論理が選択可能
- CRC (Cyclic Redundancy Check) 演算器
  - 生成多項式 :  $X^{16}+X^{12}+X^5+1$
  - LSB ファースト / MSB ファースト選択可能
  - プログラム・メモリを HALT モード中に演算する自動 CRC 演算モードを搭載
- 安全機能 (IEC60730/60335 Class B 対応)
  - RAM/SFR ガード
  - プログラム・メモリの自動 CRC 演算
  - RAM パリティエラー検出
  - ROM 未使用領域アクセスリセット (命令アクセスのとき)
  - クロック相互監視
  - WDT カウンタ監視
  - 逐次比較型 A/D コンバータテスト
  - UART テスト
  - 同期式シリアルポートテスト
  - I<sup>2</sup>C バステスト
  - 汎用ポートテスト

● 出荷形態

ML62Q1300 グループ

- 16 ピン プラスチック SSOP  
ML62Q1323/1324/1325 - xxxMB (ブランク品:ML62Q1323/1324/1325-NNNMB)
- 16 ピン プラスチック WQFN  
ML62Q1323/1324/1325 - xxxGD (ブランク品:ML62Q1323/1324/1325-NNNGD)
- 20 ピン プラスチック TSSOP  
ML62Q1333/1334/1335 - xxxTD (ブランク品:ML62Q1333/1334/1335-NNNTD)
- 20 ピン プラスチック SSOP  
ML62Q1333/1334/1335 - xxxMB (ブランク品:ML62Q1333/1334/1335-NNNMB)
- 24 ピン プラスチック WQFN  
ML62Q1345/1346/1347 - xxxGD (ブランク品:ML62Q1345/1346/1347-NNNGD)
- 32 ピン プラスチック TQFP  
ML62Q1365/1366/1367 - xxxTB (ブランク品:ML62Q1365/1366/1367-NNNTB)
- 32 ピン プラスチック WQFN  
ML62Q1365/1366/1367 - xxxGD (ブランク品:ML62Q1365/1366/1367-NNNGD)

※xxx:ROM コード番号

■ML62Q1300 グループの商品名の見方

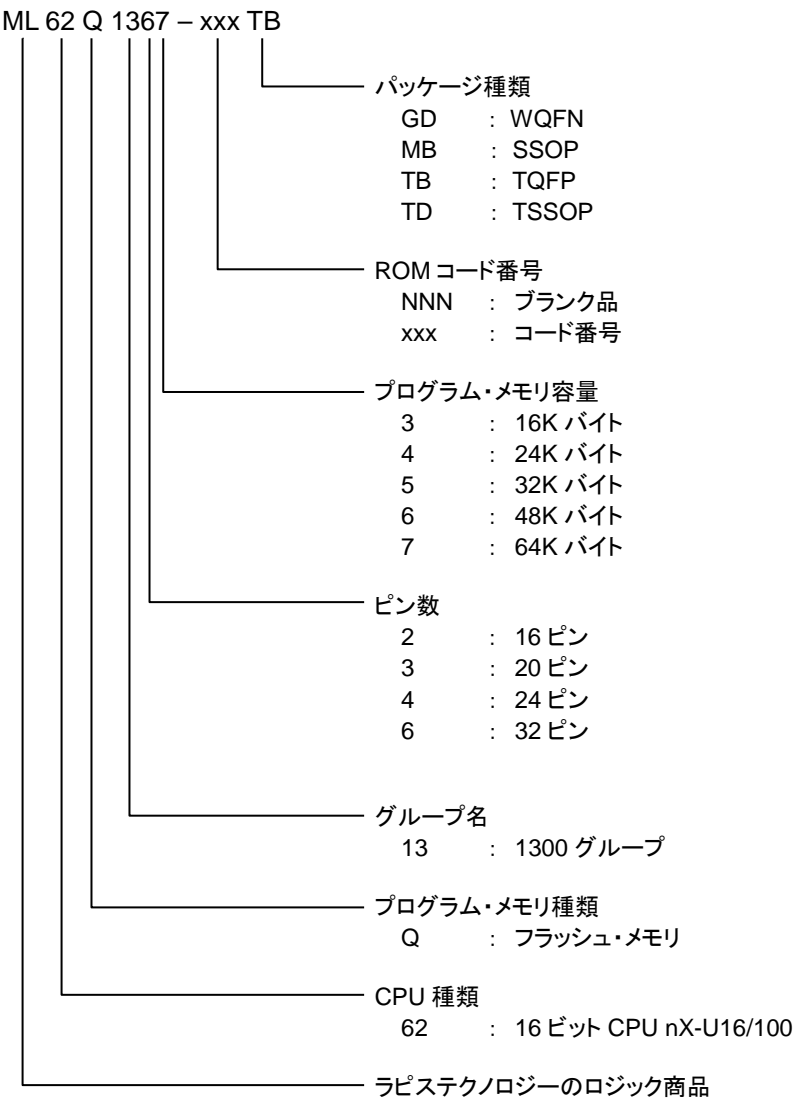


図 1 ML62Q1300 グループの商品名

■ML62Q1300 グループの商品別仕様

表 2 商品別仕様

商品名	端子				割込み	タイマ		通信機能		アナログ																																										
	総ピン数	電源端子数	リセット入力端子数	入出力端子数	LED 駆動端子 (入出力端子兼用) 数	内部要因数 (WDT 割込み含む)	外部割込み端子数	フランクショナルタイマ [CH 数]	16 ビットタイマ*1 [CH 数]	簡易 RTC [CH 数]	シリアル通信ユニット*2 [CH 数]	I <sup>2</sup> C バスマスタ [CH 数]	I <sup>2</sup> C バスマスタ/スレーブ [CH 数]	逐次比較型 A/D コンバータ[CH 数]	アナログコンパレータ[CH 数]	アナログコンパレータ [入力信号数]	D/A コンバータ[CH 数]																																			
															0																																					
															2																																					
															1																																					
															6																																					
															8																																					
															1																																					
															2																																					
															1																																					
															0																																					
															1																																					
ML62Q1323	16	3	1	12	11	23	8	4	0	2	1	1																																								
ML62Q1324																																																				
ML62Q1325	20			16	15	25		6																																												
ML62Q1333																																																				
ML62Q1334	24			20	19																																															
ML62Q1335																																																				
ML62Q1345	32			28	27																																															
ML62Q1346																																																				
ML62Q1347																																																				
ML62Q1365																																																				
ML62Q1366																																																				
ML62Q1367																																																				

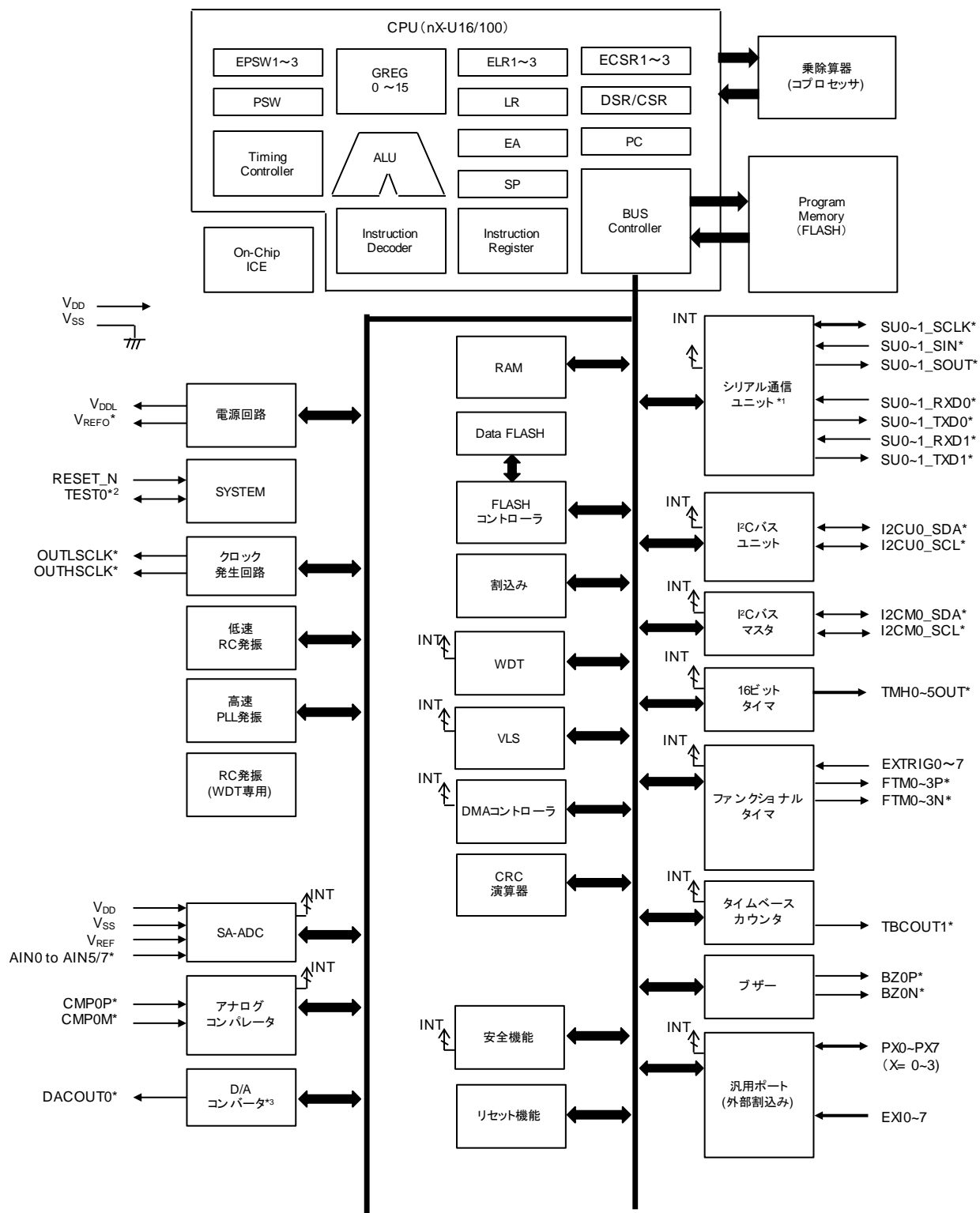
\*1 : 16 ビットタイマ×1 チャンネルは、8 ビットタイマ×2 チャンネルとして使用することができます。

\*2 : シリアル通信ユニットは UART と同期式シリアルポートを兼用しています。同一チャンネル内では UART と同期式シリアルポートは同時に使用できません。



■ ブロック図

- ML62Q1300 グループのブロック図



\* : 各ポートの 2~8 次機能  
\*<sup>1</sup>: UART と同期式シリアルポートを兼用しています。  
\*<sup>2</sup>: オンチップデバッグエミュレータを接続した場合は入力ポートとして使用できません。  
\*<sup>3</sup>: ML62Q133x, 132x には搭載していません。

図 2 ML62Q1300 グループのブロック図

■ 端子配置

● ML62Q1323／1324／1325 16 ピン SSOP パッケージの端子配置図

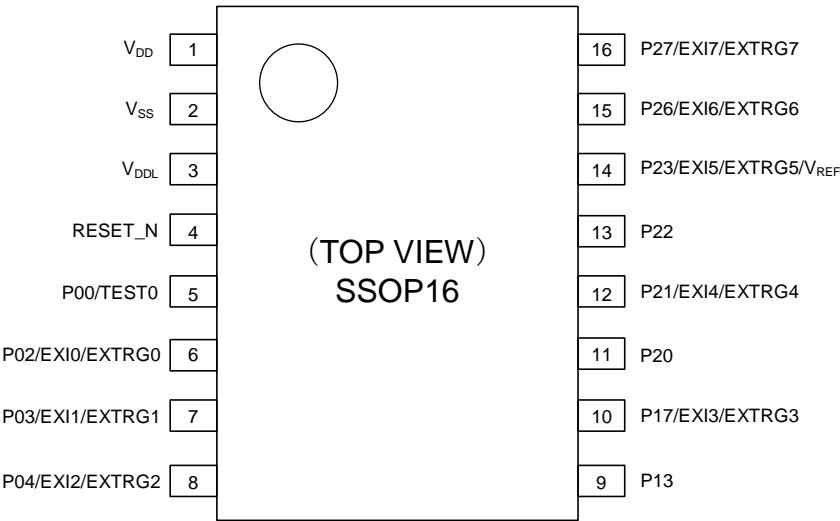


図 3 (1) ML62Q1323／1324／1325 16 ピン SSOP パッケージの端子配置図

●ML62Q1323／1324／1325 16 ピン WQFN パッケージの端子配置図

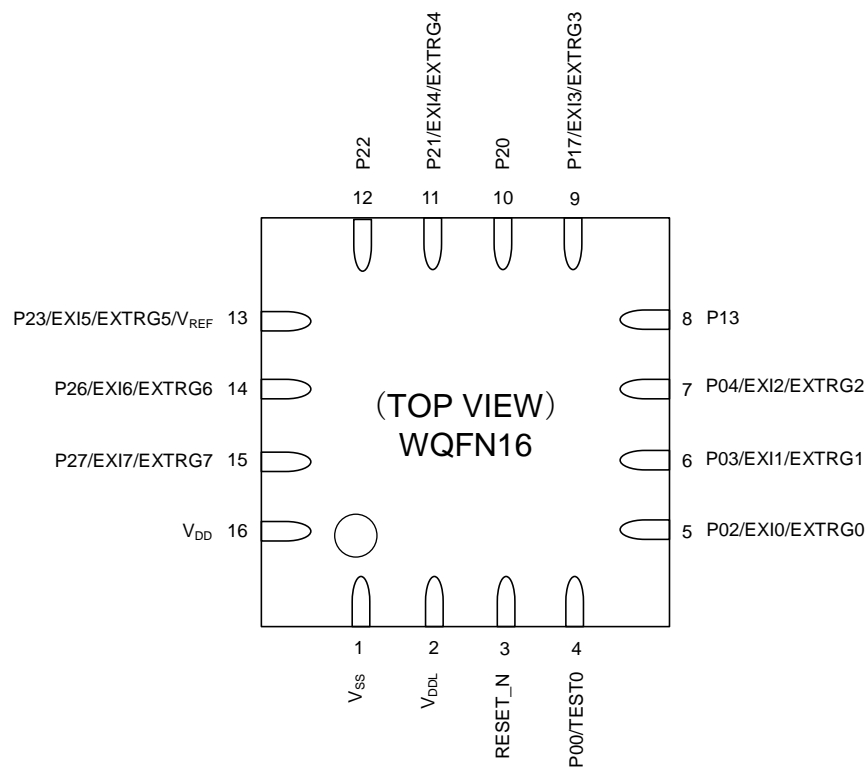


図 3 (2) ML62Q1323／1324／1325 16 ピン WQFN パッケージの端子配置図

●ML62Q1333／1334／1335 20 ピン TSSOP/SSOP パッケージの端子配置図

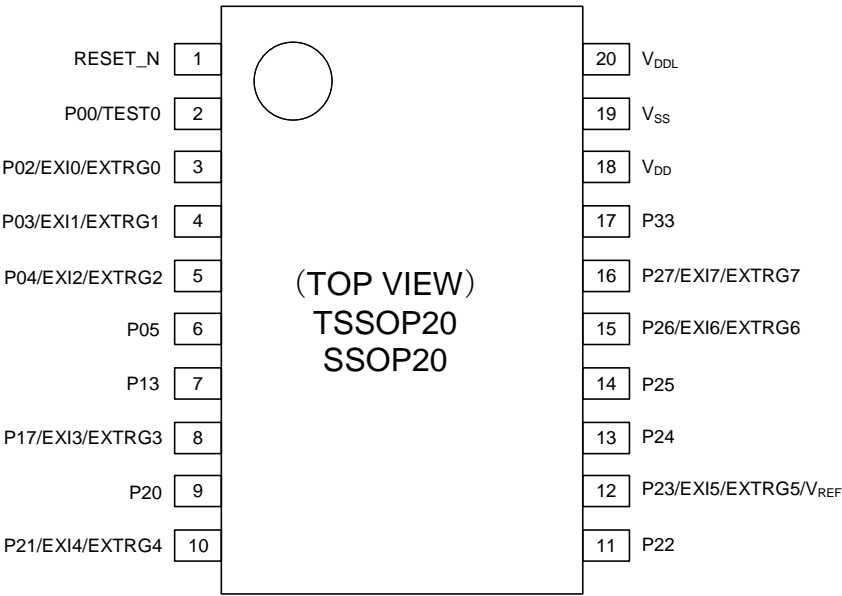


図 3 (3) ML62Q1333／1334／1335 20 ピン TSSOP/SSOP パッケージの端子配置図

●ML62Q1345／1346／1347 24 ピン WQFN パッケージの端子配置図

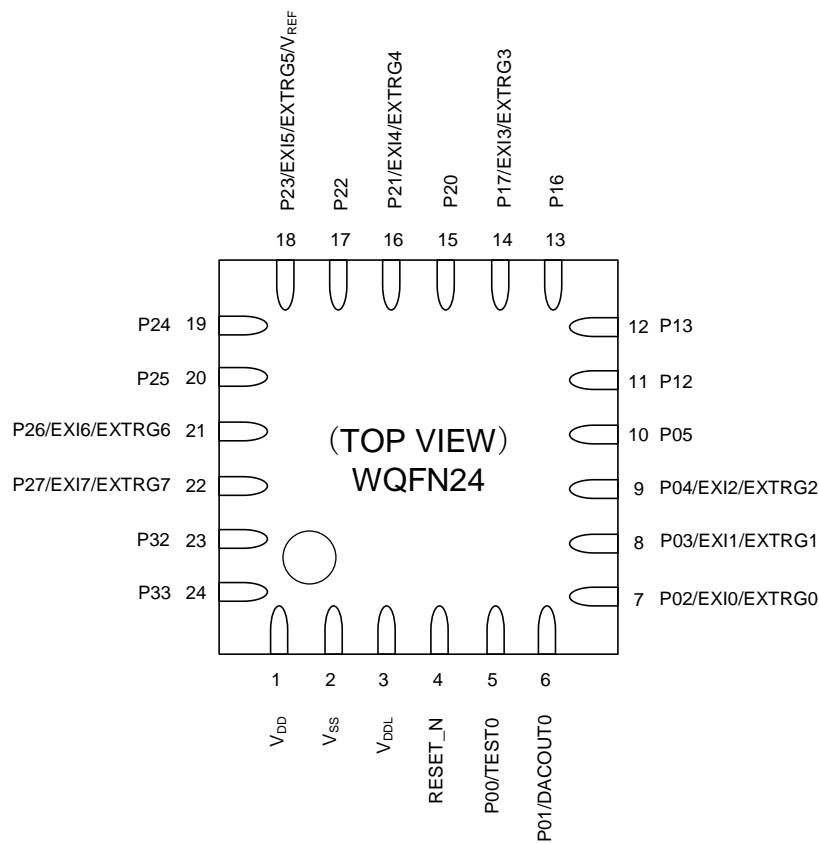


図 3 (4) ML62Q1345／1346／1347 24 ピン WQFN パッケージの端子配置図

●ML62Q1365／1366／1367 32 ピン TQFP パッケージの端子配置図

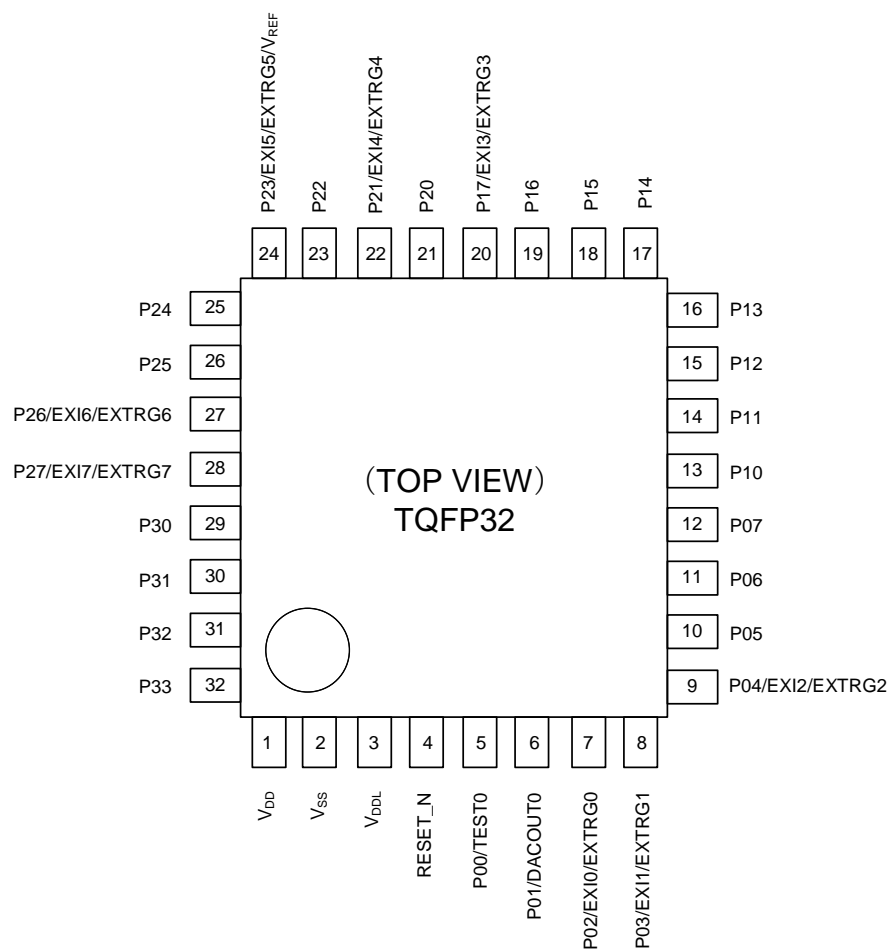


図 3 (5) ML62Q1365／1366／1367 32 ピン TQFP パッケージの端子配置図

●ML62Q1365／1366／1367 32 ピン WQFN パッケージの端子配置図

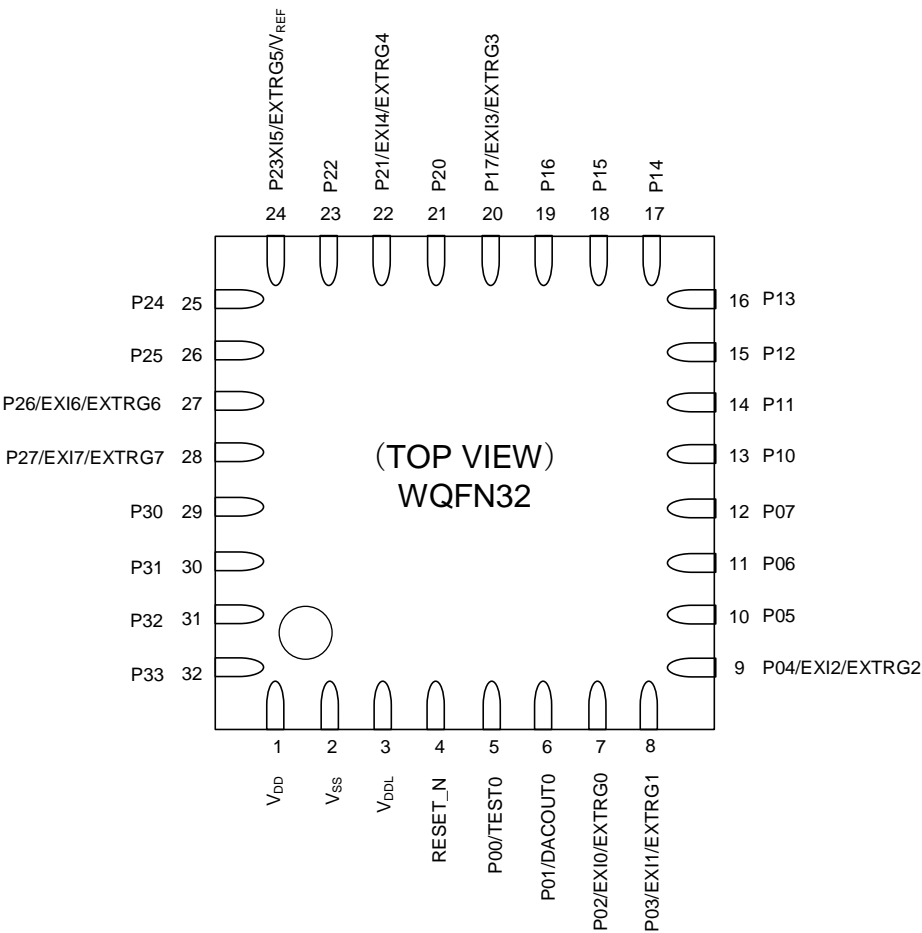


図 3 (6) ML62Q1365／1366／1367 32 ピン WQFN パッケージの端子配置図

## ■端子一覧

表 3 に ML62Q1300 グループの端子一覧を示します。

表 3 端子一覧

Pin No.					端子名 (1 次機能)	1 次機能 その他	2 次機能 通信系	3 次機能 通信系	4 次機能 通信系	5 次機能 タイマ系	6 次機能 その他	7 次機能 その他	8 次機能 ADC
SSOP16	WQFN16	TSSOP20 / SSOP20	WQFN24	TOFP32 / WQFN32									
1	16	18	1	1	V <sub>DD</sub>	-	-	-	-	-	-	-	-
2	1	19	2	2	V <sub>SS</sub>	-	-	-	-	-	-	-	-
3	2	20	3	3	V <sub>DDL</sub>	-	-	-	-	-	-	-	-
4	3	1	4	4	RESET_N	-	-	-	-	-	-	-	-
5	4	2	5	5	P00	TEST0	-	-	-	-	-	-	-
-	-	-	6	6	P01	DACOUT0	-	-	-	-	-	-	-
6	5	3	7	7	P02	EXI0 EXTRG0	SU0_RXD0 SU0_SIN	-	-	FTM0P	OUTLSCLK	CMP0M	-
7	6	4	8	8	P03	EXI1 EXTRG1	SU0_TXD0 SU0_SOUT	SU0_TXD1	I2CU0_SDA	FTM0N	OUTHCLK	CMP0P	-
8	7	5	9	9	P04	EXI2 EXTRG2	SU0_SCLK	-	I2CU0_SCL	TMH0OUT	-	-	-
-	-	6	10	10	P05	-	-	-	-	-	-	-	-
-	-	-	-	11	P06	-	-	-	I2CM0_SDA	-	-	-	-
-	-	-	-	12	P07	-	SU0_RXD1	SU0_RXD0	I2CM0_SCL	-	-	-	-
-	-	-	-	13	P10	-	SU0_TXD1	-	-	-	-	-	-
-	-	-	-	14	P11	-	SU0_SCLK	-	-	-	-	-	-
-	-	-	11	15	P12	-	SU0_RXD0 SU0_SIN	-	-	TMH4OUT	-	-	-
9	8	7	12	16	P13	-	SU0_TXD0 SU0_SOUT	SU0_TXD1	-	TMH1OUT	-	TMH3OUT	-
-	-	-	-	17	P14	-	-	-	-	-	-	-	-
-	-	-	-	18	P15	-	-	-	I2CU0_SDA	-	-	-	-
-	-	-	13	19	P16	-	SU1_SCLK	-	I2CU0_SCL	TMH5OUT	-	-	-
10	9	8	14	20	P17	EXI3 EXTRG3	SU0_RXD1	SU0_RXD0	-	FTM1P	-	BZ0P	AIN0
11	10	9	15	21	P20	-	SU0_TXD1	-	-	FTM1N	TBCOUT1	BZ0N	AIN1
12	11	10	16	22	P21	EXI4 EXTRG4	SU1_RXD0 SU1_SIN	-	-	FTM2P	OUTLSCLK	-	AIN2
13	12	11	17	23	P22	-	SU1_TXD0 SU1_SOUT	SU1_TXD1	I2CM0_SDA	FTM2N	OUTHCLK	-	AIN3
14	13	12	18	24	P23	EXI5 EXTRG5 V <sub>REF</sub>	SU1_SCLK	-	I2CM0_SCL	TMH2OUT	-	-	V <sub>REF0</sub>
-	-	13	19	25	P24	-	SU1_RXD0 SU1_SIN	-	-	-	-	-	AIN4
-	-	14	20	26	P25	-	SU1_TXD0 SU1_SOUT	SU1_TXD1	-	-	-	-	AIN5
15	14	15	21	27	P26	EXI6 EXTRG6	SU1_RXD1	SU1_RXD0	I2CU0_SDA	FTM3P	-	BZ0P	AIN6
16	15	16	22	28	P27	EXI7 EXTRG7	SU1_TXD1	-	I2CU0_SCL	FTM3N	TBCOUT1	BZ0N	AIN7
-	-	-	-	29	P30	-	-	-	-	-	-	-	-
-	-	-	-	30	P31	-	-	-	-	-	-	-	-
-	-	-	23	31	P32	-	SU1_RXD1	SU1_RXD0	-	-	-	-	-
-	-	17	24	32	P33	-	SU1_TXD1	-	-	TMH3OUT	-	-	-



## ■端子説明

表 4 に ML62Q1300 グループの機能ごとの端子説明を示します。

I/O 欄の“－”は電源端子, “I”は入力端子, “O”は出力端子, “I/O”は入出力端子を示します。

表 4 端子説明(1/4)

機 能	信号名	端子名	I/O	説 明	論理
電源	－	V <sub>SS</sub>	－	マイナス側電源	－
	－	V <sub>DD</sub>	－	プラス側電源 電源を安定させるため、V <sub>DD</sub> とV <sub>SS</sub> との間にコンデンサ C <sub>V</sub> を接続してください	－
	－	V <sub>DDL</sub>	－	内部ロジック用電源(内部発生) V <sub>SS</sub> との間にコンデンサ C <sub>L</sub> (1 μF)を接続してください	－
テスト	TEST0	P00	I/O	テスト用入出力 オンチップデバッグ機能、および ISP 機能に使用します。オンチップデバッグに使用する場合は、汎用ポートとしては使用できません。P00 端子と兼用端子です。初期値はプルアップ抵抗付き入力です	－
システム	V <sub>REFO</sub>	P23	－	リファレンス電圧出力	－
	RESET_N	RESET_N	I	リセット入力 この端子を“L”レベルにするとシステムリセットモードになり, “H”レベルにするとプログラム動作モードに移行します オンチップデバッグ機能および ISP 機能に使用します (プルアップ抵抗は内蔵されていません)	負
	OUTLSCLK	P02	O	低速出力クロック	－
		P21			
	OUTHCLK	P03	O	高速出力クロック	－
		P22			
汎用ポート	P00	P00	I/O	汎用入出力 ・ハイインピーダンス ・プルアップ抵抗付き入力(初期値) ・プルアップ抵抗無し入力 ・CMOS 出力 ・N チャネル(N-ch)オープンドレイン出力 TEST0 端子と兼用端子のため、オンチップデバッグ機能もしくは ISP 機能を使用する場合は汎用ポートとして使用できません	正
	P01～P07	P01～P07	I/O	汎用入出力 ・ハイインピーダンス(初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・N-ch オープンドレイン出力	正
	P10～P17	P10～P17			
	P20～P27	P20～P27			
	P30～P33	P30～P33			

表 4 端子説明(2/4)

機 能	信号名	端子名	I/O	説 明	論理
シリアル通信 ユニット (UART モード)	SU0_TXD0	P03	O	シリアル通信ユニット 0 の UART0 データ出力	正
		P13			
	SU0_RXD0	P02	I	シリアル通信ユニット 0 の全二重モードデータ入力 シリアル通信ユニット 0 の UART0 データ入力	正
		P07			
		P12			
	SU0_TXD1	P17	O	シリアル通信ユニット 0 の全二重モードデータ出力 シリアル通信ユニット 0 の UART1 データ出力	正
		P03			
		P10			
	SU0_RXD1	P13	I	シリアル通信ユニット 0 の UART1 データ入力	正
		P20			
	SU1_TXD0	P07	O	シリアル通信ユニット 1 の UART0 データ出力	正
		P17			
シリアル通信 ユニット (同期式シリアル ポートモード)	SU0_SIN	P22	I	シリアル通信ユニット 1 の UART0 データ出力	正
		P25			
	SU0_SCLK	P21	I	シリアル通信ユニット 1 の全二重モードデータ入力 シリアル通信ユニット 1 の UART0 データ入力	正
		P24			
	SU0_SOUT	P26	O	シリアル通信ユニット 1 の全二重モードデータ出力 シリアル通信ユニット 1 の UART1 データ出力	正
		P32			
	SU1_SIN	P22	I	シリアル通信ユニット 1 の UART1 データ入力	正
		P25			
	SU1_SCLK	P27	I/O	シリアル通信ユニット 1 の同期式シリアルデータ入力	正
		P33			
	SU1_SOUT	P26	I/O	シリアル通信ユニット 1 の同期式シリアルクロック入出力	正
		P32			
I <sup>2</sup> C バス	I2CU0_SDA	P22	O	シリアル通信ユニット 1 の同期式シリアルデータ出力	正
		P25			
		P25			
	I2CU0_SCL	P03	I/O	I <sup>2</sup> C バスユニット 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P15			
		P26			
	I2CM0_SDA	P04	I/O	I <sup>2</sup> C バスユニット 0 の同期式シリアルデータ出力	正
		P16			
		P27			
I <sup>2</sup> C バス	I2CU0_SDA	P06	I/O	I <sup>2</sup> C バスユニット 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P22			
		P22			
	I2CU0_SCL	P07	I/O	I <sup>2</sup> C バスマスタ 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P23			
		P23			
	I2CM0_SDA	P06	I/O	I <sup>2</sup> C バスマスタ 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P22			
		P22			
I <sup>2</sup> C バス	I2CU0_SDA	P07	I/O	I <sup>2</sup> C バスマスタ 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P23			
		P23			
	I2CU0_SCL	P07	I/O	I <sup>2</sup> C バスマスタ 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P23			
		P23			
	I2CM0_SDA	P07	I/O	I <sup>2</sup> C バスマスタ 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正
		P23			
		P23			

表 4 端子説明(3/4)

機 能	信号名	端子名	I/O	説 明	論理
ファンクショナル タイマ	FTM0P	P02	O	ファンクショナルタイマ 0 P 出力	正
	FTM0N	P03	O	ファンクショナルタイマ 0 N 出力	負
	FTM1P	P17	O	ファンクショナルタイマ 1 P 出力	正
	FTM1N	P20	O	ファンクショナルタイマ 1 N 出力	負
	FTM2P	P21	O	ファンクショナルタイマ 2 P 出力	正
	FTM2N	P22	O	ファンクショナルタイマ 2 N 出力	負
	FTM3P	P26	O	ファンクショナルタイマ 3 P 出力	正
	FTM3N	P27	O	ファンクショナルタイマ 3 N 出力	負
	EXTRG0	P02	I	ファンクショナルタイマのトリガ入力	—
	EXTRG1	P03	I	ファンクショナルタイマのトリガ入力	—
	EXTRG2	P04	I	ファンクショナルタイマのトリガ入力	—
	EXTRG3	P17	I	ファンクショナルタイマのトリガ入力	—
	EXTRG4	P21	I	ファンクショナルタイマのトリガ入力	—
	EXTRG5	P23	I	ファンクショナルタイマのトリガ入力	—
	EXTRG6	P26	I	ファンクショナルタイマのトリガ入力	—
	EXTRG7	P27	I	ファンクショナルタイマのトリガ入力	—
16 ビットタイマ	TMH0OUT	P04	O	16 ビットタイマ 0 出力	正
	TMH1OUT	P13	O	16 ビットタイマ 1 出力	正
	TMH2OUT	P23	O	16 ビットタイマ 2 出力	正
	TMH3OUT	P13 P33	O	16 ビットタイマ 3 出力	正
	TMH4OUT	P12	O	16 ビットタイマ 4 出力	正
	TMH5OUT	P16	O	16 ビットタイマ 5 出力	正
	EXTRG0	P02	I	16 ビットタイマのトリガ入力	—
	EXTRG1	P03	I	16 ビットタイマのトリガ入力	—
低速タイムベース カウンタ	TBCOUT1	P20 P27	O	低速タイムベースカウンタ出力	正
ブザー	BZ0P	P17 P26	O	ブザー出力信号(正相)	正
	BZ0N	P20 P27	O	ブザー出力信号(逆相)	負

表 4 端子説明(4/4)

機 能	信号名	端子名	I/O	説 明	論理
外部割込み	EXI0	P02	I	外部割込み 0 入力	—
	EXI1	P03	I	外部割込み 1 入力	—
	EXI2	P04	I	外部割込み 2 入力	—
	EXI3	P17	I	外部割込み 3 入力	—
	EXI4	P21	I	外部割込み 4 入力	—
	EXI5	P23	I	外部割込み 5 入力	—
	EXI6	P26	I	外部割込み 6 入力	—
逐次比較型 A/D コンバータ	EXI7	P27	I	外部割込み 7 入力	—
	V <sub>REF</sub>	P23	—	逐次比較型 A/D コンバータ用リファレンス電源	—
	AIN0	P17	I	逐次比較型 A/D コンバータチャネル 0 のアナログ入力	—
	AIN1	P20	I	逐次比較型 A/D コンバータチャネル 1 のアナログ入力	—
	AIN2	P21	I	逐次比較型 A/D コンバータチャネル 2 のアナログ入力	—
	AIN3	P22	I	逐次比較型 A/D コンバータチャネル 3 のアナログ入力	—
	AIN4	P24	I	逐次比較型 A/D コンバータチャネル 4 のアナログ入力	—
	AIN5	P25	I	逐次比較型 A/D コンバータチャネル 5 のアナログ入力	—
アナログ コンパレータ	AIN6	P26	I	逐次比較型 A/D コンバータチャネル 6 のアナログ入力	—
	AIN7	P27	I	逐次比較型 A/D コンバータチャネル 7 のアナログ入力	—
D/A コンバータ	CMP0P	P03	I	アナログコンパレータ 0 非反転入力	—
	CMP0M	P02	I	アナログコンパレータ 0 反転入力	—
	DACOUT0	P01	O	D/A コンバータ 0 の出力	—

■未使用端子処理

表 5 に未使用端子の処理方法を示します。

表 5 未使用端子の処理

端子名	端子処理
RESET_N	V <sub>DD</sub> に接続してください。
P00/TEST0	初期値のプルアップ抵抗付き入力モードの状態で V <sub>DD</sub> に接続してください。
P01 ~ P07	初期値のハイインピーダンスの状態で端子をオープンにしてください。
P10 ~ P17	
P20 ~ P27	
P30 ~ P33	

【注意】

- 未使用の入力端子および入出力端子は、入力状態（プルアップ抵抗無しの入力モードまたは入出力モード）で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 5 の処理方法に従ってください。

■電気的特性  
●絶対最大定格

(V<sub>SS</sub>=0V)

項 目	記 号	条 件		定 格 値	単位
電源電圧 1	V <sub>DD</sub>	Ta=+25°C		-0.3~+6.5	V
電源電圧 2	V <sub>DDL</sub>	Ta=+25°C		-0.3~+2.0	V
入力電圧	V <sub>IN</sub>	Ta=+25°C		-0.3~V <sub>DD</sub> +0.3* <sup>1</sup>	V
出力電圧	V <sub>OUT</sub>	Ta=+25°C		-0.3~V <sub>DD</sub> +0.3* <sup>1</sup>	V
ハイ・レベル出力電流	I <sub>OUTH</sub>	Ta=+25°C	1 端子	-40* <sup>2</sup>	mA
			端子合計	-150* <sup>2</sup>	mA
ロウ・レベル出力電流	I <sub>OUTL</sub>	Ta=+25°C	1 端子	+40	mA
			端子合計	+150	mA
許容損失	PD	Ta=+25°C		1	W
保存温度	T <sub>STG</sub>	—		-55~+150	°C

<sup>\*1</sup> 6.5V 以下であること。  
<sup>\*2</sup> LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。  
流せる電流値は、絶対値が最大値となります。  
例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

【注意】

- 絶対最大定格とは、製品の物理的品質を損なわないための許容値であり、動作を保証するものではありません。

●推奨動作条件

(V<sub>SS</sub>=0V)

項 目	記 号	条 件	範 囲	単 位
動作温度(周囲)	Ta	—	-40~+105	°C
動作温度(ジャンクション)	Tj	—	-40~+115	°C
動作電圧	V <sub>DD</sub>	—	1.6~5.5	V
動作周波数(CPU)	f <sub>OP</sub>	V <sub>DD</sub> =1.6~5.5V	30k~4M	Hz
		V <sub>DD</sub> =1.8~5.5V	30k~25M	
V <sub>DDL</sub> 端子外付け容量	C <sub>L</sub>	—	1.0±30%	μF

●熱特性

以下にチップー Junction 温度の見積り式を示します。

$$T_{j\max} = T_{a\max} + P_{D\max} \times \theta_{ja}$$

$T_{a\max}$  : 最高動作温度(周囲)  
 $P_{D\max}$  : LSI 最大消費電力  
 $\theta_{ja}$  : 熱抵抗

推奨動作条件に規定された  $T_{j\max}$  を超えないように、端子電流、周囲温度ならびに基板の放熱設計にご注意ください。  
必要に応じて実装基板で評価してください。

以下は熱抵抗  $\theta_{ja}$  のシミュレーション結果です。放熱設計の参考値としてご使用ください。

項 目	記号	パッケージ	基板条件		単位
			L1	L2	
熱抵抗	$\theta_{ja}$	SSOP16	90.5	84.3	°C/W
		WQFN16	80.8	74.7	
		TSSOP20	79.6	74.0	
		SSOP20	79.3	73.8	
		WQFN24	59.0	51.0	
		WQFN32	50.6	43.5	
		TQFP32	67.6	61.8	

基板条件:

条件	L1	L2	単位
サイズ(L / W / T)	114.3 / 76.2 / 1.6	114.3 / 76.2 / 1.6	mm
層数	1	2	層
配線密度	60%(表層)	60%(表層,裏層)	—
空冷条件	無風(0m/s)		—

WQFN パッケージの条件は、ダイパッド露出部分(100%)を基板とはんだ接続した場合です。

## ●消費電流特性 1

対象商品: ML62Q1323, ML62Q1324, ML62Q1325, ML62Q1333, ML62Q1334, ML62Q1335

(特に指定のない場合は,  $V_{DD}=1.6\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.* <sup>3</sup>	Max.		
消費電流 0	IDD0	CPU が STOP-D 状態 全ての発振停止	$T_a=-40\sim +85^{\circ}C$	—	0.60	17	$\mu A$
			$T_a=-40\sim +105^{\circ}C$	—		36	
消費電流 1	IDD1	CPU が STOP 状態 全ての発振停止	$T_a=-40\sim +85^{\circ}C$	—	0.75	20	
			$T_a=-40\sim +105^{\circ}C$	—		42	
消費電流 2	IDD2	低速 RC 発振時* <sup>1</sup> CPU が HALT 状態 PLL 発振停止	$T_a=-40\sim +85^{\circ}C$	—	3.6	27	
			$T_a=-40\sim +105^{\circ}C$	—		44	
消費電流 3	IDD3	CPU が低速 RC 動作状態* <sup>1*2</sup> PLL 発振停止	$T_a=-40\sim +105^{\circ}C$	—	17	66	$\mu A$
消費電流 4	IDD4	CPU が 16MHz 動作状態* <sup>1*2</sup> PLL 16MHz 発振時 $V_{DD}=1.8\sim 5.5V$	$T_a=-40\sim +105^{\circ}C$	—	3.1	3.8	mA
消費電流 5	IDD5	CPU が 24MHz 動作状態* <sup>1*2</sup> PLL 24MHz 発振時 $V_{DD}=1.8\sim 5.5V$	$T_a=-40\sim +105^{\circ}C$	—	4.4	5.3	mA

\*<sup>1</sup>: LTBC, WDT 動作状態, ブロッククロックコントロールレジスタ(BCKCONn)ならびにブロックリセットコントロールレジスタ(BRECONn)の有効ビットが全て“1”の状態\*<sup>2</sup>: CPU はウェイトモードで動作時\*<sup>3</sup>:  $V_{DD}=3.0V$ ,  $T_a=+25^{\circ}C$  条件



## ●消費電流特性 2

対象商品: ML62Q1345, ML62Q1346, ML62Q1347, ML62Q1365, ML62Q1366, ML62Q1367

(特に指定のない場合は,  $V_{DD}=1.6\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.* <sup>3</sup>	Max.		
消費電流 0	IDD0	CPU が STOP-D 状態 全ての発振停止	$T_a=-40\sim +85^{\circ}C$	—	0.80	18	$\mu A$
			$T_a=-40\sim +105^{\circ}C$	—		40	
消費電流 1	IDD1	CPU が STOP 状態 全ての発振停止	$T_a=-40\sim +85^{\circ}C$	—	0.95	21	$\mu A$
			$T_a=-40\sim +105^{\circ}C$	—		45	
消費電流 2	IDD2	低速 RC 発振時* <sup>1</sup> CPU が HALT 状態 PLL 発振停止	$T_a=-40\sim +85^{\circ}C$	—	4.3	33	$\mu A$
			$T_a=-40\sim +105^{\circ}C$	—		50	
消費電流 3	IDD3	CPU が低速 RC 動作状態* <sup>1*2</sup> PLL 発振停止	$T_a=-40\sim +105^{\circ}C$	—	20	70	$\mu A$
消費電流 4	IDD4	CPU が 16MHz 動作状態* <sup>1*2</sup> PLL 16MHz 発振時 $V_{DD}=1.8\sim 5.5V$	$T_a=-40\sim +105^{\circ}C$	—	4.3	4.8	mA
消費電流 5	IDD5	CPU が 24MHz 動作状態* <sup>1*2</sup> PLL 24MHz 発振時 $V_{DD}=1.8\sim 5.5V$	$T_a=-40\sim +105^{\circ}C$	—	6.4	7.0	mA

\*<sup>1</sup>: LTBC, WDT 動作状態, ブロッククロックコントロールレジスタ(BCKCONn)ならびにブロックリセットコントロールレジスタ(BRECONn)の有効ビットが全て“1”の状態\*<sup>2</sup>: CPU はウェイトモードで動作時\*<sup>3</sup>:  $V_{DD}=3.0V$ ,  $T_a=+25^{\circ}C$  条件

## ●オンチップオシレータ特性

(特に指定のない場合は,  $V_{DD}=1.6\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
低速 RC 発振周波数 1 ソフトウェア補正なし	f <sub>RCL1</sub>	Ta=+25 °C, V <sub>DD</sub> =1.8~5.5V	Typ. -1.0%	32.768	Typ. +1.0%	kHz	1
		Ta=-40~+85 °C, V <sub>DD</sub> =1.8~5.5V	Typ. -2.5%	32.768	Typ. +2.5%		
		Ta=-40~+105 °C, V <sub>DD</sub> =1.8~5.5V	Typ. -3.0%	32.768	Typ. +3.0%		
		V <sub>DD</sub> =1.6~1.8V	Typ. -3.5%	32.768	Typ. +3.5%		
低速 RC 発振周波数 2 ソフトウェア補正あり	f <sub>RCL2</sub>	Ta=-40~+85 °C, V <sub>DD</sub> =1.8~5.5V	Typ. -1.0%	32.768	Typ. +1.0%		
		Ta=-40~+105 °C, V <sub>DD</sub> =1.8~5.5V	Typ. -1.5%	32.768	Typ. +1.5%		
PLL 発振周波数 1 内蔵低速 RC ソフトウェア補正なし	f <sub>PLL1</sub>	Ta=-40~+85 °C, V <sub>DD</sub> =1.8~5.5V	Typ. -2.5%	16/24	Typ. +2.5%	MHz	
		Ta=-40~+105 °C, V <sub>DD</sub> =1.8~5.5V	Typ. -3.0%	16/24	Typ. +3.0%		
		V <sub>DD</sub> =1.6~1.8V	Typ. -3.5%	16/24	Typ. +3.5%		
PLL 発振周波数 2 内蔵低速 RC ソフトウェア補正あり	f <sub>PLL2</sub>	Ta=-40~+85 °C, V <sub>DD</sub> =1.8~5.5V	Typ. -1.0%	16/24	Typ. +1.0%		
		Ta=-40~+105 °C, V <sub>DD</sub> =1.8~5.5V	Typ. -1.5%	16/24	Typ. +1.5%		
PLL 発振安定時間	T <sub>PLL</sub>	Ta=-40~+105 °C, V <sub>DD</sub> =1.6~5.5V	—	—	2	ms	
低速 RC1K 発振周波数 (ウォッチドッグタイマ専用)	f <sub>RC1K</sub>	Ta=-40~+105 °C, V <sub>DD</sub> =1.6~5.5V	0.5	1	2.5	kHz	

●入出力端子特性 1

(特に指定のない場合は,  $V_{DD}=1.6\sim5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim+105^{\circ}C$ )

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
”H”/”L”レベル 出力電圧1 (P00~P07) (P10~P17) (P20~P27) (P30~P33)	VOH1	IOH1=-10mA $V_{DD}\geq 4.5V$		$V_{DD}$ -1.5	—	—	V	2
		IOH1=-1mA $V_{DD}\geq 1.6V$		$V_{DD}$ -0.5	—	—		
	VOL1	IOL1=+10mA $V_{DD}\geq 4.5V$		—	—	1.5		
		IOL1=+1mA $V_{DD}\geq 1.6V$		—	—	0.5		
”L”レベル 出力電圧 2 (P01~P07) (P10~P17) (P20~P27) (P30~P33)	VOL2	N-ch オープンドレイン 出力選択時	IOL2=+15mA $V_{DD}\geq 4.5V$	—	—	0.7	V	2
			IOL2=+8mA $V_{DD}\geq 3.0V$	—	—	0.5		
			IOL2=+3mA $V_{DD}\geq 2.0V$	—	—	0.4		
			IOL2=+2mA $V_{DD}\geq 1.6V$	—	—	0.4		

## ●入出力端子特性 2

(特に指定のない場合は,  $V_{DD}=1.6\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
“H”レベル 出力電流 <sup>*6</sup>	IOH1	1 端子	$V_{DD}\geq 4.5V$	-10 <sup>*3*5</sup>	—	mA	3
			$V_{DD}\geq 1.6V$	-1 <sup>*3*5</sup>	—		
“H”レベル出力 合計電流 <sup>*1*4</sup>	IOH3	P00~P07, P10~P13 合計 または P14~P17, P20~P27, P30~P33 合計 (デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	-50 <sup>*5</sup>	—		
			$V_{DD}\geq 1.6V$	-20 <sup>*5</sup>	—		
		全端子合計 (デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	-100 <sup>*5</sup>	—		
			$V_{DD}\geq 1.6V$	-40 <sup>*5</sup>	—		
“L”レベル 出力電流 <sup>*6</sup>	IOL1	1 端子 (CMOS 出力選択時)	$V_{DD}\geq 4.5V$	—	—		
			$V_{DD}\geq 1.6V$	—	—		
“L”レベル 出力電流 <sup>*6</sup>	IOL2	1 端子 (N-ch オープンドレイン 出力選択時)	$V_{DD}\geq 4.5V$	—	—		
			$V_{DD}\geq 3.0V$	—	—		
			$V_{DD}\geq 2.0V$	—	—		
			$V_{DD}\geq 1.6V$	—	—		
“L”レベル出力 合計電流 <sup>*2*4</sup>	IOL3	P00~P07, P10~P13 合計 または P14~P17, P20~P27, P30~P33 合計 (N-ch オープンドレイン 出力選択時, デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	—	—		
			$V_{DD}\geq 3.0V$	—	—		
		全端子合計 (N-ch オープンドレイン 出力選択時, デューティ $\leq 50\%$ 時)	$V_{DD}\geq 2.0V$	—	—		
			$V_{DD}\geq 1.6V$	—	—		
		全端子合計 (N-ch オープンドレイン 出力選択時, デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	—	—		
			$V_{DD}\geq 1.6V$	—	—		
出力リーク (P00~P07) (P10~P17) (P20~P27) (P30~P33)	IOOH	$VOH=V_{DD}$ (ハインピーダンス時)	—	—	+1	$\mu A$	
	IOOL	$VOL=V_{SS}$ (ハインピーダンス時)	-1 <sup>*5</sup>	—	—		

\*1:  $V_{DD}$  端子から出力端子に流れ出しても, デバイスの動作を保証する電流値です。\*2: 出力端子から  $V_{SS}$  端子に流れ込んでも, デバイスの動作を保証する電流値です。

\*3: 出力合計電流を超えないでください。

\*4: デューティ $\leq 50\%$ の条件での出力電流の値です。デューティ $> 50\%$ に変更した出力電流の値は, 次の計算式で求めることができます。端子合計の出力電流 =  $IOL3 \times 50/n$  (デューティ比を  $n\%$ に変更する場合)

&lt;計算例&gt;

 $IOL3=100mA$  で,  $n=80\%$ の場合,端子合計の出力電流 =  $IOL3 \times 50/80=62.5mA$ 1 端子に流せる電流はデューティによって変わることはなく,  $IOL1, IOL2$  の規格となります。

また絶対最大定格以上の電流は流せません。

\*5: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は, 絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

\*6:  $VOH1, VOL1, VOL2$  を満たすための条件となります。

## ●入出力端子特性 3

(特に指定のない場合は,  $V_{DD}=1.6\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N)	IIH1	VIH1=V <sub>DD</sub>	—	—	1	μA	4
	IIL1	VIL1=V <sub>SS</sub>	-1 <sup>*1</sup>	—	—		
入力電流 2 (P00/TEST0)	IIL2	VIL2=V <sub>SS</sub> (プルアップ時) <sup>*2</sup>	-1500 <sup>*1</sup>	-300 <sup>*1</sup>	-20 <sup>*1</sup>	kΩ	
	V/IIL2	VIL2=V <sub>SS</sub> (プルアップ時) <sup>*2</sup>	3.7	10	80	μA	
	IIH2Z	VIH2=V <sub>DD</sub> (ハインピーダンス時)	—	—	1		
	IIL2Z	VIL2=V <sub>SS</sub> (ハインピーダンス時)	-1 <sup>*1</sup>	—	—		
入力電流 3 (P01~P07) (P10~P17) (P20~P27) (P30~P33)	IIL3	VIL1=V <sub>SS</sub> (プルアップ時) <sup>*2</sup>	-250 <sup>*1</sup>	-30 <sup>*1</sup>	-2 <sup>*1</sup>	kΩ	
	V/IIL3	VIL1=V <sub>SS</sub> (プルアップ時) <sup>*2</sup>	22	100	800	μA	
	IIH3Z	VIH1=V <sub>DD</sub> (ハインピーダンス時)	—	—	1		
	IIL3Z	VIL1=V <sub>SS</sub> (ハインピーダンス時)	-1 <sup>*1</sup>	—	—		
入力電圧 1 (RESET_N) (P01~P07) (P10~P17) (P20~P27) (P30~P33)	VIH1	—	0.7 × V <sub>DD</sub>	—	V <sub>DD</sub>	V	5
	VIL1	—	0	—	0.3 × V <sub>DD</sub>		
入力電圧 2 (P00/TEST0)	VIH2	—	0.7 × V <sub>DD</sub>	—	V <sub>DD</sub>		
	VIL2	—	0	—	0.25 × V <sub>DD</sub>		
端子容量 (RESET_N) (P00/TEST0) (P01~P07) (P10~P17) (P20~P27) (P30~P33)	CPIN	f = 10kHz Ta = +25 °C	—	—	10	pF	—

\*1: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

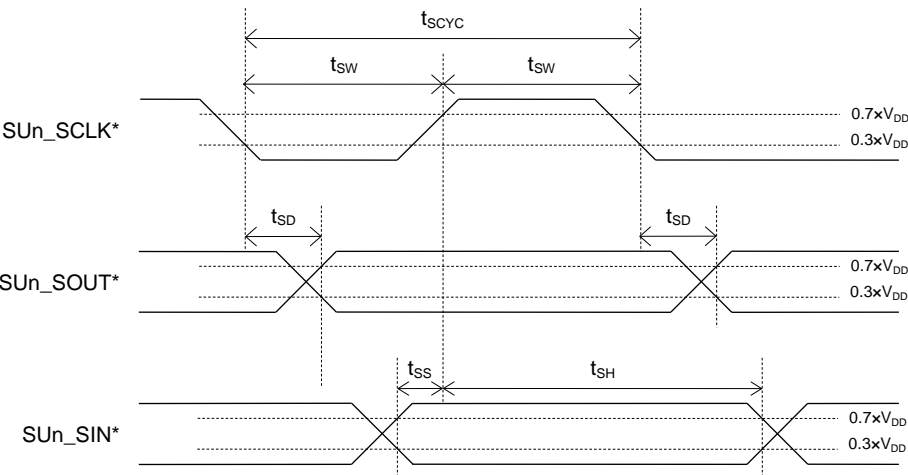
\*2: Typ. 値は  $V_{DD}=3.0V$  条件です。また Max. 値は  $V_{DD}=1.6V$  のとき, Min. 値は  $V_{DD}=5.5V$  のときです。

●同期式シリアルポート特性  
スレーブモード

(特に指定のない場合は、 $V_{DD}=1.8\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル	$t_{SCYC}$	—	$1^{*2}$	—	—	$\mu s$
SCLK 入力パルス幅	$t_{SW}$	—	$0.5^{*3}$	—	—	$\mu s$
SOUT 出力遅延時間	$t_{SD}$	$V_{DD}=2.4\sim 5.5V$	—	—	$100+HSCLK^{*1}\times 3$	ns
		$V_{DD}=1.8\sim 5.5V$	—	—	$200+HSCLK^{*1}\times 3$	ns
SIN 入力セットアップ時間	$t_{SS}$	—	$HSCLK^{*1}\times 1$	—	—	ns
SIN 入力ホールド時間	$t_{SH}$	—	$80+HSCLK^{*1}\times 3$	—	—	ns

\*1: 高速クロックの周期  
\*2: HSCLK×8 以上の入力サイクルが必要  
\*3: HSCLK×4 以上の入力パルス幅が必要



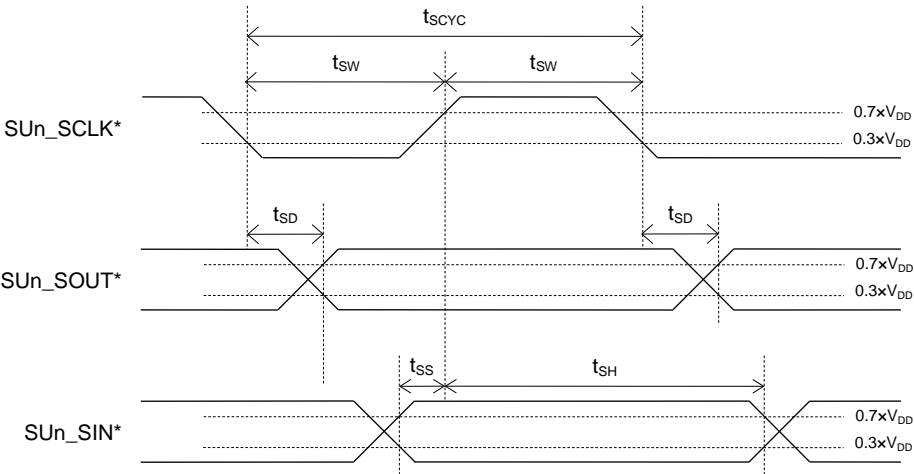
\*: ポートの 2～8 次機能を示す。  
n: 0～1

マスタモード

(特に指定のない場合は,  $V_{DD}=1.8\sim5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim+105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 出力サイクル	$t_{SCYC}$	—	—	$SCLK^{*1}$	—	ns
SCLK 出力パルス幅	$t_{SW}$	—	$SCLK^{*1} \times 0.4$	$SCLK^{*1} \times 0.5$	$SCLK^{*1} \times 0.6$	ns
SOUT 出力遅延時間	$t_{SD}$	$V_{DD}=2.4\sim5.5V$	—	—	100	ns
		$V_{DD}=1.8\sim5.5V$	—	—	160	ns
SIN 入力セットアップ時間	$t_{SS}$	$V_{DD}=2.4\sim5.5V$	120	—	—	ns
		$V_{DD}=1.8\sim5.5V$	180	—	—	ns
SIN 入力ホールド時間	$t_{SH}$	$V_{DD}=2.4\sim5.5V$	80	—	—	ns
		$V_{DD}=1.8\sim5.5V$	100	—	—	ns

\*1: 同期式シリアルポート n モードレジスタ(SIONMOD)のビット 12~8(SnCK4~0)により選択されたクロック周期  
( $V_{DD} \geq 2.4V$  時: min250ns,  $V_{DD} \geq 1.8V$  時: min500ns)



\*: ポートの 2~8 次機能を示す。  
n: 0~1

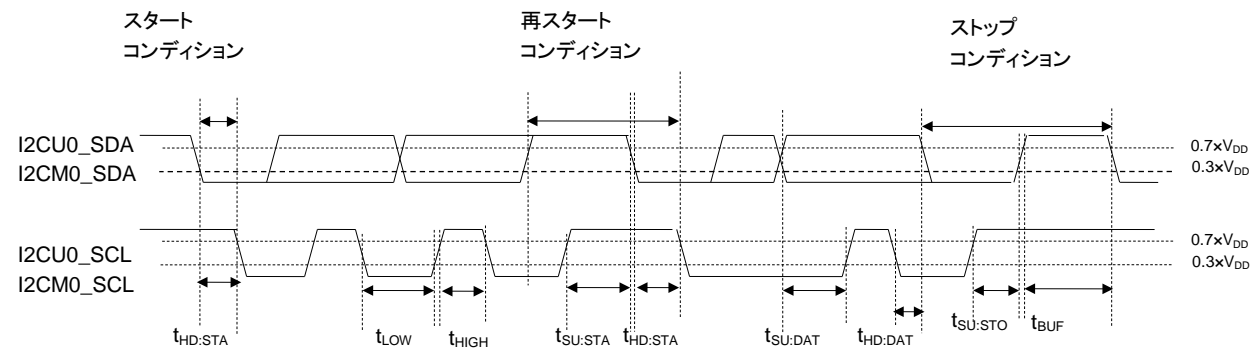
●I<sup>2</sup>C バス・インタフェース特性

標準モード(100kbps)

(特に指定のない場合は, V<sub>DD</sub> = 1.8~5.5V, V<sub>SS</sub> = 0V, Ta=-40~+105℃)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f <sub>SCL</sub>	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	t <sub>HD:STA</sub>	—	4.0	—	—	μs
SCL “L”レベル時間	t <sub>LOW</sub>	—	4.7	—	—	μs
SCL “H”レベル時間	t <sub>HIGH</sub>	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t <sub>SU:STA</sub>	—	4.7	—	—	μs
SDA ホールド時間	t <sub>HD:DAT</sub>	—	0	—	—	μs
SDA セットアップ時間	t <sub>SU:DAT</sub>	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t <sub>SU:STO</sub>	—	4.0	—	—	μs
バスフリー時間	t <sub>BUF</sub>	—	4.7	—	—	μs

I<sup>2</sup>C バスマスタとして使用する場合は, 上記規格値を守るようにI<sup>2</sup>C マスタ0 モードレジスタ(I2M0MOD), I<sup>2</sup>C バス0 モードレジスタ(マスタ側)(I2UM0MOD)を設定してください



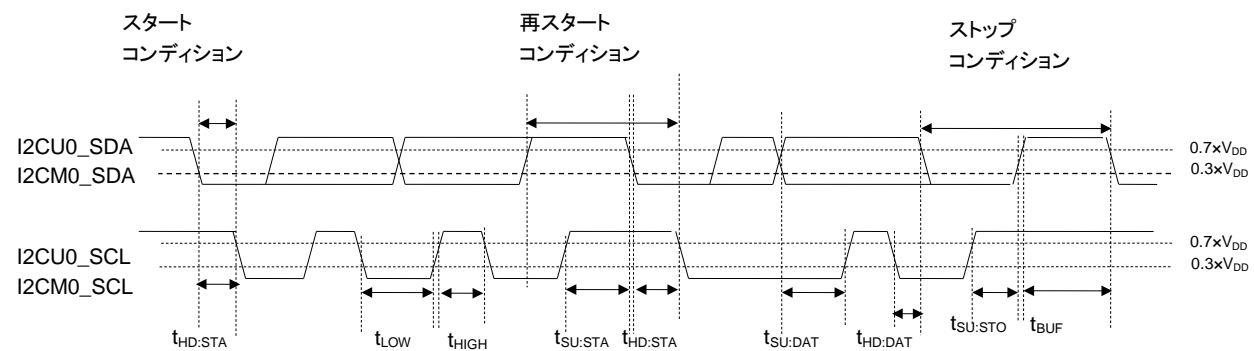


ファストモード (400kbps)

(特に指定のない場合は,  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	$f_{SCL}$	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.6	—	—	$\mu s$
SCL “L”レベル時間	$t_{LOW}$	—	1.3	—	—	$\mu s$
SCL “H”レベル時間	$t_{HIGH}$	—	0.6	—	—	$\mu s$
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.6	—	—	$\mu s$
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	$\mu s$
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	$\mu s$
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	$\mu s$
バスフリー時間	$t_{BUF}$	—	1.3	—	—	$\mu s$

I<sup>2</sup>C バスマスタとして使用する場合は, 上記規格値を守るようにI<sup>2</sup>C マスタ0 モードレジスタ(I2M0MOD), I<sup>2</sup>C バス0 モードレジスタ(マスタ側) (I2UM0MOD)を設定してください

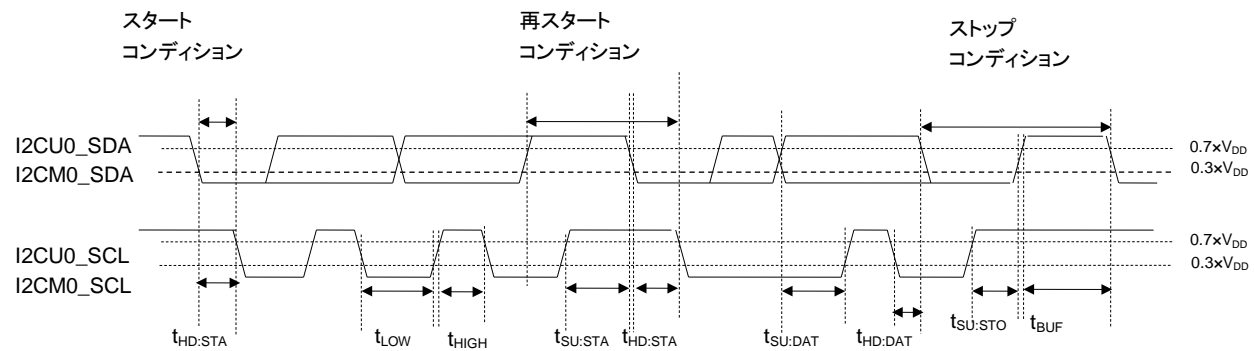


1Mbps モード

(特に指定のない場合は,  $V_{DD} = 2.7 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	$f_{SCL}$	—	0	—	1000	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.26	—	—	$\mu s$
SCL “L”レベル時間	$t_{LOW}$	—	0.5	—	—	$\mu s$
SCL “H”レベル時間	$t_{HIGH}$	—	0.26	—	—	$\mu s$
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.26	—	—	$\mu s$
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	$\mu s$
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	$\mu s$
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.26	—	—	$\mu s$
バスフリー時間	$t_{BUF}$	—	0.5	—	—	$\mu s$

I<sup>2</sup>C バスマスタとして使用する場合は, 上記規格値を守るようにI<sup>2</sup>C マスタ0 モードレジスタ(I2M0MOD), I<sup>2</sup>C バス0 モードレジスタ(マスタ側) (I2UM0MOD)を設定してください



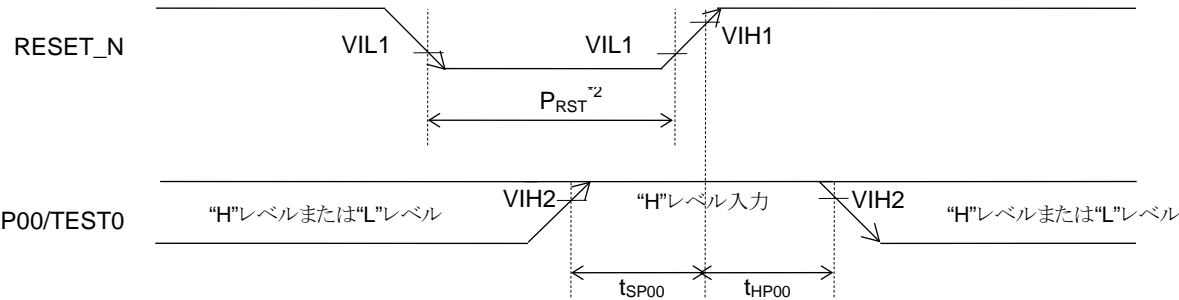
●リセット特性

(特に指定のない場合は、 $V_{DD}=1.6\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
リセット有効時間 <sup>*2</sup>	$P_{RST}$	—	2	—	—	ms	1
P00“H”レベル セットアップ時間 <sup>*1</sup>	$t_{SP00}$	—	1	—	—	ms	
P00“H”レベル ホールド時間 <sup>*1</sup>	$t_{HP00}$	—	1	—	—	ms	

<sup>\*1</sup>:ISP モード時以外の規定です。ISP モード時のタイミングはユーザーズマニュアル“25.4 In-System Programing 機能”を参照ください。

<sup>\*2</sup>: 電源投入時は、 $V_{DD}=1.6V$  以上になってからの時間です。

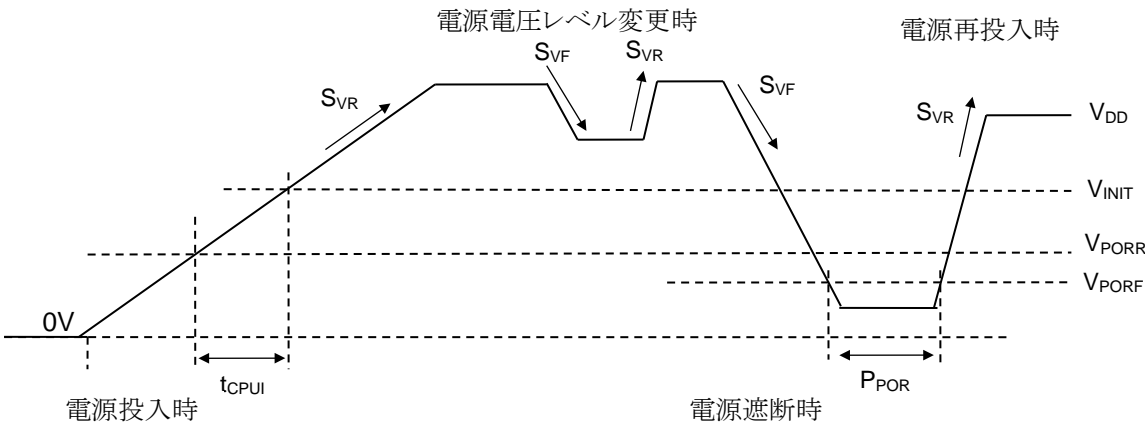


【注意】

- リセット端子にリセット有効時間( $P_{RST}$ )より短いパルスが入ると予期しない動作をする可能性があります。リセット有効時間より短いパルスが入らないようにしてください。

●電源傾きおよびパワーオンリセット特性

(特に指定のない場合は V <sub>SS</sub> =0V, Ta=-40~+105 °C)							
項 目	記 号	条 件	規 格 値			単 位	測 定 回 路
			Min.	Typ.	Max.		
電源立ち上がり傾き	S <sub>VR</sub>	—	—	—	60	V/ms	1
電源立ち下がり傾き	S <sub>VF</sub>	—	—	—	2	V/ms	
パワーオンリセット 判定電圧	V <sub>PORR</sub>	電源立ち上がり時	1.47	1.57	1.80	V	
	V <sub>PORF</sub>	電源立ち下がり時	1.33	1.49	1.58	V	
パワーオンリセット 最小パルス幅	P <sub>POR</sub>	—	200	—	—	μs	
電源投入時電圧	V <sub>INIT</sub>	パワーオン時	1.8	—	—	V	—
CPU 動作開始時時間 (リセット解除から CPU が 動作開始するまでの時間)	t <sub>CPUi</sub>	—	11	16	—	ms	



【注意】

- 電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。
- V<sub>DD</sub> が動作電圧範囲内になってから高速クロックを起動してください。

## ●VLS 特性

(特に指定のない場合は,  $V_{DD}=1.6\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項 目	記 号	条 件		規 格 値			単位	測定 回路
		VLS0LV <sup>*1</sup>	電源電圧	Min.	Typ.	Max.		
VLS 判定電圧 <sup>*2</sup>	$V_{VLSR}$	00H	上昇時	3.86	4.06	4.26	V	1
	$V_{VLSF}$		降下時	3.84	4.00	4.16		
	$V_{VLSR}$	01H	上昇時	3.57	3.76	3.95		
	$V_{VLSF}$		降下時	3.55	3.70	3.85		
	$V_{VLSR}$	02H	上昇時	2.94	3.11	3.28		
	$V_{VLSF}$		降下時	2.92	3.05	3.18		
	$V_{VLSR}$	03H	上昇時	2.85	3.01	3.17		
	$V_{VLSF}$		降下時	2.83	2.95	3.07		
	$V_{VLSR}$	04H	上昇時	2.75	2.91	3.07		
	$V_{VLSF}$		降下時	2.73	2.85	2.97		
	$V_{VLSR}$	05H	上昇時	2.66	2.81	2.96		
	$V_{VLSF}$		降下時	2.64	2.75	2.86		
	$V_{VLSR}$	06H	上昇時	2.56	2.71	2.86		
	$V_{VLSF}$		降下時	2.54	2.65	2.76		
	$V_{VLSR}$	07H	上昇時	2.46	2.61	2.76		
	$V_{VLSF}$		降下時	2.44	2.55	2.66		
	$V_{VLSR}$	08H	上昇時	2.37	2.51	2.65		
	$V_{VLSF}$		降下時	2.35	2.45	2.55		
	$V_{VLSR}$	09H	上昇時	1.98	2.11	2.24		
	$V_{VLSF}$		降下時	1.96	2.05	2.14		
	$V_{VLSR}$	0AH	上昇時	1.89	2.01	2.13		
	$V_{VLSF}$		降下時	1.87	1.95	2.03		
	$V_{VLSR}$	0BH	上昇時	1.79	1.91	2.03		
	$V_{VLSF}$		降下時	1.77	1.85	1.93		
VLS 消費電流	$I_{VLS}$	—		—	50	—	nA	

<sup>\*1</sup>: 電圧レベル監視機能 0 レベルレジスタ(VLS0LV)のビット 3～ビット 0<sup>\*2</sup>: VLS 判定電圧の VLS0LV=0CH~0FH は設定禁止です。

## ●アナログコンパレータ特性

(特に指定のない場合は,  $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
コンパレータ 同相入力電圧範囲	$V_{CMR}$	—	0.1	—	$V_{DD}$ -1.5	V	1
コンパレータ 入力オフセット	$V_{CMOF}$	$T_a=+25\text{ }^{\circ}C$ , $V_{DD}=5.0V$	—	5	—	mV	
コンパレータ 基準電圧	$V_{CMREF}$	—	0.75	0.8	0.85	V	

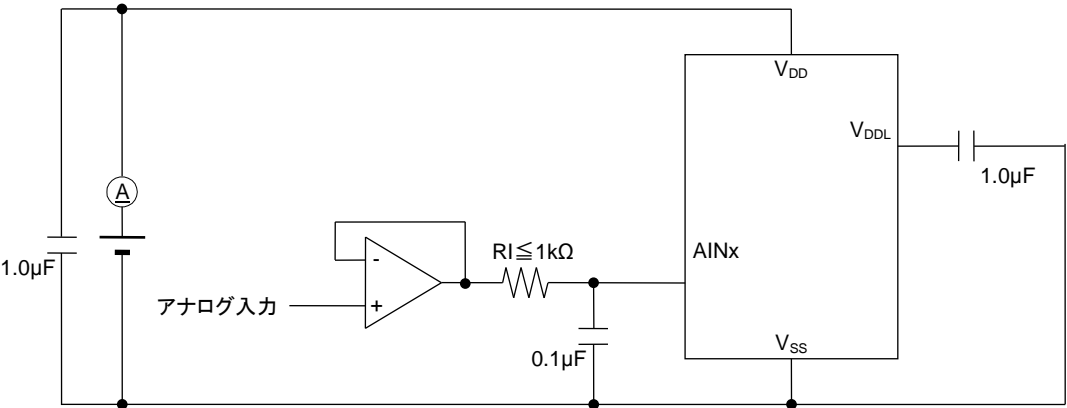
● 逐次比較型 A/D コンバータ特性

(特に指定のない場合は,  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim +105\text{ }^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	$n_{AD}$	—	—	—	10	ビット
総合誤差	—	$4.5V \leq SA\text{-}ADC \text{ 基準電圧}^{*1} \leq 5.5V$	-3.5	1.2	3.5	LSB
積分非直線性誤差	$INL_{AD}$	$2.7V \leq SA\text{-}ADC \text{ 基準電圧}^{*1} \leq 5.5V$	-4	—	4	LSB
		$2.2V \leq SA\text{-}ADC \text{ 基準電圧}^{*1} < 2.7V$	-6	—	6	
		$1.8V \leq SA\text{-}ADC \text{ 基準電圧}^{*1} < 2.2V$	-10	—	10	
		SA-ADC 基準電圧=内部基準電圧 ( $V_{REFI}$ )	-15	—	15	
微分非直線性誤差	$DNL_{AD}$	$2.7V \leq SA\text{-}ADC \text{ 基準電圧}^{*1} \leq 5.5V$	-3	—	3	
		$2.2V \leq SA\text{-}ADC \text{ 基準電圧}^{*1} < 2.7V$	-5	—	5	
		$1.8V \leq SA\text{-}ADC \text{ 基準電圧}^{*1} < 2.2V$	-9	—	9	
		SA-ADC 基準電圧=内部基準電圧 ( $V_{REFI}$ )	-14	—	14	
ゼロスケール誤差	ZSE	$RI \leq 1k\Omega$	-6	—	6	
フルスケール誤差	FSE	$RI \leq 1k\Omega$	-6	—	6	
A/D リファレンス電圧	$V_{REF}$	—	1.8	—	$V_{DD}$	V
内部発生基準電圧	$V_{REFI}$	—	1.5	1.55	1.6	
変換時間	$t_{CONV}$	$4.5V \leq V_{DD} \leq 5.5V$	2.25	—	427	$\mu s$
		$2.2V \leq V_{DD} \leq 5.5V$	4.5	—	427	
		$1.8V \leq V_{DD} \leq 5.5V$	18	—	427	

\*1:  $V_{DD}$ , P23/ $V_{REF}$  を SA-ADC の基準電圧に選択した場合です。

SA-ADC サンプリング中にはコンデンサに充電するために電流が流れます。十分にサンプリングするためには, アナログ入力源の出力インピーダンスを  $1\text{ }k\Omega$  以下にしてください。また, ノイズを低減するために  $0.1\mu F$  程度のコンデンサを付けることを推奨します。



●D/A コンバータ特性

(特に指定のない場合は、 $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
分解能	$n_{DA}$	—	—	—	8	ビット
変換周期	$t_c$	—	10	—	—	$\mu s$
積分非直線性誤差	$INL_{DA}$	$RL=4M\Omega$	-2	—	2	LSB
微分非直線性誤差	$DNL_{DA}$	$RL=4M\Omega$	-1	—	1	
出力インピーダンス	$R_o$	—	3	6	9	k $\Omega$

●リファレンス電圧出力特性

(特に指定のない場合は、 $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim +105^{\circ}C$ )

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
出力電圧値	$V_{REFO}$	—	—	1.55	—	V
出力インピーダンス	$R_{VREFO}$	—	—	—	500	k $\Omega$

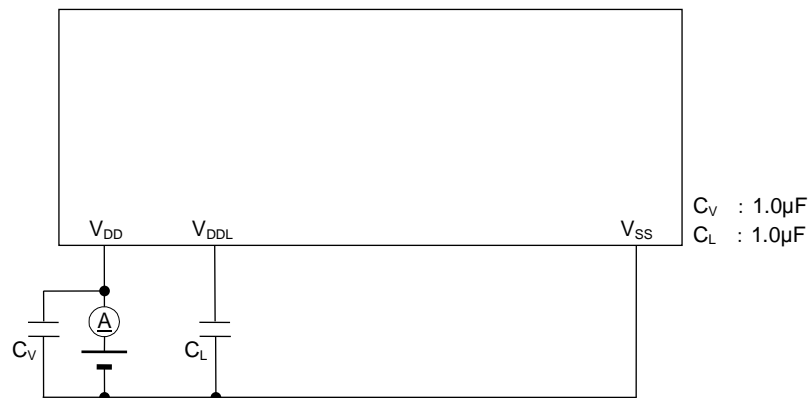
●フラッシュ・メモリ動作条件

( $V_{SS} = 0V$ )

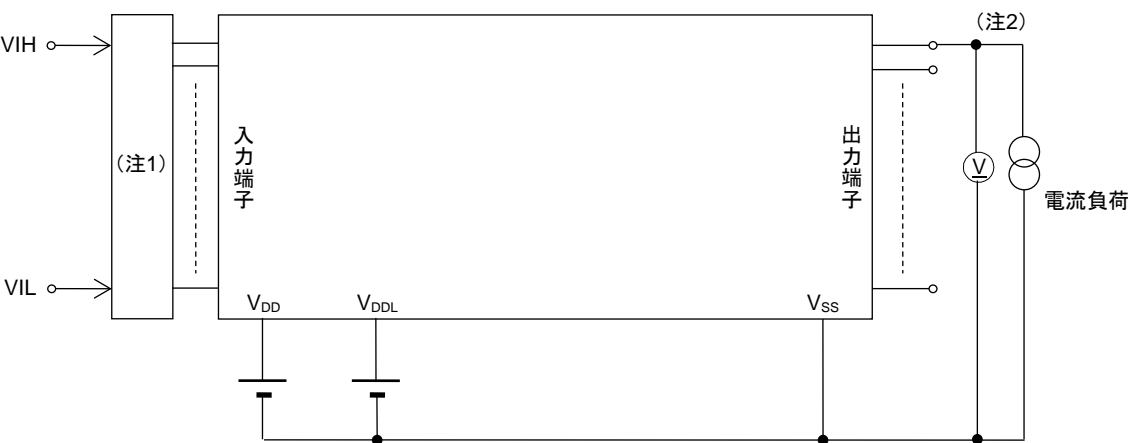
項 目	記 号	条 件		範 囲	単 位
動作温度(周囲)	$T_a$	データ領域:書き込み／消去時		-40~+85	$^{\circ}C$
		プログラム領域:書き込み／消去時		0~+40	
動作電圧	$V_{DD}$	書き込み／消去時		1.8~5.5	V
書き換え回数	CEPD	データ領域		10000	回
	CEPP	プログラム領域		100	
消去単位	—	ブロック消去	プログラム領域	16K	B
			データ領域	全領域	
	—	セクタ消去	プログラム領域	1K	B
			データ領域	128	
消去時間(最大)	—	ブロック消去/ セクタ消去		50	ms
書き込み単位	—	プログラム領域		4	B
		データ領域		1	
書き込み時間(最大)	—	プログラム領域		80	$\mu s$
	—	データ領域		40	
データ保持年数	YDR	—		15	年

●測定回路

測定回路 1

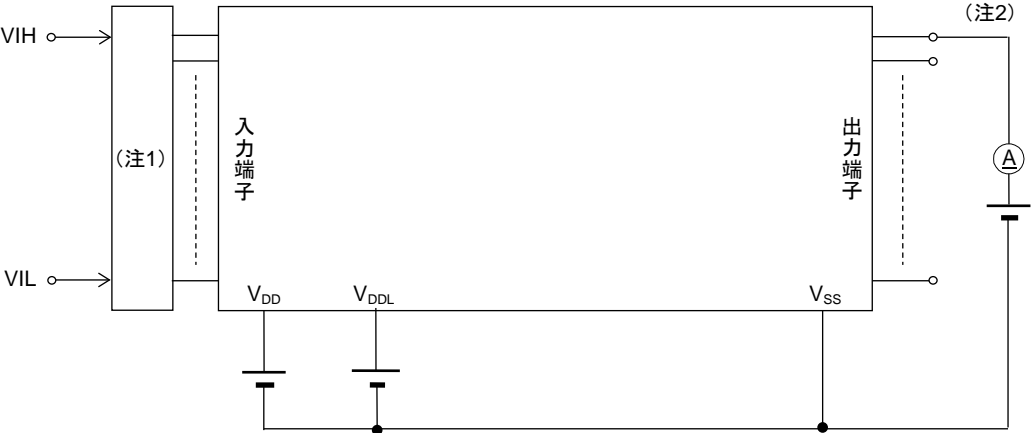


測定回路 2



(注1) 指定の状態にする入力ロジック  
(注2) 対象の端子に接続して測定する

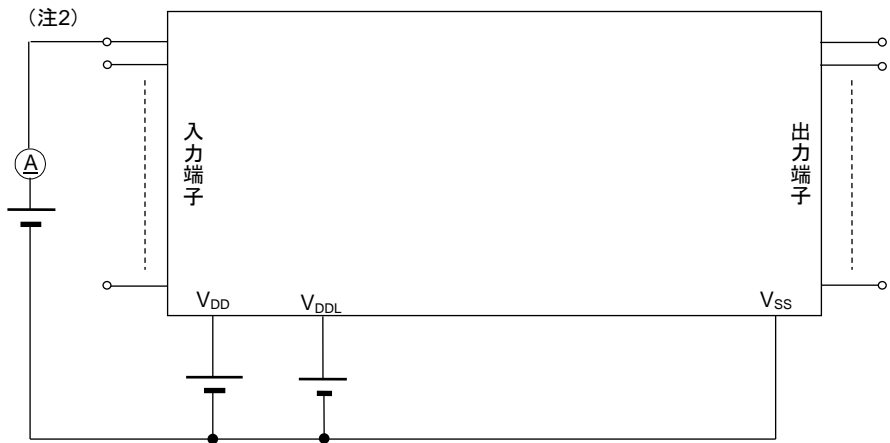
測定回路 3



(注1) 指定の状態にする入力ロジック  
(注2) 対象の端子に接続して測定する

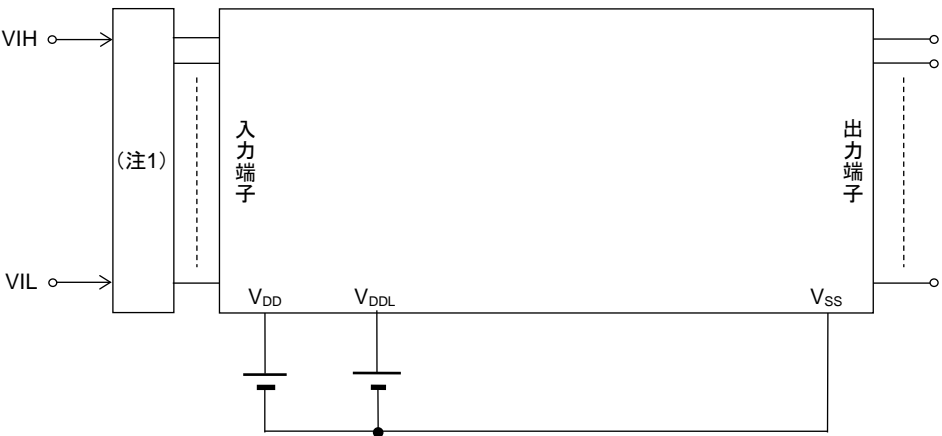


測定回路 4



(注2) 対象の端子に接続して測定する

測定回路 5

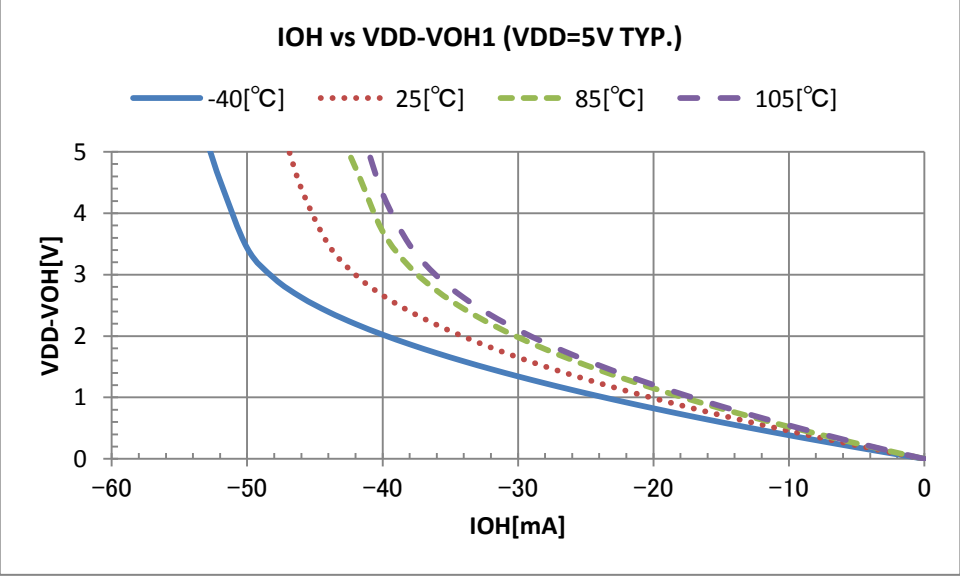


(注1) 指定の状態にする入力ロジック

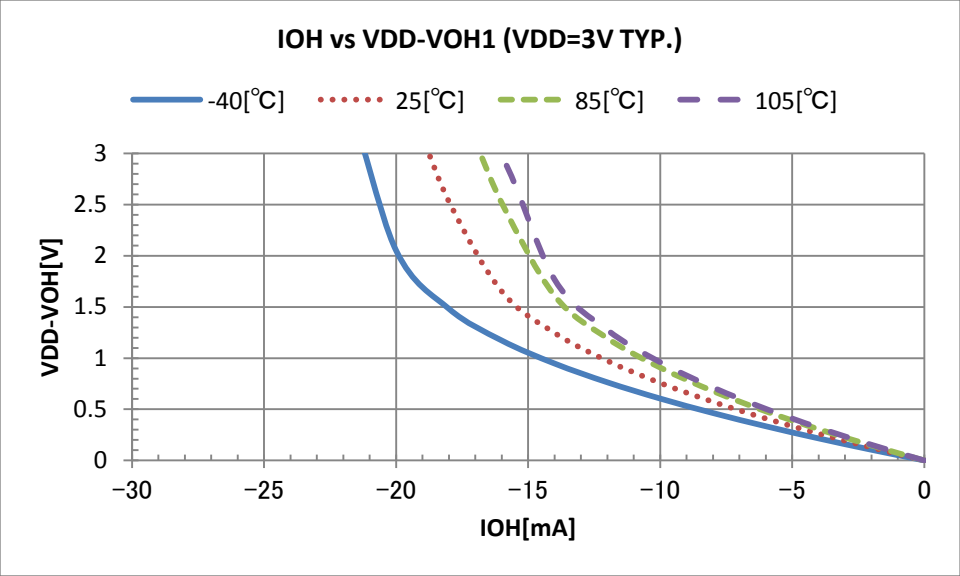
●ML62Q1300 特性グラフ

これらのグラフは、アプリケーション設計のための参考値です。  
These Graphs are reference for designing an application.

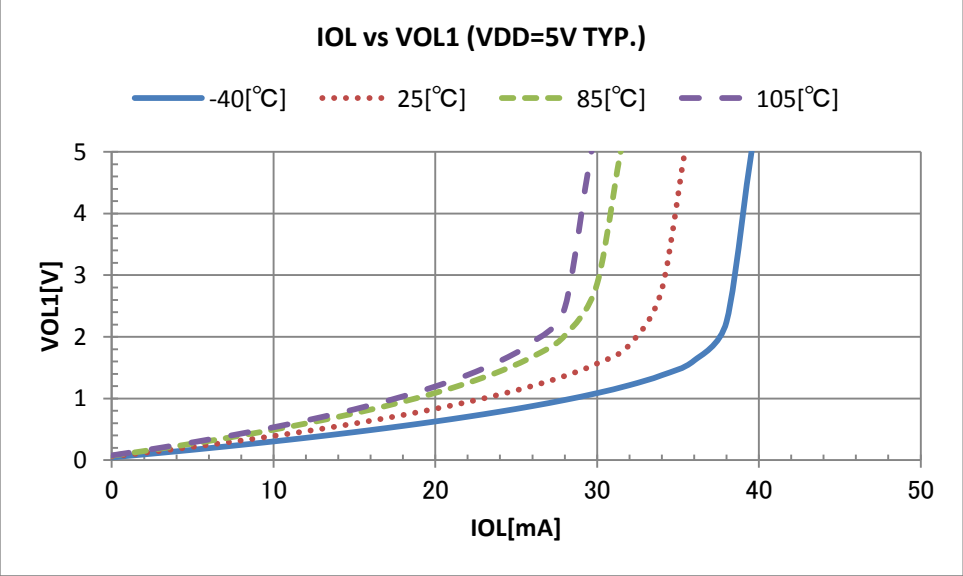
IOH vs.  $V_{DD}-VOH1$  ( $V_{DD}=5V$  Typ.)



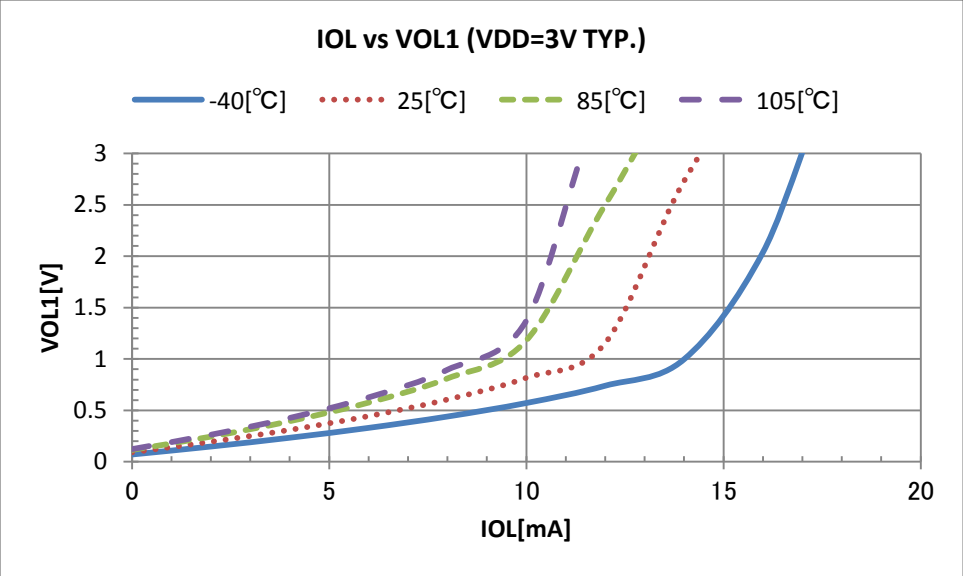
IOH vs.  $V_{DD}-VOH1$  ( $V_{DD}=3V$  Typ.)



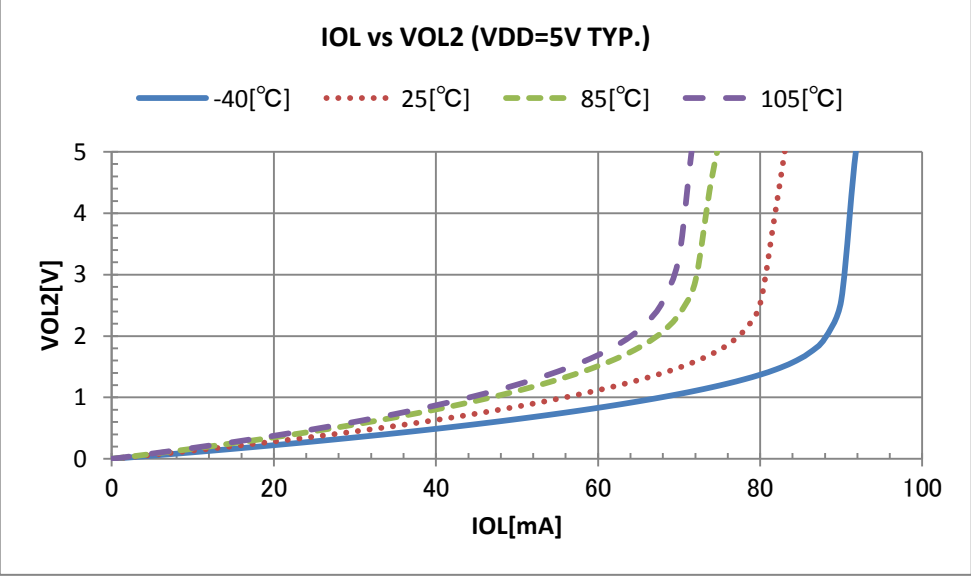
IOL vs. VOL1 (V<sub>DD</sub>=5V Typ.)



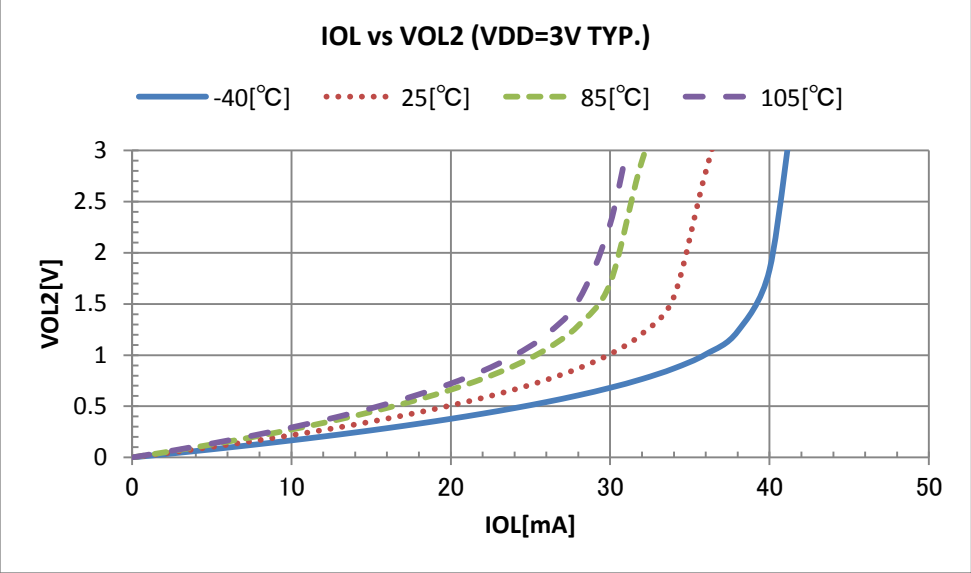
IOL vs. VOL1 (V<sub>DD</sub>=3V Typ.)



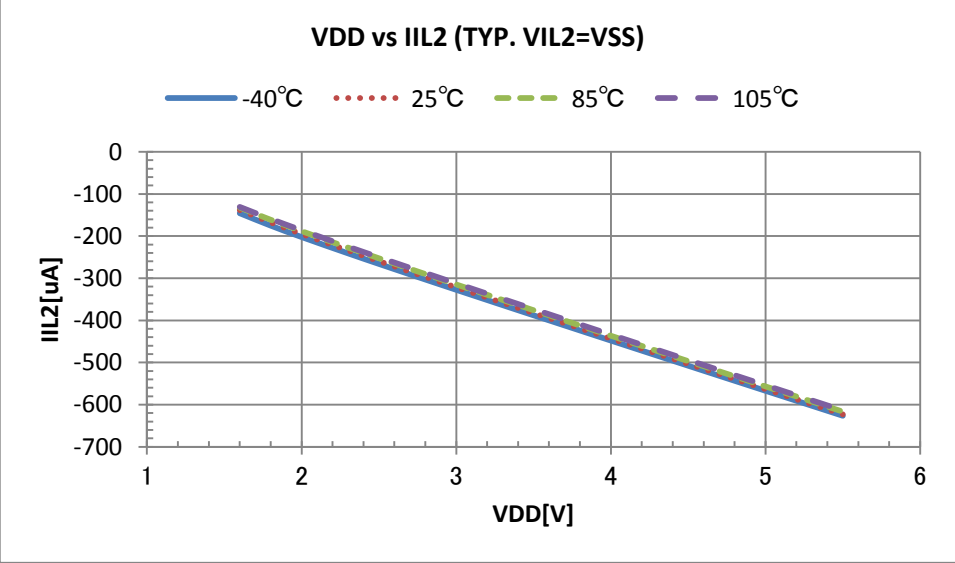
IOL vs. VOL2 (V<sub>DD</sub>=5V Typ.)



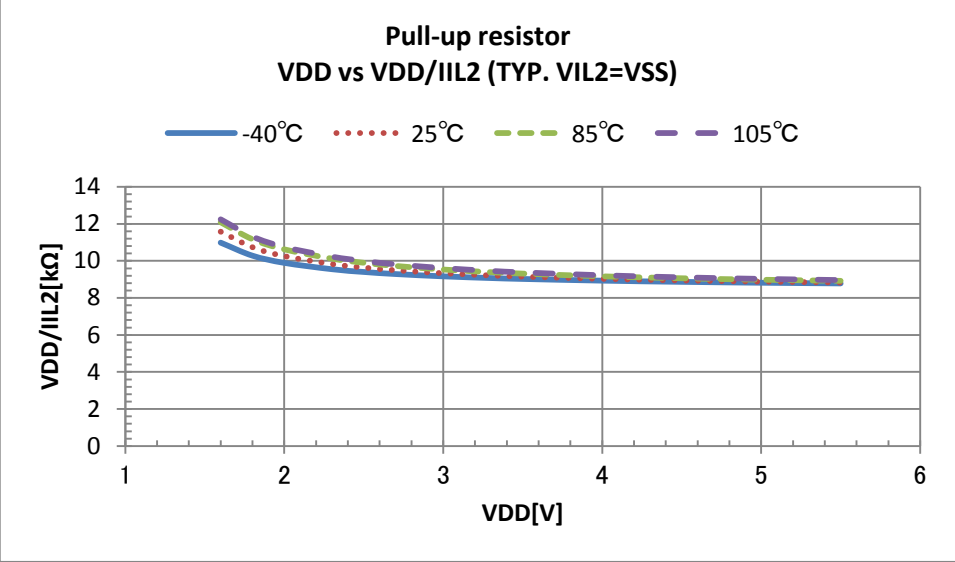
IOL vs. VOL2 (V<sub>DD</sub>=3V Typ.)



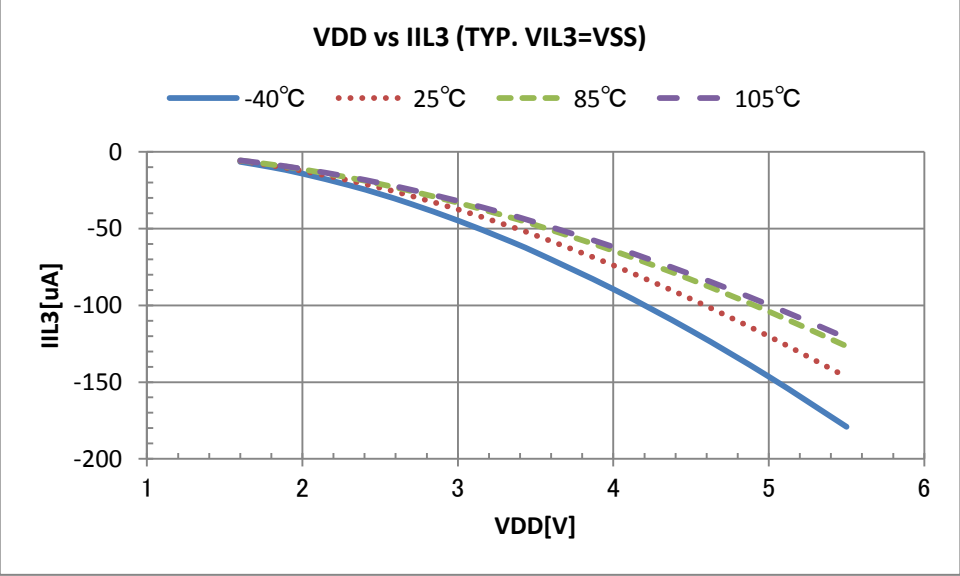
V<sub>DD</sub> vs. I<sub>IL2</sub> (Typ. V<sub>IL2</sub>=V<sub>SS</sub>)



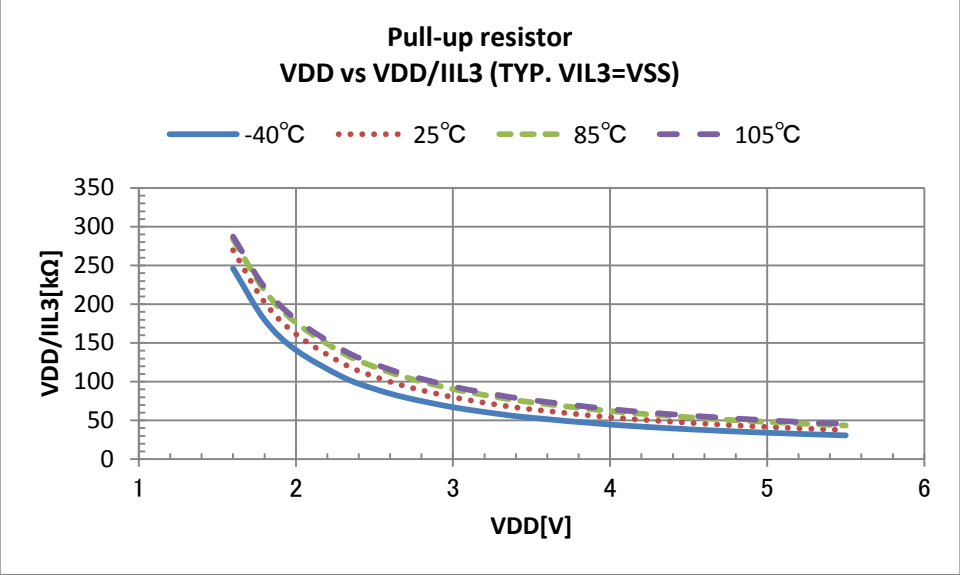
Pull-up resistor  
V<sub>DD</sub> vs. V<sub>DD</sub>/I<sub>IL2</sub> (Typ. V<sub>IL2</sub>=V<sub>SS</sub>)



V<sub>DD</sub> vs. I<sub>IL3</sub> (Typ. V<sub>IL3</sub>=V<sub>SS</sub>)

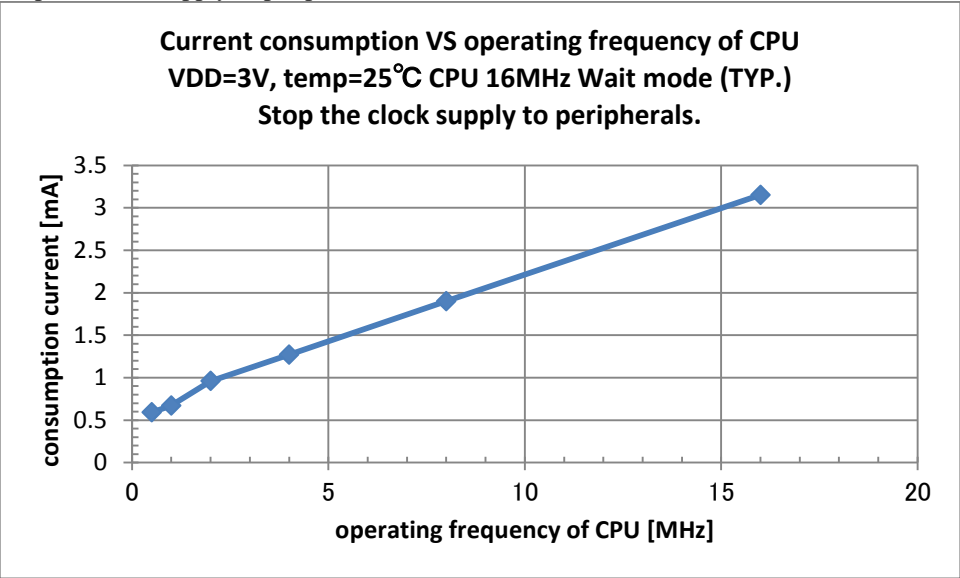


Pull-up resistor  
V<sub>DD</sub> vs. V<sub>DD</sub>/I<sub>IL3</sub> (Typ. V<sub>IL3</sub>=V<sub>SS</sub>)

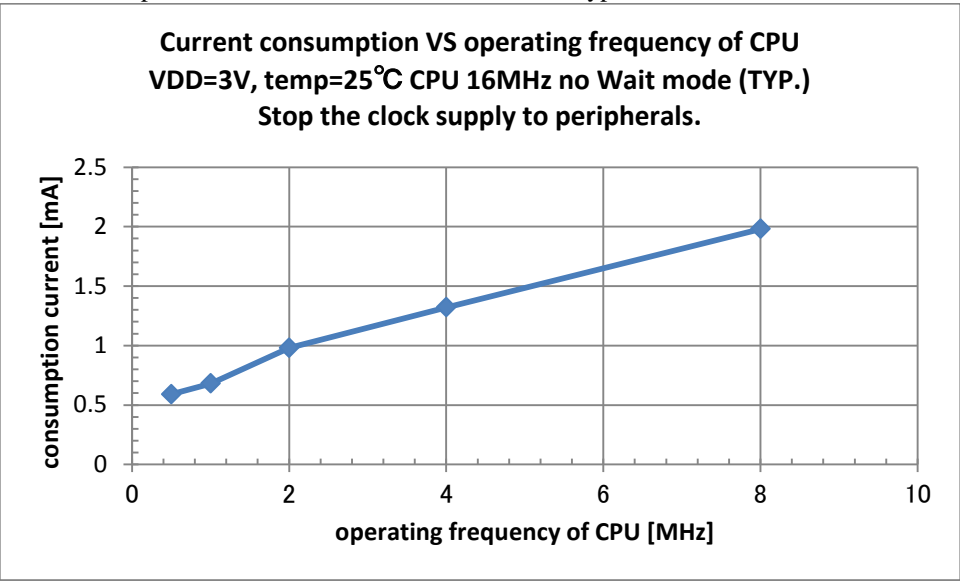


対象商品： ML62Q1323, ML62Q1324, ML62Q1325, ML62Q1333, ML62Q1334, ML62Q1335

Current consumption vs. operating frequency of CPU  
V<sub>DD</sub>=3V, temp=+25 °C CPU 16MHz Wait mode (Typ.)  
Stop the clock supply to peripherals.



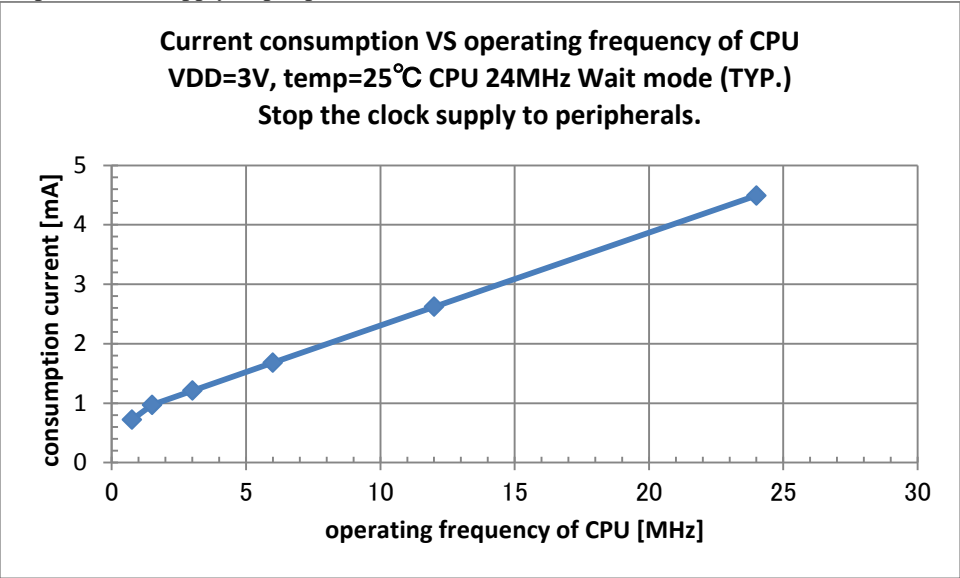
V<sub>DD</sub>=3V, temp=+25 °C CPU 16MHz no Wait mode (Typ.)



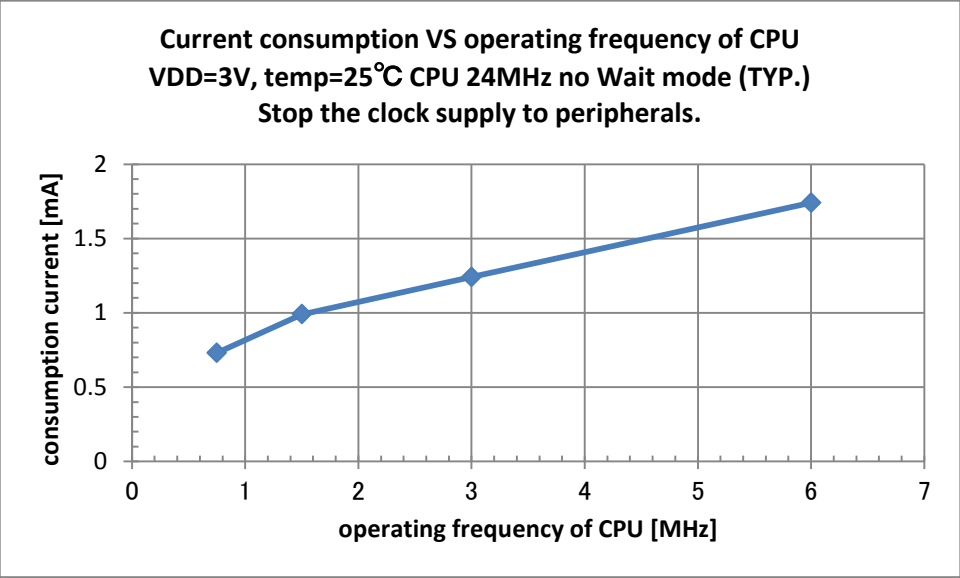


対象商品： ML62Q1323, ML62Q1324, ML62Q1325, ML62Q1333, ML62Q1334, ML62Q1335

Current consumption vs. operating frequency of CPU  
V<sub>DD</sub>=3V, temp=+25 °C CPU 24MHz Wait mode (Typ.)  
Stop the clock supply to peripherals.



V<sub>DD</sub>=3V, temp=+25 °C CPU 24MHz no Wait mode (Typ.)

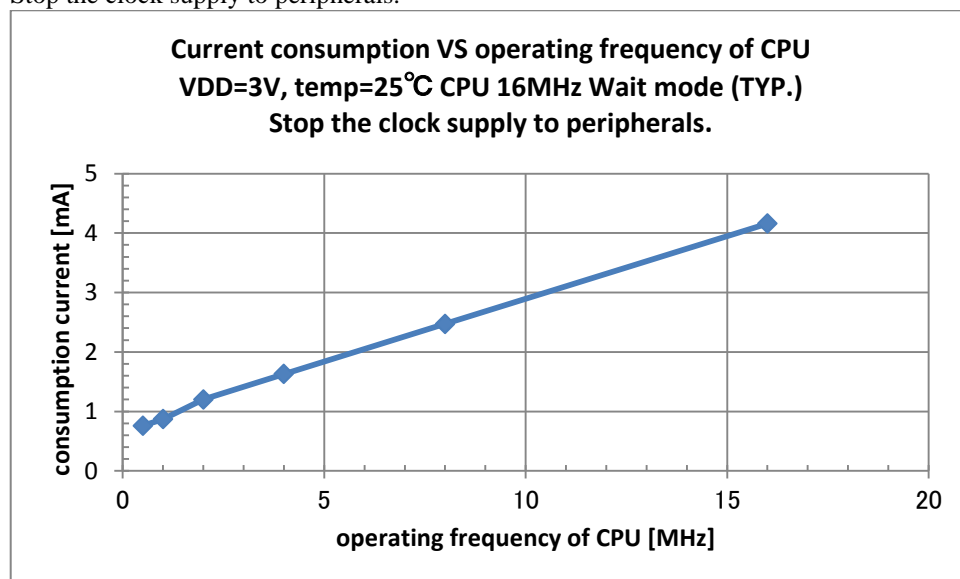


対象商品: ML62Q1345, ML62Q1346, ML62Q1347, ML62Q1365, ML62Q1366, ML62Q1367

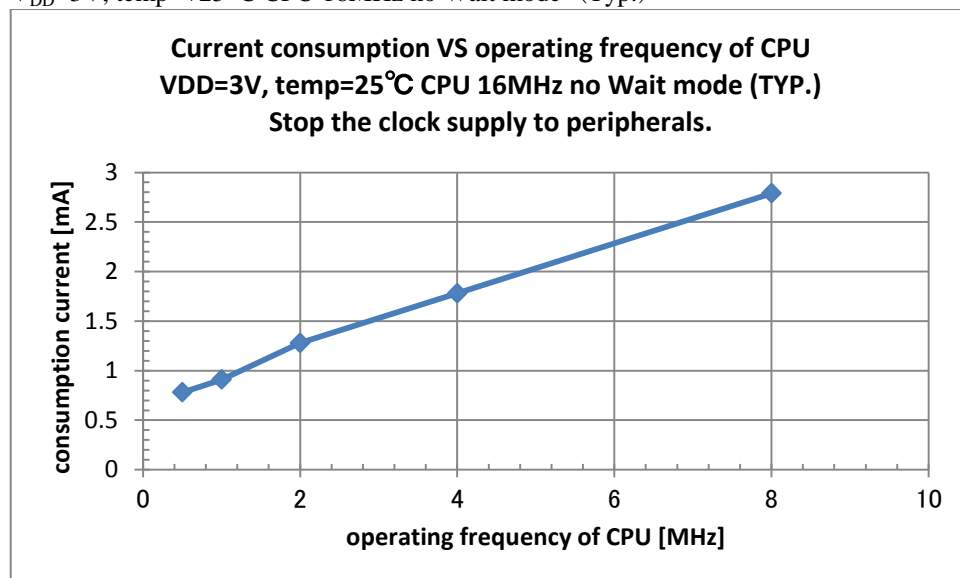
Current consumption vs. operating frequency of CPU

$V_{DD}=3V$ , temp= $+25^{\circ}C$  CPU 16MHz Wait mode (Typ.)

Stop the clock supply to peripherals.

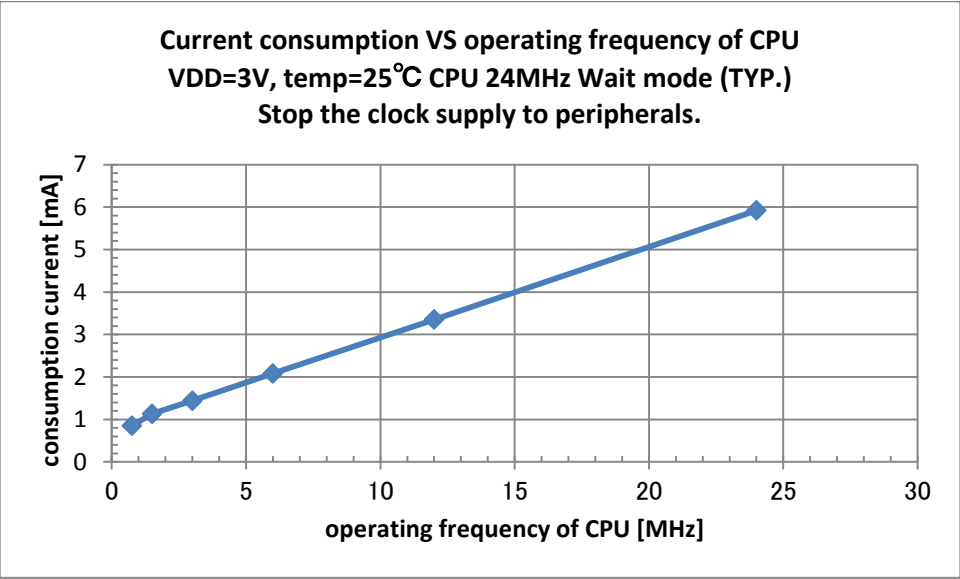


$V_{DD}=3V$ , temp= $+25^{\circ}C$  CPU 16MHz no Wait mode (Typ.)

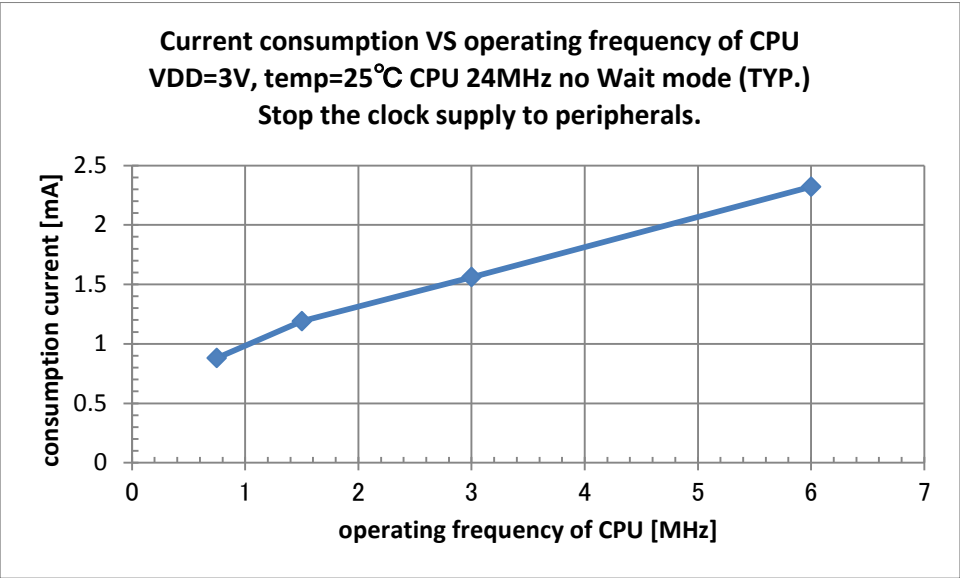


対象商品： ML62Q1345, ML62Q1346, ML62Q1347, ML62Q1365, ML62Q1366, ML62Q1367

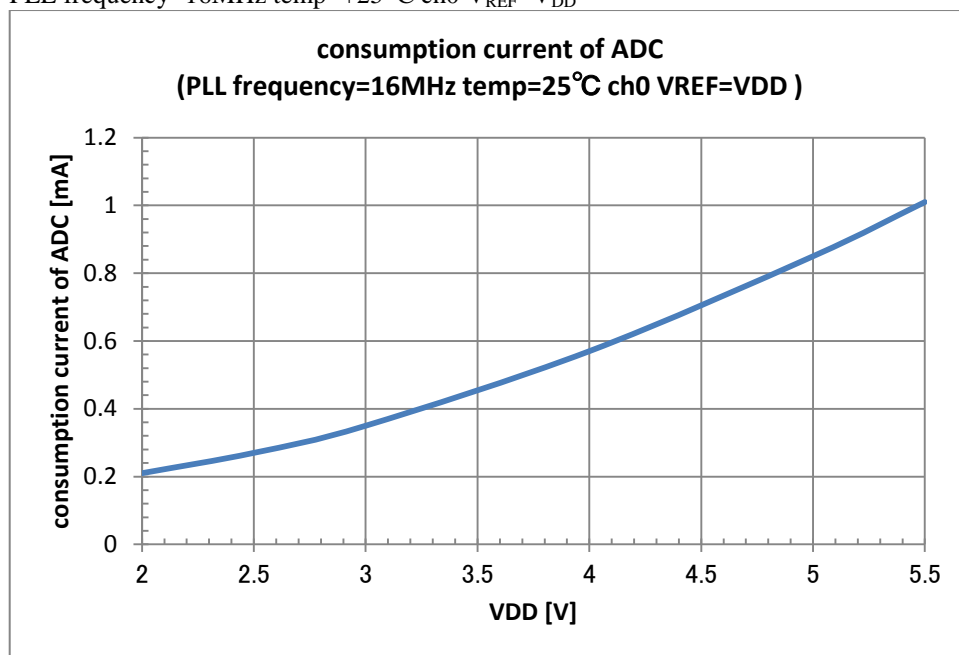
Current consumption vs. operating frequency of CPU  
V<sub>DD</sub>=3V, temp=+25 °C CPU 24MHz Wait mode (Typ.)  
Stop the clock supply to peripherals.



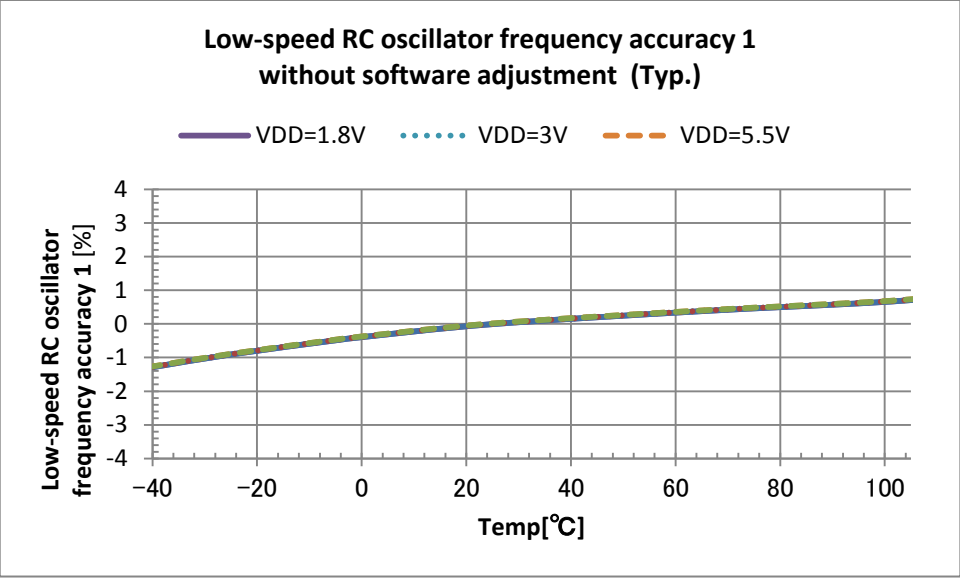
V<sub>DD</sub>=3V, temp=+25 °CCPU 24MHz no Wait mode (Typ.)



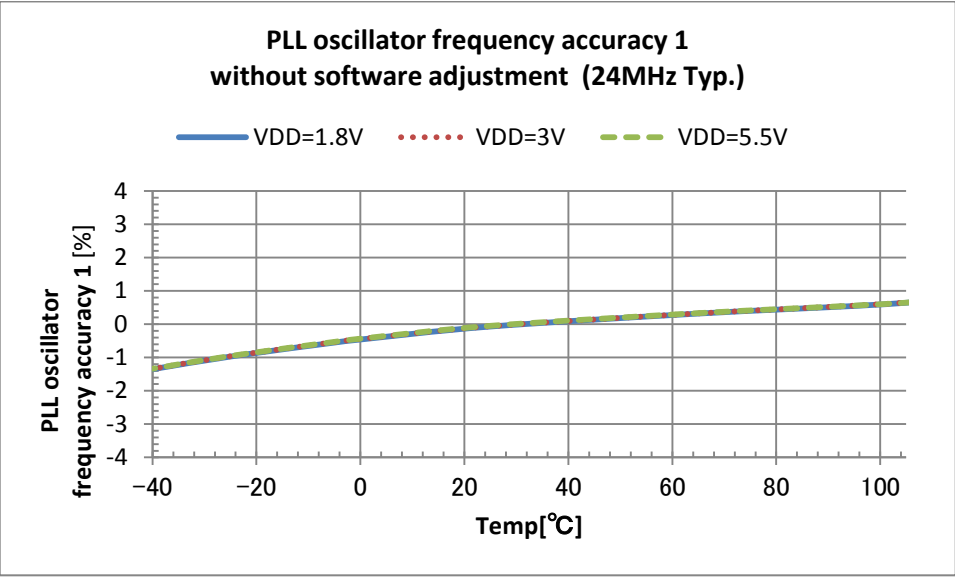
Consumption current of ADC vs. operating voltage  
PLL frequency=16MHz temp=+25°C ch0  $V_{REF}=V_{DD}$



TEMP VS Low-speed RC oscillator frequency accuracy 1  
without software adjustment (Typ.)

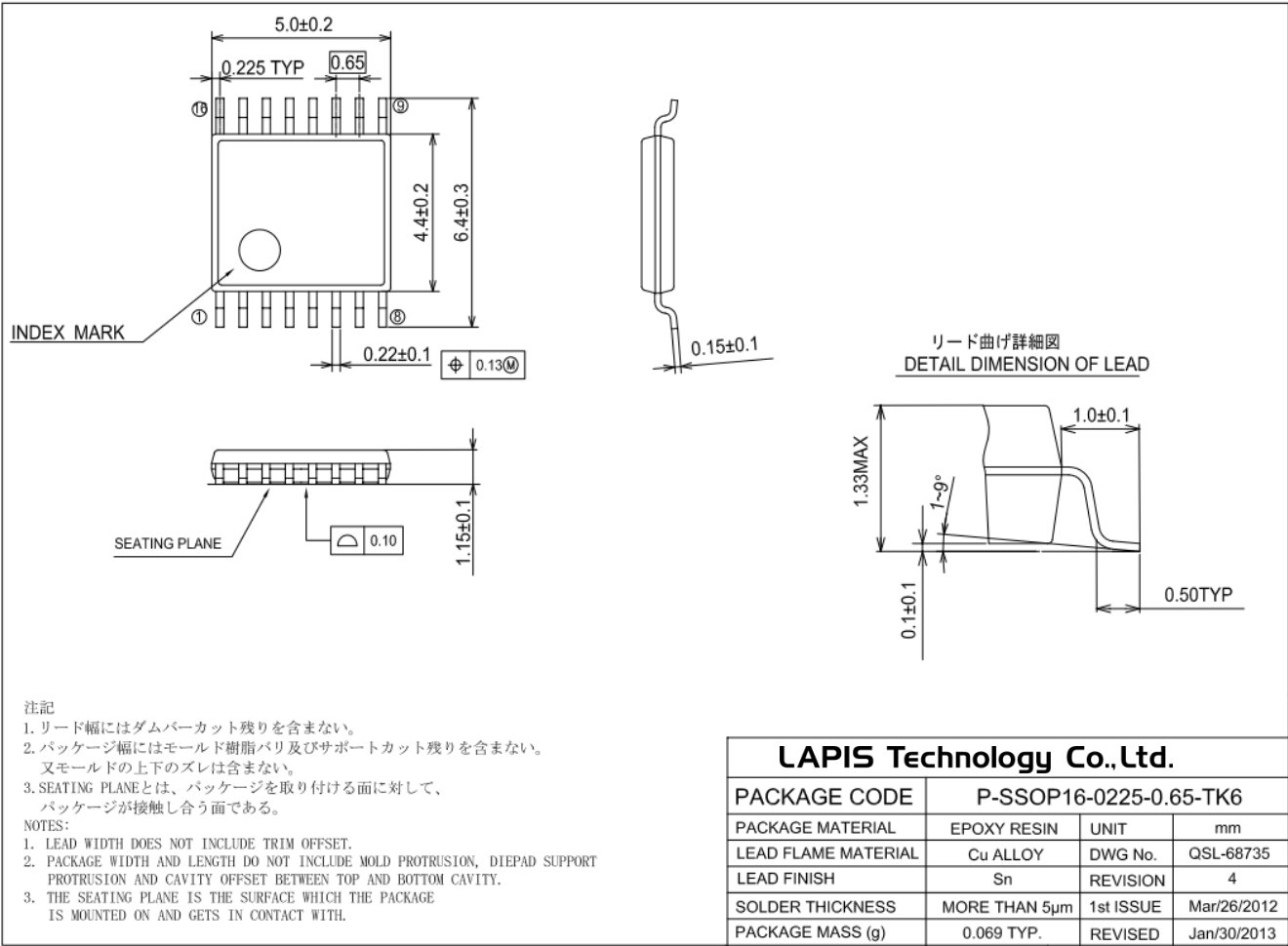


TEMP VS PLL oscillator frequency accuracy 1  
without software adjustment (24MHz Typ.)



■パッケージ寸法図

●ML62Q1323／1324／1325 16ピン SSOP パッケージの寸法図

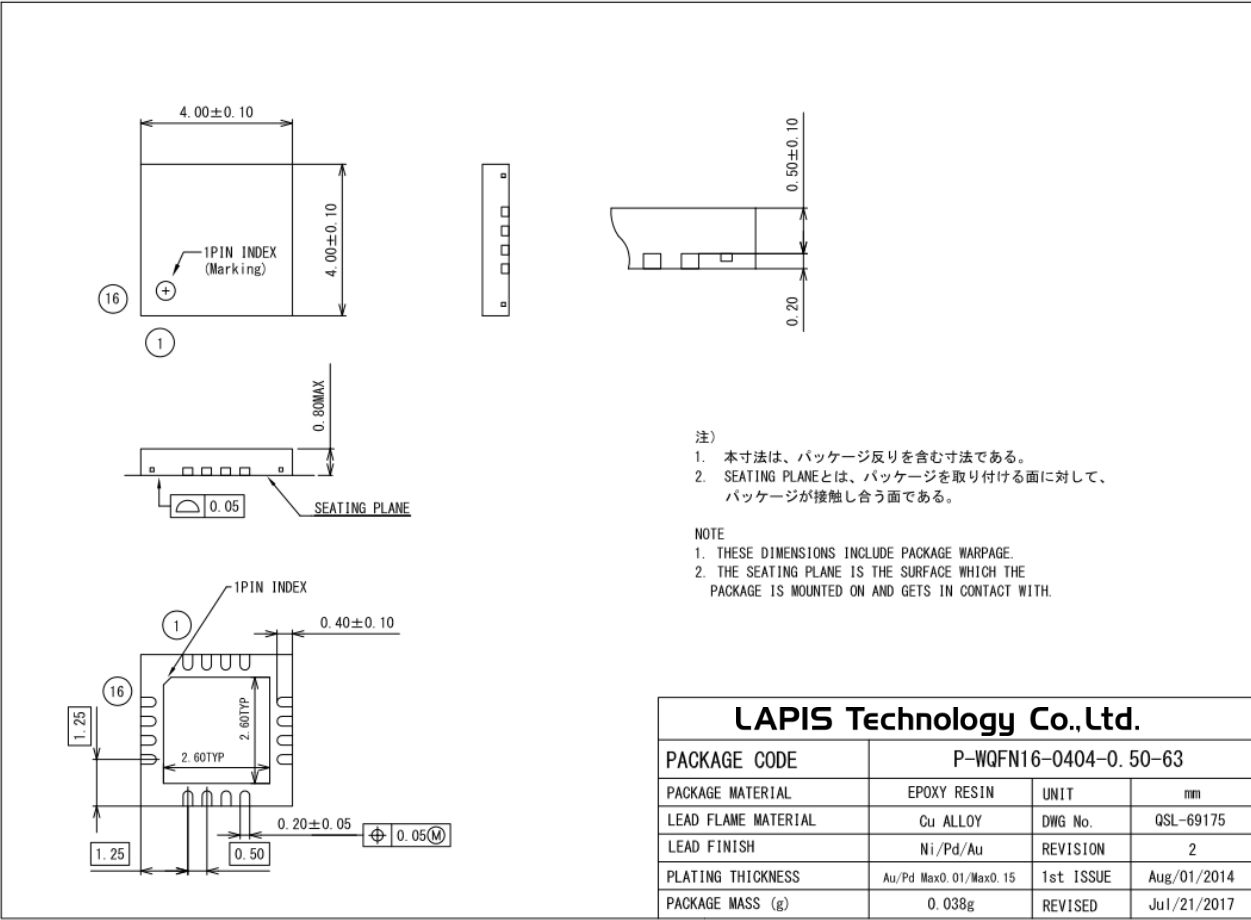


(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●ML62Q1323／1324／1325 16ピン WQFN パッケージの寸法図



(単位: mm)

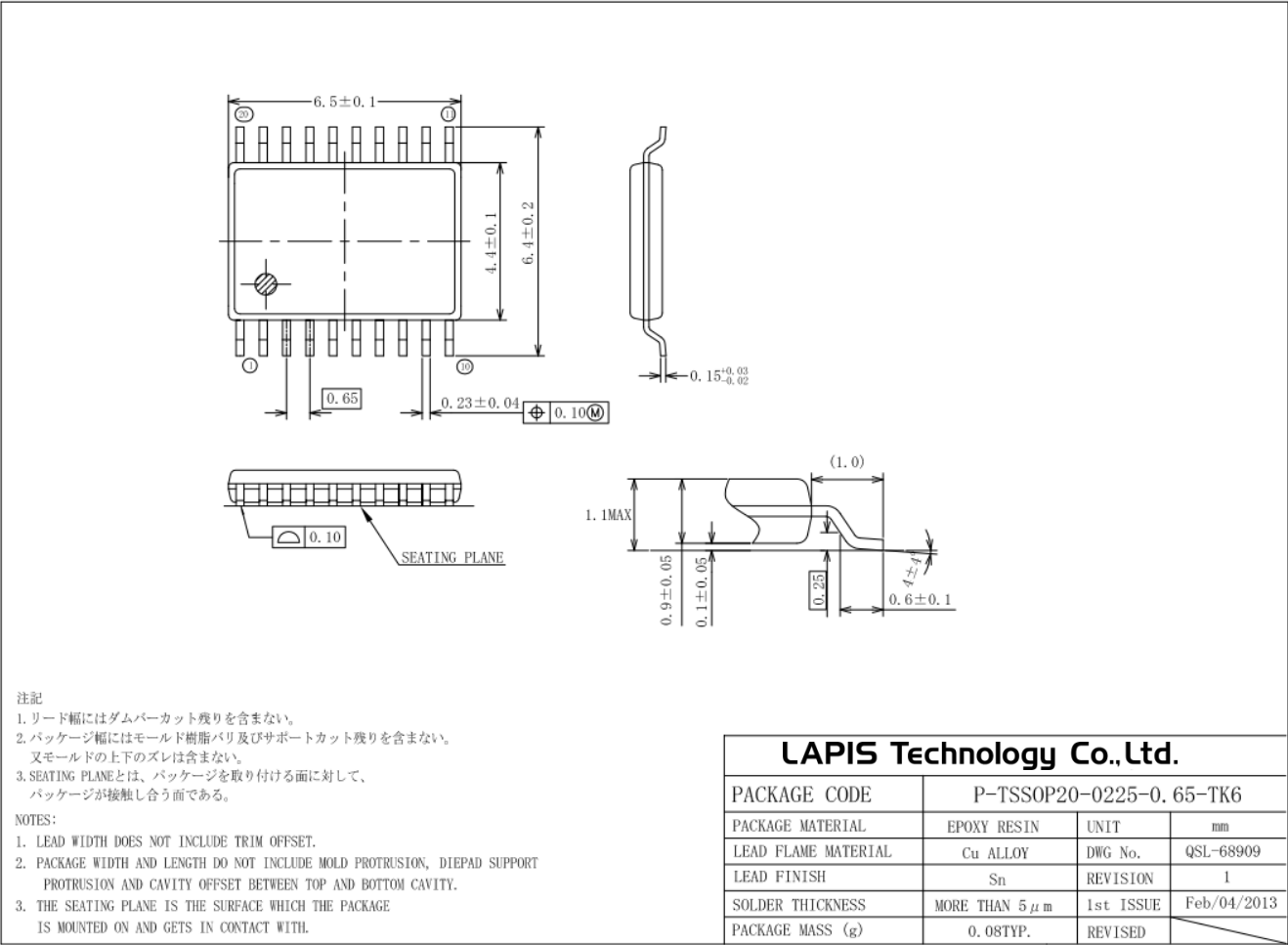
表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

●ML62Q1333／1334／1335 20 ピン TSSOP パッケージの寸法図



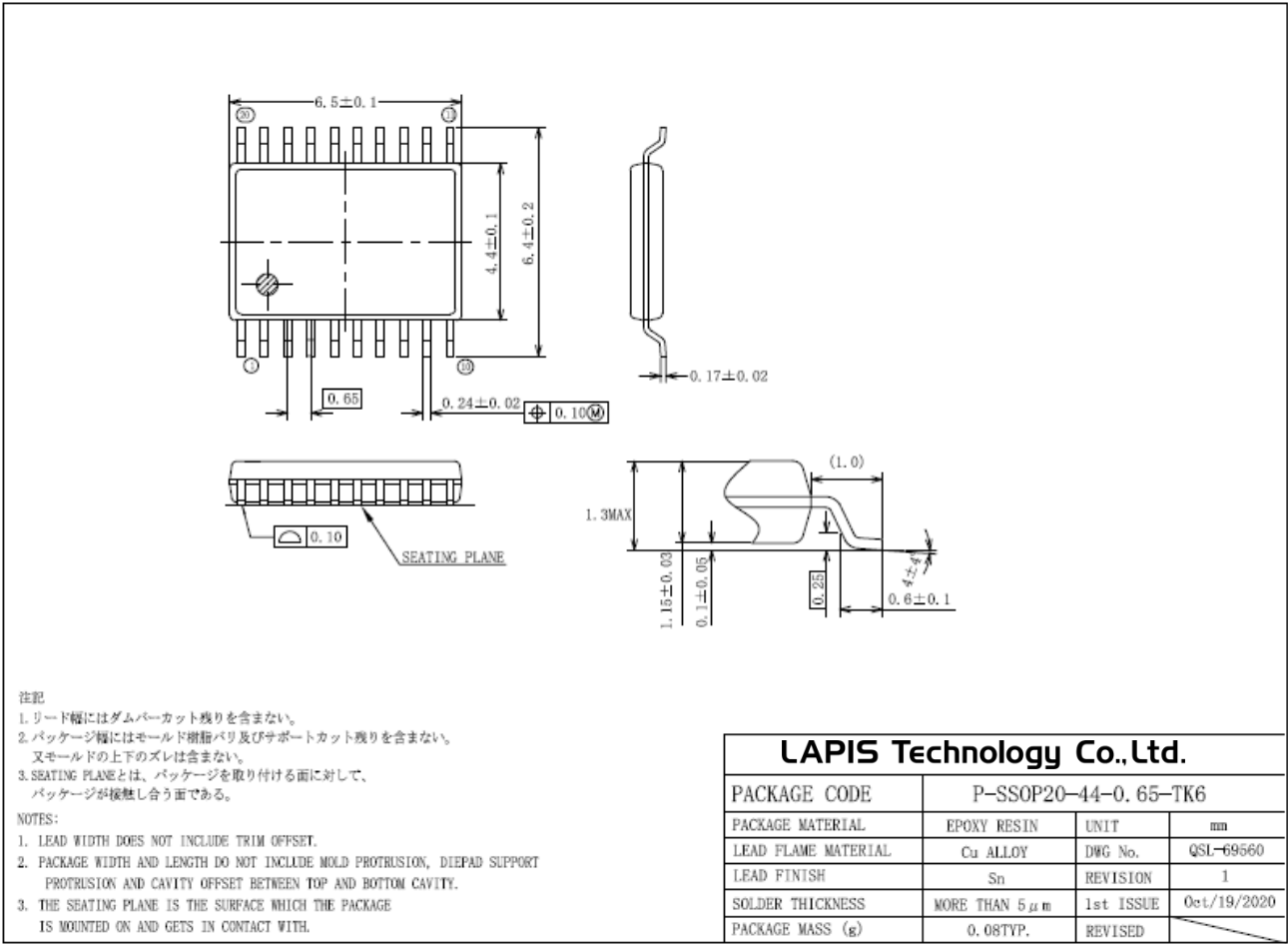
(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。



●ML62Q1333／1334／1335 20 ピン SSOP パッケージの寸法図

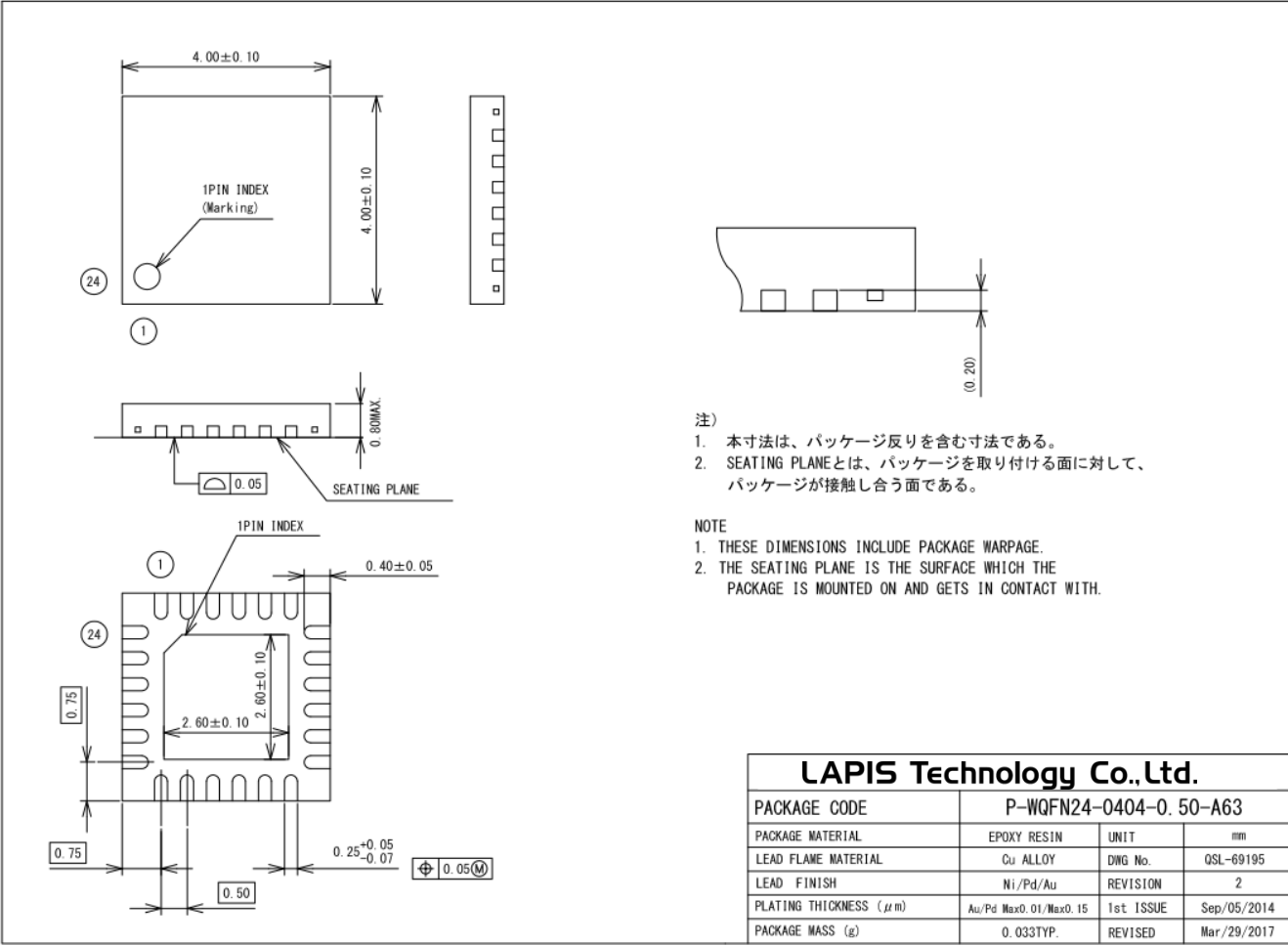


(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●ML62Q1345／1346／1347 24 ピン WQFN パッケージの寸法図



(単位: mm)

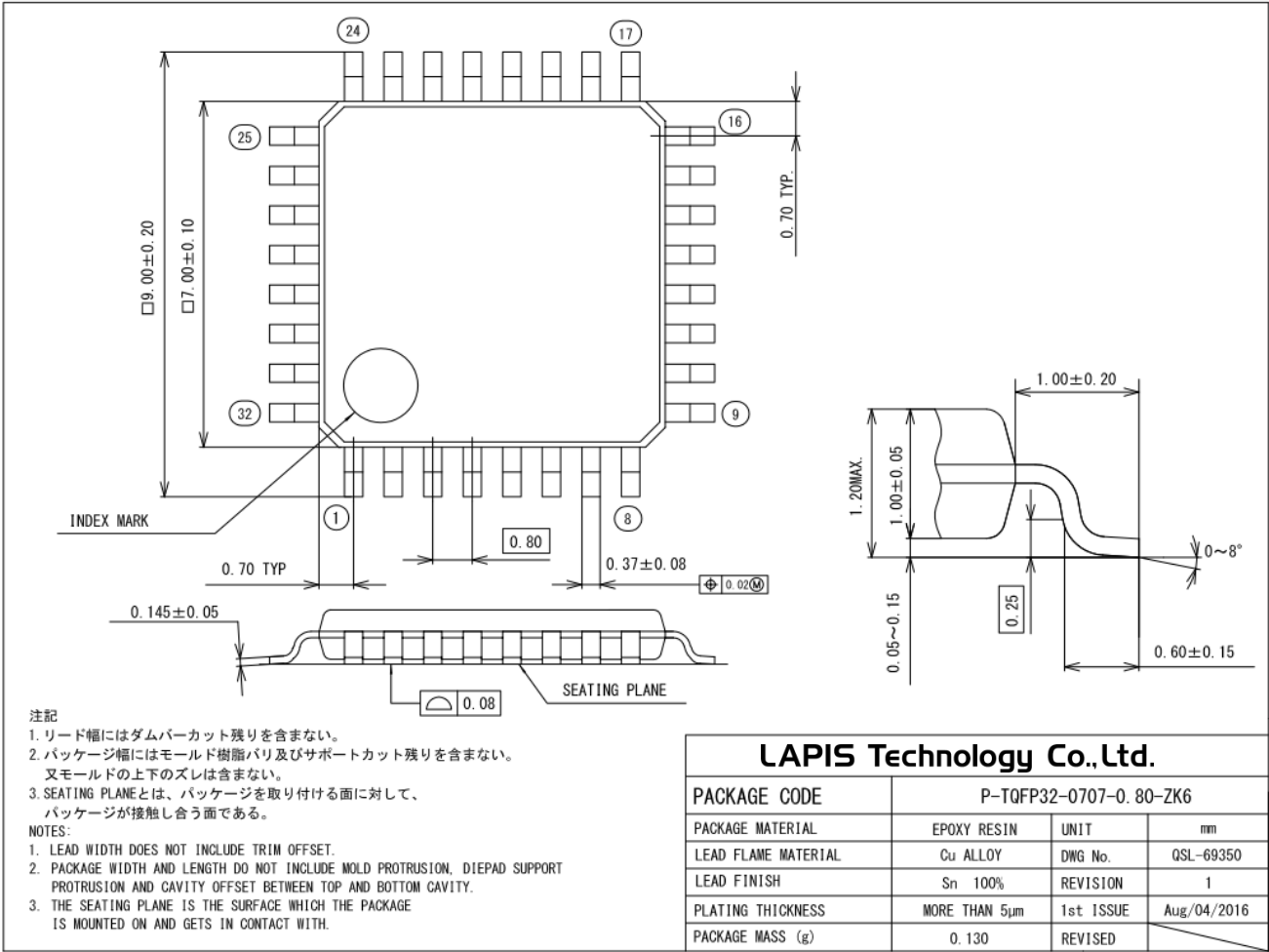
表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

●ML62Q1365／1366／1367 32 ピン TQFP パッケージの寸法図

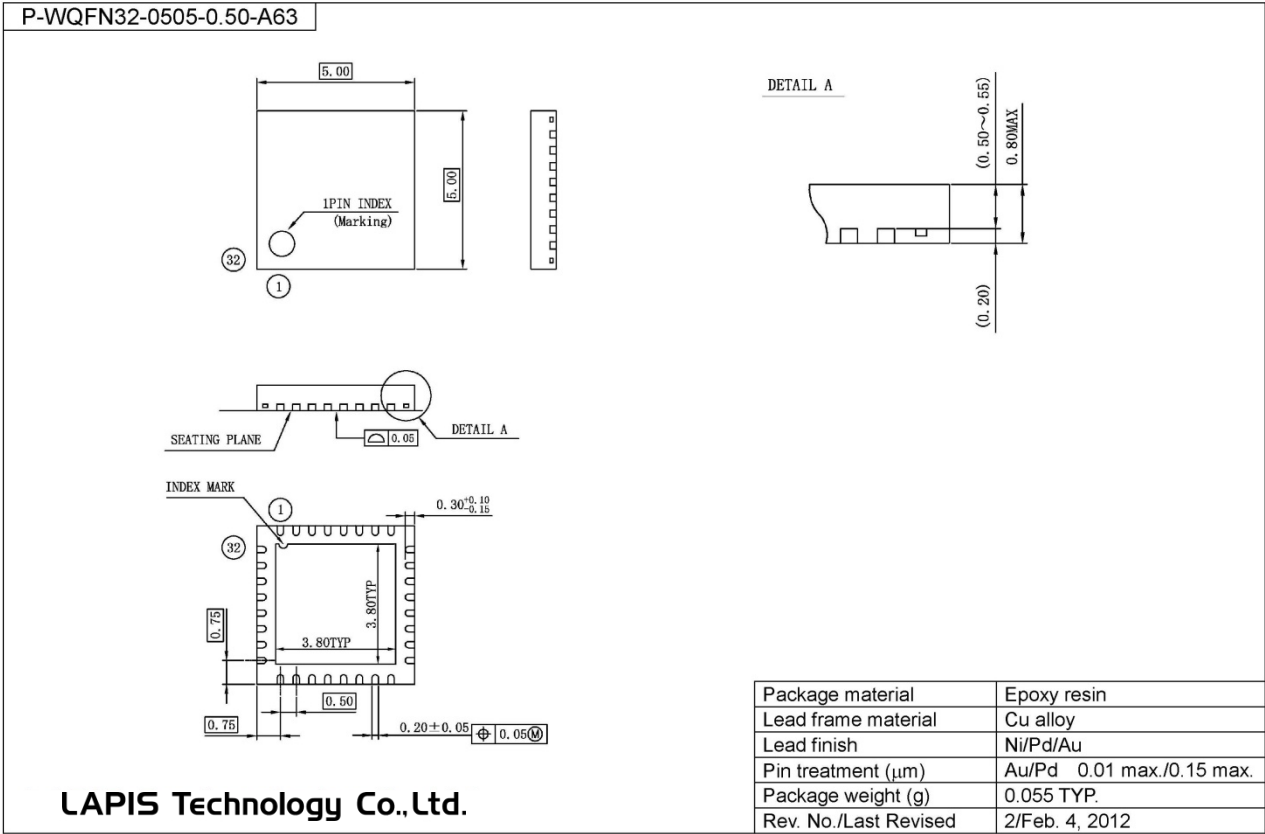


(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●ML62Q1365／1366／1367 32 ピン WQFN パッケージの寸法図



(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

## ■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL62Q1300-01	2018.11.15	—	—	初版発行
FJDL62Q1300-02	2019.09.27	1	1	開発中の記載を削除
		—	23	消費電流特性 1 を追加
		26	27	入出力端子特性 2 の項目に*6 の注釈を追加
		46	49	24MHz の特性グラフを更新
		—	46,47	ML62Q1323, ML62Q1324, ML62Q1325, ML62Q1333, ML62Q1334, ML62Q1335 の特性グラフ「Current consumption VS operating frequency of CPU」を追加
		*	*	誤記修正
FJDL62Q1300-03	2020.3.25	21	21	未使用端子の処理方法を変更
		22	22	推奨動作条件に Tj を追加
		—	23	熱特性を追加
		34	35	リセット特性に注釈, および注意事項を追記
		34	36	電源傾きおよびパワーオンリセット特性に規定を追加 (電源立ち下がり傾き、電源投入時電圧、CPU 動作開始時間), 注意事項を追記
		*	*	誤記修正
FJDL62Q1300-04	2020.7.15	4,8,9	4,8,9	UART の説明を変更
FJDL62Q1300-05	2022.5.19	—	—	社名変更
		1,6,12, 16,23		SSOP20 追加
		23	23	WQFN16 と TSSOP20 の熱抵抗を訂正
		1	1	概要に ML62Q1300 グループ使用時の注意を追加
		—	62	製品使用時の注意事項追加
		—	—	誤記訂正

## 製品使用時の注意事項

本製品を含むマイコン製品全体に適用する「注意事項」について以下に記載します。  
製品個別の注意事項については、各製品のユーザーズマニュアル本文中の【注意】を参照してください。  
なお、各製品のユーザーズマニュアルの本文と異なる記載がある場合は、本文中の記載を優先します。

1. 未使用の入力端子の処置  
未使用の入力端子は、ノイズなどによる誤動作や消費電流の増加を防ぐために、電源または GND に固定してください。本文中に未使用端子の処置について記載のある製品は、その内容に従い処置してください。
2. 電源投入時の状態  
電源投入時、電源電圧が推奨動作電圧に達し、かつリセット端子に“L”レベルの電圧が入力されるまでは、内部レジスタの値および、ポートの出力は不定です。  
パワーオンリセットを搭載する製品は、パワーオンリセットが発生するまでは、内部レジスタの値およびポートの出力は不定です。  
不定状態の内部レジスタの値やポート出力でシステムが誤動作しないよう注意して設計してください。
3. メモリ未使用領域へのアクセス  
メモリ未使用領域のアドレスの読み出し、または書き込みを実行した場合の動作は保証いたしません。
4. 製品間の相違  
電气的特性、ノイズ耐量、ノイズ輻射量等はマイコン製品ごとに異なります。他のマイコン製品から本製品に変更した場合に、お客様の機器・システムにおいて評価結果が変化する場合がありますので、本製品を実装したお客様の機器・システムにおいて十分な評価をしてからご使用ください。
5. 使用環境  
本製品を高湿度な環境や結露する環境で使用する場合は防湿防水対策をしてください。

## 注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用したことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。  
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。  
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。  
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2018-2022 LAPIS Technology Co., Ltd.

**ラピステクノロジー株式会社**

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-tech.com>