

ML62Q1400 グループ

16 ビットマイクロコントローラ

■概要

ML62Q1400 グループは、16 ビット CPU nX-U16/100 を搭載し、プログラム・メモリ(フラッシュ・メモリ)、データ・メモリ(RAM)、データ・フラッシュ、乗除算器、CRC 演算器、DMA コントローラ、クロック発生回路、簡易 RTC、タイマ、汎用ポート、UART、同期式シリアルポート、I²C バス(マスタ、スレーブ)、ブザー、電圧レベル監視機能(VLS)、逐次比較型 A/D コンバータ、D/A コンバータ、アナログコンバータ、安全機能(IEC60730/60335 Class B 対応)など、多彩な周辺機能を集積した高性能 CMOS16 ビットマイクロコントローラです。

16 ビット CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。

ML62Q1400 グループは、オンチップデバッグ機能を搭載しており、オンボードでのソフトウェアのデバッグおよびソフトウェアの書き換えが可能です。また、ISP (In-System Programming) 機能を搭載しており、量産ラインでのフラッシュ書き込み機能を容易に実現することができます。

ML62Q1400 グループは、パッケージ種類およびプログラム・メモリ容量別に複数のグループから構成されています。

表 1 に 48 ピンから 64 ピンの 4 種類のパッケージ、32K バイトから 64K バイトの 3 種類のプログラム・メモリ容量をラインアップした ML62Q1400 グループの商品一覧を示します。

表 1 ML62Q1400 グループの商品一覧

プログラム・メモリ	データ・メモリ (RAM)	データ・フラッシュ	48 ピン TQFP48	52 ピン TQFP52	64 ピン QFP64 TQFP64
64K バイト	4K バイト	2K バイト	ML62Q1432	ML62Q1442	ML62Q1452
48K バイト	4K バイト	2K バイト	ML62Q1431	ML62Q1441	ML62Q1451
32K バイト	4K バイト	2K バイト	ML62Q1430	ML62Q1440	ML62Q1450

■特長

● CPU

- RISC 方式 16 ビット CPU (CPU 名称:nX-U16/100)
- 命令体系:16 ビット長命令
- 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵 (ラピスセミコンダクタ製オンチップデバッグエミュレータ EASE1000 と接続)
- ISP (In-System Programming) 機能を内蔵
- 最小命令実行時間
約 30.5μs (@32.768kHz システムクロック)
約 62.5ns/41.6ns (@16MHz/24MHz システムクロック)

● 乗除算器(コプロセッサ)

- 乗算 : 16bit×16bit (演算時間 4 サイクル)
- 除算 : 32bit÷16bit (演算時間 8 サイクル)
- 除算 : 32bit÷32bit (演算時間 16 サイクル)
- 積和(非飽和型) : 16bit×16bit+32bit (演算時間 4 サイクル)
- 積和(飽和型) : 16bit×16bit+32bit (演算時間 4 サイクル)
- 符号有り, 無し of 演算の設定が可能

● 動作保証範囲

- 動作電圧 : $V_{DD}=1.6V\sim5.5V$
- 動作周囲温度 : $-40^{\circ}C\sim+105^{\circ}C$

● 内部メモリ

- プログラム・メモリ
 - 書き換え回数 : 100 回
 - 書き換え単位 : 32 ビット (4 バイト)
 - 消去単位 : 16K バイト / 1K バイト
 - 消去 / 書き換え温度 : $0^{\circ}C\sim+40^{\circ}C$
- データ・フラッシュ
 - 書き換え回数 : 10,000 回
 - 書き換え単位 : 8 ビット (1 バイト)
 - 消去単位 : 2K バイト / 128 バイト
 - 消去 / 書き換え温度 : $-40^{\circ}C\sim+85^{\circ}C$
 - バックグラウンドオペレーション (BGO)

This product uses SuperFlash® technology licensed from Silicon Storage Technology, Inc.
SuperFlash® is a registered trademark of Silicon Storage Technology, Inc.

- データ・メモリ (RAM)
 - 書き換え単位 : 8 ビット / 16 ビット
 - パリティチェック機能有り (パリティエラー時にリセット発生可能)

● クロック発生回路

- 低速クロック
 - 低速 RC 発振 : 約 32.768kHz
 - 低速水晶発振 : 32.768kHz の水晶振動子を接続可能
 - 低速水晶発振は、発振余裕度と消費電流による 3 つの動作モードを搭載
 - ・タフモード : 発振余裕度を大きくして端子間リークに強くしたモード
 - ・標準モード : 消費電流、発振余裕度とも標準的なモード
 - ・低消費電流モード : 発振余裕度を標準モードよりも小さくすることで消費電流を抑えたモード
- 高速クロック
 - PLL 発振 : コードオプションで 32MHz / 24MHz / 16MHz を選択可能
- WDT (ウォッチドッグタイマ) 専用クロック
 - RC1K 発振 : 約 1kHz
 - WDT の動作クロックは、コードオプションで RC1K 発振または低速クロックを選択可能

● リセット

- リセット入力端子によるリセット
- パワーオン検出によるリセット
- WDT の二度目のオーバーフローによるリセット
- WDT 不正クリアによるリセット
- RAM パリティエラーによるリセット
- ROM 未使用領域アクセスによるリセット
- 電圧レベル監視機能 (VLS) によるリセット
- BRK 命令実行によるソフトウェアリセット (CPU のみリセット)

- パワーマネージメント
 - HALT モード : CPU の命令実行中断, 低速発振, 高速発振および周辺回路は動作状態
 - HALT-H モード : CPU の命令実行中断, 高速発振停止, 低速発振および周辺回路は動作状態
 - STOP モード : CPU の命令実行中断, 低速発振および高速発振停止
 - STOP-D モード : CPU の命令実行中断, 低速発振および高速発振停止, さらに内部ロジック電圧 (V_{DDL}) は消費電流抑制のため低下 (RAM データは保持可能)
 - クロックギア : 高速システムクロックの周波数を変更可能 (HCLK の 1/1, 1/2, 1/4, 1/8, 1/16, 1/32)
 - ブロック制御機能 : 使用しない機能ブロックをパワーダウン (リセットもしくはクロック供給停止)
- 割込み
 - ノンマスカブル割込み : 1 要因 (内部要因 WDT)
 - マスカブル割込み : 最大 37 要因 (内部要因:29, 外部要因:8)
 - 4 段階の割込みレベル機能
- ウォッチドッグタイマ (WDT)
 - 動作クロック選択 : コードオプションで RC1K 発振もしくは低速 RC 発振を選択可能
 - オーバフロー周期選択 : 8 種選択可能 (7.8, 15.6, 31.3, 62.5, 125, 500, 2000, 8000ms @32.768kHz)
 - WDT カウンタクリア期間選択 : オーバフロー周期の 50%/75%/100%を選択可能 (100%選択時)
1 回目のオーバフローでノンマスカブル割込みを発生, 2 回目のオーバフローでリセットを発生 (50%/75%選択時)
WDT のカウンタクリアが可能な期間以外で WDT カウンタをクリアすることにより WDT 不正クリアリセットを発生
 - WDT 動作選択 : コードオプションで許可/停止選択可能
 - WDT カウンタ読み出し可能 : WDT カウンタ動作の監視機能
- DMA (Direct Memory Access) コントローラ
 - チャンネル数 : 2 チャンネル
 - 動作モード : ウェイトモード (ノーウェイトモードでは使用できません)
 - 転送単位 : 8 ビット/16 ビット
 - 転送回数 : 1~1024 回
 - 転送タイプ : 2 サイクル転送
 - 転送モード : シングル転送モード (アドレス固定, アドレスインクリメント, アドレスデクリメントモード)
 - 転送対象 : SFR \leftrightarrow RAM 間 (フラッシュ・メモリとの転送はできません)
 - 転送トリガ : シリアル通信ユニット割込み, 逐次比較型 A/D コンバータ割込み, 16 ビットタイマ割込み
- 低速タイムベースカウンタ
 - 低速クロック (LSCLK) を分周し, 32.768kHz~1Hz のパルス信号を生成
 - 8 種類の定期割込み要求 (128Hz, 64Hz, 32Hz, 16Hz, 8Hz, 4Hz, 2Hz, 1Hz) から 3 つの割込みを選択可能
 - 汎用ポート (TBCOUT1) から低速タイムベースクロック (1Hz, 2Hz) を出力可能
- 簡易 RTC
 - チャンネル数 : 1 チャンネル
 - 00 分 00 秒から 59 分 59 秒まで 1 秒単位でカウントする簡易 RTC
 - 4 種類の定期割込み要求 (0.5 秒, 1 秒, 30 秒, 60 秒) から 1 つの割込みを選択可能
 - 分, 秒の誤書き込み防止機能を搭載
- ファンクショナルタイマ
 - チャンネル数 : 6 チャンネル
 - 連続モード, ワンショットモード, キャプチャモード, PWM モード 1, PMW モード 2 (相補出力)
 - ファンクショナルタイマの異なるチャンネル間で同時開始/停止が可能 (16 ビットタイマとの同時開始/停止はできません)
 - イベント・トリガ (外部割込み, アナログコンパレータ入力, 16 ビットタイマ割込み, ファンクショナルタイマ割込み)

- デッドタイム生成可能
- チャンネル毎にカウンタクロックの分周比を設定可能
- 16ビットタイマ
 - チャンネル数：最大 6 チャンネル
 - 8ビットタイマモード, 16ビットタイマモード
(16ビットタイマ×1チャンネルは, 8ビットタイマ×2チャンネルとして使用可能)
 - 16ビット(8ビット)タイマの異なるチャンネル間で同時開始/停止が可能
(ファンクショナルタイマとの同時開始/停止はできません)
 - タイマ出力(オーバフロー毎に出力が反転)
 - チャンネル毎にカウンタクロックの分周比を設定可能
- シリアル通信ユニット
 - 同期式シリアルポートモード/UART モードを選択
 - チャンネル数：2チャンネル
 - ＜同期式シリアルポートモード＞
 - マスタ/スレーブ選択可能
 - LSB ファースト/MSB ファースト選択可能
 - 8ビット長/16ビット長選択可能
 - ＜UART モード＞
 - 全二重通信×2チャンネル(全二重通信×1チャンネルは, 半二重通信×2チャンネルとして使用可能)
 - ビット長 5~8, パリティ有無, 奇数パリティ/偶数パリティ, 1ストップビット/2ストップビット
 - 正論理/負論理選択可能
 - LSB ファースト/MSB ファースト選択可能
 - ボーレートジェネレータ内蔵(1bps~2Mbps)
- I²C バスユニット(マスタ/スレーブ)
 - マスタモード/スレーブモードを選択
 - チャンネル数：1チャンネル
 - ＜マスタ機能＞
 - 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - ハンドシェーク(クロック同期化) 対応
 - 7ビットアドレスフォーマット(10ビットアドレス対応可能)
 - ＜スレーブ機能＞
 - 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - ハンドシェーク(クロック同期化) 対応可能
 - 7ビットアドレスフォーマット
- I²C バスマスタ
 - チャンネル数：2チャンネル
 - 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps) 対応
 - ハンドシェーク(クロック同期化) 対応
 - 7ビットアドレスフォーマット(10ビットアドレス対応可能)
- 汎用ポート(GPIO)
 - 汎用入出力：最大 58 端子(兼用機能およびオンチップデバッグ用の 1 端子を含む)
 - 汎用入力：最大 2 端子(兼用機能を含む)
 - 外部割込み：8 端子
 - LED 駆動：最大 57 端子
 - キャリア周波数出力機能(赤外線通信用)

- 逐次比較型 A/D コンバータ
 - － チャンネル数 : 12 チャンネル
 - － 分解能 : 10 ビット
 - － 変換時間 : 最小 2.25 μ s / 1 チャンネル (変換クロック 8MHz 時)
 - － 基準電圧選択可能
(VDD 端子入力電圧／内蔵リファレンス電圧 (約 1.55V)／外部リファレンス電圧 (V_{REF} 端子))
 - － スキャン機能 (選択されたチャンネルを連続変換)
 - － 変換結果レジスタは各チャンネル毎に搭載
 - － 変換結果の下限, 上限判定による割込み要求が可能
 - － 低速 RC 発振周波数補正用の温度センサ内蔵
- 電圧レベル監視機能 (VLS: Voltage Level Supervisor)
 - － 判定精度 : $\pm 4\%$
 - － 判定電圧 : 12 値 (1.85V \sim 4.00V から選択可能)
 - － 電圧レベル検出リセット (VLS リセット) として使用可能
 - － 電圧レベル検出割込み (VLS0 割込み) として使用可能
- アナログコンパレータ
 - － チャンネル数 : 2 チャンネル
 - － 割込みエッジ, サンプリング有無が選択可能
 - － 外部入力と内部基準電圧との比較が可能
- D/A コンバータ
 - － チャンネル数 : 1 チャンネル
 - － 分解能 : 8 ビット
 - － 出力インピーダンス : 6k Ω (Typ.)
 - － R-2R ラダー方式
- ブザー
 - － 4 種類のブザーモード (連続音／単音／断続音 1／断続音 2)
 - － 8 種の周波数 (4.096kHz \sim 293Hz)
 - － 15 段階のデューティ (1/16 \sim 15/16)
 - － ブザー出力端子の正論理／負論理が選択可能
- CRC (Cyclic Redundancy Check) 演算器
 - － 生成多項式: $X^{16}+X^{12}+X^5+1$
 - － LSB ファースト
 - － プログラム・メモリを HALT モード中に演算する自動 CRC 演算モードを搭載
- 安全機能 (IEC60730/60335 Class B 対応)
 - － 低速水晶発振停止時に低速 RC 発振に自動で切り替え
 - － RAM／SFR ガード
 - － プログラム・メモリの自動 CRC 演算
 - － RAM パリティエラーリセット
 - － ROM 未使用領域アクセスリセット
 - － クロック相互監視
 - － WDT カウンタ監視
 - － 逐次比較型 A/D コンバータテスト
 - － UART テスト
 - － 同期式シリアルポートテスト
 - － I²C バステスト
 - － 汎用ポートテスト

- 出荷形態
 - － 48 ピン プラスチック TQFP
ML62Q1430/1431/1432 - xxxTB (ブランク品:ML62Q1430/1431/1432-NNNTB)
 - － 52 ピン プラスチック TQFP
ML62Q1440/1441/1442 - xxxTB (ブランク品:ML62Q1440/1441/1442-NNNTB)
 - － 64 ピン プラスチック TQFP
ML62Q1450/1451/1452 - xxxTB (ブランク品:ML62Q1450/1451/1452-NNNTB)
 - － 64 ピン プラスチック QFP
ML62Q1450/1451/1452 - xxxGA (ブランク品:ML62Q1450/1451/1452-NNNGA)

※xxx:ROM コード番号

■ML62Q1400 グループの商品名の見方

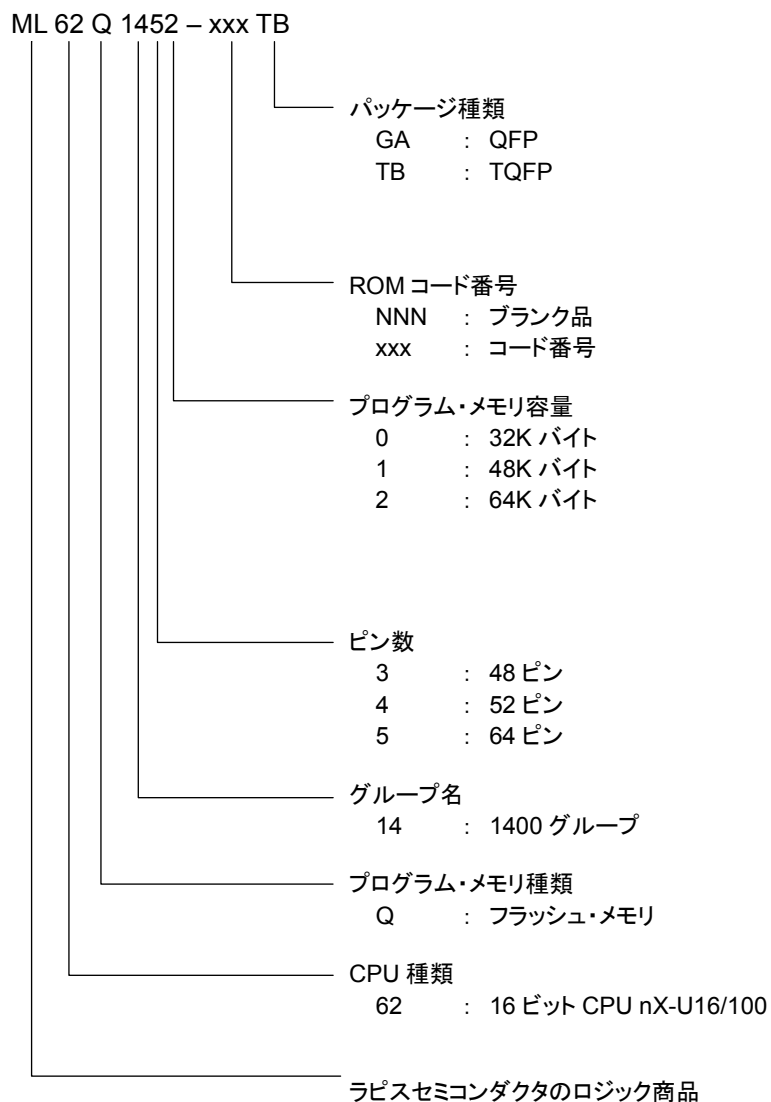


図 1 ML62Q1400 グループの商品名

■ML62Q1400 グループの商品別仕様

表 2 商品別仕様

商 品 名	端子		割込み		タイマ		通信機能		アナログ								
	電源端子 [端子数]	リセット入力端子 [端子数]	入力端子 [端子数] ^{*3}	入出力端子 [端子数]	LED 駆動端子 (入出力端子兼用) [端子数]	内部要因 (WDT 割込み含む) [要因数]	外部要因 (外部割込み) [要因数]	フアンクショナルタイマ [チャネル数]	16ビットタイマ [チャネル数] ^{*1}	簡易 RTC [チャネル数]	シリアル通信ユニット (UART / 同期式シリアルポート) [チャネル数] ^{*2}	I ² C バスマスタ [チャネル数]	I ² C バスユニット (マスタ / スレーブ) [チャネル数]	逐次比較型 A/D コンバータ入力端子 [チャネル数]	アナログコンバータ [チャネル数]	アナログコンパレータ [入力信号数]	D/A コンバータ [チャネル]
	3	1	2	42	41	30	8	6	6	1	2	1	2	12	2	4	1
				46	45												
				58	57												
総ピン数 [端子数]			48	52	64												
ML62Q1430																	
ML62Q1431																	
ML62Q1432																	
ML62Q1440																	
ML62Q1441																	
ML62Q1442																	
ML62Q1450																	
ML62Q1451																	
ML62Q1452																	

*1 : 16ビットタイマ×1 チャネルは、8ビットタイマ×2 チャネルとして使用することができます。

*2 : シリアル通信ユニットは UART の全二重通信と同期式シリアルポートを兼用しています。同一チャネル内では UART と同期式シリアルポートは同時に使用できません。UART の全二重通信×1 チャネルは、半二重通信×2 チャネルとして使用することができます。

*3 : 水晶発振端子と兼用端子です。

■ ブロック図

- ML62Q1400 グループのブロック図

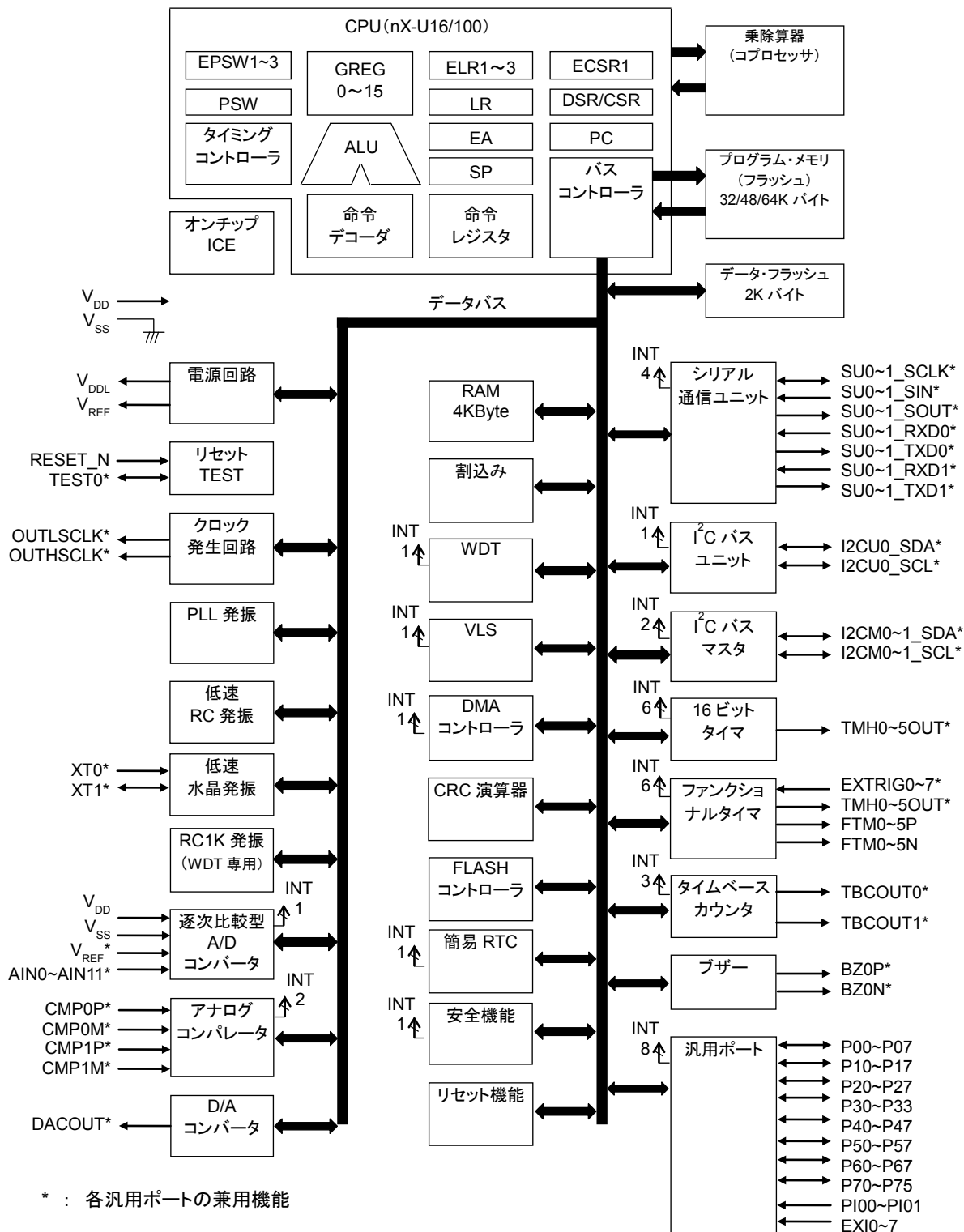


図 2 ML62Q1400 グループのブロック図

■端子配置

●ML62Q1430/1431/1432 48ピン TQFP パッケージの端子配置図

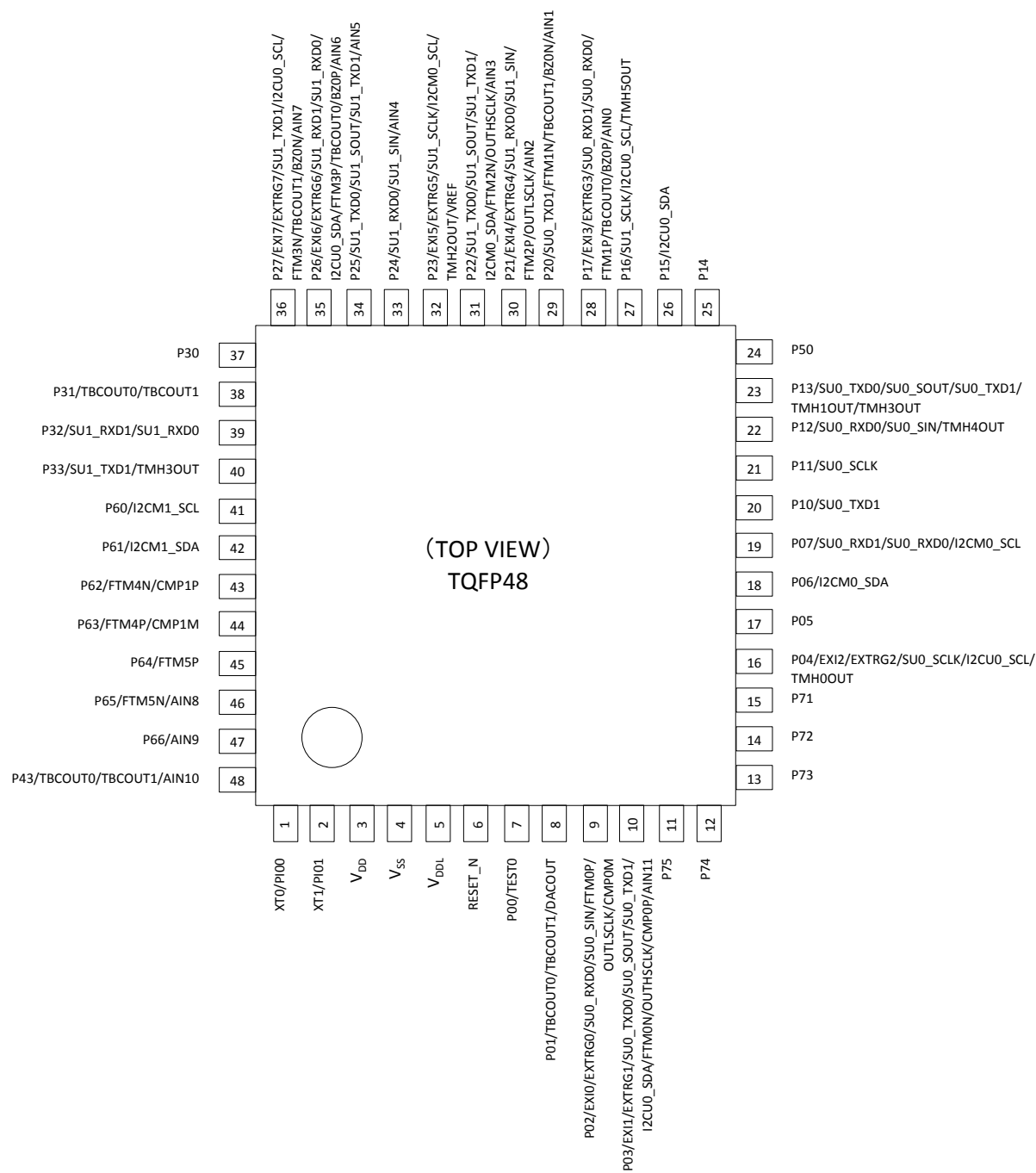


図 3 ML62Q1430/1431/1432 48 ピン TQFP パッケージの端子配置図

●ML62Q1440/1441/1442 52 ピン TQFP パッケージの端子配置図

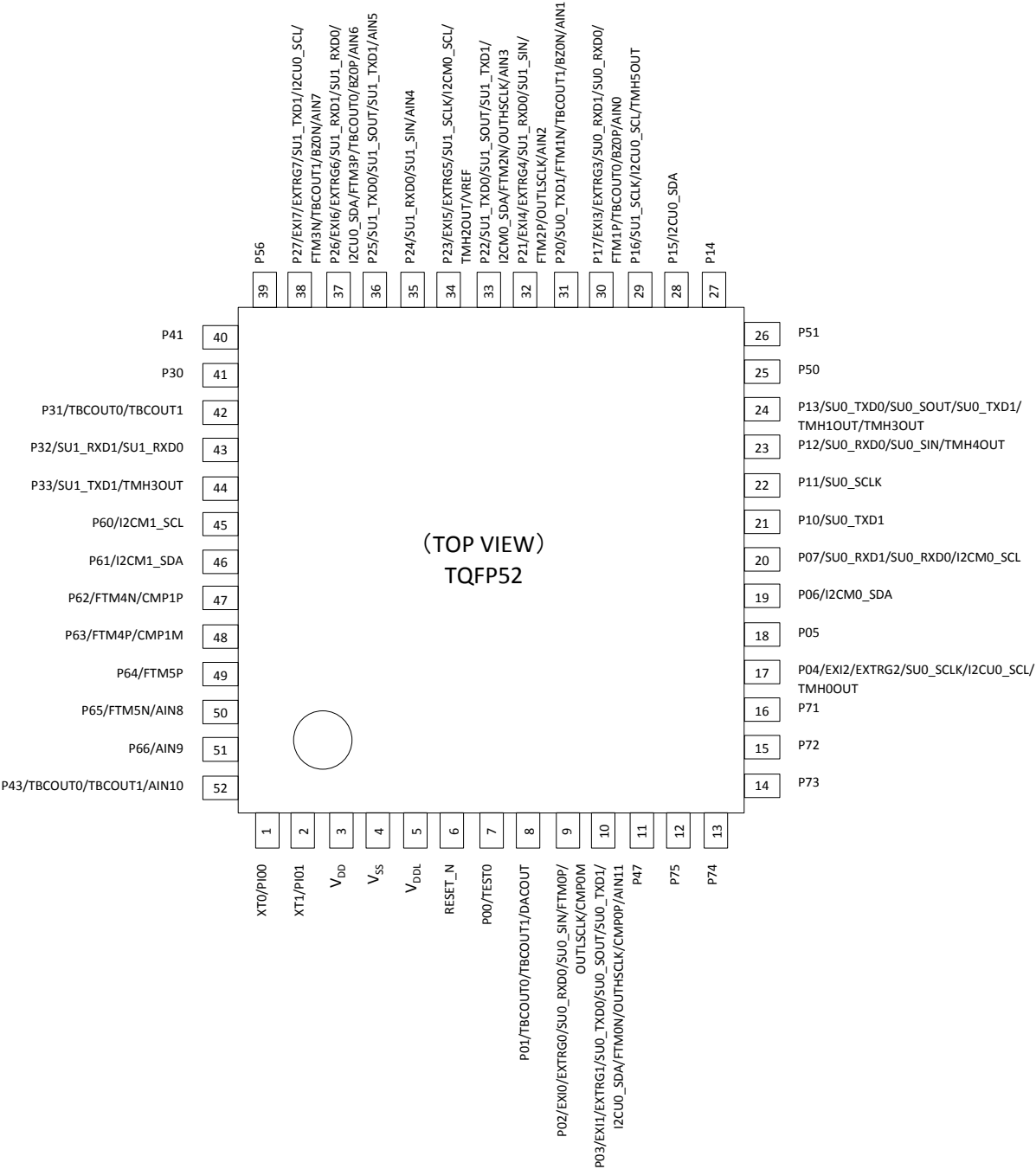


図 4 ML62Q1440/1441/1442 52 ピン TQFP パッケージの端子配置図

●ML62Q1450/1451/1452 64 ピン TQFP/QFP パッケージの端子配置図

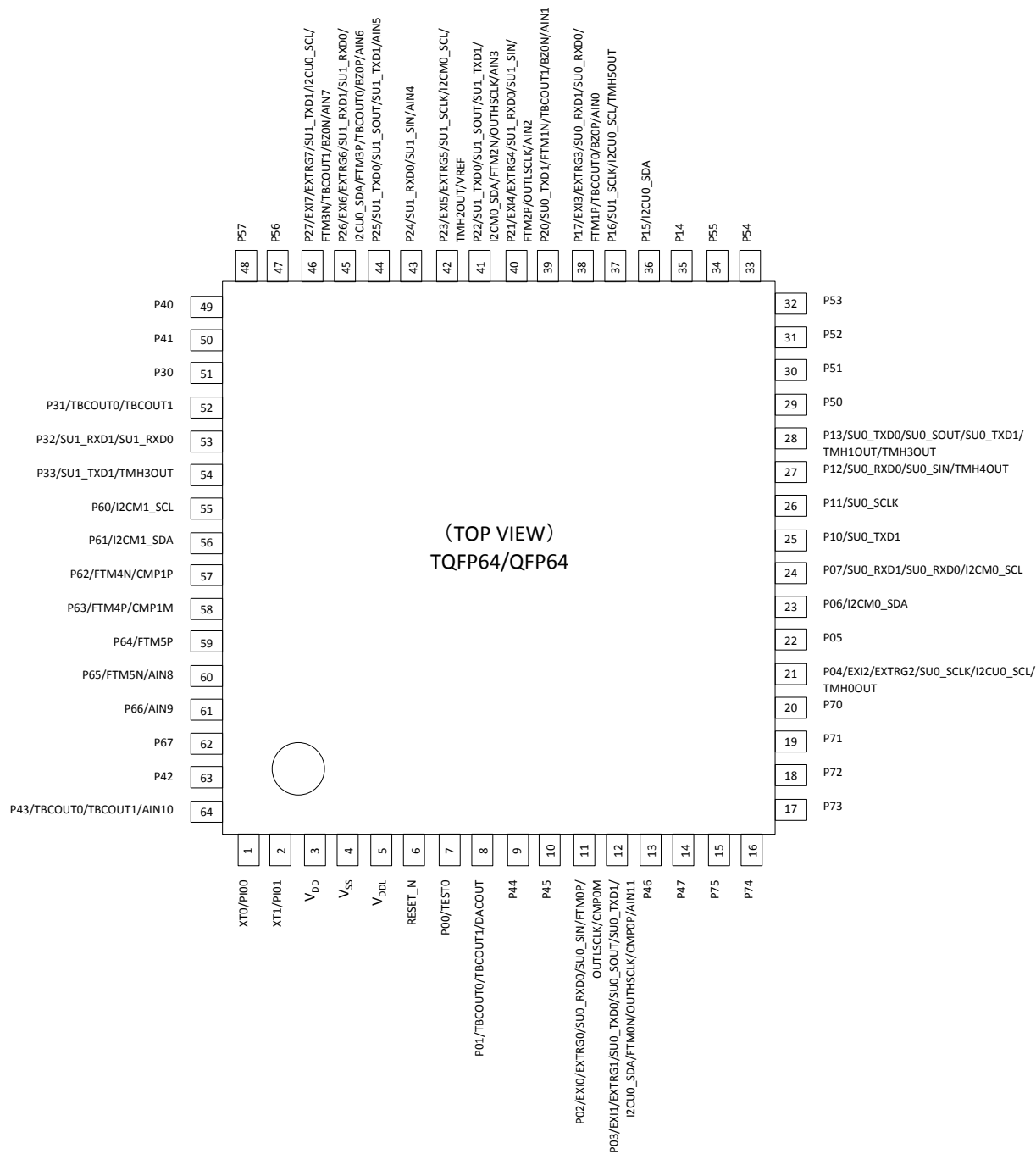


図 5 ML62Q1450/1451/1452 64 ピン TQFP/QFP パッケージの端子配置図

■端子一覧

表 3 に ML62Q1400 グループの端子一覧を示します。

端子名にある“(I)”は入力端子，“(I/O)”は入出力端子を示します。

表 3 端子一覧(1/10)

48Pin No.	52Pin No.	64Pin No. (QFP)	64Pin No. (TQFP)	端子名	1 次機能	兼用機能	
3	3	3	3	V _{DD}	プラス側電源端子	—	
4	4	4	4	V _{SS}	マイナス側電源端子	—	
5	5	5	5	V _{DDL}	内部ロジック用電源端子 (内部発生)	—	
6	6	6	6	RESET_N (I)	リセット入力端子 オンチップデバッグに使用	—	
1	1	1	1	XT0 / PI00 (I)	汎用入力端子	低速水晶振動子接続端子	
2	2	2	2	XT1 / PI01 (I)	汎用入力端子	低速水晶振動子接続端子	
7	7	7	7	P00 / TEST0 (I/O)	汎用入出力端子 オンチップデバッグに使用 (オンチップデバッグに使用 する場合は、汎用ポートと しては使用できません。)	—	
8	8	8	8	P01 / DACOUT (I/O)	汎用入出力端子 D/A コンバータ出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	TBCOUT0
						7 次機能	TBCOUT1
						8 次機能	—
9	9	11	11	P02 / EXI0 / EXTRG0 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部 トリガ	2 次機能	SU0_RXD0/SU0_SIN
						3 次機能	—
						4 次機能	—
						5 次機能	FTM0P
						6 次機能	OUTLSCLK
						7 次機能	CMP0M
						8 次機能	—
10	10	12	12	P03 / EXI1 / EXTRG1 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部 トリガ	2 次機能	SU0_TXD0/SU0_SOUT
						3 次機能	SU0_TXD1
						4 次機能	I2CU0_SDA
						5 次機能	FTM0N
						6 次機能	OUTHCLK
						7 次機能	CMP0P
						8 次機能	AIN11
16	17	21	21	P04 / EXI2 / EXTRG2 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部 トリガ	2 次機能	SU0_SCLK
						3 次機能	—
						4 次機能	I2CU0_SCL
						5 次機能	TMH0OUT
						6 次機能	—
						7 次機能	—
						8 次機能	—
17	18	22	22	P05 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—

表 3 端子一覧 (2/10)

48Pin No.	52Pin No.	64Pin No. (QFP)	64Pin No. (TQFP)	端子名	1 次機能	兼用機能	
18	19	23	23	P06 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	I2CM0_SDA
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	SU0_RXD1
19	20	24	24	P07 (I/O)	汎用入出力端子	3 次機能	SU0_RXD0
						4 次機能	I2CM0_SCL
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	SU0_TXD1
						3 次機能	—
20	21	25	25	P10 (I/O)	汎用入出力端子	4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	SU0_SCLK
						3 次機能	—
						4 次機能	—
21	22	26	26	P11 (I/O)	汎用入出力端子	5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	SU0_RXD0/SU0_SIN
						3 次機能	—
						4 次機能	—
						5 次機能	TMH4OUT
22	23	27	27	P12 (I/O)	汎用入出力端子	6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	SU0_TXD0/SU0_SOUT
						3 次機能	SU0_TXD1
						4 次機能	—
						5 次機能	TMH1OUT
						6 次機能	—
23	24	28	28	P13 (I/O)	汎用入出力端子	7 次機能	TMH3OUT
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
25	27	35	35	P14 (I/O)	汎用入出力端子	8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—

表 3 端子一覧 (3/10)

48Pin No.	52Pin No.	64Pin No. (QFP)	64Pin No. (TQFP)	端子名	1 次機能	兼用機能	
26	28	36	36	P15 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	I2CU0_SDA
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
27	29	37	37	P16 (I/O)	汎用入出力端子	2 次機能	SU1_SCLK
						3 次機能	—
						4 次機能	I2CU0_SCL
						5 次機能	TMH5OUT
						6 次機能	—
						7 次機能	—
28	30	38	38	P17 / EXI3/ EXTRG3 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部 トリガ	8 次機能	—
						2 次機能	SU0_RXD1
						3 次機能	SU0_RXD0
						4 次機能	—
						5 次機能	FTM1P
						6 次機能	TBCOUT0
						7 次機能	BZ0P
29	31	39	39	P20 (I/O)	汎用入出力端子	8 次機能	AIN0
						2 次機能	SU0_TXD1
						3 次機能	—
						4 次機能	—
						5 次機能	FTM1N
						6 次機能	TBCOUT1
						7 次機能	BZ0N
30	32	40	40	P21 / EXI4 / EXTRG4 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部 トリガ	8 次機能	AIN1
						2 次機能	SU1_RXD0/SU1_SIN
						3 次機能	—
						4 次機能	—
						5 次機能	FTM2P
						6 次機能	OUTLSCLK
						7 次機能	—
31	33	41	41	P22 (I/O)	汎用入出力端子	8 次機能	AIN2
						2 次機能	SU1_TXD0/SU1_SOUT
						3 次機能	SU1_TXD1
						4 次機能	I2CM0_SDA
						5 次機能	FTM2N
						6 次機能	OUTHCLK
						7 次機能	—
32	34	42	42	P23 / EXI5 / EXTRG5 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部 トリガ	8 次機能	AIN3
						2 次機能	SU1_SCLK
						3 次機能	—
						4 次機能	I2CM0_SCL
						5 次機能	TMH2OUT
						6 次機能	—
						7 次機能	—
						8 次機能	V _{REF}

表 3 端子一覧 (4/10)

48Pin No.	52Pin No.	64Pin No. (QFP)	64Pin No. (TQFP)	端子名	1 次機能	兼用機能	
33	35	43	43	P24 (I/O)	汎用入出力端子	2 次機能	SU1_RXD0/SU1_SIN
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	AIN4
34	36	44	44	P25 (I/O)	汎用入出力端子	2 次機能	SU1_TXD0/SU1_SOUT
						3 次機能	SU1_TXD1
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	AIN5
35	37	45	45	P26 / EXI6 / EXTRG6 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部 トリガ	2 次機能	SU1_RXD1
						3 次機能	SU1_RXD0
						4 次機能	I2CU0_SDA
						5 次機能	FTM3P
						6 次機能	TBCOUT0
						7 次機能	BZ0P
						8 次機能	AIN6
36	38	46	46	P27 / EXI7 / EXTRG7 (I/O)	汎用入出力端子 外部割込み ファンクショナルタイマ外部 トリガ	2 次機能	SU1_TXD1
						3 次機能	—
						4 次機能	I2CU0_SCL
						5 次機能	FTM3N
						6 次機能	TBCOUT1
						7 次機能	BZ0N
						8 次機能	AIN7
37	41	51	51	P30 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
38	42	52	52	P31 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	TBCOUT0
						7 次機能	TBCOUT1
						8 次機能	—

表 3 端子一覧 (5/10)

48Pin No.	52Pin No.	64Pin No. (QFP)	64Pin No. (TQFP)	端子名	1 次機能	兼用機能	
39	43	53	53	P32 (I/O)	汎用入出力端子	2 次機能	SU1_RXD1
						3 次機能	SU1_RXD0
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
40	44	54	54	P33 (I/O)	汎用入出力端子	2 次機能	SU1_TXD1
						3 次機能	—
						4 次機能	—
						5 次機能	TMH3OUT
						6 次機能	—
						7 次機能	—
						8 次機能	—
—	—	49	49	P40 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
—	40	50	50	P41 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
—	—	63	63	P42 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
48	52	64	64	P43 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	TBCOUT0
						7 次機能	TBCOUT1
						8 次機能	AIN10

表 3 端子一覧 (6/10)

48Pin No.	52Pin No.	64Pin No. (QFP)	64Pin No. (TQFP)	端子名	1 次機能	兼用機能	
—	—	9	9	P44 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
—	—	10	10	P45 (I/O)	汎用入出力端子	3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
—	—	13	13	P46 (I/O)	汎用入出力端子	4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
—	11	14	14	P47 (I/O)	汎用入出力端子	5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
24	25	29	29	P50 (I/O)	汎用入出力端子	6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
—	26	30	30	P51 (I/O)	汎用入出力端子	7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—

表 3 端子一覧 (7/10)

48Pin No.	52Pin No.	64Pin No. (QFP)	64Pin No. (TQFP)	端子名	1 次機能	兼用機能	
—	—	31	31	P52 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
—	—	32	32	P53 (I/O)	汎用入出力端子	3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
—	—	33	33	P54 (I/O)	汎用入出力端子	4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
—	—	34	34	P55 (I/O)	汎用入出力端子	5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
—	39	47	47	P56 (I/O)	汎用入出力端子	6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
—	—	48	48	P57 (I/O)	汎用入出力端子	7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—

表 3 端子一覧 (8/10)

48Pin No.	52Pin No.	64Pin No. (QFP)	64Pin No. (TQFP)	端子名	1 次機能	兼用機能	
41	45	55	55	P60 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	I2CM1_SCL
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
42	46	56	56	P61 (I/O)	汎用入出力端子	3 次機能	—
						4 次機能	I2CM1_SDA
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
43	47	57	57	P62 (I/O)	汎用入出力端子	4 次機能	—
						5 次機能	FTM4N
						6 次機能	—
						7 次機能	CMP1P
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
44	48	58	58	P63 (I/O)	汎用入出力端子	5 次機能	FTM4P
						6 次機能	—
						7 次機能	CMP1M
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	FTM5P
45	49	59	59	P64 (I/O)	汎用入出力端子	6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	FTM5N
						6 次機能	—
46	50	60	60	P65 (I/O)	汎用入出力端子	7 次機能	—
						8 次機能	AIN8
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	FTM5N
						6 次機能	—
						7 次機能	—

表 3 端子一覧 (9/10)

48Pin No.	52Pin No.	64Pin No. (QFP)	64Pin No. (TQFP)	端子名	1 次機能	兼用機能	
47	51	61	61	P66 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	AIN9
						2 次機能	—
—	—	62	62	P67 (I/O)	汎用入出力端子	3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
—	—	20	20	P70 (I/O)	汎用入出力端子	4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
15	16	19	19	P71 (I/O)	汎用入出力端子	5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
14	15	18	18	P72 (I/O)	汎用入出力端子	6 次機能	—
						7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
13	14	17	17	P73 (I/O)	汎用入出力端子	7 次機能	—
						8 次機能	—
						2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—

表 3 端子一覧(10/10)

				端子名	1 次機能	兼用機能	
48Pin No. 12	52Pin No. 13	64Pin No. (QFP) 16	64Pin No. (TQFP). 16	P74 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—
11	12	15	15	P75 (I/O)	汎用入出力端子	2 次機能	—
						3 次機能	—
						4 次機能	—
						5 次機能	—
						6 次機能	—
						7 次機能	—
						8 次機能	—

■端子説明

表 4 に ML62Q1400 グループの端子説明を示します。

I/O 欄の“－”は電源端子，“I”は入力端子，“O”は出力端子，“I/O”は入出力端子を示します。

表 4 端子説明 (1/4)

機 能	信号名	端子名	I/O	説 明	論理
電源	－	V _{SS}	－	マイナス側電源端子	－
	－	V _{DD}	－	プラス側電源端子 V _{SS} との間にコンデンサ C _V (1μF 以上)を接続してください	－
	－	V _{DDL}	－	内部ロジック用電源端子(内部発生) V _{SS} との間にコンデンサ C _L (1μF)を接続してください	－
テスト	TEST0	P00	I/O	テスト用入出力端子 オンチップデバッグ機能、および ISP 機能に使用します P00 端子と兼用端子です。初期値はプルアップ抵抗付き入力です	正
システム	V _{REF}	P23	－	リファレンス電圧出力端子	－
	RESET_N	RESET_N	I	リセット入力端子 この端子を“L”レベルにするとシステムリセットモードになり、“H”レベルにするとプログラム動作モードに移行します オンチップデバッグ機能および ISP 機能に使用します (プルアップ抵抗は内蔵されていません)	負
	XT0	XT0	I	低速水晶振動子と接続する端子です 32.768kHz 水晶振動子を接続し、V _{SS} との間にコンデンサを接続します	－
	XT1	XT1	O		－
	OUTLSCLK	P02 P21	O	低速クロック出力端子	－
	OUTHCLK	P03 P22	O	高速クロック出力端子	－
汎用入力ポート (GPI)	PI00,PI01	XT0,XT1	I	汎用入力端子 低速水晶発振端子と兼用端子のため、水晶振動子を接続する場合は汎用入力ポートとして使用できません	正
汎用ポート (GPIO)	P00	P00	I/O	汎用入出力端子 ・ハイインピーダンス ・プルアップ抵抗付き入力(初期値) ・プルアップ抵抗無し入力 ・CMOS 出力 ・Nch オープンドレイン出力 TEST0 端子と兼用端子のため、オンチップデバッグ機能もしくは ISP 機能を使用する場合は汎用ポートとして使用できません	正
	P01～P07	P01～P07	I/O	汎用入出力端子 ・ハイインピーダンス(初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・Nch オープンドレイン出力	正
	P10～P17	P10～P17			
	P20～P27	P20～P27			
	P30～P33	P30～P33			
	P40～P47	P40～P47			
	P50～P57	P50～P57			
	P60～P67	P60～P67			
	P70～P75	P70～P75			

表 4 端子説明 (2/4)

機 能	信号名	端子名	I/O	説 明	論理
UART	SU0_TXD0	P03	O	シリアル通信ユニット 0 の UART0 データ出力端子	正
		P13			
	SU0_RXD0	P02	I	シリアル通信ユニット 0 の UART0 データ入力端子	正
		P07			
		P12			
		P17			
	SU0_TXD1	P03	O	シリアル通信ユニット 0 の UART1 データ出力端子	正
		P10			
		P13			
		P20			
	SU0_RXD1	P07	I	シリアル通信ユニット 0 の UART1 データ入力端子	正
		P17			
	SU1_TXD0	P22	O	シリアル通信ユニット 1 の UART0 データ出力端子	正
		P25			
	SU1_RXD0	P21	I	シリアル通信ユニット 1 の UART0 データ入力端子	正
		P24			
		P26			
		P32			
	SU1_TXD1	P22	O	シリアル通信ユニット 1 の UART1 データ出力端子	正
		P25			
		P27			
		P33			
	SU1_RXD1	P26	I	シリアル通信ユニット 1 の UART1 データ入力端子	正
		P32			
同期式 シリアルポート	SU0_SIN	P02	I	シリアル通信ユニット 0 の同期式シリアルデータ入力端子	正
		P12			
	SU0_SCLK	P04	I/O	シリアル通信ユニット 0 の同期式シリアルクロック入出力端子	正
		P11			
	SU0_SOUT	P03	O	シリアル通信ユニット 0 の同期式シリアルデータ出力端子	正
		P13			
I ² C バス	I2CU0_SDA	P03	I/O	I ² C バスユニット 0 のデータ入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正
		P15			
		P26			
	I2CU0_SCL	P04	I/O	I ² C バスユニット 0 のクロック入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正
		P16			
		P27			
	I2CM0_SDA	P06	I/O	I ² C バスマスタ 0 のデータ入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正
		P22			
	I2CM0_SCL	P07	I/O	I ² C バスマスタ 0 のクロック入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正
		P23			
	I2CM1_SDA	P61	I/O	I ² C バスマスタ 1 のデータ入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正
	I2CM1_SCL	P60	I/O	I ² C バスマスタ 1 のクロック入出力用 Nch オープンドレイン端子 (外部にプルアップ抵抗を接続してください)	正

表 4 端子説明 (3/4)

機 能	信号名	端子名	I/O	説 明	論理
ファンクショナル タイマ (FTM)	FTM0P	P02	O	ファンクショナルタイマ 0 の出力端子	正
	FTM0N	P03	O	ファンクショナルタイマ 0 の出力端子	負
	FTM1P	P17	O	ファンクショナルタイマ 1 の出力端子	正
	FTM1N	P20	O	ファンクショナルタイマ 1 の出力端子	負
	FTM2P	P21	O	ファンクショナルタイマ 2 の出力端子	正
	FTM2N	P22	O	ファンクショナルタイマ 2 の出力端子	負
	FTM3P	P26	O	ファンクショナルタイマ 3 の出力端子	正
	FTM3N	P27	O	ファンクショナルタイマ 3 の出力端子	負
	FTM4P	P63	O	ファンクショナルタイマ 4 の出力端子	正
	FTM4N	P62	O	ファンクショナルタイマ 4 の出力端子	負
	FTM5P	P64	O	ファンクショナルタイマ 5 の出力端子	正
	FTM5N	P65	O	ファンクショナルタイマ 5 の出力端子	負
	EXTRG0	P02	I	ファンクショナルタイマ 0~5 のトリガ入力端子	—
	EXTRG1	P03	I	ファンクショナルタイマ 0~5 のトリガ入力端子	—
	EXTRG2	P04	I	ファンクショナルタイマ 0~5 のトリガ入力端子	—
	EXTRG3	P17	I	ファンクショナルタイマ 0~5 のトリガ入力端子	—
	EXTRG4	P21	I	ファンクショナルタイマ 0~5 のトリガ入力端子	—
	EXTRG5	P23	I	ファンクショナルタイマ 0~5 のトリガ入力端子	—
	EXTRG6	P26	I	ファンクショナルタイマ 0~5 のトリガ入力端子	—
	EXTRG7	P27	I	ファンクショナルタイマ 0~5 のトリガ入力端子	—
16 ビットタイマ	TMH0OUT	P04	O	16 ビットタイマ 0 出力端子	正
	TMH1OUT	P13	O	16 ビットタイマ 1 出力端子	正
	TMH2OUT	P23	O	16 ビットタイマ 2 出力端子	正
	TMH3OUT	P13 P33	O	16 ビットタイマ 3 出力端子	正
	TMH4OUT	P12	O	16 ビットタイマ 4 出力端子	正
	TMH5OUT	P16	O	16 ビットタイマ 5 出力端子	正
タイムベース カウンタ (TBC)	TBCOUT0	P01	O	仮想周波数補正クロック出力端子	正
		P17			
		P26			
		P31			
	TBCOUT1	P43	O	タイムベースカウンタ 1Hz/2Hz 出力端子	正
		P01			
		P20			
		P27			
ブザー	BZ0P	P31	O	ブザー出力信号 (正相)	正
		P43			
	BZ0N	P01	O	ブザー出力信号 (逆相)	負
		P20			

表 4 端子説明(4/4)

機 能	信号名	端子名	I/O	説 明	論理
外部割込み	EXI0	P02	I	GPIO マスカブル外部割込み端子	—
	EXI1	P03	I	GPIO マスカブル外部割込み端子	—
	EXI2	P04	I	GPIO マスカブル外部割込み端子	—
	EXI3	P17	I	GPIO マスカブル外部割込み端子	—
	EXI4	P21	I	GPIO マスカブル外部割込み端子	—
	EXI5	P23	I	GPIO マスカブル外部割込み端子	—
	EXI6	P26	I	GPIO マスカブル外部割込み端子	—
	EXI7	P27	I	GPIO マスカブル外部割込み端子	—
逐次比較型 A/D コンバータ	V _{REF}	P23	—	逐次比較型 A/D コンバータ用リファレンス電源端子	—
	AIN0	P17	I	逐次比較型 A/D コンバータチャンネル 0 のアナログ入力	—
	AIN1	P20	I	逐次比較型 A/D コンバータチャンネル 1 のアナログ入力	—
	AIN2	P21	I	逐次比較型 A/D コンバータチャンネル 2 のアナログ入力	—
	AIN3	P22	I	逐次比較型 A/D コンバータチャンネル 3 のアナログ入力	—
	AIN4	P24	I	逐次比較型 A/D コンバータチャンネル 4 のアナログ入力	—
	AIN5	P25	I	逐次比較型 A/D コンバータチャンネル 5 のアナログ入力	—
	AIN6	P26	I	逐次比較型 A/D コンバータチャンネル 6 のアナログ入力	—
	AIN7	P27	I	逐次比較型 A/D コンバータチャンネル 7 のアナログ入力	—
	AIN8	P65	I	逐次比較型 A/D コンバータチャンネル 8 のアナログ入力	—
	AIN9	P66	I	逐次比較型 A/D コンバータチャンネル 9 のアナログ入力	—
	AIN10	P43	I	逐次比較型 A/D コンバータチャンネル 10 のアナログ入力	—
	AIN11	P03	I	逐次比較型 A/D コンバータチャンネル 11 のアナログ入力	—
アナログ コンパレータ	CMP0P	P03	I	アナログコンパレータ 0 非反転入力	—
	CMP0M	P02	I	アナログコンパレータ 0 反転入力	—
	CMP1P	P62	I	アナログコンパレータ 1 非反転入力	—
	CMP1M	P63	I	アナログコンパレータ 1 反転入力	—
D/A コンバータ	DACOUT	P01	O	D/A コンバータの出力端子	—

■未使用端子処理

表 5 に ML62Q1400 グループの未使用端子の処理方法を示します。

表 5 未使用端子の処理

端子名	推奨端子処理
RESET_N	抵抗を介して V_{DD} に接続してください。
P00/TEST0	初期値のプルアップ抵抗付き入力モードの状態で端子をオープンにしてください。
XT0/PI00, XT1/PI01	初期値のハイインピーダンスの状態で端子をオープンにしてください。
P01 ~ P07	
P10 ~ P17	
P20 ~ P27	
P30 ~ P33	
P40 ~ P47	
P50 ~ P57	
P60 ~ P67	
P70 ~ P75	

【注意】

- 未使用の入力端子および入出力端子は、入力状態（プルアップ抵抗無しの入力モードまたは入出力モード）で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 5 の処理方法に従ってください。

■電気的特性

●絶対最大定格

(V_{SS}=0V)

項 目	記 号	条 件		定 格 値	単位
電源電圧 1	V _{DD}	Ta=+25°C		-0.3~+6.5	V
電源電圧 2	V _{DDL}	Ta=+25°C		-0.3~+2.0	V
入力電圧	V _{IN}	Ta=+25°C		-0.3~V _{DD} +0.3 ^{*1}	V
出力電圧 1	V _{OUT1}	Ta=+25°C		-0.3~+6.5	V
出力電圧 2	V _{OUT2}	Ta=+25°C		-0.3~V _{DD} +0.3 ^{*1}	V
“H”レベル出力電流	I _{OUTH}	Ta=+25°C	1 端子	-40 ^{*2}	mA
			端子合計	-150 ^{*2}	mA
“L”レベル出力電流	I _{OUTL}	Ta=+25°C	1 端子	+40	mA
			端子合計	+150	mA
許容損失	PD	Ta=25°C		1	W
保存温度	T _{STG}	—		-55~+150	°C

*¹: 6.5V 以下であること。*²: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

【注意】

絶対最大定格を越えると、製品の品質を損なう恐れがあります。絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で製品をご使用ください。

●推奨動作条件

(V_{SS}=0V)

項 目	記 号	条 件	範 囲	単 位
動作温度	T _{OP}	—	-40~+105	°C
動作電圧	V _{DD}	—	1.6~5.5	V
動作周波数 (CPU)	f _{OP}	V _{DD} =1.6~5.5V	30k~4M	Hz
		V _{DD} =1.8~5.5V	30k~25M	
V _{DDL} 端子外付け容量	C _L	—	1.0±30%	μF

メーカー	品名	周波数 (kHz)	負荷容量 CL(pf)	発振のモード	発振回路定数 C _{DL} (pf) (参考) *3	発振回路定数 C _{GL} (pf) (参考) *3
京セラ	ST3215SB* ¹	32.768	7	標準	13	13
				低消費発振	12	12
			9	タフ	13	13
	18			18		
SII	VT-200F* ¹		12.5	標準	22	22
			9	低消費発振	16	16
大真空	DST1610A* ¹		12.5	タフ	22	22

*¹: 水晶振動子は+85°C 対応製品です。

+105°C 対応製品の水晶振動子については振動子メーカーにお問い合わせください。

*²: 容量値には、配線容量や寄生容量を含んでいます。*³: お客様の環境によっては、容量値を最適値に変更していただく必要があります。

●消費電流特性

(特に指定のない場合は, $V_{DD}=1.6\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
消費電流 0	IDD0	CPU が STOP-D 状態 低速 RC1K / 低速 RC / PLL 発振停止	$T_a=-40\sim +85^{\circ}C$	—	0.5	20	μA
			$T_a=-40\sim +105^{\circ}C$	—	0.5	55	
消費電流 1	IDD1	CPU が STOP 状態 低速 RC1K / 低速 RC / PLL 発振停止	$T_a=-40\sim +85^{\circ}C$	—	0.65	22	μA
			$T_a=-40\sim +105^{\circ}C$	—	0.65	60	
消費電流 2-1	IDD2-1	低速 RC 発振時 CPU が HALT 状態 (LTBC, WDT 動作 ^{*1}) PLL 発振停止	$T_a=-40\sim +85^{\circ}C$	—	3.4	27	μA
			$T_a=-40\sim +105^{\circ}C$	—	3.4	67	
消費電流 2-2	IDD2-2	低速水晶発振時 CPU が HALT 状態 (LTBC, WDT 動作 ^{*1}) PLL 発振停止	$T_a=-40\sim +85^{\circ}C$	—	2.2	27	μA
			$T_a=-40\sim +105^{\circ}C$	—	2.2	67	
消費電流 3	IDD3	CPU が低速 RC 動作状態 ^{*1*2} PLL 発振停止	$T_a=-40\sim +105^{\circ}C$	—	14	76	μA
消費電流 4	IDD4	CPU が 16MHz 動作状態 ^{*2} PLL 32MHz 発振時 $V_{DD}=1.8\sim 5.5V$	$T_a=-40\sim +105^{\circ}C$	—	5.0	6.2	mA
消費電流 5	IDD5	CPU が 24MHz 動作状態 ^{*2} PLL 24MHz 発振時 $V_{DD}=1.8\sim 5.5V$	$T_a=-40\sim +105^{\circ}C$	—	7.3	8.5	mA

^{*1}: LTBC, WDT 動作状態, ブロッククロックコントロールレジスタ 0~3 (BLKCON0-3) ならびにブロックリセットコントロールレジスタ 0~3 (BRECON0-3) の有効ビットが全て“1”の状態

^{*2}: CPU はウェイトモードで動作時

1

●低速水晶発振特性

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
水晶発振周波数 ^{*1} ^{*2}	f_{XTL}	—	—	32.768	—	kHz
水晶発振開始時間	T_{XTL}	—	—	—	2	s

^{*1}: 発振周波数は発振回路, 水晶振動子, 水晶発振外付け容量(C_{GL}/C_{DL})の回路定数で設定します。

水晶振動子によって回路定数は変わりますので, 実装回路でのマッチング評価が必要です。

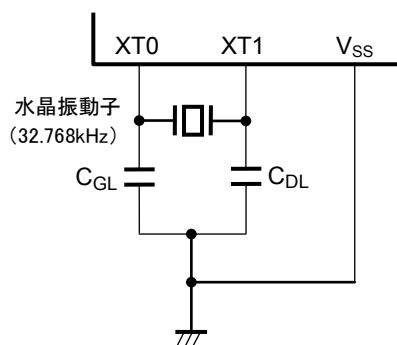
振動子メーカーにマッチング評価を依頼して発振特性を確認してご使用ください。

^{*2}: 回路基板の材質や配線パターン, および水晶振動子や端子などの配線容量や寄生容量によって発振特性の品質を損なう恐れがあります。

外付け回路の設計には十分ご注意ください。

- 外付け回路の配線は極力短くしてください。
- 水晶発振外付け容量, 水晶振動子の配線は極力短くしてください。
- 外付け回路の配線と大電流が流れる配線は交差および隣接させないでください。
- 外付け回路の配線と他信号の配線は交差させないでください。
- 水晶発振外付け容量の接地点への接続については, 極力電流変動や電圧変動の少ない静かな接地配線に接続してください。
- 使用環境によっては基板の吸湿や基板表面での結露などで発振特性の品質を損なう恐れがあります。回路基板を樹脂密閉するなどの対策を推奨します。

低速水晶発振の外付け回路例



●外部クロック入力特性

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
入力周波数	f_{EXCK}	—	Typ. -1.0%	32.768	Typ. +1.0%	kHz
入力パルス幅	t_{EXCKW}	—	$1/f_{EXCK}$ $\times 0.4$		$1/f_{EXCK}$ $\times 0.6$	s

●オンチップオシレータ特性

(特に指定のない場合は, $V_{DD}=1.6\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
低速 RC 発振周波数 1	f _{RCL1}	Ta=+25 °C, V _{DD} =1.8~5.5V ソフトウェア補正 ^{*1} なし	Typ. -1.0%	32.768	Typ. +1.0%	kHz	1
		Ta=-40~+85 °C, V _{DD} =1.8~5.5V ソフトウェア補正なし	Typ. -2.5%	32.768	Typ. +2.5%		
		Ta=-40~+105 °C, V _{DD} =1.8~5.5V ソフトウェア補正なし	Typ. -3.0%	32.768	Typ. +3.0%		
		V _{DD} =1.6~1.8V ソフトウェア補正なし	Typ. -3.5%	32.768	Typ. +3.5%		
低速 RC 発振周波数 2	f _{RCL2}	Ta=-40~+85 °C, V _{DD} =1.8~5.5V ソフトウェア補正あり	Typ. -1.0%	32.768	Typ. +1.0%		
		Ta=-40~+105 °C, V _{DD} =1.8~5.5V ソフトウェア補正あり	Typ. -1.5%	32.768	Typ. +1.5%		
PLL 発振周波数 1	f _{PLL1}	Ta=-40~+85 °C, V _{DD} =1.8~5.5V 内蔵低速 RC/ソフトウェア補正なし	Typ. -2.5%	16/24/ 32	Typ. +2.5%	MHz	
		Ta=-40~+105 °C, V _{DD} =1.8~5.5V 内蔵低速 RC/ソフトウェア補正なし	Typ. -3.0%	16/24/ 32	Typ. +3.0%		
		V _{DD} =1.6~5.5V 内蔵低速 RC/ソフトウェア補正なし	Typ. +3.5%	16/24/ 32	Typ. +3.5%		
PLL 発振周波数 2	f _{PLL2}	Ta=-40~+85 °C, V _{DD} =1.8~5.5V 内蔵低速 RC/ソフトウェア補正あり	Typ. -1.0%	16/24/ 32	Typ. +1.0%		
		Ta=-40~+105 °C, V _{DD} =1.8~5.5V 内蔵低速 RC/ソフトウェア補正あり	Typ. -1.5%	16/24/ 32	Typ. +1.5%		
PLL 発振安定時間	T _{PLL}	V _{DD} =1.6~5.5V	—	—	2	ms	
低速 RC1K 発振周波数 (ウォッチドッグタイマ専用)	f _{RC1K}	Ta=-40~+105 °C, V _{DD} =1.6~5.5V	0.5	1	2.5	kHz	

*1: 逐次比較型 A/D コンバータの温度センサと低速 RC 発振周波数調整レジスタ(LRCADJ)を使用して周波数を補正します。

●入出力端子特性 1

(特に指定のない場合は, $V_{DD}=1.6\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
“H”/“L” レベル出力 電圧 1 (P00~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P75)	VOH1	IOH1=-10mA $V_{DD}\geq 4.5V$		V_{DD} -1.5	—	—	V	2
		IOH1=-1mA $V_{DD}\geq 1.6V$		V_{DD} -0.5	—	—		
	VOL1	IOL1=+10mA $V_{DD}\geq 4.5V$		—	—	1.5		
		IOL1=+1mA $V_{DD}\geq 1.6V$		—	—	0.5		
“L” レベル 出力電圧 2 (P01~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P75)	VOL2	Nch オープンドレイン 出力選択時	IOL2=+15mA $V_{DD}\geq 4.5V$	—	—	0.7	V	2
			IOL2=+8mA $V_{DD}\geq 3.0V$	—	—	0.5		
			IOL2=+3mA $V_{DD}\geq 2.0V$	—	—	0.4		
			IOL2=+2mA $2.0V > V_{DD}\geq 1.6V$	—	—	0.4		

●入出力端子特性 2

(特に指定のない場合は, $V_{DD}=1.6\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路
				Min.	Typ.	Max.		
“H” レベル 出力電流 1 *1*4	IOH1	1 端子	$V_{DD}\geq 4.5V$	-10 *3*5	—	—	mA	3
			$V_{DD}\geq 1.6V$	-1 *3*5	—	—		
		P00~P07, P10~P13, P44~P47, P50~P53, P70~P75 合計 (デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	-90 *5	—	—		
			$V_{DD}\geq 1.6V$	-20 *5	—	—		
		P14~P17, P20~P27, P30~P33, P40~P43, P54~P57, P60~P67 合計 (デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	-90 *5	—	—		
			$V_{DD}\geq 1.6V$	-20 *5	—	—		
		全端子合計 (デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	-180 *5	—	—		
			$V_{DD}\geq 1.6V$	-40 *5	—	—		
“L” レベル 出力電流 1 *2	IOL1	1 端子 (CMOS 出力選択時)	$V_{DD}\geq 4.5V$	—	—	10 *3	mA	3
			$V_{DD}\geq 1.6V$	—	—	1 *3		
“L” レベル 出力電流 2 *2	IOL2	1 端子 *6	$V_{DD}\geq 4.5V$	—	—	15 *3		
			$V_{DD}\geq 3.0V$	—	—	8 *3		
			$V_{DD}\geq 2.0V$	—	—	3 *3		
			$V_{DD}\geq 1.6V$	—	—	2 *3		
“L” レベル出力 合計電流 *2*4	IOL3	P00~P07, P10~P13, P44~P47, P50~P53, P70~P75 合計 (デューティ $\leq 50\%$ 時 *6)	$V_{DD}\geq 4.5V$	—	—	90	mA	3
			$V_{DD}\geq 3.0V$	—	—	40		
			$V_{DD}\geq 2.0V$	—	—	15		
			$2.0V > V_{DD}\geq 1.6V$	—	—	10		
		P14~P17, P20~P27, P30~P33, P40~P43, P54~P57, P60~P67 合計 (デューティ $\leq 50\%$ 時 *6)	$V_{DD}\geq 4.5V$	—	—	90		
			$V_{DD}\geq 3.0V$	—	—	40		
			$V_{DD}\geq 2.0V$	—	—	15		
			$2.0V > V_{DD}\geq 1.6V$	—	—	10		
出力リーク (P00~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P75)	IOOH	VOH= V_{DD} (ハインピーダンス時)		—	—	+1	uA	
		VOL= V_{SS} (ハインピーダンス時)		-1 *5	—	—		

*¹: V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

*²: 出力端子から V_{SS} 端子に流れ込んでも、デバイスの動作を保証する電流値です。

*³: "H"/"L" レベル出力合計電流を超えないください。

*⁴: デューティ $\leq 50\%$ の条件での出力電流の値です。(IOH1 も同様)

デューティ $> 50\%$ に変更した出力電流の値は、次の計算式で求めることができます。

端子合計の出力電流 $= IOL3 \times 50/n$ (デューティ比を $n\%$ に変更する場合)

<計算例>

$IOL3=100\text{mA}$ で、 $n=80\%$ の場合、

端子合計の出力電流 $= IOL3 \times 50/80=62.5\text{mA}$

1 端子に流せる電流はデューティによって変わることはなく、 $IOL1 \cdot IOL2$ の規格となります。

また絶対最大定格以上の電流は流せません。

*⁵: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

*⁶: Nch オープンドレイン出力選択時

(特に指定のない場合は, $V_{DD}=1.6\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N)	IIH1	VIH1=V _{DD}	—	—	1	μA	4
	IIL1	VIL1=V _{SS}	-1* ¹	—	—		
入力電流 2 (P00/TEST0)	IIL2	VIL2=V _{SS} (プルアップ時)	-1500* ¹	-300* ¹	-20* ¹	kΩ	
	V/IIL2	VIL2=V _{SS} (プルアップ時)	3.7	10	80		
	IIH2Z	VIH2=V _{DD} (ハイインピーダンス時)	—	—	1	μA	
	IIL2Z	VIL2=V _{SS} (ハイインピーダンス時)	-1* ¹	—	—		
入力電流 3 (P01~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P75)	IIL3	VIL3=V _{SS} (プルアップ時)	-250* ¹	-30* ¹	-2* ¹	kΩ	
	V/IIL3	VIL3=V _{SS} (プルアップ時)	22	100	800		
	IIH3Z	VIH3=V _{DD} (ハイインピーダンス時)	—	—	1	μA	
	IIL3Z	VIL3=V _{SS} (ハイインピーダンス時)	-1* ¹	—	—		
入力電流 4 (PI00~PI01)	IIH4	VIH4=V _{DD}	—	—	1		
	IIL4	VIL4=V _{SS}	-1	—	—		
入力電圧 1 (RESET_N) (P00/TEST0) (P01~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P75) (PI00~PI01)	VIH1	—	0.7 ×V _{DD}	—	V _{DD}	V	
	VIL1	—	0	—	0.3 ×V _{DD}		
端子容量 (RESET_N) (P00/TEST0) (P01~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P75) (PI00~PI01)	CPIN	f = 10kHz Ta = 25°C	—	—	10	pF	—

*¹: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。
 流せる電流値は、絶対値が最大値となります。
 例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

●同期式シリアルポート特性
スレーブモード

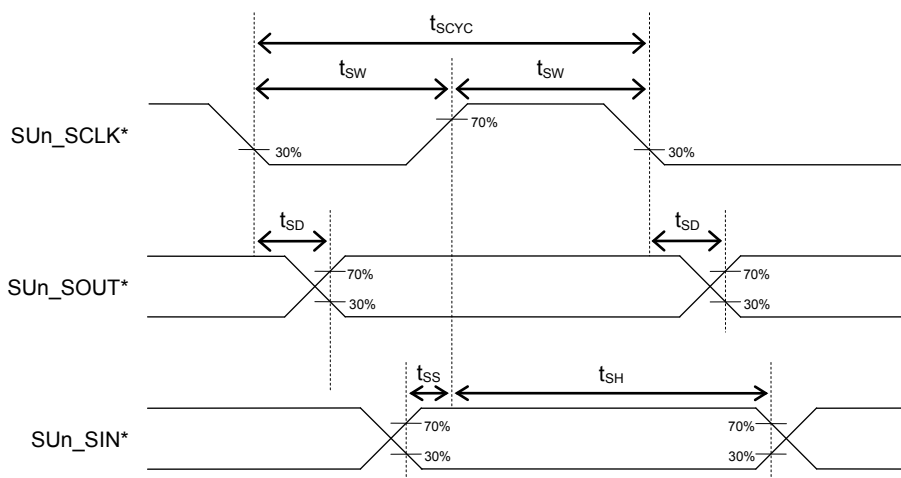
(特に指定のない場合は, $V_{DD}=1.8\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル	t_{SCYC}	—	1 ^{*2}	—	—	μs
SCLK 入力パルス幅	t_{SW}	—	0.5 ^{*3}	—	—	μs
SOUT 出力遅延時間	t_{SD}	$V_{DD}=2.4\sim 5.5V$	—	—	100+ HSCLK ^{*1} ×3	ns
		$V_{DD}=1.8\sim 5.5V$	—	—	200+ HSCLK ^{*1} ×3	ns
SIN 入力セットアップ時間	t_{SS}	—	HSCLK ^{*1} ×1	—	—	ns
SIN 入力ホールド時間	t_{SH}	—	80+ HSCLK ^{*1} ×3	—	—	ns

*1 高速クロックの周期

*2 HSCLK×8 以上の入力サイクルが必要

*3 HSCLK×4 以上の入力パルス幅が必要



*: ポートの 2~8 次機能を示す。

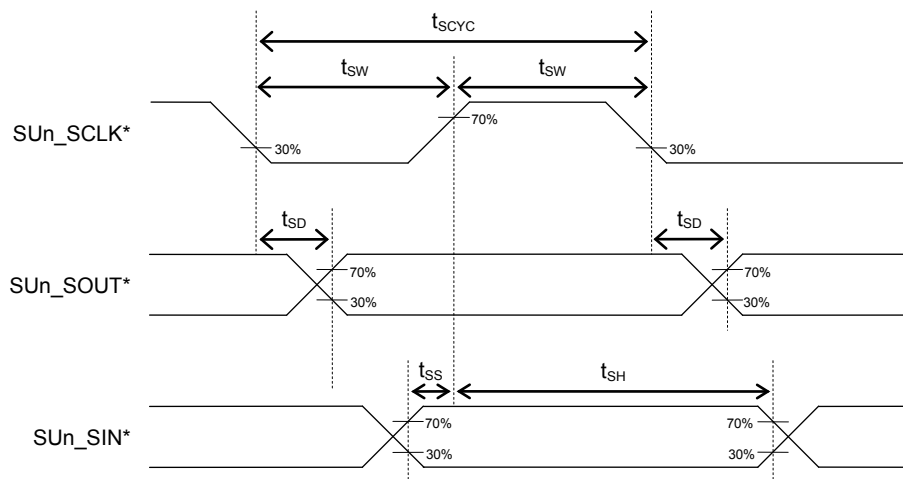
n: 0~1

マスタモード

(特に指定のない場合は, $V_{DD}=1.8\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCLK 出力サイクル	t_{SCYC}	—	—	$SCLK^{*1}$	—	ns
SCLK 出力パルス幅	t_{SW}	—	$SCLK^{*1}\times0.4$	$SCLK^{*1}\times0.5$	$SCLK^{*1}\times0.6$	ns
SOUT 出力遅延時間	t_{SD}	$V_{DD}=2.4\sim5.5V$	—	—	100	ns
		$V_{DD}=1.8\sim5.5V$	—	—	160	ns
SIN 入力セットアップ時間	t_{SS}	$V_{DD}=2.4\sim5.5V$	120	—	—	ns
		$V_{DD}=1.8\sim5.5V$	180	—	—	ns
SIN 入力ホールド時間	t_{SH}	$V_{DD}=2.4\sim5.5V$	80	—	—	ns
		$V_{DD}=1.8\sim5.5V$	100	—	—	ns

*1 同期式シリアルポート n モードレジスタ(SIO_nMOD)のビット 12~8(SnCK4~0)により選択されたクロック周期
($V_{DD}\geq 2.4V$ 時: min250ns, $V_{DD}\geq 1.8V$ 時: min500ns)



*: ポートの 2~8 次機能を示す。
n: 0~1

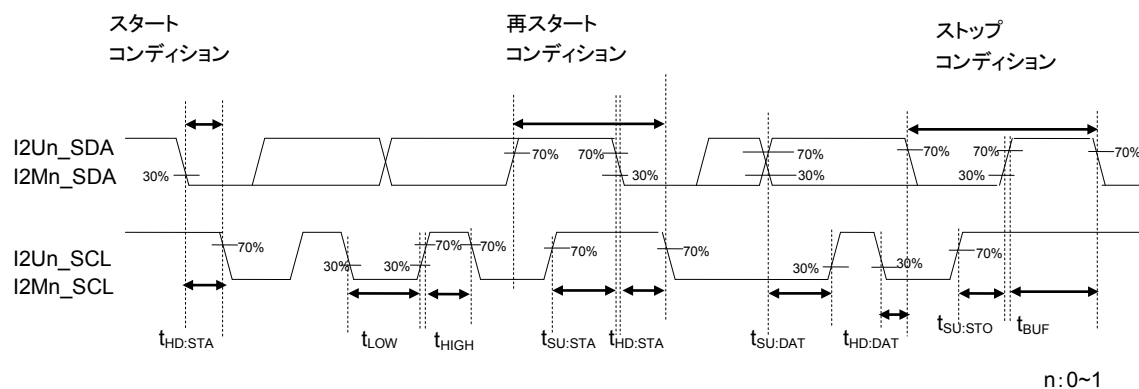
●I²C バス・インタフェース特性

標準モード(100Kbps)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	4.0	—	—	μs
SCL “L”レベル時間	t_{LOW}	—	4.7	—	—	μs
SCL “H”レベル時間	t_{HIGH}	—	4.0	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	4.7	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.25	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	4.0	—	—	μs
バスフリー時間	t_{BUF}	—	4.7	—	—	μs

I²C バスマスタとして使用する場合は, 上記規格値を守るようにI²C マスタ n モードレジスタ(I2MnMOD), I²C バス 0 モードレジスタ(マスタ側)(I2UM0MOD)を設定してください

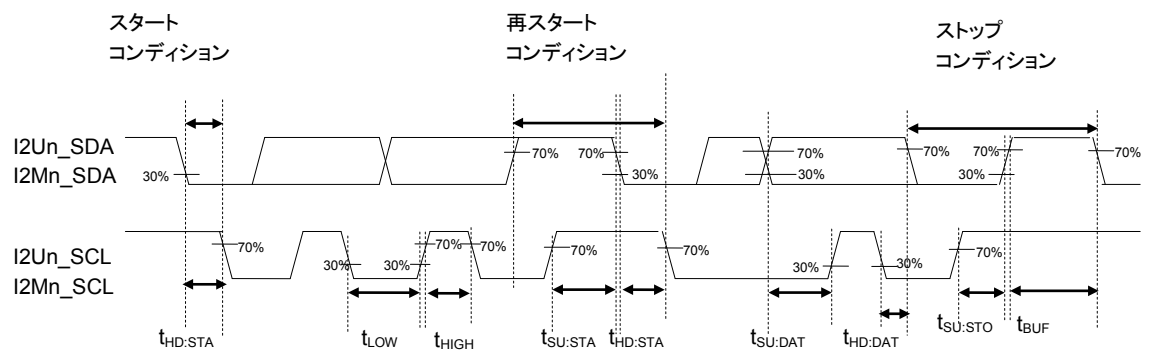


ファストモード(400Kbps)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.6	—	—	μs
SCL “L”レベル時間	t_{LOW}	—	1.3	—	—	μs
SCL “H”レベル時間	t_{HIGH}	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.6	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	μs
バスフリー時間	t_{BUF}	—	1.3	—	—	μs

I²C バスマスタとして使用する場合は, 上記規格値を守るように I²C マスタ n モードレジスタ (I2MnMOD), I²C バス 0 モードレジスタ (マスタ側) (I2UM0MOD) を設定してください



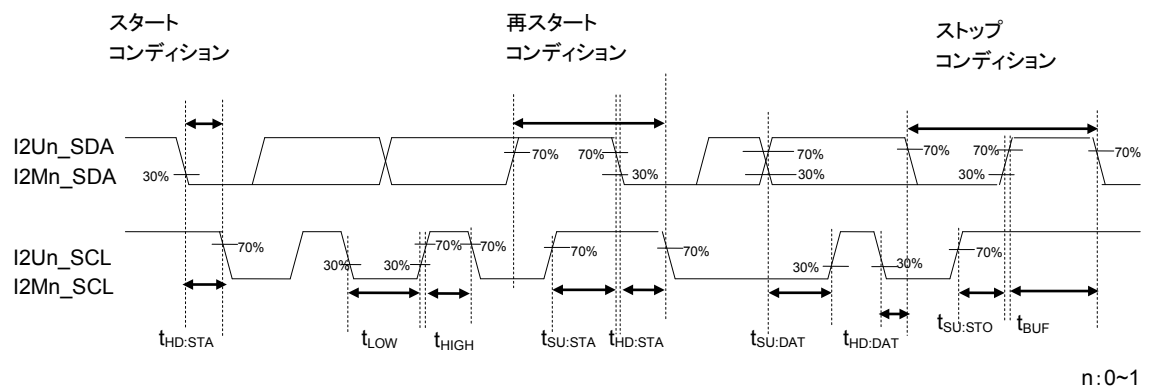
n:0~1

1Mbps モード

(特に指定のない場合は, $V_{DD} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	1000	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.26	—	—	μs
SCL “L” レベル時間	t_{LOW}	—	0.5	—	—	μs
SCL “H” レベル時間	t_{HIGH}	—	0.26	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.26	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.26	—	—	μs
バスフリー時間	t_{BUF}	—	0.5	—	—	μs

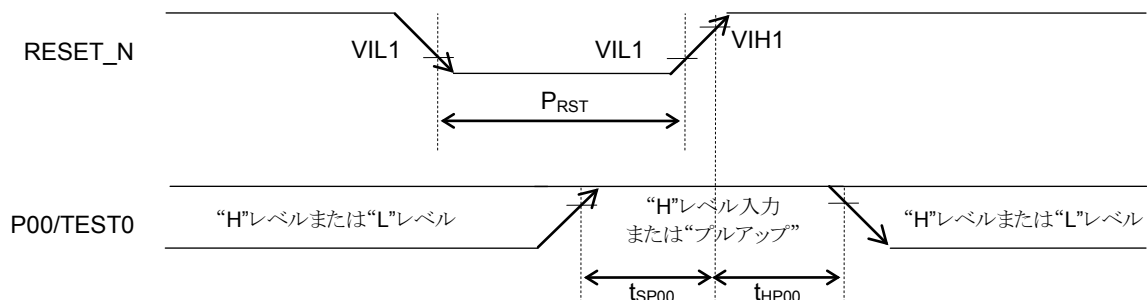
I²C バスマスタとして使用する場合は, 上記規格値を守るように I²C マスタ n モードレジスタ (I2MnMOD), I²C バス 0 モードレジスタ (マスタ側) (I2UM0MOD) を設定してください



●リセット特性

(特に指定のない場合は, $V_{DD}=1.6\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
リセット有効時間	P_{RST}	—	2	—	—	ms	1
P00“H”レベル セットアップ時間	t_{SP00}	—	1	—	—	ms	
P00“H”レベル ホールド時間	t_{HP00}	—	1	—	—	ms	



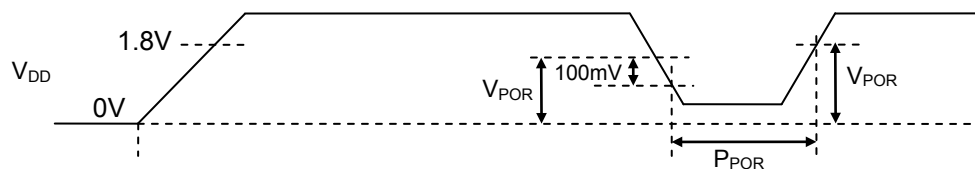
●パワーオンリセット特性

(特に指定のない場合は, $V_{SS}=0V$, $T_a=-40\sim+105^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定回路
			Min.	Typ.	Max.		
パワーオンリセット判定電圧	V_{POR}	電源立ち下がり時	1.44	1.5	1.58	V	1
		電源立ち上がり時	1.45	1.53	1.8	V	
パワーオンリセット発生 電源立ち上がり傾き	R_{POR}^{*1}	—	0.009	—	60	V/ms	
パワーオンリセット反応時間	P_{POR}	*2	200	—	—	μs	

*1: 電源起動時は V_{DD} を 1.8V 以上まで上昇させてください。*2: V_{DD} が V_{POR} より100mV以上低下してから内部のパワーオンリセットがかかるまでの時間です。

電源立ち下がり時にパワーオンリセットを発生させるためには、電源立ち下がり傾き 2V/ms 以下にしてください。



※電源の瞬停についての注意

電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。

パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。

●VLS 特性

(特に指定のない場合は, $V_{DD}=1.6\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105\text{ }^{\circ}C$)

項 目	記 号	条 件		規 格 値			単位	測定 回路
		VLS0LV ^{*1}		Min.	Typ.	Max.		
VLS 判定電圧 ^{*2}	V_{VLSR} / V_{VLSF}	00H	電源上昇時	3.86	4.06	4.26	V	1
			電源降下時	3.84	4.00	4.16		
		01H	電源上昇時	3.57	3.76	3.95		
			電源降下時	3.55	3.70	3.85		
		02H	電源上昇時	2.94	3.11	3.28		
			電源降下時	2.92	3.05	3.18		
		03H	電源上昇時	2.85	3.01	3.17		
			電源降下時	2.83	2.95	3.07		
		04H	電源上昇時	2.75	2.91	3.07		
			電源降下時	2.73	2.85	2.97		
		05H	電源上昇時	2.66	2.81	2.96		
			電源降下時	2.64	2.75	2.86		
		06H	電源上昇時	2.56	2.71	2.86		
			電源降下時	2.54	2.65	2.76		
		07H	電源上昇時	2.46	2.61	2.76		
			電源降下時	2.44	2.55	2.66		
		08H	電源上昇時	2.37	2.51	2.65		
			電源降下時	2.35	2.45	2.55		
		09H	電源上昇時	1.98	2.11	2.24		
			電源降下時	1.96	2.05	2.14		
		0AH	電源上昇時	1.89	2.01	2.13		
			電源降下時	1.87	1.95	2.03		
		0BH	電源上昇時	1.79	1.91	2.03		
			電源降下時	1.77	1.85	1.93		
VLS 消費電流	I_{VLS}	—		—	50	—	nA	

^{*1}: 電圧レベル検出回路 0 レベルレジスタ(VLS0LV)のビット 3～ビット 0^{*2}: VLS 判定電圧の VLS0LV=0CH~0FH は設定禁止です。設定した場合, 0BH 設定した時と同じ値になります。

●コンパレータ特性

(特に指定のない場合は, $V_{DD}=1.8\sim5.5V$, $V_{SS}=0V$, $T_a=-40\sim+105\text{ }^{\circ}C$)

項 目	記 号	条 件	規 格 値			単位	測定 回路
			Min.	Typ.	Max.		
コンパレータ 同相入力電圧範囲	V_{CMR}	—	0.1	—	V_{DD} -1.5	V	1
コンパレータ 入力オフセット	V_{CMOF}	$T_a=+25\text{ }^{\circ}C$, $V_{DD}=5.0V$	—	5	—	mV	
コンパレータ 基準電圧	V_{CMREF}	—	0.75	0.8	0.85	V	

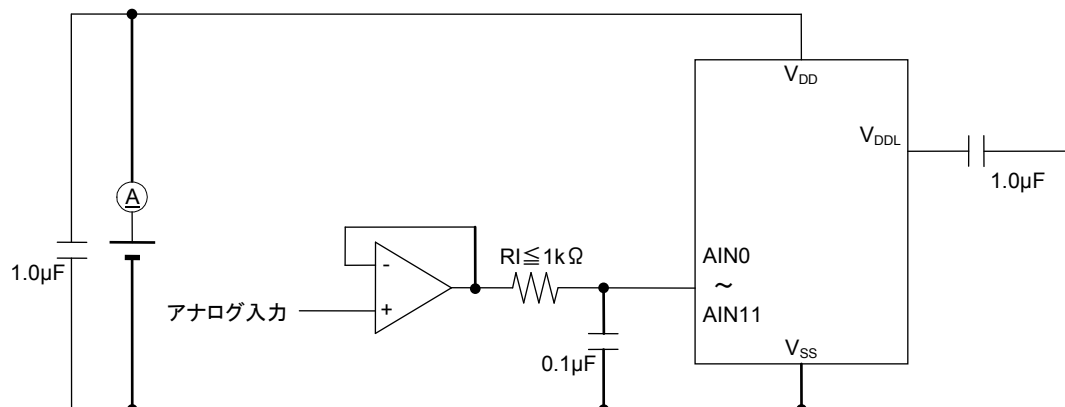
●逐次比較型 A/D コンバータ特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項 目	記 号	条 件	規 格 値			単位
			Min.	Typ.	Max.	
分解能	n	—	—	—	10	ビット
積分非直線性誤差	AINL	$2.7V \leq V_{REFP}^{*1} \leq 5.5V$	-4	—	4	LSB
		$2.2V \leq V_{REFP}^{*1} < 2.7V$	-6	—	6	
		$1.8V \leq V_{REFP}^{*1} < 2.2V$	-10	—	10	
		$V_{REFP} = \text{内部発生基準電圧}$	-15	—	15	
微分非直線性誤差	ADNL	$2.7V \leq V_{REFP}^{*1} \leq 5.5V$	-3	—	3	
		$2.2V \leq V_{REFP}^{*1} < 2.7V$	-5	—	5	
		$1.8V \leq V_{REFP}^{*1} < 2.2V$	-9	—	9	
		$V_{REFP} = \text{内部発生基準電圧}$	-14	—	-14	
ゼロスケール誤差	ZSE	$R_I \leq 1k\Omega$	-6	—	6	V
フルスケール誤差	FSE	$R_I \leq 1k\Omega$	-6	—	6	
A/D リファレンス入力電圧	V_{REFX}	—	1.8	—	V_{DD}	
内部発生基準電圧	V_{REFI}	—	1.5	1.55	1.6	μs
変換時間	t_{CONV}	$V_{DD} = 5.0V$	2.25	—	427	
		$2.2V \leq V_{DD} \leq 5.5V$	4.5	—	427	
		$1.8V \leq V_{DD} \leq 5.5V$	18	—	427	

*1: SA-ADC TEMP/VREF コントロールレジスタ(VREFCON)のビット 5(VREFP1), ビット 4(VREFP0)により V_{DD} または, $P23/V_{REF}$ を逐次比較型 A/D コンバータの基準電圧 (V_{REFP}) に選択した場合です。

ADC サンプリング中にはコンデンサに充電するために電流が流れます。十分にサンプリングするためには, アナログ入力源の出力インピーダンスを $1k\Omega$ 以下にしてください。また、ノイズを低減するために $0.1\mu F$ 程度のコンデンサを付けることを推奨します。



●D/A コンバータ特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
分解能	n	—	—	—	8	ビット
変換周期	tc	—	10	—	—	μs
積分非直線性誤差	DINL	RL=4M Ω	-2	—	2	LSB
微分非直線性誤差	DDNL	RL=4M Ω	-1	—	1	
出力インピーダンス	Ro	D/A コンバータイネーブルレジスタ (DACEN) のビット 1(DAEN) を 1 に設定した状態	3	6	9	k Ω

●リファレンス電圧出力特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項 目	記 号	条 件	規 格 値			単 位
			Min.	Typ.	Max.	
出力電圧値	V_{REFOUT}	—	—	1.55	—	V
出力インピーダンス	$R_{VREFOUT}$	—	—	—	500	k Ω

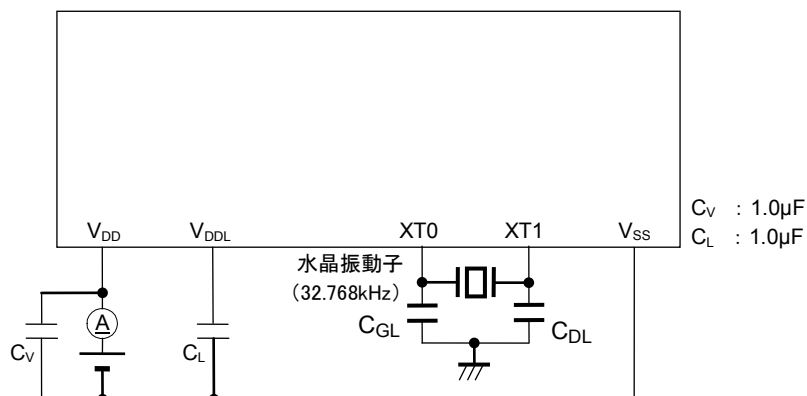
●フラッシュメモリ動作条件

(V_{SS} = 0V)

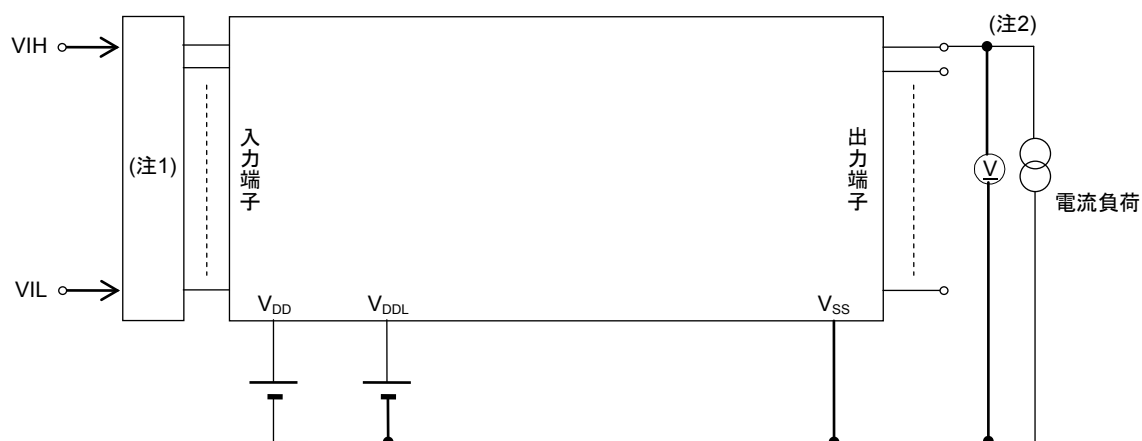
項 目	記 号	条 件		範 囲	単 位
動作温度	T _{OP}	データ領域: 書き込み/消去時		-40~+85	°C
		プログラム領域: 書き込み/消去時		0~+40	
動作電圧	V _{DD}	書き込み/消去時		1.8~5.5	V
書き換え回数	CEPD	データ領域 (1024B x 2)		10000	回
	CEPP	プログラム領域		100	
消去単位	—	ブロック消去	プログラム領域	16K	B
			データ領域	2K	
	—	セクタ消去	プログラム領域	1K	B
			データ領域	128	
消去時間(最大)	—	ブロック消去/ セクタ消去		85	ms
書き込み単位	—	プログラム領域		4	B
		データ領域		1	
書き込み時間(最大)	—	プログラム領域		80	μs
	—	データ領域		40	
データ保持年数	YDR	—		15	年

●測定回路

測定回路 1

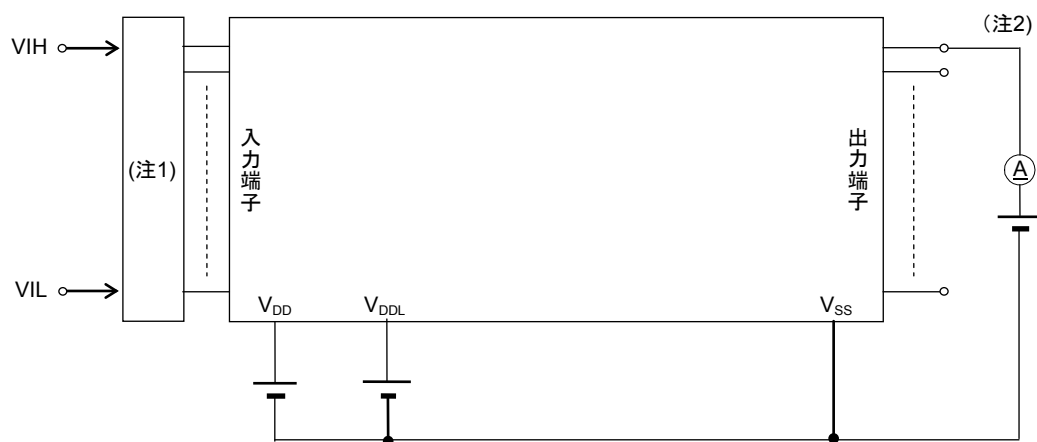


測定回路 2



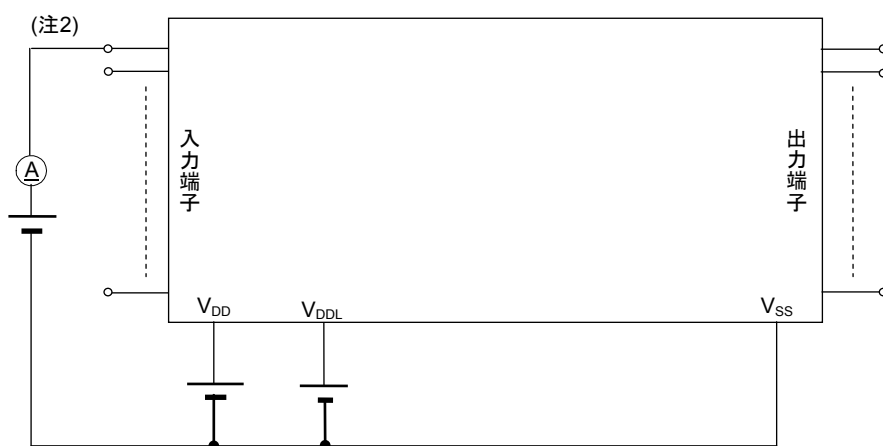
(注1) 指定の状態にする入力ロジック
(注2) 対象の端子に接続して測定する

測定回路 3

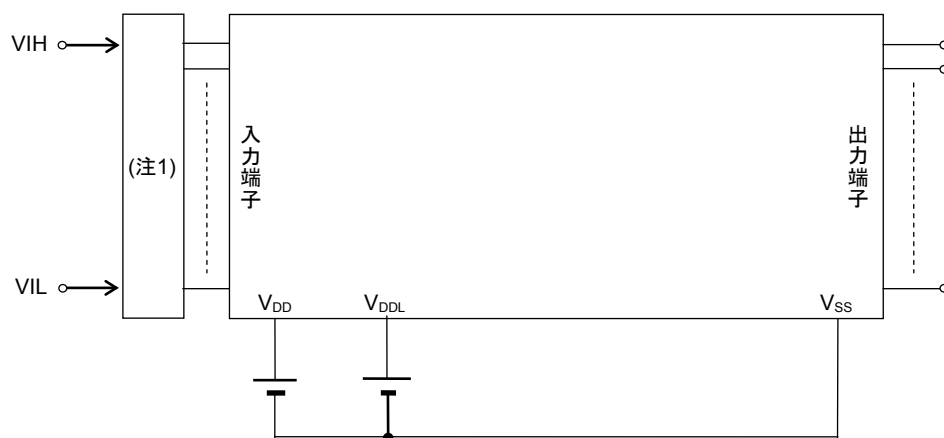


(注1) 指定の状態にする入力ロジック
(注2) 対象の端子に接続して測定する

測定回路 4



測定回路 5

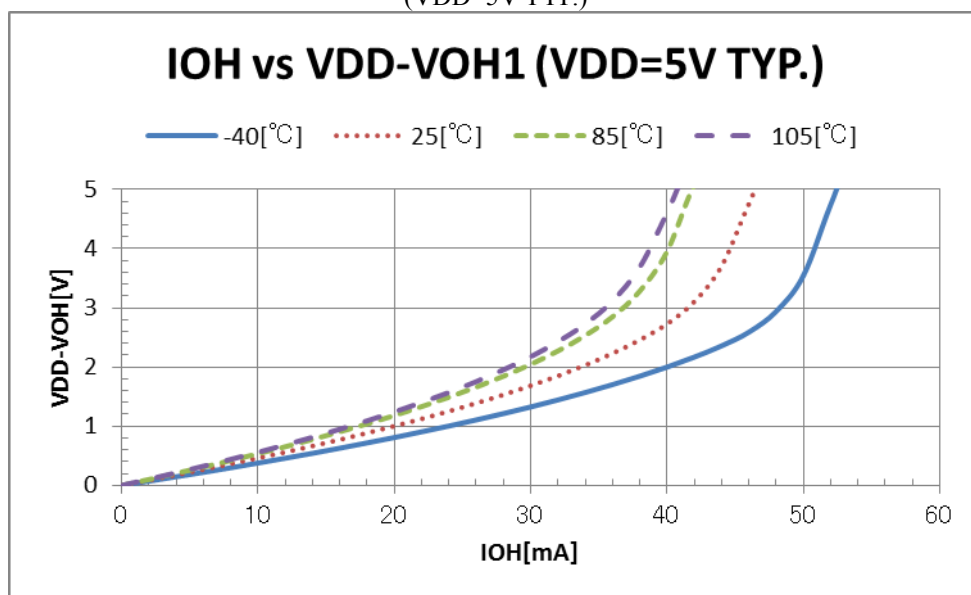


●ML62Q1200 1400 1600 特性グラフ

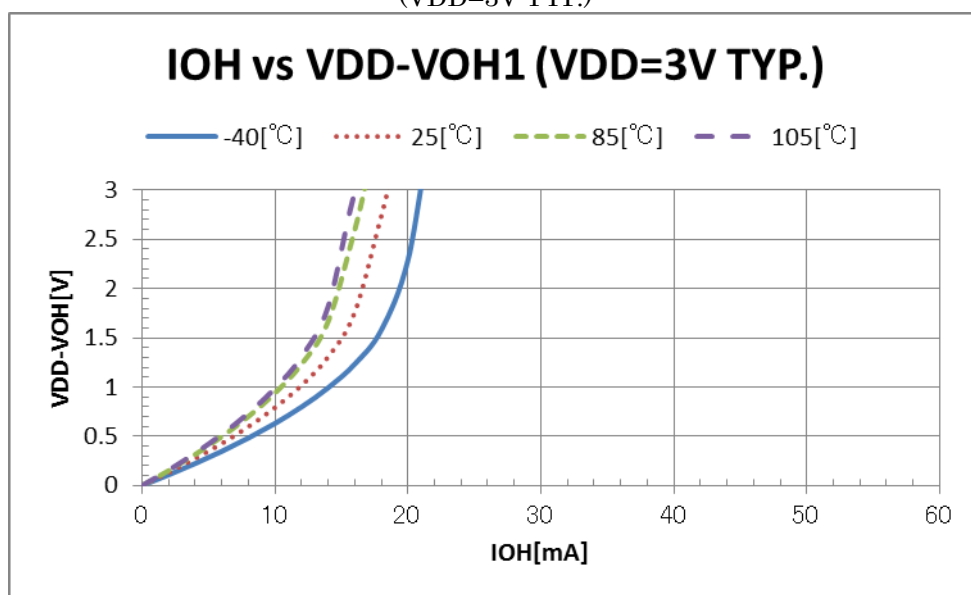
これらのグラフは、アプリケーション設計のための参考値です。
These Graphs are reference for designing an application.

IOH VS VDD-VOH1

(VDD=5V TYP.)

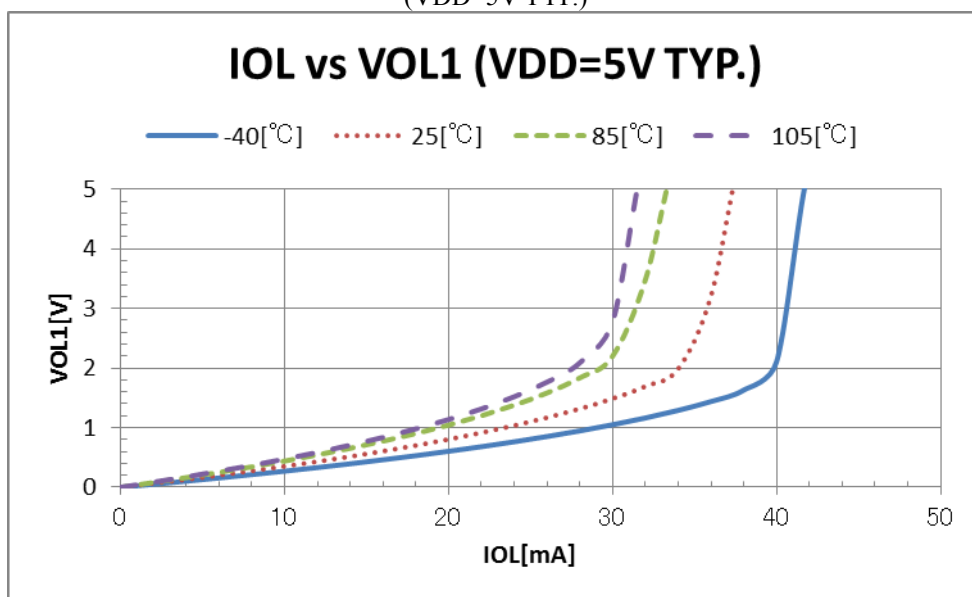


(VDD=3V TYP.)

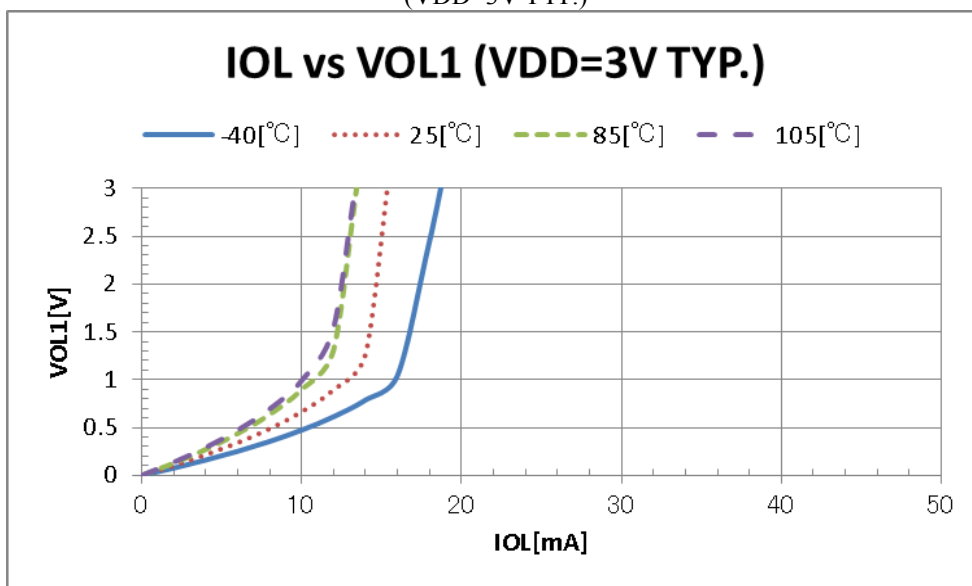


IOL VS VOL1

(VDD=5V TYP.)

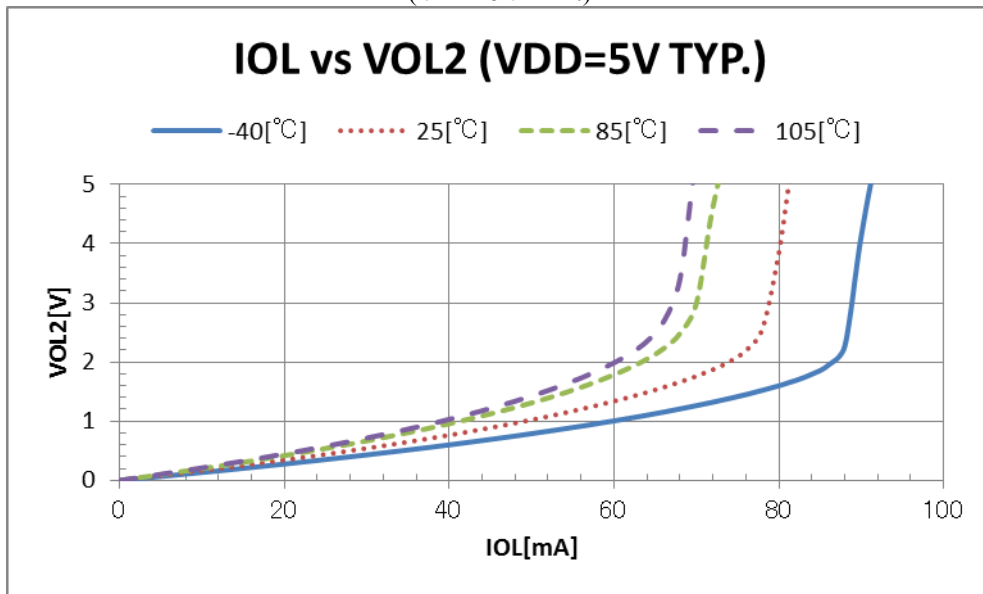


(VDD=3V TYP.)

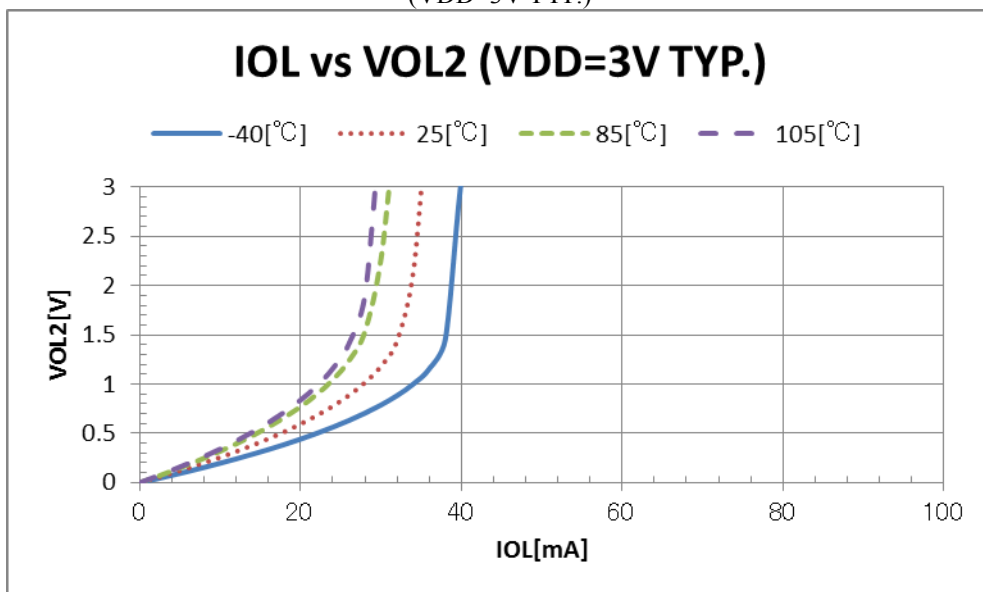


IOL VS VOL2

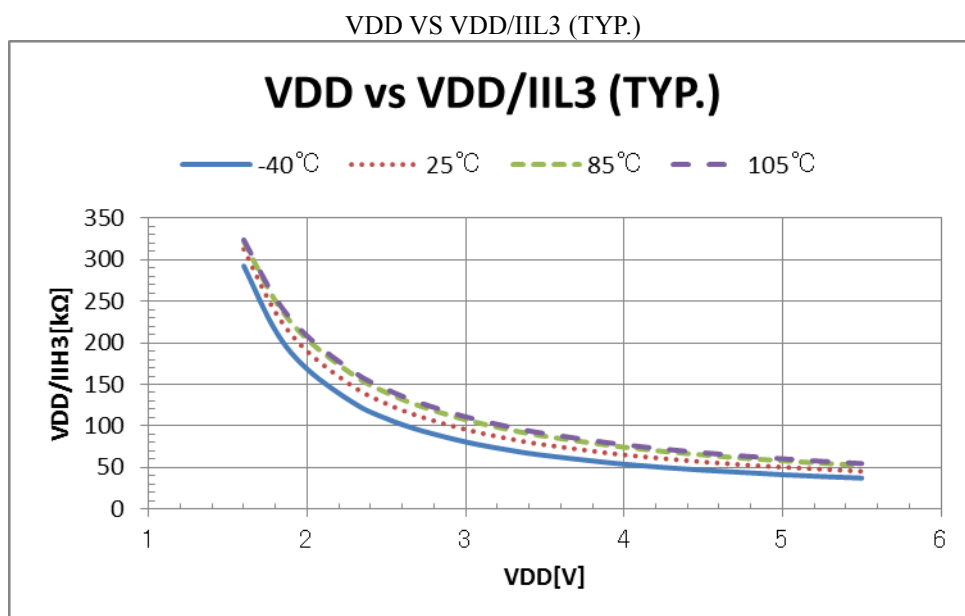
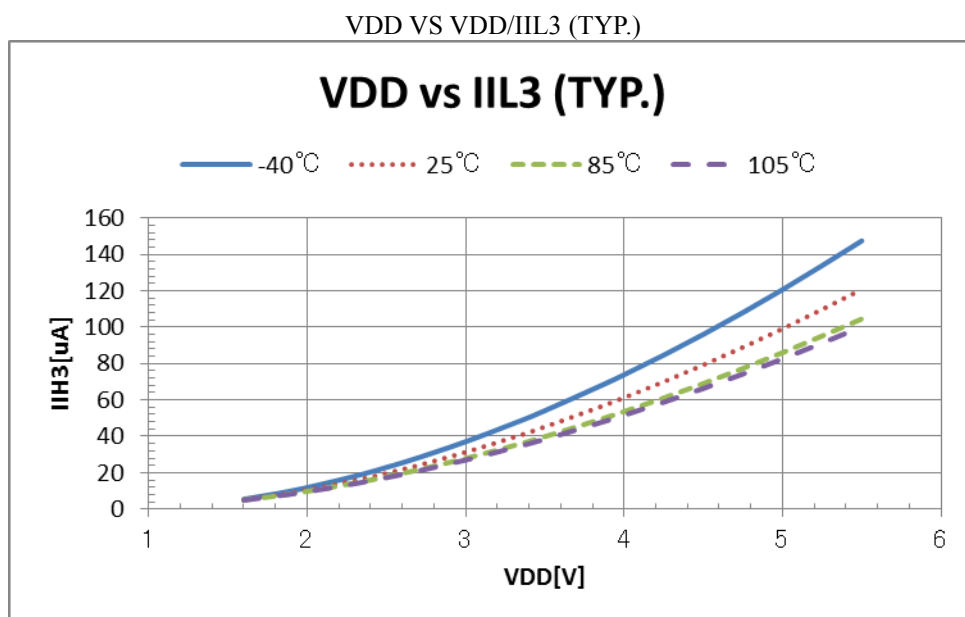
(VDD=5V TYP.)



(VDD=3V TYP.)

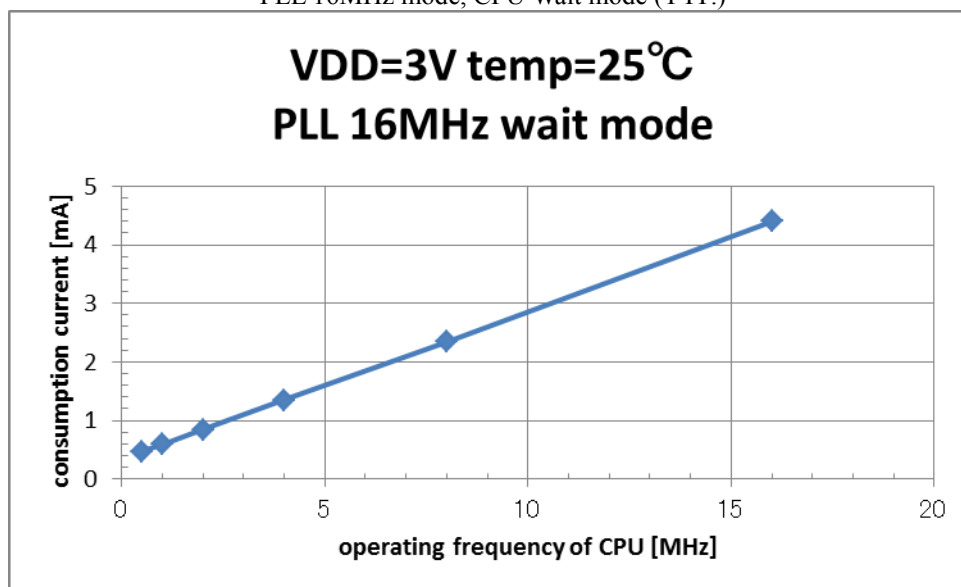


Pull-up resistor

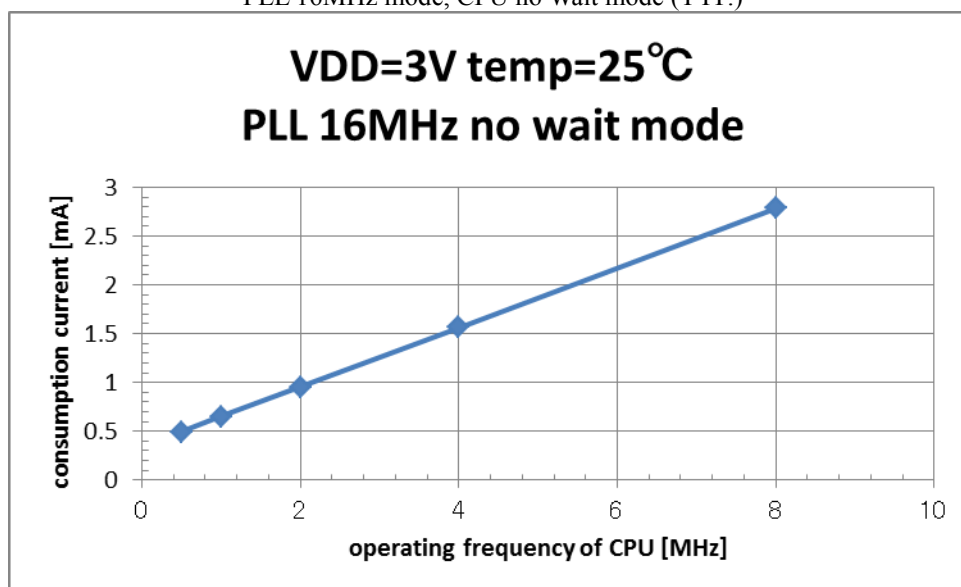


Current consumption VS operating frequency of CPU

VDD=3V, temp=25°C, stop the clock supply to peripherals.
PLL 16MHz mode, CPU Wait mode (TYP.)

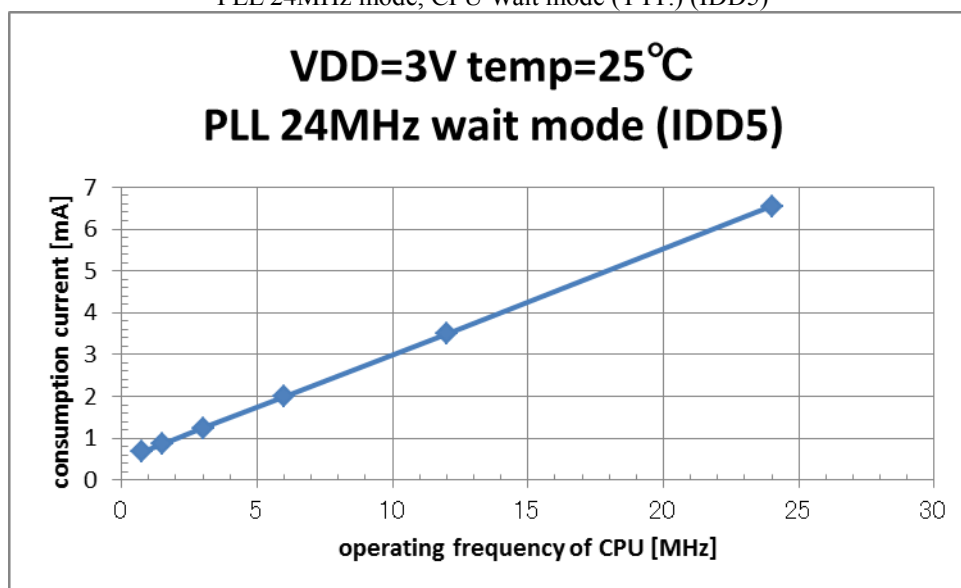


PLL 16MHz mode, CPU no Wait mode (TYP.)

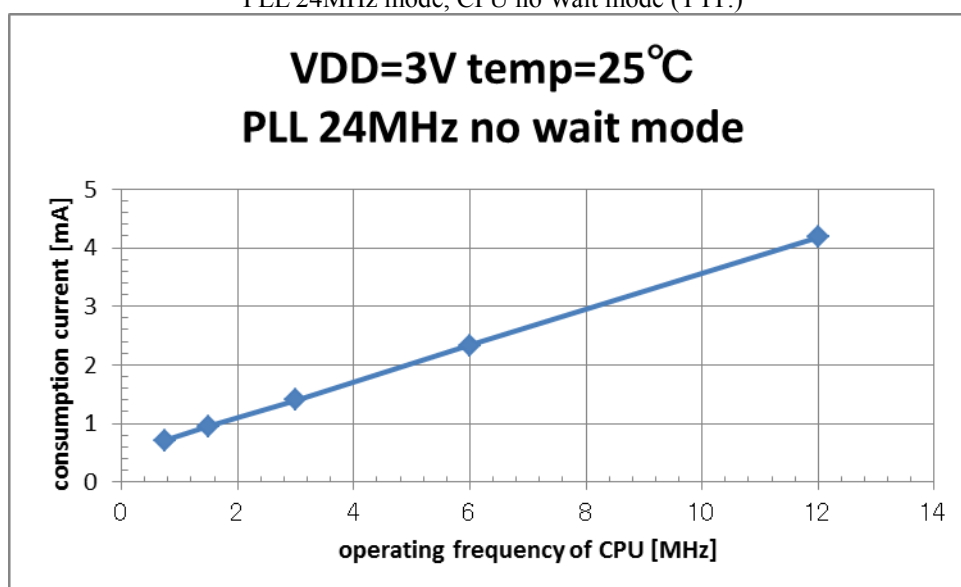


VDD=3V, temp=25°C, stop the clock supply to peripherals.

PLL 24MHz mode, CPU Wait mode (TYP.) (IDD5)

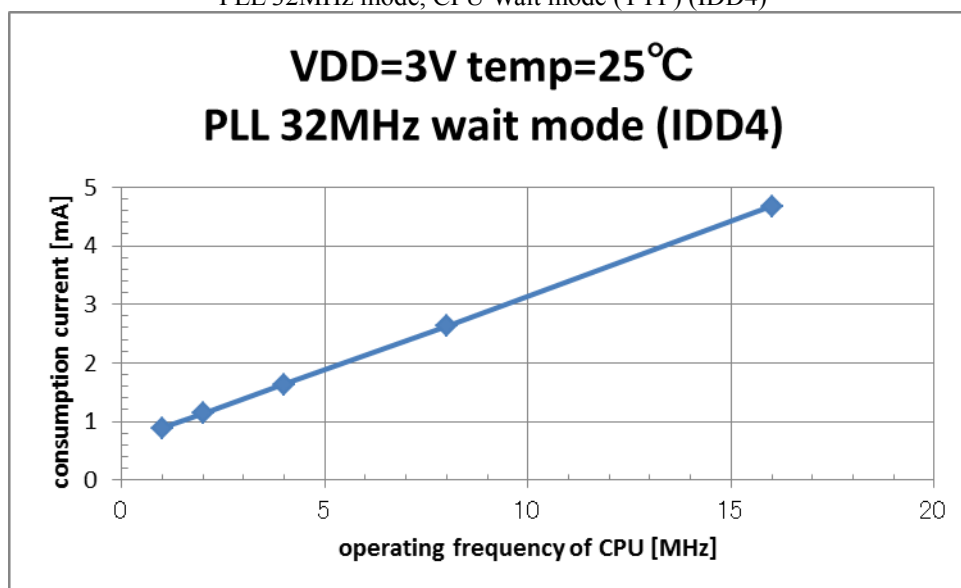


PLL 24MHz mode, CPU no Wait mode (TYP.)

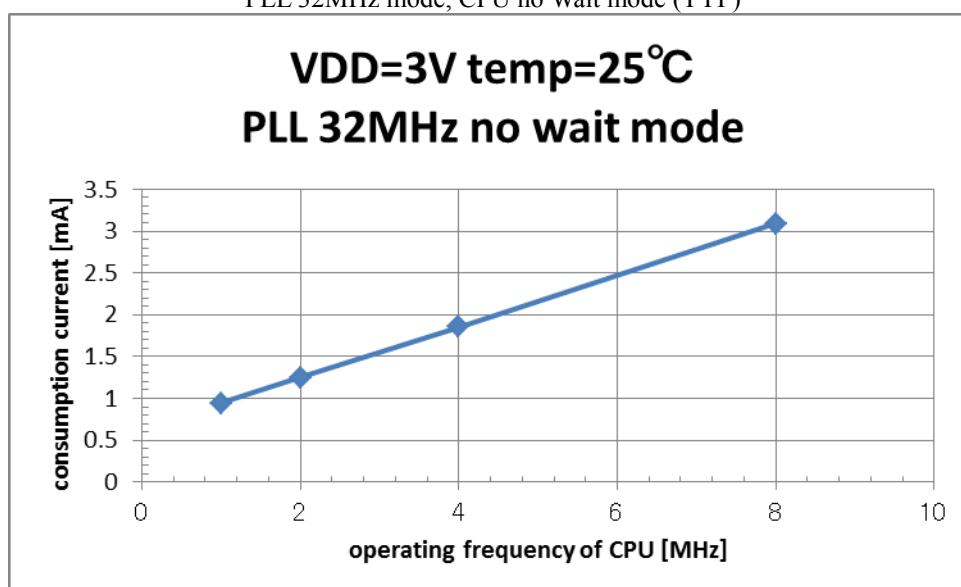


VDD=3V, temp=25°C, stop the clock supply to peripherals.

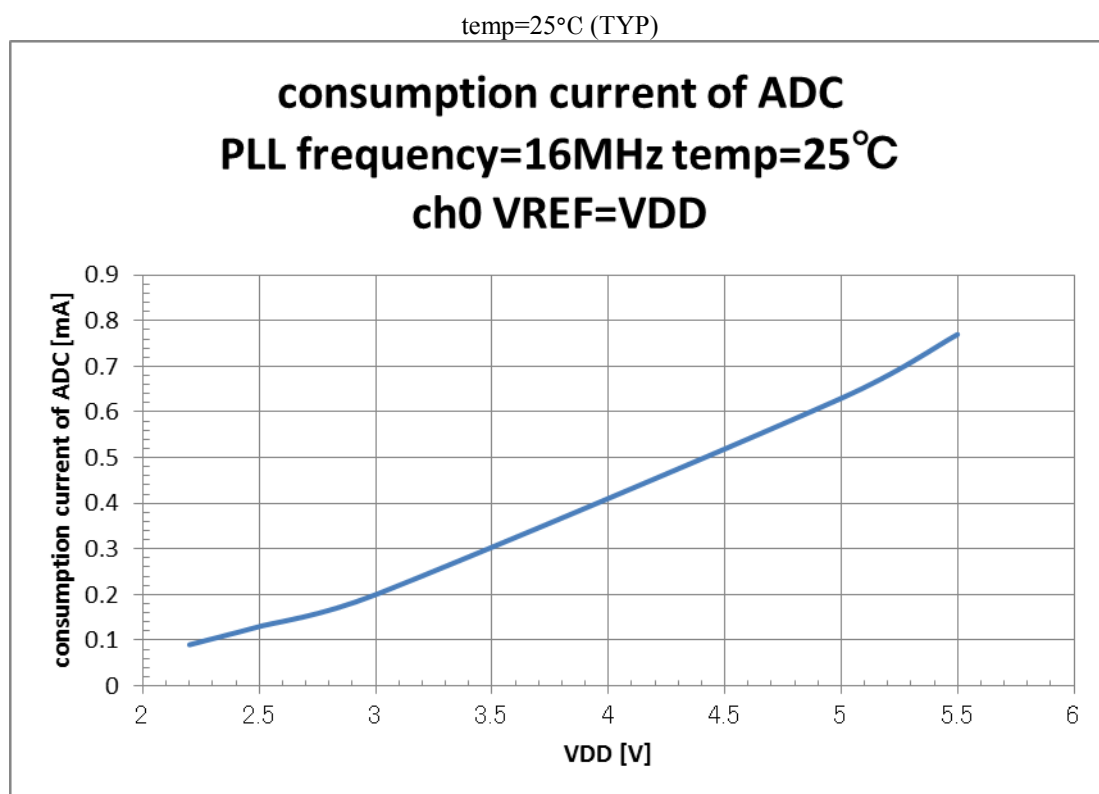
PLL 32MHz mode, CPU Wait mode (TYP) (IDD4)



PLL 32MHz mode, CPU no Wait mode (TYP)

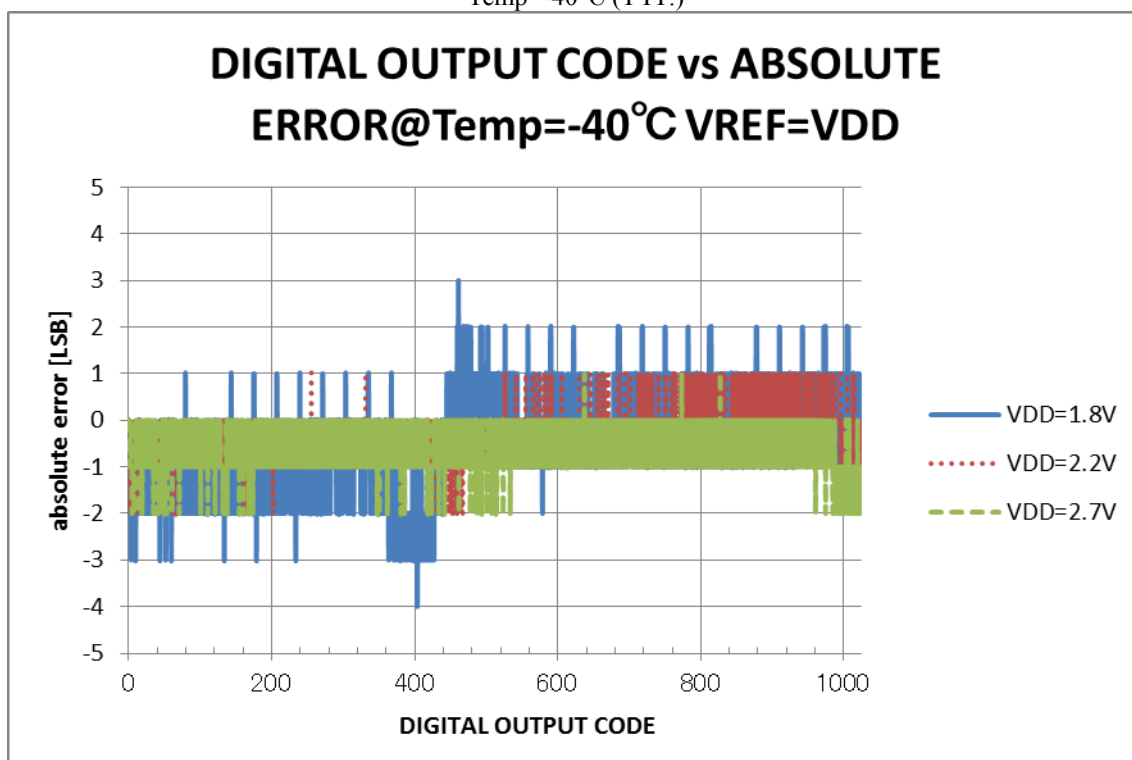


Consumption current of ADC VS operating voltage

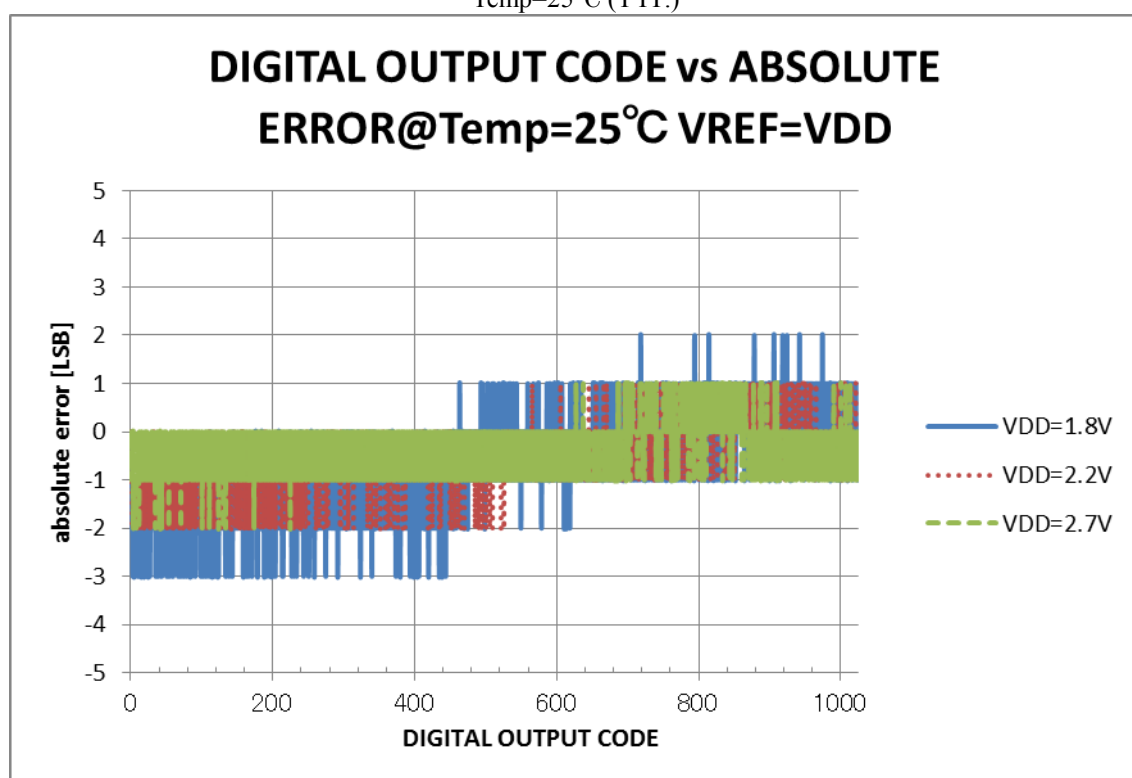


DIGITAL OUTPUT CODE vs absolute error of ADC

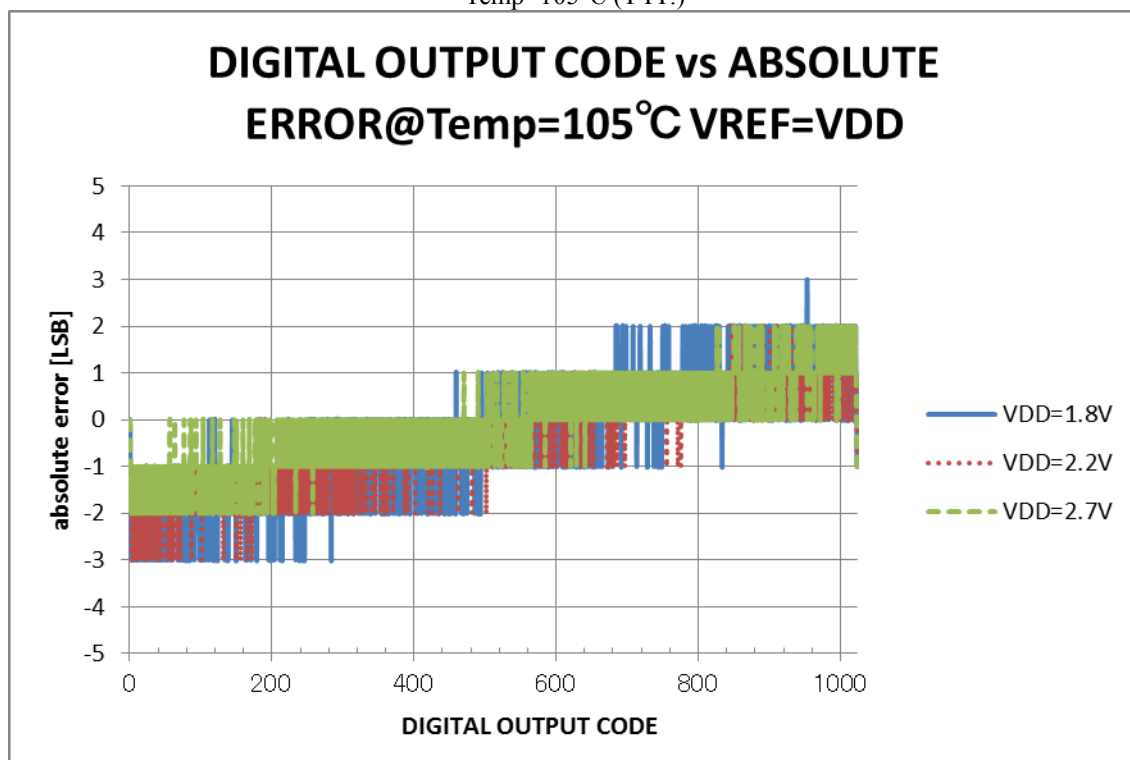
Temp=-40°C (TYP.)



Temp=25°C (TYP.)

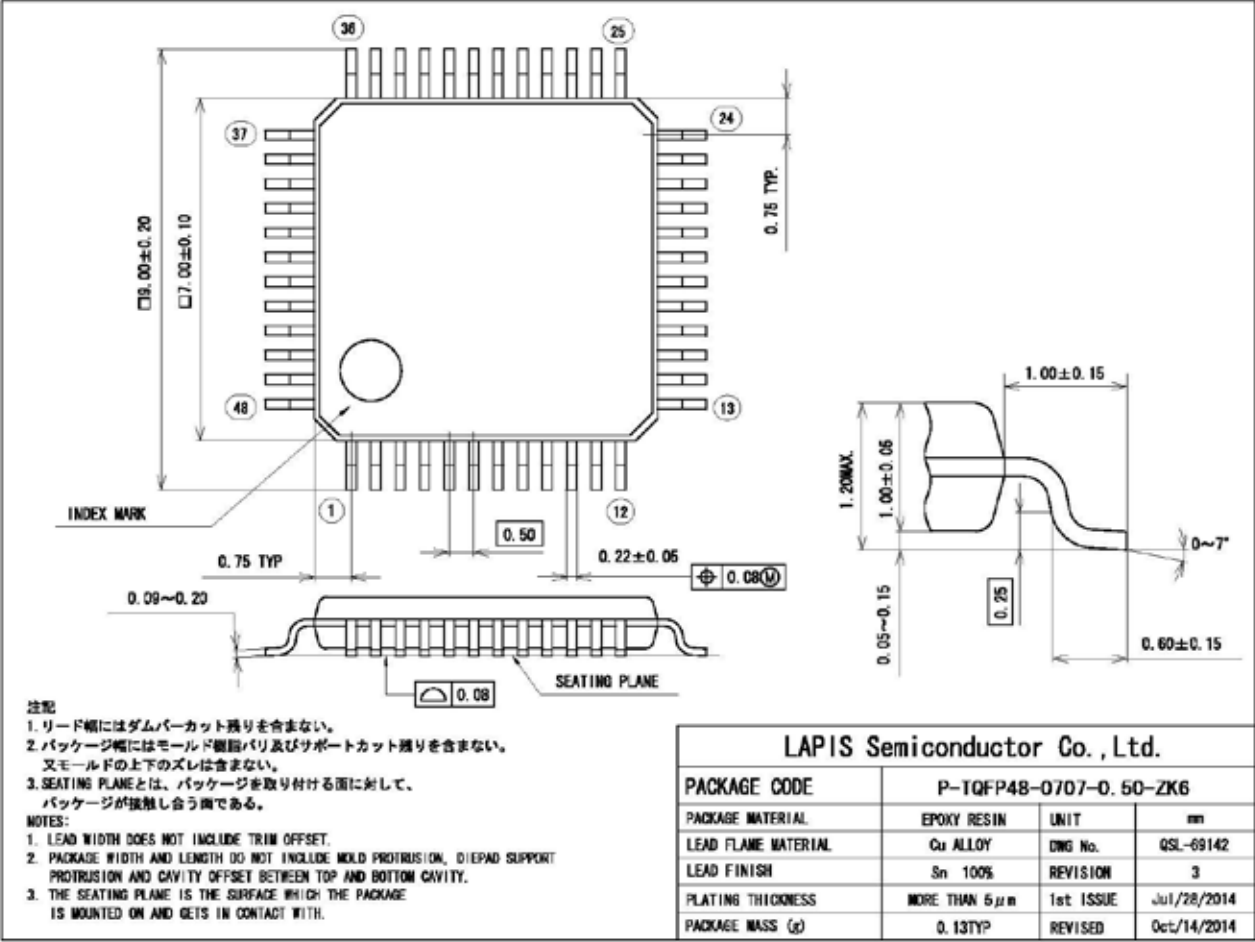


Temp=105°C (TYP.)



■パッケージ寸法図

●ML62Q1430/1431/1432 48ピン TQFP パッケージの寸法図



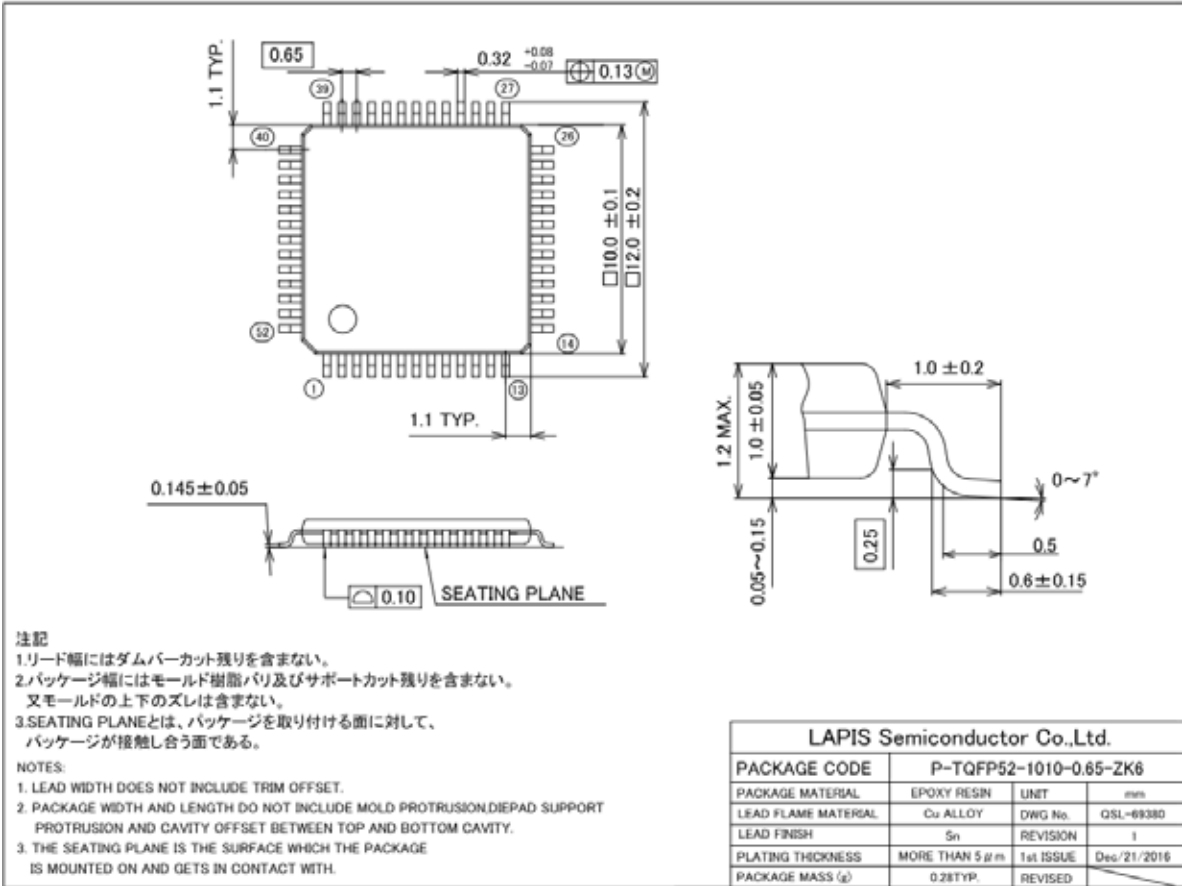
(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●ML62Q1440/1441/1442

52ピン TQFP パッケージの寸法図



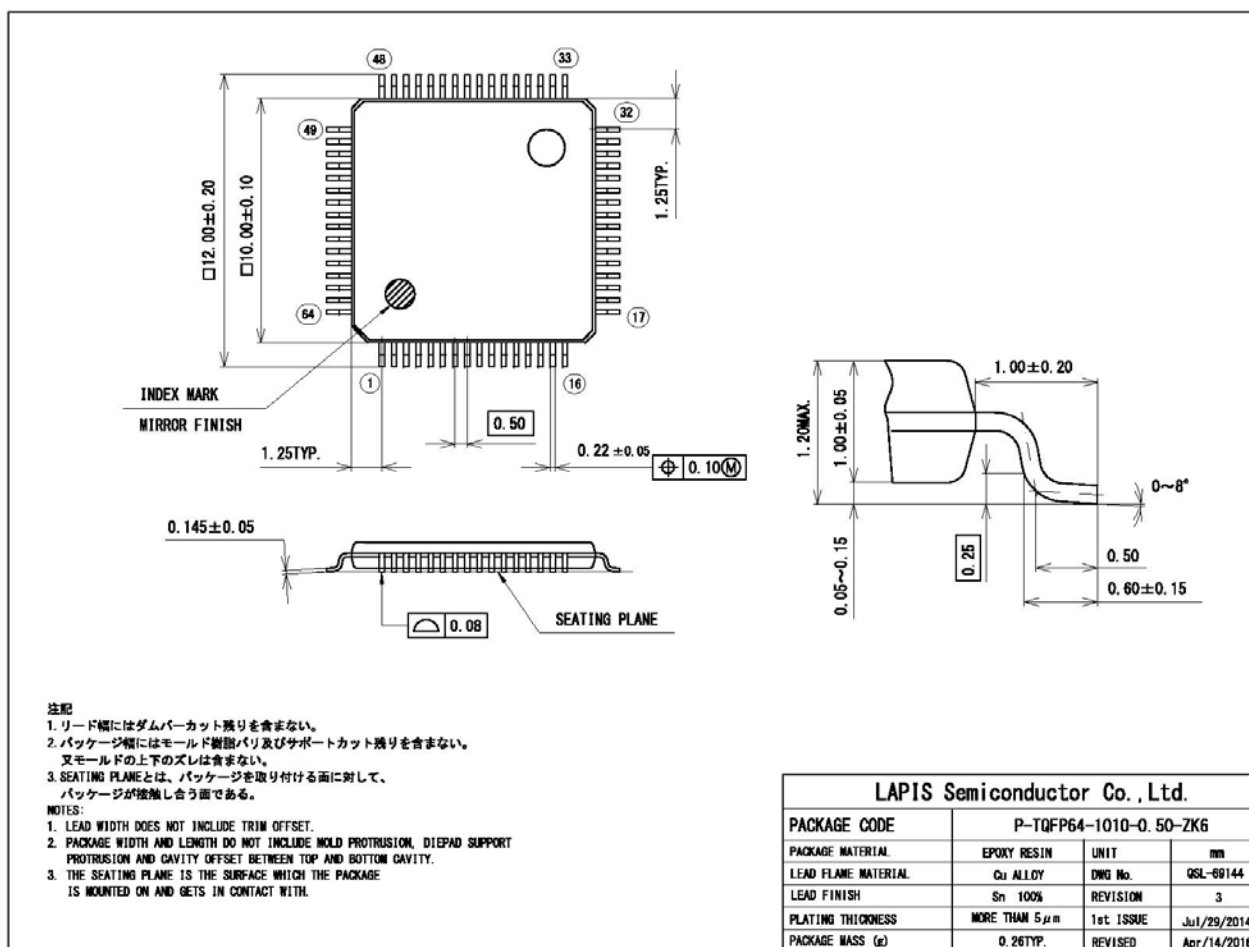
(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●ML62Q1450/1451/1452

64 ピン TQFP パッケージの寸法図



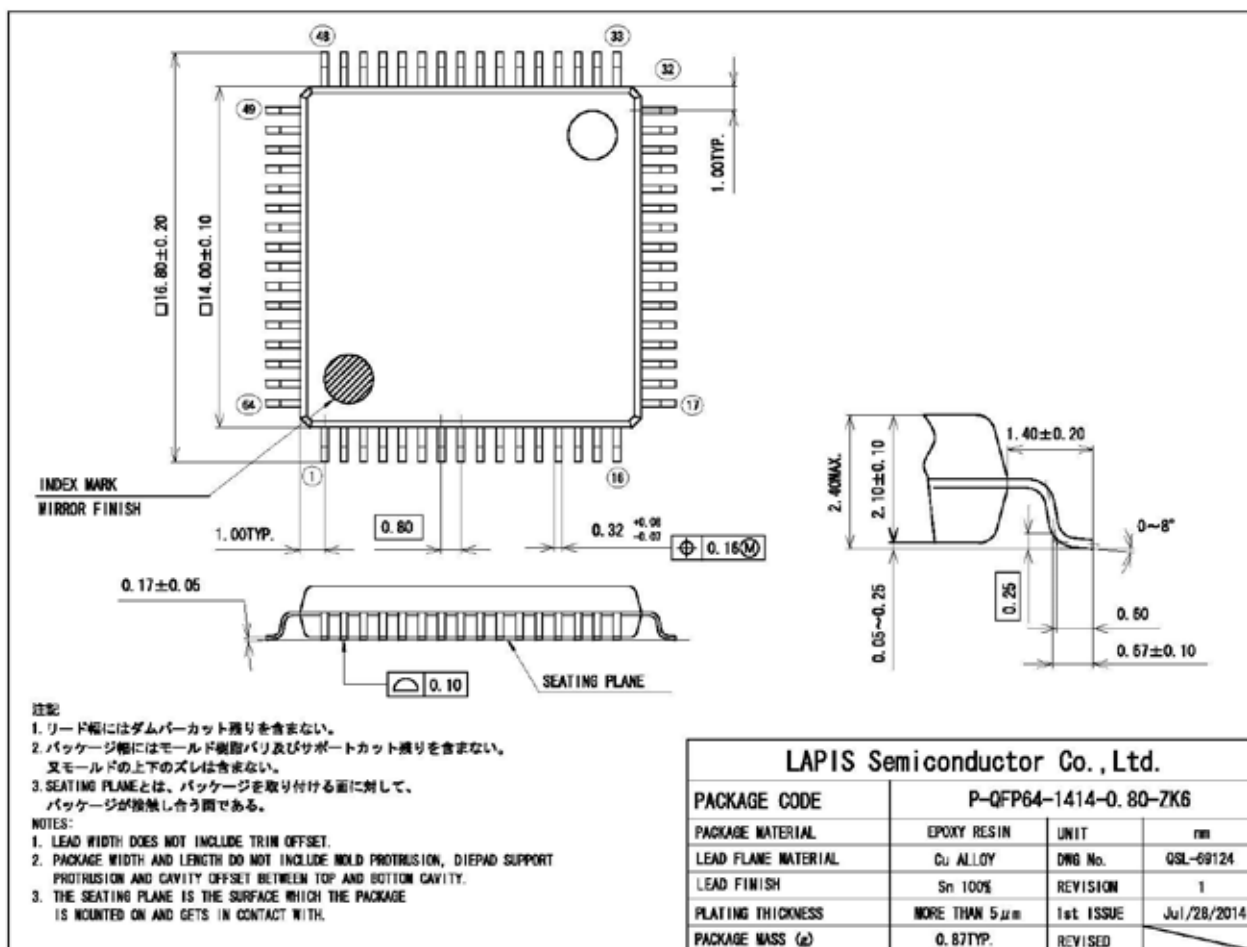
(单位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

●ML62Q1450/1451/1452

64 ピン QFP パッケージの寸法図



(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL62Q1400-01	2017.8.25	—	—	初版発行
FJDL62Q1400-02	2017.11.13	3	3	・以下の内容を追加 「00 分 00 秒から 59 分 59 秒まで 1 秒単位でカウントする簡易 RTC」 ・誤記修正 デットタイム → デッドタイム
		28,33,34	28,33,34	以下の内容を追加 「LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。流せる電流値は、絶対値が最大値となります。 例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。」
		33	33	ハイ・レベル出力電流 1 の条件記載に不足があり追加。 $V_{OH} \geq V_{DD} - 0.5$
		40	40	PPOR の条件記載に不足があり「*2」を記載
FJDL62Q1400-03	2018.4.12	3	3	DMA の概要に追記
		5	5	ADC の基準電圧に関する説明を訂正
		29	29	IDD4/IDD5 の条件を明記
		28,32,33	28,32,33	表現を修正 (ハイ/ロウ → “H”/“L”)
		33	33	・IOL に P00 を追加 ・IOHL,VOHL 見直し
		34	34	プルアップ抵抗値を追記
		38	38	t _{SU:DAT} 仕様変更 0.05us → 0.1us
		35-39	35-39	Ch の表記修正
		41	41	RPOR の MIN 値を追加
		42	42	・変換時間の条件誤記を修正 ・ADC の測定回路の外付け部品に関する説明を追加
		42,43	42,43	ADC と DAC の記号を分別
		44	44	測定回路 1 に水晶振動子を追記
		—	47-57	特性グラフを追記
FJDL62Q1400-04	2018.4.20	全ページ	全ページ	正の温度表記を+で統一
		30	30	入力パルス幅: t _{EXCKW} を追加
		33	33	IOH1 規格値修正
		40	40	t _{SU:DAT} 仕様変更 0.05us → 0.1us
FJDL62Q1400-05	2018.5.31	41	41	R _{POR} の MIN 値の誤記訂正 0.09 → 0.009
		33	33	・IOH1、IOL3 端子記載漏れ修正(P71~P75) ・IOL3 「Nch オープンドレイン出力選択時」を追記

ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) ラピスセミコンダクタは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もラピスセミコンダクタは負うものではありません。
- 3) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 4) 本資料に記載されております技術情報は、本製品の代表的動作および応用回路例などを示したものであり、それをもって、当該技術情報に関するラピスセミコンダクタまたは第三者の知的財産権その他の権利を許諾するものではありません。したがって、上記技術情報の使用に起因して第三者の権利にかかわる紛争が発生した場合、ラピスセミコンダクタはその責任を負うものではありません。
- 5) 本製品は、一般的な電子機器 (AV機器、OA機器、通信機器、家電製品、アミューズメント機器など) および本資料に明示した用途への使用を意図しています。
- 6) 本資料に掲載されております製品は、耐放射線設計はなされていません。
- 7) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ラピスセミコンダクタへ必ずご連絡の上、承諾を得てください。
 - ・輸送機器 (車載、船舶、鉄道など)、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 8) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。
 - ・航空宇宙機器、原子力制御機器、海底中継機器
- 9) 本資料の記載に従わないために生じたいかなる事故、損害もラピスセミコンダクタはその責任を負うものではありません。
- 10) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ラピスセミコンダクタはその責任を負うものではありません。
- 11) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、ラピスセミコンダクタは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 12) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 13) 本資料の一部または全部をラピスセミコンダクタの許可なく、転載・複写することを堅くお断りします。

Copyright 2017-2018 LAPIS Semiconductor Co., Ltd.

ラピスセミコンダクタ株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<http://www.lapis-semi.com>