



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしく願いいたします。

2024年4月1日
ローム株式会社

ML62Q1500/1800 グループ

16ビットマイクロコントローラ

■概要

ML62Q1500/1800 グループは、16ビット CPU nX-U16/100 (A35 コア)を搭載し、プログラム・メモリ (フラッシュ・メモリ)、データ・メモリ (RAM)、データ・フラッシュ、乗除算器、CRC 演算器、DMA コントローラ、クロック発生回路、簡易 RTC、タイマ、汎用ポート、UART、同期式シリアルポート、I²C バス (マスタ、スレーブ)、ブザー、電圧レベル監視機能 (VLS)、逐次比較型 A/D コンバータ、D/A コンバータ、アナログコンパレータ、安全機能 (IEC60730/60335 Class B 対応)など、多彩な周辺機能を集積した高性能 CMOS16ビットマイクロコントローラです。

16ビット CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。

ML62Q1500/1800 グループは、オンチップデバッグ機能を搭載しており、オンボードでのソフトウェアのデバッグおよびソフトウェアの書き換えが可能です。また、ISP (In-System Programming)機能を搭載しており、量産ラインでのフラッシュ書き込み機能を容易に実現することができます。

● 用途

民生機器、産業機器 (例:各種家電、住宅設備、OA 機器、計測機器など)

【注意】

本商品は車載および、自動列車制御装置、鉄道保安システム等にはご使用いただけません。

船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、送電システム、金融端末基幹システム、各種安全制御装置等の高信頼性が必要な用途への使用を検討される場合は、事前に営業窓口へお問い合わせください。

● 商品一覧

ML62Q1500/1800 グループは、パッケージ種類およびプログラム・メモリ容量別に複数の商品から構成されています。

表 1 に 48 ピンから 100 ピンのパッケージ、32K バイトから 512K バイトのプログラム・メモリ容量をラインアップした

ML62Q1500 /1800 グループの商品一覧を示します。

表 1 ML62Q1500/1800 グループの商品一覧

プログラム・メモリ	データ・メモリ	データ・フラッシュ	48ピン TQFP48	52ピン TQFP52	64ピン QFP64 TQFP64	80ピン QFP80	100ピン QFP100 TQFP100	
512K バイト	32K バイト	8K バイト	—	—	ML62Q1859	ML62Q1869	ML62Q1879	
384K バイト			—	—	ML62Q1858	ML62Q1868	ML62Q1878	
256K バイト	16K バイト	4K バイト	—	—	ML62Q1557	ML62Q1567	ML62Q1577	
192K バイト			—	—	ML62Q1556	ML62Q1566	ML62Q1576	
160K バイト			—	—	ML62Q1555	ML62Q1565	ML62Q1575	
128K バイト			16K バイト	—	—	—	ML62Q1564	ML62Q1574
			8K バイト	ML62Q1534	ML62Q1544	ML62Q1554	—	—
96K バイト			16K バイト	—	—	—	ML62Q1563	ML62Q1573
	8K バイト	ML62Q1533	ML62Q1543	ML62Q1553	—	—		
64K バイト	8K バイト	4K バイト	ML62Q1532	ML62Q1542	ML62Q1552	—	—	
48K バイト			ML62Q1531	ML62Q1541	ML62Q1551	—	—	
32K バイト			ML62Q1530	ML62Q1540	ML62Q1550	—	—	

ML62Q1500/1800 グループをご使用の際は、本資料に記載された「製品使用時の注意事項」および「ご注意」をご確認の上、お使いください。



■特長

● CPU

- RISC 方式 16 ビット CPU : nX-U16/100 (A35 コア)
- 命令体系: 16 ビット長命令
- 命令セット: 転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵 (ラピステクノロジー製オンチップデバッグエミュレータと接続)
- ISP (In-System Programming)機能を内蔵
- 最小命令実行時間
約 30.5 μ s (@32.768kHz システムクロック)
約 62.5ns / 41.6ns (@16MHz / 24MHz システムクロック)

● 乗除算器 (コプロセッサ)

- 乗算 : 16bit \times 16bit (演算時間 4 サイクル)
- 除算 : 32bit \div 16bit (演算時間 8 サイクル)
- 除算 : 32bit \div 32bit (演算時間 16 サイクル)
- 積和 (非飽和型) : 16bit \times 16bit+32bit (演算時間 4 サイクル)
- 積和 (飽和型) : 16bit \times 16bit+32bit (演算時間 4 サイクル)
- 符号あり, なしの演算の設定が可能

● 動作保証範囲

- 動作電圧 : $V_{DD} = 1.6V \sim 5.5V$ (電源起動時は 1.8V 以上必要です)
- 動作周囲温度 : $-40^{\circ}C \sim +105^{\circ}C$

● 内部メモリ

- プログラム・メモリ
書き換え回数 : 100 回
書き込み単位 : 32 ビット (4 バイト)
消去単位 : 16K バイト / 1K バイト
消去 / 書き込み温度 : $0^{\circ}C \sim +40^{\circ}C$
- データ・フラッシュ
書き換え回数 : 10,000 回
書き込み単位 : 8 ビット (1 バイト)
消去単位 : 全領域 / 128 バイト
消去 / 書き込み温度 : $-40^{\circ}C \sim +85^{\circ}C$
データ・フラッシュ消去 / 書き込み中, CPU は動作可能

This product uses Super Flash® technology licensed from Silicon Storage Technology, Inc.

Super Flash® is a registered trademark of Silicon Storage Technology, Inc.

- データ・メモリ (RAM)
書き込み単位 : 8 ビット / 16 ビット
パリティチェック機能あり (パリティエラー時に割込み / リセット発生可能)

● クロック発生回路

- 低速クロック (LSCLK)
低速 RC 発振 : 約 32.768kHz
低速外部クロック入力 : 32.768kHz のクロック入力が可能
低速水晶発振 : 32.768kHz の水晶振動子を接続可能
低速水晶発振は, 発振余裕度と消費電流による 3 つの動作モードを搭載
 - ・タフモード : 発振余裕度を大きくして端子間リークに強くしたモード
 - ・標準モード : 消費電流, 発振余裕度とも標準的なモード
 - ・低消費電流モード : 発振余裕度を標準モードよりも小さくすることで消費電流を抑えたモード
- 高速クロック (HSCLK)
PLL 発振 : コードオプションで 24MHz/16MHz を選択可能
- ウォッチドッグタイマ (WDT)用に独立クロックを内蔵 (RC1K:約 1kHz)

- リセット
 - リセット入力端子リセット
 - パワーオンリセット
 - WDT オーバフローリセット
 - WDT 不正クリアリセット
 - RAM パリティエラーリセット
 - ROM 未使用領域アクセスリセット (命令アクセスのとき)
 - 電圧レベル監視リセット
 - BRK 命令リセット (CPU のみリセット)
 - 各周辺回路の個別リセット
 - 端子制御および周辺回路の一括リセット

- パワーマネージメント
 - HALT モード : CPU を停止, 周辺回路は動作を継続
 - HALT-H モード : CPU を停止, 周辺回路は低速クロックのみ継続, 高速クロックは強制停止, HALT-H モード解除時に高速クロックを強制開始
 - STOP モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止
 - STOP-D モード : CPU および周辺回路を停止, 低速クロックおよび高速クロックが停止, 内部ロジック用電圧 (VDDL)を低下させ消費電流を抑制 (RAM データは保持)
 - クロックギア : 高速システムクロックの周波数を変更可能 (HCLK の 1/1, 1/2, 1/4, 1/8, 1/16, 1/32)
 - ブロック制御機能 : 使用しない機能ブロックをパワーダウン (リセットもしくはクロック供給停止)

- 割込み
 - 外部割込み 最大 12 本
 - ノンマスカブル割込み : 1 要因 (内部要因 WDT)
 - マスカブル割込み : 最大 51 要因
 - 4 段階の割込みレベル機能

- ウォッチドッグタイマ (WDT)
 - 動作クロック選択 : コードオプションで RC1K 発振もしくは低速クロックを選択可能
 - オーバフロー周期選択 : 8 種 (7.8ms, 15.6ms, 31.3ms, 62.5ms, 125ms, 500ms, 2s, 8s)
 - ウィンドウ機能の有効/無効選択 : クリア許可期間をオーバフロー周期の 50%もしくは 75%に設定可能
 - WDT 動作選択 : コードオプションで許可/停止選択可能
 - WDT カウンタ読み出し可能 : WDT カウンタ動作の監視機能

- DMA コントローラ
 - チャンネル数 : 2 チャンネル
 - 転送単位 : 8 ビット/16 ビット
 - 転送回数 : 1~1024 回
 - 転送サイクル : 2 サイクル転送
 - 転送アドレス : 固定アドレッシング, インクリメントアドレッシング, デクリメントアドレッシングモード
 - 転送対象 : 特殊機能レジスタ (SFR)/RAM → SFR/RAM (フラッシュ・メモリとの転送はできません)
 - 転送要求 : 外部端子, シリアル通信ユニット, 逐次比較型 A/D コンバータ, 16 ビットタイマ, ファンクショナルタイマ

- 低速タイムベースカウンタ
 - 低速クロック (LSCLK)を分周し, 8 種 (128Hz~1Hz) のパルス信号を生成
 - 8 種類のパルス信号から 3 つの割込みを選択可能
 - 1Hz または 2Hz の信号を汎用ポートから出力可能
 - 周波数補正機能を搭載 (補正範囲:約-488ppm ~ +488ppm, 補正分解能:約 0.119ppm)

- 簡易 RTC
 - チャンネル数 : 1 チャンネル
 - 00 分 00 秒から 59 分 59 秒まで 1 秒単位でカウント
 - 4 種類の定期割込み要求 (0.5 秒, 1 秒, 30 秒, 60 秒)から 1 つの割込みを選択可能
 - 分, 秒の誤書き込み防止機能を搭載

- ファンクショナルタイマ
 - チャンネル数 : 最大 8 チャンネル
 - 16 ビットカウンタによるタイマ/キャプチャ/PWM 機能を搭載
 - 連続モード, ワンショットモードを搭載
 - デューティの異なる 2 種類の同一周期 PWM 出力やデッドタイム付きの相補 PWM 出力が可能
 - キャプチャ機能により入力信号のデューティ, 周期が測定可能
 - 周期割込みのほか, デューティ割込みや設定値との一致割込みなどを発生
 - 外部入力, タイマなどをトリガにしてカウンタの動作開始/停止/カウンタクリアが可能
 - 外部入力をトリガにして緊急停止, および緊急停止割込みを発生
 - ファンクショナルタイマの異なるチャンネル間で同時開始/停止が可能
 - チャンネル毎にカウンタクロックを選択可能 (LSCLK/HSCLK の 1~128 分周または外部クロック入力)

- 16 ビットタイマ
 - チャンネル数 : 最大 8 チャンネル
 - 8 ビットタイマモード, 16 ビットタイマモード
 - (16 ビットタイマ×1 チャンネルは, 8 ビットタイマ×2 チャンネルとして使用可能)
 - 16 ビット (8 ビット)タイマの異なるチャンネル間で同時開始/停止が可能
 - タイマ出力 (オーバフロー毎に出力が反転)
 - チャンネル毎にカウンタクロックを選択可能 (LSCLK/HSCLK の 1~128 分周または外部クロック入力)

- シリアル通信ユニット
 - 同期式シリアルポート (SSIO)モード/UART モードを選択
 - チャンネル数 : 最大 6 チャンネル
 - <同期式シリアルポートモード>
 - マスタ/スレーブ選択可能
 - LSB ファースト/MSB ファースト選択可能
 - 8 ビット長/16 ビット長選択可能
 - <UART モード>
 - 全二重通信モード/半二重通信モード
 - ビット長 5~8, パリティ有無, 奇数パリティ/偶数パリティ, 1 ストップビット/2 ストップビット
 - 正論理/負論理選択可能
 - LSB ファースト/MSB ファースト選択可能
 - 幅広い通信速度を設定可能
 - ・ クロック周波数 32.768kHz 時 : 1bps~4,800bps
 - ・ クロック周波数 24MHz 時 : 600bps~3Mbps
 - ・ クロック周波数 16MHz 時 : 300bps~2Mbps
 - ボーレートジェネレータ内蔵

- I²C バスユニット (マスタ/スレーブ)
 - マスタモード/スレーブモードを選択
 - チャンネル数 : 1 チャンネル
 - <マスタ機能>
 - 標準モード (100kbps), ファストモード (400kbps), 1Mbps モード (1Mbps)対応
 - ハンドシェイク (クロック同期化)対応
 - 7 ビットアドレスフォーマット (10 ビットアドレス対応可能)
 - <スレーブ機能>
 - 標準モード (100kbps), ファストモード (400kbps), 1Mbps モード (1Mbps)対応
 - クロックストレッチ機能
 - 7 ビットアドレスフォーマット

- I²C バスマスタ
 - チャンネル数 : 最大 2 チャンネル
 - 標準モード (100kbps), ファストモード (400kbps), 1Mbps モード (1Mbps)対応
 - ハンドシェイク (クロック同期化)対応
 - 7ビットアドレスフォーマット (10ビットアドレス対応可能)

- 汎用ポート (GPIO)
 - 汎用入出力 : 最大 92 端子 (兼用機能およびオンチップデバッグ用の 1 端子を含む)
 - 汎用入力 : 最大 2 端子 (兼用機能を含む)
 - 外部割込み : 最大 12 端子
 - LED 駆動 : 最大 91 端子
 - キャリア周波数出力機能 (赤外線通信用)

- 逐次比較型 A/D コンバータ
 - チャンネル数 : 最大 16 チャンネル
 - 分解能 : 10 ビット
 - 変換時間 : 最小 2.25 μ s /1 チャンネル (変換クロック 8MHz 時)
 - V_{DD} 端子入力電圧 / 内部基準電圧 (V_{REF1} = 約 1.55V) / 外部基準電圧 (V_{REF} 端子)選択可能
 - 選択チャンネルの連続変換が可能
 - 変換結果のレジスタは各チャンネル毎に搭載
 - 変換結果の下限, 上限判定による割込み要求が可能

- 電圧レベル監視機能 (VLS)
 - 判定精度 : $\pm 4\%$
 - 判定電圧 : 12 値 (1.85V \sim 4.00V から選択可能)
 - 電圧レベル監視リセット (VLSリセット)として使用可能
 - 電圧レベル監視割込み (VLS0 割込み)として使用可能

- アナログコンパレータ
 - チャンネル数 : 最大 2 チャンネル
 - 割込みエッジ, サンプリング有無を選択可能
 - 外部入力と外部入力, 外部入力と内部基準電圧 (0.8V)との比較が可能

- D/A コンバータ
 - チャンネル数 : 最大 2 チャンネル
 - 分解能 : 8 ビット
 - 出力インピーダンス : 6k Ω (Typ.)
 - R-2R ラダー方式

- ブザー
 - 4 種類のブザーモード (連続音 / 単音 / 断続音 1 / 断続音 2)
 - 8 種の周波数 (4.096kHz \sim 293Hz)
 - 15 段階のデューティ (1/16 \sim 15/16)
 - ブザー出力端子の正論理 / 負論理が選択可能

- CRC (Cyclic Redundancy Check)演算器
 - 生成多項式 : $X^{16}+X^{12}+X^5+1$
 - LSB ファースト / MSB ファースト選択可能
 - プログラム・メモリを HALT モード中に演算する自動 CRC 演算モードを搭載

- 安全機能 (IEC60730/60335 Class B 対応)
 - 低速水晶発振停止時に低速 RC 発振に自動で切り替え
 - RAM/SFR ガード
 - プログラム・メモリの自動 CRC 演算
 - RAM パリティエラー検出
 - ROM 未使用領域アクセスリセット (命令アクセスのとき)
 - クロック相互監視
 - WDT カウンタ監視
 - 逐次比較型 A/D コンバータテスト
 - UART テスト
 - 同期式シリアルポートテスト
 - I²C バステスト
 - 汎用ポートテスト

● 出荷形態

Package	Body size (including lead) [mm × mm]	Pin pitch [mm]	Packing form and Product name	
			Tray	Tape & Reel
48 pin plastic TQFP	7.0 × 7.0 (9.0 × 9.0)	0.50	ML62Q1530-xxxTBZWAX ML62Q1531-xxxTBZWAX ML62Q1532-xxxTBZWAX ML62Q1533-xxxTBZWAX ML62Q1534-xxxTBZWAX	ML62Q1530-xxxTBZWBX ML62Q1531-xxxTBZWBX ML62Q1532-xxxTBZWBX ML62Q1533-xxxTBZWBX ML62Q1534-xxxTBZWBX
52 pin plastic TQFP	10.0 × 10.0 (12.0 × 12.0)	0.65	ML62Q1540-xxxTBZWAX ML62Q1541-xxxTBZWAX ML62Q1542-xxxTBZWAX ML62Q1543-xxxTBZWAX ML62Q1544-xxxTBZWAX	ML62Q1540-xxxTBZWBX ML62Q1541-xxxTBZWBX ML62Q1542-xxxTBZWBX ML62Q1543-xxxTBZWBX ML62Q1544-xxxTBZWBX
64 pin plastic TQFP	10.0 × 10.0 (12.0 × 12.0)	0.50	ML62Q1550-xxxTBZWAX ML62Q1551-xxxTBZWAX ML62Q1552-xxxTBZWAX ML62Q1553-xxxTBZWAX ML62Q1554-xxxTBZWAX ML62Q1555-xxxTBZWAX ML62Q1556-xxxTBZWAX ML62Q1557-xxxTBZWAX ML62Q1858-xxxTBZWAX ML62Q1859-xxxTBZWAX	ML62Q1550-xxxTBZWBX ML62Q1551-xxxTBZWBX ML62Q1552-xxxTBZWBX ML62Q1553-xxxTBZWBX ML62Q1554-xxxTBZWBX ML62Q1555-xxxTBZWBX ML62Q1556-xxxTBZWBX ML62Q1557-xxxTBZWBX ML62Q1858-xxxTBZWBX ML62Q1859-xxxTBZWBX
64 pin plastic QFP	14.0 × 14.0 (16.0 × 16.0)	0.80	ML62Q1550-xxxGAZWAX ML62Q1551-xxxGAZWAX ML62Q1552-xxxGAZWAX ML62Q1553-xxxGAZWAX ML62Q1554-xxxGAZWAX ML62Q1555-xxxGAZWAX ML62Q1556-xxxGAZWAX ML62Q1557-xxxGAZWAX ML62Q1858-xxxGAZWAX ML62Q1859-xxxGAZWAX	-
80 pin plastic QFP	14.0 × 14.0 (16.0 × 16.0)	0.65	ML62Q1563-xxxGAZWAX ML62Q1564-xxxGAZWAX ML62Q1565-xxxGAZWAX ML62Q1566-xxxGAZWAX ML62Q1567-xxxGAZWAX ML62Q1868-xxxGAZWAX ML62Q1869-xxxGAZWAX	-
100 pin plastic TQFP	14.0 × 14.0 (16.0 × 16.0)	0.5	ML62Q1573-xxxTBZWAX ML62Q1574-xxxTBZWAX ML62Q1575-xxxTBZWAX ML62Q1576-xxxTBZWAX ML62Q1577-xxxTBZWAX ML62Q1878-xxxTBZWAX ML62Q1879-xxxTBZWAX	-
100 pin plastic TQFP	20.0 × 14.0 (25.0 × 19.0)	0.65	ML62Q1573-xxxGAZWAX ML62Q1574-xxxGAZWAX ML62Q1575-xxxGAZWAX ML62Q1576-xxxGAZWAX ML62Q1577-xxxGAZWAX ML62Q1878-xxxTBZWAX ML62Q1879-xxxTBZWAX	-

※xxx:ROM コード番号

■ML62Q1500/1800 グループの商品名の見方

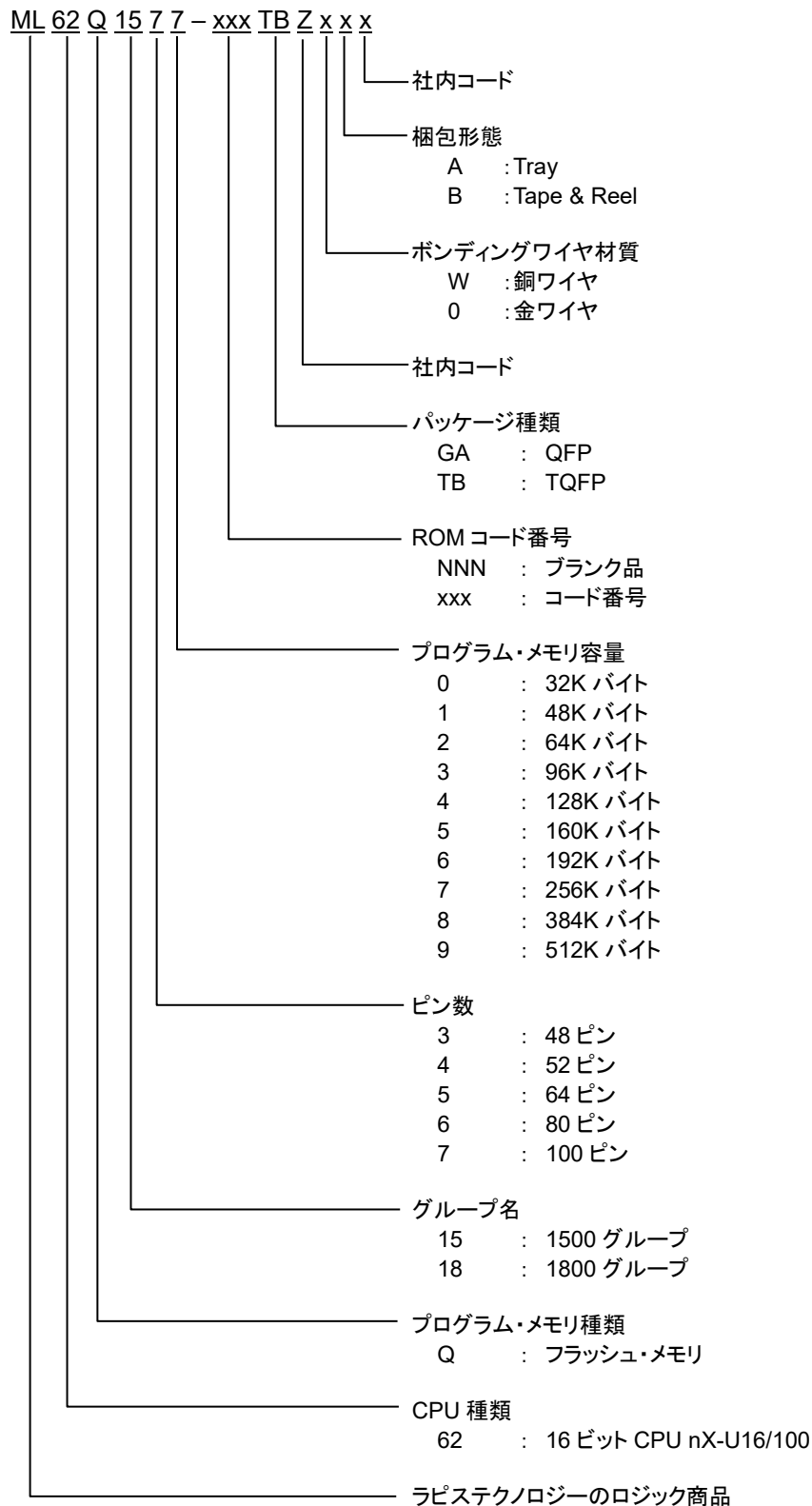


図 1 ML62Q1500/1800 グループの商品名

■ML62Q1500/1800 グループの商品別仕様

表 2 商品別仕様

製品名	端子				割込み		タイマ		通信機能			アナログ					
	総ピン数	電源端子数	リセット入力端子数	入力端子数 ^{*3}	入出力端子数	LED 駆動端子数 (入出力端子兼用)	内部要因数 (MDT 割込み含む)	外部割込み端子数	フリップフロップ I/O 数	16ビットタイマ I/O 数	簡易 RTC I/O 数	シリアル通信ユニット ^{*2} I/O 数	I ² C バススタ I/O 数	12C バスユニット (マスタ/スレーブ) I/O 数	逐次比較型 A/D コンバータ I/O 数	アナログコンバータ I/O 数	D/A コンバータ I/O 数
ML62Q1530	48	3	1	2	42	41	31	10	6	6	2						1
ML62Q1531																	
ML62Q1532																	
ML62Q1533																	
ML62Q1534	52	3	1	2	46	45	31	10	6	6	2						1
ML62Q1540																	
ML62Q1541																	
ML62Q1542																	
ML62Q1543	64	3	1	2	58	57	31	10	6	6	2						1
ML62Q1544																	
ML62Q1550																	
ML62Q1551																	
ML62Q1552	80	4	1	2	72	71	43	12	8	8	6						2
ML62Q1553																	
ML62Q1554																	
ML62Q1555																	
ML62Q1556	100	4	1	2	92	91	43	12	8	8	6						2
ML62Q1557																	
ML62Q1558																	
ML62Q1559																	
ML62Q1563	80	4	1	2	72	71	43	12	8	8	6						2
ML62Q1564																	
ML62Q1565																	
ML62Q1566																	
ML62Q1567	100	4	1	2	92	91	43	12	8	8	6						2
ML62Q1868																	
ML62Q1869																	
ML62Q1573																	
ML62Q1574	100	4	1	2	92	91	43	12	8	8	6						2
ML62Q1575																	
ML62Q1576																	
ML62Q1577																	
ML62Q1878	100	4	1	2	92	91	43	12	8	8	6						2
ML62Q1879																	

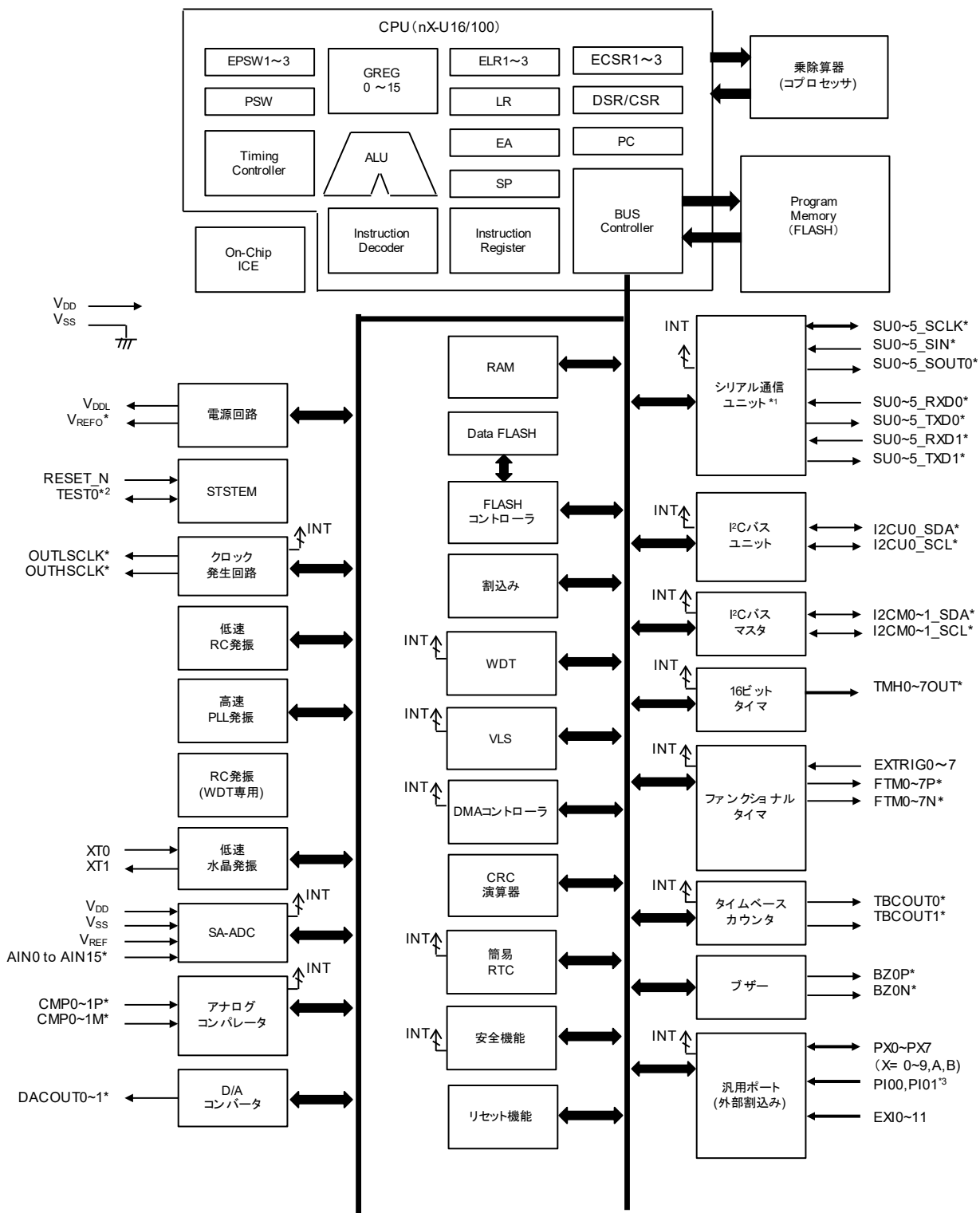
*1 : 16ビットタイマ×1チャンネルは、8ビットタイマ×2チャンネルとして使用することができます。

*2 : シリアル通信ユニットは UART と同期式シリアルポートを兼用しています。同一チャンネル内では UART と同期式シリアルポートは同時に使用できません。

*3 : 水晶発振子と兼用です。

■ ブロック図

● ML62Q1500/1800 グループのブロック図



* :各ポートの 2~8 次機能

*¹ :UART と同期式シリアルポートを兼用しています。

*² :オンチップデバッグエミュレータを接続した場合は入力ポートとして使用できません。

*³ :水晶を接続した場合は入力ポートとして使用できません。

図 2 ML62Q1500/1800 グループのブロック図

■ 端子配置

配置図中の端子名は、1次機能を表します。その他の機能については、表3または表4を参照してください。

● ML62Q1530/1531/1532/1533/1534 48ピン TQFP パッケージの端子配置図

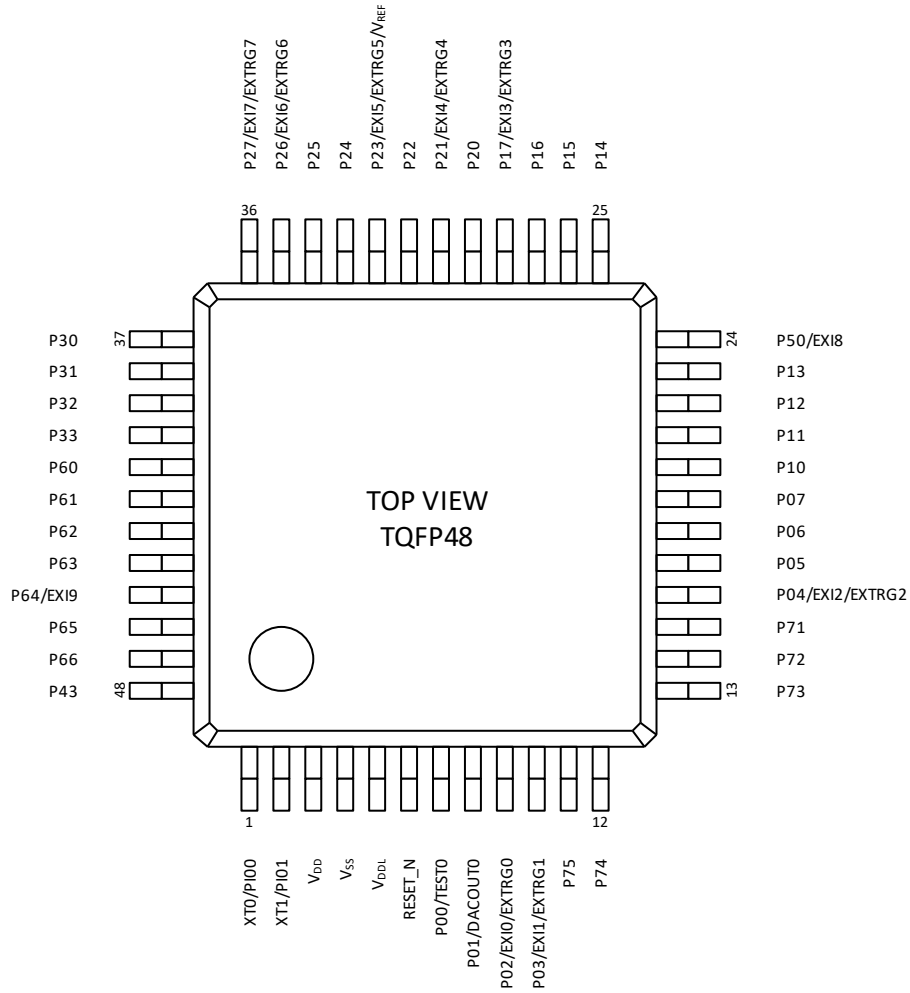


図3 48ピン TQFP パッケージの端子配置図

●ML62Q1540/1541/1542/1543/1544 52ピン TQFP パッケージの端子配置図

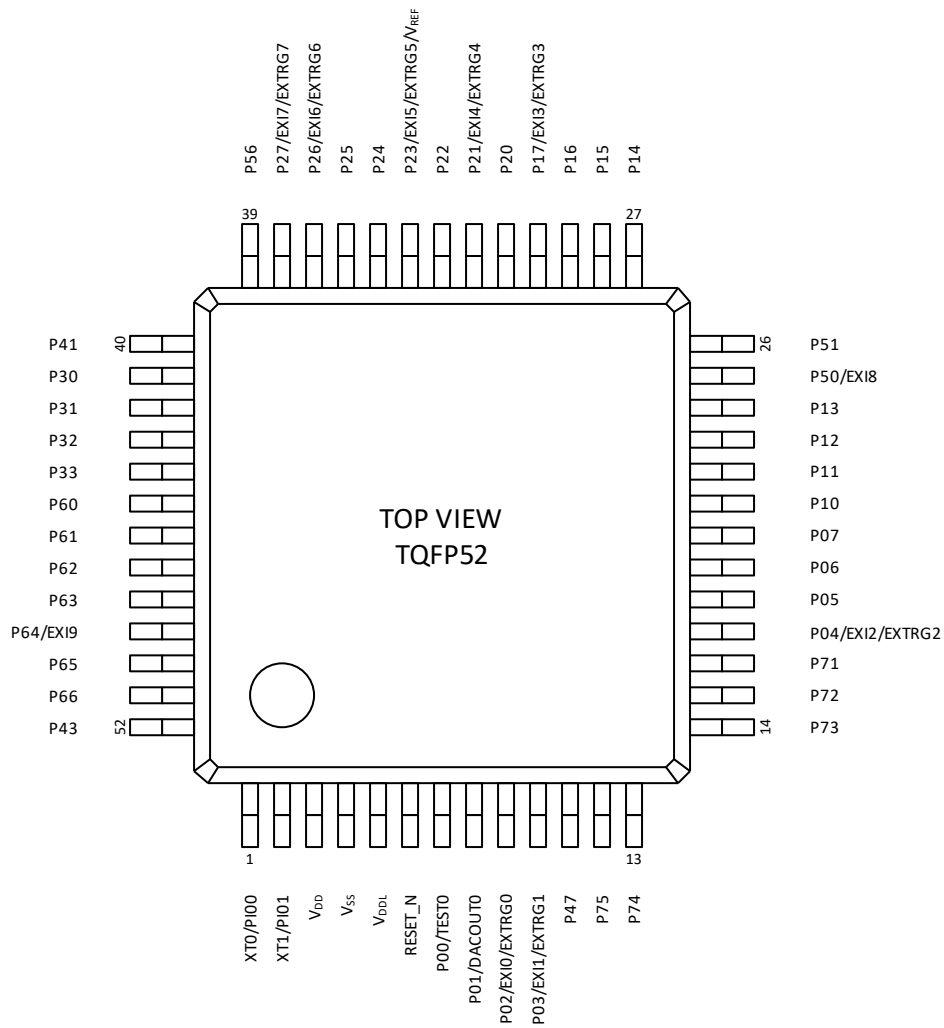


図 4 52ピン TQFP パッケージの端子配置図

●ML62Q1550/1551/1552/1553/1554/1555/1556/1557/1858/1859 64ピン TQFP/QFP パッケージの端子配置図

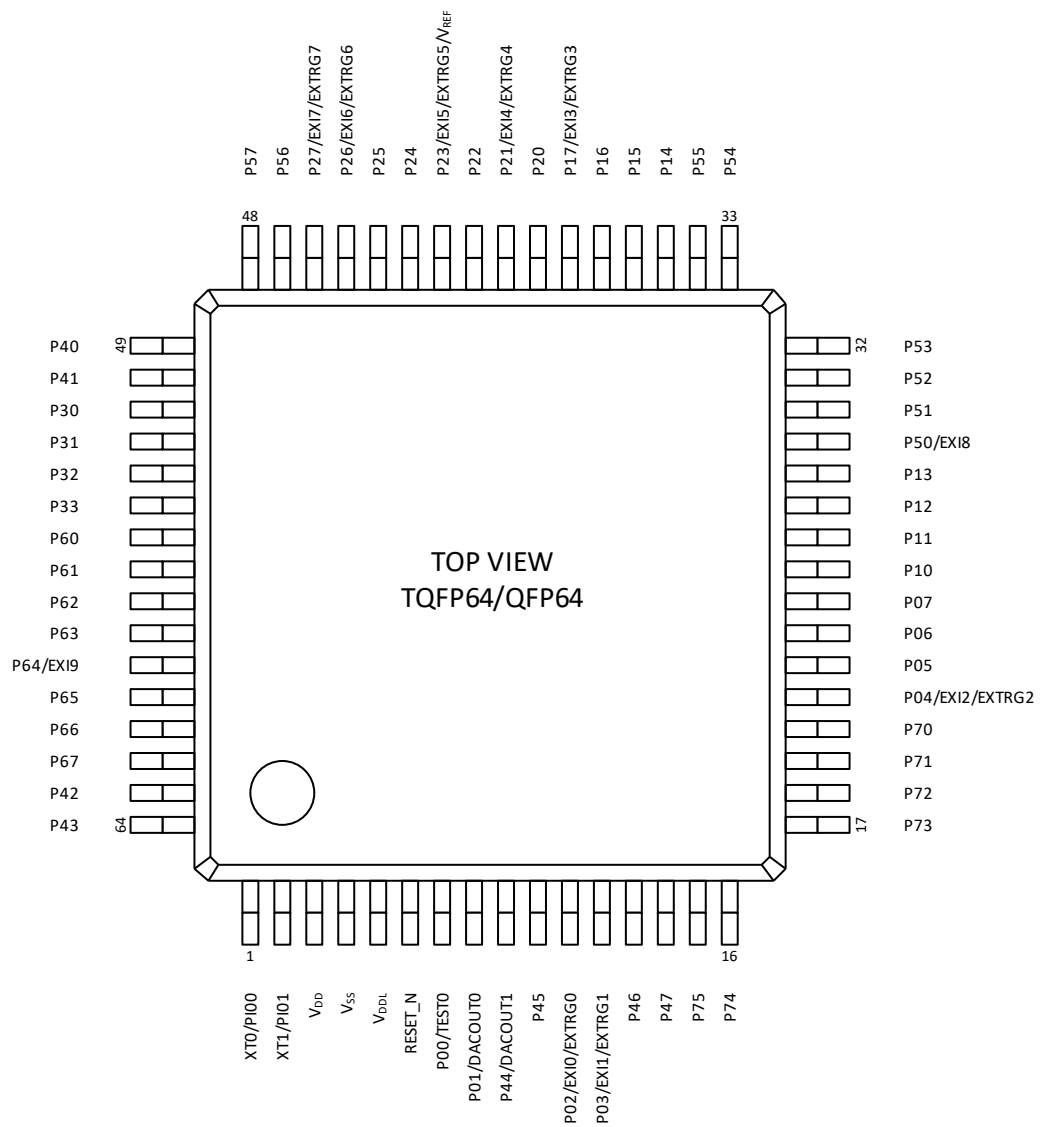


図 5 64ピン TQFP/QFP パッケージの端子配置図

●ML62Q1563/1564/1565/1566/1567/1868/1869 80ピン QFP パッケージの端子配置図

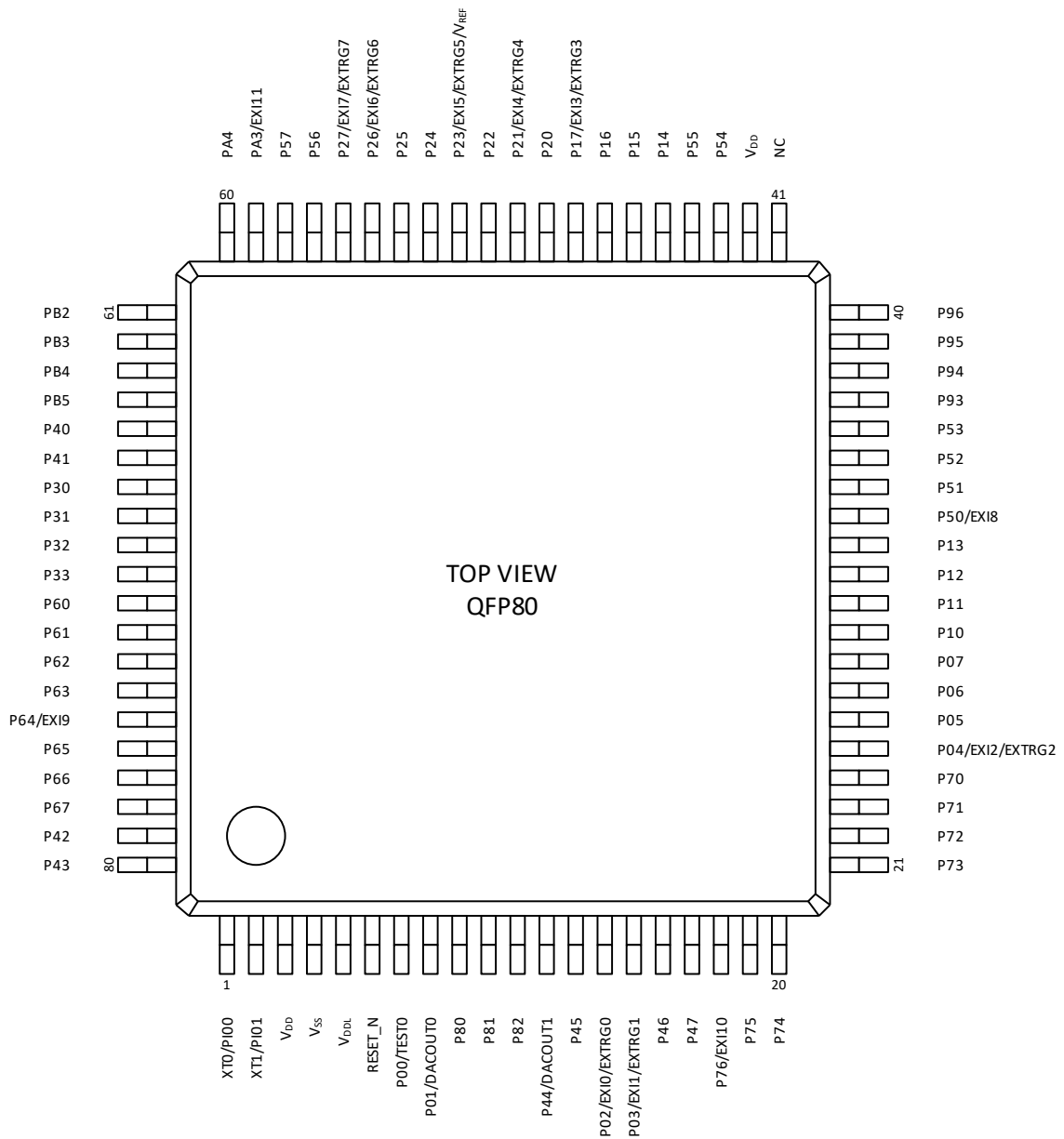


図 6 80ピン QFP パッケージの端子配置図

●ML62Q1573/1574/1575/1576/1577/1878/1879 100ピン TQFP パッケージの端子配置図

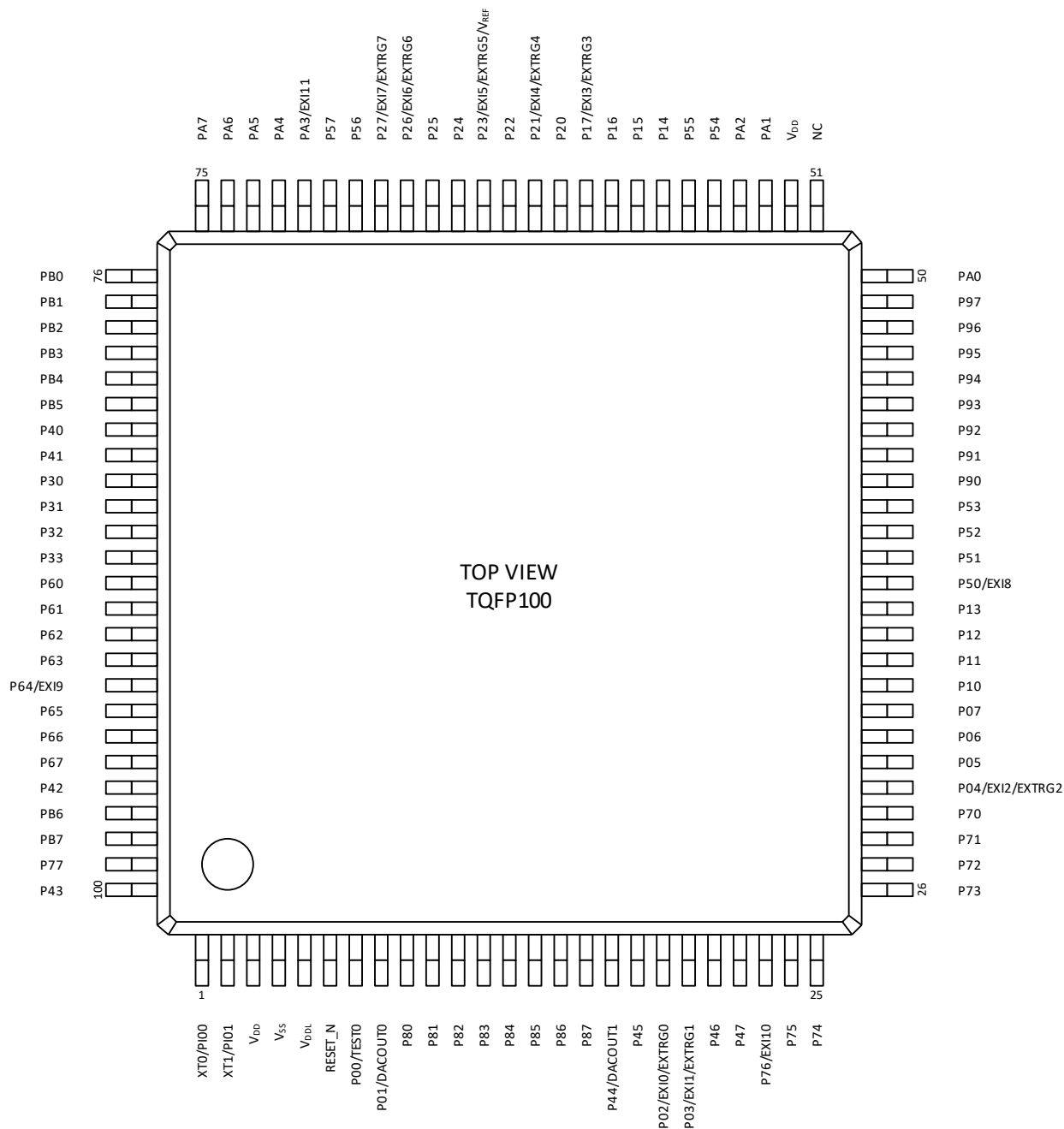


図 7 100ピン TQFP パッケージの端子配置図

●ML62Q1573/1574/1575/1576/1577/1878/1879 100ピン QFP パッケージの端子配置図

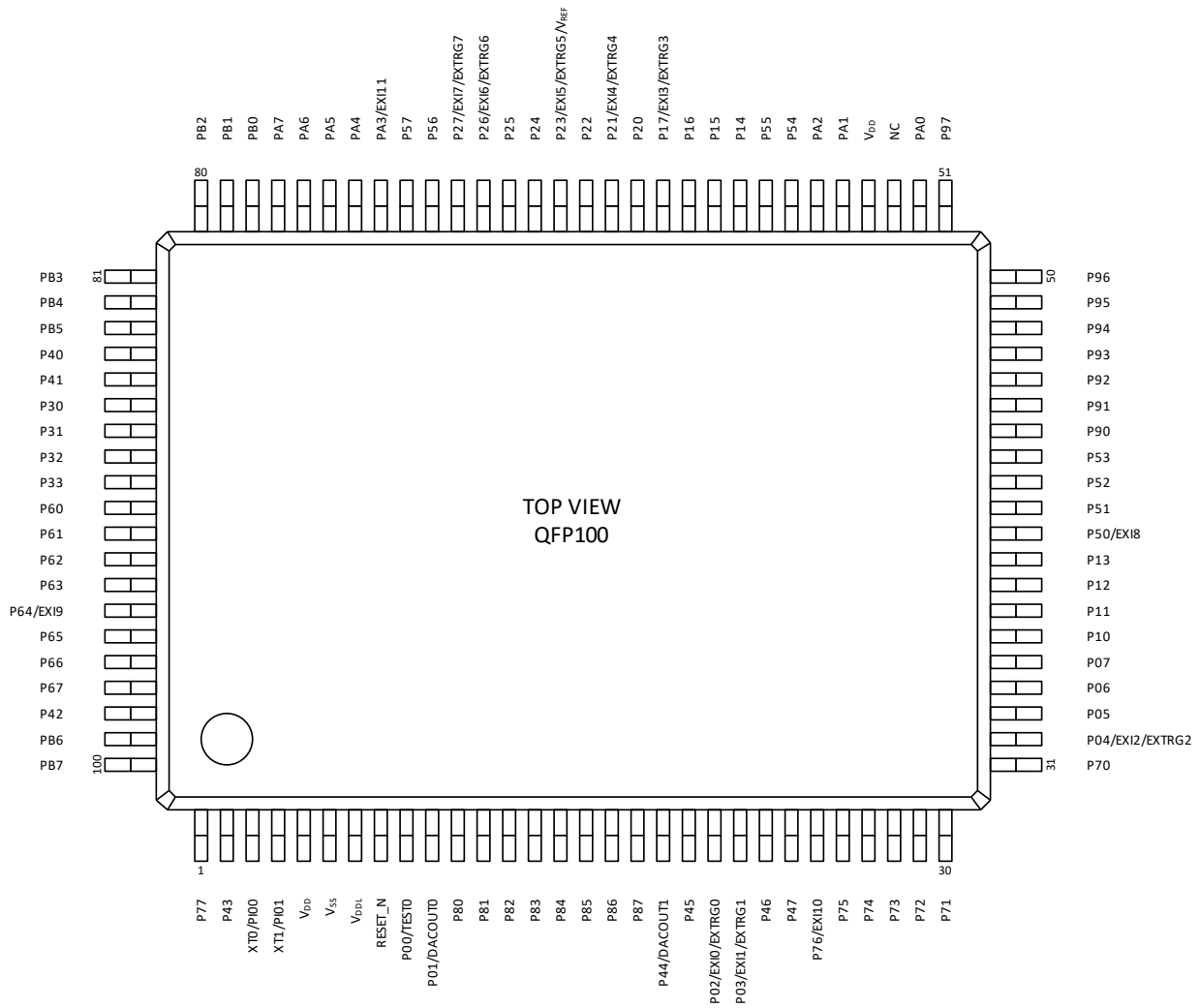


図 8 100ピン QFP パッケージの端子配置図

■端子一覧

表 3 に ML62Q1500/1800 グループの端子一覧を示します。

表 3 端子一覧 (1/3)

Pin No.						端子名 (1次機能)	1次機能 その他	2次機能 通信系	3次機能 通信系	4次機能 通信系	5次機能 タイマ系	6次機能 その他	7次機能 その他	8次機能 ADC
48Pin	52Pin	64Pin	80Pin	TQFP100	QFP100									
3	3	3	3	3	5	V _{DD}	-	-	-	-	-	-	-	-
-	-	-	42	52	54	V _{DD}	-	-	-	-	-	-	-	-
4	4	4	4	4	6	V _{SS}	-	-	-	-	-	-	-	-
-	-	-	41	51	53	NC	-	-	-	-	-	-	-	-
5	5	5	5	5	7	V _{DDL}	-	-	-	-	-	-	-	-
1	1	1	1	1	3	XT0	PI00	-	-	-	-	-	-	-
2	2	2	2	2	4	XT1	PI01	-	-	-	-	-	-	-
6	6	6	6	6	8	RESET_N	-	-	-	-	-	-	-	-
7	7	7	7	7	9	P00	TEST0	-	-	-	-	-	-	-
8	8	8	8	8	10	P01	DACOUT0	-	-	-	-	TBCOUT0	TBCOUT1	-
9	9	11	14	19	21	P02	EXI0 EXTRG0	SU0_RXD0 SU0_SIN	-	-	FTM0P	OUTLSCLK	CMP0M	-
10	10	12	15	20	22	P03	EXI1 EXTRG1	SU0_TXD0 SU0_SOUT	SU0_TXD1	I2CU0_SDA	FTM0N	OUTHCLK	CMP0P	AIN11
16	17	21	25	30	32	P04	EXI2 EXTRG2	SU0_SCLK	-	I2CU0_SCL	TMH0OUT	-	-	-
17	18	22	26	31	33	P05	-	-	-	-	-	-	-	-
18	19	23	27	32	34	P06	-	-	-	I2CM0_SDA	-	-	-	-
19	20	24	28	33	35	P07	-	SU0_RXD1	SU0_RXD0	I2CM0_SCL	-	-	-	-
20	21	25	29	34	36	P10	-	SU0_TXD1	-	-	-	-	-	-
21	22	26	30	35	37	P11	-	SU0_SCLK	-	-	-	-	-	-
22	23	27	31	36	38	P12	-	SU0_RXD0 SU0_SIN	-	-	TMH4OUT	-	-	-
23	24	28	32	37	39	P13	-	SU0_TXD0 SU0_SOUT	SU0_TXD1	-	TMH1OUT	-	TMH3OUT	-
25	27	35	45	57	59	P14	-	-	-	-	-	-	-	-
26	28	36	46	58	60	P15	-	-	-	I2CU0_SDA	-	-	-	-
27	29	37	47	59	61	P16	-	SU1_SCLK	-	I2CU0_SCL	TMH5OUT	-	-	-
28	30	38	48	60	62	P17	EXI3 EXTRG3	SU0_RXD1	SU0_RXD0	-	FTM1P	TBCOUT0	BZ0P	AIN0
29	31	39	49	61	63	P20	-	SU0_TXD1	-	-	FTM1N	TBCOUT1	BZ0N	AIN1
30	32	40	50	62	64	P21	EXI4 EXTRG4	SU1_RXD0 SU1_SIN	-	-	FTM2P	OUTLSCLK	-	AIN2
31	33	41	51	63	65	P22	-	SU1_TXD0 SU1_SOUT	SU1_TXD1	I2CM0_SDA	FTM2N	OUTHCLK	-	AIN3
32	34	42	52	64	66	P23	EXI5 EXTRG5 V _{REF}	SU1_SCLK	-	I2CM0_SCL	TMH2OUT	-	-	V _{REF0}
33	35	43	53	65	67	P24	-	SU1_RXD0 SU1_SIN	-	-	-	-	-	AIN4
34	36	44	54	66	68	P25	-	SU1_TXD0 SU1_SOUT	SU1_TXD1	-	-	-	-	AIN5
35	37	45	55	67	69	P26	EXI6 EXTRG6	SU1_RXD1	SU1_RXD0	I2CU0_SDA	FTM3P	TBCOUT0	BZ0P	AIN6
36	38	46	56	68	70	P27	EXI7 EXTRG7	SU1_TXD1	-	I2CU0_SCL	FTM3N	TBCOUT1	BZ0N	AIN7

表 3 端子一覧 (2/3)

Pin No.						端子名 (1次機能)	1次機能 その他 *1	2次機能 通信系 *1	3次機能 通信系 *1	4次機能 通信系	5次機能 タイマ系 *1	6次機能 その他	7次機能 その他	8次機能 ADC *1
48Pin	52Pin	64Pin	80Pin	TQFP100	QFP100									
37	41	51	67	84	86	P30	-	-	-	-	-	-	-	
38	42	52	68	85	87	P31	-	-	-	-	TBCOUT0	TBCOUT1	-	
39	43	53	69	86	88	P32	-	SU1_RXD1	SU1_RXD0	-	-	-	-	
40	44	54	70	87	89	P33	-	SU1_TXD1	-	-	TMH3OUT	-	-	
-	-	49	65	82	84	P40	-	SU5_TXD1	-	-	-	-	-	
-	40	50	66	83	85	P41	-	-	-	-	-	-	-	
-	-	63	79	96	98	P42	-	SU3_TXD1	-	-	-	-	-	
48	52	64	80	100	2	P43	-	-	-	-	TBCOUT0	TBCOUT1	AIN10	
-	-	9	12	17	19	P44	DACOUT1	SU4_RXD1	SU4_RXD0	-	-	-	-	
-	-	10	13	18	20	P45	-	SU4_TXD1	-	-	-	-	-	
-	-	13	16	21	23	P46	-	-	-	-	-	-	-	
-	11	14	17	22	24	P47	-	-	-	-	-	-	-	
24	25	29	33	38	40	P50	EXI8	-	-	-	-	-	-	
-	26	30	34	39	41	P51	-	-	-	-	-	-	-	
-	-	31	35	40	42	P52	-	SU4_RXD1	SU4_RXD0	-	-	-	-	
-	-	32	36	41	43	P53	-	SU4_TXD1	-	-	-	-	-	
-	-	33	43	55	57	P54	-	SU2_RXD1	SU2_RXD0	-	TMH7OUT	-	-	
-	-	34	44	56	58	P55	-	SU2_TXD1	-	-	-	-	-	
-	39	47	57	69	71	P56	-	SU2_RXD0 SU2_SIN	-	-	-	-	AIN12	
-	-	48	58	70	72	P57	-	SU2_TXD0 SU2_SOUT	SU2_TXD1	-	-	-	AIN13	
41	45	55	71	88	90	P60	-	-	-	I2CM1_SCL	-	-	-	
42	46	56	72	89	91	P61	-	-	-	I2CM1_SDA	-	-	-	
43	47	57	73	90	92	P62	-	-	-	-	FTM4N	-	CMP1P	
44	48	58	74	91	93	P63	-	-	-	-	FTM4P	-	CMP1M	
45	49	59	75	92	94	P64	EXI9	SU3_RXD0 SU3_SIN	-	-	FTM5P	-	-	
46	50	60	76	93	95	P65	-	SU3_TXD0 SU3_SOUT	SU3_TXD1	-	FTM5N	-	AIN8	
47	51	61	77	94	96	P66	-	SU3_SCLK	-	-	-	-	AIN9	
-	-	62	78	95	97	P67	-	SU3_RXD1	SU3_RXD0	-	-	-	-	
-	-	20	24	29	31	P70	-	-	-	-	TMH6OUT	-	-	
15	16	19	23	28	30	P71	-	-	-	-	-	-	-	
14	15	18	22	27	29	P72	-	-	-	-	-	-	-	
13	14	17	21	26	28	P73	-	-	-	-	-	-	-	
12	13	16	20	25	27	P74	-	-	-	-	-	-	-	
11	12	15	19	24	26	P75	-	-	-	-	-	-	-	
-	-	-	18	23	25	P76	EXI10	-	-	-	-	-	-	
-	-	-	-	99	1	P77	-	-	-	-	-	-	-	
-	-	-	9	9	11	P80	-	SU4_RXD0 SU4_SIN	-	-	-	-	-	
-	-	-	10	10	12	P81	-	SU4_TXD0 SU4_SOUT	SU4_TXD1	-	-	-	-	
-	-	-	11	11	13	P82	-	SU4_SCLK	-	-	-	-	-	
-	-	-	-	12	14	P83	-	-	-	-	-	-	-	
-	-	-	-	13	15	P84	-	-	-	-	-	-	-	
-	-	-	-	14	16	P85	-	-	-	-	-	-	-	
-	-	-	-	15	17	P86	-	-	-	-	-	-	-	
-	-	-	-	16	18	P87	-	-	-	-	-	-	-	

*1: DACOUT1/SU2/SU3/SU4/SU5/TMH6/TMH7/AIN12/AIN13 のつく信号は 48/52/64PIN パッケージ製品には搭載
されていません。

表 3 端子一覧 (3/3)

Pin No.						端子名 (1次機能)	1次機能 その他	2次機能 通信系	3次機能 通信系	4次機能 通信系	5次機能 タイマ系	6次機能 その他	7次機能 その他	8次機能 ADC
48Pin	52Pin	64Pin	80Pin	TQFP-100	QFP-100									
-	-	-	-	42	44	P90	-	-	-	-	-	-	-	-
-	-	-	-	43	45	P91	-	-	-	-	-	-	-	-
-	-	-	-	44	46	P92	-	-	-	-	-	-	-	-
-	-	-	37	45	47	P93	-	SU4_RXD0 SU4_SIN	-	-	FTM6P	-	-	-
-	-	-	38	46	48	P94	-	SU4_TXD0 SU4_SOUT	SU4_TXD1	-	FTM6N	-	-	-
-	-	-	39	47	49	P95	-	SU4_SCLK	-	-	-	-	-	-
-	-	-	40	48	50	P96	-	-	-	-	-	-	-	-
-	-	-	-	49	51	P97	-	-	-	-	-	-	-	-
-	-	-	-	50	52	PA0	-	-	-	-	-	-	-	-
-	-	-	-	53	55	PA1	-	-	-	-	-	-	-	-
-	-	-	-	54	56	PA2	-	-	-	-	-	-	-	-
-	-	-	59	71	73	PA3	EXI11	SU2_SCLK	-	-	FTM7P	-	-	AIN14
-	-	-	60	72	74	PA4	-	-	-	-	FTM7N	-	-	AIN15
-	-	-	-	73	75	PA5	-	-	-	-	-	-	-	-
-	-	-	-	74	76	PA6	-	-	-	-	-	-	-	-
-	-	-	-	75	77	PA7	-	-	-	-	-	-	-	-
-	-	-	-	76	78	PB0	-	-	-	-	-	-	-	-
-	-	-	-	77	79	PB1	-	-	-	-	-	-	-	-
-	-	-	61	78	80	PB2	-	SU5_RXD0 SU5_SIN	-	-	-	-	-	-
-	-	-	62	79	81	PB3	-	SU5_TXD0 SU5_SOUT	SU5_TXD1	-	-	-	-	-
-	-	-	63	80	82	PB4	-	SU5_SCLK	-	-	-	-	-	-
-	-	-	64	81	83	PB5	-	SU5_RXD1	SU5_RXD0	-	-	-	-	-
-	-	-	-	97	99	PB6	-	-	-	-	-	-	-	-
-	-	-	-	98	100	PB7	-	-	-	-	-	-	-	-

■端子説明

表 4 に ML62Q1500/1800 グループの機能ごとの端子説明を示します。

I/O 欄の“—”は電源端子, “I”は入力端子, “O”は出力端子, “I/O”は入出力端子を示します。

表 4 端子説明 (1/5)

機能	信号名	端子名	I/O	説明	論理	
電源	—	V _{SS}	—	マイナス側電源	—	
	—	V _{DD}	—	プラス側電源 電源を安定させるため、V _{DD} とV _{SS} の間にコンデンサ C _V を接続してください	—	
	—	V _{DDL}	—	内部ロジック用電源 (内部発生) V _{SS} との間にコンデンサ C _L (1μF)を接続してください	—	
テスト	TEST0	P00	I/O	テスト用入出力 オンチップデバッグ機能、および ISP 機能に使用します。オンチップデバッグに使用する場合は、汎用ポートとしては使用できません。P00 端子と兼用端子です。初期値はプルアップ抵抗付き入力です	—	
未使用	NC	NC	—	V _{SS} と接続してください	—	
システム	V _{REFO}	P23	—	リファレンス電圧出力	—	
	RESET_N	RESET_N	I	リセット入力 この端子を“L”レベルにするとシステムリセットモードになり, “H”レベルにするとプログラム動作モードに移行します オンチップデバッグ機能および ISP 機能に使用します (プルアップ抵抗は内蔵されていません)	負	
	XT0	XT0	I	低速水晶振動子と接続	—	
	XT1	XT1	O	32.768kHz 水晶振動子を接続し、V _{SS} との間にコンデンサを接続します	—	
	OUTLSCLK	P02	P21	O	低速出カクロック	—
		P03				
OUTHCLK	P03	P22	O	高速出カクロック	—	
	P22					
汎用ポート	PI00,PI01	XT0,XT1	I	汎用入力 低速水晶発振端子と兼用端子のため、水晶振動子を接続する場合は汎用入力ポートとして使用できません	正	
	P00	P00	I/O	汎用入出力 ・ハイインピーダンス ・プルアップ抵抗付き入力 (初期値) ・プルアップ抵抗無し入力 ・CMOS 出力 ・N チャネル (N-ch)オープンドレイン出力 TEST0 端子と兼用端子のためオンチップデバッグ機能もしくは ISP 機能を使用する場合は汎用ポートとして使用できません	正	
	P01~P07	P01~P07	I/O	汎用入出力 ・ハイインピーダンス (初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・N-ch オープンドレイン出力	正	
	P10~P17	P10~P17				
	P20~P27	P20~P27				
	P30~P33	P30~P33				
	P40~P47	P40~P47				
	P50~P57	P50~P57				
	P60~P67	P60~P67				
	P70~P77	P70~P77				
	P80~P87	P80~P87				
	P90~P97	P90~P97				
	PA0~PA7	PA0~PA7				
	PB0~PB7	PB0~PB7				

表 4 端子説明 (2/5)

機能	信号名	端子名	I/O	説明	論理	
シリアル通信 ユニット (UART モード)	SU0_TXD0	P03	O	シリアル通信ユニット 0 の UART0 データ出力	正	
		P13				
	SU0_RXD0		P02	I	シリアル通信ユニット 0 の全二重モードデータ入力 シリアル通信ユニット 0 の UART0 データ入力	正
			P07			
			P12			
			P17			
	SU0_TXD1		P03	O	シリアル通信ユニット 0 の全二重モードデータ出力 シリアル通信ユニット 0 の UART1 データ出力	正
			P10			
			P13			
			P20			
	SU0_RXD1		P07	I	シリアル通信ユニット 0 の UART1 データ入力	正
			P17			
	SU1_TXD0		P22	O	シリアル通信ユニット 1 の UART0 データ出力	正
			P25			
	SU1_RXD0		P21	I	シリアル通信ユニット 1 の全二重モードデータ入力 シリアル通信ユニット 1 の UART0 データ入力	正
			P24			
			P26			
			P32			
	SU1_TXD1		P22	O	シリアル通信ユニット 1 の全二重モードデータ出力 シリアル通信ユニット 1 の UART1 データ出力	正
			P25			
			P27			
			P33			
	SU1_RXD1		P26	I	シリアル通信ユニット 1 の UART1 データ入力	正
			P32			
	SU2_TXD0		P57	O	シリアル通信ユニット 2 の UART0 データ出力	正
	SU2_RXD0		P54	I	シリアル通信ユニット 2 の全二重モードデータ入力 シリアル通信ユニット 2 の UART0 データ入力	正
			P56			
	SU2_TXD1		P55	O	シリアル通信ユニット 2 の全二重モードデータ出力 シリアル通信ユニット 2 の UART1 データ出力	正
P57						
SU2_RXD1		P54	I	シリアル通信ユニット 2 の UART1 データ入力	正	
SU3_TXD0		P65	O	シリアル通信ユニット 3 の UART0 データ出力	正	
SU3_RXD0		P64	I	シリアル通信ユニット 3 の全二重モードデータ入力 シリアル通信ユニット 3 の UART0 データ入力	正	
		P67				
SU3_TXD1		P42	O	シリアル通信ユニット 3 の全二重モードデータ出力 シリアル通信ユニット 3 の UART1 データ出力	正	
		P65				
SU3_RXD1		P67	I	シリアル通信ユニット 3 の UART1 データ入力	正	
SU4_TXD0		P81	O	シリアル通信ユニット 4 の UART0 データ出力	正	
		P94				
SU4_RXD0		P44	I	シリアル通信ユニット 4 の全二重モードデータ入力 シリアル通信ユニット 4 の UART0 データ入力	正	
		P52				
		P80				
		P93				
SU4_TXD1		P45	O	シリアル通信ユニット 4 の全二重モードデータ出力 シリアル通信ユニット 4 の UART1 データ出力	正	
		P53				
		P81				
		P94				
SU4_RXD1		P44	I	シリアル通信ユニット 4 の UART1 データ入力	正	
		P52				
SU5_TXD0		PB3	O	シリアル通信ユニット 5 の UART0 データ出力	正	
SU5_RXD0		PB2	I	シリアル通信ユニット 5 の全二重モードデータ入力 シリアル通信ユニット 5 の UART0 データ入力	正	
		PB5				
SU5_TXD1		P40	O	シリアル通信ユニット 5 の全二重モードデータ出力 シリアル通信ユニット 5 の UART1 データ出力	正	
		PB3				
SU5_RXD1		PB5	I	シリアル通信ユニット 5 の UART1 データ入力	正	

表 4 端子説明 (3/5)

機能	信号名	端子名	I/O	説明	論理
シリアル通信 ユニット (同期式シリアル ポートモード)	SU0_SIN	P02	I	シリアル通信ユニット 0 の同期式シリアルデータ入力	正
		P12			
	SU0_SCLK	P04	I/O	シリアル通信ユニット 0 の同期式シリアルクロック入出力	正
		P11			
	SU0_SOUT	P03	O	シリアル通信ユニット 0 の同期式シリアルデータ出力	正
		P13			
	SU1_SIN	P21	I	シリアル通信ユニット 1 の同期式シリアルデータ入力	正
		P24			
	SU1_SCLK	P16	I/O	シリアル通信ユニット 1 の同期式シリアルクロック入出力	正
		P23			
	SU1_SOUT	P22	O	シリアル通信ユニット 1 の同期式シリアルデータ出力	正
		P25			
	SU2_SIN	P56	I	シリアル通信ユニット 2 の同期式シリアルデータ入力	正
		PA3			
	SU2_SCLK	PA3	I/O	シリアル通信ユニット 2 の同期式シリアルクロック入出力	正
		P57			
	SU2_SOUT	P57	O	シリアル通信ユニット 2 の同期式シリアルデータ出力	正
		P64			
SU3_SIN	P64	I	シリアル通信ユニット 3 の同期式シリアルデータ入力	正	
	P66				
SU3_SCLK	P66	I/O	シリアル通信ユニット 3 の同期式シリアルクロック入出力	正	
	P65				
SU3_SOUT	P65	O	シリアル通信ユニット 3 の同期式シリアルデータ出力	正	
	P80				
SU4_SIN	P80	I	シリアル通信ユニット 4 の同期式シリアルデータ入力	正	
	P93				
SU4_SCLK	P95	I/O	シリアル通信ユニット 4 の同期式シリアルクロック入出力	正	
	P82				
SU4_SOUT	P81	O	シリアル通信ユニット 4 の同期式シリアルデータ出力	正	
	P94				
SU5_SIN	PB2	I	シリアル通信ユニット 5 の同期式シリアルデータ入力	正	
	PB4				
SU5_SCLK	PB4	I/O	シリアル通信ユニット 5 の同期式シリアルクロック入出力	正	
	PB3				
SU5_SOUT	PB3	O	シリアル通信ユニット 5 の同期式シリアルデータ出力	正	
	P03				I/O
I2CU0_SDA	P15				
	P26				
I2CU0_SCL	P04	I/O	I ² C バスユニット 0 のクロック入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正	
	P16				
	P27				
I2CM0_SDA	P06	I/O	I ² C バスマスタ 0 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正	
	P22				
I2CM0_SCL	P07	I/O	I ² C バスマスタ 0 のクロック入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正	
	P23				
I2CM1_SDA	P61	I/O	I ² C バスマスタ 1 のデータ入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正	
I2CM1_SCL	P60	I/O	I ² C バスマスタ 1 のクロック入出力用 N-ch オープンドレイン (外部にプルアップ抵抗を接続してください)	正	

表 4 端子説明 (4/5)

機能	信号名	端子名	I/O	説明	論理			
ファンクショナル タイマ	FTM0P	P02	O	ファンクショナルタイマ 0 P 出力	正			
	FTM0N	P03	O	ファンクショナルタイマ 0 N 出力	負			
	FTM1P	P17	O	ファンクショナルタイマ 1 P 出力	正			
	FTM1N	P20	O	ファンクショナルタイマ 1 N 出力	負			
	FTM2P	P21	O	ファンクショナルタイマ 2 P 出力	正			
	FTM2N	P22	O	ファンクショナルタイマ 2 N 出力	負			
	FTM3P	P26	O	ファンクショナルタイマ 3 P 出力	正			
	FTM3N	P27	O	ファンクショナルタイマ 3 N 出力	負			
	FTM4P	P63	O	ファンクショナルタイマ 4 P 出力	正			
	FTM4N	P62	O	ファンクショナルタイマ 4 N 出力	負			
	FTM5P	P64	O	ファンクショナルタイマ 5 P 出力	正			
	FTM5N	P65	O	ファンクショナルタイマ 5 N 出力	負			
	FTM6P	P93	O	ファンクショナルタイマ 6 P 出力	正			
	FTM6N	P94	O	ファンクショナルタイマ 6 N 出力	負			
	FTM7P	PA3	O	ファンクショナルタイマ 7 P 出力	正			
	FTM7N	PA4	O	ファンクショナルタイマ 7 N 出力	負			
	EXTRG0	P02	I	ファンクショナルタイマのトリガ入力	—			
	EXTRG1	P03	I	ファンクショナルタイマのトリガ入力	—			
	EXTRG2	P04	I	ファンクショナルタイマのトリガ入力	—			
	EXTRG3	P17	I	ファンクショナルタイマのトリガ入力	—			
	EXTRG4	P21	I	ファンクショナルタイマのトリガ入力	—			
	EXTRG5	P23	I	ファンクショナルタイマのトリガ入力	—			
	EXTRG6	P26	I	ファンクショナルタイマのトリガ入力	—			
	EXTRG7	P27	I	ファンクショナルタイマのトリガ入力	—			
	16 ビットタイマ	TMH0OUT	P04	O	16 ビットタイマ 0 出力	正		
		TMH1OUT	P13	O	16 ビットタイマ 1 出力	正		
		TMH2OUT	P23	O	16 ビットタイマ 2 出力	正		
		TMH3OUT	P13 P33	O	16 ビットタイマ 3 出力	正		
TMH4OUT		P12	O	16 ビットタイマ 4 出力	正			
TMH5OUT		P16	O	16 ビットタイマ 5 出力	正			
TMH6OUT		P70	O	16 ビットタイマ 6 出力	正			
TMH7OUT		P54	O	16 ビットタイマ 7 出力	正			
EXTRG0		P02	I	16 ビットタイマのトリガ入力	—			
EXTRG1		P03	I	16 ビットタイマのトリガ入力	—			
低速タイムベース カウンタ	TBCOUT0	P01	O	仮想周波数補正用出力, または低速タイムベースカウンタ出力	正			
		P17						
		P26						
		P31						
	TBCOUT1	P01	O	簡易 RTC 用 1Hz/2Hz クロック出力	正			
		P20						
		P27						
		P31						
BZ0P	P17	O	ブザー出力信号 (正相)	正				
	P26							
	BZ0N				P20	O	ブザー出力信号 (逆相)	負
					P27			

表 4 端子説明 (5/5)

機能	信号名	端子名	I/O	説明	論理
外部割込み	EXI0	P02	I	外部割込み 0 入力	—
	EXI1	P03	I	外部割込み 1 入力	—
	EXI2	P04	I	外部割込み 2 入力	—
	EXI3	P17	I	外部割込み 3 入力	—
	EXI4	P21	I	外部割込み 4 入力	—
	EXI5	P23	I	外部割込み 5 入力	—
	EXI6	P26	I	外部割込み 6 入力	—
	EXI7	P27	I	外部割込み 7 入力	—
	EXI8	P50	I	外部割込み 8 入力	—
	EXI9	P64	I	外部割込み 9 入力	—
	EXI10	P76	I	外部割込み 10 入力	—
EXI11	PA3	I	外部割込み 11 入力	—	
逐次比較型 A/D コンバータ	V _{REF}	P23	—	逐次比較型 A/D コンバータ用リファレンス電源	—
	AIN0	P17	I	逐次比較型 A/D コンバータチャンネル 0 のアナログ入力	—
	AIN1	P20	I	逐次比較型 A/D コンバータチャンネル 1 のアナログ入力	—
	AIN2	P21	I	逐次比較型 A/D コンバータチャンネル 2 のアナログ入力	—
	AIN3	P22	I	逐次比較型 A/D コンバータチャンネル 3 のアナログ入力	—
	AIN4	P24	I	逐次比較型 A/D コンバータチャンネル 4 のアナログ入力	—
	AIN5	P25	I	逐次比較型 A/D コンバータチャンネル 5 のアナログ入力	—
	AIN6	P26	I	逐次比較型 A/D コンバータチャンネル 6 のアナログ入力	—
	AIN7	P27	I	逐次比較型 A/D コンバータチャンネル 7 のアナログ入力	—
	AIN8	P65	I	逐次比較型 A/D コンバータチャンネル 8 のアナログ入力	—
	AIN9	P66	I	逐次比較型 A/D コンバータチャンネル 9 のアナログ入力	—
	AIN10	P43	I	逐次比較型 A/D コンバータチャンネル 10 のアナログ入力	—
	AIN11	P03	I	逐次比較型 A/D コンバータチャンネル 11 のアナログ入力	—
	AIN12	P56	I	逐次比較型 A/D コンバータチャンネル 12 のアナログ入力	—
	AIN13	P57	I	逐次比較型 A/D コンバータチャンネル 13 のアナログ入力	—
AIN14	PA3	I	逐次比較型 A/D コンバータチャンネル 14 のアナログ入力	—	
AIN15	PA4	I	逐次比較型 A/D コンバータチャンネル 15 のアナログ入力	—	
アナログ コンパレータ	CMP0P	P03	I	アナログコンパレータ 0 非反転入力	—
	CMP0M	P02	I	アナログコンパレータ 0 反転入力	—
	CMP1P	P62	I	アナログコンパレータ 1 非反転入力	—
	CMP1M	P63	I	アナログコンパレータ 1 反転入力	—
D/A コンバータ	DACOUT0	P01	O	D/A コンバータ 0 の出力	—
	DACOUT1	P44	O	D/A コンバータ 1 の出力	—

■未使用端子処理

表 5 に未使用端子の処理方法を示します。

表 5 未使用端子の処理

端子名	端子処理
NC	V _{SS} に接続してください。
RESET_N	V _{DD} に接続してください。
P00/TEST0	初期値のプルアップ抵抗付き入力モードの状態 で V _{DD} に接続してください。
XT0/PI00, XT1/PI01	初期値のハイインピーダンスの状態 (入力無効、出力無効)で端子をオープンにしてください。
P01 ~ P07	
P10 ~ P17	
P20 ~ P27	
P30 ~ P33	
P40 ~ P47	
P50 ~ P57	
P60 ~ P67	
P70 ~ P77	
P80 ~ P87	
P90 ~ P97	
PA0 ~ PA7	
PB0 ~ PB7	

【注意】

- 未使用の入力端子および入出力端子は、入力状態(プルアップ抵抗無しの入力モードまたは入出力モード)で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 5 の処理方法に従ってください。

■電気的特性

●絶対最大定格

(V_{SS} = 0V)

項目	記号	条件	定格値	単位	
電源電圧 1	V _{DD}	Ta = +25°C	-0.3~+6.5	V	
電源電圧 2	V _{DDL}		-0.3~+2.0		
入力電圧	V _{IN}		-0.3~V _{DD} +0.3* ¹		
出力電圧	V _{OUT}		-0.3~V _{DD} +0.3* ¹		
ハイ・レベル出力電流	I _{OUTH}	Ta = +25°C	1 端子	-40* ²	mA
			端子合計	-180* ²	
ロウ・レベル出力電流	I _{OUTL}	Ta = +25°C	1 端子	+40	
			端子合計	+180	
許容損失	PD	Ta = +25°C	1	W	
保存温度	T _{STG}	—	-55~+150	°C	

*¹: 6.5V 以下であること。*²: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

【注意】

- 絶対最大定格とは、製品の物理的品質を損なわないための許容値であり、動作を保証するものではありません。

●推奨動作条件

(V_{SS} = 0V)

項目	記号	条件	範囲	単位
動作温度 (周囲)	Ta	—	-40~+105	°C
動作温度 (ジャンクション)	Tj	—	-40~+115	
動作電圧	V _{DD}	—	1.6~5.5	V
動作周波数 (CPU)	f _{OP}	V _{DD} = 1.6~5.5V	30k~4M	Hz
		V _{DD} = 1.8~5.5V	30k~25M	
V _{DDL} 端子外付け容量	C _L	—	1.0±30%	μF

●熱特性

以下にチップー Junction 温度の見積り式を示します。

$$T_{j\max} = T_{a\max} + P_{D\max} \times \theta_{ja}$$

$T_{a\max}$: 最高動作温度 (周囲)

$P_{D\max}$: LSI 最大消費電力

θ_{ja} : 熱抵抗

推奨動作条件に規定された $T_{j\max}$ を超えないように、端子電流、周囲温度ならびに基板の放熱設計にご注意ください。必要に応じて実装基板で評価してください。

以下は熱抵抗 θ_{ja} のシミュレーション結果です。放熱設計の参考値としてご使用ください。

項目	記号	パッケージ	基板条件		単位
			L1	L2	
熱抵抗	θ_{ja}	TQFP48	63.6	57.8	°C/W
		TQFP52	61.7	56.7	
		TQFP64	63.2	58.2	
		QFP64	47.2	43.3	
		QFP80	55.5	51.6	
		TQFP100	48.0	43.3	
		QFP100	104.7	101.3	

基板条件:

条件	L1	L2	単位
サイズ (L / W / T)	114.3 / 76.2 / 1.6	114.3 / 76.2 / 1.6	mm
層数	1	2	層
配線密度	60% (表層)	60% (表層, 裏層)	—
空冷条件	無風 (0m/s)		—

●消費電流特性 1

対象商品：ML62Q1530, ML62Q1531, ML62Q1532, ML62Q1533, ML62Q1534, ML62Q1540,
ML62Q1541, ML62Q1542, ML62Q1543, ML62Q1544, ML62Q1550, ML62Q1551,
ML62Q1552, ML62Q1553, ML62Q1554

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.*3	Max.		
消費電流 0	IDD0	CPU が STOP-D 状態 全ての発振停止	Ta = -40 ~+85°C	—	0.8	23	1
			Ta = -40 ~+105°C	—			
消費電流 1	IDD1	CPU が STOP 状態 全ての発振停止	Ta = -40 ~+85°C	—	1.0	26	
			Ta = -40 ~+105°C	—			
消費電流 2	IDD2-1	低速 RC 発振時*1 CPU が HALT 状態 PLL 発振停止	Ta = -40 ~+85°C	—	4.7	35	
			Ta = -40 ~+105°C	—			
消費電流 2-2	IDD2-2	低速水晶発振時*1*4 CPU が HALT 状態 PLL 発振停止	Ta = -40 ~+85°C	—	3.0	32	
			Ta = -40 ~+105°C	—			
消費電流 3	IDD3	CPU が低速 RC 動作状態*1*2 PLL 発振停止	Ta = -40 ~+105°C	—	17	105	
消費電流 4	IDD4	CPU が 16MHz 動作状態*1*2 PLL 16MHz 発振時 $V_{DD} = 1.8 \sim 5.5V$	Ta = -40 ~+105°C	—	3.3	4.5	
消費電流 5	IDD5	CPU が 24MHz 動作状態*1*2 PLL 24MHz 発振時 $V_{DD} = 1.8 \sim 5.5V$	Ta = -40 ~+105°C	—	4.7	6.0	

*1: LTBC, WDT 動作状態, ブロッククロックコントロールレジスタ (BCKCONn)ならびにブロックリセットコントロールレジスタ (BRECONn)の有効ビットが全て“1”の状態

*2: CPU はウェイトモードで動作時

*3: $V_{DD} = 3.0V$, $T_a = +25^\circ C$ 条件

*4: 低消費電流モード, ノイズ除去フィルタオフに設定時

●消費電流特性 2

対象商品:ML62Q1555, ML62Q1556, ML62Q1557, ML62Q1563, ML62Q1564, ML62Q1565, ML62Q1566, ML62Q1567, ML62Q1573, ML62Q1574, ML62Q1575, ML62Q1576, ML62Q1577

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.*3	Max.		
消費電流 0	IDD0	CPU が STOP-D 状態 全ての発振停止	$T_a = -40 \sim +85^{\circ}C$	—	1.0	55	1
			$T_a = -40 \sim +105^{\circ}C$	—		110	
消費電流 1	IDD1	CPU が STOP 状態 全ての発振停止	$T_a = -40 \sim +85^{\circ}C$	—	1.3	60	
			$T_a = -40 \sim +105^{\circ}C$	—		120	
消費電流 2	IDD2-1	低速 RC 発振時*1 CPU が HALT 状態 PLL 発振停止	$T_a = -40 \sim +85^{\circ}C$	—	5.5	76	
			$T_a = -40 \sim +105^{\circ}C$	—		135	
消費電流 2-2	IDD2-2	低速水晶発振時*1*4 CPU が HALT 状態 PLL 発振停止	$T_a = -40 \sim +85^{\circ}C$	—	4.5	76	
			$T_a = -40 \sim +105^{\circ}C$	—		135	
消費電流 3	IDD3	CPU が低速 RC 動作状態*1*2 PLL 発振停止	$T_a = -40 \sim +105^{\circ}C$	—	20	150	
消費電流 4	IDD4	CPU が 16MHz 動作状態*1*2 PLL 16MHz 発振時 $V_{DD} = 1.8 \sim 5.5V$	$T_a = -40 \sim +105^{\circ}C$	—	5.0	6.2	
消費電流 5	IDD5	CPU が 24MHz 動作状態*1*2 PLL 24MHz 発振時 $V_{DD} = 1.8 \sim 5.5V$	$T_a = -40 \sim +105^{\circ}C$	—	6.8	8.5	

*1: LTBC, WDT 動作状態, ブロッククロックコントロールレジスタ (BCKCONn)ならびにブロックリセットコントロールレジスタ (BRECONn)の有効ビットが全て“1”の状態

*2: CPU はウェイトモードで動作時

*3: $V_{DD} = 3.0V$, $T_a = +25^{\circ}C$ 条件

*4: 低消費電流モード, ノイズ除去フィルタオフに設定時

●消費電流特性 3

対象商品: ML62Q1858, ML62Q1859, ML62Q1868, ML62Q1869, ML62Q1878, ML62Q1879

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.*3	Max.		
消費電流 0	IDD0	CPU が STOP-D 状態 全ての発振停止	Ta = -40 ~+85°C	—	1.2	57	1
			Ta = -40 ~+105°C	—		140	
消費電流 1	IDD1	CPU が STOP 状態 全ての発振停止	Ta = -40 ~+85°C	—	1.8	62	
			Ta = -40 ~+105°C	—		150	
消費電流 2	IDD2-1	低速 RC 発振時*1 CPU が HALT 状態 PLL 発振停止	Ta = -40 ~+85°C	—	6.0	78	
			Ta = -40 ~+105°C	—		165	
消費電流 2-2	IDD2-2	低速水晶発振時*1*4 CPU が HALT 状態 PLL 発振停止	Ta = -40 ~+85°C	—	4.5	78	
			Ta = -40 ~+105°C	—		165	
消費電流 3	IDD3	CPU が低速 RC 動作状態*1*2 PLL 発振停止	Ta = -40 ~+105°C	—	20	190	
消費電流 4	IDD4	CPU が 16MHz 動作状態*1*2 PLL 16MHz 発振時 $V_{DD} = 1.8 \sim 5.5V$	Ta = -40 ~+105°C	—	4.0	5.0	mA
消費電流 5	IDD5	CPU が 24MHz 動作状態*1*2 PLL 24MHz 発振時 $V_{DD} = 1.8 \sim 5.5V$	Ta = -40 ~+105°C	—	5.7	7.0	

*1: LTBC, WDT 動作状態, ブロッククロックコントロールレジスタ (BCKCONn)ならびにブロックリセットコントロールレジスタ (BRECONn)の有効ビットが全て“1”の状態

*2: CPU はウェイトモードで動作時

*3: $V_{DD} = 3.0V$, $T_a = +25^\circ C$ 条件

*4: 低消費電流モード, ノイズ除去フィルタオフに設定時

●低速水晶発振特性

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
水晶発振周波数*1*2	f_{XTL}	—	—	32.768	—	kHz
水晶発振開始時間	T_{XTL}	—	—	—	2	s

*1: 発振周波数は発振回路, 水晶振動子, 水晶発振外付け容量 (CGL/CDL)の回路定数で設定します。

水晶振動子によって回路定数は変わりますので, 実装回路でのマッチング評価が必要です。

振動子メーカーにマッチング評価を依頼して発振特性を確認してご使用ください。

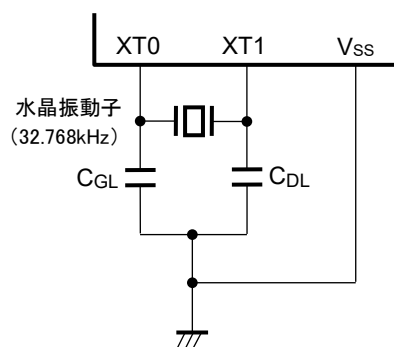
*2: 回路基板の材質や配線パターン, および水晶振動子や端子などの配線容量や寄生容量によって

期待する発振特性が得られない可能性があります。

外付け回路の設計には十分ご注意ください。

- 外付け回路の配線は極力短くしてください。
- 水晶発振外付け容量, 水晶振動子の配線は極力短くしてください。
- 外付け回路の配線と大電流が流れる配線は交差および隣接させないでください。
- 外付け回路の配線と他信号の配線は交差させないでください。
- 水晶発振外付け容量の接地点への接続については, 極力電流変動や電圧変動の少ない接地配線に接続してください。
- 使用環境によっては基板の吸湿や基板表面での結露などで期待する発振特性が得られない可能性があります。回路基板を樹脂密閉するなどの対策を推奨します。

低速水晶発振の外付け回路例



●外部クロック入力特性

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
入力周波数	f_{EXCK}	—	Typ. -1.0%	32.768	Typ. +1.0%	kHz
入力パルス幅	t_{EXCKW}	—	$1/f_{EXCK}$ $\times 0.4$		$1/f_{EXCK}$ $\times 0.6$	s

●オンチップオシレータ特性

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
低速 RC 発振周波数 1 ソフトウェア補正なし	f _{RCL1}	T _a = +25°C, V _{DD} = 1.8~5.5V	Typ. -1.0%	32.768	Typ. +1.0%	kHz	1
		T _a = -40~+85°C, V _{DD} = 1.8~5.5V	Typ. -2.5%	32.768	Typ. +2.5%		
		T _a = -40~+105°C, V _{DD} = 1.8~5.5V	Typ. -3.0%	32.768	Typ. +3.0%		
		V _{DD} = 1.6~1.8V	Typ. -3.5%	32.768	Typ. +3.5%		
低速 RC 発振周波数 2 ソフトウェア補正あり	f _{RCL2}	T _a = -40~+85°C, V _{DD} = 1.8~5.5V	Typ. -1.0%	32.768	Typ. +1.0%	kHz	
		T _a = -40~+105°C, V _{DD} = 1.8~5.5V	Typ. -1.5%	32.768	Typ. +1.5%		
PLL 発振周波数 1 内蔵低速 RC ソフトウェア補正なし	f _{PLL1}	T _a = -40~+85°C, V _{DD} = 1.8~5.5V	Typ. -2.5%	16/24	Typ. +2.5%	MHz	
		T _a = -40~+105°C, V _{DD} = 1.8~5.5V	Typ. -3.0%	16/24	Typ. +3.0%		
		V _{DD} = 1.6~1.8V	Typ. -3.5%	16/24	Typ. +3.5%		
PLL 発振周波数 2 内蔵低速 RC ソフトウェア補正あり	f _{PLL2}	T _a = -40~+85°C, V _{DD} = 1.8~5.5V	Typ. - 1.0%	16/24	Typ. +1.0%	MHz	
		T _a = -40~+105°C, V _{DD} = 1.8~5.5V	Typ. - 1.5%	16/24	Typ. +1.5%		
PLL 発振安定時間	T _{PLL}	T _a = -40~+105°C, V _{DD} = 1.6~5.5V	—	—	2	ms	
低速 RC1K 発振周波数 (ウォッチドッグタイマ専用)	f _{RC1K}	T _a = -40~+105°C, V _{DD} = 1.6~5.5V	0.5	1	2.5	kHz	

●入出力端子特性 1

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
“H”/“L”レベル出力 電圧 1 (P00~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P77) (P80~P87) (P90~P97) (PA0~PA7) (PB0~PB7)	VOH1	IOH1 = -10mA $V_{DD} \geq 4.5V$	V_{DD} -1.5	—	—	V	2
		IOH1 = -1mA $V_{DD} \geq 1.6V$	V_{DD} -0.5	—	—		
	VOL1	IOL1 = +10mA $V_{DD} \geq 4.5V$	—	—	1.5		
		IOL1 = +1mA $V_{DD} \geq 1.6V$	—	—	0.5		
“L”レベル 出力電圧 2 (P01~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P77) (P80~P87) (P90~P97) (PA0~PA7) (PB0~PB7)	VOL2	N-ch オープンドレ イン出力選択時	IOL2 = +15mA $V_{DD} \geq 4.5V$	—	—	0.7	
			IOL2 = +8mA $V_{DD} \geq 3.0V$	—	—	0.5	
			IOL2 = +3mA $V_{DD} \geq 2.0V$	—	—	0.4	
			IOL2 = +2mA $V_{DD} \geq 1.6V$	—	—	0.4	

●入出力端子特性 2

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
“H”レベル 出力電流 1 *6	IOH1	1 端子	$V_{DD} \geq 4.5V$	-10 *3*5	—	—	mA
			$V_{DD} \geq 1.6V$	-1 *3*5	—	—	
“H”レベル出力 合計電流 *1*4	IOH3	“P00~P07, P10~P13 P44~P47, P50~P53, P70~P76, P80~P87, P90~P97, PA0 合計” または “P14~P17, P20~P27, P30~P33, P40~P43, P54~P57, P60~P67, P77,PA1~PA7, PB0~PB7 合計” (デューティ $\leq 50\%$ 時)	$V_{DD} \geq 4.5V$	-90 *5	—	—	
			$V_{DD} \geq 1.6V$	-20 *5	—	—	
		全端子合計 (デューティ $\leq 50\%$ 時)	$V_{DD} \geq 4.5V$	-180 *5	—	—	
			$V_{DD} \geq 1.6V$	-40 *5	—	—	
“L”レベル 出力電流 1 *6	IOL1	1 端子 (CMOS 出力選択時)	$V_{DD} \geq 4.5V$	—	—	10 *3	
			$V_{DD} \geq 1.6V$	—	—	1 *3	
“L”レベル 出力電流 2 *6	IOL2	1 端子 (N-ch オープンドレイン出力 選択時)	$V_{DD} \geq 4.5V$	—	—	15 *3	
			$V_{DD} \geq 3.0V$	—	—	8 *3	
			$V_{DD} \geq 2.0V$	—	—	3 *3	
			$V_{DD} \geq 1.6V$	—	—	2 *3	
“L”レベル出力 合計電流 *2*4	IOL3	“P00~P07, P10~P13, P44~P47, P50~P53, P70~P76, P80~P87, P90~P97, PA0 合計” または “P14~P17, P20~P27, P30~P33, P40~P43, P54~P57, P60~P67, P77,PA1~PA7, PB0~PB7 合計” (N-ch オープンドレイン出力 選択時, デューティ $\leq 50\%$ 時)	$V_{DD} \geq 4.5V$	—	—	90	
			$V_{DD} \geq 3.0V$	—	—	40	
		$V_{DD} \geq 2.0V$	—	—	15		
		$V_{DD} \geq 1.6V$	—	—	10		
		全端子合計 (N-ch オープンド レイン出力選択時, デューティ $\leq 50\%$ 時)	$V_{DD} \geq 4.5V$	—	—	180	
			$V_{DD} \geq 1.6V$	—	—	20	
出力リーク (P00~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P77) (P80~P87) (P90~P97) (PA0~PA7) (PB0~PB7)	IOOH	VOH = V_{DD} (ハイインピーダンス時)	—	—	+1	μA	
			—	—	—		
	IOOL	VOL = V_{SS} (ハイインピーダンス時)	-1*5	—	—		

3

*1: V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

*2: 出力端子から V_{SS} 端子に流れ込んでも、デバイスの動作を保証する電流値です。

*3: 出力合計電流を超えないでください。

*4: デューティ ≤ 50% の条件での出力電流の値です。

デューティ > 50% に変更した出力電流の値は、次の計算式で求めることができます。

端子合計の出力電流 = IOL3 × 50/n (デューティ比を n% に変更する場合)

<計算例>

IOL3 = 100mA で、n = 80% の場合、

端子合計の出力電流 = IOL3 × 50/80 = 62.5mA

1 端子に流せる電流はデューティによって変わることはなく、IOL1, IOL2 の規格となります。

また絶対最大定格以上の電流は流せません。

*5: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すこととなります。

*6: VOH1, VOL1, VOL2 を満たすための条件となります。

●入出力端子特性 3

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N)	I IH1	$V_{IH1} = V_{DD}$	—	—	1	μA	4
	I IL1	$V_{IL1} = V_{SS}$	-1*1	—	—		
入力電流 2 (P00/TEST0)	I IL2	$V_{IL2} = V_{SS}$ (プルアップ時)*2	-1500*1	-300*1	-20*1	kΩ	
	V/IIL2	$V_{IL2} = V_{SS}$ (プルアップ時)*2	3.7	10	80		
	I IH2Z	$V_{IH2} = V_{DD}$ (ハイインピーダンス時)	—	—	1	μA	
	I IL2Z	$V_{IL2} = V_{SS}$ (ハイインピーダンス時)	-1*1	—	—		
入力電流 3 (P01~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P77) (P80~P87) (P90~P97) (PA0~PA7) (PB0~PB7)	I IL3	$V_{IL1} = V_{SS}$ (プルアップ時)*2	-250*1	-30*1	-2*1	kΩ	
	V/IIL3	$V_{IL1} = V_{SS}$ (プルアップ時)*2	22	100	800		
	I IH3Z	$V_{IH1} = V_{DD}$ (ハイインピーダンス時)	—	—	1	μA	
	I IL3Z	$V_{IL1} = V_{SS}$ (ハイインピーダンス時)	-1*1	—	—		
入力電流 4 (PI00-PI01)	I IH4	$V_{IH1} = V_{DD}$	—	—	1	μA	
	I IL4	$V_{IL1} = V_{SS}$	-1*1	—	—		
入力電圧 1 (RESET_N) (P01~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P77) (P80~P87) (P90~P97) (PA0~PA7) (PB0~PB7) (PI00-PI01)	V IH1	—	$0.7 \times V_{DD}$	—	V_{DD}	V	5
	V IL1	—	0	—	$0.3 \times V_{DD}$		
入力電圧 2 (P00/TEST0)	V IH2	—	$0.7 \times V_{DD}$	—	V_{DD}	V	5
	V IL2	—	0	—	$0.25 \times V_{DD}$		
端子容量 (RESET_N) (P00/TEST0) (P01~P07) (P10~P17) (P20~P27) (P30~P33) (P40~P47) (P50~P57) (P60~P67) (P70~P77) (P80~P87) (P90~P97) (PA0~PA7) (PB0~PB7) (PI00-PI01)	CPIN	$f = 10kHz$ $T_a = +25^{\circ}C$	—	—	10	pF	—

*1: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。
流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すこととなります。

*2: Typ. 値は $V_{DD} = 3.0V$ 条件です。また Max. 値は $V_{DD} = 1.6V$ のとき、Min. 値は $V_{DD} = 5.5V$ のときです。

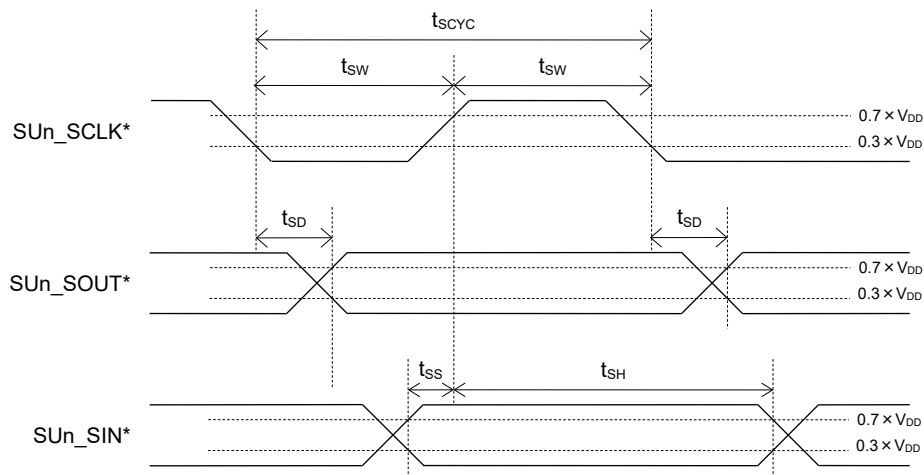
●同期式シリアルポート特性
スレーブモード(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル	t_{SCYC}	—	1*2	—	—	μs
SCLK 入力パルス幅	t_{SW}	—	0.5*3	—	—	
SOUT 出力遅延時間	t_{SD}	$V_{DD} = 2.4 \sim 5.5V$	—	—	100+ HSCLK*1×3	ns
		$V_{DD} = 1.8 \sim 5.5V$	—	—	200+ HSCLK*1×3	
SIN 入力セットアップ時間	t_{SS}	—	HSCLK*1×1	—	—	
SIN 入力ホールド時間	t_{SH}	—	80+ HSCLK*1×3	—	—	

*1: 高速クロックの周期

*2: HSCLK×8 以上の入力サイクルが必要

*3: HSCLK×4 以上の入力パルス幅が必要



*: ポートの 2~8 次機能を示す。

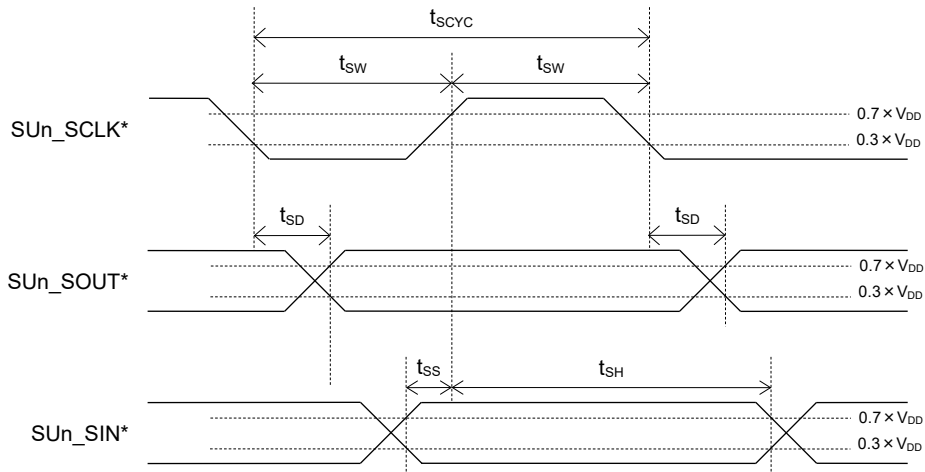
n: 0~5

マスターモード

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCLK 出力サイクル	t_{SCYC}	—	—	SCLK* ¹	—	ns
SCLK 出力パルス幅	t_{SW}	—	SCLK* ¹ ×0.4	SCLK* ¹ ×0.5	SCLK* ¹ ×0.6	
SOUT 出力遅延時間	t_{SD}	$V_{DD} = 2.4 \sim 5.5V$	—	—	100	
		$V_{DD} = 1.8 \sim 5.5V$	—	—	160	
SIN 入力セットアップ時間	t_{SS}	$V_{DD} = 2.4 \sim 5.5V$	120	—	—	
		$V_{DD} = 1.8 \sim 5.5V$	180	—	—	
SIN 入力ホールド時間	t_{SH}	$V_{DD} = 2.4 \sim 5.5V$	80	—	—	
		$V_{DD} = 1.8 \sim 5.5V$	100	—	—	

*1: 同期式シリアルポート n モードレジスタ (SIOnMOD)のビット 12~8 (SnCK4~0)により選択されたクロック周期
($V_{DD} \geq 2.4V$ 時: min. 250ns, $V_{DD} \geq 1.8V$ 時: min. 500ns)



*: ポートの 2~8 次機能を示す。
n: 0~5

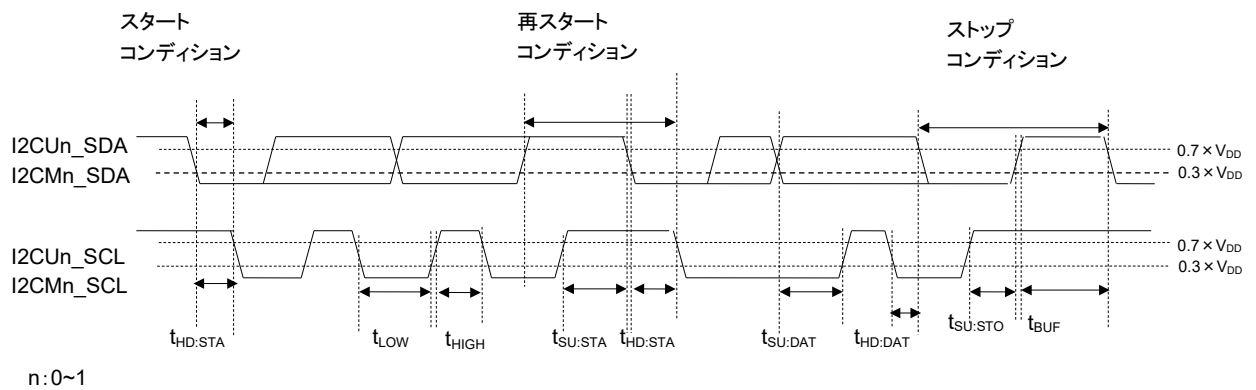
●I²C バス・インタフェース特性

標準モード (100kbps)

(特に指定のない場合は, V_{DD} = 1.8~5.5V, V_{SS} = 0V, Ta = -40~+105°C)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f _{SCL}	—	0	—	100	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	t _{HD:STA}	—	4.0	—	—	
SCL “L”レベル時間	t _{LOW}	—	4.7	—	—	
SCL “H”レベル時間	t _{HIGH}	—	4.0	—	—	
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	—	4.7	—	—	
SDA ホールド時間	t _{HD:DAT}	—	0	—	—	
SDA セットアップ時間	t _{SU:DAT}	—	0.25	—	—	
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	—	4.0	—	—	
バスフリー時間	t _{BUF}	—	4.7	—	—	

I²C バスマスタとして使用する場合は, 上記規格値を守るように I²C マスタ n モードレジスタ (I2MnMOD), I²C バス 0 モードレジスタ (マスタ側) (I2UM0MOD)を設定してください

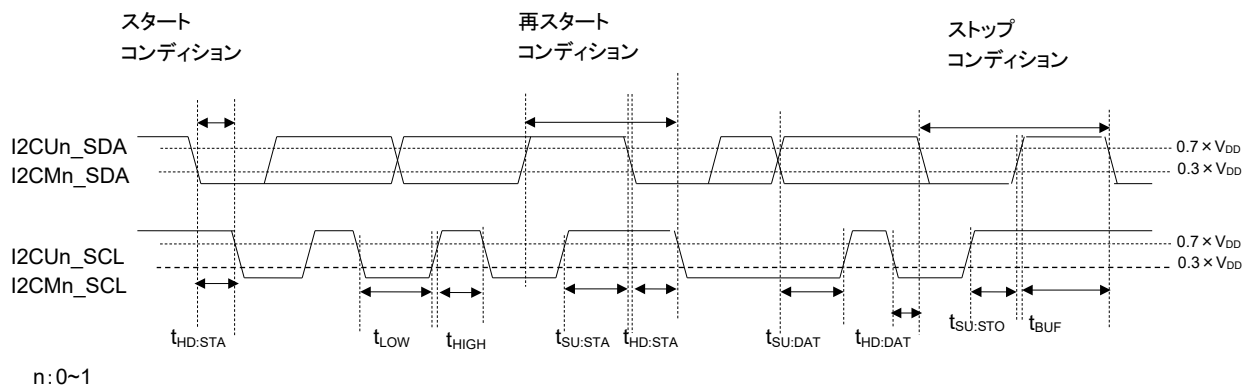


ファストモード (400kbps)

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	400	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.6	—	—	μs
SCL “L”レベル時間	t_{LOW}	—	1.3	—	—	
SCL “H”レベル時間	t_{HIGH}	—	0.6	—	—	
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.6	—	—	
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.6	—	—	
バスフリー時間	t_{BUF}	—	1.3	—	—	

I²C バスマスタとして使用する場合は, 上記規格値を守るように I²C マスタ n モードレジスタ (I2MnMOD), I²C バス 0 モードレジスタ (マスタ側) (I2UM0MOD)を設定してください

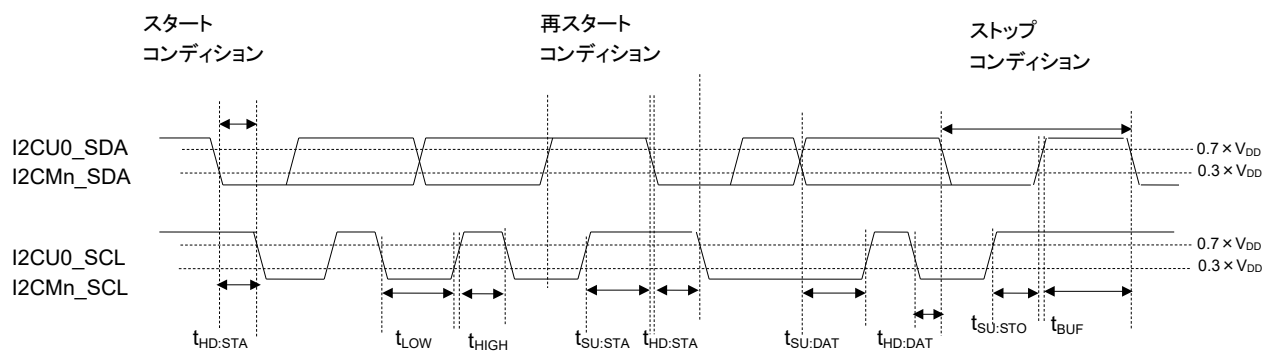


1Mbps モード

(特に指定のない場合は, $V_{DD} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCL クロック周波数	f_{SCL}	—	0	—	1000	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	—	0.26	—	—	
SCL “L” レベル時間	t_{LOW}	—	0.5	—	—	
SCL “H” レベル時間	t_{HIGH}	—	0.26	—	—	
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	—	0.26	—	—	
SDA ホールド時間	$t_{HD:DAT}$	—	0	—	—	
SDA セットアップ時間	$t_{SU:DAT}$	—	0.1	—	—	
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	—	0.26	—	—	
バスフリー時間	t_{BUF}	—	0.5	—	—	

I²C バスマスタとして使用する場合は, 上記規格値を守るように I²C マスタ n モードレジスタ (I2MnMOD), I²C バス 0 モードレジスタ (マスタ側) (I2UM0MOD)を設定してください



n:0~1

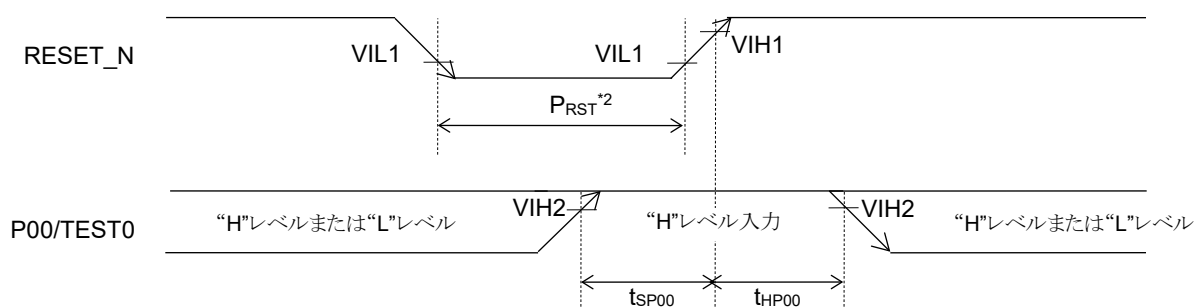
●リセット特性

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
リセット有効時間 ^{*2}	P_{RST}	—	2	—	—	ms	1
P00“H”レベル セットアップ時間 ^{*1}	t_{SP00}	—	1	—	—		
P00“H”レベル ホールド時間 ^{*1}	t_{HP00}	—	1	—	—		

^{*1}: ISP モード時以外の規定です。ISP モード時のタイミングはユーザーズマニュアル“25.4 In-System Programming 機能”を参照ください。

^{*2}: 電源投入時は, $V_{DD}=1.6V$ 以上になってからの時間です。



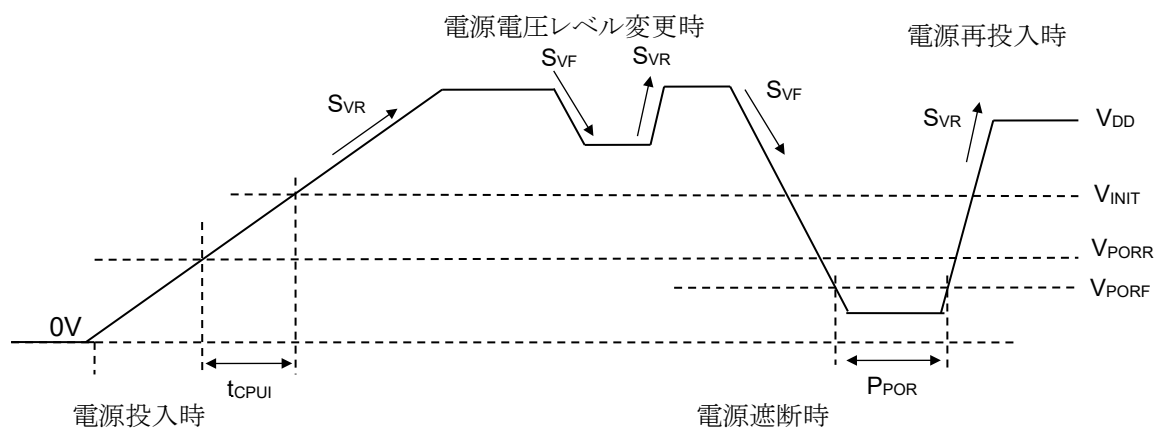
【注意】

- リセット端子にリセット有効時間 (P_{RST}) より短いパルスが入ると予期しない動作をする可能性があります。リセット有効時間より短いパルスが入らないようにしてください。

●電源傾きおよびパワーオンリセット特性

(特に指定のない場合は $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
電源立ち上がり傾き	S_{VR}	—	—	—	60	V/ms	1
電源立ち下がり傾き	S_{VF}	—	—	—	2		
パワーオンリセット判定電圧	V_{PORR}	電源立ち上がり時	1.47	1.57	1.80	V	
	V_{PORF}	電源立ち下がり時	1.33	1.49	1.58		
パワーオンリセット最小パルス幅	P_{POR}	—	200	—	—	μs	
電源投入時電圧	V_{INIT}	パワーオン時	1.8	—	—	V	
CPU 動作開始時時間 (リセット解除から CPU が動作開始するまでの時間)	t_{CPU}	—	11	16	—	ms	—



【注意】

- 電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。
- V_{DD} が動作電圧範囲内になってから高速クロックを起動してください。

●VLS 特性

(特に指定のない場合は, $V_{DD} = 1.6 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件		規格値			単位	測定回路
		VLS0LV ^{*1}	電源電圧	Min.	Typ.	Max.		
VLS 判定電圧 ^{*2}	V _{VLSR}	00H	上昇時	3.86	4.06	4.26	V	1
	V _{VLSF}		降下時	3.84	4.00	4.16		
	V _{VLSR}	01H	上昇時	3.57	3.76	3.95		
	V _{VLSF}		降下時	3.55	3.70	3.85		
	V _{VLSR}	02H	上昇時	2.94	3.11	3.28		
	V _{VLSF}		降下時	2.92	3.05	3.18		
	V _{VLSR}	03H	上昇時	2.85	3.01	3.17		
	V _{VLSF}		降下時	2.83	2.95	3.07		
	V _{VLSR}	04H	上昇時	2.75	2.91	3.07		
	V _{VLSF}		降下時	2.73	2.85	2.97		
	V _{VLSR}	05H	上昇時	2.66	2.81	2.96		
	V _{VLSF}		降下時	2.64	2.75	2.86		
	V _{VLSR}	06H	上昇時	2.56	2.71	2.86		
	V _{VLSF}		降下時	2.54	2.65	2.76		
	V _{VLSR}	07H	上昇時	2.46	2.61	2.76		
	V _{VLSF}		降下時	2.44	2.55	2.66		
	V _{VLSR}	08H	上昇時	2.37	2.51	2.65		
	V _{VLSF}		降下時	2.35	2.45	2.55		
	V _{VLSR}	09H	上昇時	1.98	2.11	2.24		
	V _{VLSF}		降下時	1.96	2.05	2.14		
V _{VLSR}	0AH	上昇時	1.89	2.01	2.13			
V _{VLSF}		降下時	1.87	1.95	2.03			
V _{VLSR}	0BH	上昇時	1.79	1.91	2.03			
V _{VLSF}		降下時	1.77	1.85	1.93			
VLS 消費電流	I _{VLS}	—		—	50	—	nA	

*1: 電圧レベル監視機能 0 レベルレジスタ (VLS0LV)のビット 3~ビット 0

*2: VLS 判定電圧の VLS0LV = 0CH~0FH は設定禁止です。

●アナログコンパレータ特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
コンパレータ 同相入力電圧範囲	V _{CMR}	—	0.1	—	V _{DD} -1.5	V	1
コンパレータ 入力オフセット	V _{CMOF}	T _a = +25 °C, V _{DD} = 5.0V	—	5	—	mV	
コンパレータ 基準電圧	V _{CMREF}	—	0.75	0.8	0.85	V	

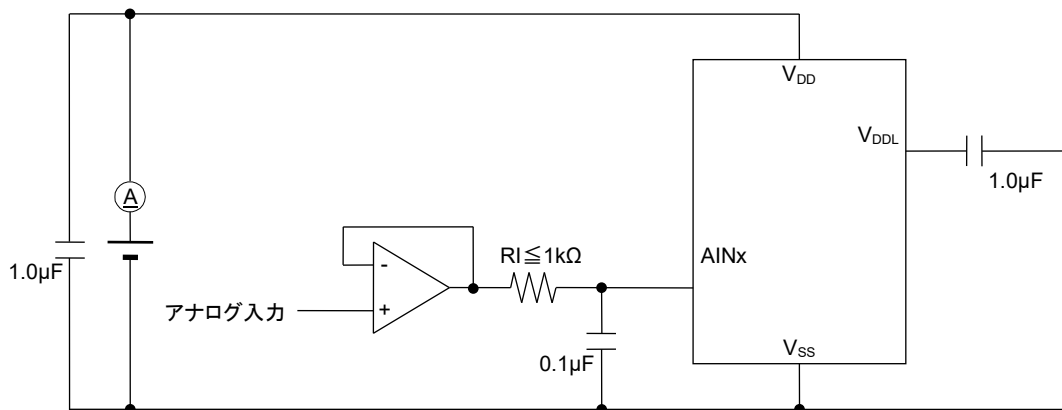
●逐次比較型 A/D コンバータ特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
分解能	nAD	—	—	—	10	ビット
総合誤差	—	$4.5V \leq SA\text{-ADC 基準電圧}^{*1} \leq 5.5V$	-3.5	1.2	3.5	LSB
積分非直線性誤差	INLAD	$2.7V \leq SA\text{-ADC 基準電圧}^{*1} \leq 5.5V$	-4	—	4	
		$2.2V \leq SA\text{-ADC 基準電圧}^{*1} < 2.7V$	-6	—	6	
		$1.8V \leq SA\text{-ADC 基準電圧}^{*1} < 2.2V$	-10	—	10	
		SA-ADC 基準電圧=内部基準電圧 (V_{REFI})	-15	—	15	
微分非直線性誤差	DNLAD	$2.7V \leq SA\text{-ADC 基準電圧}^{*1} \leq 5.5V$	-3	—	3	
		$2.2V \leq SA\text{-ADC 基準電圧}^{*1} < 2.7V$	-5	—	5	
		$1.8V \leq SA\text{-ADC 基準電圧}^{*1} < 2.2V$	-9	—	9	
		SA-ADC 基準電圧=内部基準電圧 (V_{REFI})	-14	—	14	
ゼロスケール誤差	ZSE	$R_I \leq 1k\Omega$	-6	—	6	
フルスケール誤差	FSE	$R_I \leq 1k\Omega$	-6	—	6	
A/D リファレンス電圧	V_{REF}	—	1.8	—	V_{DD}	
内部基準電圧	V_{REFI}	—	1.5	1.55	1.6	μs
変換時間	t_{CONV}	$4.5V \leq V_{DD} \leq 5.5V$	2.25	—	427	
		$2.2V \leq V_{DD} \leq 5.5V$	4.5	—	427	
		$1.8V \leq V_{DD} \leq 5.5V$	18	—	427	

*1: V_{DD} , P23/ V_{REF} を SA-ADC の基準電圧に選択した場合です。

SA-ADC サンプリング中にはコンデンサに充電するために電流が流れます。十分にサンプリングするためには、アナログ入力源の出力インピーダンスを $1k\Omega$ 以下にしてください。また、ノイズを低減するために $0.1\mu F$ 程度のコンデンサを付けることを推奨します。



●D/A コンバータ特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
分解能	n_{DA}	—	—	—	8	ビット
変換周期	t_c	—	10	—	—	μs
積分非直線性誤差	INL_{DA}	$RL = 4M\Omega$	-2	—	2	LSB
微分非直線性誤差	DNL_{DA}	$RL = 4M\Omega$	-1	—	1	
出力インピーダンス	R_o	—	3	6	9	k Ω

●リファレンス電圧出力特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
出力電圧値	V_{REFO}	—	—	1.55	—	V
出力インピーダンス	R_{VREFO}	—	—	—	500	k Ω

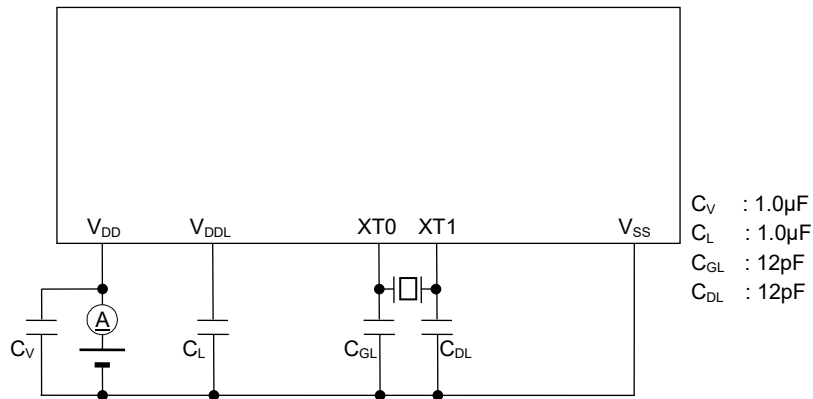
●フラッシュ・メモリ動作条件

 $(V_{SS} = 0V)$

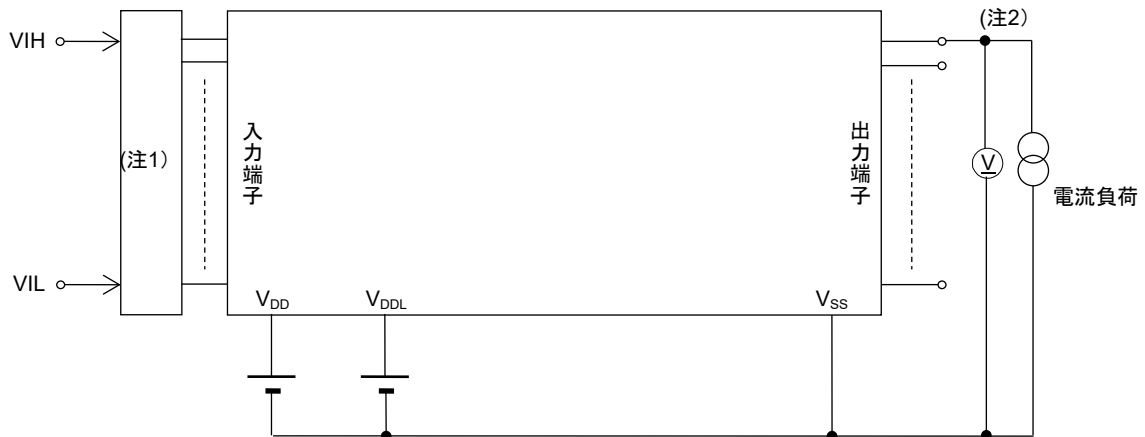
項目	記号	条件	範囲	単位	
動作温度 (周囲)	T_a	データ領域: 書き込み/消去時	-40~+85	$^{\circ}C$	
		プログラム領域: 書き込み/消去時	0~+40		
動作電圧	V_{DD}	書き込み/消去時	1.8~5.5	V	
書き換え回数	CEPD	データ領域	10000	回	
	CEPP	プログラム領域	100		
消去単位	—	ブロック消去	プログラム領域	16K	B
			データ領域	全領域	
	—	セクタ消去	プログラム領域	1K	B
			データ領域	128	
消去時間 (最大)	—	ブロック消去/ セクタ消去	50	ms	
書き込み単位	—	プログラム領域	4	B	
		データ領域	1		
書き込み時間 (最大)	—	プログラム領域	80	μs	
	—	データ領域	40		
データ保持年数	YDR	—	15	年	

●測定回路

測定回路 1



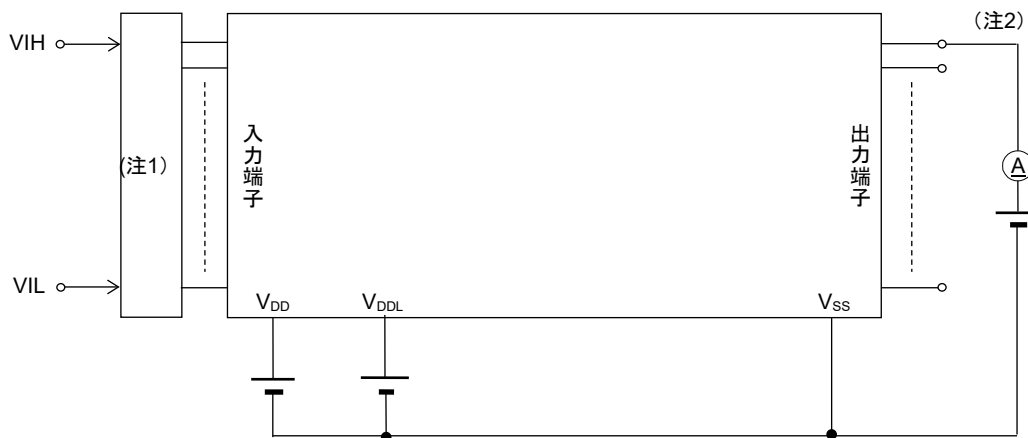
測定回路 2



(注1) 指定の状態にする入力ロジック

(注2) 対象の端子に接続して測定する

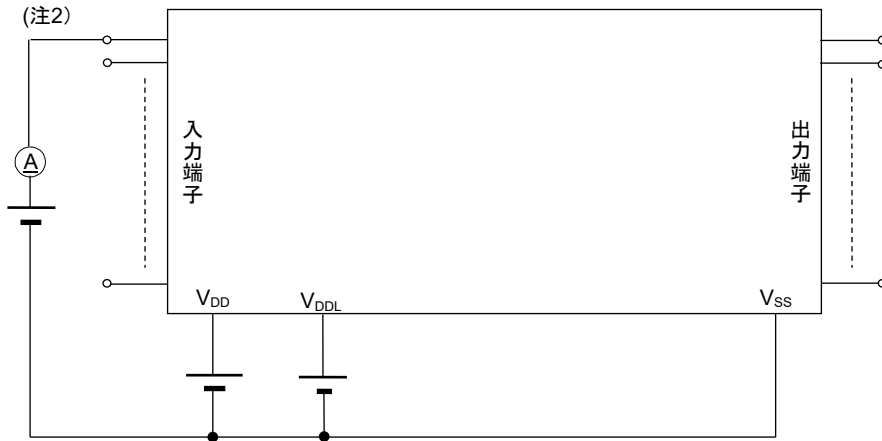
測定回路 3



(注1) 指定の状態にする入力ロジック

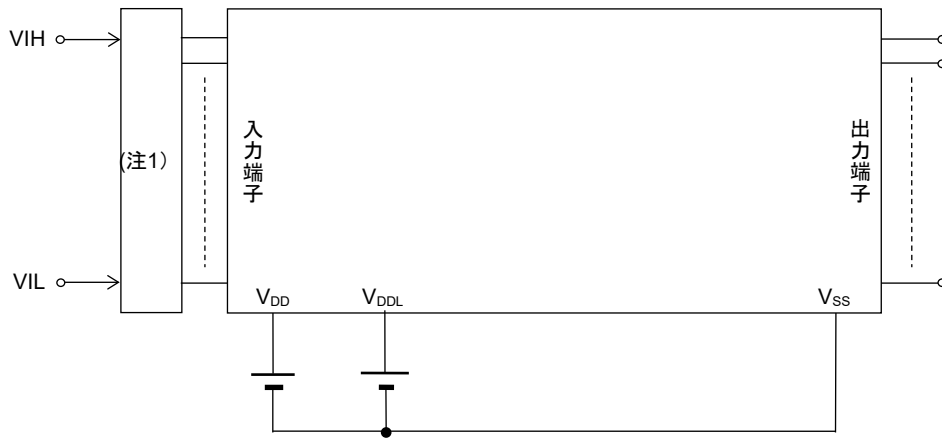
(注2) 対象の端子に接続して測定する

測定回路 4



(注2) 対象の端子に接続して測定する

測定回路 5

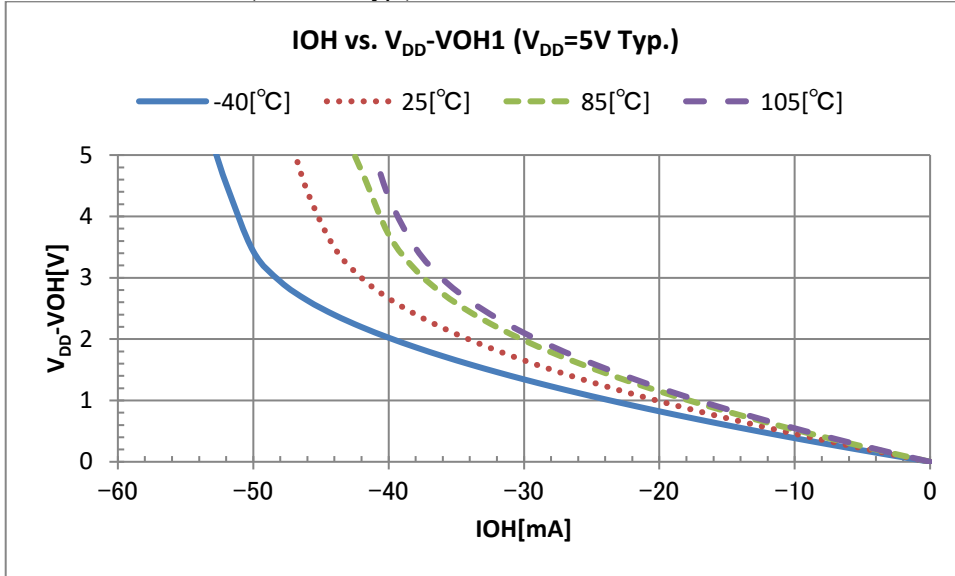


(注1) 指定の状態にする入力ロジック

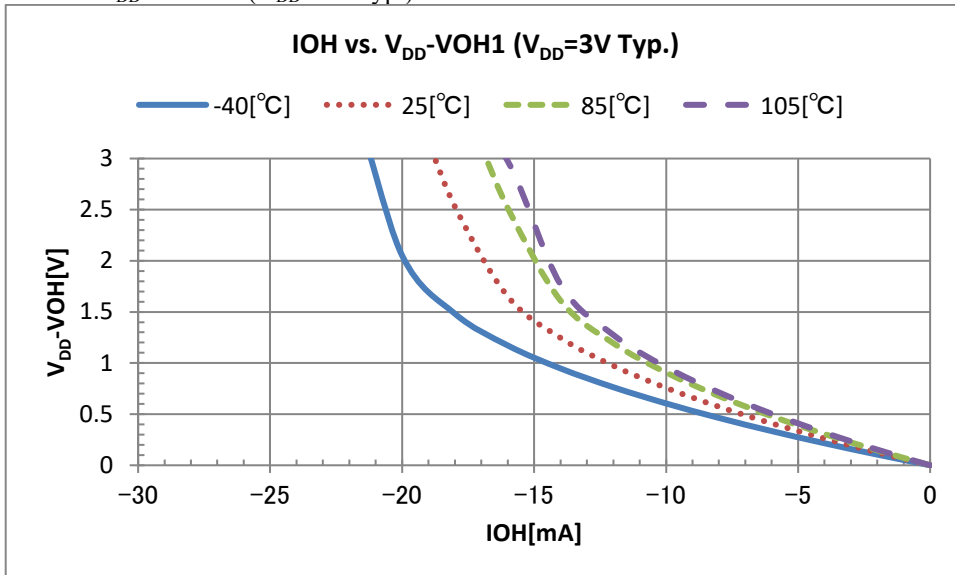
●ML62Q1500/1800 特性グラフ

これらのグラフは、アプリケーション設計のための参考値です。
These Graphs are reference for designing an application.

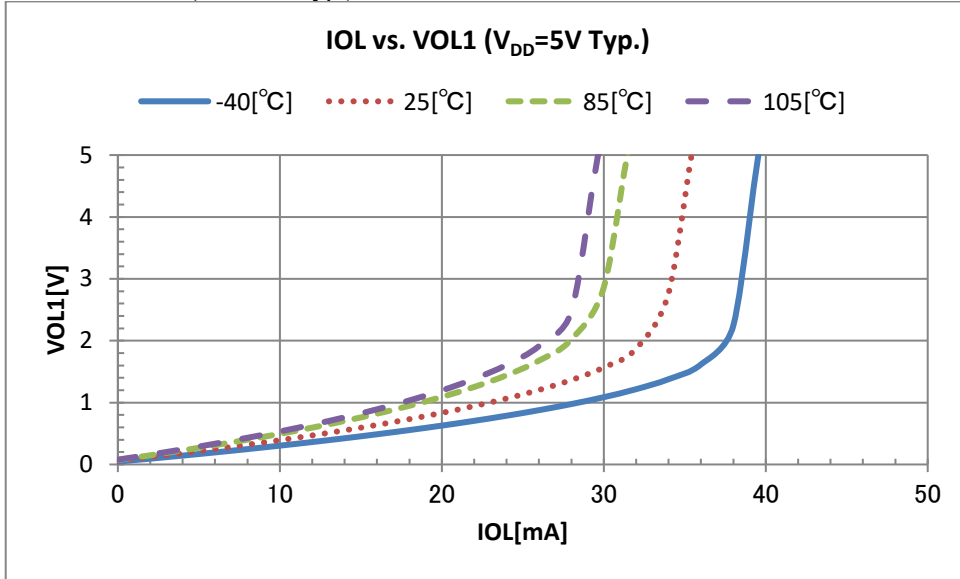
IOH vs. $V_{DD}-VOH1$ ($V_{DD}=5V$ Typ.)



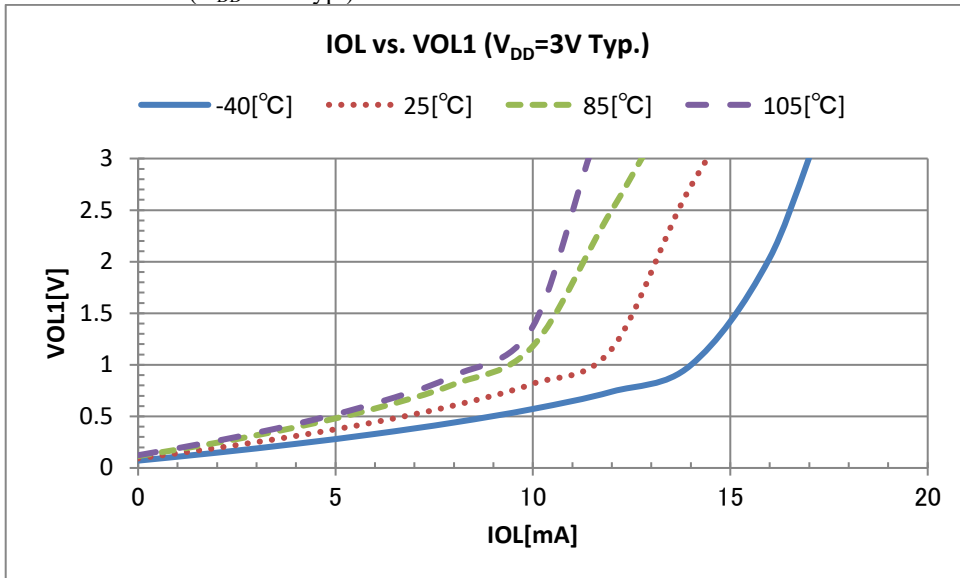
IOH vs. $V_{DD}-VOH1$ ($V_{DD}=3V$ Typ.)



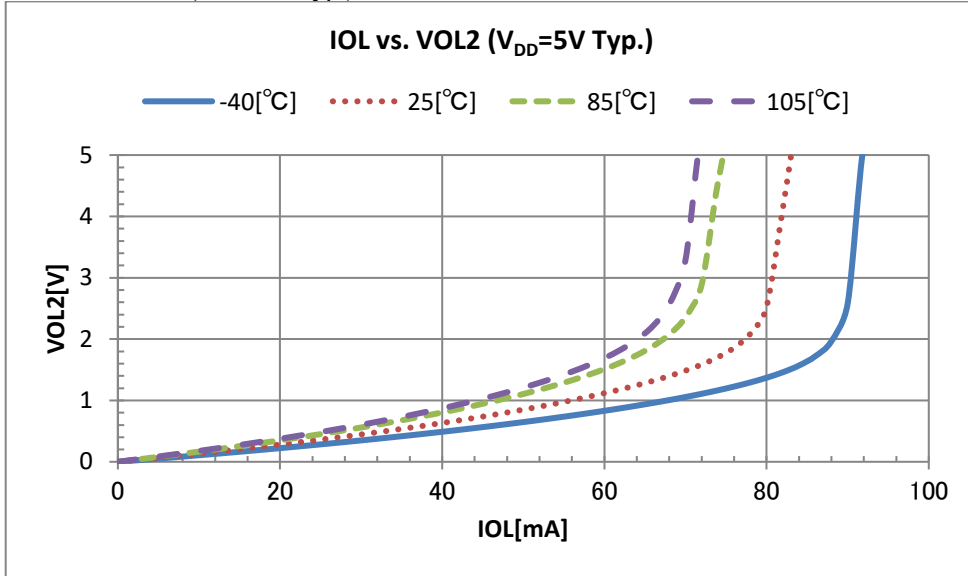
IOL vs. VOL1 (V_{DD}=5V Typ.)



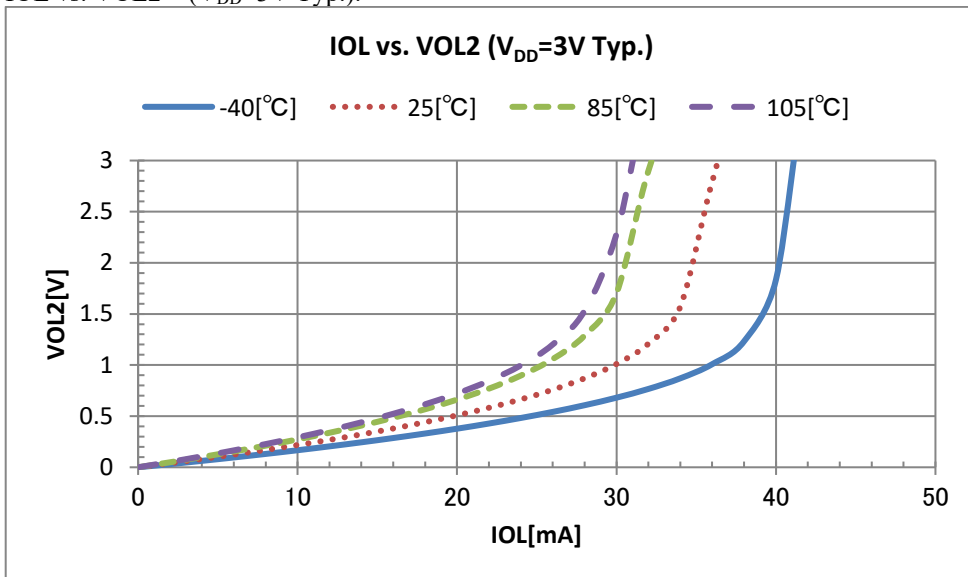
IOL vs. VOL1 (V_{DD}=3V Typ.)



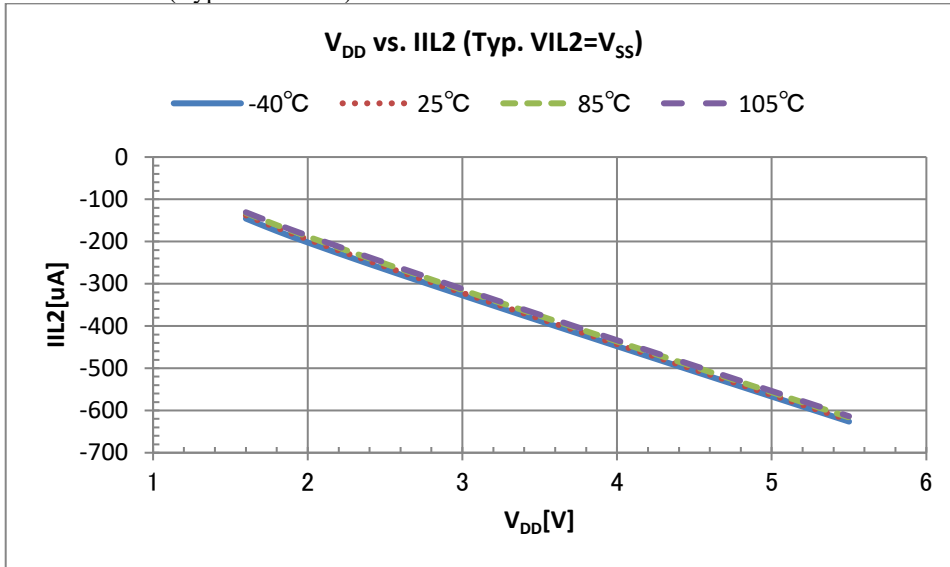
IOL vs. VOL2 (V_{DD}=5V Typ.)



IOL vs. VOL2 (V_{DD}=3V Typ.)

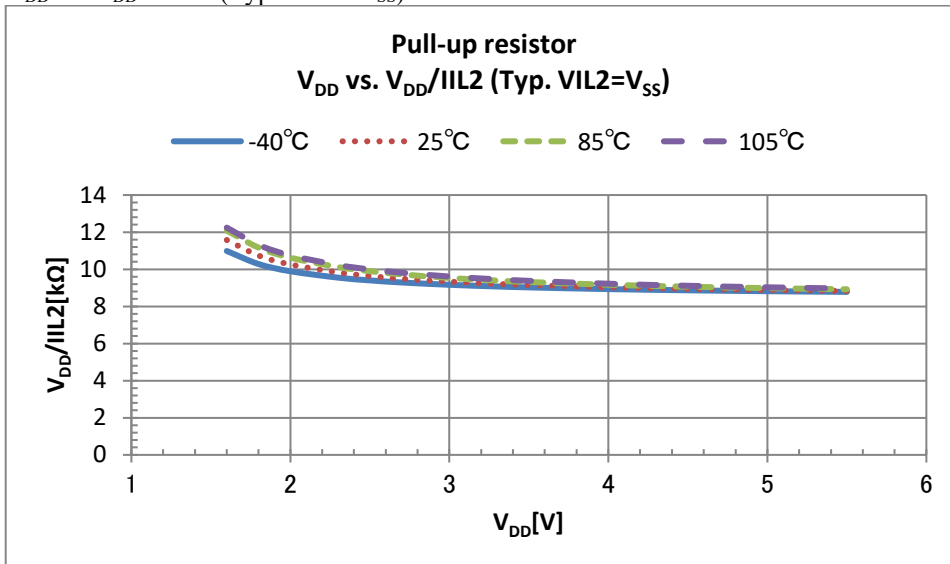


V_{DD} vs. IIL2 (Typ. VIL2= V_{SS})

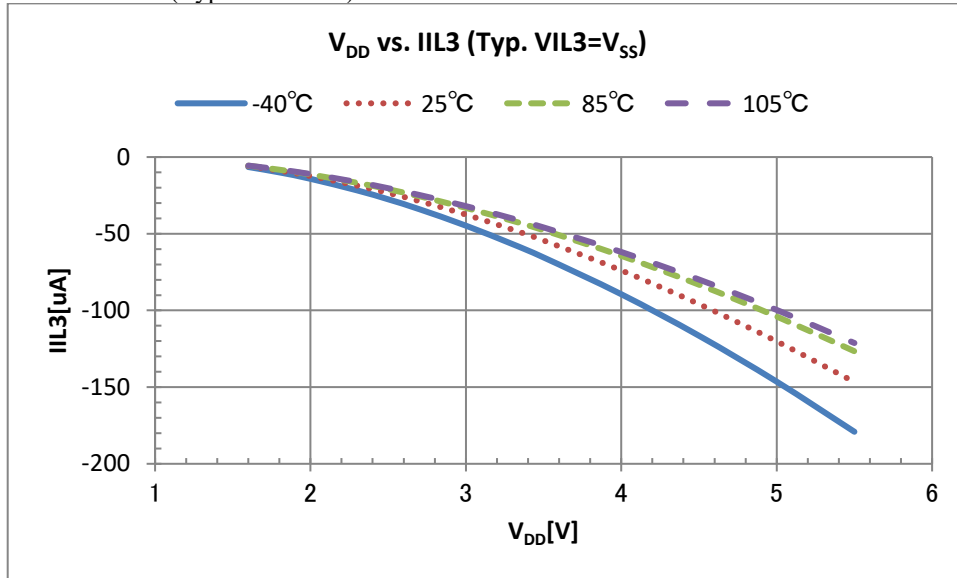


Pull-up resistor

V_{DD} vs. $V_{DD}/IIL2$ (Typ. VIL2= V_{SS})

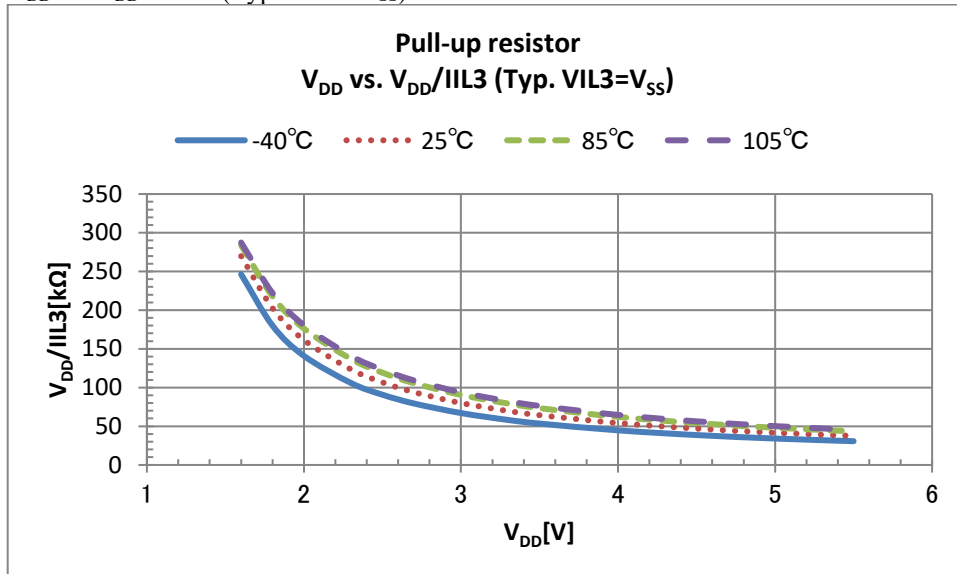


V_{DD} vs. I_{IL3} (Typ. $V_{IL3}=V_{SS}$)



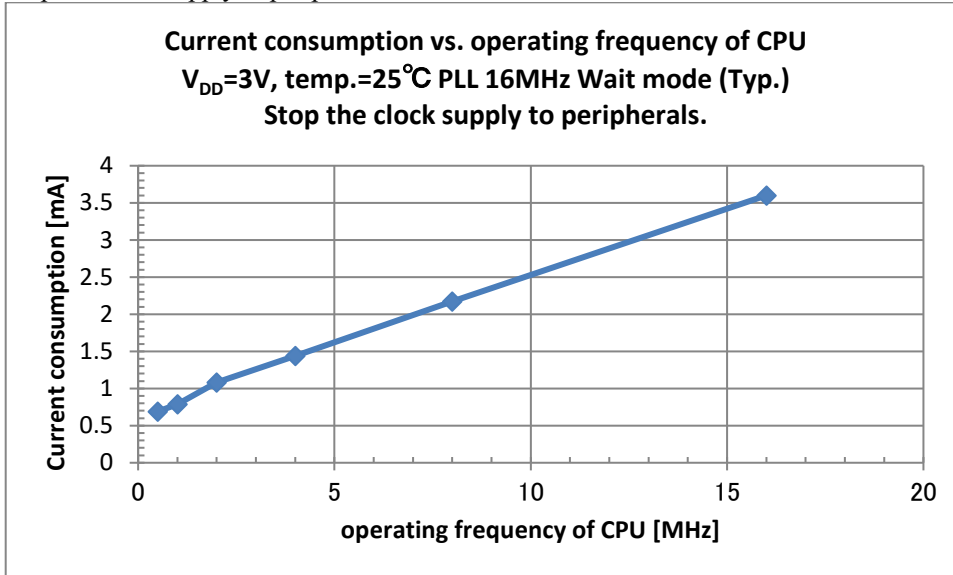
Pull-up resistor

V_{DD} vs. V_{DD}/I_{IL3} (Typ. $V_{IL3}=V_{SS}$)

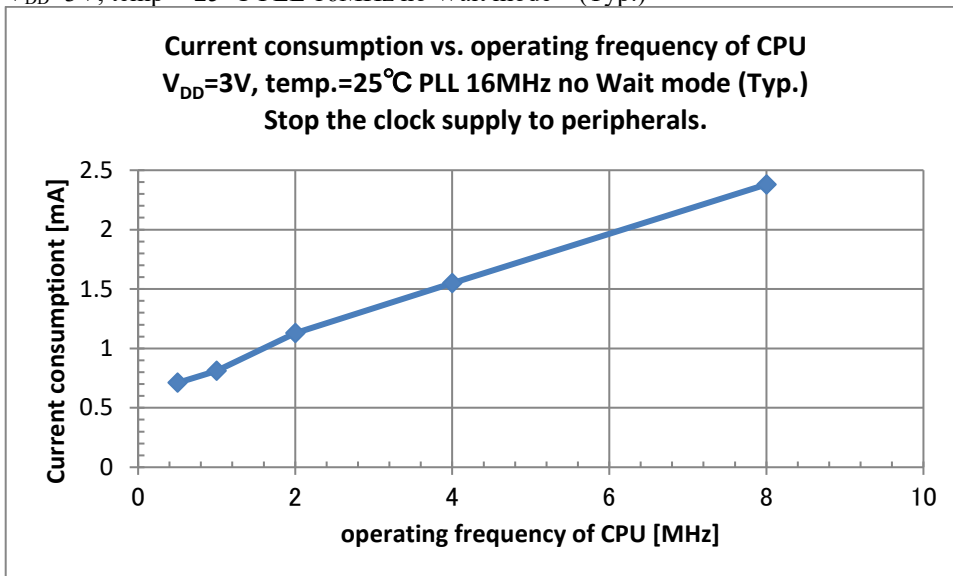


対象商品: ML62Q1530, ML62Q1531, ML62Q1532, ML62Q1533, ML62Q1534, ML62Q1540,
ML62Q1541, ML62Q1542, ML62Q1543, ML62Q1544, ML62Q1550, ML62Q1551,
ML62Q1552, ML62Q1553, ML62Q1554

Current consumption vs. operating frequency of CPU
 $V_{DD}=3V$, temp.=+25 °C PLL 16MHz Wait mode (Typ.)
 Stop the clock supply to peripherals.

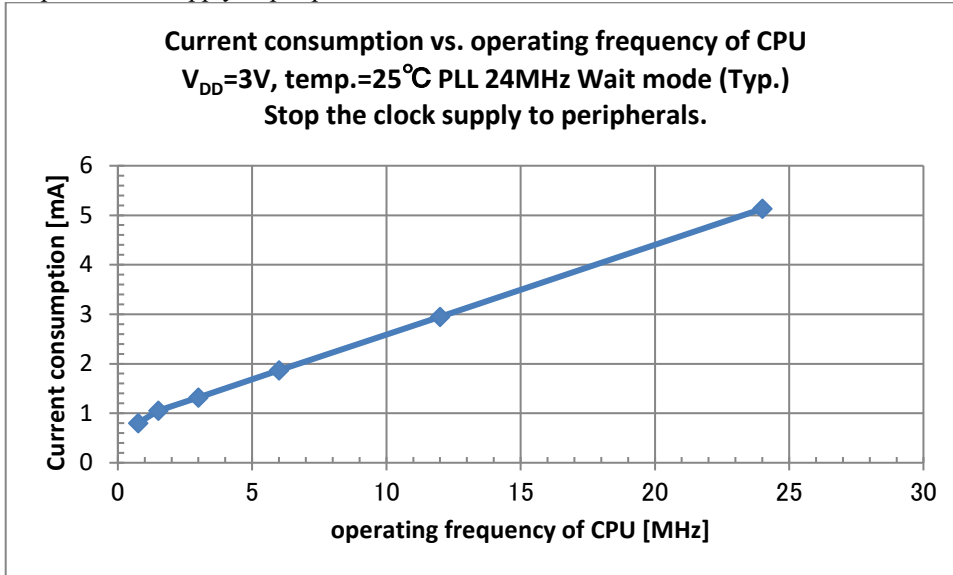


$V_{DD}=3V$, temp.=+25 °C PLL 16MHz no Wait mode (Typ.)

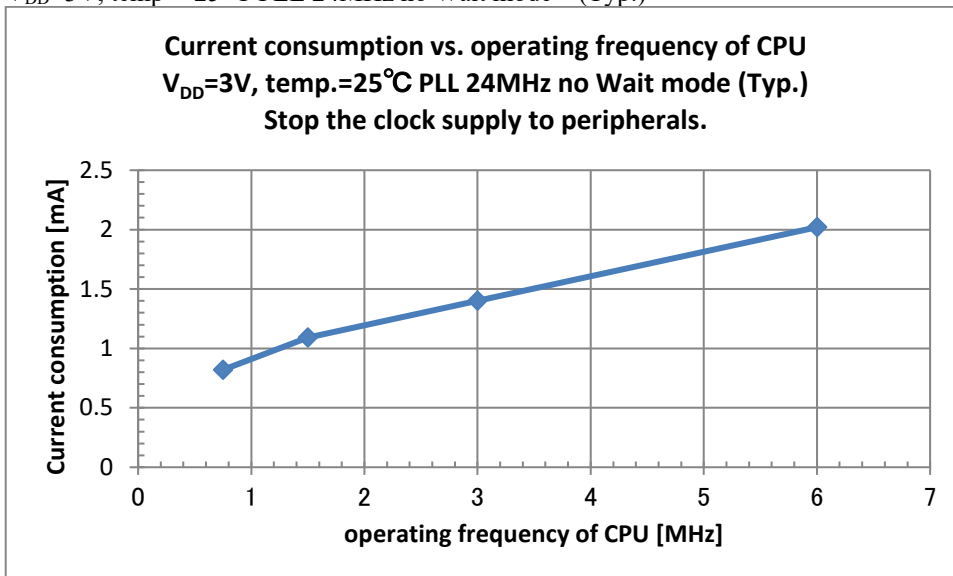


対象商品: ML62Q1530, ML62Q1531, ML62Q1532, ML62Q1533, ML62Q1534, ML62Q1540,
ML62Q1541, ML62Q1542, ML62Q1543, ML62Q1544, ML62Q1550, ML62Q1551,
ML62Q1552, ML62Q1553, ML62Q1554

Current consumption vs. operating frequency of CPU
 $V_{DD}=3V$, temp.=+25 °C PLL 24MHz Wait mode (Typ.)
 Stop the clock supply to peripherals.

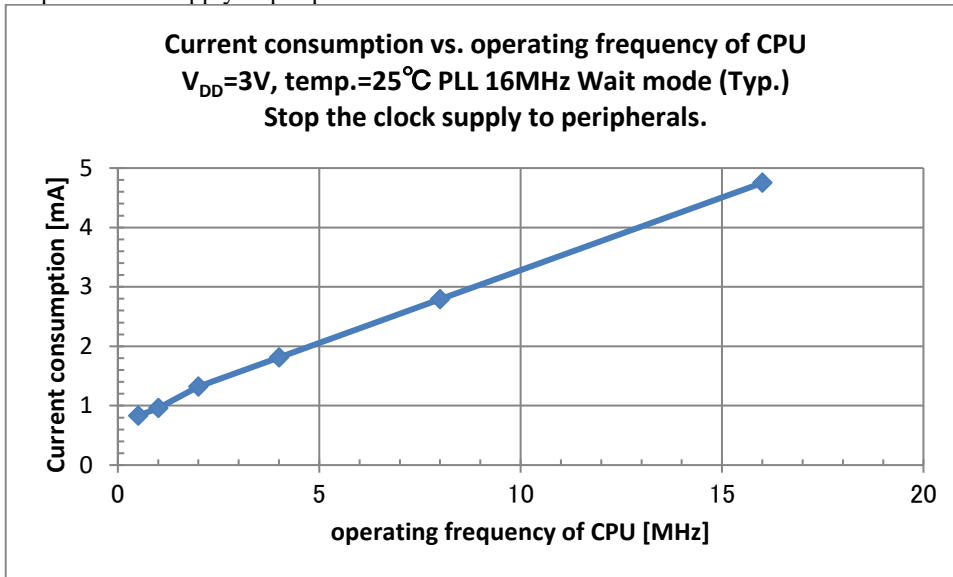


$V_{DD}=3V$, temp.=+25 °C PLL 24MHz no Wait mode (Typ.)

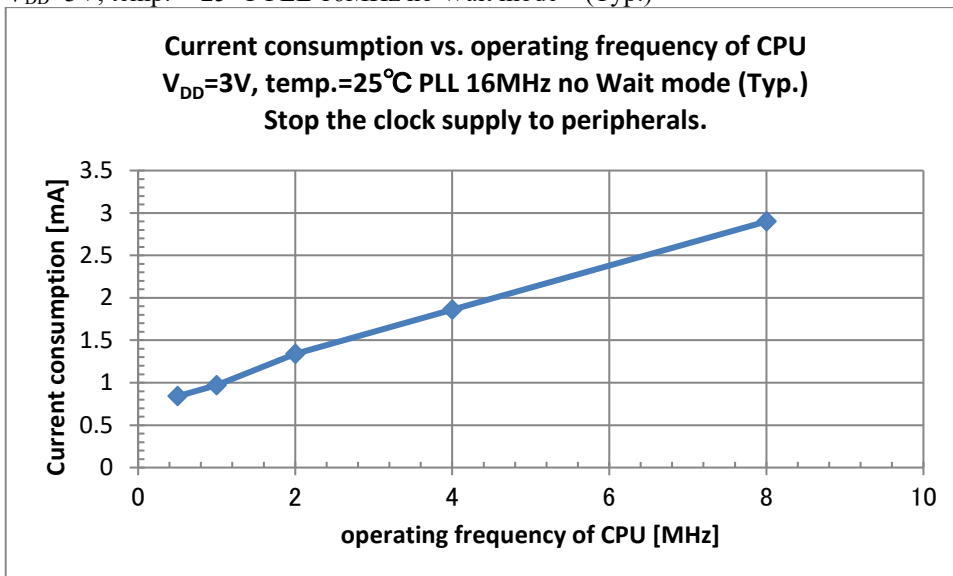


対象商品: ML62Q1555, ML62Q1556, ML62Q1557, ML62Q1563, ML62Q1564, ML62Q1565, ML62Q1566,
ML62Q1567, ML62Q1573, ML62Q1574, ML62Q1575, ML62Q1576, ML62Q1577

Current consumption vs. operating frequency of CPU
 $V_{DD}=3V$, temp.=+25 °C PLL 16MHz Wait mode (Typ.)
 Stop the clock supply to peripherals.

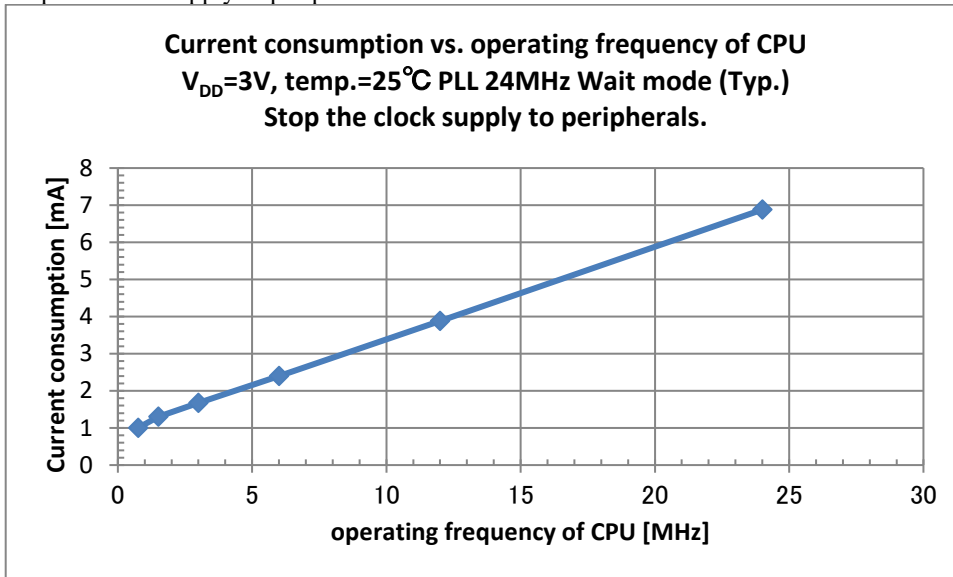


$V_{DD}=3V$, temp.=+25 °C PLL 16MHz no Wait mode (Typ.)

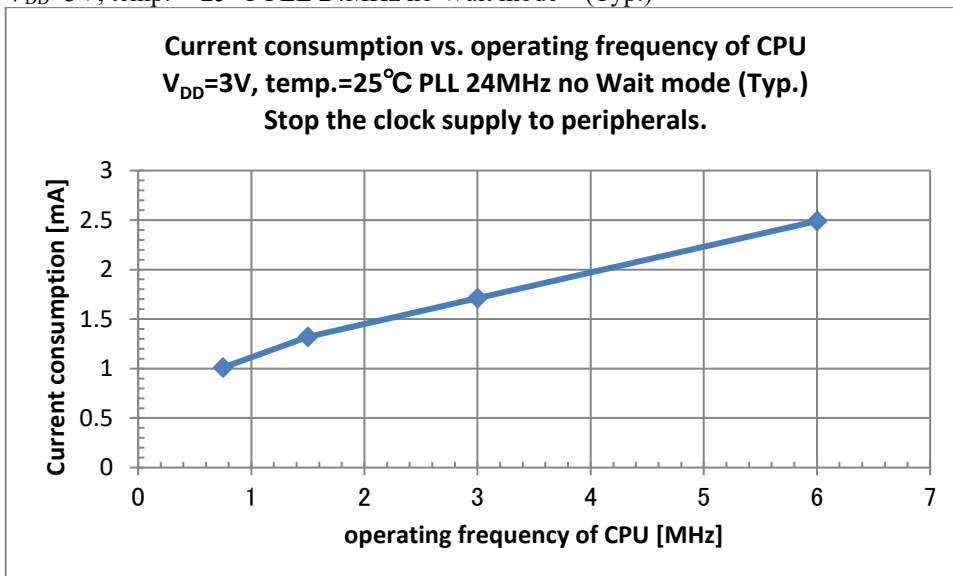


対象商品: ML62Q1555, ML62Q1556, ML62Q1557, ML62Q1563, ML62Q1564, ML62Q1565, ML62Q1566,
ML62Q1567, ML62Q1573, ML62Q1574, ML62Q1575, ML62Q1576, ML62Q1577

Current consumption vs. operating frequency of CPU
 $V_{DD}=3V$, temp.=+25°C PLL 24MHz Wait mode (Typ.)
 Stop the clock supply to peripherals.

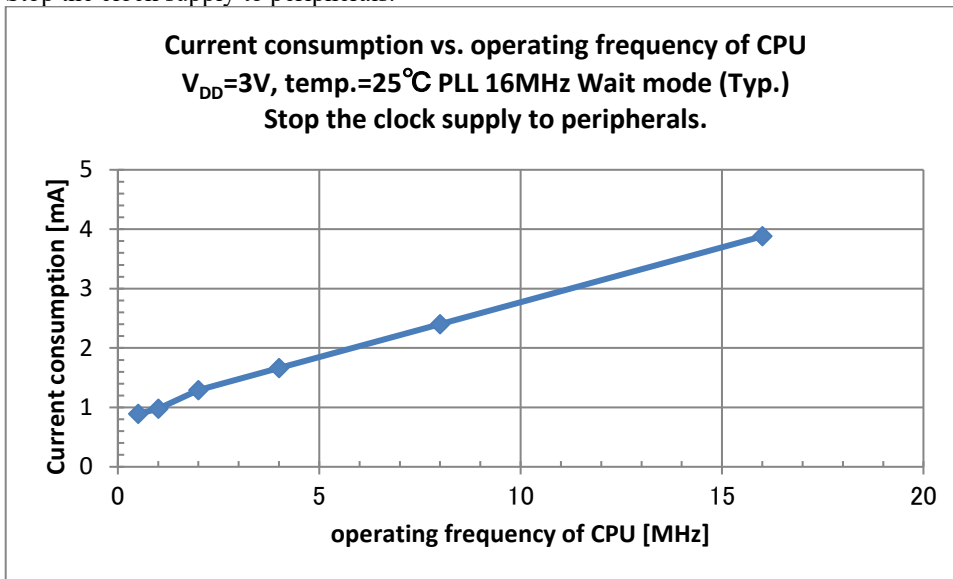


$V_{DD}=3V$, temp.=+25°C PLL 24MHz no Wait mode (Typ.)

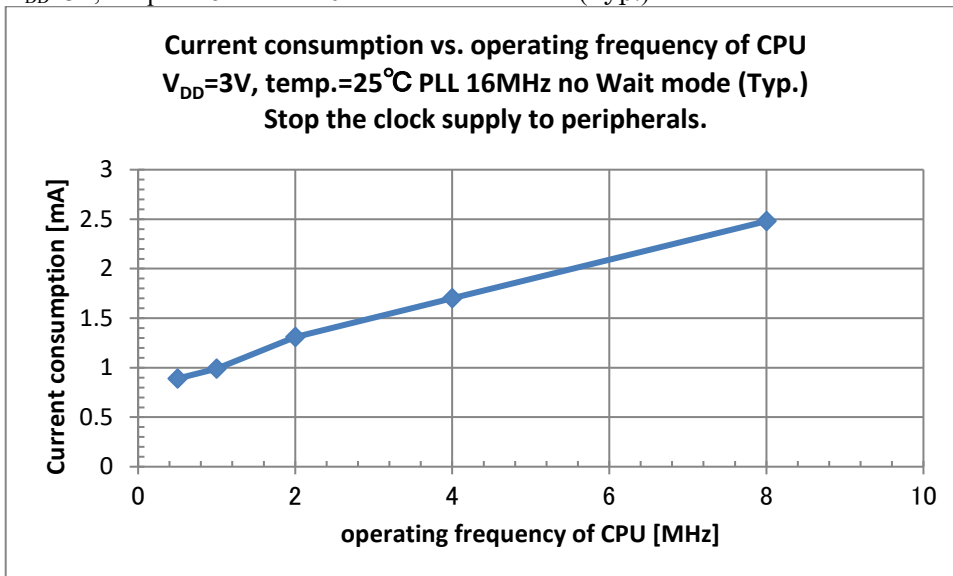


対象商品: ML62Q1858, ML62Q1859, ML62Q1868, ML62Q1869, ML62Q1878, ML62Q1879

Current consumption vs. operating frequency of CPU
 $V_{DD}=3V$, temp.=+25 °C PLL 16MHz Wait mode (Typ.)
 Stop the clock supply to peripherals.

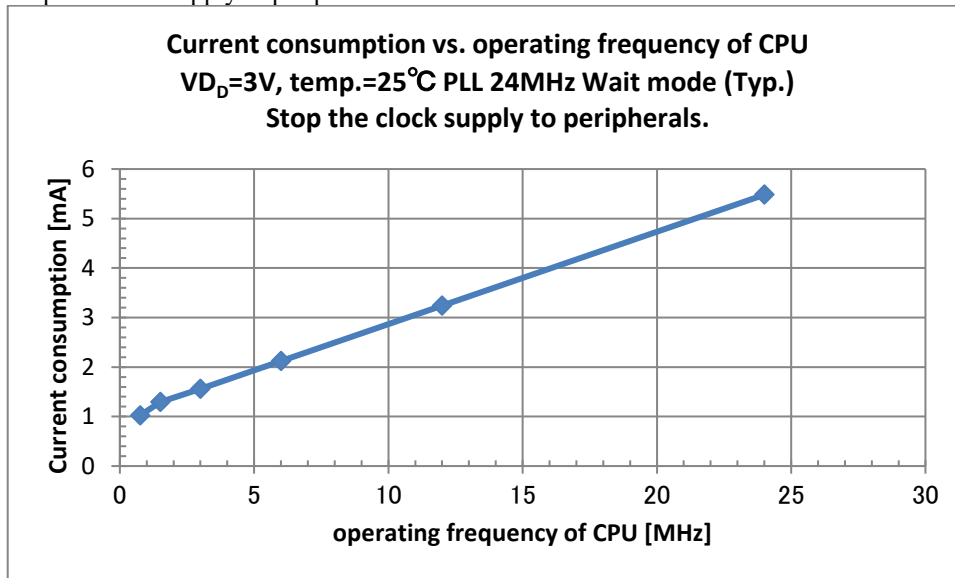


$V_{DD}=3V$, temp.=+25 °C PLL 16MHz no Wait mode (Typ.)

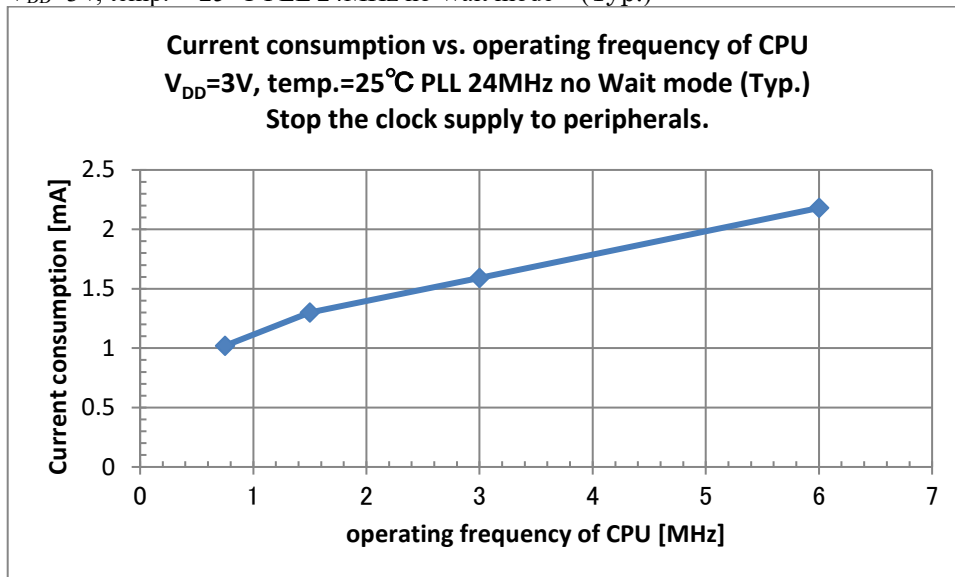


対象商品: ML62Q1858, ML62Q1859, ML62Q1868, ML62Q1869, ML62Q1878, ML62Q1879

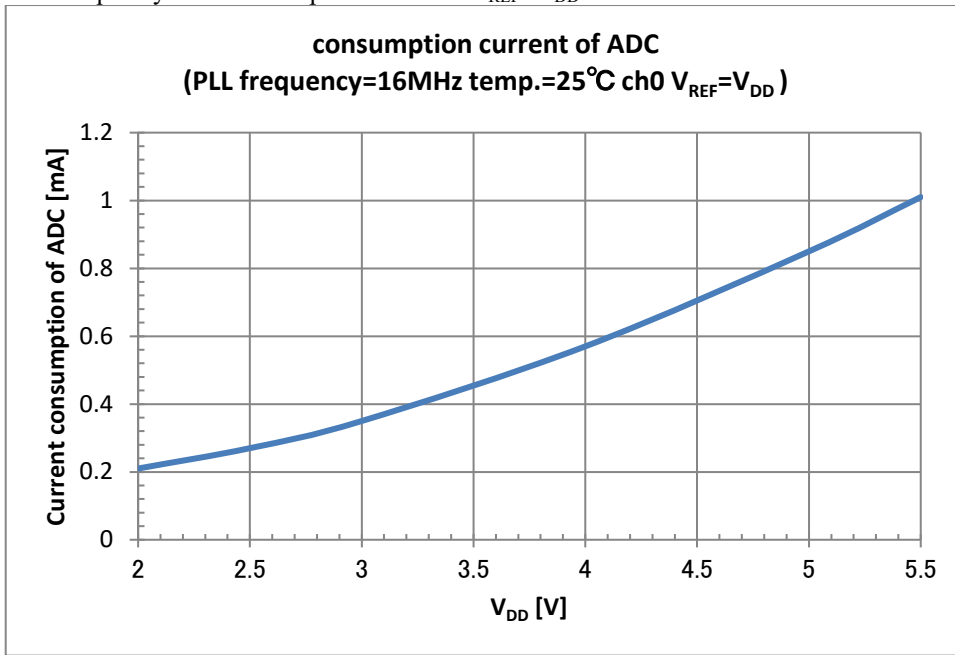
Current consumption vs. operating frequency of CPU
 $V_{DD}=3V$, temp.=+25 °C PLL 24MHz Wait mode (Typ.)
 Stop the clock supply to peripherals.



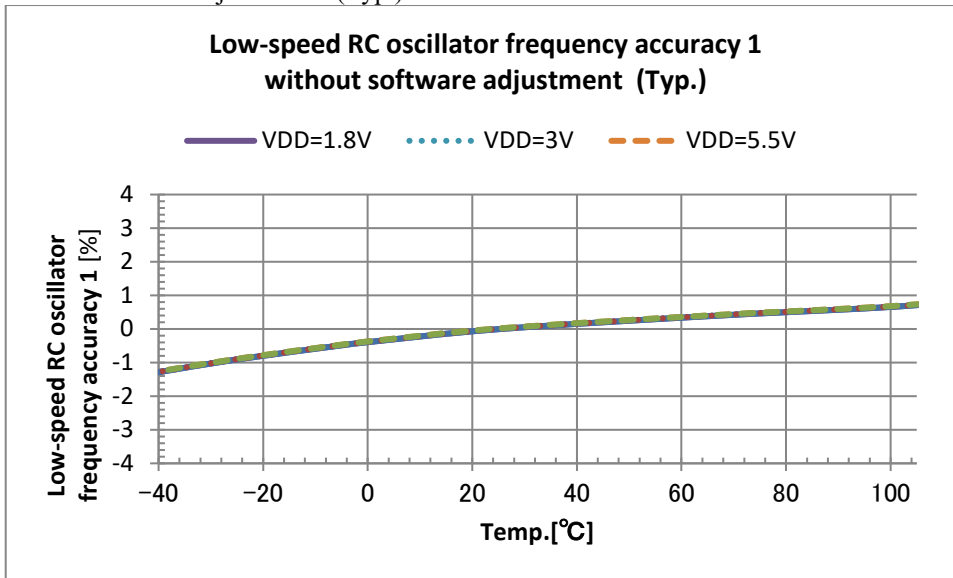
$V_{DD}=3V$, temp.=+25 °C PLL 24MHz no Wait mode (Typ.)



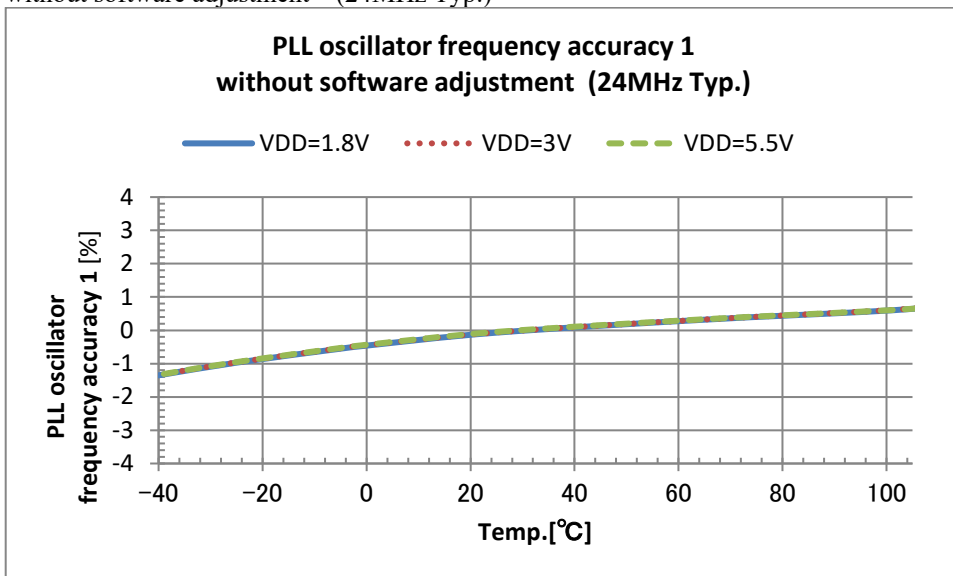
Consumption current of ADC vs. operating voltage
PLL frequency=16MHz temp.=+25°C ch0 $V_{REF}=V_{DD}$



Temp. vs. Low-speed RC oscillator frequency accuracy 1
without software adjustment (Typ.)

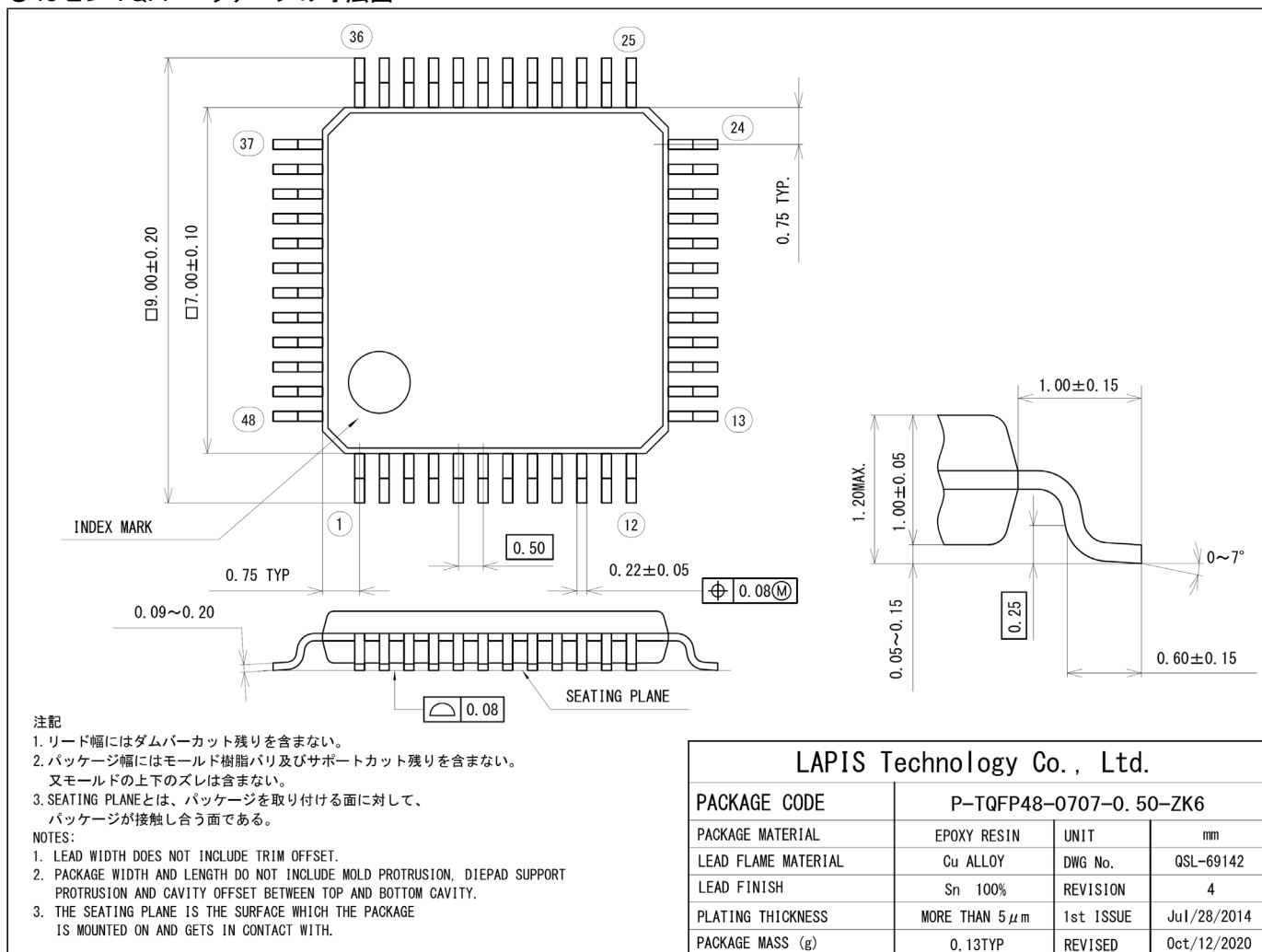


Temp. vs. PLL oscillator frequency accuracy 1
without software adjustment (24MHz Typ.)



■パッケージ寸法図

●48ピン TQFP パッケージの寸法図

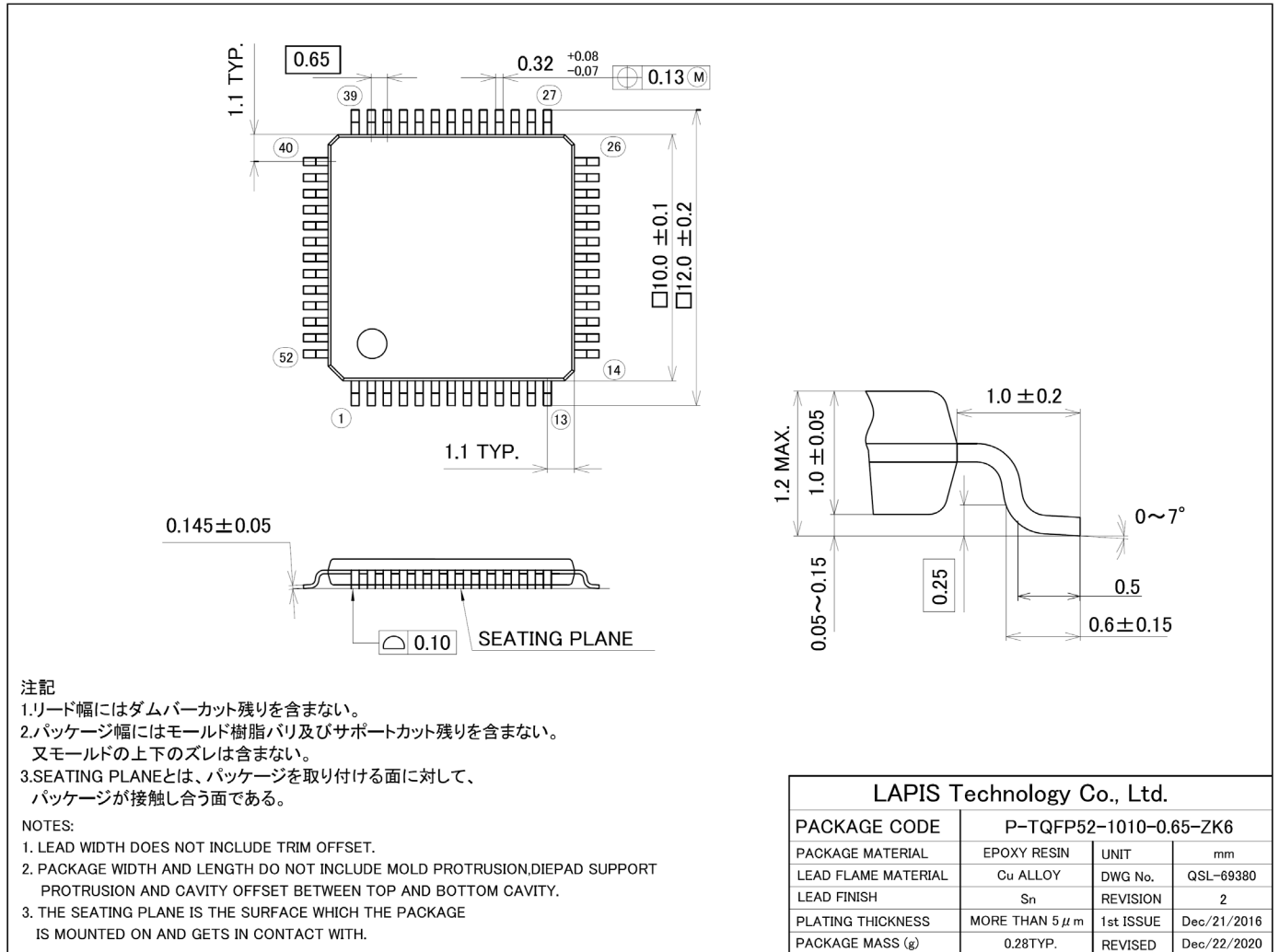


(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法, 温度, 回数), 保管条件などをセールスオフィスまで必ずお問い合わせください。

●52ピン TQFP パッケージの寸法図

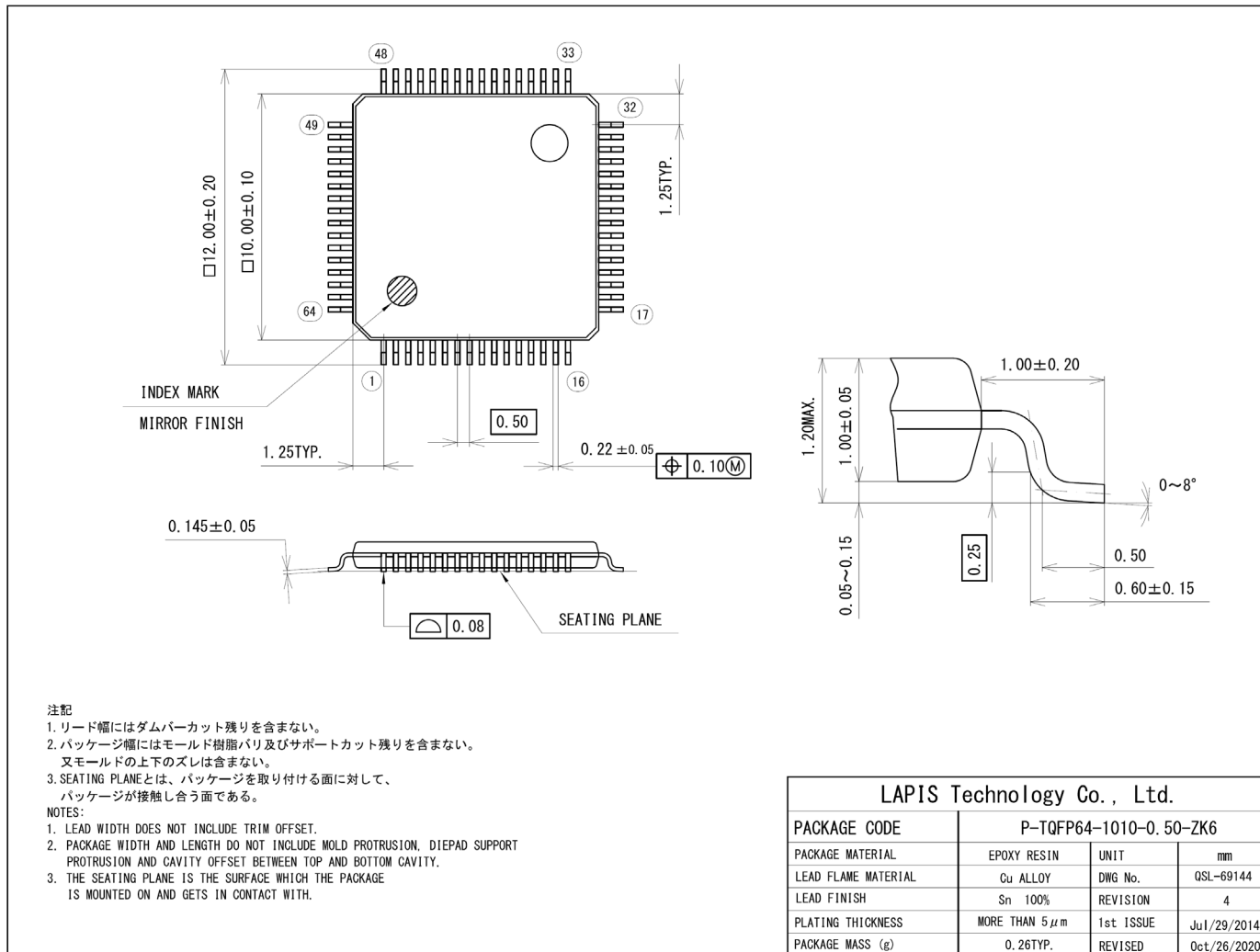


(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●64ピン TQFP パッケージの寸法図

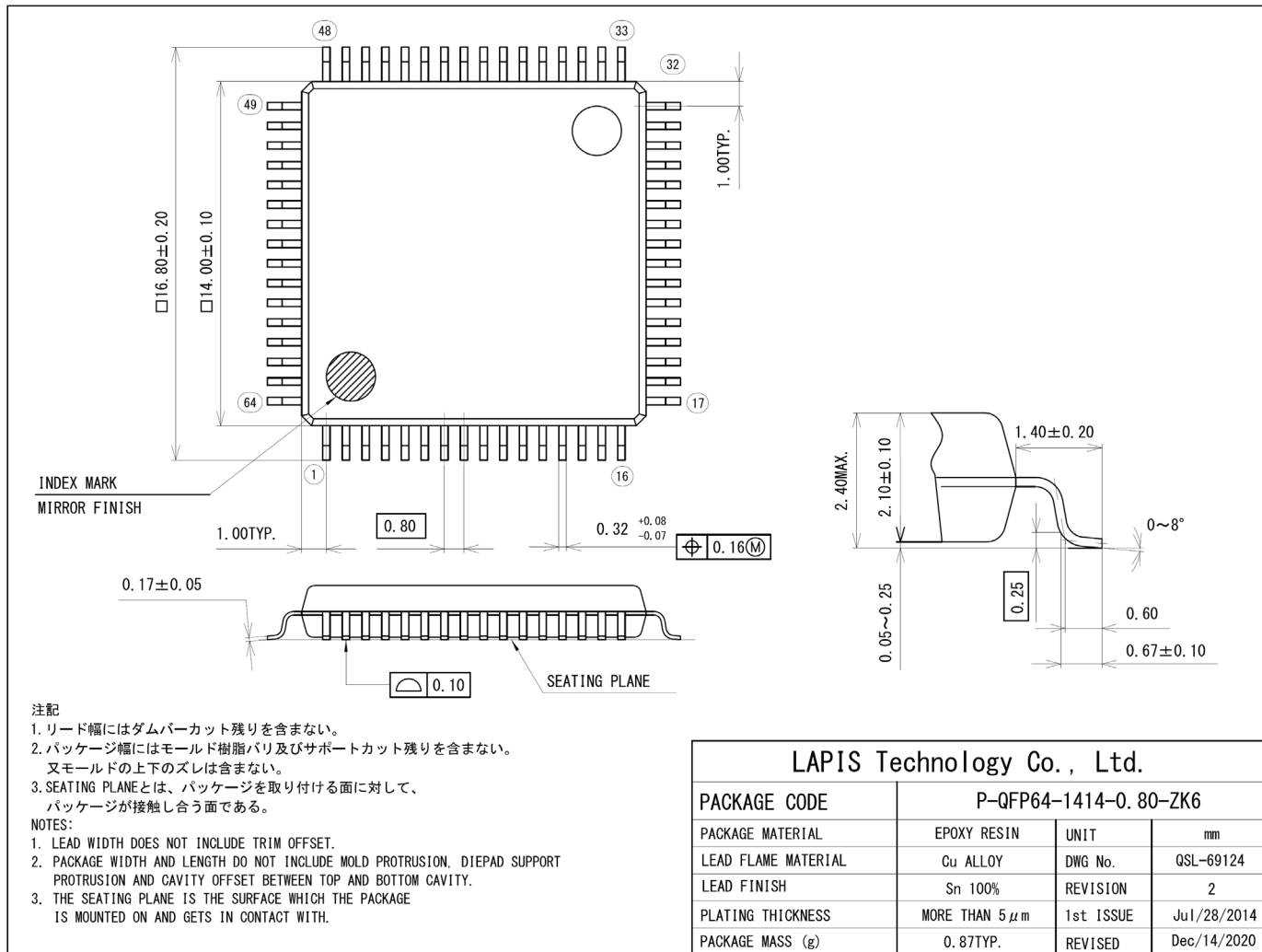


(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法, 温度, 回数), 保管条件などをセールスオフィスまで必ずお問い合わせください。

●64ピン QFP パッケージの寸法図

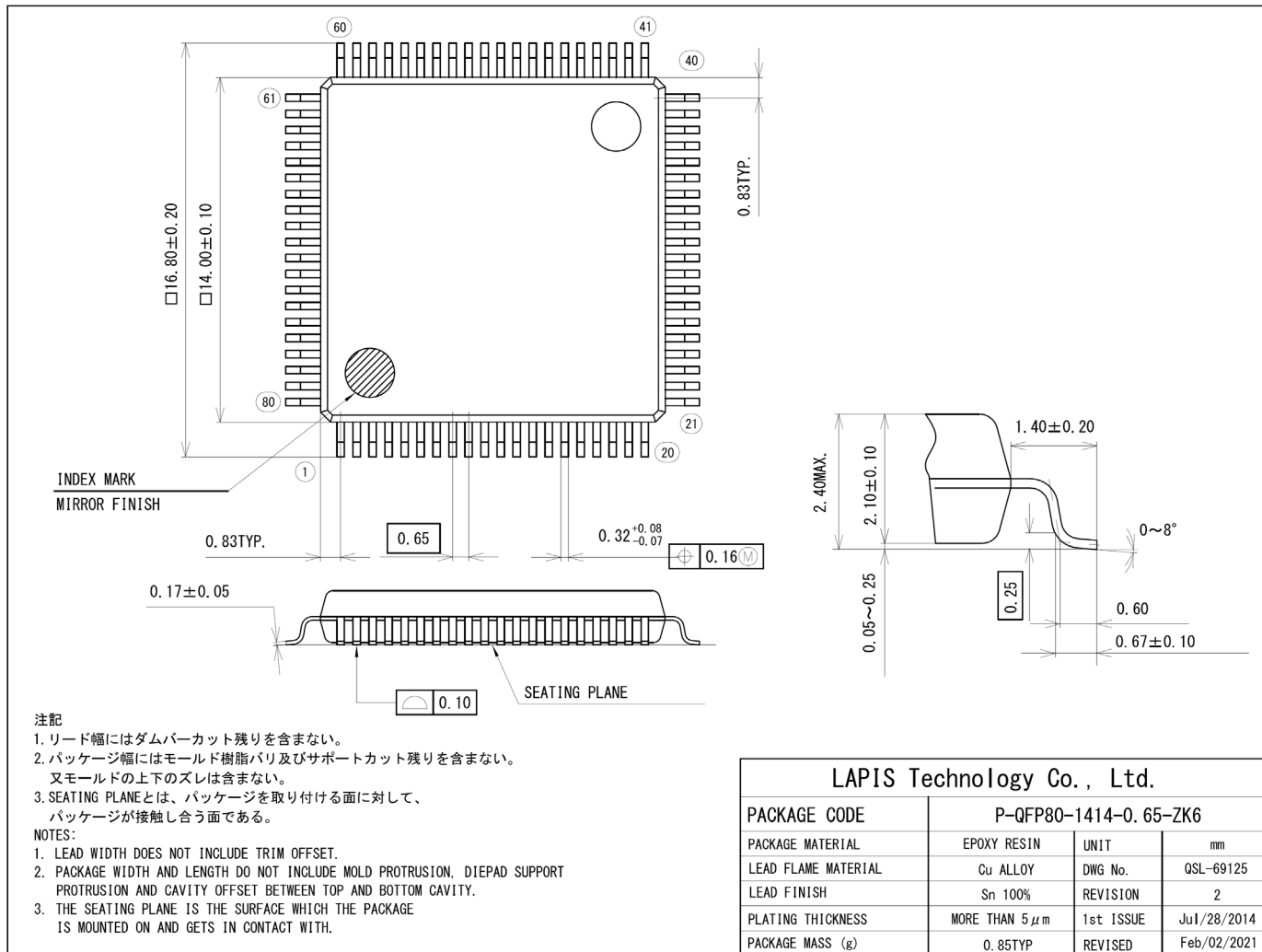


(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法, 温度, 回数), 保管条件などをセールスオフィスまで必ずお問い合わせください。

●80ピン QFP パッケージの寸法図

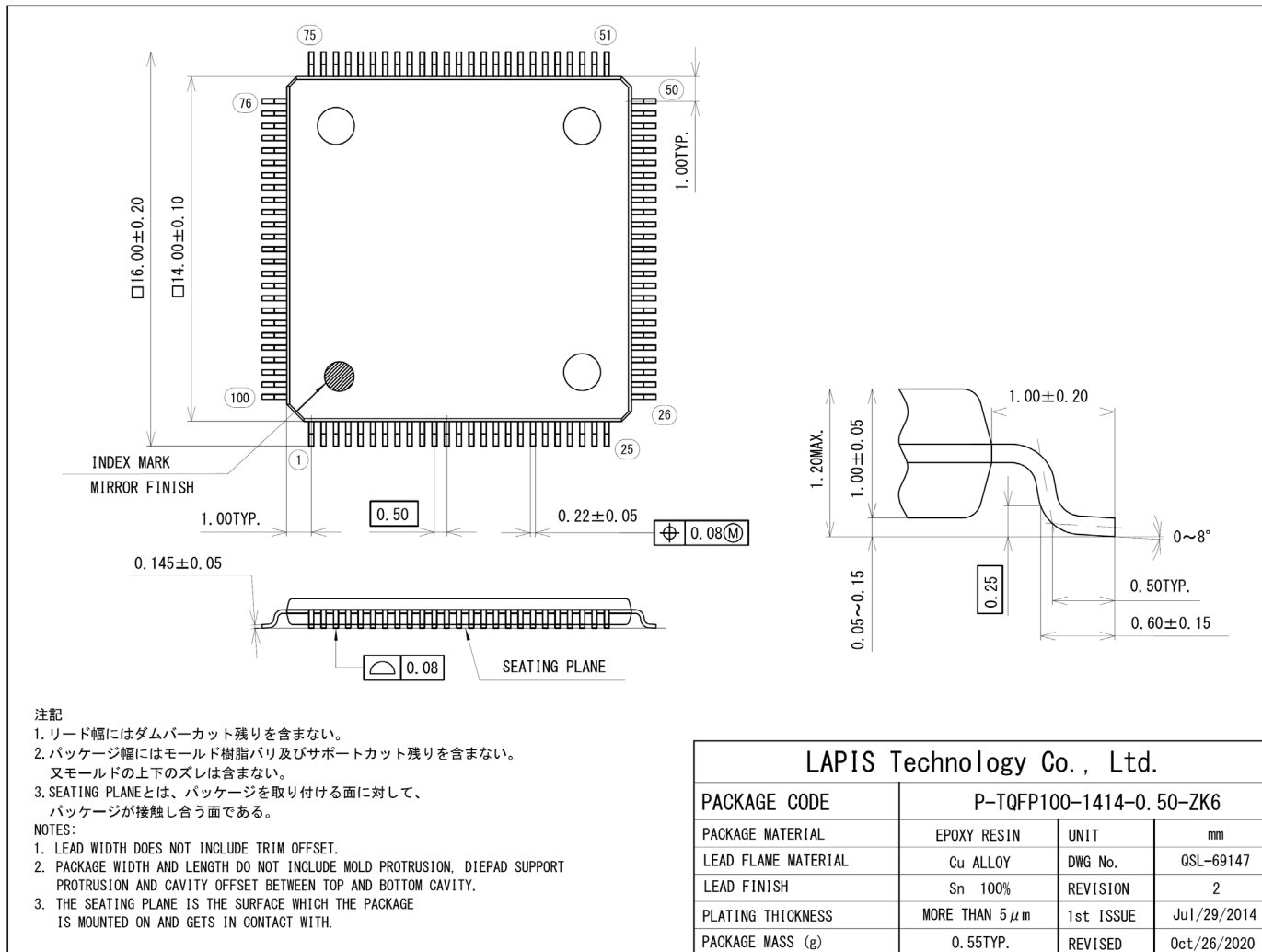


(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●100ピン TQFP パッケージの寸法図

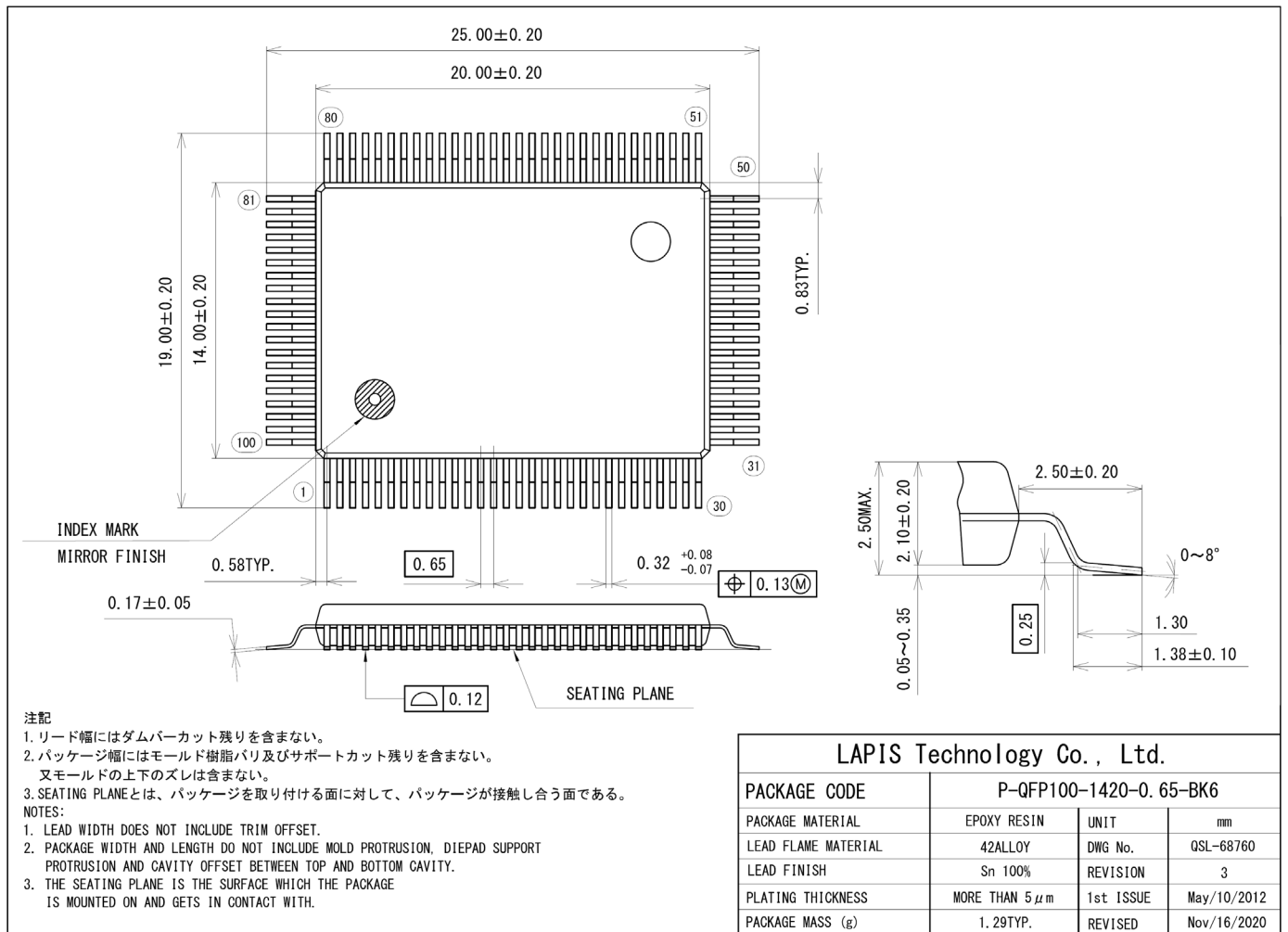


(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法, 温度, 回数), 保管条件などをセールスオフィスまで必ずお問い合わせください。

●100ピン QFP パッケージの寸法図



(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法, 温度, 回数), 保管条件などをセールスオフィスまで必ずお問い合わせください。

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL62Q1500-01	2018.12.17	—	—	正式初版発行
FJDL62Q1500-02	2019.1.9	1	1	開発中製品 (表 1 ML62Q1500 グループの商品一覧)を更新
		26	26	消費電流特性 1 の TBD を削除
FJDL62Q1500-03	2019.5.15	1	1	開発中の記載を削除
		28	28	消費電流特性 3 の値を更新し, TBD を削除
		32	32	入出力端子特性 2 の項目に*6 の注釈を追加
		52	52	16MHz の特性グラフを更新
		53,55	53,55	24MHz の特性グラフを更新
		—	56,57	16MHz/24MHz の特性グラフを追加
FJDL62Q1500-04	2019.5.31	4	4	ファンクショナルタイムの説明を更新
		25	25	絶対最大定格の I _{OUTH} (端子合計)と I _{OUTL} (端子合計)を緩和 (150mA→180mA)
		32	32	入出力端子特性 2 の注釈付けを訂正.
FJDL62Q1500-05	2020.3.19	24	24	未使用端子の処理方法を変更
		25	25	推奨動作条件にTjを追加
		25	—	動作確認済み水晶発振子の削除 (アプリケーションノートへの記載に変更)
		—	26	熱特性を追加
		40	41	リセット特性に注釈, および注意事項を追記
		40	42	電源傾きおよびパワーオンリセット特性に規定を追加 (電源立ち下がり傾き, 電源投入時電圧, CPU動作開始時間), 注意事項を追記
		*	*	誤記修正
FJDL62Q1500-06	2020.7.15	4,8,9	4,8,9	UARTの説明を変更
		20	20	SU5_TXD1の説明の訂正
		27	27	IDD2-1, IDD2-2の条件の訂正
FJDL62Q1500-07	2021.4.22	—	—	社名変更
		1	1	概要にML62Q1500/1800グループ使用時の注意を追加
		—	70	製品使用時の注意事項を追加
FJDL62Q1500-08	2022.5.19	*	*	誤記訂正
		70	70	製品使用時の注意事項の更新
		*	*	誤記訂正
FJDL62Q1500-09	2022.6.21	62-68	62-68	パッケージ寸法図の更新

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL62Q1500-10	2024.3.26	1	1	用途を追加
		6	7	出荷形態をテーブル形式に変更
		7	8	商品の見方の更新
		72	73	ご注意の更新

製品使用時の注意事項

本製品を含むマイコン製品全体に適用する「注意事項」について以下に記載します。
製品個別の注意事項については、各製品のユーザーズマニュアル本文中の【注意】を参照してください。
なお、各製品のユーザーズマニュアルの本文と異なる記載がある場合は、本文中の記載を優先します。

- 1. 未使用の入力端子の処置**
未使用の入力端子は、ノイズなどによる誤動作や消費電流の増加を防ぐために、電源または GND に固定してください。本文中に未使用端子の処置について記載のある製品は、その内容に従い処置してください。
- 2. 電源投入時の状態**
電源投入時、電源電圧が推奨動作電圧に達し、かつリセット端子に“L”レベルの電圧が入力されるまでは、内部レジスタの値および、ポートの出力は不定です。
パワーオンリセットを搭載する製品は、パワーオンリセットが発生するまでは、内部レジスタの値およびポートの出力は不定です。
不定状態の内部レジスタの値やポート出力でシステムが誤動作しないよう注意して設計してください。
- 3. メモリ未使用領域へのアクセス**
メモリ未使用領域のアドレスの読み出し、または書き込みを実行した場合の動作は保証いたしません。
- 4. 製品間の相違**
電気的特性、ノイズ耐量、ノイズ輻射量等はマイコン製品ごとに異なります。他のマイコン製品から本製品に変更した場合に、お客様の機器・システムにおいて評価結果が変化する場合がありますので、本製品を実装したお客様の機器・システムにおいて十分な評価をしてからご使用ください。
- 5. 使用環境**
本製品を高湿度な環境や結露する環境で使用する場合は防湿防水対策をしてください。

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格(*1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上で使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2018-2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>