

ML62Q2033/2035/2043/2045

16ビットマイクロコントローラ

■概要

本 LSI は、16ビット CPU nX-U16/100 を搭載し、プログラム・メモリ (フラッシュ・メモリ)、データ・メモリ(RAM)、データ・フラッシュ (消去単位 128 バイト、書込単位 1 バイト)、乗除算器、クロック発生回路、PWM 波形生成回路、タイマ、汎用ポート、UART、I²C バス (マスタ、スレーブ)、逐次比較型 12bit-A/D コンバータ、8bit-D/A コンバータ、PGA (Programmable-Gain-Amp) など、多彩な周辺機能を集積した高性能 CMOS16 ビットマイクロコントローラです。

16ビット CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。

● 用途

民生機器、産業機器 (例: 電源ユニット、照明機器など)

【注意】

本商品は車載および、自動列車制御装置、鉄道保安システム等にはご使用いただけません。

船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、送電システム、金融端末基幹システム、各種安全制御装置等の高信頼性が必要な用途への使用を検討される場合は、事前に営業窓口へお問い合わせください。

● 商品一覧

本 LSI は、オンチップデバッグ機能を搭載しており、オンボードでのソフトウェアのデバッグおよびソフトウェアの書き換えが可能です。また、ISP (In-System Programming) 機能を搭載しており、量産ラインでのフラッシュ書き込み機能を容易に実現することができます。

本 LSI は、パッケージ種類およびプログラム・メモリ容量別に複数の商品から構成されています。

表 1 に商品一覧を示します。

表 1 商品一覧

プログラム・メモリ	データ・メモリ	データ・フラッシュ	20ピン TSSOP20	24ピン WQFN24
32K バイト	2K バイト	4K バイト	ML62Q2035	ML62Q2045
16K バイト			ML62Q2033	ML62Q2043

本製品をご使用の際は、最終ページの「製品使用時の注意事項」および「ご注意」をご確認の上、お使いください。

■特長

● CPU

- RISC 方式 16 ビット CPU:nX-U16/100 (A35 コア)
- 命令体系:16 ビット長命令
- 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵 (ローム製オンチップデバッグエミュレータと接続)
- 最小命令実行時間 : システムクロック 1 クロック (約 30.5 μ s/62.5ns @32.768kHz/16MHz)

● 乗除算器(コプロセッサ)

- 符号あり, なし

演算	式	演算サイクル数
乗算	16bit \times 16bit	4
除算	32bit \div 16bit	8
	32bit \div 32bit	16
積和(非飽和型, 飽和型)	16bit \times 16bit + 32bit	4

● 動作保証範囲

- 動作電圧 : $V_{DD} = 4.5V \sim 5.5V$
- 動作周囲温度 : $-40^{\circ}C \sim +105^{\circ}C$

● フラッシュ・メモリ

項目	プログラム	データ
消去/書き込み回数	100 回	10,000 回
書き込み単位	16 ビット (2 バイト)	8 ビット (1 バイト)
消去単位	16K バイト/1K バイト	全領域/128 バイト
消去/書き込み温度 (Ta)	$0^{\circ}C \sim +40^{\circ}C$	$-40^{\circ}C \sim +85^{\circ}C$

- データ・フラッシュ消去/書き込み中に CPU 動作可能(バックグラウンドオペレーション;BGO)
- オンチップ・デバッグ機能/ISP(In-System Programming)機能による書き換え可能

This product uses Super Flash® technology licensed from Silicon Storage Technology, Inc.
Super Flash® is a registered trademark of Silicon Storage Technology, Inc.

● データ・メモリ (RAM)

- 書き換え単位 : 8 ビット/16 ビット
- パリティチェック機能有り (パリティエラー時に割込みまたはリセット発生可能)

● クロック発生回路

- 低速クロック (LSCLK0)
低速 RC 発振 : 約 32.768kHz
- 高速ソースクロック (HSOCLK) : PWM 生成回路に使用可能
- PLL 発振 : 64MHz
- 高速クロック (HSCLK) : 16MHz, HSOCLK より分周して生成

● リセット

- 多彩なシステムリセット
端子リセット/パワーオンリセット/低電圧検知機能 (LLD) リセット/ウォッチドッグタイマ (WDT) のオーバフロー/WDT の不正クリアリセット/RAM パリティエラーリセット/プログラムカウンタエラー (ROM 未使用領域に対する命令アクセス) リセット
- BRK 命令実行による CPU リセット
- ソフトウェアによる周辺ブロックの個別リセット/一括リセット

● パワーマネージメント

- 2 種のスタンバイモードを搭載
STOP(全クロック停止), HALT モード (システム系へのクロック供給停止)
- ソフトウェアによる周辺ブロックの個別クロック供給制御
- クロックギア: 高速システムクロックの周波数を動的に変更可能 (HSCLK の 1/1, 1/2, 1/4, 1/8, 1/16, 1/32)

- 割込み
 - ノンマスクابل割込み : 1 要因 (内部要因 WDT)
 - マスクابل割込み : 22 要因 (外部割込み 4 要因含む)
 - 4 段階の割込みレベル機能
 - 端子割込み (EXI) 4 本 (最大 8 端子より選択), サンプリングフィルタあり, エッジ選択 (立ち上がり/立ち下がり/両方)
- 汎用ポート(GPIO)
 - 汎用入出力 : 最大 20 端子 (兼用機能を含む)
 - キャリア周波数出力機能 (赤外線通信用)
- ウォッチドッグタイマ (WDT) : 1 チャンネル
 - オーバフロー周期 : 8 種選択可能 (7.8, 15.6, 31.3, 62.5, 125, 500, 2000, 8000ms)
 - ウィンドウ機能 : クリア許可期間をオーバフロー周期の 50/75%を設定可能。不正クリアリセットあり。
ウィンドウ機能有効時は 1 回目のオーバフローでリセット発生。
ウィンドウ機能無効時はオーバフロー 1 回目に割込み, 2 回目にリセットを発生する。
 - WDT 動作選択 : コードオプションで許可/停止選択可能。
 - HALT モード中の動作/停止選択
 - WDT カウンタ動作の監視機能 (WDT カウンタ読み出し)
- オペレーショナルタイマ : 6 チャンネル
 - 連続モード, ワンショットモード, キャプチャモード, PWM モード
 - イベント・トリガ(外部端子, 16 ビットタイマ, オペレーショナルタイマ, アナログコンパレータ)入力が可能。
 - 多彩なカウントクロック (LSCLK0, HSCLK(16MHz), HSOCLK(64MHz), 外部端子の 1~8 分周が可能)
 - 他チャンネルのオペレーショナルタイマ出力, アナログコンパレータ出力, 外部端子入力との論理積出力が可能
- 16 ビットタイマ : 1 チャンネル
 - 多彩なカウントクロック (LSCLK0, HSCLK(16MHz), 外部端子の 1~8 分周が可能)
- UART (半二重/全二重) : 2 チャンネル
 - ビット長 5~8, パリティ有無, 奇数パリティ/偶数パリティ, 1 ストップビット/2 ストップビット, 正論理/負論理, LSB ファースト/MSB ファースト選択可能
 - 受信データ/スタートビットのサンプリングフィルタあり
 - ボーレートジェネレータ内蔵 (高速クロック (16MHz): 300bps ~2Mbps, 低速クロック: ~2400bps)
- I²C バス : 1 チャンネル
 - マスタモード/スレーブモードを選択:1 チャンネル
 - 標準モード (100kbps), ファストモード (400kbps), 1Mbps モード(1Mbps)対応
 - 7 ビットアドレスフォーマット
 - マスタ: ハンドシェイク(クロック同期化)対応, スレーブアドレス 10 ビット対応可能
 - スレーブ: クロックストレッチ機能
- 逐次比較型 12bit A/D コンバータ (SA-ADC) : 入力 5 チャンネル
 - 分解能 : 12 ビット
 - 変換時間 : 最小 1.375 μ s /1 チャンネル (変換クロック 16MHz 時)
 - 基準電圧 (V_{ADCREf}) を VDD 端子入力電圧か ADC 内部基準電圧 (2.5V)($V_{ADCREf1}$)から選択可能
 - 各チャンネル毎に変換結果レジスタを搭載
 - 連続変換, トリガスタートによる割込み対応
- プログラマブルゲインアンプ (PGA) : 1 チャンネル
 - 増幅率 : 4/8/16/32
 - 電圧入力端子を選択可能 (AIN0/AIN1/AIN2/AIN3)
- アナログコンパレータ (CMP): 3 チャンネル
 - 割込みエッジ, サンプリング有無を選択可能
 - 比較する基準電圧 ($V_{CMPREFn, n=0-2}$)を端子入力か CMP 内部基準電圧 (0.8V)($V_{CMPREF1}$), D/A コンバータから選択可能

- D/A コンバータ (DAC): 2 チャンネル
 - 分解能 : 8ビット
 - 出力インピーダンス : 10kΩ (Typ.)
 - R-2R ラダー方式
 - 基準電圧 (V_{DACREF})を VDD 端子入力電圧か DAC 内部基準電圧(0.8V)($V_{DACREFI}$)から選択可能
- 低電圧検知機能 (LLD) : 1 チャンネル
 - リセット発生可能
 - サンプルングフィルタあり/低消費動作
- 安全機能
 - RAM/SFR ガード
 - RAM パリティエラー検知
 - ROM 未使用領域に対する命令アクセスによるリセット
 - WDT カウンタ監視
 - 逐次比較型 A/D コンバータテスト
 - 通信ループバックテスト (UART, I²C バス (マスタ))
 - 汎用ポートテスト

● 出荷形態

Package	Body size (including lead) [mm × mm]	Pin pitch [mm]	Packing form and Product name	
			Tray	Tape & Reel
20 pin plastic TSSOP	6.5 × 4.4 (6.5 × 6.4)	0.65	ML62Q2033-xxxTDZWARZ ML62Q2035-xxxTDZWARZ	ML62Q2033-xxxTDZWATZ ML62Q2035-xxxTDZWATZ
24 pin plastic WQFN	4.0 × 4.0 (-)	0.50	ML62Q2043-xxxGDZW5AY ML62Q2045-xxxGDZW5AY	ML62Q2043-xxxGDZW5BY ML62Q2045-xxxGDZW5BY

※xxx:ROM コード番号 (ブランク品は NNN)

■商品名の見方

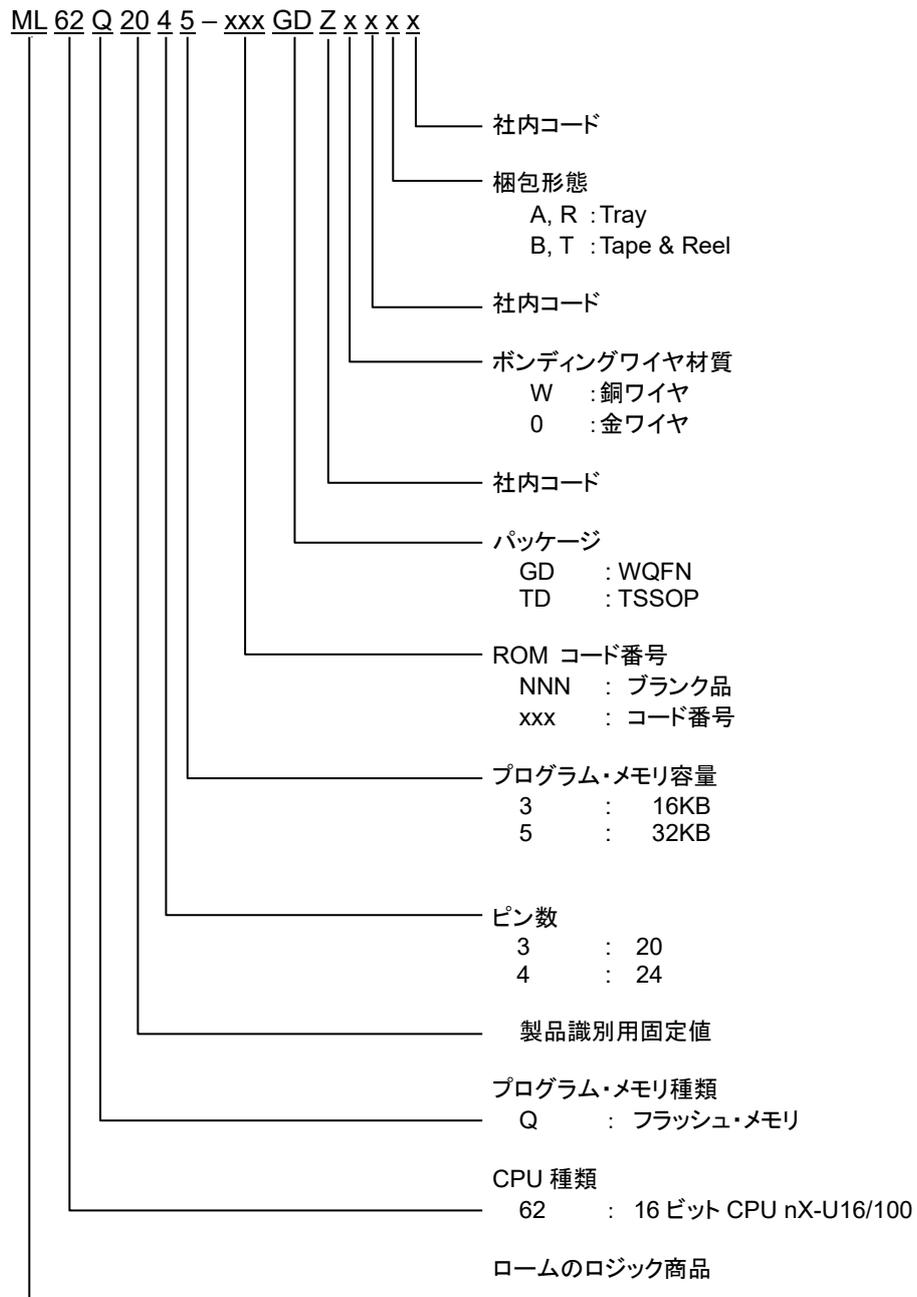


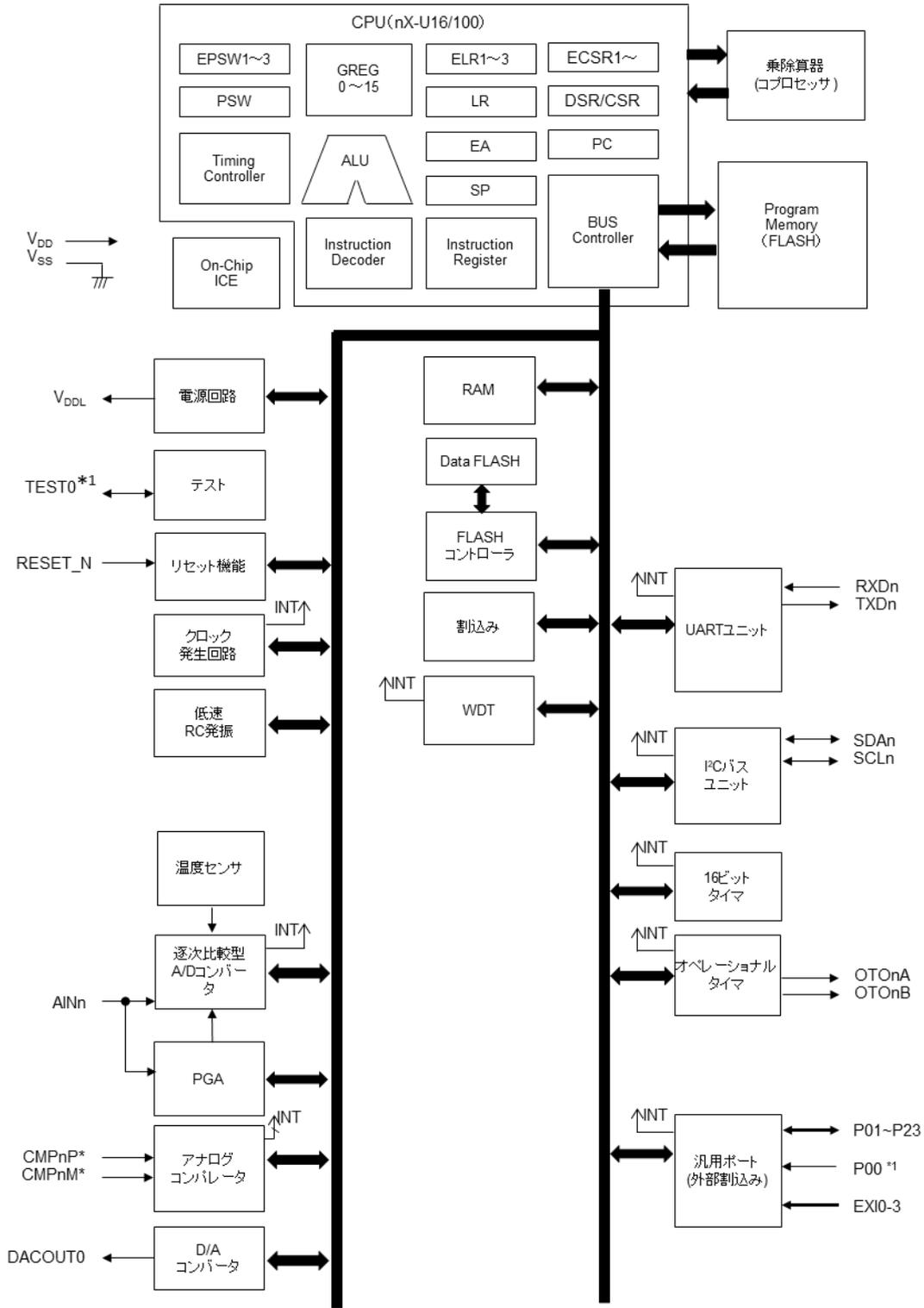
図 1 商品名

■商品別仕様

表2 商品別仕様

製品名	端子				割込み				タイマ			通信		アナログ				
	電源端子	リセット入力端子	汎用入出力端子(デバッグ兼用)	汎用入出力端子(LED 駆動対応)	外部割込み端子	外部割込み要因	ノンスカジュール要因	内部スカジュール要因	16bitタイマ[CH数]	16bitオシヨナルタイマ[CH数]	オシヨナルタイマ[出力数]	ウォッチドッグタイマ[CH数]	UART[CH数]	IC(マスタ/スレーブ兼用)[CH数]	12bit-ADC[入力数]	アナログコンバータ[CH数]	D/Aコンバータ[CH数]	PGA[CH数]
ML62Q2033	3	1	1	15	8	4	1	18	1	6	10	1	2	1	5	3	2	1
ML62Q2035				19							13							
ML62Q2043	24																	
ML62Q2045																		

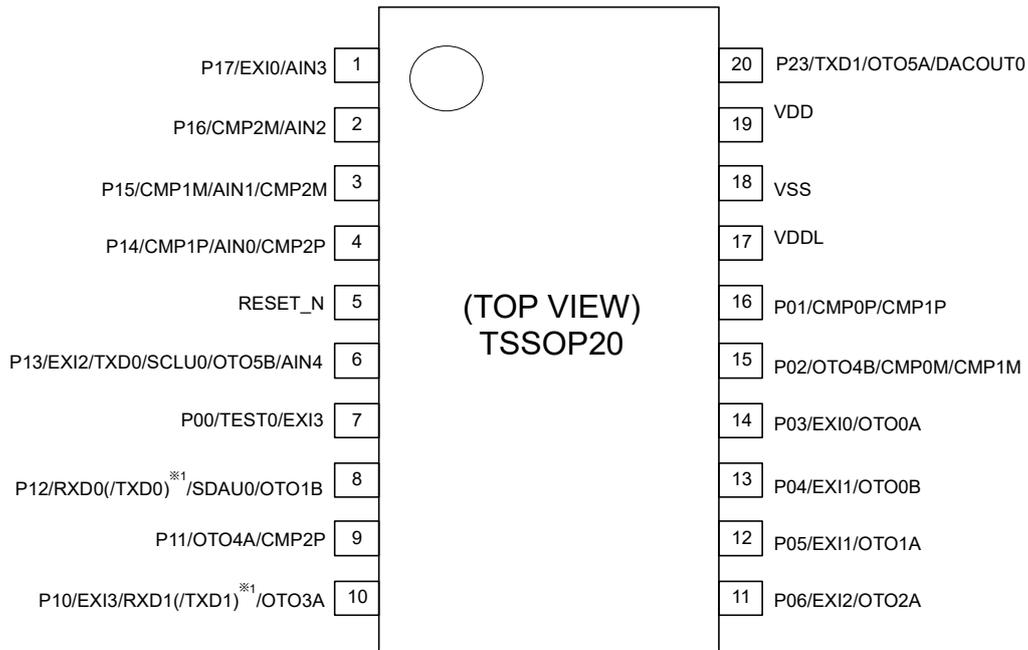
■ブロック図



*1: オンチップデバッグエミュレータを接続した場合は入出力ポートとして使用できません。

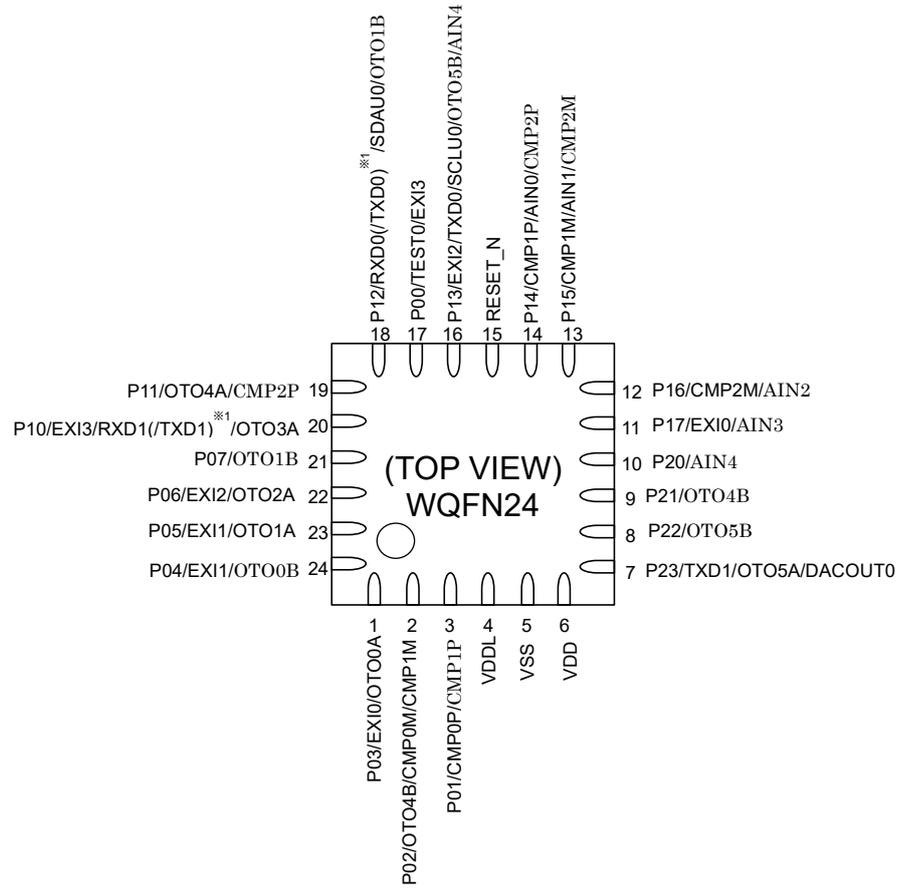
図 2 ブロック図

■端子配置



*1: SFR の設定で RXDn は TXDn と端子共用が可能です。

図 3-1. 20 ピン TSSOP



DIE PAD = NC

*1: SFR の設定で RXDn は TXDn と端子共用が可能です。

図 3-2. 24 ピン WQFN

■端子一覧

表 3 に端子一覧を示します。

表 3 端子一覧

PIN 番号		LSI 端子名	1 次機能	2 次機能	3 次機能	4 次機能	5 次機能	6 次機能	7 次機能	8 次機能
ML62Q203x	ML62Q204x		GPI/EXI	UART*	I ² C	OTM	CMP/DAC	ADC	CMP	CMP/ADC
19	6	VDD	—	—	—	—	—	—	—	—
18	5	VSS	—	—	—	—	—	—	—	—
17	4	VDDL	—	—	—	—	—	—	—	—
16	3	P01	—	—	—	—	CMP0P	—	CMP0P/ CMP1P	CMP0P
15	2	P02	—	—	—	OTO4B	CMP0M	—	CMP0M/ CMP1M	CMP0M
14	1	P03	EXI0	—	—	OTO0A	—	—	—	—
13	24	P04	EXI1	—	—	OTO0B	—	—	—	—
12	23	P05	EXI1	—	—	OTO1A	—	—	—	—
11	22	P06	EXI2	—	—	OTO2A	—	—	—	—
—	21	P07	—	—	—	OTO1B	—	—	—	—
10	20	P10	EXI3	RXD1*1 (/TXD1)*2	—	OTO3A	—	—	—	—
9	19	P11	—	—	—	OTO4A	CMP2P	—	CMP2P	CMP2P
8	18	P12	—	RXD0*1 (/TXD0)*2	SDAU0	OTO1B	—	—	—	—
7	17	P00/TEST0	EXI3	—	—	—	—	—	—	—
6	16	P13	EXI2	TXD0*1	SCLU0	OTO5B	—	AIN4	—	—
5	15	RESET N	—	—	—	—	—	—	—	—
4	14	P14	—	—	—	—	CMP1P	AIN0	CMP1P/ CMP2P	AIN0/CMP 1P
3	13	P15	—	—	—	—	CMP1M	AIN1	CMP1M/ CMP2M	AIN1/CMP 1M
2	12	P16	—	—	—	—	CMP2M	AIN2	CMP2M	AIN2/CMP 2M
1	11	P17	EXI0	—	—	—	—	AIN3	—	—
—	10	P20	—	—	—	—	—	AIN4	—	—
—	9	P21	—	—	—	OTO4B	—	—	—	—
—	8	P22	—	—	—	OTO5B	—	—	—	—
20	7	P23	—	TXD1*1	—	OTO5A	DACOUT0	—	—	—
—	DIE	NC	—	—	—	—	—	—	—	—

*1: UART 端子の末尾番号は同一番号の組み合わせで使用してください。

*2: SFR の設定で RXDn は TXDn と端子共用が可能です。

■端子説明

表 4 に端子説明を示します。

I/O 欄の“－”は電源端子，“I”は入力端子，“O”は出力端子，“I/O”は入出力端子を示します。

表 4 端子説明(1/2)

機能	機能端子名	LSI 端子名	I/O	説明
電源	－	VSS	－	マイナス側電源端子
	－	VDD	－	プラス側電源端子 VSS との間にコンデンサ C_V (1 μ F 以上)を接続してください 本端子の電位を V_{DD} とします。
	－	VDDL	－	内部ロジック用電源端子 (内部発生) VSS との間にコンデンサ C_L (1 μ F)を接続してください
デバッグ ISP	TEST0	P00/ TEST0	I/O	テスト用入出力端子 オンチップデバッグ機能, および ISP 機能に使用します。オンチップデバッグに使用する場合は, 汎用ポートとしては使用できません。P00 端子と兼用です。初期値はプルアップ抵抗付き入力です
リセット	RESET_N	RESET_N	I	リセット入力端子 この端子を“L”レベルにするとシステムリセットモードになり, “H”レベルにするとプログラム動作モードに移行します (プルアップ抵抗は内蔵されていません)
汎用入出力 ポート (GPIO)	P00	P00/ TEST0	I/O	汎用入出力端子 ・プルアップ抵抗付き入力(初期値) ・プルアップ抵抗無し入力 TEST0 端子と兼用のため, オンチップデバッグ機能もしくは ISP 機能を使用する場合は汎用ポートとして使用できません
汎用ポート (GPIO)	P01~P07	P01~P07	I/O	汎用入出力端子 ・ハイインピーダンス(初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・Nch オープンドレイン出力 ・Pch オープンドレイン出力
	P10~P17	P10~P17		
	P20~P23	P20~P23		
キャリア周波 数出力	－	P13 P23	O	キャリア周波数出力
外部割込み (1次機能)	EXI0	P03 P17	I	マスクブル外部 0 割込み端子
	EXI1	P04 P05	I	マスクブル外部 1 割込み端子
	EXI2	P06 P13	I	マスクブル外部 2 割込み端子
	EXI3	P00 P10	I	マスクブル外部 3 割込み端子

表 4 端子説明(2/2)

機能	信号名	端子名	I/O	説明
オペレーショナル タイマ (4次機能)	OTO0A	P03	O	オペレーショナルタイマ 0 A 出力
	OTO0B	P04	O	オペレーショナルタイマ 0 B 出力
	OTO1A	P05	O	オペレーショナルタイマ 1 A 出力
	OTO1B	P07 P12	O	オペレーショナルタイマ 1 B 出力
	OTO2A	P06	O	オペレーショナルタイマ 2 A 出力
	OTO3A	P10	O	オペレーショナルタイマ 3 A 出力
	OTO4A	P11	O	オペレーショナルタイマ 4 A 出力
	OTO4B	P02 P21	O	オペレーショナルタイマ 4 B 出力
	OTO5A	P23	O	オペレーショナルタイマ 5 A 出力
OTO5B	P13 P22	O	オペレーショナルタイマ 5 B 出力	
I ² C (3次機能)	SCLU0	P13	I/O	I ² C ユニット 0 クロック入出力
	SDAU0	P12	I/O	I ² C ユニット 0 データ入出力
UART (2次機能)	RXD0	P12	I	UART0 受信データ入力
	TXD0	P13	O	UART0 送信データ出力
	RXD1	P10	I	UART1 受信データ入力
	TXD1	P23	O	UART1 送信データ出力
SA-ADC (6/8次機能)	AIN0~AIN4	P14 P15 P16 P17 P13 P20	I	逐次比較型 A/D コンバータチャンネル 0~4 アナログ入力
D/A コンバータ (5次機能)	DACOUT0	P23	O	D/A コンバータ 0 の出力(SFR で選択)
アナログ コンパレータ (5/7/8次機能)	CMP0P	P01	I	アナログコンパレータ 0 非反転入力
	CMP0M	P02	I	アナログコンパレータ 0 反転入力
	CMP1P	P01 P14	I	アナログコンパレータ 1 非反転入力
	CMP1M	P02 P15	I	アナログコンパレータ 1 反転入力
	CMP2P	P11 P14	I	アナログコンパレータ 2 非反転入力
	CMP2M	P15 P16	I	アナログコンパレータ 2 反転入力

■未使用端子処理

表 5 に未使用端子の処理方法を示します。

表 5 未使用端子の処理

端子名	推奨端子処理
RESET_N	VDD に接続してください
P00/TEST0	初期値のプルアップ抵抗付き入力モードの状態 で端子をオープンにしてください
P01 ~ P07 P10 ~ P17 P20 ~ P23	初期値のハイインピーダンスの状態 (入力無効、出力無効) で端子をオープンにしてください

【注意】

- 未使用の入力端子および入出力端子は、入力状態 (プルアップ抵抗無しの入力モードまたは入出力モード) で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 5 の処理方法に従ってください。

■電気的特性

●絶対最大定格

(V_{SS}=0V)

項目	記号	条件		定格値	単位
電源電圧 1	V _{DD}	Ta=+25°C		-0.3~+6.5	V
電源電圧 2	V _{DDL}			-0.3~+2.0	
入力電圧	V _{IN}			-0.3~V _{DD} +0.3 ^{*1}	
出力電圧 1	V _{OUT1}			-0.3~V _{DD} +0.3 ^{*1}	
ハイ・レベル出力電流	I _{OUTH}	Ta=+25°C	1 端子	-40 ^{*2}	mA
			端子合計	-150 ^{*2}	
ロウ・レベル出力電流	I _{OUTL}		1 端子	+40	
			端子合計	+150	
許容損失	PD	Ta=+25°C		1	W
保存温度	T _{STG}	—		-55~+150 ^{*3}	°C

*1 6.5V 以下であること。

*2 LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。
流せる電流値は、絶対値が最大値となります。

例:-1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すこととなります。

*3 実装までの保管については、「ボード実装(半田付け)に関して」に示す保管条件を守ってください。

【注意】

- 絶対最大定格とは、製品の物理的品質を損なわないための許容値であり、動作を保証するものではありません。

●推奨動作条件

(V_{SS}=0V)

項目	記号	条件	範囲	単位
動作温度(周囲)	T _a	—	-40~+105	°C
動作温度(ジャンクション)	T _j	—	-40~+115	
動作電圧 1	V _{DD}	—	4.5~5.5	V
動作周波数(CPU)	f _{OP}	V _{DD} =4.5~5.5V	30k~16M	Hz
VDDL 端子外付け容量	C _L	—	1.0 ±30%	μF

●熱特性

以下にチップ-ジャンクション温度の見積り式を示します。

$$T_{j\max} = T_{a\max} + P_{D\max} \times \theta_{ja}$$

$T_{a\max}$: 最高動作温度(周囲)

$P_{D\max}$: LSI 最大消費電力

θ_{ja} : 熱抵抗

推奨動作条件に規定された $T_{j\max}$ を超えないように、端子電流、周囲温度ならびに基板の放熱設計にご注意ください。必要に応じて実装基板で評価してください。

以下は熱抵抗 θ_{ja} のシミュレーション結果です。放熱設計の参考値としてご使用ください。

項目	記号	パッケージ	基板条件		単位
			L1	L2	
熱抵抗	θ_{ja}	TSSOP20	72.32	68.83	°C/W
		WQFN24	38.86	34.81	

基板条件:

条件	L1	L2	単位
サイズ(L/W/T)	114.3 / 76.2 / 1.6	114.3 / 76.2 / 1.6	mm
層数	1	2	層
配線密度	60%(表層)	60%(表層,裏層)	—
空冷条件	無風 (0m/s)		—

WQFN パッケージの条件は、ダイパッド露出部分 (100%)を基板とはんだ接続した場合です。

●消費電流特性

(特に指定のない場合は, $V_{DD}=4.5\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^\circ\text{C}$)

項目	条件		規格値				単位	測定回路
	動作モード	状態 *1	Min.	Typ.*2	Max.			
					$T_j\leq+95^\circ\text{C}$	$T_j\leq+115^\circ\text{C}$		
IDD1	STOP	全てのクロックが停止	—	80	120	130	μA	1
IDD2-1R	HALT (高速発振 OFF)	RC32K 発振 PLL 停止	—	90	140	150		
IDD3	CPU 動作 SYSCLK=32.768kHz	RC32K 発振 PLL 停止	—	100	160			
IDD5-H16	CPU 動作 SYSCLK=16MHz	PLL16M モード HSCLK = 16MHz	—	3.3	4.2		mA	

*1 : IDD1 を除きすべて WDT は動作状態です。また周辺ブロックへのクロック供給は全て停止状態です。

*2 : $V_{DD}=5.0V$, $T_a=+25\text{ }^\circ\text{C}$ 条件

●オンチップオシレータ特性

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
RC32K 発振周波数	f _{RCL1}	Ta=-20~+85°C	Typ. -1.5%	32.768	Typ. +1.5%	kHz	1
		Ta=-40~+105°C	Typ. -2.0%		Typ. +2.0%		
PLL 発振周波数	f _{PLL1}	Ta=-20~+85°C 内蔵低速 RC	Typ. -1.5%	64	Typ. +1.5%	MHz	
		Ta=-40~+105°C 内蔵低速 RC	Typ. -2.0%		Typ. +2.0%		
PLL 発振安定時間	T _{PLL}	—	—	—	2	ms	

本規格値は、弊社出荷時の規格値です。基板実装により周波数変動する場合があります。

●入出力端子特性 1

(特に指定のない場合は、 $V_{DD}=4.5\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
“H”/“L”レベル 出力電圧 1 (すべての入出力 端子)	VOH1	IOH1=-10mA	V_{DD} -1.5	—	—	V	2
			V_{DD} -0.5	—	—		
	VOL1	IOL1=+10mA	—	—	1.5		
			IOL1=+4mA	—	—		
“L”レベル 出力電圧 2 (TEST0 以外の入 出力端子)	VOL2	Nch オープンドレ イン出力選択時	IOL2=+15mA	—	—	0.7	
			IOL2=+8mA	—	—	0.5	
			IOL2=+3mA	—	—	0.4	
“H”レベル 出力電圧 2 (TEST0 以外の入 出力端子)	VOH2	Pch オープンドレ イン出力選択時	V_{DD} -1.5	—	—		
			V_{DD} -0.5	—	—		

(特に指定のない場合は、 $V_{DD}=4.5\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N)	IIH1	$V_{IH1}=V_{DD}$	—	—	1	μA	4
	IIL1	$V_{IL1}=V_{SS}$	-1 ^{*1}	—	—		
入力電流 2 (P00/TEST0, TEST1_N)	IIL2	$V_{IL2}=V_{SS}$ (プルアップ時) ^{*2}	-1500 ^{*1}	-1000 ^{*1}	-300 ^{*1}	k Ω	
	V/IIL2	$V_{IL2}=V_{SS}$ (プルアップ時) ^{*2}	3.7	5.0	15	k Ω	
	IIH2Z	$V_{IH2}=V_{DD}$ (ハイインピーダンス時)	—	—	1	μA	
	IIL2Z	$V_{IL2}=V_{SS}$ (ハイインピーダンス時)	-1 ^{*1}	—	—		
入力電流 3 (RESET_N, P00/TEST0 を除く 入力端子, 入出力端子)	IIL3	$V_{IL1}=V_{SS}$ (プルアップ時) ^{*2}	-250 ^{*1}	-125 ^{*1}	-30 ^{*1}	k Ω	
	V/IIL3	$V_{IL1}=V_{SS}$ (プルアップ時) ^{*2}	22	40	150		
	IIH3Z	$V_{IH1}=V_{DD}$ (ハイインピーダンス時)	—	—	1	μA	
	IIL3Z	$V_{IL1}=V_{SS}$ (ハイインピーダンス時)	-1 ^{*1}	—	—		
入力電圧 1 (入力端子, 入出力端子)	VIH1	—	0.7 $\times V_{DD}$	—	V_{DD}	V	5
	VIL1	—	0	—	0.3 $\times V_{DD}$		
端子容量 (RESET_N, 入力端子, 入出力端子)	CPIN	f = 10kHz $T_a = 25^{\circ}C$	—	—	10	pF	—

*1: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

*2: Typ.値は $V_{DD} = 5.0V$ 条件です。また Min.値は $V_{DD} = 5.5V$ のとき、Max.値は $V_{DD} = 4.5V$ のときです。

●入出力端子特性 2

(特に指定のない場合は, $V_{DD}=4.5\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
“H”レベル出力電流 1 *6	IOH1	1 端子	—	-10*3*5	—	—	mA
“H”レベル出力合計電流 *1*4	IOH3	グループ A またはグループ B の合計 (デューティ $\leq 50\%$ 時)**	Ta=-40~85 °C	-25*5	—	—	
			Ta=-40~105 °C	-12*5	—	—	
	全端子合計 (デューティ $\leq 50\%$ 時)	Ta=-40~85 °C	-50*5	—	—		
		Ta=-40~105 °C	-24*5	—	—		
“L”レベル出力電流 1 *6	IOL1	1 端子 (CMOS 出力選択時)	—	—	—	10*3	
“L”レベル出力電流 2 *6	IOL2	1 端子 (Nch オープンドレイン出力選択時)	—	—	—	15*3	
“L”レベル出力合計電流 *2*4	IOL3	グループ A またはグループ B の合計 (Nch オープンドレイン出力選択時, デューティ $\leq 50\%$ 時)**	Ta=-40~85 °C	—	—	25	
			Ta=-40~105 °C	—	—	15	
	全端子合計 (Nch オープンドレイン出力選択時, デューティ $\leq 50\%$ 時)	Ta=-40~85 °C	—	—	50		
		Ta=-40~105 °C	—	—	30		
出力リーク (すべての入出力端子)	IOOH	$VOH=V_{DD}$ (ハイインピーダンス時)	—	—	—	+1	μA
	IOOL	$VOL=V_{SS}$ (ハイインピーダンス時)	-1*5	—	—	—	

** : グループ A “P00~P07, P10~P12”, グループ B “P13~P17, P20~P23”

*1: VDD 端子から出力端子に流れ出しても, デバイスの動作を保証する電流値です。

*2: 出力端子から VSS 端子に流れ込んでも, デバイスの動作を保証する電流値です。

*3: 出力合計電流を超えないでください。

*4: デューティ $\leq 50\%$ の条件での出力電流の値です。

デューティ $> 50\%$ に変更した出力電流の値は, 次の計算式で求めることができます。

端子合計の出力電流 = $IOL3 \times 50/n$ (デューティ比を n%に変更する場合)

<計算例>

$IOL3=50\text{mA}$ で, $n=80\%$ の場合,

端子合計の出力電流 = $IOL3 \times 50/80=31.25\text{mA}$

1 端子に流せる電流はデューティによって変わることはなく, $IOL1/IOL2$ の規格となります。

また絶対最大定格以上の電流は流せません。

*5: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は, 絶対値が最大値となります。

例: -1mA の場合は最大 1mA の電流が LSI の端子から流れ出すこととなります。

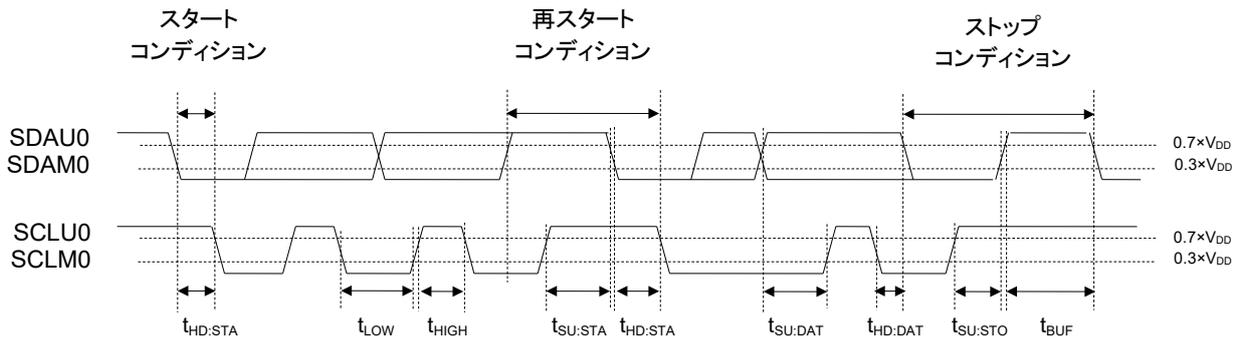
*6: $VOH1, VOL1, VOL2$ を満たすための条件となります。

●I²C バス・インタフェース特性

(特に指定のない場合は, V_{DD}=4.5~5.5V, V_{SS}=0V, Ta=-40~+105 °C)

項目	記号	規格値									単位
		標準モード			ファストモード			1Mbps モード			
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
動作電圧	V _{DD}	4.5	—	5.5	4.5	—	5.5	4.5	—	5.5	V
SCL クロック周波数	f _{SCL}	0	—	100	0	—	400	0	—	1000	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	t _{HD:STA}	4.0	—	—	0.6	—	—	0.26	—	—	μs
SCL “L”レベル時間	t _{LOW}	4.7	—	—	1.3	—	—	0.5	—	—	
SCL “H”レベル時間	t _{HIGH}	4.0	—	—	0.6	—	—	0.26	—	—	
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	4.7	—	—	0.6	—	—	0.26	—	—	
SDA ホールド時間	t _{HD:DAT}	0	—	—	0	—	—	0	—	—	
SDA セットアップ時間	t _{SU:DAT}	0.25	—	—	0.1	—	—	0.1	—	—	
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	4.0	—	—	0.6	—	—	0.26	—	—	
バスフリー時間	t _{BUF}	4.7	—	—	1.3	—	—	0.5	—	—	

I²C バスマスタとして使用する場合は, 上記規格値を満たすように I²C マスタ 0 モードレジスタ(I2M0MOD), I²C バス 0 モードレジスタ(マスタ側)(I2U0MOD)を設定してください

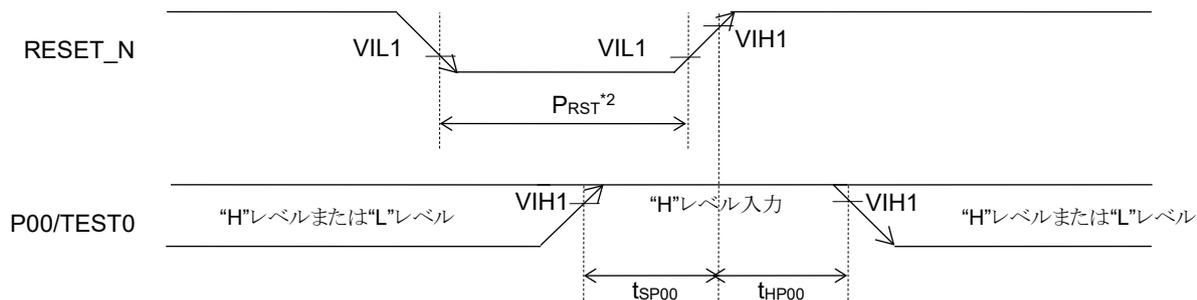


●リセット特性

(特に指定のない場合は, $V_{DD}=4.5\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
リセット有効時間	P_{RST}	—	2	—	—	ms	1
P00“H”レベル セットアップ時間	t_{SP00}	—	1	—	—		
P00“H”レベル ホールド時間 ^{*1}	t_{HP00}	—	1	—	—		

^{*1}: ISP モード時以外の規定です。ISP モード時のタイミングはユーザーズマニュアル“25.4 In-System Programming 機能”を参照ください。

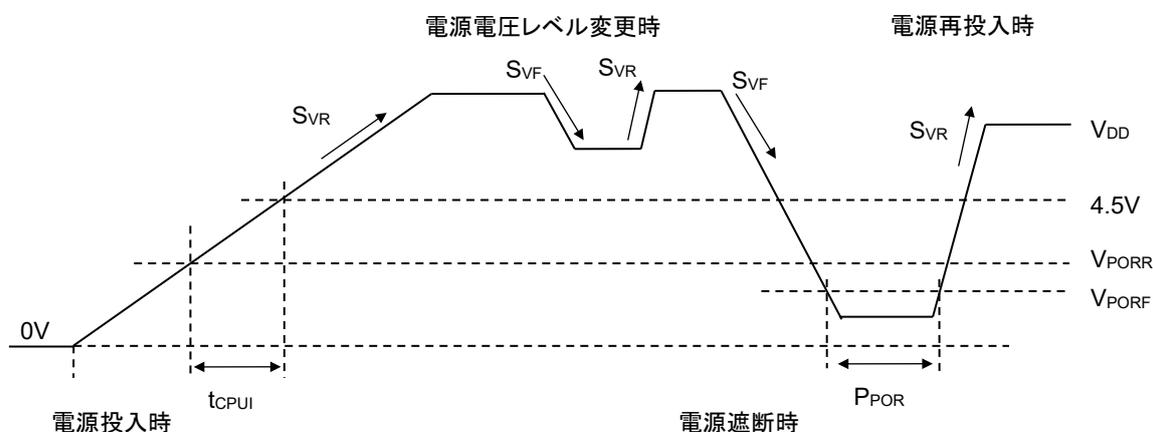


^{*2}: 電源投入時は, $V_{DD}=4.5V$ 以上になってからの時間です。

●電源傾きおよびパワーオンリセット特性

(特に指定のない場合は $V_{SS}=0V$, $T_a=-40\sim+105\text{ }^{\circ}\text{C}$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
電源立ち上がり傾き	S_{VR}	—	—	—	60	V/ms	1
電源立ち下がり傾き	S_{VF}	—	—	—	2		
パワーオンリセット判定電圧	V_{PORR}	電源立ち上がり時	3.70	4.10	4.50	V	
	V_{PORF}	電源立ち下がり時	3.60	4.00	4.40		
パワーオンリセット最小パルス幅	P_{POR}	—	200	—	—	μs	
CPU 動作開始時間 (リセット解除から CPU が動作開始するまでの時間)	t_{CPU}	—	11.5	16.5	—	ms	



【注意】

- 電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。
- CPU 動作開始までに V_{DD} を 4.5V 以上にしてください。

●LLD 特性

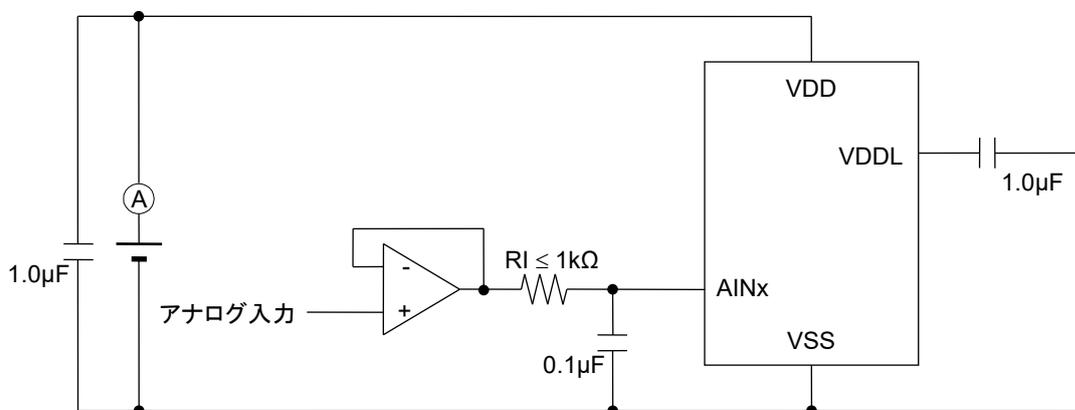
(特に指定のない場合は, $V_{SS}=0V$, $T_a=-40\sim+105\text{ }^{\circ}C$)

項目	記号	規格値			単位	測定回路
		Min.	Typ.	Max.		
LLD 判定電圧	V_{LLD}	4.08	4.25	4.42	V	1
LLD 消費電流	I_{LLD}	—	1.8	—	μA	1

●逐次比較型 A/D コンバータ特性

(特に指定のない場合は, $V_{DD}=4.5\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
分解能	n_{AD}	—	—	—	12	bit
変換クロック	f_{ADCLK}	公称値	32.768	—	16000	kHz
変換時間	t_{CONV}	$f_{ADCLK} = 16MHz$	1.375	—	—	μs
		$f_{ADCLK} = 32.768kHz$	—	518.799	—	
		温度変換時($f_{ADCLK} = 4MHz$)	10.5	—	—	
		PGA 使用時($f_{ADCLK} = 16MHz$)	8	—	—	
総合誤差	—	SA-ADC 基準電圧= V_{DD}	-6	—	+6	LSB
積分非直線性誤差	INLAD	$f_{ADCLK} = 16MHz$	-4	—	+4	
		$f_{ADCLK} = 8MHz$	-7	—	+7	
		$f_{ADCLK} \leq 4MHz$	-8	—	+8	
		SA-ADC 基準電圧=内部基準電圧(V_{REFI}) $f_{ADCLK} = 8MHz$	—	± 64	—	
		SA-ADC 基準電圧=内部基準電圧(V_{REFI}) $f_{ADCLK} \leq 4MHz$	-30	—	+30	
微分非直線性誤差	DNLAD	$f_{ADCLK} = 16MHz$	-3	—	+3	
		$f_{ADCLK} = 8MHz$	-5	—	+5	
		$f_{ADCLK} \leq 4MHz$	-7	—	+7	
		SA-ADC 基準電圧=内部基準電圧(V_{REFI}) $f_{ADCLK} = 8MHz$	—	± 63	—	
		SA-ADC 基準電圧=内部基準電圧(V_{REFI}) $f_{ADCLK} \leq 4MHz$	-29	—	+29	
ゼロスケール誤差	ZSE	$f_{ADCLK} = 16MHz$	-8	—	+8	
		$f_{ADCLK} = 8MHz$	-8	—	+8	
		$f_{ADCLK} \leq 4MHz$	-10	—	+10	
		SA-ADC 基準電圧=内部基準電圧(V_{REFI})	-80	—	+80	
フルスケール誤差	FSE	$f_{ADCLK} = 16MHz$	-8	—	+8	
		$f_{ADCLK} = 8MHz$	-8	—	+8	
		$f_{ADCLK} = 4MHz$	-10	—	+10	
		SA-ADC 基準電圧=内部基準電圧(V_{REFI})	-80	—	+80	
内部基準電圧	$V_{ADCREFI}$	—	2.45	2.5	2.55	V
温度変換傾き	—	$f_{ADCLK} = 4MHz$	-10	—	-8	LSB/ $^{\circ}C$



SA-ADC サンプルング中にはコンデンサに充電するために電流が流れます。十分にサンプルングするためには、アナログ入力源の出力インピーダンスを $1k\Omega$ 以下にしてください。また、ノイズを低減するために $0.1\mu F$ 程度のコンデンサを付けることを推奨します。

●アナログコンパレータ特性

(特に指定のない場合は, $V_{DD}=4.5\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
コンパレータ 同相入力電圧範囲	V_{CMR}	—	0.1	—	V_{DD} -0.1	V	1
コンパレータ 入力オフセット	V_{CMOF}	$T_a=+25\text{ }^\circ\text{C}$, $V_{DD}=5.0V$	—	± 5	—	mV	
コンパレータ 基準電圧	V_{CMREFI}	—	0.75	0.8	0.85	V	
コンパレータ ヒステリシス	V_{CHYS}	—	—	15	—	mV	
コンパレータ 動作遅延時間	V_{CTS}	ヒステリシス OFF 入力振幅 $\pm 100\text{mV}$	—	—	100	ns	
		ヒステリシス ON 入力振幅 $\pm 100\text{mV}$	—	120	—		

●D/A コンバータ特性

(特に指定のない場合は, $V_{DD} = 4.5\sim 5.5V$, $V_{SS} = 0V$, $T_a=-40\sim +105\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
分解能	n_{DA}	—	—	—	8	ビット
変換周期	t_c	—	10	—	—	μs
積分非直線性誤差	INL_{DA}	$RL=4M\Omega$	-2	—	2	LSB
微分非直線性誤差	DNL_{DA}	$RL=4M\Omega$	-1	—	1	
出力インピーダンス	R_o	—	5	10	15	k Ω
フルスケール誤差	FSE	$V_{REF}=V_{DD}$	V_{DD} -0.025	V_{DD}	V_{DD} +0.025	V
		V_{REF} =内部 0.8V 基準電圧	0.725	0.8	0.875	
DAC 内部基準電圧	$V_{DACREFI}$	—	0.75	0.8	0.85	

●Programable Gain Amp 特性

(特に指定のない場合は, $V_{DD} = 4.5\sim 5.5V$, $V_{SS} = 0V$, $T_a=-40\sim +105\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
ゲイン偏差*1	—	Gain=4	-0.7	—	+0.7	%
		Gain=8	-1.0	—	+1.0	
		Gain=16	-1.5	—	+1.5	
		Gain=32	-2.0	—	+2.0	
入力オフセット	$V_{INPGAOS}$	$T_a=+25\text{ }^\circ\text{C}$, $V_{DD}=5.0V$	—	± 5	—	mV
入力電圧範囲	V_{INPGA}	—	0.0	—	V_{DD}/Gain	V
出力電圧範囲	V_{OUTPGA}	$V_{INPGA}=V_{DD}/\text{Gain}$	$0.9\times V_{DD}$	—	—	
		$V_{INPGA}=0V$	—	—	$0.1\times V_{DD}$	
スルーレート	V_{PGASR}	Gain=4, 8	2.5	—	—	V/ μs
		Gain=16, 32	1.4	—	—	

*1: $V_{INPGA}=0.1\times V_{DD}/\text{Gain}\sim 0.9\times V_{DD}/\text{Gain}$

●フラッシュメモリ動作条件

(V_{SS}= 0V)

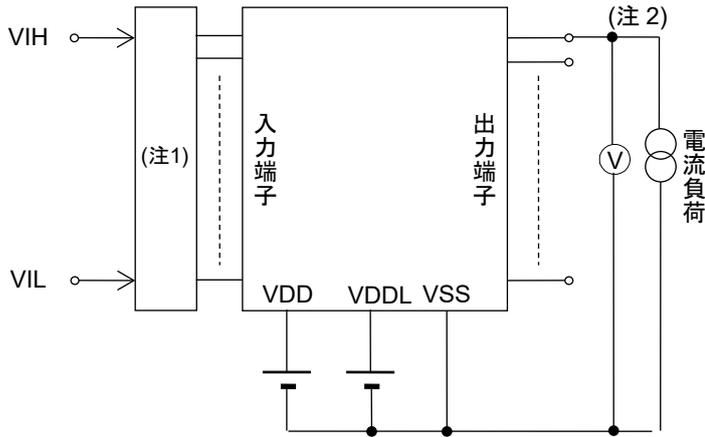
項目	記号	条件		範囲	単位
動作温度	Ta	データ領域:書き込み/消去時		-40~+85	°C
		プログラム領域:書き込み/消去時		0~+40	
動作電圧	V _{DD}	書き込み/消去時		4.5~5.5	V
書き換え回数	CEPD	データ領域		10000	回
	CEPP	プログラム領域		100	
消去単位	—	ブロック消去	プログラム領域	16K	バイト
			データ領域	全領域	
	—	セクタ消去	プログラム領域	1K	バイト
			データ領域	128	
消去時間(最大)	—	ブロック消去/ セクタ消去		50	ms
書き込み単位	—	プログラム領域		4	バイト
		データ領域		1	
書き込み時間(最大)	—	プログラム領域		80	μs
	—	データ領域		40	
データ保持年数	YDR	書き換え回数 100 回		15	年

●測定回路

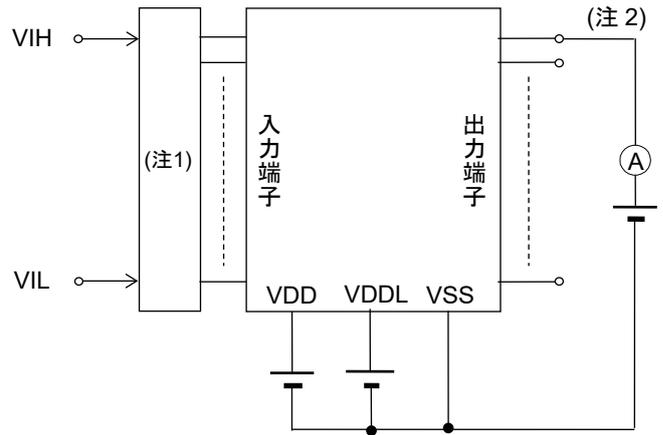
測定回路 1



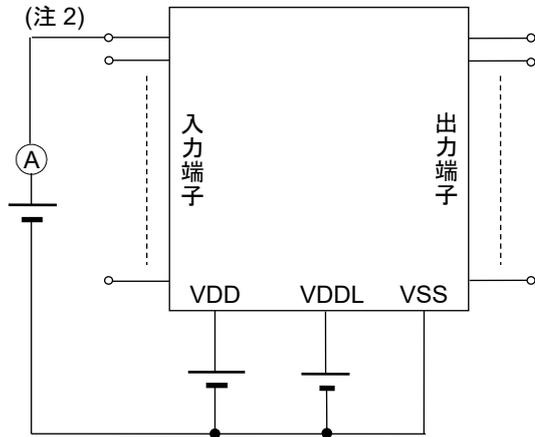
測定回路 2



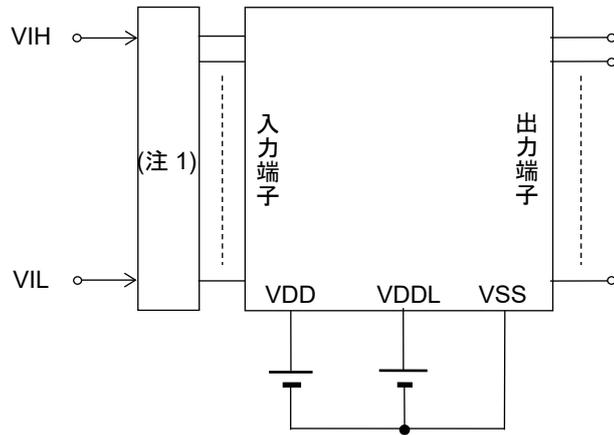
測定回路 3



測定回路 4



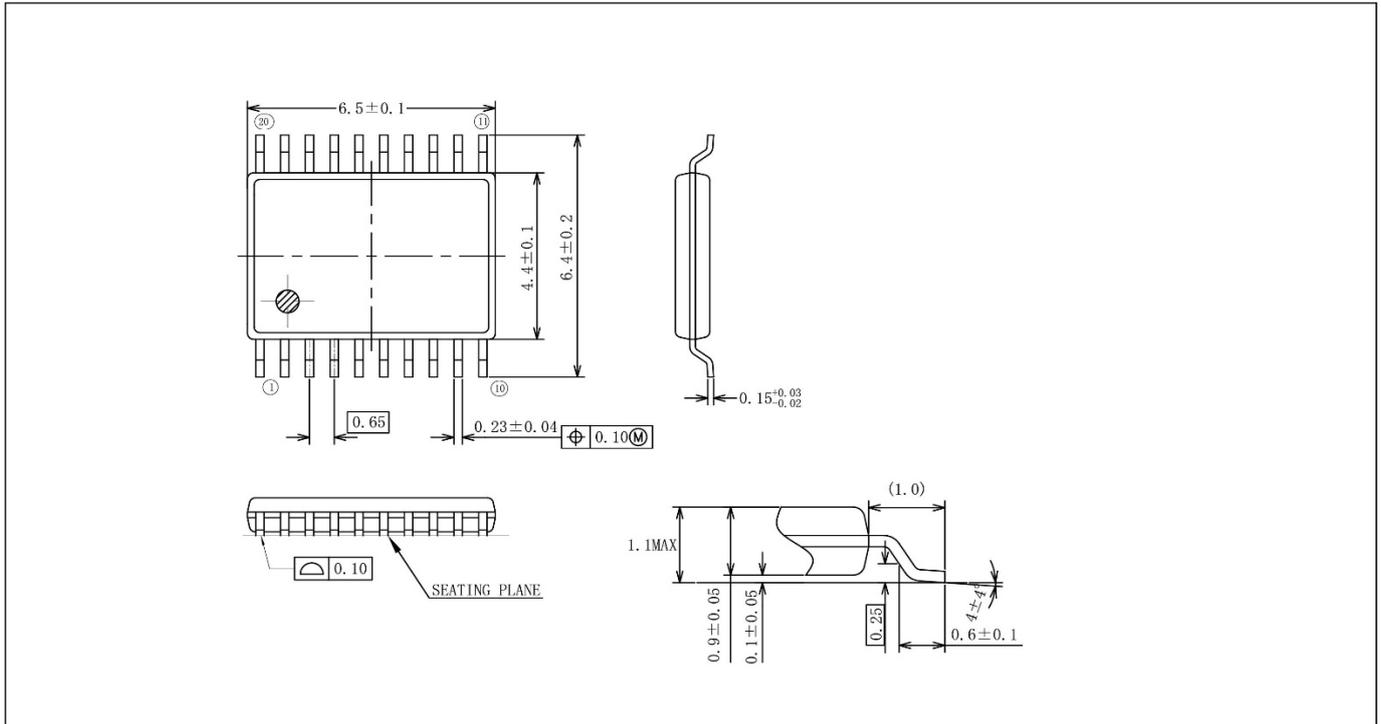
測定回路 5



(注 1) 指定の状態にする入力ロジック
(注 2) 対象の端子に接続して測定する

■パッケージ寸法図

●20ピン TSSOP パッケージの寸法図



注記

1. リード幅にはダムバーカット残りを含まない。
2. パッケージ幅にはモールド樹脂バリ及びサポートカット残りを含まない。
又モールドの上下のズレは含まない。
3. SEATING PLANEとは、パッケージを取り付ける面に対して、
パッケージが接触し合う面である。

NOTES:

1. LEAD WIDTH DOES NOT INCLUDE TRIM OFFSET.
2. PACKAGE WIDTH AND LENGTH DO NOT INCLUDE MOLD PROTRUSION, DIEPAD SUPPORT
PROTRUSION AND CAVITY OFFSET BETWEEN TOP AND BOTTOM CAVITY.
3. THE SEATING PLANE IS THE SURFACE WHICH THE PACKAGE
IS MOUNTED ON AND GETS IN CONTACT WITH.

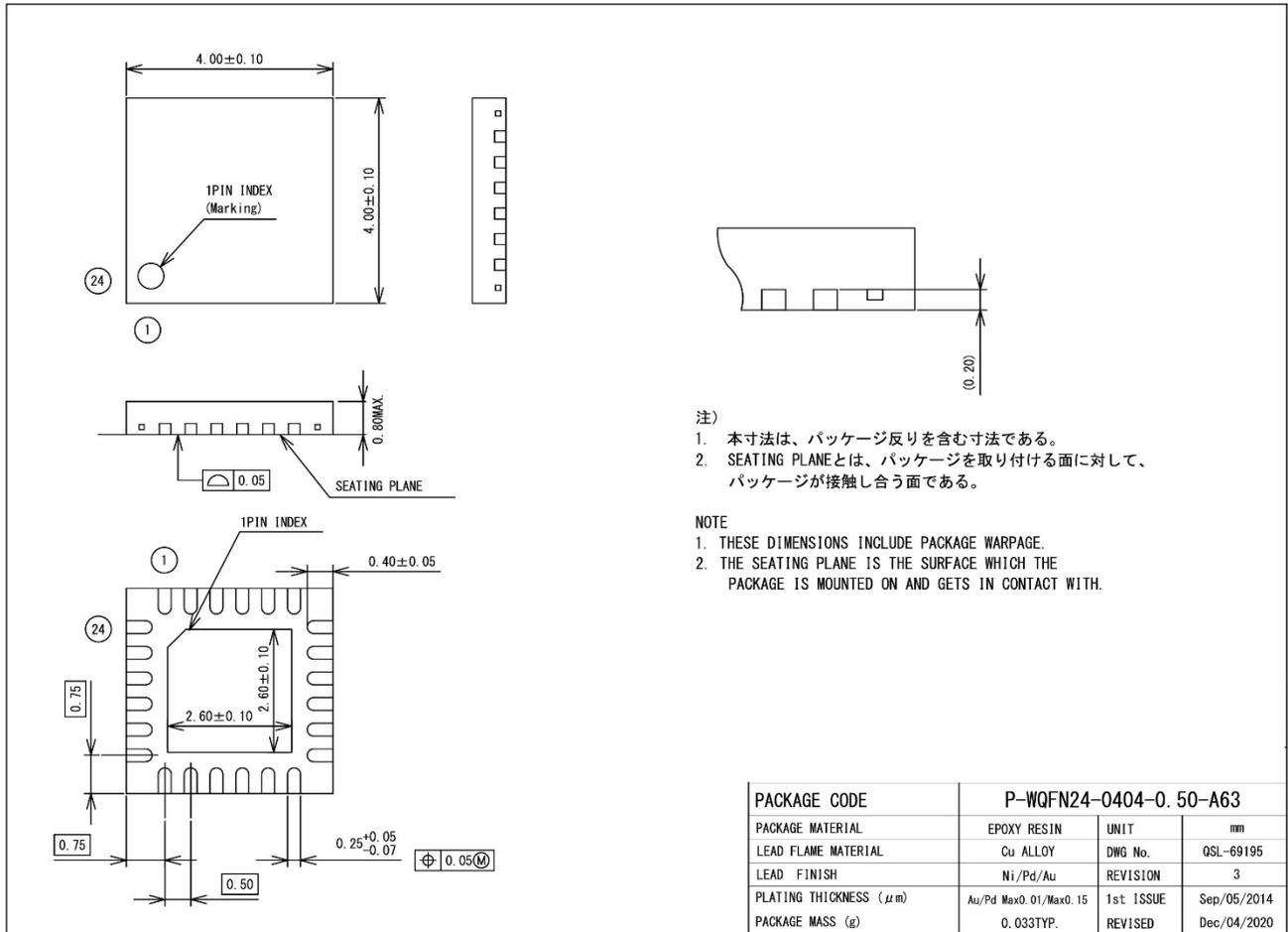
PACKAGE CODE	P-TSSOP20-0225-0.65-TK6		
PACKAGE MATERIAL	EPOXY RESIN	UNIT	mm
LEAD FLAME MATERIAL	Cu ALLOY	DWG No.	QSL-68909
LEAD FINISH	Sn	REVISION	2
SOLDER THICKNESS	MORE THAN $5 \mu\text{m}$	1st ISSUE	Feb/04/2013
PACKAGE MASS (g)	0.08TYP.	REVISED	Oct/05/2020

(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●24ピン WQFN パッケージの寸法図



注)
1. 本寸法は、パッケージ反りを含む寸法である。
2. SEATING PLANEとは、パッケージを取り付ける面に対して、パッケージが接触し合う面である。

NOTE
1. THESE DIMENSIONS INCLUDE PACKAGE WARPAGE.
2. THE SEATING PLANE IS THE SURFACE WHICH THE PACKAGE IS MOUNTED ON AND GETS IN CONTACT WITH.

(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL62Q2000-01	2023.5.24	—	—	初版発行
FJDL62Q2000-02	2023.11.17	—	—	誤記訂正、体裁変更
		11	11	VDD 端子の説明に V _{DD} の説明追加
FJDL62Q2000-03	2024.1.15	16	16	IDD3, IDD5-H16 の T _j ≤+95°C の規格値を追加
		-	1	用途の追加
		4	4	出荷形態の商品名の更新
		5	5	商品名の見方の更新
		9,10	9,10	WQFN の DIE PAD 情報追加
		11	11	P00 のデバック ISP 機能の説明追加
		11	11	P00 の汎用入出力ポート機能の誤記修正(I→I/O)
		13	13	推奨端子処理の更新
		32	32	ご注意の更新
FJDL62Q2045-04	2024.5.24	-	-	誤記訂正、体裁変更
		-	-	ドキュメント名を FJDL62Q2000 から、FJDL62Q2045 に変更
		5	5	グループ名から製品識別用固定値に変更
		22	22	CPU 起動開始時間の誤記修正
FJDL62Q2045-05	2024.9.5	32	-	ご注意の更新
		10	10	端子一覧を訂正
		23	23	LLD 特性の消費電流(I _{LLD})を修正
		25	25	Programable Gain Amp 特性の項目を修正 (V _{OUTPGA})

製品使用時の注意事項

マイコン製品全体に適用する「注意事項」について以下に記載します。
製品個別の注意事項については、各製品のユーザーズマニュアル本文中の【注意】を参照してください。

- 1. 未使用の入力端子の処置**
未使用の入力端子は、ノイズなどによる誤動作や消費電流の増加を防ぐために、電源または GND に固定してください。本文中に未使用端子の処置について記載のある製品は、その内容に従い処置してください。
- 2. 電源投入時の状態**
電源投入時、電源電圧が推奨動作電圧に達し、かつリセット端子に“L”レベルの電圧が入力されるまでは、内部レジスタの値および、ポートの出力は不定です。
パワーオンリセットを搭載する製品は、パワーオンリセットが発生するまでは、内部レジスタの値およびポートの出力は不定です。
不定状態の内部レジスタの値やポート出力でシステムが誤動作しないよう注意して設計してください。
- 3. メモリ未使用領域へのアクセス**
メモリ未使用領域のアドレスの読み出し、または書き込みを実行した場合の動作は保証いたしません。
- 4. 製品間の相違**
電气的特性、ノイズ耐量、ノイズ輻射量等はマイコン製品ごとに異なります。他のマイコン製品から本製品に変更した場合に、お客様の機器・システムにおいて評価結果が変化する場合がありますので、本製品を実装したお客様の機器・システムにおいて十分な評価を実施してください。
- 5. 使用環境**
本製品を高湿度な環境や結露する環境で使用する場合は防湿防水対策をしてください。

ご注意

ローム製品取扱い上の注意事項

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(*)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後が発生した故障、誤動作等の不具合、事故、損害等については、ローム株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 7) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 8) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 9) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

その他の注意事項

- 1) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。
- 2) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。

LTSZ08023・01・003