

# ML62Q2500 グループ

16 ビットマイクロコントローラ

## ■概要

ML62Q2500 グループは、16 ビット CPU nX-U16/100 を搭載し、プログラム・メモリ(フラッシュ・メモリ)、データ・メモリ(RAM)、データ・フラッシュ(消去単位 128 バイト、書込単位 1 バイト)、乗除算器、CRC 演算器、クロック発生回路、タイマ、汎用ポート、UART、同期式シリアルポート、I<sup>2</sup>C バス(マスタ、スレーブ)、電圧レベル監視機能(VLS)、逐次比較型 12bit-A/D コンバータ、安全機能(IEC60730/60335 Class B)など、多彩な周辺機能を集積した高性能 CMOS16 ビットマイクロコントローラです。16 ビット CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。

ML62Q2500 グループは、オンチップデバッグ機能を搭載しており、オンボードでのソフトウェアのデバッグおよびソフトウェアの書き換えが可能です。また、ISP(In-System Programming)機能を搭載しており、量産ラインでのフラッシュ書き込み機能を容易に実現することができます。

ML62Q2500 グループは、パッケージ種類およびプログラム・メモリ容量別に複数の商品から構成されています。表 1 に商品一覧を示します。

表 1 商品一覧

プログラム・メモリ	データ・メモリ	データ・フラッシュ	32 ピン TQFP32 WQFN32	40 ピン WQFN40	48 ピン TQFP48 WQFN48
128K バイト	8K バイト	4K バイト	ML62Q2504	ML62Q2524	ML62Q2534
64K バイト			ML62Q2502	ML62Q2522	ML62Q2532

本製品をご使用の際は、最終ページの「製品使用時の注意事項」および「ご注意」をご確認の上、お使いください。

## ■特長

## ● CPU

- RISC 方式 16 ビット CPU:nX-U16/100(A35 コア)
- 命令体系:16 ビット長命令
- 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵(ラピステクノロジー製オンチップデバッグエミュレータと接続)
- 最小命令実行時間 : システムクロック 1 クロック (約 30.5 $\mu$ s/62.5ns/41.6ns @32.768kHz/16MHz/24MHz)

## ● 乗除算器(コプロセッサ)

- 符号あり, なし

演算	式	演算サイクル数
乗算	16bit $\times$ 16bit	4
除算	32bit $\div$ 16bit	8
	32bit $\div$ 32bit	16
積和(日飽和型, 飽和型)	16bit $\times$ 16bit + 32bit	4

## ● 動作保証範囲

- 動作電圧 :  $V_{DD} = 1.8V \sim 5.5V$
- 動作周囲温度 :  $-40^{\circ}C \sim +105^{\circ}C$

## ● フラッシュ・メモリ

項目	プログラム	データ
消去／書込み回数	100 回	10,000 回
書込み単位	32 ビット (4 バイト)	8 ビット (1 バイト)
消去単位	16K バイト／1K バイト	全領域／128 バイト
消去／書込み温度	$0^{\circ}C \sim +40^{\circ}C$	$-40^{\circ}C \sim +85^{\circ}C$

- データ・フラッシュ消去／書込み中に CPU 動作可能(バックグラウンドオペレーション: BGO)
- オンチップ・デバッグ機能／ISP(In-System Programming)機能による書き換え可能

This product uses Super Flash® technology licensed from Silicon Storage Technology, Inc.  
Super Flash® is a registered trademark of Silicon Storage Technology, Inc.

## ● データ・メモリ(RAM)

- 書き換え単位 : 8 ビット／16 ビット
- パリティチェック機能有り(パリティエラー時に割込みまたはリセット発生可能)

## ● クロック発生回路

- 低速クロック(LSCLK) : 低速 RC 発振, 低速水晶発振, 外部クロック入力
- 低速 RC 発振(RC32K) : 約 32.768kHz
- 低速外部クロック入力(EXT32K) : 約 32.768kHz
- 低速水晶発振(XT32K) : 約 32.768kHz, 4 つのモード搭載(タフ, 標準, 低消費電力, 超低消費電力)
- 高速クロック(HSCLK)
- PLL 発振 : コードオプションで 24MHz／16MHz／1MHz を選択可能
- WDT(ウォッチドッグタイマ)用に独立した RC1K 発振(約 1.024kHz)を搭載
- 高速タイムベースクロック(HTBCLK)
- ペリフェラル用クロックとして HSCLK の 2～8 カウント周期のクロックを生成

## ● リセット

- 多彩なシステムリセット
- 端子リセット／パワーオンリセット／電圧レベル監視機能(VLS)リセット／ウォッチドッグタイマ(WDT)のオーバフロー／WDT の不正クリアリセット／RAM パリティエラーリセット
- PC エラー(ROM 未使用領域に対する命令アクセス)リセット
- BRK 命令実行による CPU リセット
- ソフトウェアによる周辺ブロックの個別リセット／一括リセット

- パワーマネージメント
  - 多彩なスタンバイモードによる最適なパワーマネージメント  
STOP/STOP-D モード(全クロック停止), HALT-D モード(システム系および一部周辺ブロックのクロック供給停止),  
HALT/HALT-H モード(システム系へのクロック供給停止)  
HALT-D は長時間スタンバイに, HALT-H は短時間での間欠動作のスタンバイにご使用いただけます。
  - ソフトウェアによる周辺ブロックの個別クロック供給制御
  - 高速クロック(HSCLK)の周波数を選択(PLL クロックの 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64 ; Max.7step)
  - クロックギア: 高速システムクロックの周波数を動的に変更可能  
(HSCLK の 1/1, 1/2, 1/4, 1/8, 1/16, 1/32; Max. 6step)
- 割込み
  - ノンマスカブル割込み : 1 要因(内部要因 WDT)
  - マスカブル割込み : 34 要因(外部割込み 8 要因含む)
  - 4 段階の割込みレベル機能
  - 端子割込み 8 本 (最大 24 端子より選択), サンプリングフィルタあり, エッジ選択(立ち上がり/立ち下がり/両方)
- 汎用ポート(GPIO)
  - 汎用入出力 : 最大 40 端子(兼用機能を含む)
  - 汎用入力 : 3 端子(オンチップデバッグ, 低速水晶端子と兼用)
  - キャリア周波数出力機能(赤外線通信用)
- ウォッチドッグタイマ(WDT) : 1 チャネル
  - オーバフロー周期 : 8 種選択可能(7.8, 15.6, 31.3, 62.5, 125, 500, 2000, 8000[ms])
  - ウィンドウ機能 : クリア許可期間をオーバフロー周期の 50/75%を設定可能。不正クリアリセットあり。  
無効時はオーバフロー1 回目に割込み, 2 回目にリセットを発生する。  
有効時は1 回目にリセット発生。
  - WDT 動作選択 : コードオプションで許可/停止選択可能。
  - HALT/HALT-H と HALT-D モード中の動作/停止選択
  - WDT カウンタ動作の監視機能(WDT カウンタ読み出し)
- 低速タイムベースカウンタ(LTBC) : 2 チャネル
  - 低速クロック(LSCLK)を分周し, 8 種(128, 64, 32, 16, 8, 4, 2, 1[Hz])のパルス信号を生成
  - 8 種から 4 つの割込みを生成可能
  - 汎用ポート(TBCO)から割込みに選択したパルスを出力可能
- ファンクショナルタイマ : 2 チャネル
  - 連続モード, ワンショットモード, キャプチャモード, PWM モード(エッジ同期や相補型の 2 信号出力)
  - イベント・トリガ(外部端子, 16 ビットタイマ, ファンクショナルタイマ, LTBC, RC1K)
  - 多彩なカウントクロック(LSCLK, HSCLK, HTBCLK, 外部端子の 1~8 分周可能)
- 16 ビットタイマ : 6 チャネル
  - タイマ出力(オーバフロー毎に出力が反転)
  - 多彩なカウントクロック(LSCLK, HSCLK, HTBCLK, 外部端子, LTBC, RC1K の 1~8 分周)
  - タイマ X は水晶発振安定待ちと共用 (1 チャネル)

- 同期式シリアルポート：2 チャンネル (FIFO 付き 1 チャンネル, FIFO なし 1 チャンネル)
  - － FIFO 付き: 送信受信各 4 段
  - － マスタ/スレーブ選択可能
  - － LSB ファースト/MSB ファースト, 8 ビット長/16 ビット長選択可能
- UART(全二重)：3 チャンネル
  - － ビット長 5～8, パリティ有無, 奇数パリティ/偶数パリティ, 1 ストップビット/2 ストップビット, 正論理/負論理, LSB ファースト/MSB ファースト選択可能
  - － 受信データ/スタートビットのサンプリングフィルタあり
  - － ボーレートジェネレータ内蔵 (高速クロック(16MHz): 4800bps ～920kbps, 低速クロック: ～2400bps)
- I<sup>2</sup>C バス：2 チャンネル
  - － マスタモード/スレーブモードを選択:1 チャンネル, マスタモード専用:1 チャンネル
  - － 標準モード(100kbps), ファストモード(400kbps), 1Mbps モード(1Mbps)対応
  - － 7ビットアドレスフォーマット
  - － マスタ: ハンドシェイク(クロック同期化)対応, スレーブアドレス 10 ビット対応可能
  - － スレーブ: クロックストレッチ機能
- 逐次比較型 12bit A/D コンバータ(SA-ADC)：入力 14 チャンネル
  - － 変換時間：最小 1.375μs /1 チャンネル(V<sub>DD</sub>>2.7V, 変換クロック 16MHz 時)
  - － VDD 端子入力電圧/外部リファレンス電圧(VREF 端子)選択可能
  - － 各チャンネル毎に変換結果レジスタを搭載
  - － 連続変換, トリガスタート, 上限下限判定による割込み対応
- 電圧レベル監視機能(VLS)：1 チャンネル
  - － 判定電圧：15 値(1.85V～4.00V から選択可能)
  - － 割込みまたはリセット発生可能
  - － シングルモード搭載/サンプリングフィルタあり/低消費動作
- CRC 演算器
  - － 生成多項式:  $X^{16}+X^{12}+X^5+1$
  - － LSB ファースト/MSB ファースト選択可能
  - － プログラム・メモリを HALT モード中に演算する自動 CRC 演算モードを搭載
- 安全機能
  - － 低速水晶発振停止時に低速 RC 発振に自動で切り替え, LSCLK とシステムクロックの独立化
  - － RAM/SFR ガード
  - － プログラム・メモリの自動 CRC 演算
  - － RAM パリティエラー検知
  - － ROM 未使用領域に対する命令アクセスによるリセット
  - － クロック発振/WDT カウンタ監視
  - － 逐次比較型 A/D コンバータテスト
  - － 通信ループバックテスト(UART, 同期式シリアルポート, I<sup>2</sup>C バス(マスタ))
  - － 汎用ポートテスト

## ● 出荷形態

パッケージ	ボディ(リード含む) [mm × mm]	ピンピッチ [mm]	品名
32 ピン プラスチック TQFP	7.0 × 7.0 (9.0 × 9.0)	0.80	ML62Q2502/2504-xxxTB
48 ピン プラスチック TQFP	7.0 × 7.0 (9.0 × 9.0)	0.50	ML62Q2532/2534-xxxTB
32 ピン プラスチック WQFN	5.0 × 5.0 (-)	0.50	ML62Q2502/2504-xxxGD
40 ピン プラスチック WQFN	6.0 × 6.0 (-)	0.50	ML62Q2522/2524-xxxGD
48 ピン プラスチック WQFN	7.0 × 7.0 (-)	0.50	ML62Q2532/2534-xxxGD

※xxx:ROM コード番号 (ブランク品は NNN)

■商品名の見方

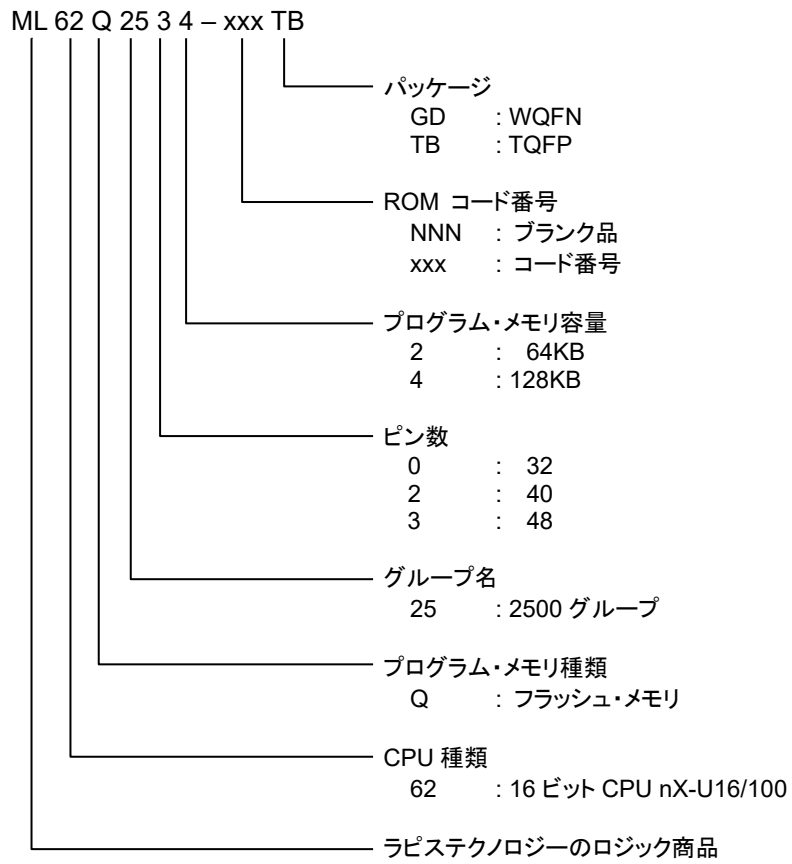


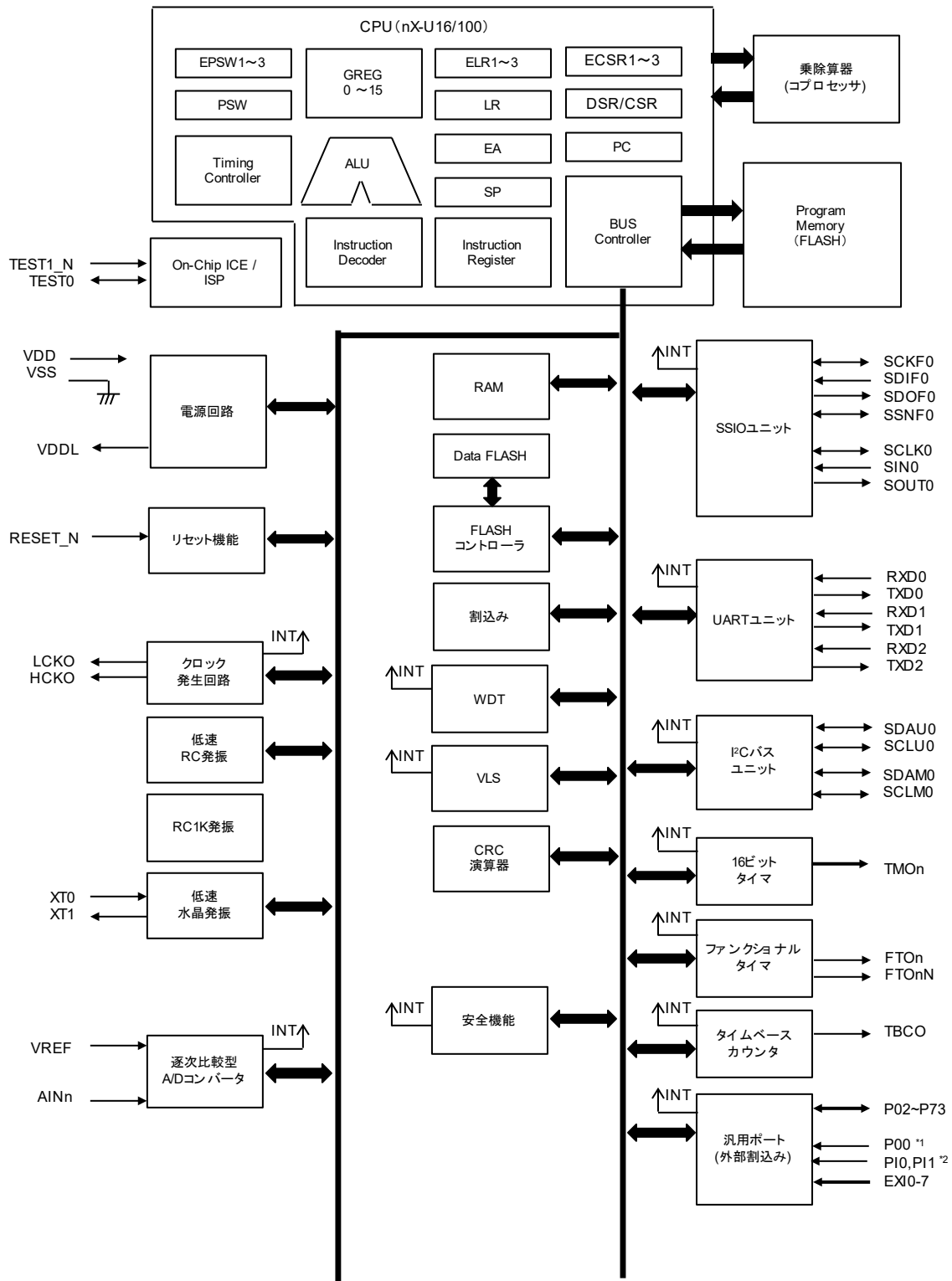
図 1 商品名

商品別仕様

表 2 商品別仕様

アナログ		電圧監視[CH数]		1
逐次比較型 12bit A/D コンバータ[入力数]				14
I <sup>2</sup> C(マスタ/スレーブ兼用)[CH数]				1
I <sup>2</sup> C(マスタ専用)[CH数]				1
全二重 UART[CH数]				3
同期シリアル通信(FIFO 付き)[CH数]				1
同期シリアル通信(FIFO なし)[CH数]				1
タイムベースカウンタ[CH数]				2
ウォッチドッグタイマ[CH数]				1
フリップフロップタイマ[出力数]				4
16bit フリップフロップタイマ[CH数]				2
16bit タイマ[CH数]				6
内部スキャラブル要因				26
ノンスキャラブル要因				1
外部割込み要因				8
外部割込み端子		16	32	40
入出力端子(LED 駆動対応)		24	32	40
入力端子(デバッグ,水晶兼用)		3	1	
デバッグ入力端子		1		
リセット入力端子		1		
電源端子		3		
総数		32	40	48
各品番		ML62Q2502	ML62Q2504	ML62Q2522
		ML62Q2524	ML62Q2532	ML62Q2534

■ブロック図



\*1: オンチップデバッグエミュレータを接続した場合は入力ポートとして使用できません。

\*2: 水晶を接続した場合は入出力ポートとして使用できません。

図 2 ブロック図

■端子配置

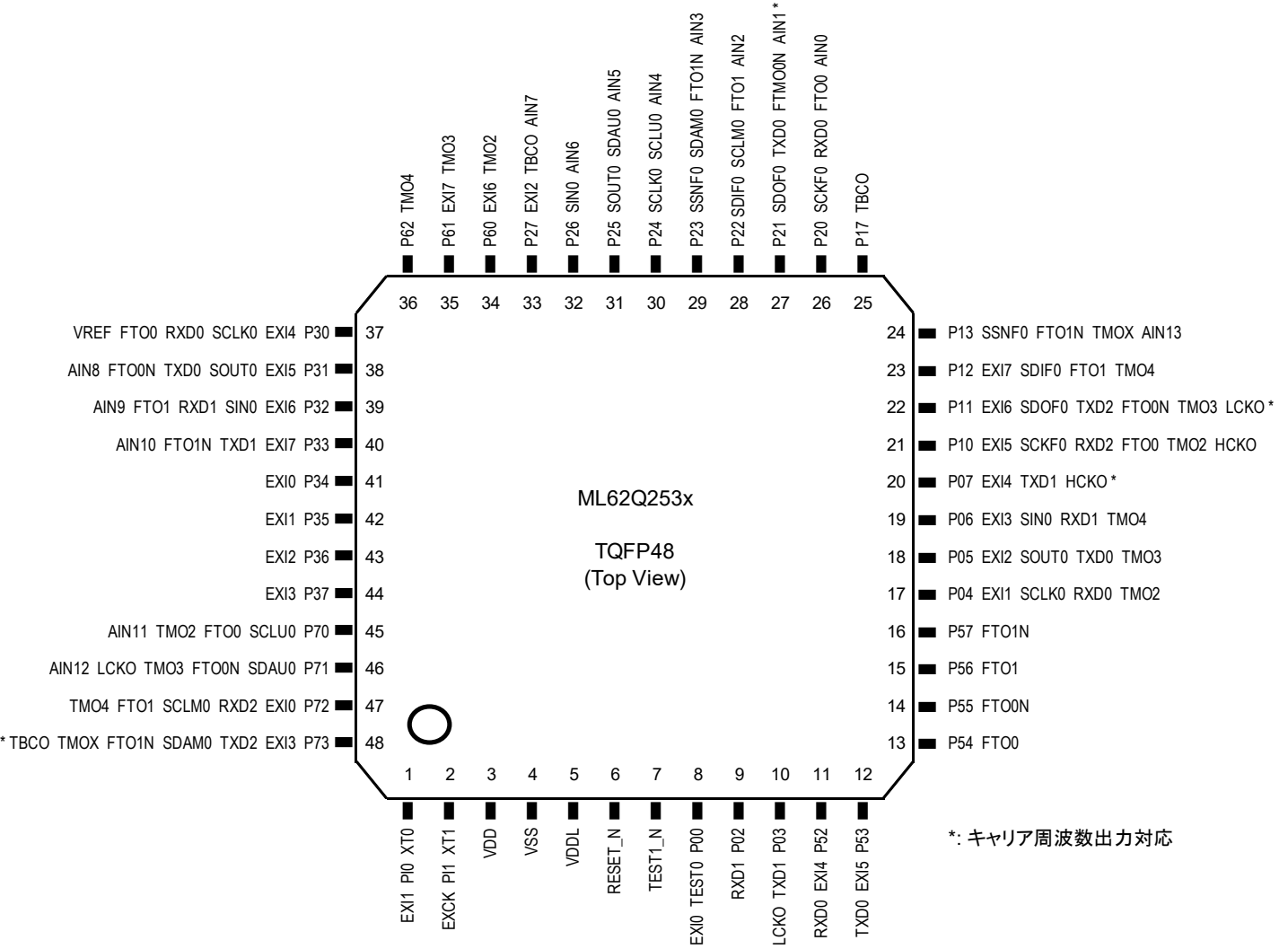


図 3-1. 48ピン TQFP

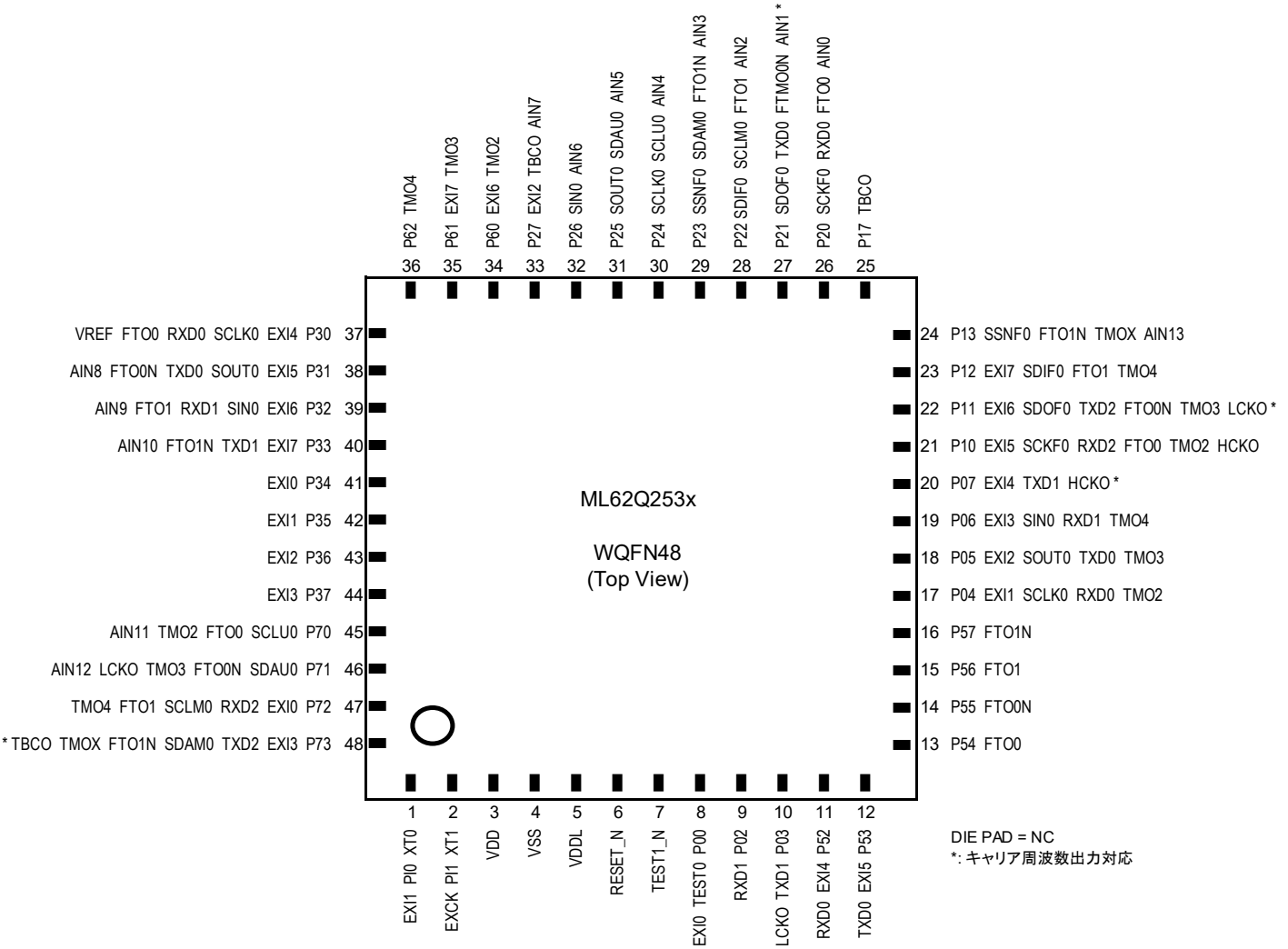


図 3-2. 48 ピン WQFN

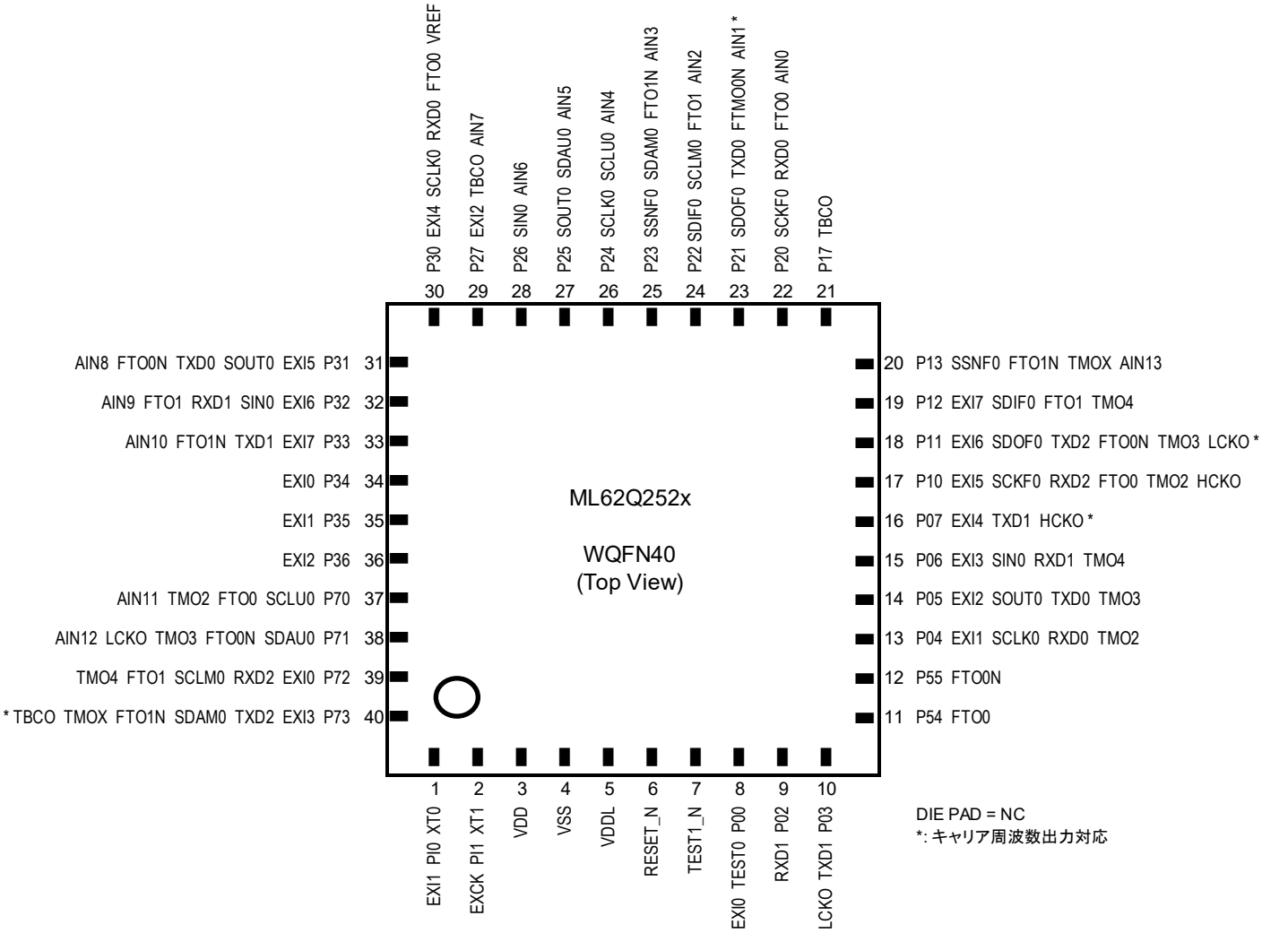


図 3-3. 40 ピン WQFN

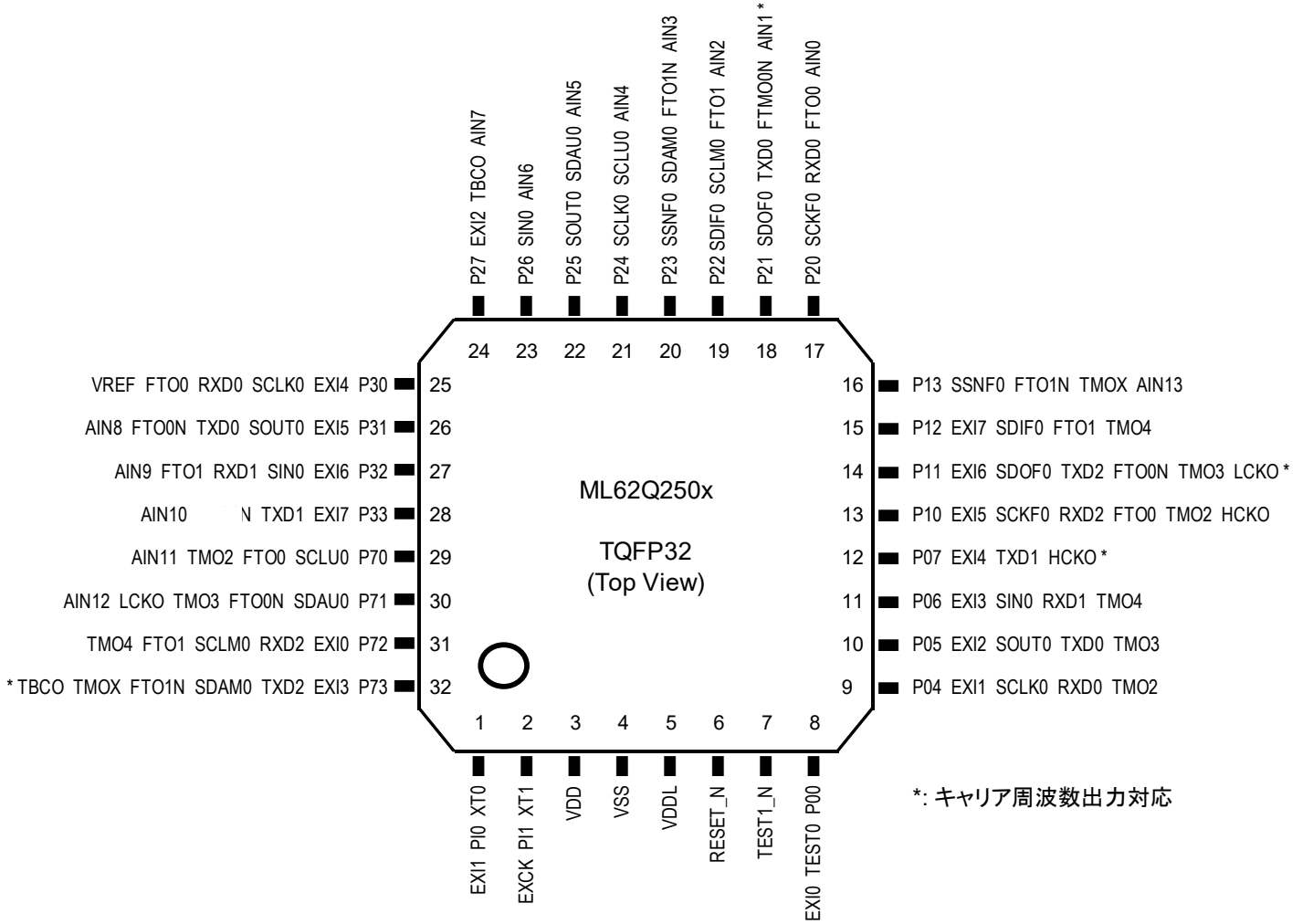


図 3-4. 32 ピン TQFP

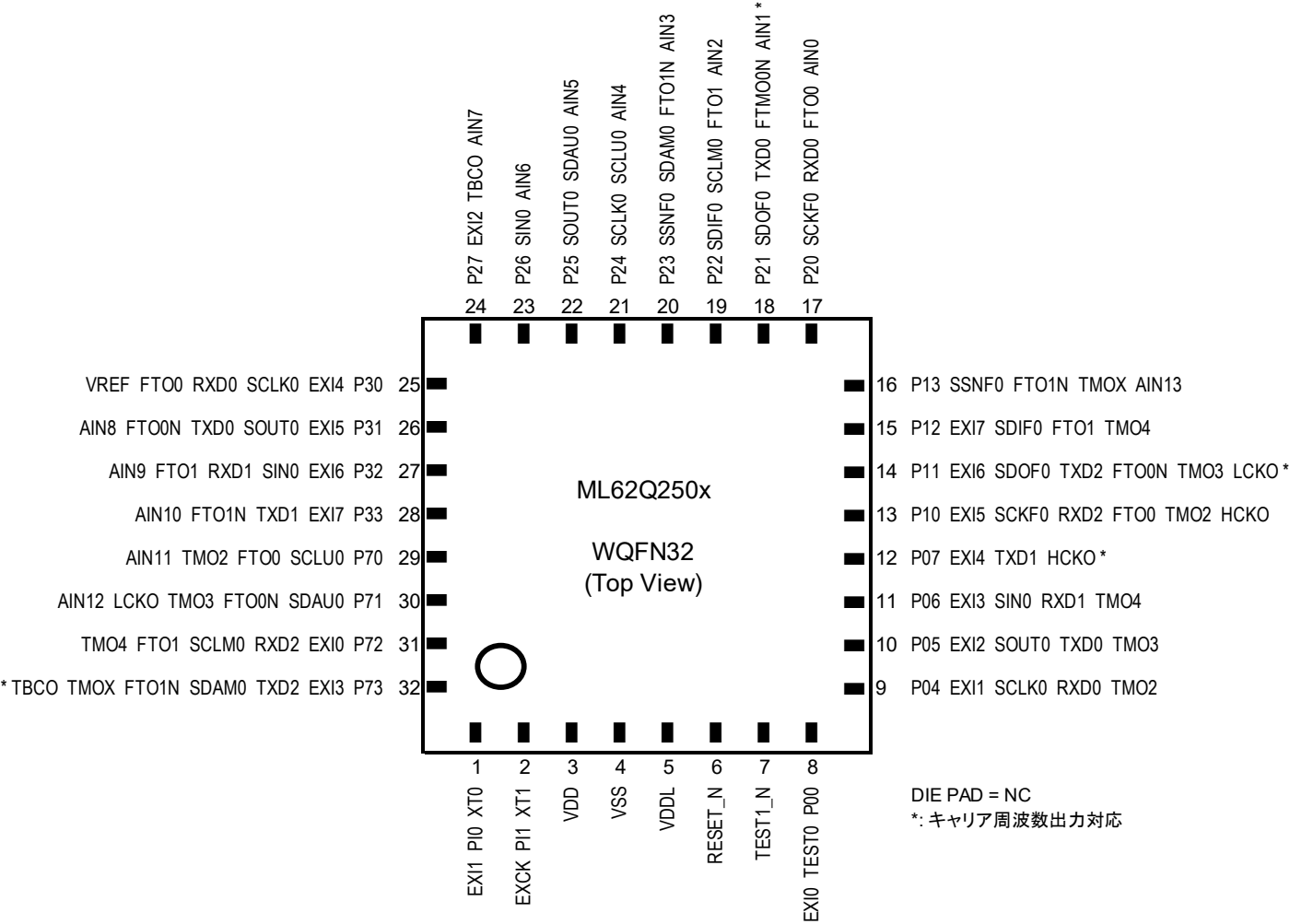


図 3-5. 32 ピン WQFN

## ■端子一覧

表 3 に端子一覧を示します。

表 3 端子一覧

PIN 番号			LSI 端子名	キャリア 周波数 出力	1 次機能	1 次機能	2 次機能	3 次機能	4 次機能	5 次機能	6 次機能	7 次機能
ML62Q250x	ML62Q252x	ML62Q253x			GPI/ EXI	ADC	SSIO*/**	UART	I <sup>2</sup> C*	FTM**	Timer	CLKOUT/ LTBC**
1	1	1	XT0	—	PI0/EXI1	—	—	—	—	—	—	—
2	2	2	XT1	—	PI1	—	—	—	—	—	—	—
3	3	3	VDD	—	—	—	—	—	—	—	—	—
4	4	4	VSS	—	—	—	—	—	—	—	—	—
5	5	5	VDDL	—	—	—	—	—	—	—	—	—
6	6	6	RESET_N	—	—	—	—	—	—	—	—	—
7	7	7	TEST1_N	—	—	—	—	—	—	—	—	—
8	8	8	P00/TEST0	—	EXI0	—	—	—	—	—	—	—
—	9	9	P02	—	—	—	—	RXD1	—	—	—	—
—	10	10	P03	—	—	—	—	TXD1	—	—	—	LCKO
9	13	17	P04	—	EXI1	—	SCLK0-0	RXD0	—	—	TMO2	—
10	14	18	P05	—	EXI2	—	SOUT0-0	TXD0	—	—	TMO3	—
11	15	19	P06	—	EXI3	—	SIN0-0	RXD1	—	—	TMO4	—
12	16	20	P07	●	EXI4	—	—	TXD1	—	—	—	HCKO
13	17	21	P10	—	EXI5	—	SCKF0-0	RXD2	—	FTO0	TMO2	HCKO
14	18	22	P11	●	EXI6	—	SDOF0-0	TXD2	—	FTO0N	TMO3	LCKO
15	19	23	P12	—	EXI7	—	SDIF0-0	—	—	FTO1	TMO4	—
16	20	24	P13	—	—	AIN13	SSNF0-0	—	—	FTO1N	TMOX	—
—	21	25	P17	—	—	—	—	—	—	—	—	TBCO
17	22	26	P20	—	—	AIN0	SCKF0-1	RXD0	—	FTO0	—	—
18	23	27	P21	●	—	AIN1	SDOF0-1	TXD0	—	FTO0N	—	—
19	24	28	P22	—	—	AIN2	SDIF0-1	—	SCLM0-0	FTO1	—	—
20	25	29	P23	—	—	AIN3	SSNF0-1	—	SDAM0-0	FTO1N	—	—
21	26	30	P24	—	—	AIN4	SCLK0-1	—	SCLU0-0	—	—	—
22	27	31	P25	—	—	AIN5	SOUT0-1	—	SDAU0-0	—	—	—
23	28	32	P26	—	—	AIN6	SIN0-1	—	—	—	—	—
24	29	33	P27	—	EXI2	AIN7	—	—	—	—	—	TBCO
25	30	37	P30	—	EXI4	VREF	SCLK0-2	RXD0	—	FTO0	—	—
26	31	38	P31	—	EXI5	AIN8	SOUT0-2	TXD0	—	FTO0N	—	—
27	32	39	P32	—	EXI6	AIN9	SIN0-2	RXD1	—	FTO1	—	—
28	33	40	P33	—	EXI7	AIN10	—	TXD1	—	FTO1N	—	—
—	34	41	P34	—	EXI0	—	—	—	—	—	—	—
—	35	42	P35	—	EXI1	—	—	—	—	—	—	—
—	36	43	P36	—	EXI2	—	—	—	—	—	—	—
—	—	44	P37	—	EXI3	—	—	—	—	—	—	—
—	—	11	P52	—	EXI4	—	—	RXD0	—	—	—	—
—	—	12	P53	—	EXI5	—	—	TXD0	—	—	—	—
—	11	13	P54	—	—	—	—	—	—	FTO0	—	—
—	12	14	P55	—	—	—	—	—	—	FTO0N	—	—
—	—	15	P56	—	—	—	—	—	—	FTO1	—	—
—	—	16	P57	—	—	—	—	—	—	FTO1N	—	—
—	—	34	P60	—	EXI6	—	—	—	—	—	TMO2	—
—	—	35	P61	—	EXI7	—	—	—	—	—	TMO3	—
—	—	36	P62	—	—	—	—	—	—	—	TMO4	—
29	37	45	P70	—	—	AIN11	—	—	SCLU0-1	FTO0	TMO2	—
30	38	46	P71	—	—	AIN12	—	—	SDAU0-1	FTO0N	TMO3	LCKO
31	39	47	P72	—	EXI0	—	—	RXD2	SCLM0-1	FTO1	TMO4	—
32	40	48	P73	●	EXI3	—	—	TXD2	SDAM0-1	FTO1N	TMOX	TBCO
DIE	DIE	DIE	NC	—	—	—	—	—	—	—	—	—

\*: SSIO/I<sup>2</sup>C 端子の末尾番号は同一番号の組み合わせで使用してください。

\*\*: SCLK0,SCKF0,FTO0,FTO0N,FTO1,FTO1N,HCKO は、それぞれ 1 端子のみに割り当ててください。

## ■端子説明

表 4 に端子説明を示します。

I/O 欄の“－”は電源端子，“I”は入力端子，“O”は出力端子，“I/O”は入出力端子を示します。

表 4 端子説明

機能	機能端子名	LSI 端子名	I/O	説明
電源	－	VSS	－	マイナス側電源 本端子の電位を $V_{SS}$ とします
	－	VDD	－	プラス側電源 VSS との間にコンデンサ $C_V(1\mu F)$ 以上)を接続してください 本端子の電位を $V_{DD}$ とします
	－	VDDL	－	内部ロジック用電源(内部発生) VSS との間にコンデンサ $C_L(1\mu F)$ を接続してください
デバッグ ISP	TEST0	P00/ TEST0	I/O	テスト用入出力 オンチップデバッグ機能, および ISP 機能に使用します P00 と兼用です。初期値はプルアップ抵抗付き入力です
	TEST1_N	TEST1_N	I	テスト用入力 オンチップデバッグ機能, および ISP 機能に使用します 初期値はプルアップ抵抗付き入力です
リセット	RESET_N	RESET_N	I	リセット入力 この端子を“L”レベルにするとシステムリセットモードになり, “H”レベルに するとプログラム動作モードに移行します (プルアップ抵抗は内蔵されていません)
汎用入力 ポート (GPI)	PI0,PI1	XT0,XT1	I	汎用入力 ・ハインピーダンス(初期値) ・プルアップ抵抗無し入力
	P00	P00/ TEST0	I	汎用入力 ・プルアップ抵抗付き入力(初期値) ・プルアップ抵抗無し入力 TEST0 と兼用のため, オンチップデバッグ機能もしくは ISP 機能を使用す る場合は汎用ポートとして使用できません
汎用ポート (GPIO)	P02~P07	P02~P07	I/O	汎用入出力 ・ハインピーダンス(初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・N チャネル(N-ch)オープンドレイン出力
	P10~P17	P10~P17		
	P20~P27	P20~P27		
	P30~P37	P30~P37		
	P52~P57	P52~P57		
	P60~P62	P60~P62		
	P70~P73	P70~P73		
クロック入力	XT0	XT0	I	低速水晶振動子と接続します 32.768kHz 水晶振動子を接続し, VSS との間にコンデンサを接続します。 矩形波クロックを入力する場合は XT1 より入力します
	XT1	XT1	I/O	
クロック出力 (7 次機能)	HCKO	P07 P10	O	高速クロック出力
	LCKO	P03 P11 P71	O	低速クロック出力
	TBCO	P17 P27 P73	O	低速タイムベースカウンタ出力
キャリア周波 数出力	－	P07 P11 P21 P73	O	キャリア周波数出力
外部割込み (1 次機能)	EXI0	P00 P72 P34	I	マスカブル外部 0 割込み
	EXI1	P04 XT0 P35	I	マスカブル外部 1 割込み
	EXI2	P05 P27 P36	I	マスカブル外部 2 割込み
	EXI3	P06 P73 P37	I	マスカブル外部 3 割込み
	EXI4	P07 P30 P52	I	マスカブル外部 4 割込み
	EXI5	P10 P31 P53	I	マスカブル外部 5 割込み
	EXI6	P11 P32 P60	I	マスカブル外部 6 割込み
	EXI7	P12 P33 P61	I	マスカブル外部 7 割込み

機能	機能端子名	LSI 端子名	I/O	説明
16bit タイマ (6 次機能)	TMO2	P04 P10 P60 P70	O	16bit タイマ 2 出力
	TMO3	P05 P11 P61 P71	O	16bit タイマ 3 出力
	TMO4	P06 P12 P62 P72	O	16bit タイマ 4 出力
	TMOX	P13 P73	O	16bit タイマ X 出力
ファンクショナル タイマ (5 次機能)	FTO0	P10 P20 P30 P54 P70	O	ファンクショナルタイマ 0 P 出力
	FTO0N	P11 P21 P31 P55 P71	O	ファンクショナルタイマ 0 N 出力
	FTO1	P12 P22 P32 P56 P72	O	ファンクショナルタイマ 1 P 出力
	FTO1N	P13 P23 P33 P57 P73	O	ファンクショナルタイマ 1 N 出力
I <sup>2</sup> C (4 次機能)	SCLU0	P24 P70	I/O	I <sup>2</sup> C ユニット 0 クロック入出力
	SDAU0	P25 P71	I/O	I <sup>2</sup> C ユニット 0 データ入出力
	SCLM0	P22 P72	I/O	I <sup>2</sup> C マスタ 0 クロック入出力
	SDAM0	P23 P73	I/O	I <sup>2</sup> C マスタ 0 データ入出力
UART (3 次機能)	RXD0	P04 P20 P30 P52	I	UART0 受信データ入力
	TXD0	P05 P21 P31 P53	O	UART0 送信データ出力
	RXD1	P02 P06 P32	I	UART1 受信データ入力
	TXD1	P03 P07 P33	O	UART1 送信データ出力
	RXD2	P10 P72	I	UART2 受信データ入力
	TXD2	P11 P73	O	UART2 送信データ出力
SSIO (2 次機能)	SCKF0	P10 P20	I/O	FIFO 付き同期式シリアル 0 クロック入出力
	SDIF0	P12 P22	I	FIFO 付き同期式シリアル 0 データ入力
	SDOF0	P11 P21	O	FIFO 付き同期式シリアル 0 データ出力
	SSNF0	P13 P23	I/O	FIFO 付き同期式シリアル 0 スレーブ選択入出力
	SCLK0	P04 P24 P30	I/O	同期式シリアル 0 クロック入出力
	SIN0	P06 P26 P32	I	同期式シリアル 0 データ入力
	SOUT0	P05 P25 P31	O	同期式シリアル 0 データ出力
SA-ADC (1 次機能)	VREF	P30	I	逐次比較型 A/D コンバータ用リファレンス電源 本端子の電位を V <sub>REF</sub> とします
	AIN0~AIN13	P13 P27-P20 P33-P31 P71-P70	I	逐次比較型 A/D コンバータチャンネル 0~13 アナログ入力

■未使用端子処理

表 5 に未使用端子の処理方法を示します。

表 5 未使用端子の処理

端子名	端子処理
NC	オープンにしてください.
RESET_N	VDD に接続してください
TEST1_N	VDD に接続してください
P00/TEST0	初期値のプルアップ抵抗付き入力モードの状態で端子をオープンにしてください
XT0, XT1	初期値のハイインピーダンスの状態で端子をオープンにしてください
P02 ~ P07	
P10 ~ P17	
P20 ~ P27	
P30 ~ P37	
P52 ~ P57	
P60 ~ P62	
P70 ~ P73	

- 【注意】
- 未使用の入力端子および入出力端子は、入力状態(プルアップ抵抗無しの入力モードまたは入出力モード)で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 5 の処理方法に従ってください。

## ■電気的特性

## ●絶対最大定格

(V<sub>SS</sub>=0V)

項目	記号	条件		定格値	単位
電源電圧 1	V <sub>DD</sub>	Ta=+25°C		-0.3~+6.5	V
電源電圧 2	V <sub>DDL</sub>	Ta=+25°C		-0.3~+2.0	V
入力電圧	V <sub>IN</sub>	Ta=+25°C		-0.3~V <sub>DD</sub> +0.3 <sup>*1</sup>	V
出力電圧 1	V <sub>OUT1</sub>	Ta=+25°C		-0.3~V <sub>DD</sub> +0.3 <sup>*1</sup>	V
ハイ・レベル出力電流	I <sub>OUTH</sub>	Ta=+25°C	1 端子	-40 <sup>*2</sup>	mA
			端子合計	-180 <sup>*2</sup>	mA
ロウ・レベル出力電流	I <sub>OUTL</sub>	Ta=+25°C	1 端子	+40	mA
			端子合計	+180	mA
許容損失	PD	Ta=+25°C		1	W
保存温度	T <sub>STG</sub>	—		-55~+150 <sup>*3</sup>	°C

\*1 6.5V 以下であること。

\*2 LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例:-1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

\*3 実装までの保管については、「ボード実装(半田付け)に関して」に示す保管条件を守ってください。

## 【注意】

- 絶対最大定格とは、製品の物理的品質を損なわないための許容値であり、動作を保証するものではありません。

## ●推奨動作条件

(V<sub>SS</sub>=0V)

項目	記号	条件	範囲	単位
動作温度(周囲)	Ta	—	-40~+105	°C
動作温度(ジャンクション)	Tj	—	-40~+115	°C
動作電圧 1	V <sub>DD</sub>	—	1.8~5.5	V
動作周波数(CPU)	f <sub>OP</sub>	V <sub>DD</sub> =1.8~5.5V	30k~25M	Hz
VDDL 端子外付け容量	C <sub>L</sub>	—	1.0±30%	μF

●熱特性

以下にチップージャンクション温度の見積り式を示します。

$$T_{j\max} = T_{a\max} + P_{D\max} \times \theta_{ja}$$

$T_{a\max}$  : 最高動作温度(周囲)  
 $P_{D\max}$  : LSI 最大消費電力  
 $\theta_{ja}$  : 熱抵抗

推奨動作条件に規定された Tjmax を超えないように、端子電流、周囲温度ならびに基板の放熱設計にご注意ください。  
必要に応じて実装基板で評価してください。

以下は熱抵抗  $\theta_{ja}$  のシミュレーション結果です。放熱設計の参考値としてご使用ください。

項目	記号	パッケージ	基板条件		単位
			L1	L2	
熱抵抗	$\theta_{ja}$	WQFN32	50.6	43.5	°C/W
		TQFP32	67.6	61.8	
		WQFN40	32.8	28.9	
		WQFN48	31.1	27.4	
		TQFP48	60.2	56.9	

基板条件:

条件	L1	L2	単位
サイズ(L / W / T)	114.3 / 76.2 / 1.6	114.3 / 76.2 / 1.6	mm
層数	1	2	層
配線密度	60%(表層)	60%(表層,裏層)	—
空冷条件	無風(0m/s)		—

## ●消費電流特性

(特に指定のない場合は,  $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	条件		規格値				単位	測定回路
	動作モード	状態 *1	Min.	Typ.*2	Max.			
					Tj≤+95°C	Tj≤+115°C		
IDD0	STOP-D	全てのクロックが停止	—	0.33	25	55	μA	1
IDD1	STOP	全てのクロックが停止	—	0.4	30	70	μA	
IDD2-0R	HALT-D	RC32K 発振 XT32K/PLL 停止	—	0.6	28	60	μA	
IDD2-0X	HALT-D	XT32K 発振 (LP モード,フィルタなし) RC32K/PLL 停止	—	1.0	30	65	μA	
IDD2-1R	HALT	RC32K 発振 XT32K/PLL 停止	—	0.9	30	70	μA	
IDD3	CPU 動作 ウェイトモード SYSCLK=32.768kHz	RC32K 発振 XT32K/PLL 停止	—	10	45	75	μA	
IDD4-H1	CPU 動作 ウェイトモード SYSCLK=1MHz	PLL1M モード HSCLK = 1MHz	—	0.22	0.33	0.35	mA	
IDD4-H16		PLL16M モード HSCLK = 1MHz	—	0.32	0.48	0.5	mA	
IDD5-H16	CPU 動作 ウェイトモード SYSCLK=16MHz	PLL16M モード HSCLK = 16MHz	—	2.4	3.24	3.3	mA	
IDD5-H24	CPU 動作 ウェイトモード SYSCLK=24MHz	PLL24M モード HSCLK = 24MHz	—	3.5	4.4	4.5	mA	

\*1 : IDD0,IDD1 を除きすべて LTBC(ch0), WDT は動作状態です。また周辺ブロックへのクロック供給は全て停止状態です。LSCLK1 は停止状態です。コードオプション VLMD=1 の状態です。

\*2 :  $V_{DD}=3.0V$ ,  $T_a=+25\text{ }^{\circ}C$  条件

## ●低速水晶発振特性

(特に指定のない場合は,  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim +105^\circ C$ )

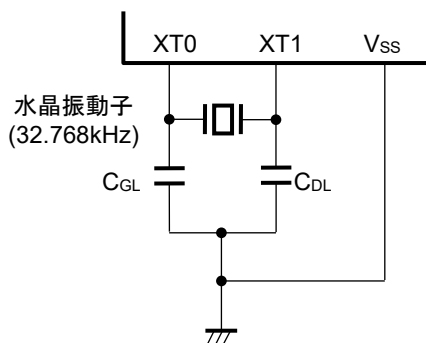
項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
水晶発振周波数*1*2	$f_{XTL}$	—	—	32.768	—	kHz
水晶発振開始時間	$T_{XTL}$	—	—	—	2	s

\*1: 発振周波数は発振回路, 水晶振動子, 水晶発振外付け容量( $C_{GL}/C_{DL}$ )の回路定数で設定します。水晶振動子によって回路定数は変わりますので, 実装回路でのマッチング評価が必要です。振動子メーカーにマッチング評価を依頼して発振特性を確認してご使用ください。

\*2: 回路基板の材質や配線パターン, および水晶振動子や端子などの配線容量や寄生容量によって期待する発振特性が得られない可能性があります。外付け回路の設計には十分ご注意ください。

- 外付け回路の配線は極力短くしてください。
- 水晶発振外付け容量, 水晶振動子の配線は極力短くしてください。
- 外付け回路の配線と大電流が流れる配線は交差および隣接させないでください。
- 外付け回路の配線と他信号の配線は交差させないでください。
- 水晶発振外付け容量の接地点への接続については, 極力電流変動や電圧変動の少ない接地配線に接続してください。
- 使用環境によっては基板の吸湿や基板表面での結露などで期待する発振特性が得られない可能性があります。回路基板を樹脂密閉するなどの対策を推奨します。

低速水晶発振の外付け回路例



## ●外部クロック入力特性

(特に指定のない場合は,  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim +105^\circ C$ )

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
入力周波数	$f_{EXCK}$	—	Typ. -1.0%	32.768	Typ. +1.0%	kHz
入力パルス幅	$t_{EXCKW}$	—	14.5	—	—	$\mu s$

## ●オンチップオシレータ特性

(特に指定のない場合は,  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim +105^\circ C$ )

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
RC32K 発振周波数	f <sub>RCL1</sub>	Ta=-40～+85°C HALT-D モード以外	Typ. -1.5%	32.768	Typ. +1.5%	kHz	1
		Ta=-40～+105°C HALT-D モード以外	Typ. -2.0%		Typ. +2.0%		
	f <sub>RCL2</sub>	HALT-D モード	Typ. -10%		Typ. +10%		
PLL 発振周波数	f <sub>PLL24</sub>	Ta=-40～+85°C 内蔵低速 RC	Typ. -1.5%	24.002560 16.007168 0.999424	Typ. +1.5%	MHz	
		Ta=-40～+105°C 内蔵低速 RC	Typ. -2.0%		Typ. +2.0%		
PLL 発振安定時間	T <sub>PLL</sub>	—	—	—	2	ms	
		HALT-H 復帰時 コードオプション VLMD=0 HALT-H 移行時との温度変化がない場合	—	—	300	μs	
RC1K 発振周波数 (ウォッチドッグタイマ用)	f <sub>RC1K</sub>	Ta=-20～+85°C	Typ. -15%	1.024	Typ. +15%	kHz	
		Ta=-40～+105°C	Typ. -25%	1.024	Typ. +25%		

本規格値は、弊社出荷時の規格値です。基板実装により周波数変動する場合があります。

## ●入出力端子特性 1

(特に指定のない場合は、 $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105^{\circ}C$ )

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
“H”/“L”レベル出力電圧 1 (すべての入出力端子)	VOH1	IOH1=-10mA $V_{DD}\geq 4.5V$	$V_{DD}$ -1.5	—	—	V	2
		IOH1=-1mA $V_{DD}\geq 1.8V$	$V_{DD}$ -0.5	—	—		
	VOL1	IOL1=+10mA $V_{DD}\geq 4.5V$	—	—	1.5		
		IOL1=+1mA $V_{DD}\geq 1.8V$	—	—	0.5		
“L”レベル 出力電圧 2 (P00, TEST0 以外の 入出力端子)	VOL2	N-ch オーブンドレイン 出力選択時	IOL2=+15mA $V_{DD}\geq 4.5V$	—	—		
			IOL2=+8mA $V_{DD}\geq 3.0V$	—	—		
			IOL2=+3mA $V_{DD}\geq 2.0V$	—	—		
			IOL2=+2mA $V_{DD}\geq 1.8V$	—	—		

(特に指定のない場合は、 $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105^{\circ}C$ )

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N)	IIH1	VIH1=V <sub>DD</sub>	—	—	1	μA	4
	IIL1	VIL1=V <sub>SS</sub>	-1* <sup>1</sup>	—	—		
入力電流 2 (P00/TEST0, TEST1_N)	IIL2	VIL2=V <sub>SS</sub> (プルアップ時) * <sup>2</sup>	-1500* <sup>1</sup>	-300* <sup>1</sup>	-20* <sup>1</sup>		
	V/IIL2	VIL2=V <sub>SS</sub> (プルアップ時) * <sup>2</sup>	3.7	10	80	μA	
	IIH2Z	VIH2=V <sub>DD</sub> (ハインピーダンス時)	—	—	1		
	IIL2Z	VIL2=V <sub>SS</sub> (ハインピーダンス時)	-1* <sup>1</sup>	—	—		
入力電流 3 (RESET_N,TEST 1N, P00/TEST0 を 除く入力端子, 入出力端子)	IIL3	VIL1=V <sub>SS</sub> (プルアップ時) * <sup>2</sup>	-250* <sup>1</sup>	-30* <sup>1</sup>	-2* <sup>1</sup>	kΩ	
	V/IIL3	VIL1=V <sub>SS</sub> (プルアップ時) * <sup>2</sup>	22	100	800	μA	
	IIH3Z	VIH1=V <sub>DD</sub> (ハインピーダンス時)	—	—	1		
	IIL3Z	VIL1=V <sub>SS</sub> (ハインピーダンス時)	-1* <sup>1</sup>	—	—		
入力電流 4 (PI0,PI1)	IIH4	VIH1=V <sub>DD</sub>	—	—	1	μA	
	IIL4	VIL1=V <sub>SS</sub>	-1* <sup>1</sup>	—	—		
入力電圧 1 (入力端子, 入出力端子)	VIH1	—	0.7 × V <sub>DD</sub>	—	V <sub>DD</sub>	V	5
	VIL1	—	0	—	0.3 × V <sub>DD</sub>		
端子容量 (RESET_N, 入力端子, 入出力端子)	CPIN	f = 10kHz Ta = 25°C	—	—	10	pF	—

<sup>\*1</sup>: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

<sup>\*2</sup>: Typ.値は  $V_{DD}=3.0V$  条件です。また Min.値は  $V_{DD}=5.5V$  のとき、Max.値は  $V_{DD}=1.8V$  のときです。

## ●入出力端子特性 2

(特に指定のない場合は、 $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件		規格値			単位	測定回路
				Min.	Typ.	Max.		
“H”レベル 出力電流 * <sup>6</sup>	IOH1	1 端子	$V_{DD}\geq 4.5V$	$-10^{*3*5}$	—	—	mA	3
			$V_{DD}\geq 1.8V$	$-1^{*3*5}$	—	—		
“H”レベル出力 合計電流 * <sup>1*4</sup>	IOH3	グループ A またはグループ B の 合計 (デューティ $\leq 50\%$ 時)**	$V_{DD}\geq 4.5V$	$-90^{*5}$	—	—		
			$V_{DD}\geq 1.8V$	$-20^{*5}$	—	—		
		全端子合計 (デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	$-180^{*5}$	—	—		
			$V_{DD}\geq 1.8V$	$-40^{*5}$	—	—		
“L”レベル 出力電流 1 * <sup>6</sup>	IOL1	1 端子 (CMOS 出力選択時)	$V_{DD}\geq 4.5V$	—	—	$10^{*3}$		
			$V_{DD}\geq 1.8V$	—	—	$1^{*3}$		
“L”レベル 出力電流 2 * <sup>6</sup>	IOL2	1 端子 (N-ch オープンドレイン出力選択時)	$V_{DD}\geq 4.5V$	—	—	$15^{*3}$		
			$V_{DD}\geq 3.0V$	—	—	$8^{*3}$		
			$V_{DD}\geq 2.0V$	—	—	$3^{*3}$		
			$V_{DD}\geq 1.8V$	—	—	$2^{*3}$		
“L”レベル出力 合計電流 * <sup>2*4</sup>	IOL3	グループ A またはグループ B の 合計 (N-ch オープンドレイン出 力選択時, デューティ $\leq 50\%$ 時)**	$V_{DD}\geq 4.5V$	—	—	90		
			$V_{DD}\geq 3.0V$	—	—	40		
			$V_{DD}\geq 2.0V$	—	—	15		
			$V_{DD}\geq 1.8V$	—	—	10		
		全端子合計(N-ch オープンドレイン 出力選択時, デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	—	—	180		
			$V_{DD}< 2.0V$	—	—	20		
出力リーク (すべての入出力端子)	IOOH	$VOH=V_{DD}$ (ハインピーダンス時)		—	—	+1	$\mu A$	
	IOOL	$VOL=V_{SS}$ (ハインピーダンス時)		$-1^{*5}$	—	—		

\*:グループ A “P02~P07, P10~P17, P52~57”, グループ B “P20~P27, P30~P37, P60~62, P70~73”

\*1:  $V_{DD}$  端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。\*2: 出力端子から  $V_{SS}$  端子に流れ込んでも、デバイスの動作を保証する電流値です。

\*3: 出力合計電流を超えないでください。

\*4: デューティ $\leq 50\%$ の条件での出力電流の値です。デューティ $> 50\%$ に変更した出力電流の値は、次の計算式で求めることができます。端子合計の出力電流 $=IOL3 \times 50/n$  (デューティ比を  $n\%$ に変更する場合)

&lt;計算例&gt;

 $IOL3=100mA$  で、 $n=80\%$ の場合、端子合計の出力電流 $= IOL3 \times 50/80=62.5mA$ 1 端子に流せる電流はデューティによって変わることはなく、 $IOL1/IOL2$  の規格となります。

また絶対最大定格以上の電流は流せません。

\*5: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

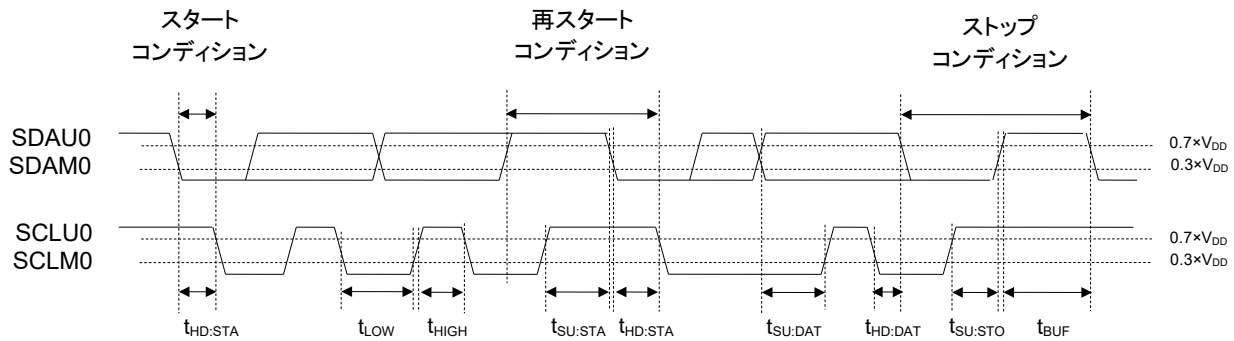
流せる電流値は、絶対値が最大値となります。

例:  $-1mA$  の場合は最大  $1mA$  の電流が LSI の端子から流れ出すことになります。\*6:  $VOH1, VOL1, VOL2$  を満たすための条件となります。

●I<sup>2</sup>C バス・インタフェース特性(特に指定のない場合は,  $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記 号	規格値									単位
		標準モード Standard Mode			ファストモード Fast Mode			1Mbps モード 1Mbps Mode			
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
動作電圧	V <sub>DD</sub>	1.8	—	5.5	1.8	—	5.5	2.7	—	5.5	V
SCL クロック周波数	f <sub>SCL</sub>	0	—	100	0	—	400	0	—	1000	kHz
SCL ホールド時間 (スタート /再スタートコンディション)	t <sub>HD:STA</sub>	4.0	—	—	0.6	—	—	0.26	—	—	μs
SCL “L”レベル時間	t <sub>LOW</sub>	4.7	—	—	1.3	—	—	0.5	—	—	μs
SCL “H”レベル時間	t <sub>HIGH</sub>	4.0	—	—	0.6	—	—	0.26	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	t <sub>SU:STA</sub>	4.7	—	—	0.6	—	—	0.26	—	—	μs
SDA ホールド時間	t <sub>HD:DAT</sub>	0	—	—	0	—	—	0	—	—	μs
SDA セットアップ時間	t <sub>SU:DAT</sub>	0.25	—	—	0.1	—	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	t <sub>SU:STO</sub>	4.0	—	—	0.6	—	—	0.26	—	—	μs
バスフリー時間	t <sub>BUF</sub>	4.7	—	—	1.3	—	—	0.5	—	—	μs

I<sup>2</sup>C バスマスタとして使用する場合は, 上記規格値を満たすように I<sup>2</sup>C マスタ 0 モードレジスタ(I2M0MOD), I<sup>2</sup>C バス 0 モードレジスタ(マスタ側)(I2U0MOD)を設定してください



## ●同期式シリアルポート特性

## ● スレーブモード

(特に指定のない場合は,  $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル	$t_{SCYC}$	—	1 <sup>*1</sup>	—	—	$\mu s$
SCLK 入力パルス幅	$t_{SW}$	—	$t_{SCYC} \times 0.4$	—	—	$\mu s$
SOUT 出力遅延時間	$t_{SD}$	$V_{DD} \geq 2.4V$	—	—	100	ns
		$V_{DD} \geq 1.8V$	—	—	200	ns
SIN 入力セットアップ時間	$t_{SS}$	—	80	—	—	ns
SIN 入力ホールド時間	$t_{SH}$	—	50	—	—	ns

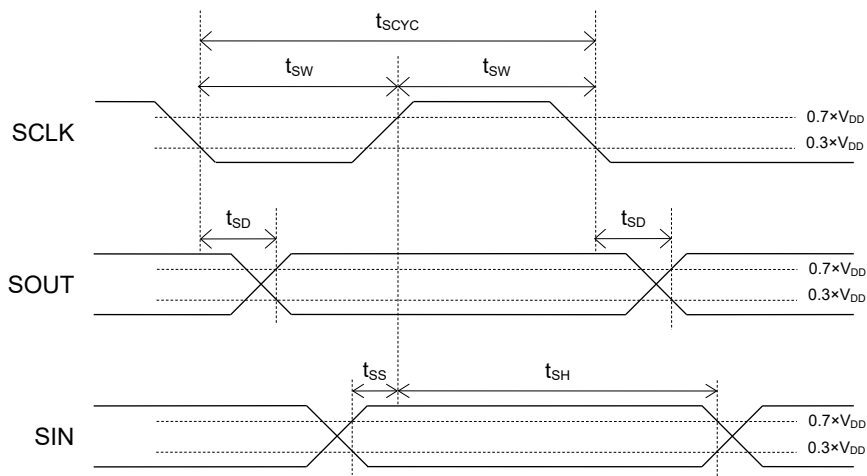
\*1: システムクロック周期の 4 倍以上

## ● マスタモード

(特に指定のない場合は,  $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCLK 出力サイクル	$t_{SCYC}$	$V_{DD} \geq 2.4V$	250	$SCLK^{*2}$	—	ns
		$V_{DD} \geq 1.8V$	500	$SCLK^{*2}$	—	ns
SCLK 出力パルス幅	$t_{SW}$	—	$t_{SCYC} \times 0.4$	$t_{SCYC} \times 0.5$	$t_{SCYC} \times 0.6$	ns
SOUT 出力遅延時間	$t_{SD}$	$V_{DD} \geq 2.4V$	—	—	100	ns
		$V_{DD} \geq 1.8V$	—	—	160	ns
SIN 入力セットアップ時間	$t_{SS}$	$V_{DD} \geq 2.4V$	120	—	—	ns
		$V_{DD} \geq 1.8V$	180	—	—	ns
SIN 入力ホールド時間	$t_{SH}$	$V_{DD} \geq 2.4V$	80	—	—	ns
		$V_{DD} \geq 1.8V$	100	—	—	ns

\*2 同期式シリアルポート 0 モードレジスタ(SIO0MOD)のビット 12~8(S0CK4~0)により選択されたクロック周期



## ●FIFO 付き同期式シリアルポート特性

## ● スレーブモード

(特に指定のない場合は,  $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCKF 入力サイクル	$t_{SCYC}$	—	1 <sup>*1</sup>	—	—	$\mu s$
SCKF 入力パルス幅	$t_{SW}$	—	$t_{SCYC} \times 0.4$	—	—	$\mu s$
SDOF 出力遅延時間	$t_{SD}$	$V_{DD} \geq 2.4V$	—	—	100	ns
		$V_{DD} \geq 1.8V$	—	—	200	ns
SDIF 入力セットアップ時間	$t_{SS}$	—	80	—	—	ns
SDIF 入力ホールド時間	$t_{SH}$	—	50	—	—	ns

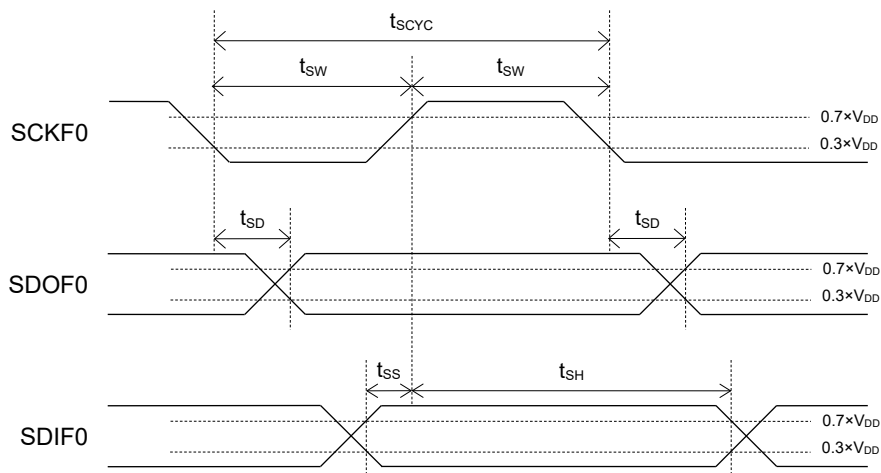
\*1: システムクロック周期の 4 倍以上

## ● マスタモード

(特に指定のない場合は,  $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCKF 出力サイクル	$t_{SCYC}$	$V_{DD} \geq 2.4V$	250	$SCLK^{*2}$	—	ns
		$V_{DD} \geq 1.8V$	500	$SCLK^{*2}$	—	ns
SCKF 出力パルス幅	$t_{SW}$	—	$t_{SCYC} \times 0.4$	$t_{SCYC} \times 0.5$	$t_{SCYC} \times 0.6$	ns
SDOF 出力遅延時間	$t_{SD}$	$V_{DD} \geq 2.4V$	—	—	100	ns
		$V_{DD} \geq 1.8V$	—	—	160	ns
SDIF 入力セットアップ時間	$t_{SS}$	$V_{DD} \geq 2.4V$	120	—	—	ns
		$V_{DD} \geq 1.8V$	180	—	—	ns
SDIF 入力ホールド時間	$t_{SH}$	$V_{DD} \geq 2.4V$	80	—	—	ns
		$V_{DD} \geq 1.8V$	100	—	—	ns

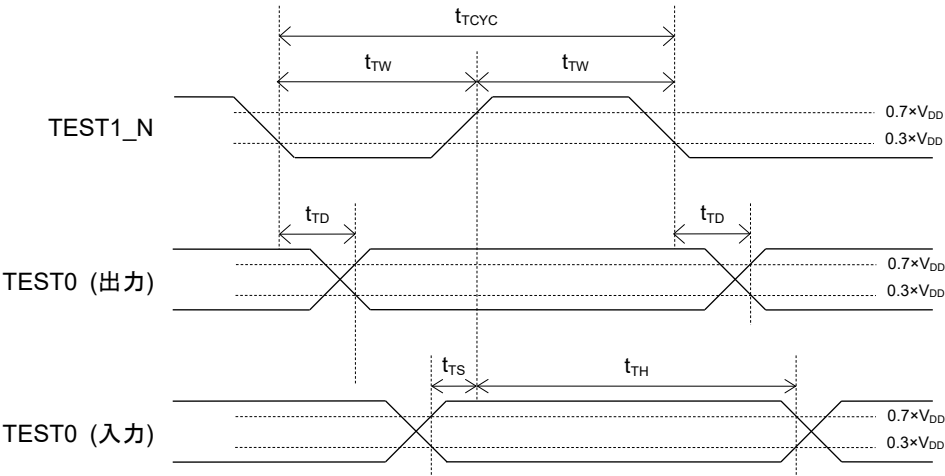
\*2 SIOF0 ポーレートレジスタ(SF0BRR)のビット 9~0(SF0BR9~0)で設定したクロック周期



●ISP インターフェース特性

(特に指定のない場合は、 $V_{DD}=1.8\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
TEST1_N クロック入力サイクル	$t_{TCYC}$	—	400	—	660	ns
TEST1_N クロック入力パルス幅	$t_{TW}$	—	$t_{TCYC} \times 0.4$	—	—	ns
TEST0 出力遅延時間	$t_{TD}$	$V_{DD} \geq 2.7V$	—	—	80	ns
		$V_{DD} \geq 1.8V$	—	—	200	ns
TEST0 入力セットアップ時間	$t_{TS}$	—	80	—	—	ns
TEST0 入力ホールド時間	$t_{TH}$	—	50	—	—	ns



●EXI0~7 端子(タイマクロック入力)特性

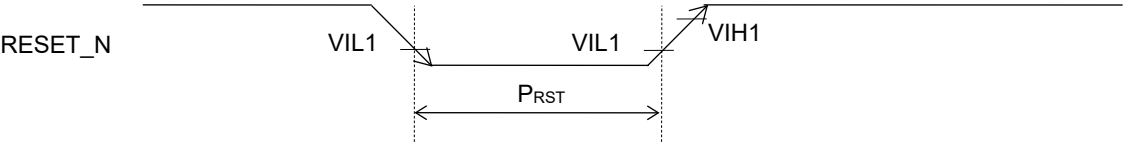
(特に指定のない場合は、 $V_{DD}=1.8\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
入力周波数	$f_{EXI}$	—	—	—	3	MHz
入力パルス幅	$t_{WEXI}$	—	135	—	—	ns

●リセット特性

(特に指定のない場合は、 $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
リセット有効時間	$P_{RST}$	—	10	—	—	$\mu s$	1



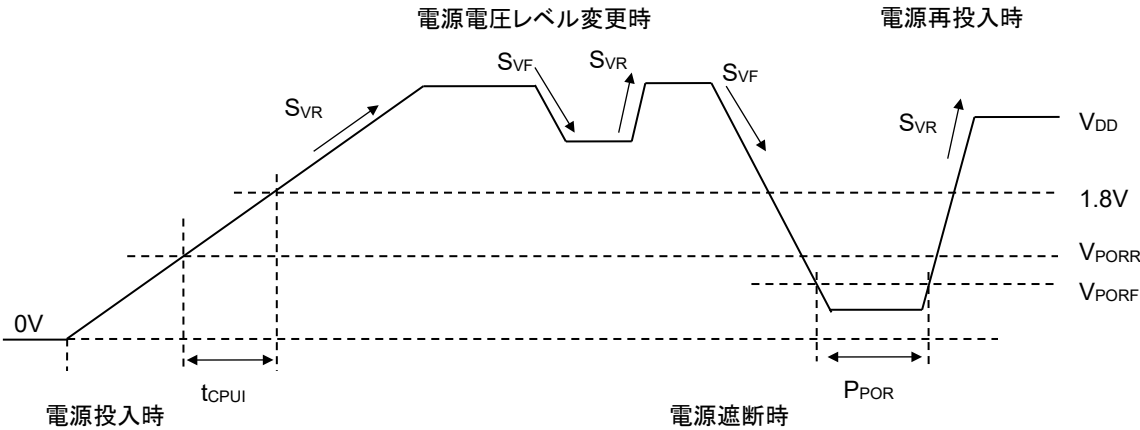
【注意】

- リセット端子にリセット有効時間 ( $P_{RST}$ ) より短いパルスが入ると予期しない動作をする可能性があります。リセット有効時間より短いパルスが入らないようにしてください。

●電源傾きおよびパワーオンリセット特性

(特に指定のない場合は  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
電源立ち上がり傾き	$S_{VR}$	—	—	—	60	V/ms	1
電源立ち下がり傾き	$S_{VF}$	—	—	—	2	V/ms	
パワーオンリセット判定電圧	$V_{PORR}$	電源立ち上がり時	1.50	1.63	1.80	V	
	$V_{PORF}$	電源立ち下がり時	1.35	1.60	1.75	V	
パワーオンリセット最小パルス幅	$P_{POR}$	—	500	—	—	$\mu s$	—
CPU 動作開始時間 (リセット解除から CPU が動作開始するまでの時間)	$t_{CPUI}$	—	13	21	35	ms	



【注意】

- 電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。
- CPU 動作開始までに  $V_{DD}$  を 1.8V 以上にご確認ください。

## ●VLS 特性

(特に指定のない場合は,  $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値						単位	測定回路
			立下がり V <sub>VLSF</sub>			立上がり V <sub>VLSR</sub>				
		VLS0LV <sup>*1</sup>	Min.	Typ.	Max.	Min.	Typ.	Max.		
VLS 判定電圧	V <sub>VLSR</sub> V <sub>VLSF</sub>	0H	3.83	3.99	4.15	3.84	4.05	4.26	V	1
		1H	3.53	3.68	3.83	3.55	3.74	3.93		
		2H	2.92	3.05	3.18	2.94	3.10	3.26		
		3H	2.84	2.96	3.08	2.85	3.01	3.17		
		4H	2.72	2.84	2.96	2.74	2.89	3.04		
		5H	2.65	2.76	2.87	2.66	2.80	2.94		
		6H	2.55	2.66	2.77	2.56	2.70	2.84		
		7H	2.43	2.54	2.65	2.45	2.58	2.71		
		8H	2.35	2.45	2.55	2.36	2.49	2.62		
		9H	2.25	2.35	2.45	2.27	2.39	2.51		
		AH	2.15	2.24	2.33	2.16	2.28	2.40		
		BH	2.07	2.16	2.25	2.08	2.19	2.30		
		CH	1.96	2.05	2.14	1.98	2.09	2.20		
		DH	1.87	1.95	2.03	1.89	1.99	2.09		
		EH	1.77	1.85	1.93	1.78	1.88	1.98		

\*1 : 電圧レベル検出回路0レベルレジスタ(VLS0LV)のビット3～ビット0

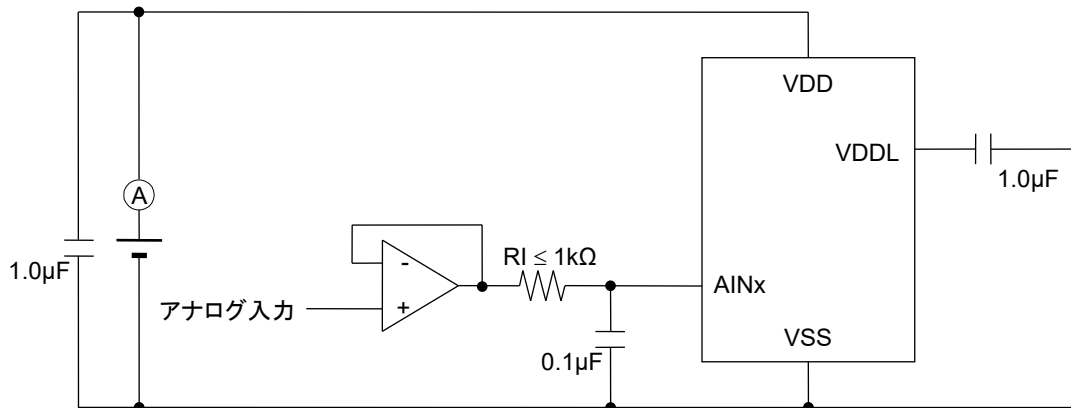
(特に指定のない場合は,  $V_{DD}=1.8\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
VLS 消費電流	$I_{VLS}$	—	—	10	—	nA	1

## ●逐次比較型 A/D コンバータ特性

(特に指定のない場合は、 $V_{DD}=2.1\sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a=-40\sim +105\text{ }^{\circ}C$ )

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
分解能	$n_{AD}$	—	—	—	12	bit
変換クロック	$f_{ADCLK}$	公称値, $V_{DD}\geq 2.7V$ , $V_{REF}\geq 2.7V$	32.768	—	16000	kHz
		公称値, $V_{DD}\geq 2.4V$ , $V_{REF}\geq 2.4V$	32.768	—	8000	kHz
		公称値, $V_{DD}\geq 2.1V$ , $V_{REF}\geq 2.1V$	32.768	—	1000	kHz
変換時間	$t_{CONV}$	$f_{ADCLK} = 16MHz$	1.375	—	—	$\mu s$
		$f_{ADCLK} = 32.768kHz$	—	518.799	—	$\mu s$
SA-ADC 基準電位	$V_{REF}$	$V_{DD}\geq V_{REF}$	2.1	—	$V_{DD}$	V
総合誤差	—	$4.5V\leq V_{REF}\leq 5.5V$	-6	—	+6	LSB
積分非直線性誤差	$INL_{AD}$	$f_{ADCLK} = 16MHz$ $2.7V\leq V_{REF}$	-4	—	+4	LSB
		$f_{ADCLK} = 8MHz$ $2.4V\leq V_{REF}$	-7	—	+7	
		$f_{ADCLK} = 1MHz$ $2.1V\leq V_{REF}$	-8	—	+8	
微分非直線性誤差	$DNL_{AD}$	$f_{ADCLK} = 16MHz$ $2.7V\leq V_{REF}$	-3	—	+3	
		$f_{ADCLK} = 8MHz$ $2.4V\leq V_{REF}$	-5	—	+5	
		$f_{ADCLK} = 1MHz$ $2.1V\leq V_{REF}$	-7	—	+7	
ゼロスケール誤差	$ZSE$	$f_{ADCLK} = 16MHz$	-8	—	+8	
		$f_{ADCLK} = 8MHz$	-8	—	+8	
		$f_{ADCLK} = 1MHz$	-10	—	+10	
フルスケール誤差	$FSE$	$f_{ADCLK} = 16MHz$	-8	—	+8	
		$f_{ADCLK} = 8MHz$	-8	—	+8	
		$f_{ADCLK} = 1MHz$	-10	—	+10	



SA-ADC サンプリング中にはコンデンサに充電するために電流が流れます。十分にサンプリングするためには、アナログ入力源の出力インピーダンスを  $1\text{ k}\Omega$  以下にしてください。また、ノイズを低減するために  $0.1\mu F$  程度のコンデンサを付けることを推奨します。

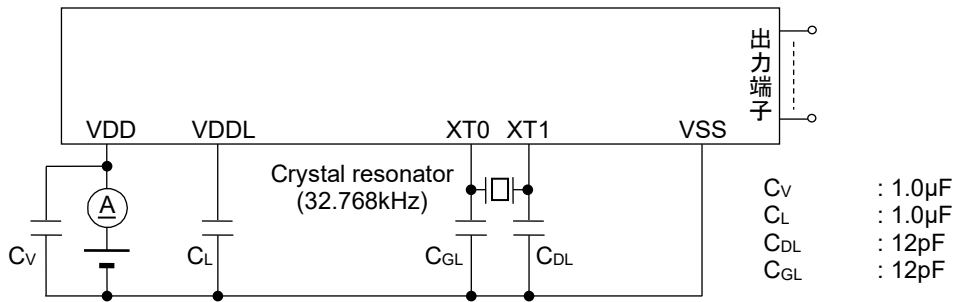
## ●フラッシュメモリ動作条件

(V<sub>SS</sub>= 0V)

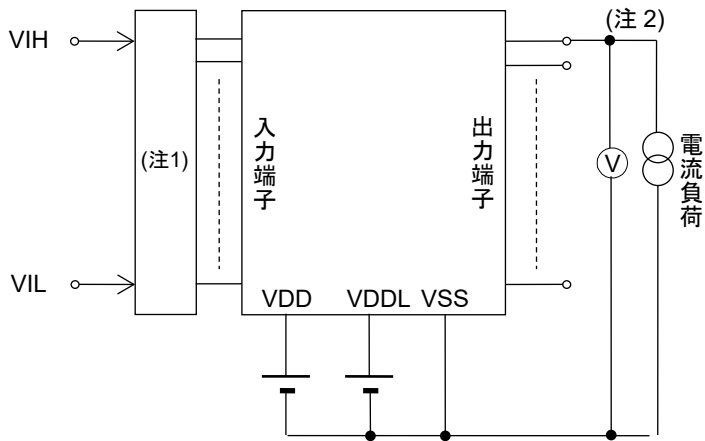
項目	記号	条件		範囲	単位
動作温度	Ta	データ領域:書き込み／消去時		-40～+85	°C
		プログラム領域:書き込み／消去時		0～+40	
動作電圧	V <sub>DD</sub>	書き込み／消去時		1.8～5.5	V
書き換え回数	CEPD	データ領域		10000	回
	CEPP	プログラム領域		100	
消去単位	—	ブロック消去	プログラム領域	16K	バイト
			データ領域	全領域	
	—	セクタ消去	プログラム領域	1K	バイト
			データ領域	128	
消去時間(最大)	—	ブロック消去/ セクタ消去		50	ms
書き込み単位	—	プログラム領域		4	バイト
		データ領域		1	
書き込み時間(最大)	—	プログラム領域		80	μs
	—	データ領域		40	
データ保持年数	YDR	書き換え回数 100 回		15	年

●測定回路

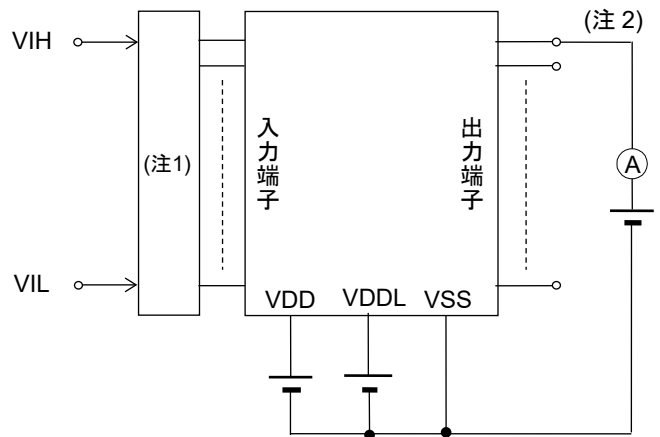
測定回路 1



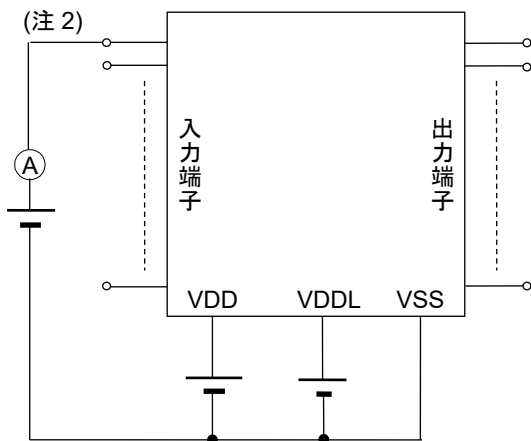
測定回路 2



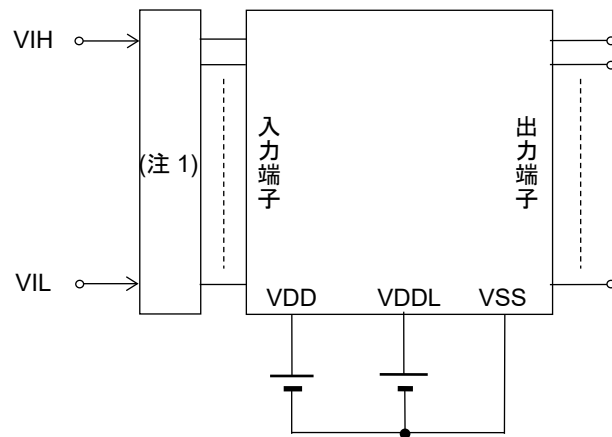
測定回路 3



測定回路 4



測定回路 5

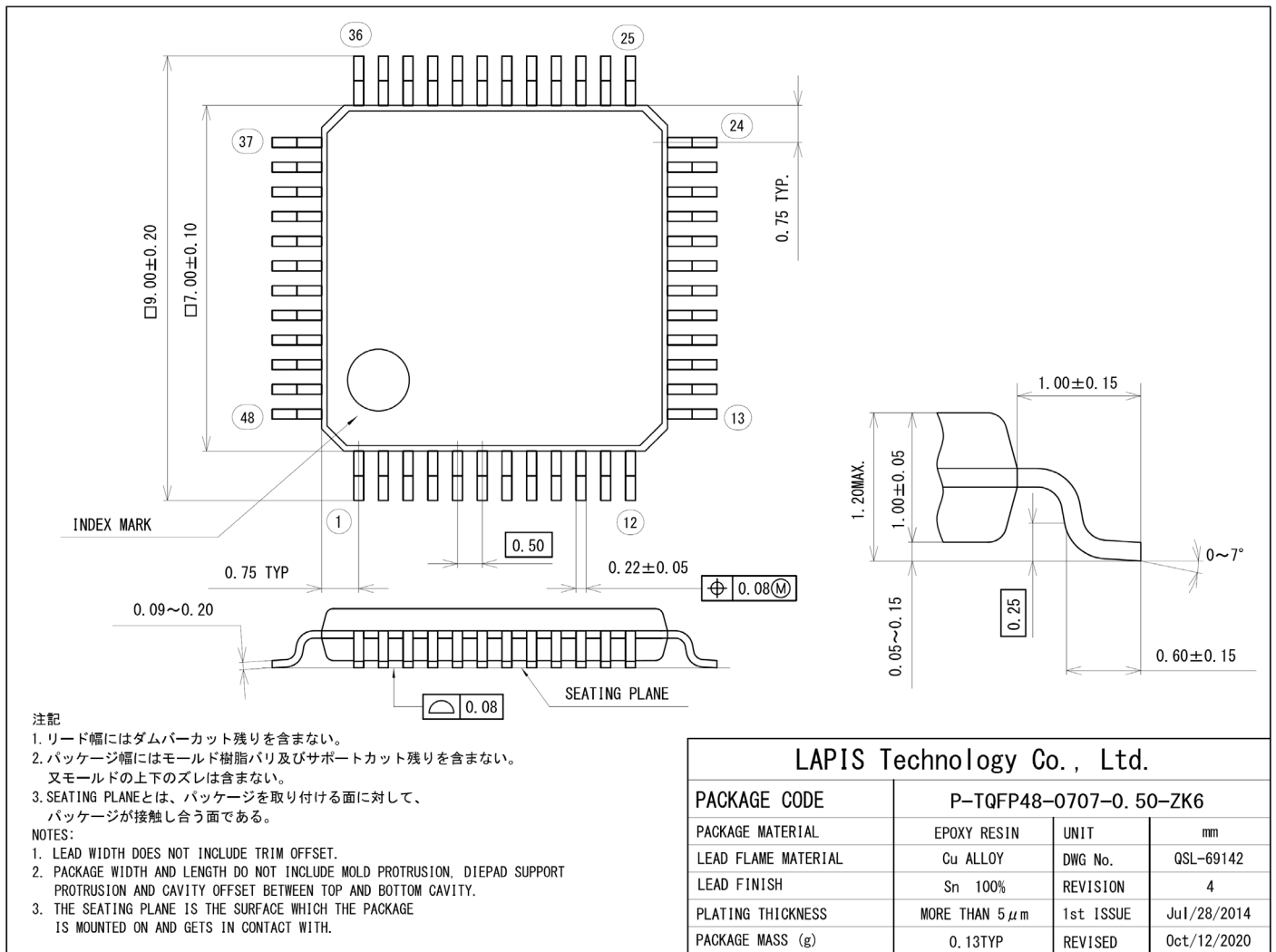


(注 1) 指定の状態にする入ロジック

(注 2) 対象の端子に接続して測定する

## ■パッケージ寸法図

## ●48ピン TQFP

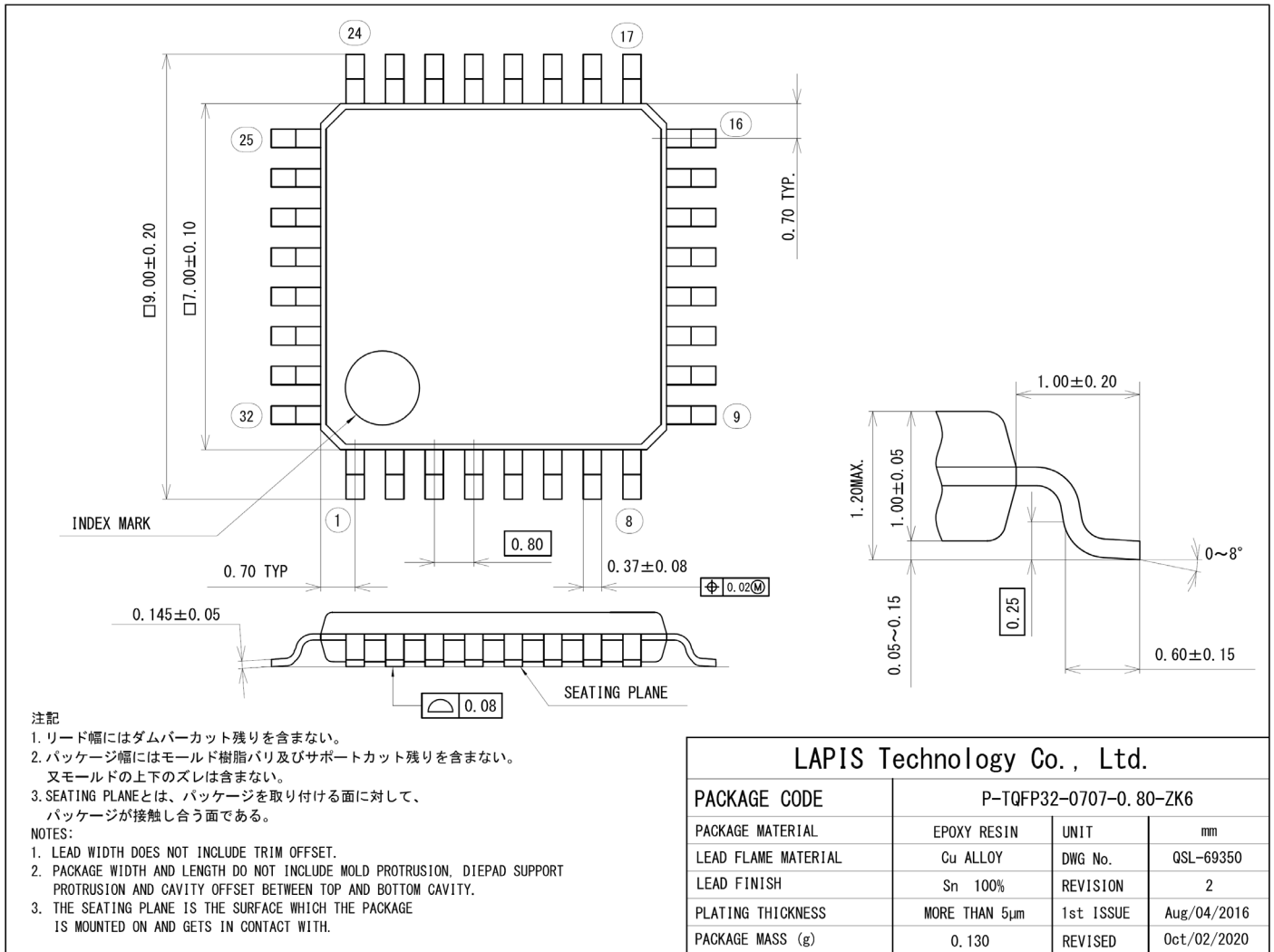


(単位: mm)

## 表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。  
したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

## ●32ピン TQFP

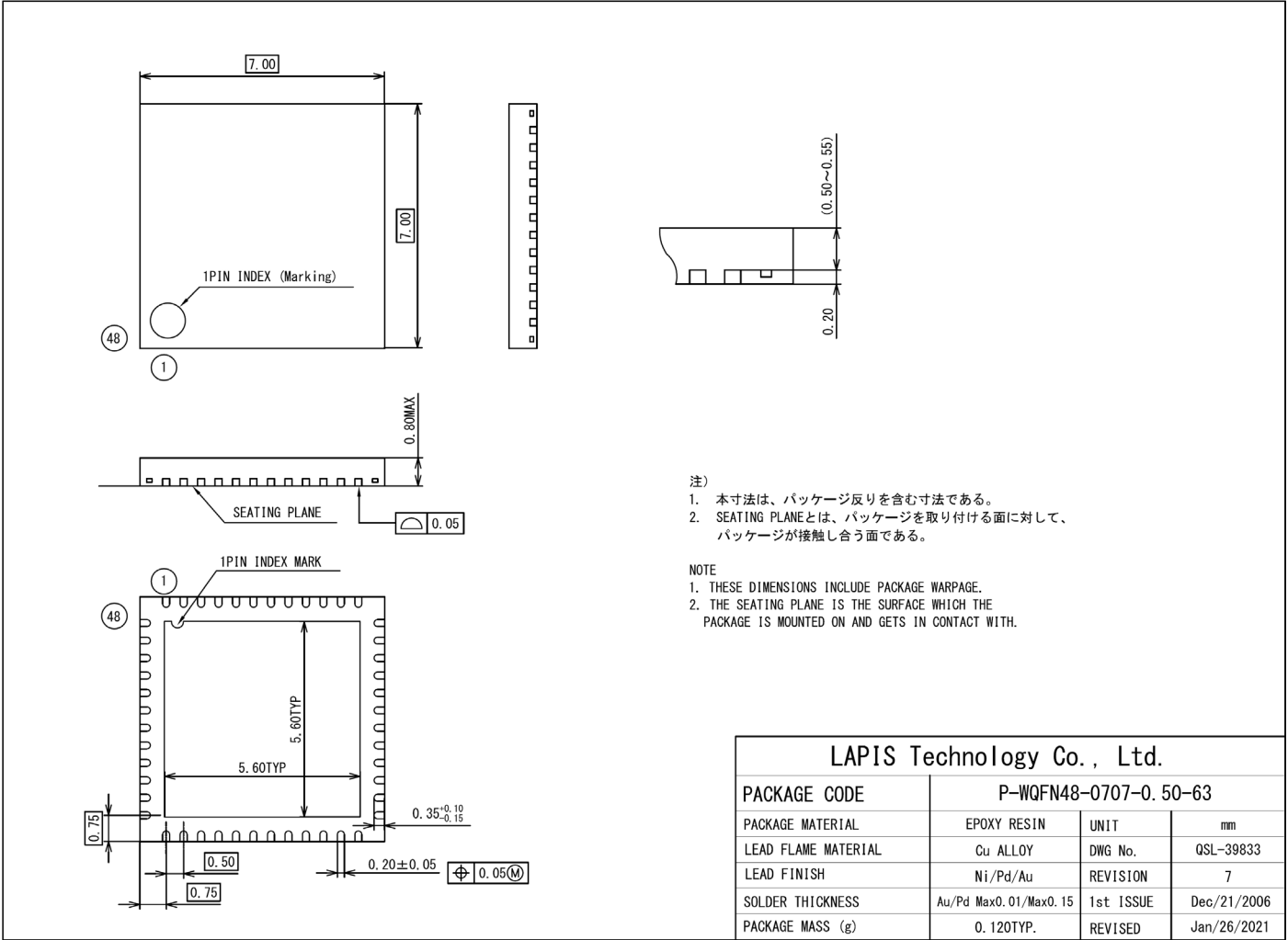


(单位: mm)

## 表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●48 ピン WQFN



(単位: mm)

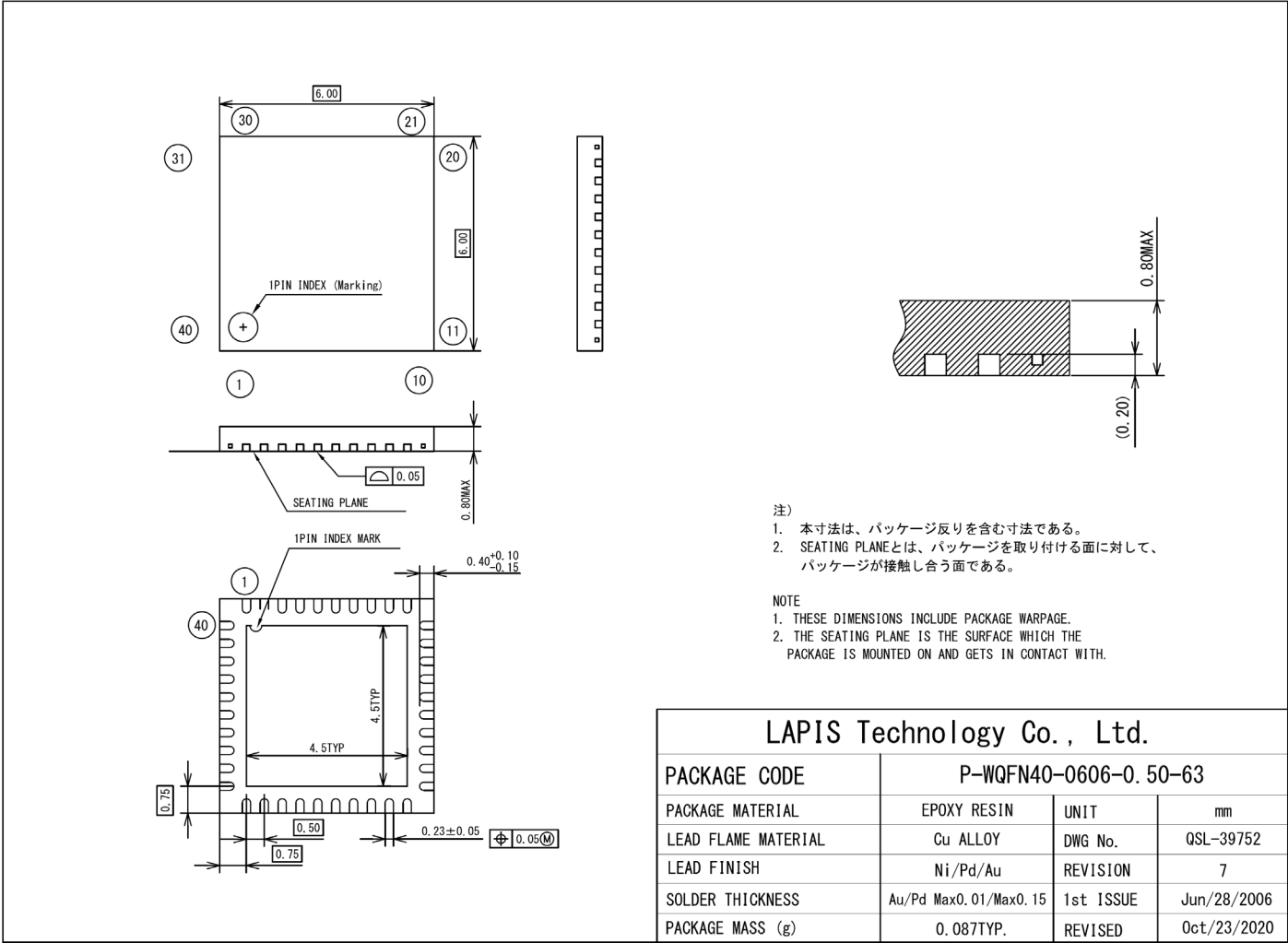
表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

●40 ピン WQFN



(単位: mm)

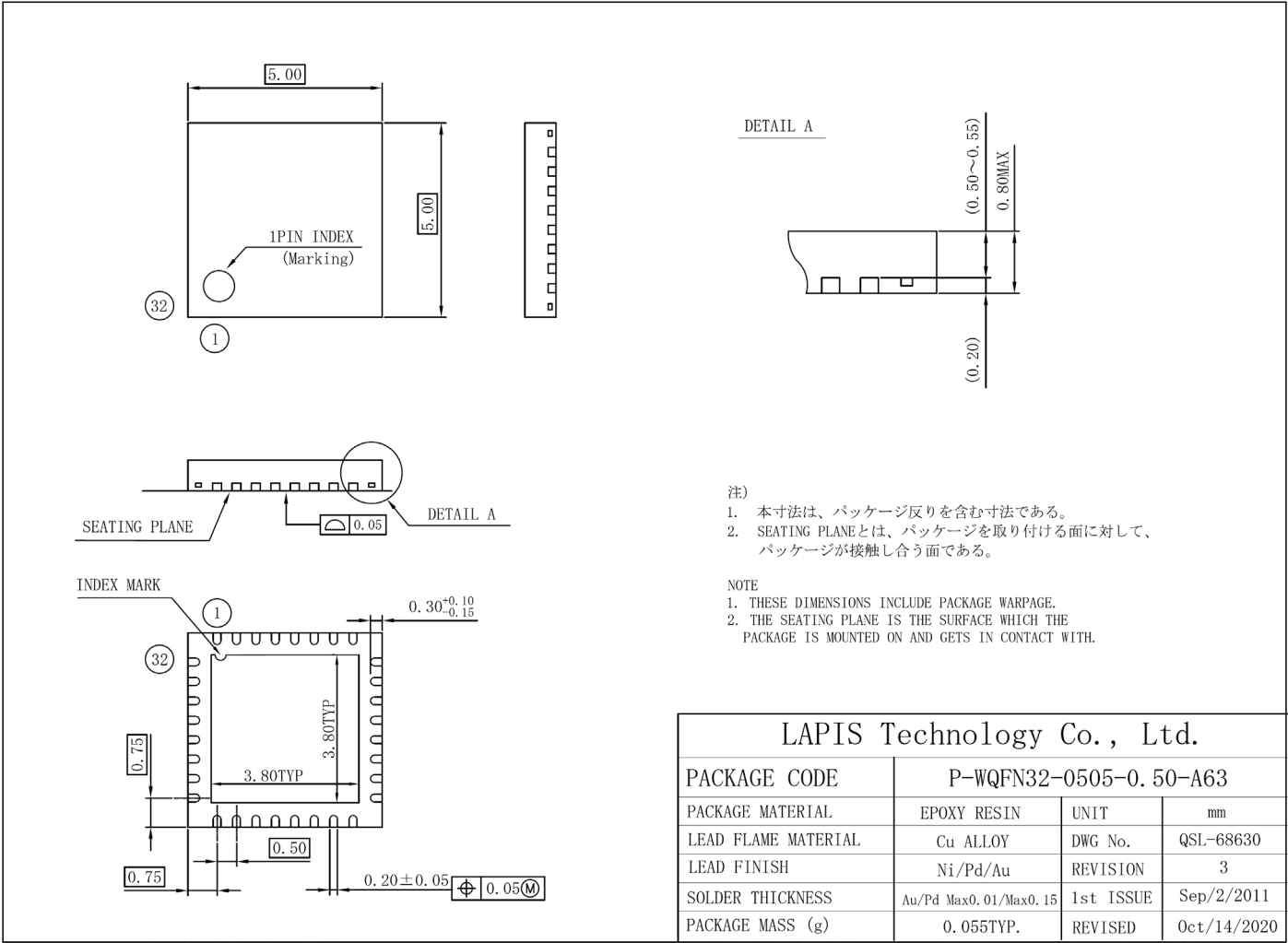
表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

●32 ピン WQFN



(単位: mm)

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL62Q2500-01	2022.10.20	—	—	初版発行
FJDL62Q2500-02	2022.11.9	—	—	誤記訂正、体裁変更
		29	29	リセット特性の注意事項追加
		30	30	逐次比較型 A/D コンバータ特性の注意事項追加
FJDL62Q2500-03	2023.2.2	19	19	IDD3, IDD4-H1, IDD4-H16, IDD5-H16 および IDD5-H24 に $T_{j\leq +95^{\circ}\text{C}}$ 規格値を追加

## 製品使用時の注意事項

本製品を含むマイコン製品全体に適用する「注意事項」について以下に記載します。  
製品個別の注意事項については、各製品のユーザーズマニュアル本文中の【注意】を参照してください。

1. 未使用の入力端子の処置  
未使用の入力端子は、ノイズなどによる誤動作や消費電流の増加を防ぐために、電源または GND に固定してください。本文中に未使用端子の処置について記載のある製品は、その内容に従い処置してください。
2. 電源投入時の状態  
電源投入時、電源電圧が推奨動作電圧に達し、かつリセット端子に“L”レベルの電圧が入力されるまでは、内部レジスタの値および、ポートの出力は不定です。  
パワーオンリセットを搭載する製品は、パワーオンリセットが発生するまでは、内部レジスタの値およびポートの出力は不定です。  
不定状態の内部レジスタの値やポート出力でシステムが誤動作しないよう注意して設計してください。
3. メモリ未使用領域へのアクセス  
メモリ未使用領域のアドレスの読み出し、または書き込みを実行した場合の動作は保証いたしません。
4. 製品間の相違  
電氣的特性、ノイズ耐量、ノイズ輻射量等はマイコン製品ごとに異なります。他のマイコン製品から本製品に変更した場合に、お客様の機器・システムにおいて評価結果が変化する場合がありますので、本製品を実装したお客様の機器・システムにおいて十分な評価を実施してからご使用ください。
5. 使用環境  
本製品を高湿度な環境や結露する環境で使用する場合は防湿防水対策をしてください。

## ご注意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一、本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、デイレートニング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用したことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 本製品は、一般的な電子機器(AV機器、OA機器、通信機器、家電製品、アミューズメント機器など)および本資料に明示した用途へのご使用を意図しています。  
本製品を、特に高い信頼性が要求される機器(車載・船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム等)に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。  
当社の意図していない用途に製品を使用したことにより損害が生じても、当社は一切その責任を負いません。  
また、本製品は直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)には、使用できません。
- 6) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 7) 本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、当社はその責任を負うものではありません。
- 8) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 9) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 10) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 11) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2021-2023 LAPIS Technology Co., Ltd.