



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしく願いいたします。

2024年4月1日
ローム株式会社

ML62Q2700 グループ

16ビットマイクロコントローラ

■概要

ML62Q2700 グループは、16ビット CPU nX-U16/100 を搭載し、プログラム・メモリ (フラッシュ・メモリ)、データ・メモリ (RAM)、データ・フラッシュ (消去単位 128 バイト、書込単位 1 バイト)、乗除算器、CRC 演算器、クロック発生回路、タイマ、汎用ポート、UART、同期式シリアルポート、I²C バス (マスタ、スレーブ)、電圧レベル監視機能 (VLS)、逐次比較型 12bit-A/D コンバータ、音声再生機能、LCD ドライバ、安全機能 (IEC60730/60335 Class B) など、多彩な周辺機能を集積した高性能 CMOS16 ビットマイクロコントローラです。

16ビット CPU nX-U16/100 は、パイプラインアーキテクチャによる並列処理で 1 命令 1 クロックの効率的な命令実行が可能です。

ML62Q2700 グループは、オンチップデバッグ機能を搭載しており、オンボードでのソフトウェアのデバッグおよびソフトウェアの書き換えが可能です。また、ISP (In-System Programming) 機能を搭載しており、量産ラインでのフラッシュ書き込み機能を容易に実現することができます。

● 用途

民生機器、産業機器 (例: 各種家電、住宅設備、OA 機器、計測機器など)

【注意】

本商品は車載および、自動列車制御装置、鉄道保安システム等にはご使用いただけません。

船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、送電システム、金融端末基幹システム、各種安全制御装置等の高信頼性が必要な用途への使用を検討される場合は、事前に営業窓口へお問い合わせください。

● 商品一覧

ML62Q2700 グループは、パッケージ種類およびプログラム・メモリ容量別に複数の商品から構成されています。

表 1 に 48 ピンから 100 ピンのパッケージ、64K バイトから 256K バイトのプログラム・メモリ容量をラインアップした商品一覧を示します。

表 1 商品一覧

プログラム・メモリ	データ・メモリ	データ・フラッシュ	48 ピン TQFP48 WQFN48	52 ピン TQFP52	64 ピン QFP64 TQFP64	80 ピン QFP80	100 ピン QFP100 TQFP100
256K バイト	16K バイト	4K バイト	—	—	ML62Q2727	ML62Q2737	ML62Q2747
192K バイト			—	—	ML62Q2726	ML62Q2736	ML62Q2746
160K バイト			—	—	ML62Q2725	ML62Q2735	ML62Q2745
96K バイト	8K バイト		ML62Q2703	ML62Q2713	ML62Q2723	—	—
64K バイト			ML62Q2702	ML62Q2712	ML62Q2722	—	—

本商品をご使用の際は、最終ページの「製品使用時の注意事項」および「ご注意」をご確認の上、お使いください。



■特長

● CPU

- RISC 方式 16 ビット CPU:nX-U16/100(A35 コア)
- 命令体系:16 ビット長命令
- 命令セット:転送, 算術演算, 比較, 論理演算, 乗除算, ビット操作, ビット論理演算, 分岐, 条件分岐, コール・リターンスタック操作, 算術シフトなど
- オンチップデバッグ機能を内蔵(ラピステクノロジー製オンチップデバッグエミュレータと接続)
- 最小命令実行時間:システムクロック 1 クロック (約 30.5 μ s/62.5ns/41.6ns @32.768kHz/16MHz/24MHz)

● 乗除算器(コプロセッサ)

- 符号あり, なし

演算	式	演算サイクル数
乗算	16bit \times 16bit	4
除算	32bit \div 16bit	8
	32bit \div 32bit	16
積和(非飽和型, 飽和型)	16bit \times 16bit + 32bit	4

● 動作保証範囲

- 動作電圧 : $V_{DD} = 1.8V \sim 5.5V$
- 動作周囲温度 : $-40^{\circ}C \sim +105^{\circ}C$

● フラッシュ・メモリ

項目	プログラム	データ
消去/書き込み回数	100 回	10,000 回
書き込み単位	32 ビット (4 バイト)	8 ビット (1 バイト)
消去単位	16K バイト/1K バイト	全領域/128 バイト
消去/書き込み温度	$0^{\circ}C \sim +40^{\circ}C$	$-40^{\circ}C \sim +85^{\circ}C$

- データ・フラッシュ消去/書き込み中に CPU 動作可能
- オンチップデバッグ機能/ISP (In-System Programming)機能による書き換え可能

This product uses Super Flash® technology licensed from Silicon Storage Technology, Inc.

Super Flash® is a registered trademark of Silicon Storage Technology, Inc.

● データ・メモリ(RAM)

- 書き込み単位 : 8 ビット/16 ビット (1 バイト/2 バイト)
- パリティチェック機能あり (パリティエラー時に割込み/リセット発生可能)

● クロック発生回路

- 低速クロック (LSCLK)
 - 低速 RC 発振 (RC32K) : 約 32.768kHz
 - 低速外部クロック入力 (EXT32K) : 約 32.768kHz
 - 低速水晶発振 (XT32K) : 約 32.768kHz, 4 モード搭載 (タフ, 標準, 低消費電力, 超低消費電力)
- 高速クロック (HSCLK)
 - PLL 発振 : コードオプションで 24MHz/16MHz/1MHz を選択可能
- WDT (ウォッチドッグタイマ)専用独立した RC1K 発振 (約 1.024kHz)を搭載
- 高速タイムベースクロック (HTBCLK)
 - ペリフェラル用クロックとして HSCLK の 2~8 カウント周期のクロックを生成

- リセット
 - 多彩なシステムリセット
端子リセット/パワーオンリセット/電圧レベル監視機能(VLS) リセット/ウォッチドッグタイマ(WDT)のオーバフロー/WDT の不正クリアリセット/RAM パリティエラーリセット/PC エラー (ROM 未使用領域に対する命令アクセス)リセット
 - BRK 命令実行による CPU リセット
 - ソフトウェアによる周辺ブロックの個別リセット/一括リセット
- パワーマネージメント
 - 多彩なスタンバイモードによる最適なパワーマネージメント
STOP/STOP-D モード (全クロック停止), HALT-D モード (システム系および一部周辺ブロックのクロック供給停止), HALT/HALT-H モード (システム系へのクロック供給停止)
HALT-D は長時間スタンバイに, HALT-H は短時間での間欠動作のスタンバイにご使用いただけます。
 - ソフトウェアによる周辺ブロックの個別クロック供給制御
 - 高速クロック(HSCLK)の周波数を選択 (PLL クロックの 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64 ; 最大 7 ステップ)
 - クロックギア: 高速システムクロックの周波数を動的に変更可能 (HSCLK の 1/1, 1/2, 1/4, 1/8, 1/16, 1/32; 最大 6 ステップ)
- 割込み
 - ノンマスカブル割込み : 1 要因 (内部要因 WDT)
 - マスカブル割込み : 最大 50 要因 (外部割込み 9 要因含む)
 - 4 段階の割込みレベル機能
 - 端子割込み (EXI) : 8 本 (最大 32 端子より選択), サンプリングフィルタあり, エッジ選択 (立ち上がり/立ち下がり/両方)
 - 拡張端子割込み : 最大 4 本, サンプリングフィルタあり, エッジ選択(立ち上がり/立ち下がり/両方)
- 汎用ポート (GPIO)
 - 汎用入出力 : 最大 92 端子 (兼用機能を含む)
 - 汎用入力 : 3 端子 (オンチップデバッグ, 低速水晶端子と兼用)
 - キャリア周波数出力機能 (赤外線通信用)
- ウォッチドッグタイマ (WDT) : 1 チャンネル
 - オーバフロー周期 : 8 種選択可能 (7.8, 15.6, 31.3, 62.5, 125, 500, 2000, 8000ms)
 - ウィンドウ機能 : クリア許可期間をオーバフロー周期の 50%/75%を設定可能。不正クリアリセットあり。
無効時はオーバフロー 1 回目に割込み, 2 回目にリセットを発生する。
有効時は 1 回目にリセット発生。
 - WDT 動作選択 : コードオプションで許可/停止選択可能。
 - HALT/HALT-H と HALT-D モード中の動作/停止選択
 - WDT カウンタ動作の監視機能 (WDT カウンタ読み出し)
- 低速タイムベースカウンタ (LTBC) : 2 チャンネル
 - 低速クロック (LSCLK)を分周し, 8 種 (128, 64, 32, 16, 8, 4, 2, 1Hz)のパルス信号を生成
 - 8 種から 4 つの割込みを生成可能
 - 汎用ポート (TBCO)から割込みに選択したパルスを出力可能
- ファンクショナルタイマ : 最大 8 チャンネル
 - 連続モード, ワンショットモード, キャプチャモード, PWM モード(同期, 相補出力)
 - イベント・トリガ (外部端子, 16 ビットタイマ, ファンクショナルタイマ, タイムベースカウンタ, RC1K)
 - 多彩なカウントクロック (LSCLK, HSCLK, HTBCLK, 外部端子の 1~8 分周可能)
- 16 ビットタイマ : 最大 8 チャンネル
 - タイマ出力 (オーバフロー毎に出力が反転)
 - 多彩なカウントクロック (LSCLK, HSCLK, HTBCLK, 外部端子, LTBC, RC1K の 1~8 分周)
 - タイマ X は水晶発振安定待ちと共用 (1 チャンネル)

- 同期式シリアルポート : 最大 7 チャンネル (FIFO 付き 1 チャンネル, FIFO なし最大 6 チャンネル)
 - FIFO 付き:送信受信各 4 段
 - マスタ/スレーブ選択可能
 - LSB ファースト/MSB ファースト, 8 ビット長/16 ビット長選択可能
- UART (全二重): 最大 6 チャンネル
 - ビット長 5~8, パリティ有無, 奇数パリティ/偶数パリティ, 1 ストップビット/2 ストップビット, 正論理/負論理, LSB ファースト/MSB ファースト選択可能
 - 受信データ/スタートビットのサンプリングフィルタあり
 - ボーレートジェネレータ内蔵
 - クロック周波数 32.768kHz 時 :1bps~4,800bps
 - クロック周波数 16MHz 時 :300bps~2Mbps
 - クロック周波数 24MHz 時 :600bps~3Mbps
- I²C バスユニット: 3 チャンネル
 - マスタモード/スレーブモードを選択:1 チャンネル, マスタモード専用:2 チャンネル
 - 標準モード (100kbps), ファストモード (400kbps), 1Mbps モード (1Mbps)対応
 - 7 ビットアドレスフォーマット
 - マスタモード :ハンドシェイク (クロック同期化)対応, スレーブアドレス 10 ビット対応可能
 - スレーブモード:クロックストレッチ機能
- 逐次比較型 12bit A/D コンバータ (SA-ADC): 入力 最大 16 チャンネル
 - 変換時間:最小 1.375 μ s /1 チャンネル ($V_{DD} > 2.7V$, 変換クロック 16MHz 時)
 - VDD 端子入力電圧/外部リファレンス電圧 (VREF 端子)選択可能
 - チャンネル毎に変換結果レジスタを搭載
 - 連続変換, トリガスタート, 上限下限判定による割込み対応
- 電圧レベル監視機能 (VLS): 1 チャンネル
 - 判定電圧:15 値 (1.85V~4.00V から選択可能)
 - 割込みまたはリセット発生可能
 - シングルモード搭載/サンプリングフィルタあり/低消費動作
- 音声再生機能: 1 チャンネル
 - 音声合成方式:4 ビット ADPCM2/ノンリニア 8 ビット PCM/ストレート 8 ビット PCM/ストレート 16 ビット PCM
 - サンプリング周波数:7.81kHz, 15.63kHz, 31.25kHz, 10.42kHz, 20.83kHz, 6.25kHz, 12.50kHz, 25.00kHz
- LCD ドライバ
 - 最大 480 ドット (60seg \times 8com)^{*1}
 - ML62Q2702/ML62Q2703:
 - 24seg \times 8com(com Max.), 29seg \times 3com(seg Max.)
 - ML62Q2712/ML62Q2713:
 - 27seg \times 8com(com Max.), 32seg \times 3com(seg Max.)
 - ML62Q2722/ML62Q2723/ML62Q2725/ML62Q2726/ML62Q2727:
 - 35seg \times 8com(com Max.), 40seg \times 3com(seg Max.)
 - ML62Q2735/ML62Q2736/ML62Q2737:
 - 45seg \times 8com(com Max.), 50seg \times 3com(seg Max.)
 - ML62Q2745/ML62Q2746/ML62Q2747:
 - 60seg \times 8com(com Max.), 65seg \times 3com(seg Max.)

*1: コモン出力端子とセグメント出力端子のうち 5 端子は兼用端子です。
この 5 端子は SFR の設定によりコモン出力端子として使用するかセグメント出力端子として使用するかを選択できます。

 - 1/3 バイアス (バイアス発生回路内蔵)
 - フレーム周波数選択 (約 32Hz, 約 38Hz, 約 64Hz, 約 75Hz, 約 128Hz, 約 150Hz)
 - LCD 駆動電圧の生成方式を選択可能 (内部昇圧/外部印加容量分圧/内部印加容量分圧/外部印加)
 - 内部昇圧モード時は, 16 段階のコントラスト調整が可能

- CRC (Cyclic Redundancy Check) 演算器
 - 生成多項式: $X^{16}+X^{12}+X^5+1$
 - LSB ファースト/MSB ファースト選択可能
 - プログラム・メモリを HALT モード中に演算する自動 CRC 演算モードを搭載
- 安全機能
 - 低速水晶発振停止時に低速 RC 発振に自動で切り替え, LSCLK とシステムクロックの独立化
 - RAM/SFR ガード
 - プログラム・メモリの自動 CRC 演算
 - RAM パリティエラー検知
 - ROM 未使用領域に対する命令アクセスによるリセット
 - クロック発振/WDT カウンタ監視
 - 逐次比較型 A/D コンバータテスト
 - 通信ループバックテスト(UART, 同期式シリアルポート, I²C バス(マスタ))
 - 汎用ポートテスト
- 出荷形態

Package	Body size (including lead) [mm × mm]	Pin pitch [mm]	Packing form and Product name	
			Tray	Tape & Reel
48 pin plastic TQFP	7.0 × 7.0 (9.0 × 9.0)	0.50	ML62Q2702-xxxTBZWAY ML62Q2703-xxxTBZWAY	ML62Q2702-xxxTBZWBY ML62Q2703-xxxTBZWBY
48 pin plastic WQFN	7.0 × 7.0 (-)	0.50	ML62Q2702-xxxGDZW5AY ML62Q2703-xxxGDZW5AY	ML62Q2702-xxxGDZW5BY ML62Q2703-xxxGDZW5BY
52 pin plastic TQFP	10.0 × 10.0 (12.0 × 12.0)	0.65	ML62Q2712-xxxTBZWAY ML62Q2713-xxxTBZWAY	ML62Q2712-xxxTBZWBY ML62Q2713-xxxTBZWBY
64 pin plastic TQFP	10.0 × 10.0 (12.0 × 12.0)	0.50	ML62Q2722-xxxTBZWAY ML62Q2723-xxxTBZWAY ML62Q2725-xxxTBZWAY ML62Q2726-xxxTBZWAY ML62Q2727-xxxTBZWAY	ML62Q2722-xxxTBZWBY ML62Q2723-xxxTBZWBY ML62Q2725-xxxTBZWBY ML62Q2726-xxxTBZWBY ML62Q2727-xxxTBZWBY
64 pin plastic QFP	14.0 × 14.0 (16.0 × 16.0)	0.80	ML62Q2722-xxxGAZWAY ML62Q2723-xxxGAZWAY ML62Q2725-xxxGAZWAY ML62Q2726-xxxGAZWAY ML62Q2727-xxxGAZWAY	-
80 pin plastic QFP	14.0 × 14.0 (16.0 × 16.0)	0.65	ML62Q2735-xxxGAZWAY ML62Q2736-xxxGAZWAY ML62Q2737-xxxGAZWAY	-
100 pin plastic TQFP	14.0 × 14.0 (16.0 × 16.0)	0.50	ML62Q2745-xxxTBZWAY ML62Q2746-xxxTBZWAY ML62Q2747-xxxTBZWAY	-
100 pin plastic QFP	14.0 × 20.0 (19.0 × 25.0)	0.65	ML62Q2745-xxxGAZWAY ML62Q2746-xxxGAZWAY ML62Q2747-xxxGAZWAY	-

※xxx: ROM コード番号 (ブランク品は NNN)

■商品名の見方

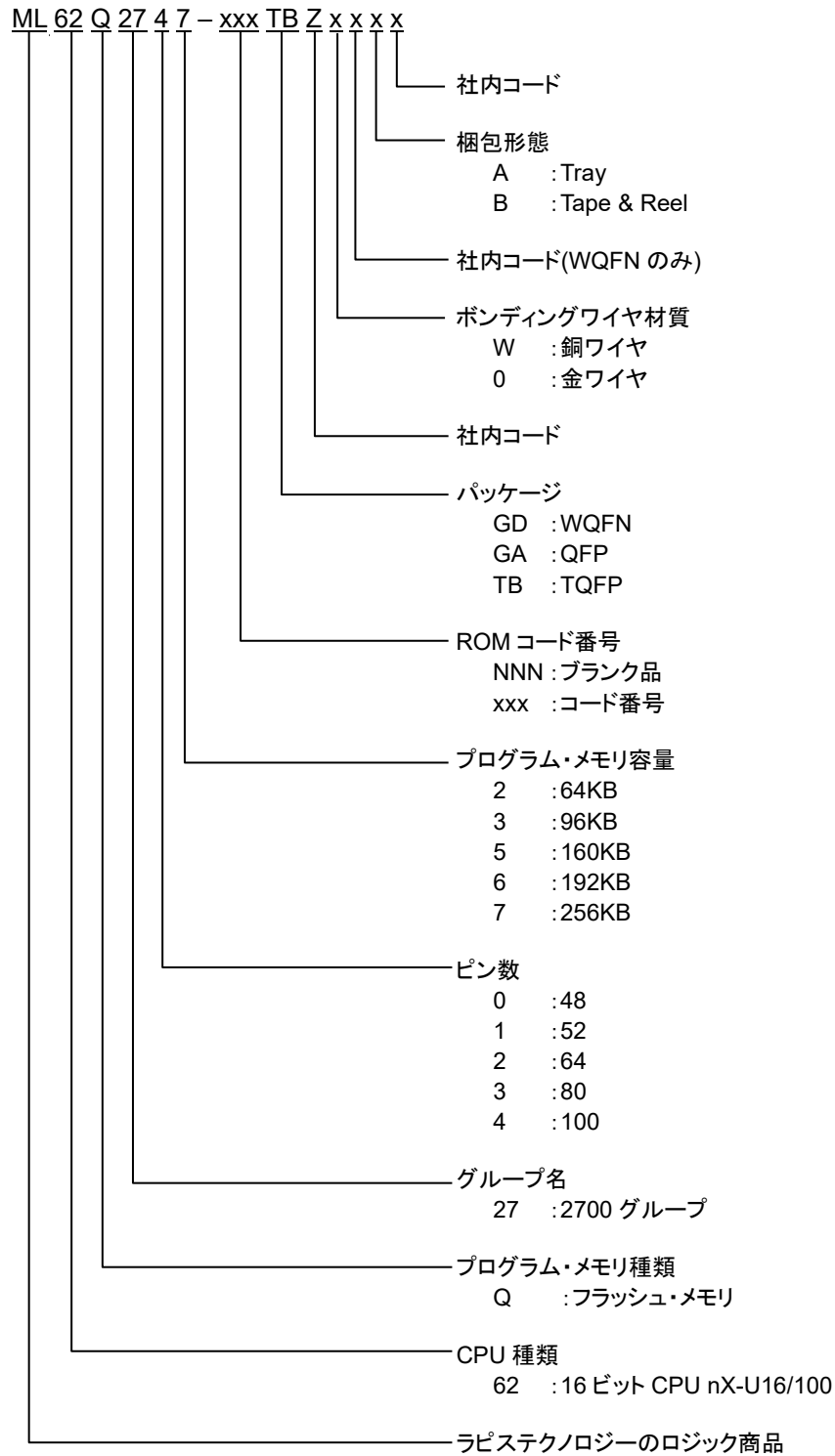


図 1 商品名

■商品別仕様

表 2 商品別仕様

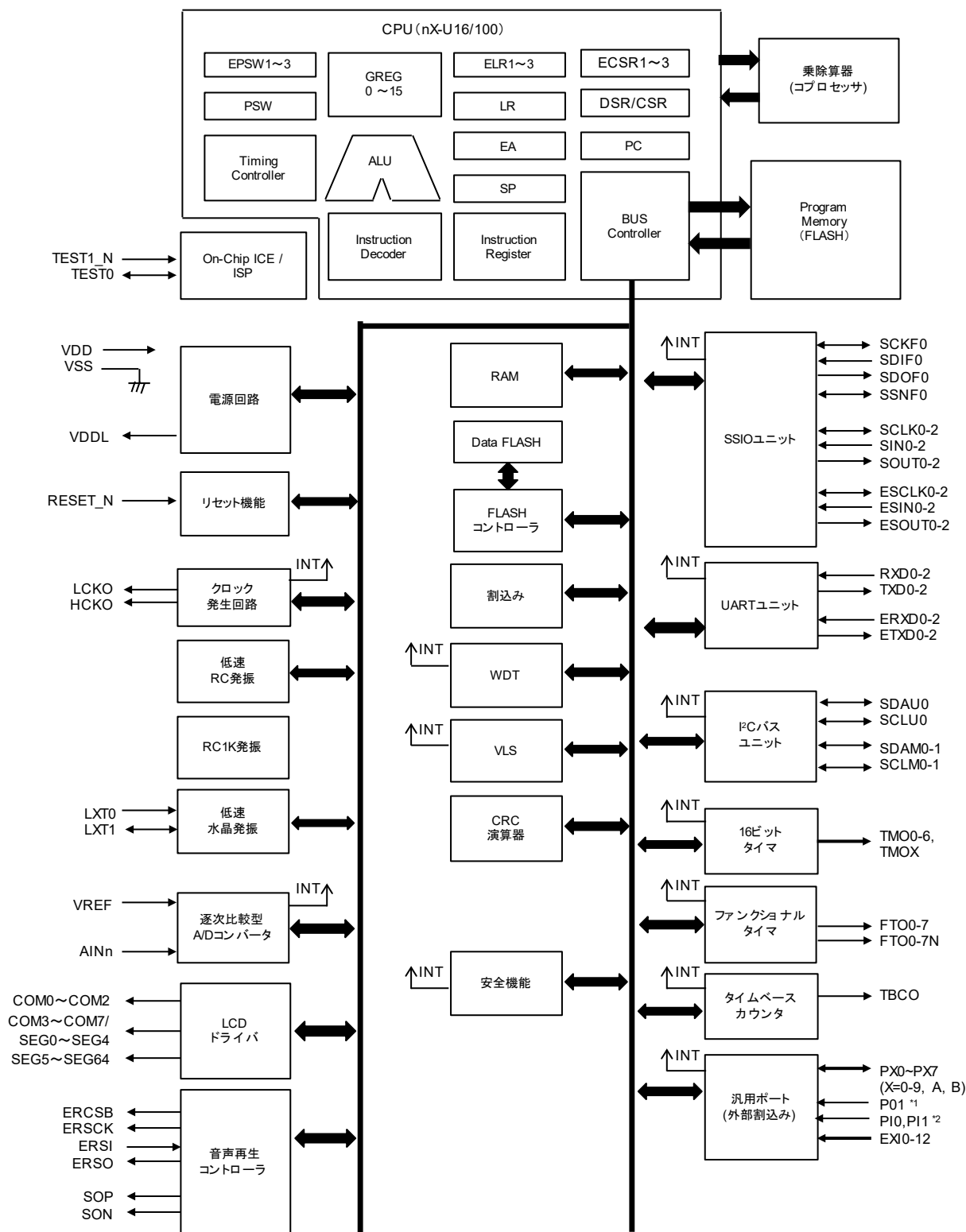
製品名	端子										割込み		タイマ				通信				アナログ	その他			
	電源端子 総数	リセット入力端子	デバッグ入力端子	汎用入力端子(デバッグ, 水晶兼用) ^{*1}	汎用入出力端子(LED 駆動対応) ^{*2,3}	LCD コモン/セグメント兼用出力端子数 ^{*2,3}	LCD コモン出力端子数 ^{*3}	LCD セグメント出力端子数 ^{*3}	LCD バイパス端子数	外部割込み端子	外部割込み要因	内部スカル要因	16bit タイマ [CH 数]	16bit フラッシュメモリアルタイム [CH 数]	フリップフロップ出力数	ウォッチドッグタイマ [CH 数]	タイムベースカウンタ [CH 数]	同期シリアル通信(FIFO なし) [CH 数]	同期シリアル通信(FIFO 付き) [CH 数]	全二重 UART [CH 数]	I ² C (マスタ専用) [CH 数]	I ² C (マスタ/スレーブ兼用) [CH 数]	逐次比較型 12bit A/D コンバータ [入力数]	電圧監視 [CH 数]	音声再生機能
ML62Q2702	48			35		24	20																		
ML62Q2703																									
ML62Q2712	52			39		27	23				32	6	6	12			2		2						
ML62Q2713																									
ML62Q2722	64	1	1	3	5	3	5	32	9	1					1	2		1		2			12	1	1
ML62Q2723																									
ML62Q2725																									
ML62Q2726																									
ML62Q2727	80			51		35	36				41						6		6						
ML62Q2735																									
ML62Q2736																									
ML62Q2737																									
ML62Q2745	100			65		45	36					8	8	16			6		6						
ML62Q2746																									
ML62Q2747																									

*1: 水晶発振端子, およびテスト用入力端子と兼用です。

*2: LCD のコモン/セグメント兼用出力端子は, SFR の設定でコモン出力端子またはセグメント出力端子として利用可能です。

*3: すべての LCD コモン/セグメント兼用出力端子, コモン出力端子, セグメント出力端子は, 汎用入出力端子と兼用端子です。

■ブロック図



*1: オンチップデバッグエミュレータを接続した場合は入力ポートとして使用できません。

*2: 水晶を接続した場合は入出力ポートとして使用できません。

図 2 ブロック図

■ 端子配置

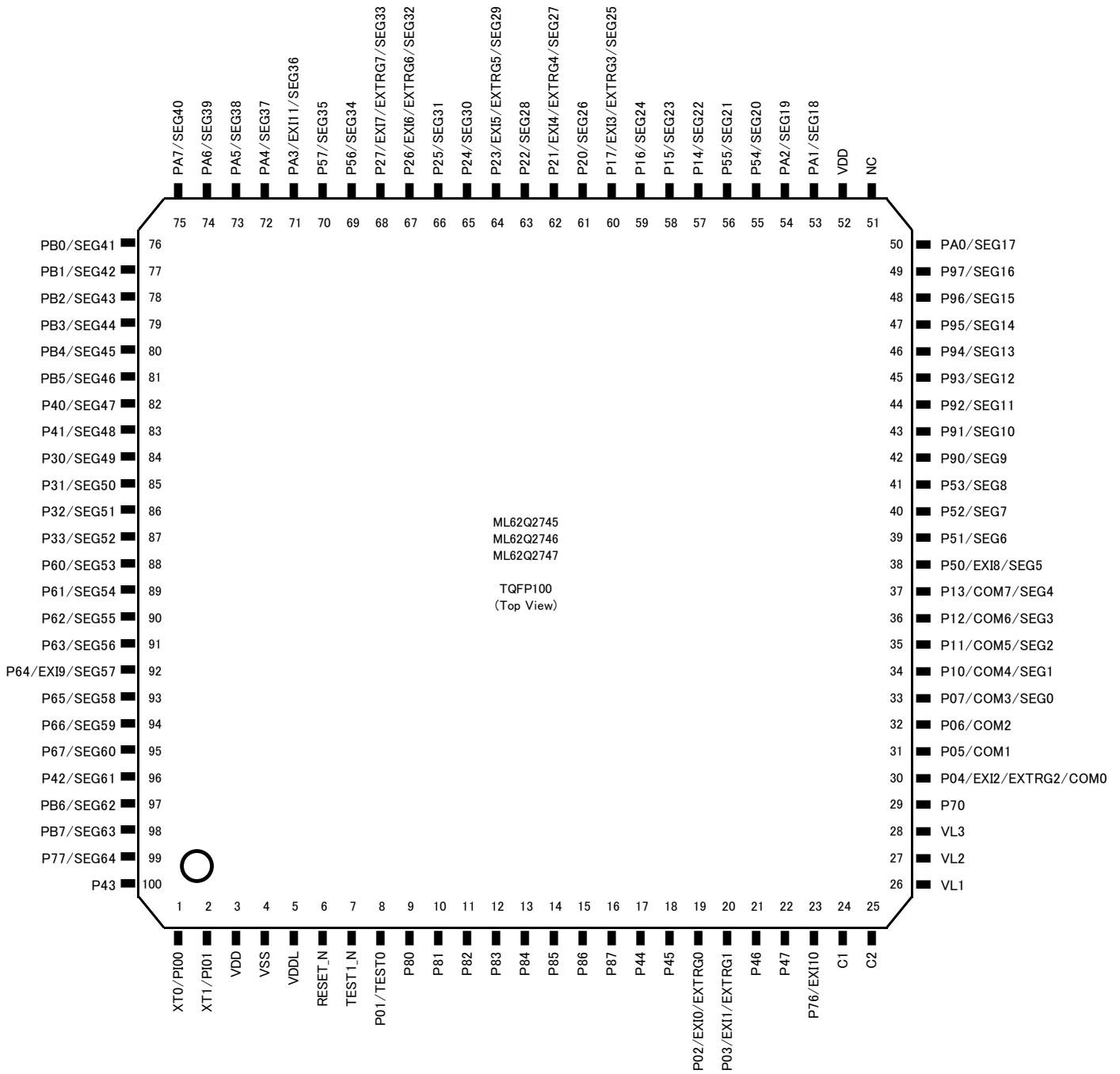


図 3-1 100ピン TQFP

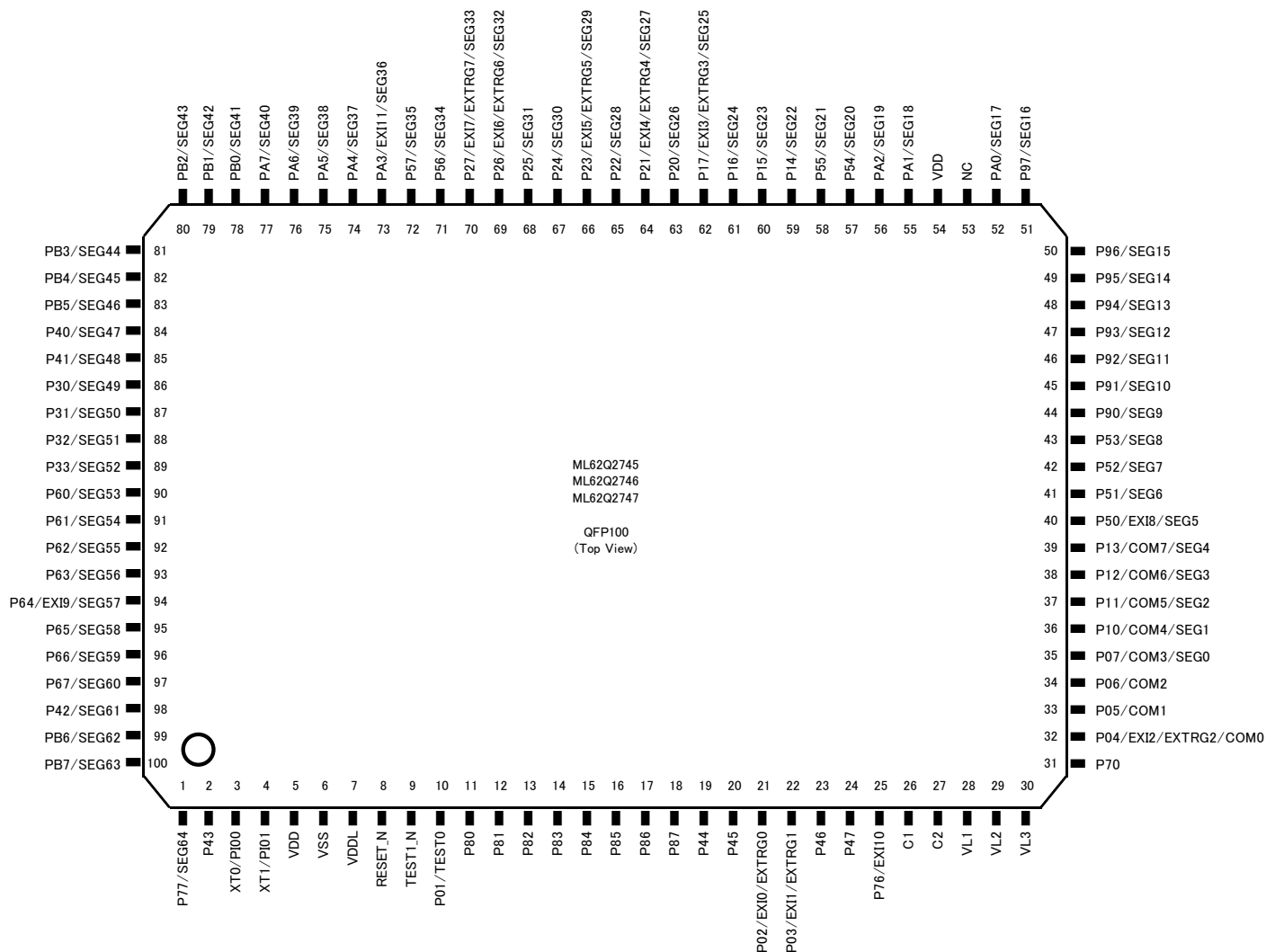


図 3-2 100ピン QFP

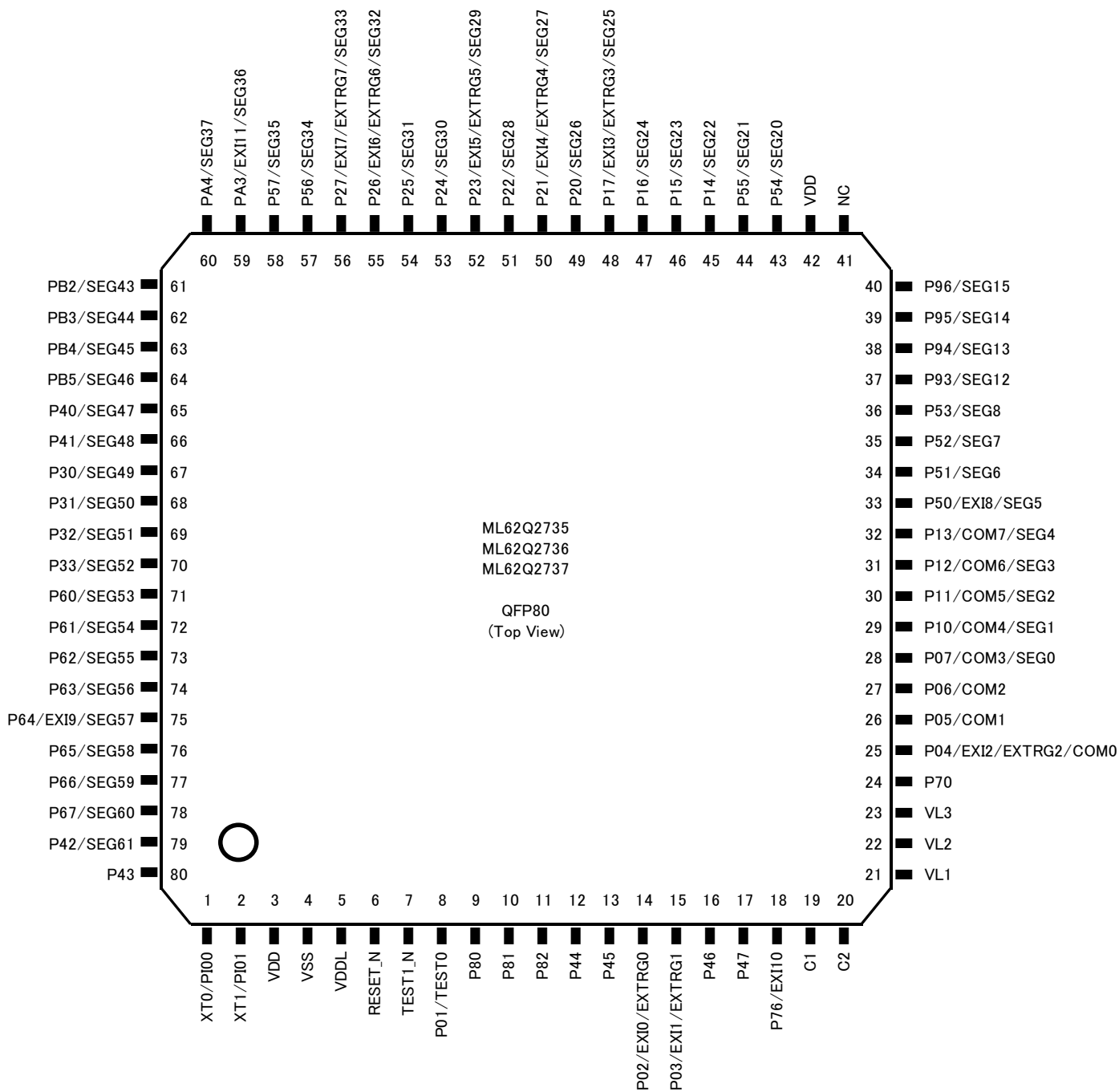


図 3-3 80ピン QFP

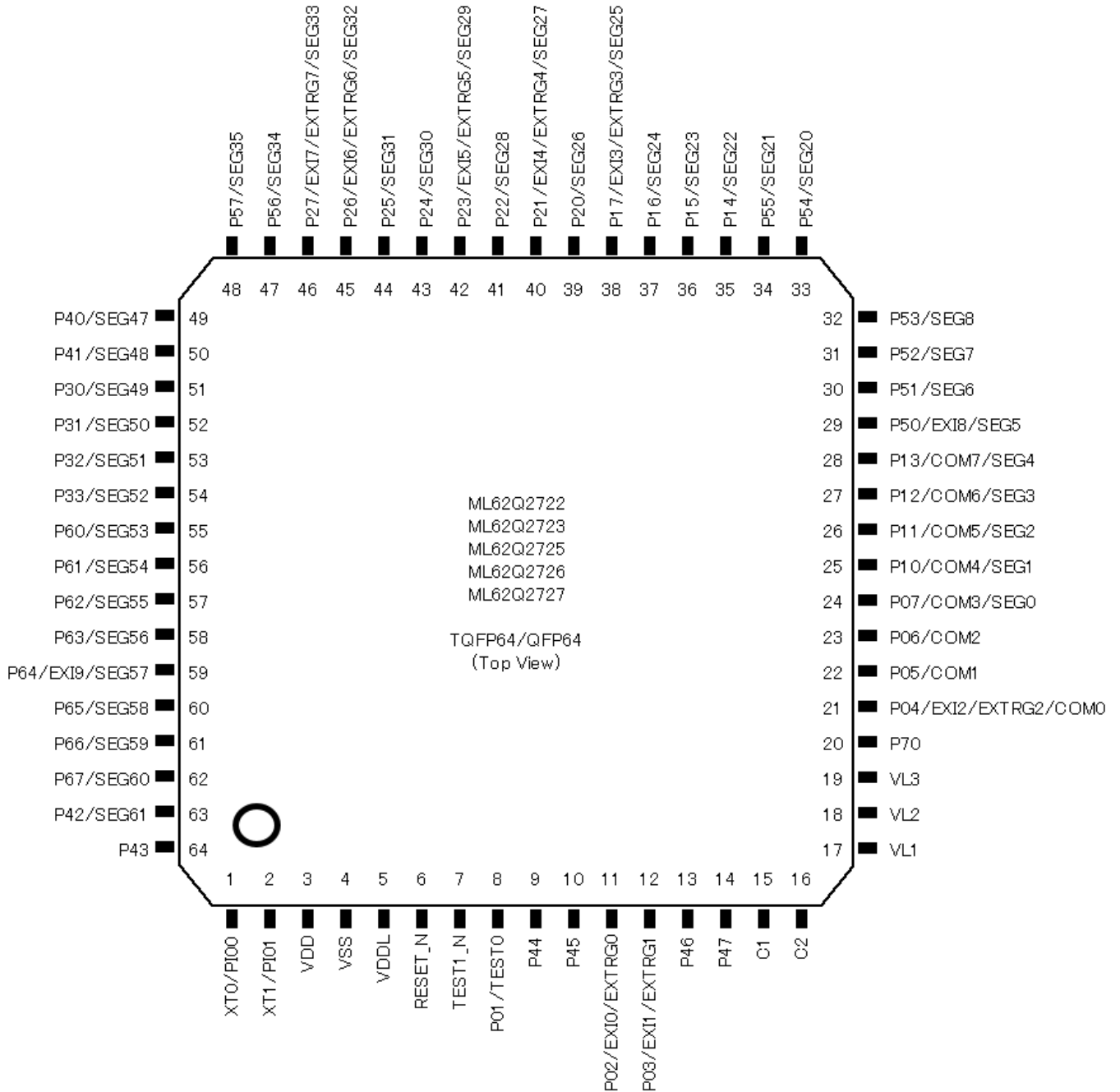


図 3-4 64 ピン TQFP/QFP

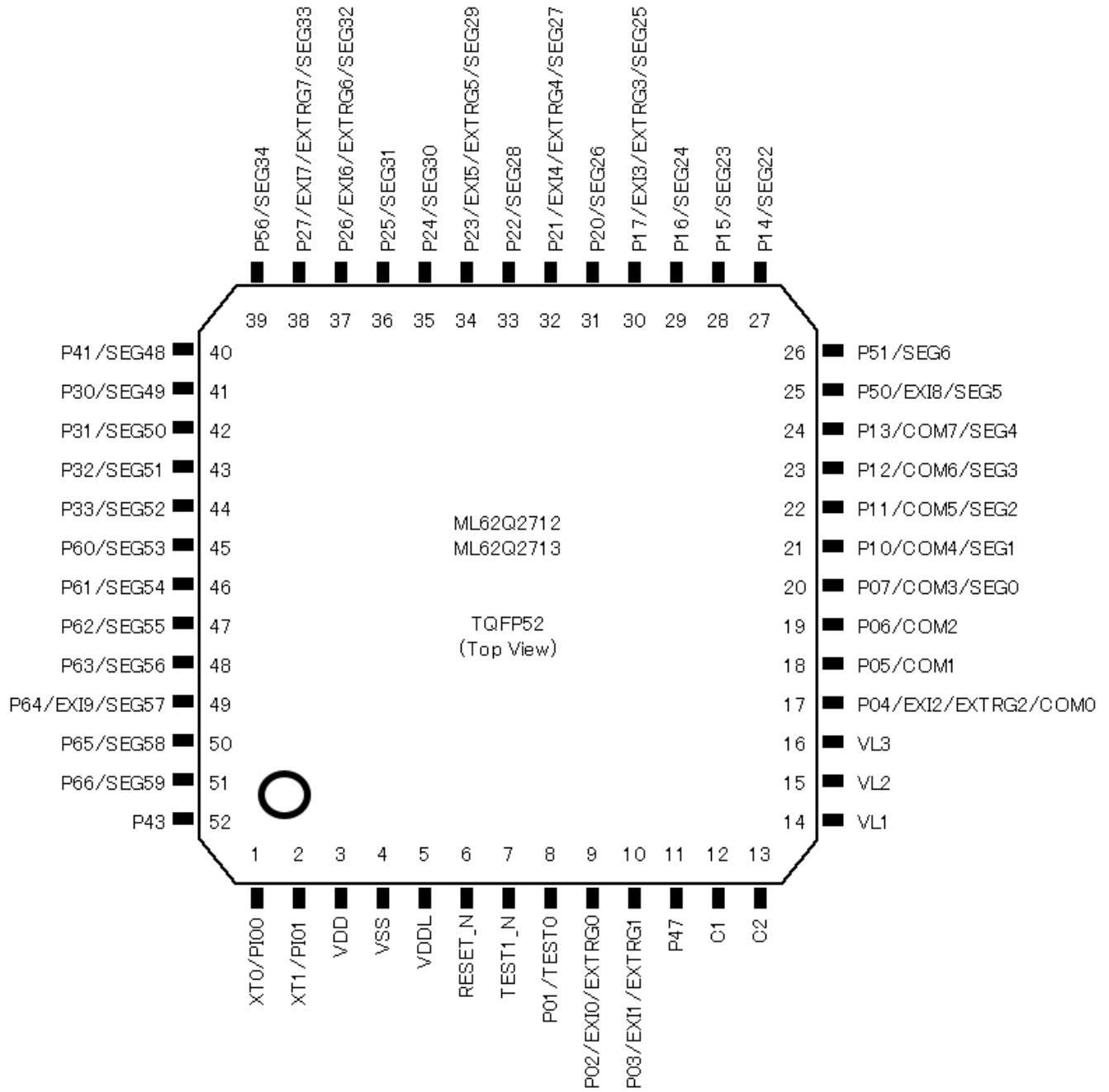


図 3-5 52ピン TQFP

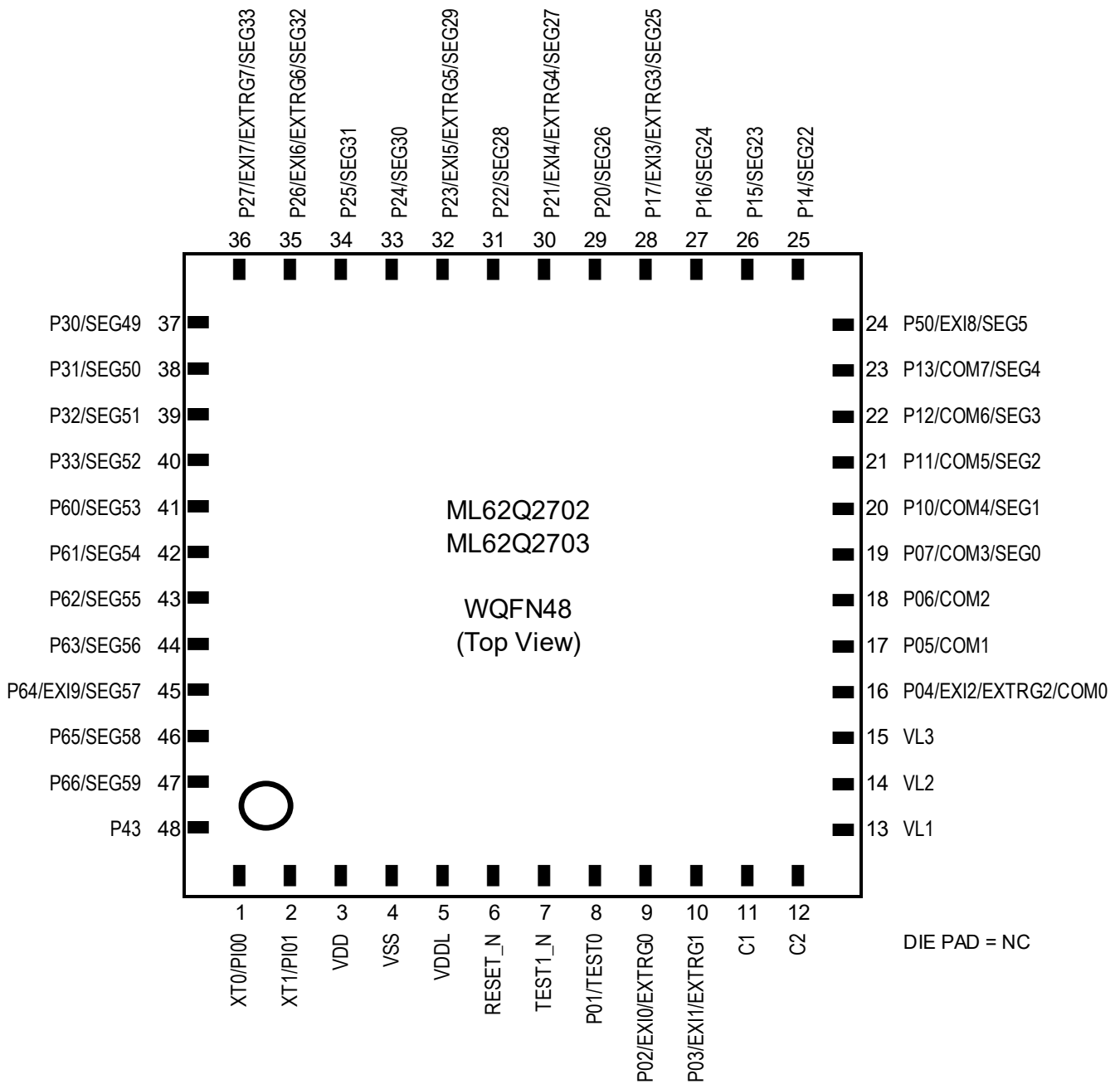


図 3-6 48ピン WQFN

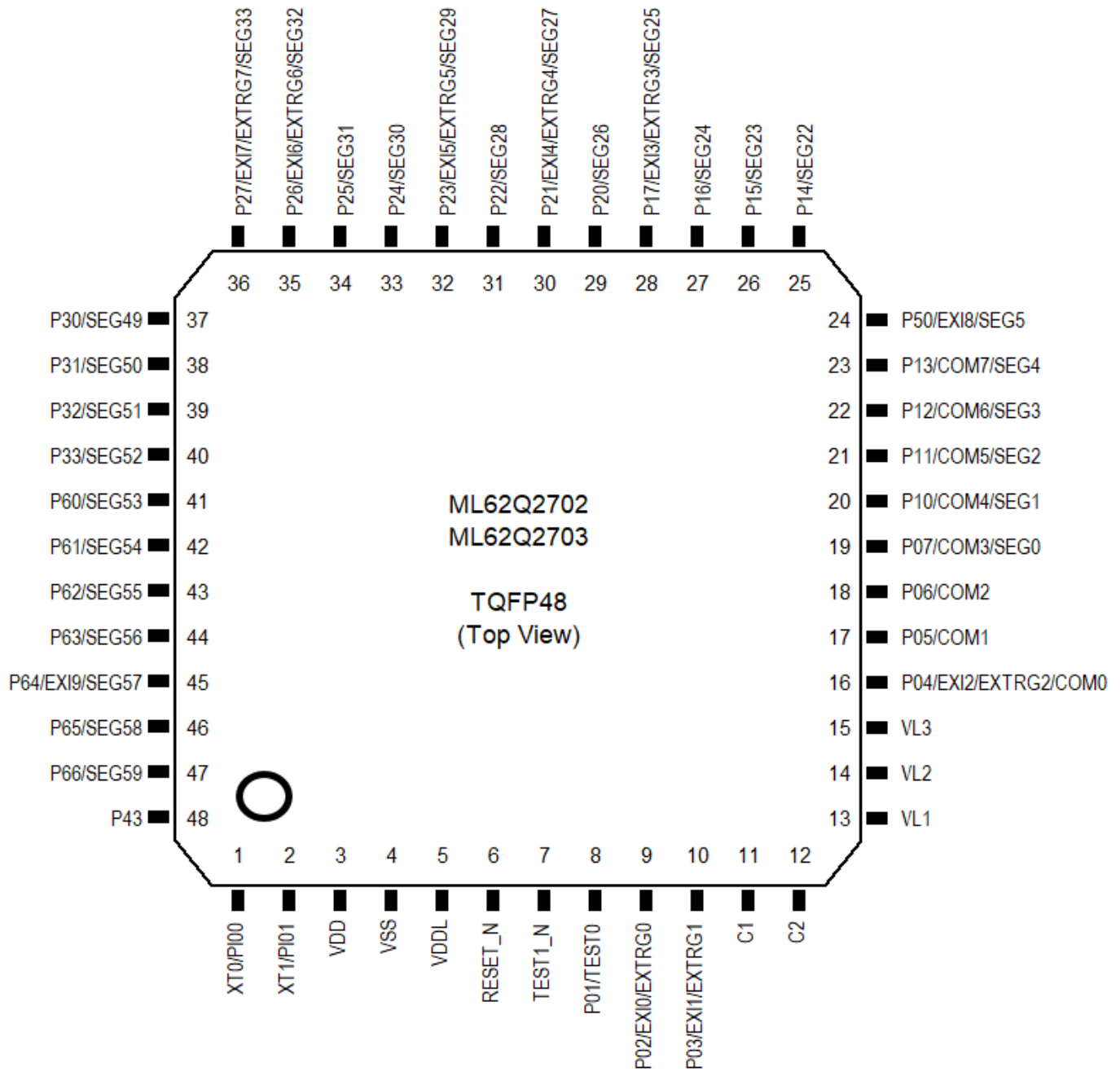


図 3-7 48 ピン TQFP

■端子一覧

表 3 に端子一覧を示します。

表 3 端子一覧(1/3)

Pin No.						LSI 端子名	キャリア 周波数 出力	1次機能	2次機能	3次機能	4次機能	5次機能	6次機能	7次機能
48Pin	52Pin	64Pin	80Pin	TQFP100	QFP100			外部割込み/ LCD/ ADC	SSIO	UART	I ² C	FTM	Timer	CLKOUT/ LTBC
3	3	3	3	3	5	VDD	—	—	—	—	—	—	—	
—	—	—	42	52	54	VDD	—	—	—	—	—	—	—	
4	4	4	4	4	6	VSS	—	—	—	—	—	—	—	
—	—	—	41	51	53	NC	—	—	—	—	—	—	—	
5	5	5	5	5	7	VDDL	—	—	—	—	—	—	—	
1	1	1	1	1	3	XT0	—	PI00	—	—	—	—	—	
2	2	2	2	2	4	XT1	—	PI01	—	—	—	—	—	
6	6	6	6	6	8	RESET_N	—	—	—	—	—	—	—	
7	7	7	7	7	9	TEST1_N	—	—	—	—	—	—	—	
8	8	8	8	8	10	P01/TEST0	—	—	—	—	—	—	—	
9	9	11	14	19	21	P02	—	EXI0	SIN0	RXD0	SCLU0	FTO0	—	LCKO
10	10	12	15	20	22	P03	●	EXI1 AIN11	SOUT0	TXD0	SDAU0	FTO0N	—	HCKO*1
16	17	21	25	30	32	P04	—	EXI2 COM0	SCLK0	—	SCLU0	—	TMO0	—
17	18	22	26	31	33	P05	—	COM1	SIN2 ³	—	—	—	—	—
18	19	23	27	32	34	P06	—	COM2	SOUT2 ³	—	SDAM0	—	—	—
19	20	24	28	33	35	P07	—	COM3 SEG0	SCLK2 ³	RXD0	SCLM0	—	—	—
20	21	25	29	34	36	P10	—	COM4 SEG1	—	TXD0	—	—	—	—
21	22	26	30	35	37	P11	●	EXI1 COM5 SEG2	SCLK0	—	—	—	—	—
22	23	27	31	36	38	P12	—	EXI6 COM6 SEG3	SIN0	RXD0	—	—	TMO4	—
23	24	28	32	37	39	P13	●	EXI7 COM7 SEG4	SOUT0	TXD0	—	—	TMO1	TMO3
25	27	35	45	57	59	P14	—	EXI2 SEG22	SDIF0	—	—	—	—	ERSI*2
26	28	36	46	58	60	P15	—	SEG23	SSNF0	—	SDAU0	—	—	ERCBSB*2
27	29	37	47	59	61	P16	—	SEG24	SCLK1	SDOF0 ²	SCLU0	—	TMO5 ³	ERSO*2
28	30	38	48	60	62	P17	—	EXI3 SEG25 AIN0	—	RXD0	—	FTO1	—	—
29	31	39	49	61	63	P20	●	SEG26 AIN1	—	TXD0	—	FTO1N	—	TBCO
30	32	40	50	62	64	P21	—	EXI4 SEG27 AIN2	SIN1	RXD1	—	FTO2	—	LCKO
31	33	41	51	63	65	P22	●	AIN3 SEG28	SOUT1	TXD1	SDAM0	FTO2N	—	HCKO*1
32	34	42	52	64	66	P23	—	EXI5 SEG29 VREF	SCLK1	—	SCLM0	—	TMO2	—
33	35	43	53	65	67	P24	—	SEG30 AIN4	SIN1	RXD1	—	—	—	—
34	36	44	54	66	68	P25	●	SEG31 AIN5	SOUT1	TXD1	—	—	—	—
35	37	45	55	67	69	P26	—	EXI6 SEG32 AIN6	—	RXD1	SDAU0	FTO3	—	—
36	38	46	56	68	70	P27	●	EXI7 SEG33 AIN7	—	TXD1	SCLU0	FTO3N	—	TBCO

*1:HCKO は、それぞれ 1 端子のみに割り当ててください。

*2:ML62Q2747/ML62Q2746/ML62Q2745/ML62Q2737/ML62Q2736/ML62Q2735/M62Q2727/ML62Q2726/ML62Q2725 に
は搭載されていません。

*3:ML62Q2723/ML62Q2713/ML62Q2703/ML62Q2722/ML62Q2712/ML62Q2702 には搭載されていません。

表 3 端子一覧(2/3)

Pin No.						LSI 端子名	キャリア 周波数 出力	1次機能	2次機能	3次機能	4次機能	5次機能	6次機能	7次機能
48Pin	52Pin	64Pin	80Pin	TOFP100	QEP100			外部割込み/ LCD/ ADC	SSIO	UART	I ² C	FTM	Timer/ SOUND	CLKOUT/ LTBC/ SFMIF
37	41	51	67	84	86	P30	—	SEG49	ESIN1 ^{*3}	—	—	—	—	
38	42	52	68	85	87	P31	—	EXI1 SEG50	ESOUT1 ^{*3}	—	—	—	TBCO	
39	43	53	69	86	88	P32	—	SEG51	ESCLK1 ^{*3}	RXD1	—	—	—	
40	44	54	70	87	89	P33	●	EXI2 SEG52	—	TXD1	—	—	TMO3	
—	—	49	65	82	84	P40	—	SEG47	—	ETXD2 ^{*3}	—	—	—	
—	40	50	66	83	85	P41	—	EXI0 SEG48	—	ERXD2 ^{*3}	—	—	—	
—	—	63	79	96	98	P42	—	SEG61	—	ETXD0 ^{*3}	—	—	—	
48	52	64	80	100	2	P43	—	EXI7 AIN10	—	—	—	—	TBCO	
—	—	9	12	17	19	P44	—	EXI2	—	ERXD1 ^{*3}	—	FTO3N	—	
—	—	10	13	18	20	P45	—	EXI3	—	ETXD1 ^{*3}	—	—	—	
—	—	13	16	21	23	P46	—	EXI4	—	—	SDAU0	FTO1N	—	
—	11	14	17	22	24	P47	—	EXI5	SCLK0	—	SCLU0	FTO1	—	
24	25	29	33	38	40	P50	—	EXI8 SEG5	SCKF0	—	—	—	ERSCK	
—	26	30	34	39	41	P51	—	EXI3 SEG6	SDOF0	—	—	—	ERSO	
—	—	31	35	40	42	P52	—	EXI4 SEG7	SDIF0	ERXD1 ^{*3}	—	—	ERSI	
—	—	32	36	41	43	P53	—	EXI5 SEG8	SSNF0	ETXD1 ^{*3}	—	—	ERCSB	
—	—	33	43	55	57	P54	—	EXI0 SEG20	SCKF0	RXD2 ^{*3}	—	FTO7 ^{*3}	TMOX	
—	—	34	44	56	58	P55	—	EXI1 SEG21	SDOF0	TXD2 ^{*3}	—	FTO7N ^{*3}	—	
—	39	47	57	69	71	P56	—	SEG34 AIN12 ^{*4}	SIN2 ^{*3}	RXD2 ^{*3}	—	—	—	
—	—	48	58	70	72	P57	—	SEG35 AIN13 ^{*4}	SOUT2 ^{*3}	TXD2 ^{*3}	—	—	—	
41	45	55	71	88	90	P60	—	SEG53	ESIN2 ^{*3}	—	SCLM1	—	—	
42	46	56	72	89	91	P61	—	EXI3 SEG54	ESOUT2 ^{*3}	—	SDAM1	—	SOP	
43	47	57	73	90	92	P62	—	SEG55	ESCK2 ^{*3}	—	—	FTO4N	SON	
44	48	58	74	91	93	P63	—	EXI4 SEG56	—	—	—	FTO4	—	
45	49	59	75	92	94	P64	—	EXI9 SEG57	ESIN0 ^{*3}	ERXD0 ^{*3}	—	FTO5	—	
46	50	60	76	93	95	P65	—	EXI5 SEG58 AIN8	ESOUT0 ^{*3}	ETXD0 ^{*3}	—	FTO5N	—	
47	51	61	77	94	96	P66	—	SEG59 AIN9	ESCLK0 ^{*3}	—	—	FTO6 ^{*3}	—	
—	—	62	78	95	97	P67	—	EXI6 SEG60	—	ERXD0 ^{*3}	—	FTO6N ^{*3}	—	
—	—	20	24	29	31	P70	—	EXI0	—	—	—	—	TMO6 ^{*3}	
15	16	19	23	28	30	VL3	—	—	—	—	—	—	—	
14	15	18	22	27	29	VL2	—	—	—	—	—	—	—	
13	14	17	21	26	28	VL1	—	—	—	—	—	—	—	
12	13	16	20	25	27	C2	—	—	—	—	—	—	—	
11	12	15	19	24	26	C1	—	—	—	—	—	—	—	
—	—	—	18	23	25	P76	—	EXI10	—	—	—	—	—	
—	—	—	—	99	1	P77	—	SEG64	—	—	—	—	—	

*3: ML62Q2723/ML62Q2713/ML62Q2703/ML62Q2722/ML62Q2712/ML62Q2702 には搭載されていません。

*4: ML62Q2727/ML62Q2726/ML62Q2725/ML62Q2723/ML62Q2713/ML62Q2703/ML62Q2722/ML62Q2712/ML62Q2702 には搭載されていません。

表 3 端子一覧(3/3)

Pin No.						LSI 端子名	キャリア 周波数 出力	1次機能	2次機能	3次機能	4次機能	5次機能	6次機能	7次機能
48Pin	52Pin	64Pin	80Pin	TQFP-100	QFP-100			外部割込み/ LCD/ ADC	SSIO	UART	I ² C	FTM	Timer	CLKOUT/ LTBC
—	—	—	9	9	11	P80	—	EXI6	ESIN1 ^{*3}	ERXD1 ^{*3}	—	—	—	
—	—	—	10	10	12	P81	—	EXI7	ESOUT1 ^{*3}	ETXD1 ^{*3}	—	—	—	
—	—	—	11	11	13	P82	—	—	ESCLK1 ^{*3}	—	—	—	—	
—	—	—	—	12	14	P83	—	—	—	ERXD2 ^{*3}	—	—	—	
—	—	—	—	13	15	P84	—	—	—	ETXD2 ^{*3}	—	—	—	
—	—	—	—	14	16	P85	—	—	—	—	—	—	—	
—	—	—	—	15	17	P86	—	—	—	—	FTO7 ^{*3}	—	—	
—	—	—	—	16	18	P87	—	—	—	—	FTO7N ^{*3}	—	—	
—	—	—	—	42	44	P90	—	SEG9	—	—	—	—	—	
—	—	—	—	43	45	P91	—	SEG10	—	—	—	—	—	
—	—	—	—	44	46	P92	—	SEG11	—	—	—	—	—	
—	—	—	37	45	47	P93	—	SEG12	ESIN1 ^{*3}	ERXD1 ^{*3}	—	FTO6 ^{*3}	—	
—	—	—	38	46	48	P94	—	SEG13	ESOUT1 ^{*3}	ETXD1 ^{*3}	—	FTO6N ^{*3}	—	
—	—	—	39	47	49	P95	—	SEG14	ESCLK1 ^{*3}	—	—	—	—	
—	—	—	40	48	50	P96	—	SEG15	—	—	—	—	—	
—	—	—	—	49	51	P97	—	SEG16	—	—	—	—	—	
—	—	—	—	50	52	PA0	—	SEG17	—	—	—	—	—	
—	—	—	—	53	55	PA1	—	SEG18	—	—	—	—	—	
—	—	—	—	54	56	PA2	—	SEG19	—	—	—	—	—	
—	—	—	59	71	73	PA3	—	EXI11 SEG36 AIN14	SCLK2 ^{*3}	—	—	FTO7 ^{*3}	—	
—	—	—	60	72	74	PA4	—	SEG37 AIN15	—	—	—	FTO7N ^{*3}	—	
—	—	—	—	73	75	PA5	—	SEG38	—	—	—	—	—	
—	—	—	—	74	76	PA6	—	SEG39	—	—	—	—	—	
—	—	—	—	75	77	PA7	—	SEG40	—	—	—	—	—	
—	—	—	—	76	78	PB0	—	SEG41	—	—	—	—	—	
—	—	—	—	77	79	PB1	—	SEG42	—	—	—	—	—	
—	—	—	61	78	80	PB2	—	SEG43	ESIN2 ^{*3}	ERXD2 ^{*3}	—	—	—	
—	—	—	62	79	81	PB3	—	SEG44	ESOUT2 ^{*3}	ETXD2 ^{*3}	—	—	—	
—	—	—	63	80	82	PB4	—	SEG45	ESCLK2 ^{*3}	—	—	—	—	
—	—	—	64	81	83	PB5	—	SEG46	—	ERXD2 ^{*3}	—	—	—	
—	—	—	—	97	99	PB6	—	SEG62	—	—	—	—	—	
—	—	—	—	98	100	PB7	—	SEG63	—	—	—	—	—	

*3: ML62Q2723/ML62Q2713/ML62Q2703/ML62Q2722/ML62Q2712/ML62Q2702 には搭載されていません。

■端子説明

表 4 に端子説明を示します。

I/O 欄の“－”は電源端子，“I”は入力端子，“O”は出力端子，“I/O”は入出力端子を示します。

表 4 端子説明(1/5)

機能	信号名	端子名	I/O	説明
電源	－	VSS	－	マイナス側電源 本端子の電位を V _{SS} とします
	－	VDD	－	プラス側電源 VSS との間にコンデンサ C _V (1μF 以上)を接続してください 本端子の電位を V _{DD} とします
	－	VDDL	－	内部ロジック用電源(内部発生) VSS との間にコンデンサ C _L (1μF)を接続してください
デバッグ ISP	TEST0	P01/ TEST0	I/O	テスト用入出力 オンチップデバッグ機能, および ISP 機能に使用します P01 と兼用です。初期値はプルアップ抵抗付き入力です
	TEST1_N	TEST1_N	I	テスト用入力 オンチップデバッグ機能, および ISP 機能に使用します 初期値はプルアップ抵抗付き入力です
リセット	RESET_N	RESET_N	I	リセット入力 この端子を“L”レベルにするとシステムリセットモードになり, “H”レベルにするとプログラム動作モードに移行します (プルアップ抵抗は内蔵されていません)
未使用	NC	NC	－	オープンにしてください
汎用入力 ポート (GPI)	PI00, PI01	XT0, XT1	I	汎用入力 ・ハイインピーダンス (初期値) ・プルアップ抵抗無し入力
	P01	P01/ TEST0	I	汎用入力 ・プルアップ抵抗付き入力 (初期値) ・プルアップ抵抗無し入力 TEST0 と兼用のため, オンチップデバッグ機能もしくは ISP 機能を使用する場合は汎用ポートとして使用できません
汎用ポート (GPIO)	P02~P07	P02~P07	I/O	汎用入出力 ・ハイインピーダンス (初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・N チャネル (N-ch)オープンドレイン出力
	P10~P17	P10~P17		
	P20~P27	P20~P27		
	P30~P33	P30~P33		
	P40~P47	P40~P47		
	P50~P57	P50~P57		
	P60~P67	P60~P67		
	P70, P76~P77	P70, P76~P77		
	P80~P87	P80~P87		
	P90~P97	P90~P97		
	PA0~PA7	PA0~PA7		
PB0~PB7	PB0~PB7			
クロック入力	XT0	XT0	I	低速(32.768kHz)水晶振動子と接続し, VSS との間にコンデンサを接続します。矩形波クロックを入力する場合は XT1 より入力します
	XT1	XT1	I/O	
クロック出力 (7 次機能)	HCKO	P03 P22	O	高速クロック出力
	LCKO	P02 P21	O	低速クロック出力
	TBCO	P20 P27 P31 P43	O	低速タイムベースカウンタ出力
キャリア周波 数出力	－	P03 P11 P13 P20 P22 P25 P27 P33	O	キャリア周波数出力

表 4 端子説明(2/5)

機能	信号名	端子名	I/O	説明
外部割込み (1次機能)	EXI0	P02 P41 P54 P70	I	マスカブル外部 0 割込み
	EXI1	P03 P11 P31 P55	I	マスカブル外部 1 割込み
	EXI2	P04 P33 P14 P44	I	マスカブル外部 2 割込み
	EXI3	P17 P61 P51 P45	I	マスカブル外部 3 割込み
	EXI4	P21 P63 P52 P46	I	マスカブル外部 4 割込み
	EXI5	P23 P65 P53 P47	I	マスカブル外部 5 割込み
	EXI6	P26 P67 P12 P80	I	マスカブル外部 6 割込み
	EXI7	P27 P43 P13 P81	I	マスカブル外部 7 割込み
	EXI8	P50	I	マスカブル外部 8 割込み
	EXI9	P64	I	マスカブル外部 9 割込み
	EXI10	P76	I	マスカブル外部 10 割込み
EXI11	PA3	I	マスカブル外部 11 割込み	
16bit タイマ (6次機能)	TMO0	P04	O	16bit タイマ 0 出力
	TMO1	P13	O	16bit タイマ 1 出力
	TMO2	P23	O	16bit タイマ 2 出力
	TMO3	P13 P33	O	16bit タイマ 3 出力
	TMO4	P12	O	16bit タイマ 4 出力
	TMO5	P16	O	16bit タイマ 5 出力
	TMO6	P70	O	16bit タイマ 6 出力
	TMOX	P54	O	16bit タイマ X 出力
ファンクショナル タイマ (5次機能)	FTO0	P02	O	ファンクショナルタイマ 0 P 出力
	FTO0N	P03	O	ファンクショナルタイマ 0 N 出力
	FTO1	P17 P47	O	ファンクショナルタイマ 1 P 出力
	FTO1N	P20 P46	O	ファンクショナルタイマ 1 N 出力
	FTO2	P21	O	ファンクショナルタイマ 2 P 出力
	FTO2N	P22	O	ファンクショナルタイマ 2 N 出力
	FTO3	P01 P26	O	ファンクショナルタイマ 3 P 出力
	FTO3N	P27 P44	O	ファンクショナルタイマ 3 N 出力
	FTO4	P63	O	ファンクショナルタイマ 4 P 出力
	FTO4N	P62	O	ファンクショナルタイマ 4 N 出力
	FTO5	P64	O	ファンクショナルタイマ 5 P 出力
	FTO5N	P65	O	ファンクショナルタイマ 5 N 出力
	FTO6	P66 P93	O	ファンクショナルタイマ 6 P 出力
	FTO6N	P67 P94	O	ファンクショナルタイマ 6 N 出力
FT71	P54 P86 PA3	O	ファンクショナルタイマ 7 P 出力	
FTO7N	P55 P87 PA4	O	ファンクショナルタイマ 7 N 出力	
I ² C バス (4次機能)	SCLU0	P02	I/O	I ² C ユニット 0 クロック入出力
		P04		
		P16		
		P27		
	SDAU0	P47	I/O	I ² C ユニット 0 データ入出力
		P03		
		P15		
		P26		
	SCLM0	P46	I/O	I ² C マスタ 0 クロック入出力
		P07		
SDAM0	P23	I/O	I ² C マスタ 0 データ入出力	
	P06			
SCLM1	P22	I/O	I ² C マスタ 1 クロック入出力	
	P60			
SDAM1	P61	I/O	I ² C マスタ 1 データ入出力	

表 4 端子説明(3/5)

機能	信号名	端子名	I/O	説明
UART (3次機能)	RXD0	P02 P07 P12 P17	I	UART0 受信データ入力
	TXD0	P03 P10 P13 P20	O	UART0 送信データ出力
	RXD1	P21 P24 P26 P32	I	UART1 受信データ入力
	TXD1	P22 P25 P27 P33	O	UART1 送信データ出力
	RXD2	P54 P56	I	UART2 受信データ入力
	TXD2	P55 P57	O	UART2 送信データ出力
	ERXD0	P64 P67	I	拡張 UART0 受信データ入力
	ETXD0	P42 P65	O	拡張 UART0 送信データ出力
	ERXD1	P44 P52 P80 P93	I	拡張 UART1 受信データ入力
	ETXD1	P45 P53 P81 P94	O	拡張 UART1 送信データ出力
	ERXD2	P41 P83 PB2 PB5	I	拡張 UART2 受信データ入力
ETXD2	P40 P84 PB3	O	拡張 UART2 送信データ出力	
SSIO (2次機能)	SCKF0	P50 P54	I/O	FIFO 付き同期式シリアル 0 クロック入出力
	SDIF0	P14 P52	I	FIFO 付き同期式シリアル 0 データ入力
	SDOF0	P51 P55	O	FIFO 付き同期式シリアル 0 データ出力
	SSNF0	P15 P53	I/O	FIFO 付き同期式シリアル 0 スレーブ選択信号
	SCLK0	P04 P11 P47	I/O	同期式シリアル 0 クロック入出力
	SIN0	P02 P12	I	同期式シリアル 0 データ入力
	SOUT0	P03 P13	O	同期式シリアル 0 データ出力
	SCLK1	P16 P23	I/O	同期式シリアル 1 クロック入出力
	SIN1	P21 P24	I	同期式シリアル 1 データ入力
	SOUT1	P22 P25	O	同期式シリアル 1 データ出力
	SCLK2	P07 PA3	I/O	同期式シリアル 2 クロック入出力
	SIN2	P05 P56	I	同期式シリアル 2 データ入力
	SOUT2	P06 P57	O	同期式シリアル 2 データ出力
	ESCLK0	P66	I/O	拡張同期式シリアル 0 クロック入出力
	ESIN0	P64	I	拡張同期式シリアル 0 データ入力
	ESOUT0	P65	O	拡張同期式シリアル 0 データ出力
	ESCLK1	P32 P82 P95	I/O	拡張同期式シリアル 1 クロック入出力
	ESIN1	P30 P80 P93	I	拡張同期式シリアル 1 データ入力
	ESOUT1	P31 P81 P94	O	拡張同期式シリアル 1 データ出力
ESCLK2	P62 PB4	I/O	拡張同期式シリアル 2 クロック入出力	
ESIN2	P60 PB2	I	拡張同期式シリアル 2 データ入力	
ESOUT2	P61 PB3	O	拡張同期式シリアル 2 データ出力	
音声再生 機能 (6次機能)	SOP	P61	O	音声用 PWM の P 側出力
	SON	P62	O	音声用 PWM の N 側出力
シリアル・メモリ ・インタフェース (7次機能)	ERSCK	P50	O	音声用外部シリアル・フラッシュ・メモリのシリアルクロック出力
	ERSO	P16 ^{*1}	O	音声用外部シリアル・フラッシュ・メモリのシリアルデータ出力
		P51		
	ERSI	P14	I	音声用外部シリアル・フラッシュ・メモリのシリアルデータ入力
P52				
ERCSB	P15 P53	I/O	音声用外部シリアル・フラッシュ・メモリのチップセレクト入出力	
逐次比較型 A/D コンバータ (SA-ADC) (1次機能)	VREF	P23	I	逐次比較型 A/D コンバータ用リファレンス電源 本端子の電位を VREF とします
	AIN0~AIN15	P17 P20 P21 P22 P24 P25 P26 P27 P65 P66 P43 P03 P56 ^{*2} P57 ^{*2} PA3 PA4	I	逐次比較型 A/D コンバータチャンネル 0~15 アナログ入力

*1: ML62Q2723/Q2713/Q2703/Q2722/Q2712/Q2702 のみ搭載されています。3次機能で使用してください。

*2: ML62Q2747/ML62Q2737/ML62Q2746/ML62Q2736/ML62Q2745/ML62Q2735 のみ搭載されています。

表 4 端子説明(4/5)

機能	信号名	端子名	I/O	説明
LCDドライバ	COM0	P04	—	コモン出力
	COM1	P05	—	コモン出力
	COM2	P06	—	コモン出力
	COM3/SEG0	P07	—	コモン出力/セグメント出力
	COM4/SEG1	P10	—	コモン出力/セグメント出力
	COM5/SEG2	P11	—	コモン出力/セグメント出力
	COM6/SEG3	P12	—	コモン出力/セグメント出力
	COM7/SEG4	P13	—	コモン出力/セグメント出力
	SEG5	P50	—	セグメント出力
	SEG6	P51	—	セグメント出力
	SEG7	P52	—	セグメント出力
	SEG8	P53	—	セグメント出力
	SEG9	P90	—	セグメント出力
	SEG10	P91	—	セグメント出力
	SEG11	P92	—	セグメント出力
	SEG12	P93	—	セグメント出力
	SEG13	P94	—	セグメント出力
	SEG14	P95	—	セグメント出力
	SEG15	P96	—	セグメント出力
	SEG16	P97	—	セグメント出力
	SEG17	PA0	—	セグメント出力
	SEG18	PA1	—	セグメント出力
	SEG19	PA2	—	セグメント出力
	SEG20	P54	—	セグメント出力
	SEG21	P55	—	セグメント出力
	SEG22	P14	—	セグメント出力
	SEG23	P15	—	セグメント出力
	SEG24	P16	—	セグメント出力
	SEG25	P17	—	セグメント出力
	SEG26	P20	—	セグメント出力
	SEG27	P21	—	セグメント出力
	SEG28	P22	—	セグメント出力
	SEG29	P23	—	セグメント出力
	SEG30	P24	—	セグメント出力
	SEG31	P25	—	セグメント出力
	SEG32	P26	—	セグメント出力
	SEG33	P27	—	セグメント出力
	SEG34	P56	—	セグメント出力
	SEG35	P57	—	セグメント出力
	SEG36	PA3	—	セグメント出力
	SEG37	PA4	—	セグメント出力
	SEG38	PA5	—	セグメント出力
	SEG39	PA6	—	セグメント出力
SEG40	PA7	—	セグメント出力	
SEG41	PB0	—	セグメント出力	
SEG42	PB1	—	セグメント出力	
SEG43	PB2	—	セグメント出力	

表 4 端子説明(5/5)

機能	信号名	端子名	I/O	説明	
LCDドライバ	SEG44	PB3	—	セグメント出力	
	SEG45	PB4	—	セグメント出力	
	SEG46	PB5	—	セグメント出力	
	SEG47	P40	—	セグメント出力	
	SEG48	P41	—	セグメント出力	
	SEG49	P30	—	セグメント出力	
	SEG50	P31	—	セグメント出力	
	SEG51	P32	—	セグメント出力	
	SEG52	P33	—	セグメント出力	
	SEG53	P60	—	セグメント出力	
	SEG54	P61	—	セグメント出力	
	SEG55	P62	—	セグメント出力	
	SEG56	P63	—	セグメント出力	
	SEG57	P64	—	セグメント出力	
	SEG58	P65	—	セグメント出力	
	SEG59	P66	—	セグメント出力	
	SEG60	P67	—	セグメント出力	
	SEG61	P42	—	セグメント出力	
	SEG62	PB6	—	セグメント出力	
	SEG63	PB7	—	セグメント出力	
	SEG64	P77	—	セグメント出力	
		C1, C2	C1, C2	—	LCD バイアス電源発生用コンデンサ C12 を接続します
		VL1 ~ VL3	VL1 ~ VL3	—	LCD バイアス電源 VSS との間にそれぞれ C _{L1} , C _{L2} , C _{L3} を接続します

■未使用端子処理

表 5 に未使用端子の処理方法を示します。

表 5 未使用端子の処理

端子名	端子処理
NC	オープンにしてください。
RESET_N	VDD に接続してください
TEST1_N	VDD に接続してください
P01/TEST0	初期値のプルアップ抵抗付き入力モードの状態を端子をオープンにしてください
XT0, XT1	初期値のハイインピーダンスの状態(入力無効、出力無効)で端子をオープンにしてください
P02 ~ P07	
P10 ~ P17	
P20 ~ P27	
P30 ~ P33	
P40 ~ P37	
P50 ~ P57	
P60 ~ P67	
P70, P76, P77	
P80 ~ P87	
P90 ~ P97	
PA0 ~ PA7	
PB0 ~ PB7	
C1, C2	オープンにしてください
VL1, VL2	オープンにしてください
VL3	VDD に接続してください VDD への接続は抵抗(1kΩ 以上)を介することを推奨します。

【注意】

- 未使用の入力端子および入出力端子は、入力状態(プルアップ抵抗無しの入力モードまたは入出力モード)で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 5 の処理方法に従ってください。

■電気的特性

●絶対最大定格

(V_{SS} = 0V)

項目	記号	条件		定格値	単位
電源電圧 1	V _{DD}	Ta = +25°C		-0.3~+6.5	V
電源電圧 2	V _{DDL}			-0.3~+2.0	
電源電圧 3	V _{L3}			-0.3~+6.5	
電源電圧 4	V _{L1} , V _{L2}			-0.3~V _{L3} +0.3* ¹	
入力電圧	V _{IN}			-0.3~V _{DD} +0.3* ¹	
出力電圧 1	V _{OUT1}			-0.3~V _{DD} +0.3* ¹	
出力電圧 2 (COM0~COM7, SEG0~SEG64)	V _{OUT2}			-0.3~+6.5	
ハイ・レベル出力電流	I _{OUTH}	Ta = +25°C	1 端子	-40* ²	mA
			端子合計	-180* ²	
ロウ・レベル出力電流	I _{OUTL}	Ta = +25°C	1 端子	+40	
			端子合計	+180	
許容損失	PD	Ta = +25°C		1	W
保存温度	T _{STG}	—		-55~+150* ³	°C

*1 6.5V 以下であること。

*2 LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。
流せる電流値は、絶対値が最大値となります。

例:-1mA の場合は 最大 1mA の電流が LSI の端子から流れ出すことになります。

*3 実装までの保管については、「ボード実装 (半田付け) に関して」に示す保管条件を守ってください。

【注意】

- 絶対最大定格とは、製品の物理的品質を損なわないための許容値であり、動作を保証するものではありません。

●推奨動作条件

(V_{SS} = 0V)

項目	記号	条件	範囲	単位
動作温度 (周囲)	Ta	—	-40~+105	°C
動作温度 (ジャンクション)	Tj		-40~+115	
動作電圧 1	V _{DD}		1.8~5.5	
動作電圧 2	V _{L3}	外部印加方式	2.7~5.5	V
動作電圧 3	V _{L2}		2/3 x V _{L3}	
動作電圧 4	V _{L1}		1/3 x V _{L3}	
動作周波数 (CPU)	f _{OP}	V _{DD} = 1.8~5.5V	30k~25M	Hz
VDDL 端子外付け容量	C _L	—	1.0±30%	μF
V _{L1} , V _{L2} , V _{L3} 端子 外付け容量	C _{L1} , C _{L2} , C _{L3}		0.47±30% or 1.0±30%	
C1,C2 端子外付け容量	C ₁₂		0.47±30% or 1.0±30%	

●熱特性

以下にチップージャンクション温度の見積り式を示します。

$$T_{jmax} = T_{amax} + P_{Dmax} \times \theta_{ja}$$

T_{amax} : 最高動作温度(周囲)

P_{Dmax} : LSI 最大消費電力

θ_{ja} : 熱抵抗

推奨動作条件に規定された T_{jmax} を超えないように、端子電流、周囲温度ならびに基板の放熱設計にご注意ください。

必要に応じて実装基板で評価してください。

以下は熱抵抗 θ_{ja} のシミュレーション結果です。放熱設計の参考値としてご使用ください。

項目	記号	パッケージ	基板条件		単位
			L1	L2	
熱抵抗	θ_{ja}	TQFP48	60.2	56.9	°C/W
		WQFN48	31.1	27.4	
		TQFP52	61.7	56.7	
		TQFP64	63.2	58.2	
		QFP64	47.2	43.3	
		QFP80	55.5	51.6	
		TQFP100	48.0	43.3	
		QFP100	104.7	101.3	

基板条件:

条件	L1	L2	単位
サイズ(L / W / T)	114.3 / 76.2 / 1.6	114.3 / 76.2 / 1.6	mm
層数	1	2	層
配線密度	60%(表層)	60%(表層,裏層)	—
空冷条件	無風(0m/s)		—

●消費電流特性 1

対象商品： ML62Q2725, ML62Q2726, ML62Q2727, ML62Q2735, ML62Q2736, ML62Q2737,
ML62Q2745, ML62Q2746, ML62Q2747

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	条件		規格値				単位	測定回路
	動作モード	状態 *1	Min.	Typ.*2	Max.			
					$T_j \leq +95^{\circ}C$	$T_j \leq +115^{\circ}C$		
IDD0	STOP-D	全てのクロックが停止	—	0.55	30	65	μA	1
IDD1	STOP	全てのクロックが停止	—	0.7	45	90		
IDD2-0R	HALT-D	RC32K 発振 XT32K/PLL 停止	—	0.9	30	65		
IDD2-0X	HALT-D	XT32K 発振 (LP モード, フィルタなし) RC32K/PLL 停止	—	1.25	30	70		
IDD2-1R	HALT (高速発振 OFF)	RC32K 発振 XT32K/PLL 停止	—	1.1	45	100		
IDD3	CPU 動作 ウェイトモード SYSCLK = 32.768kHz	RC32K 発振 XT32K/PLL 停止	—	11	—	110	mA	
IDD4-H1	CPU 動作 ウェイトモード SYSCLK = 1MHz	PLL1M モード HSCLK = 1MHz	—	0.23	—	0.48		
IDD4-H16		PLL16M モード HSCLK = 1MHz	—	0.33	—	0.63		
IDD5-H16	CPU 動作 ウェイトモード SYSCLK = 16MHz	PLL16M モード HSCLK = 1MHz	—	2.4	—	3.3		
IDD5-H24	CPU 動作 ウェイトモード SYSCLK = 24MHz	PLL24M モード HSCLK = 24MHz	—	3.5	—	4.8		

*1: IDD0, IDD1 を除き, すべて LTBC (ch0), WDT は動作状態です。また周辺ブロックへのクロック供給は全て停止状態です。
LSCLK1 は停止状態です。コードオプション VLMD = 1 の状態です。

*2: $V_{DD} = 3.0V$, $T_a = +25^{\circ}C$ 条件

●消費電流特性 2

対象商品: ML62Q2702, ML62Q2703, ML62Q2712, ML62Q2713, ML62Q2722, ML62Q2723

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	条件		規格値				単位	測定回路
	動作モード	状態 *1	Min.	Typ.*2	Max.			
					$T_j \leq +95^{\circ}C$	$T_j \leq +115^{\circ}C$		
IDD0	STOP-D	全てのクロックが停止	—	0.4	25	60	μA	1
IDD1	STOP	全てのクロックが停止	—	0.5	40	85		
IDD2-0R	HALT-D	RC32K 発振 XT32K/PLL 停止	—	0.7	25	60		
IDD2-0X	HALT-D	XT32K 発振 (LP モード, フィルタなし) RC32K/PLL 停止	—	1.1	25	65		
IDD2-1R	HALT (高速発振 OFF)	RC32K 発振 XT32K/PLL 停止	—	1	40	70		
IDD3	CPU 動作 ウェイトモード SYSCLK = 32.768kHz	RC32K 発振 XT32K/PLL 停止	—	10	—	80	mA	
IDD4-H1	CPU 動作 ウェイトモード SYSCLK = 1MHz	PLL1M モード HSCLK = 1MHz	—	0.23	—	0.38		
IDD4-H16		PLL16M モード HSCLK = 1MHz	—	0.34	—	0.5		
IDD5-H16	CPU 動作 ウェイトモード SYSCLK = 16MHz	PLL16M モード HSCLK = 16MHz	—	2.4	—	3.3		
IDD5-H24	CPU 動作 ウェイトモード SYSCLK = 24MHz	PLL24M モード HSCLK = 24MHz	—	3.4	—	4.8		

*1: IDD0, IDD1 を除き, すべて LTBC(ch0), WDT は動作状態です。また周辺ブロックへのクロック供給は全て停止状態です。
LSCLK1 は停止状態です。コードオプション VLMD = 1 の状態です。

*2: $V_{DD} = 3.0V$, $T_a = +25^{\circ}C$ 条件

●低速水晶発振特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

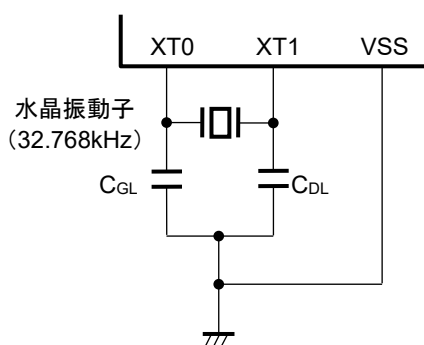
項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
水晶発振周波数*1*2	f_{XTL}	—	—	32.768	—	kHz
水晶発振開始時間	T_{XTL}	—	—	—	2	s

*1: 発振周波数は発振回路, 水晶振動子, 水晶発振外付け容量(C_{GL}/C_{DL})の回路定数で設定します。水晶振動子によって回路定は変わりますので, 実装回路でのマッチング評価が必要です。振動子メーカーにマッチング評価を依頼して発振特性を確認してご使用ください。

*2: 回路基板の材質や配線パターン, および水晶振動子や端子などの配線容量や寄生容量によって期待する発振特性が得られない可能性があります。外付け回路の設計には十分ご注意ください。

- 外付け回路の配線は極力短くしてください。
- 水晶発振外付け容量, 水晶振動子の配線は極力短くしてください。
- 外付け回路の配線と大電流が流れる配線は交差および隣接させないでください。
- 外付け回路の配線と他信号の配線は交差させないでください。
- 水晶発振外付け容量の接地点への接続については, 極力電流変動や電圧変動の少ない接地配線に接続してください。
- 使用環境によっては基板の吸湿や基板表面での結露などで期待する発振特性が得られない可能性があります。回路基板を樹脂密閉するなどの対策を推奨します。

低速水晶発振の外付け回路例



●外部クロック入力特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
入力周波数	f_{EXCK}	—	Typ. -1.0%	32.768	Typ. +1.0%	kHz
入力パルス幅	t_{EXCKW}	—	14.5	—	—	μs

●オンチップオシレータ特性 1

対象商品: ML62Q2725, ML62Q2726, ML62Q2727, ML62Q2735, ML62Q2736, ML62Q2737,
ML62Q2745, ML62Q2746, ML62Q2747

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
RC32K 発振周波数	f_{RCL1}	$T_a = -40 \sim +105^{\circ}C$ HALT-D モード以外	Typ.-1.5%	32.768	Typ.+1.5%	kHz	1
	f_{RCL2}	HALT-D モード	Typ.-10%		Typ.+10%		
PLL 発振周波数	f_{PLL1}	$T_a = -40 \sim +105^{\circ}C$ 内蔵低速 RC PLL 24MHz 時	Typ. -1.5%	24.002560	Typ. +1.5%	MHz	
		$T_a = -40 \sim +105^{\circ}C$ 内蔵低速 RC PLL 16MHz 時		16.007168			
		$T_a = -40 \sim +105^{\circ}C$ 内蔵低速 RC PLL 1MHz 時		0.999424			
PLL 発振安定時間	T_{PLL}	—	—	—	2	ms	
		HALT-H 復帰時 コードオプション VLMD=0 HALT-H 移行時との 温度変化がない場合	—	—	300	μs	
RC1K 発振周波数 (ウォッチドッグタイマ用)	f_{RC1K}	$T_a = -20 \sim +85^{\circ}C$	Typ.-15%	1.024	Typ.+15%	kHz	
		$T_a = -40 \sim +105^{\circ}C$	Typ.-25%		Typ.+25%		

本規格値は、弊社出荷時の規格値です。基板実装により周波数変動する場合があります。

●オンチップオシレータ特性 2

対象商品: ML62Q2702, ML62Q2703, ML62Q2712, ML62Q2713, ML62Q2722, ML62Q2723

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
RC32K 発振周波数	f_{RCL1}	$T_a = -40 \sim +105^\circ C$ HALT-D モード以外	Typ.-1.5% (Typ.-2.0%)*	32.768	Typ.+1.5% (Typ.+2.0%)*	kHz	1
	f_{RCL2}	HALT-D モード	Typ.-10%		Typ.+10%		
PLL 発振周波数	f_{PLL1}	$T_a = -40 \sim +105^\circ C$ 内蔵低速 RC PLL 24MHz 時	Typ. -1.5% (Typ.-2.0%)*	24.002560	Typ. +1.5% (Typ.+2.0%)*	MHz	
		$T_a = -40 \sim +105^\circ C$ 内蔵低速 RC PLL 16MHz 時		16.007168			
		$T_a = -40 \sim +105^\circ C$ 内蔵低速 RC PLL 1MHz 時		0.999424			
PLL 発振安定時間	T_{PLL}	—	—	—	2	ms	
		HALT-H 復帰時 コードオプション VLMD=0 HALT-H 移行時との 温度変化がない場合	—	—	300	μs	
RC1K 発振周波数 (ウォッチドッグタイマ用)	f_{RC1K}	$T_a = -20 \sim +85^\circ C$	Typ.-15%	1.024	Typ.+15%	kHz	
		$T_a = -40 \sim +105^\circ C$	Typ.-25%		Typ.+25%		

本規格値は、弊社出荷時の規格値です。基板実装により周波数変動する場合があります。

* : 48ピン WQFN パッケージ品

●入出力端子特性 1

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路	
			Min.	Typ.	Max.			
“H”/“L”レベル 出力電圧 1 (すべての 入出力端子)	VOH1	IOH1 = -10mA $V_{DD} \geq 4.5V$	V_{DD} -1.5	—	—	V	2	
		IOH1 = -1mA $V_{DD} \geq 1.8V$	V_{DD} -0.5	—	—			
	VOL1	IOL1 = +10mA $V_{DD} \geq 4.5V$	—	—	1.5			
		IOL1 = +1mA $V_{DD} \geq 1.8V$	—	—	0.5			
“L”レベル 出力電圧 2 (P01/ TEST0 以外 の入出力端子)	VOL2	N-ch オープンドレイン 出力選択時	IOL2 = +15mA $V_{DD} \geq 4.5V$	—	—			0.7
			IOL2 = +8mA $V_{DD} \geq 3.0V$	—	—			0.5
			IOL2 = +3mA $V_{DD} \geq 2.0V$	—	—	0.4		
			IOL2 = +2mA $V_{DD} \geq 1.8V$	—	—	0.4		
LCD COM/SEG 出力電圧 3 (COM0~COM7) (SEG0~SEG64)	VOH3M	$V_{L3} = 3V,$ $V_{L2} = 2V,$ $V_{L1} = 1V$	IOH3M = -0.03mA V_{L3} 出力時	V_{L3} -0.2	—	—		
	VOMH3P		IOMH3P = +0.03mA V_{L2} 出力時	—	—	V_{L2} +0.2		
	VOMH3M		IOMH3M = -0.03mA V_{L2} 出力時	V_{L2} -0.2	—	—		
	VOML3P		IOML3P = +0.03mA V_{L1} 出力時	—	—	V_{L1} +0.2		
	VOML3M		IOML3M = -0.03mA V_{L1} 出力時	V_{L1} -0.2	—	—		
	VOL3P		IOL3P = +0.03mA V_{SS} 出力時	—	—	0.2		

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$ $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
入力電流 1 (RESET_N)	IIH1	$V_{IH1} = V_{DD}$	—	—	1	μA	4
	IIL1	$V_{IL1} = V_{SS}$	-1*1	—	—		
入力電流 2 (P01/TEST0, TEST1_N)	IIL2	$V_{IL2} = V_{SS}$ (プルアップ時)*2	-1500*1	-300*1	-20*1	$k\Omega$	
	V/IIL2	$V_{IL2} = V_{SS}$ (プルアップ時)*2	3.7	10	80		
	IIH2Z	$V_{IH2} = V_{DD}$ (ハイインピーダンス時)	—	—	1	μA	
	IIL2Z	$V_{IL2} = V_{SS}$ (ハイインピーダンス時)	-1*1	—	—		
入力電流 3 (RESET_N, TEST1N, P01/TEST0 を除く入力端子, 入出力端子)	IIL3	$V_{IL1} = V_{SS}$ (プルアップ時)*2	-250*1	-30*1	-2*1	$k\Omega$	
	V/IIL3	$V_{IL1} = V_{SS}$ (プルアップ時)*2	22	100	800		
	IIH3Z	$V_{IH1} = V_{DD}$ (ハイインピーダンス時)	—	—	1	μA	
	IIL3Z	$V_{IL1} = V_{SS}$ (ハイインピーダンス時)	-1*1	—	—		
入力電流 4 (PI00, PI01)	IIH4	$V_{IH1} = V_{DD}$	—	—	1	μA	
	IIL4	$V_{IL1} = V_{SS}$	-1*1	—	—		
入力電圧 1 (入力端子, 入出力端子)	VIH1	—	$0.7 \times V_{DD}$	—	V_{DD}	V	5
	VIL1	—	0	—	$0.3 \times V_{DD}$		
端子容量 1 (P23 を除く入出力端子, RESET_N, 入力端子)	CPIN1	$f = 10kHz$ $T_a = 25^\circ C$	—	—	10	pF	—
端子容量 2 (P23)	CPIN2	$f = 10kHz$ $T_a = 25^\circ C$	—	—	20		—

*1: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例:-1mA の場合は最大 1mA の電流が LSI の端子から流れ出すこととなります。

*2: Typ.値は $V_{DD}=3.0V$ 条件です。また Min.値は $V_{DD}=5.5V$ のとき、Max.値は $V_{DD}=1.8V$ のときです。

●入出力端子特性 2

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路	
			Min.	Typ.	Max.			
“H”レベル出力電流 ^{1*6}	IOH1	1 端子	$V_{DD} \geq 4.5V$	-10^{*3*5}	—	—	mA	3
			$V_{DD} \geq 1.8V$	-1^{*3*5}	—	—		
“H”レベル出力合計電流 ^{1*4}	IOH3	グループ A またはグループ B の合計 (デューティ $\leq 50\%$ 時)**	$V_{DD} \geq 4.5V$	-90^{*5}	—	—		
			$V_{DD} \geq 1.8V$	-20^{*5}	—	—		
		全端子合計 (デューティ $\leq 50\%$ 時)	$V_{DD} \geq 4.5V$	-180^{*5}	—	—		
			$V_{DD} \geq 1.8V$	-40^{*5}	—	—		
“L”レベル出力電流 ^{1*6}	IOL1	1 端子 (CMOS 出力選択時)	$V_{DD} \geq 4.5V$	—	—	10^{*3}		
			$V_{DD} \geq 1.8V$	—	—	1^{*3}		
“L”レベル出力電流 ^{2*6}	IOL2	1 端子 (N-ch オープンドレイン出力選択時)	$V_{DD} \geq 4.5V$	—	—	15^{*3}		
			$V_{DD} \geq 3.0V$	—	—	8^{*3}		
			$V_{DD} \geq 2.0V$	—	—	3^{*3}		
			$V_{DD} \geq 1.8V$	—	—	2^{*3}		
“L”レベル出力合計電流 ^{2*4}	IOL3	グループ A またはグループ B の合計 (N-ch オープンドレイン出力選択時, デューティ $\leq 50\%$ 時)**	$V_{DD} \geq 4.5V$	—	—	90		
			$V_{DD} \geq 3.0V$	—	—	40		
			$V_{DD} \geq 2.0V$	—	—	15		
			$V_{DD} \geq 1.8V$	—	—	10		
		全端子合計 (N-ch オープンドレイン出力選択時, デューティ $\leq 50\%$ 時)	$V_{DD} \geq 4.5V$	—	—	180		
			$V_{DD} < 2.0V$	—	—	20		
出力リーク (すべての入出力端子)	IOOH	$VOH = V_{DD}$ (ハイインピーダンス時)	—	—	+1	μA		
	IOOL	$VOL = V_{SS}$ (ハイインピーダンス時)	-1^{*5}	—	—			

**： グループ A “P02~P07, P10~P13, P44~P47, P50~53, P70, P76, P80~87, P90~97, PA0”,
グループ B “P14~P17, P20~P27, P30~P33, P40~P43, P54~P57, P60~P67, P77, PA1~PA7, PB0~PB7”

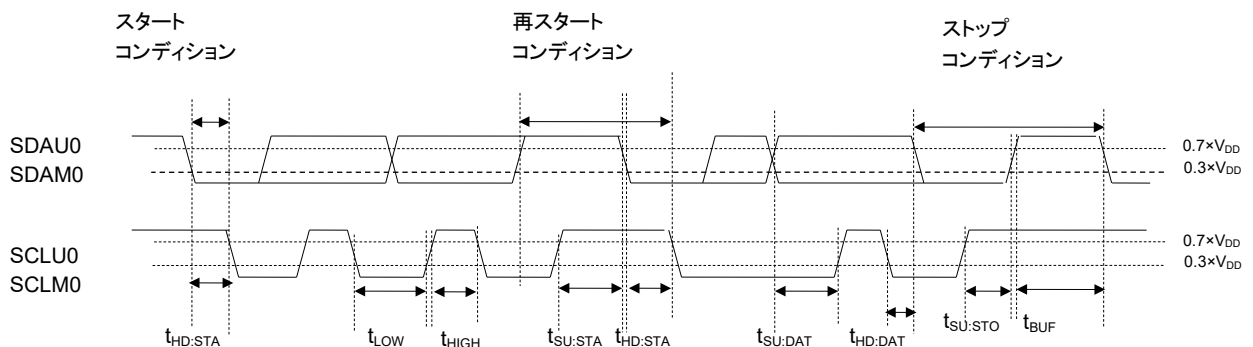
- *1: V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。
 *2: 出力端子から V_{SS} 端子に流れ込んでも、デバイスの動作を保証する電流値です。
 *3: 出力合計電流を超えないでください。
 *4: デューティ $\leq 50\%$ の条件での出力電流の値です。
 デューティ $> 50\%$ に変更した出力電流の値は、次の計算式で求めることができます。
 端子合計の出力電流 = $IOL3 \times 50/n$ (デューティ比を $n\%$ に変更する場合)
 <計算例>
 $IOL3 = 100mA$ で、 $n = 80\%$ の場合、
 端子合計の出力電流 = $IOL3 \times 50/80 = 62.5mA$
 1 端子に流せる電流はデューティによって変わることはなく、 $IOL1/IOL2$ の規格となります。
 また絶対最大定格以上の電流は流せません。
 *5: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。
 流せる電流値は、絶対値が最大値となります。
 例: $-1mA$ の場合は最大 $1mA$ の電流が LSI の端子から流れ出すこととなります。
 *6: $VOH1, VOL1, VOL2$ を満たすための条件となります。

●I²C バス・インタフェース特性

(特に指定のない場合は, V_{DD} = 1.8~5.5V, V_{SS} = 0V, Ta = -40~+105°C)

項目	記号	規格値									単位
		標準モード			ファストモード			1Mbps モード			
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
動作電圧	V _{DD}	1.8	—	5.5	1.8	—	5.5	2.7	—	5.5	V
SCL クロック周波数	f _{SCL}	0	—	100	0	—	400	0	—	1000	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	t _{HD:STA}	4.0	—	—	0.6	—	—	0.26	—	—	μs
SCL “L”レベル時間	t _{LOW}	4.7	—	—	1.3	—	—	0.5	—	—	
SCL “H”レベル時間	t _{HIGH}	4.0	—	—	0.6	—	—	0.26	—	—	
SCL セットアップ時間 (再スタートコンディション)	t _{SU:STA}	4.7	—	—	0.6	—	—	0.26	—	—	
SDA ホールド時間	t _{HD:DAT}	0	—	—	0	—	—	0	—	—	
SDA セットアップ時間	t _{SU:DAT}	0.25	—	—	0.1	—	—	0.1	—	—	
SDA セットアップ時間 (ストップコンディション)	t _{SU:STO}	4.0	—	—	0.6	—	—	0.26	—	—	
バスフリー時間	t _{BUF}	4.7	—	—	1.3	—	—	0.5	—	—	

I²C バスマスタとして使用する場合は, 上記規格値を満たすように I²C マスタ 0 モードレジスタ (I2M0MOD), I²C バス 0 モードレジスタ (マスタ側)(I2U0MOD)を設定してください



●同期式シリアルポート特性

● スレーブモード

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCLK 入力サイクル	t_{SCYC}	—	1 ^{*1}	—	—	μs
SCLK 入力パルス幅	t_{SW}	—	$t_{SCYC} \times 0.4$	—	—	
SOUT 出力遅延時間	t_{SD}	$V_{DD} \geq 2.4V$	—	—	100	ns
		$V_{DD} \geq 1.8V$	—	—	200	
SIN 入力セットアップ時間	t_{SS}	—	80	—	—	
SIN 入力ホールド時間	t_{SH}	—	50	—	—	

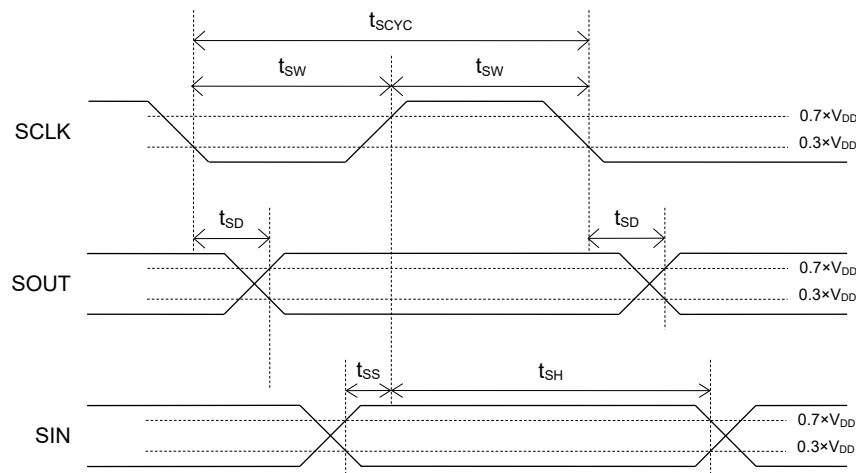
*1: システムクロック周期の 4 倍以上

● マスタモード

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCLK 出力サイクル	t_{SCYC}	$V_{DD} \geq 2.4V$	250	$SCLK^{*2}$	—	ns
		$V_{DD} \geq 1.8V$	500	$SCLK^{*2}$	—	
SCLK 出力パルス幅	t_{SW}	—	$t_{SCYC} \times 0.4$	$t_{SCYC} \times 0.5$	$t_{SCYC} \times 0.6$	
SOUT 出力遅延時間	t_{SD}	$V_{DD} \geq 2.4V$	—	—	100	
		$V_{DD} \geq 1.8V$	—	—	160	
SIN 入力セットアップ時間	t_{SS}	$V_{DD} \geq 2.4V$	120	—	—	
		$V_{DD} \geq 1.8V$	180	—	—	
SIN 入力ホールド時間	t_{SH}	$V_{DD} \geq 2.4V$	80	—	—	
		$V_{DD} \geq 1.8V$	100	—	—	

*2: 同期式シリアルポート 0 モードレジスタ (SIO0MOD)のビット 12~8 (S0CK4~0)により選択されたクロック周期



●FIFO 付き同期式シリアルポート特性

● スレーブモード

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCKF 入力サイクル	t_{SCYC}	—	1*1	—	—	μs
SCKF 入力パルス幅	t_{SW}	—	$t_{SCYC} \times 0.4$	—	—	
SDOF 出力遅延時間	t_{SD}	$V_{DD} \geq 2.4V$	—	—	100	ns
		$V_{DD} \geq 1.8V$	—	—	200	
SDIF 入力セットアップ時間	t_{SS}	—	80	—	—	
SDIF 入力ホールド時間	t_{SH}	—	50	—	—	

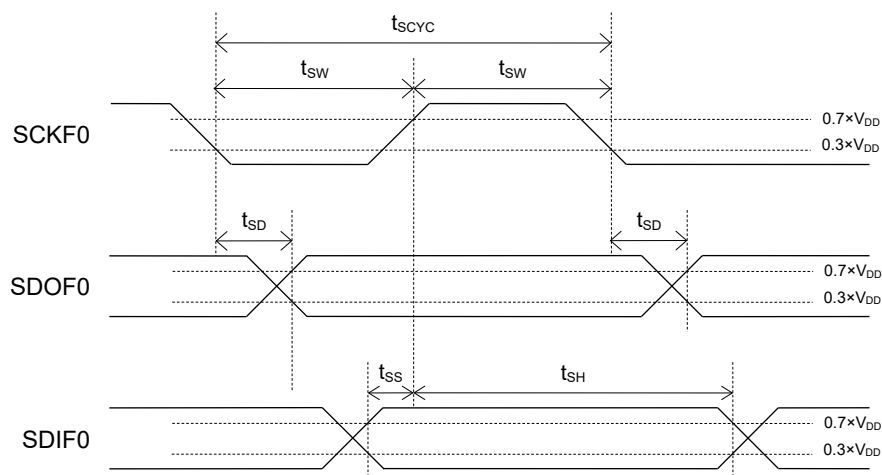
*1: システムクロック周期の 4 倍以上

● マスタモード

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCKF 出力サイクル	t_{SCYC}	$V_{DD} \geq 2.4V$	250	$SCLK^{*2}$	—	ns
		$V_{DD} \geq 1.8V$	500	$SCLK^{*2}$	—	
SCKF 出力パルス幅	t_{SW}	—	$t_{SCYC} \times 0.4$	$t_{SCYC} \times 0.5$	$t_{SCYC} \times 0.6$	
SDOF 出力遅延時間	t_{SD}	$V_{DD} \geq 2.4V$	—	—	100	
		$V_{DD} \geq 1.8V$	—	—	160	
SDIF 入力セットアップ時間	t_{SS}	$V_{DD} \geq 2.4V$	120	—	—	
		$V_{DD} \geq 1.8V$	180	—	—	
SDIF 入力ホールド時間	t_{SH}	$V_{DD} \geq 2.4V$	80	—	—	
		$V_{DD} \geq 1.8V$	100	—	—	

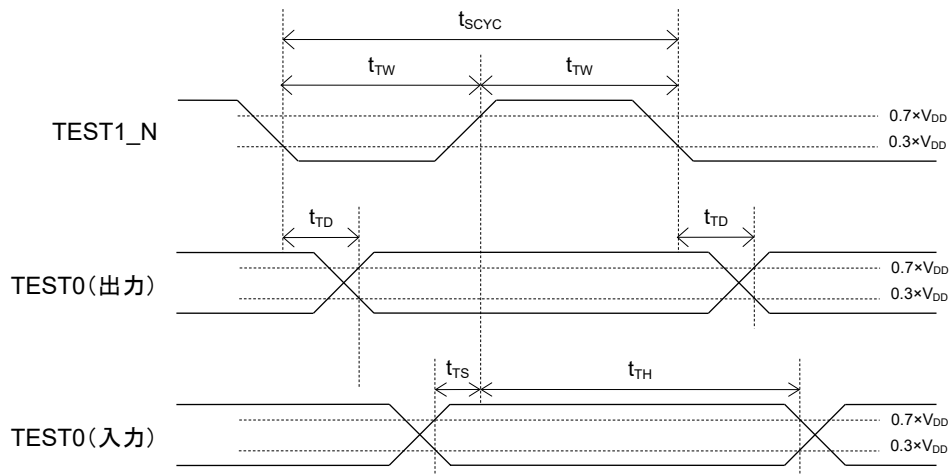
*2: SIOF0 ボーレートレジスタ (SF0BRR)のビット 9~0 (SF0BR9~0)で設定したクロック周期



●ISP インターフェース特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
TEST1_N クロック 入力サイクル	t_{rcyc}	—	400	—	660	ns
TEST1_N クロック 入力パルス幅	t_{TW}	—	$t_{rcyc} \times 0.4$	—	—	
TEST0 出力遅延時間	t_{TD}	$V_{DD} \geq 2.4V$	—	—	80	
		$V_{DD} \geq 1.8V$	—	—	200	
TEST0 入力セットアップ時間	t_{TS}	—	80	—	—	
TEST0 入力ホールド時間	t_{TH}	—	50	—	—	



●EXI0~7 端子(タイマクロック入力)特性

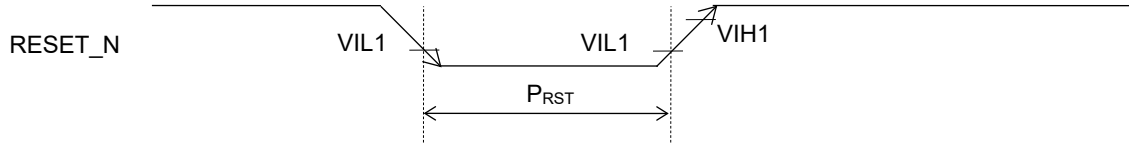
(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
入力周波数	f_{EXI}	—	—	—	3	MHz
入力パルス幅	t_{WEXI}	—	135	—	—	ns

●リセット特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
リセット有効時間	P_{RST}	—	10	—	—	μs	1



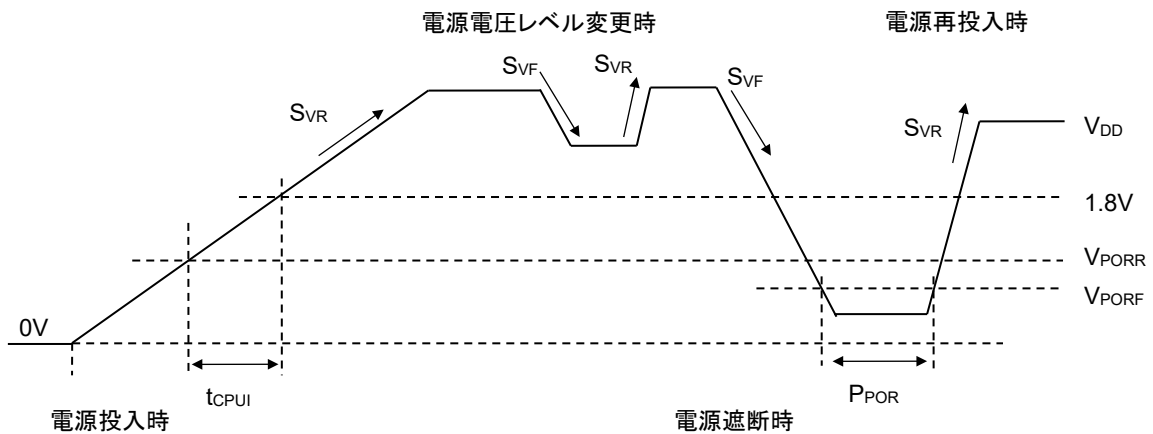
【注意】

リセット端子にリセット有効時間 (P_{RST})より短いパルスが入ると予期しない動作をする可能性があります。
リセット有効時間より短いパルスが入らないようにしてください。

●電源傾きおよびパワーオンリセット特性

(特に指定のない場合は $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
電源立ち上がり傾き	S_{VR}	—	—	—	60	V/ms	1
電源立ち下がり傾き	S_{VF}	—	—	—	2		
パワーオンリセット 判定電圧	V_{PORR}	電源立ち上がり時	1.50	1.63	1.80	V	
	V_{PORF}	電源立ち下がり時	1.35	1.60	1.75		
パワーオンリセット 最小パルス幅	P_{POR}	—	500	—	—	μs	
CPU 動作開始時間 (リセット解除から CPU が動作 開始するまでの時間)	t_{CPUI}	—	13	21	35	ms	—



【注意】

- 電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。
パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。
- CPU 動作開始までに V_{DD} を 1.8V 以上にしてください。

●VLS 特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値						単位	測定回路
			立下がり V_{VLSF}			立上がり V_{VLSR}				
			Min.	Typ.	Max.	Min.	Typ.	Max.		
VLS 判定電圧	V_{VLSR} V_{VLSF}	VLS0LV*1							V	1
		0H	3.83	3.99	4.15	3.84	4.05	4.26		
		1H	3.53	3.68	3.83	3.55	3.74	3.93		
		2H	2.92	3.05	3.18	2.94	3.10	3.26		
		3H	2.84	2.96	3.08	2.85	3.01	3.17		
		4H	2.72	2.84	2.96	2.74	2.89	3.04		
		5H	2.65	2.76	2.87	2.66	2.80	2.94		
		6H	2.55	2.66	2.77	2.56	2.70	2.84		
		7H	2.43	2.54	2.65	2.45	2.58	2.71		
		8H	2.35	2.45	2.55	2.36	2.49	2.62		
		9H	2.25	2.35	2.45	2.27	2.39	2.51		
		AH	2.15	2.24	2.33	2.16	2.28	2.4		
		BH	2.07	2.16	2.25	2.08	2.19	2.3		
		CH	1.96	2.05	2.14	1.98	2.09	2.2		
DH	1.87	1.95	2.03	1.89	1.99	2.09				
EH	1.77	1.85	1.93	1.78	1.88	1.98				

*1: 電圧レベル検出回路 0 レベルレジスタ(VLS0LV)のビット 3~ビット 0

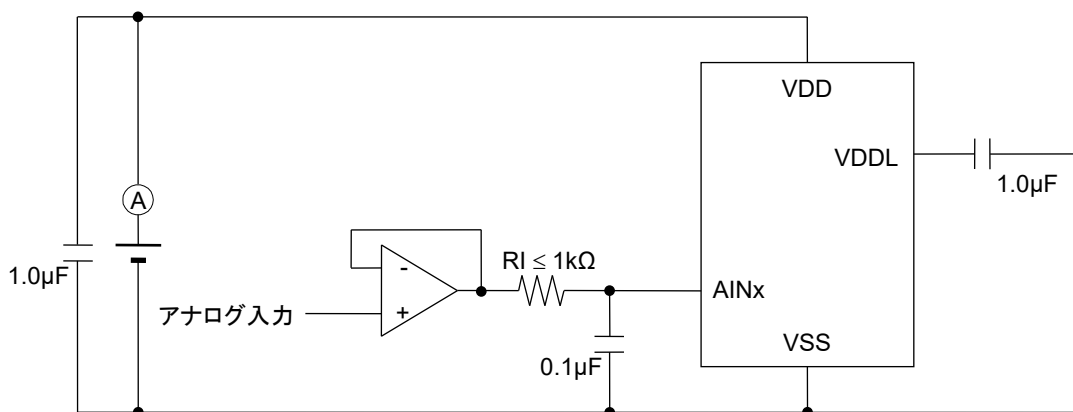
(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
VLS 消費電流	I_{VLS}	—	—	10	—	nA	1

●逐次比較型 A/D コンバータ特性

(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^{\circ}C$)

項目	記号	条件	規格値			単位	
			Min.	Typ.	Max.		
分解能	n_{AD}	—	—	—	12	bit	
変換クロック	f_{ADCLK}	公称値, $V_{DD} \geq 2.7V$, $V_{REF} \geq 2.7V$	32.768	—	16000	kHz	
		公称値, $V_{DD} \geq 2.4V$, $V_{REF} \geq 2.4V$	32.768	—	8000		
		公称値, $V_{DD} \geq 1.8V$, $V_{REF} \geq 1.8V$	32.768	—	1000		
変換時間	t_{CONV}	$f_{ADCLK} = 16MHz$	1.375	—	—	μs	
		$f_{ADCLK} = 32.768kHz$	—	518.799	—		
SA-ADC 基準電位	V_{REF}	$V_{DD} \geq V_{REF}$	1.8	—	V_{DD}	V	
総合誤差	—	$4.5V \leq V_{REF} \leq 5.5V$	-6.5	—	+6.5	LSB	
積分非直線性誤差	INL _{AD}	$f_{ADCLK} = 16MHz$	$2.7V \leq V_{REF}$	-4	—		+4
		$f_{ADCLK} = 8MHz$	$2.4V \leq V_{REF}$	-6	—		+6
		$f_{ADCLK} = 1MHz$	$1.8V \leq V_{REF}$	-8	—		+8
		$f_{ADCLK} = 32.768kHz$	$1.8V \leq V_{REF}$	-8	—		+8
微分非直線性誤差	DNL _{AD}	$f_{ADCLK} = 16MHz$	$2.7V \leq V_{REF}$	-3	—		+3
		$f_{ADCLK} = 8MHz$	$2.4V \leq V_{REF}$	-5	—		+5
		$f_{ADCLK} = 1MHz$	$1.8V \leq V_{REF}$	-7	—		+7
		$f_{ADCLK} = 32.768kHz$	$1.8V \leq V_{REF}$	-7	—		+7
ゼロスケール誤差	ZSE	$f_{ADCLK} = 16MHz$		-6	—		+6
		$f_{ADCLK} = 8MHz$		-8	—		+8
		$f_{ADCLK} = 1MHz$		-10	—		+10
		$f_{ADCLK} = 32.768kHz$		-10	—		+10
フルスケール誤差	FSE	$f_{ADCLK} = 16MHz$		-6	—	+6	
		$f_{ADCLK} = 8MHz$		-8	—	+8	
		$f_{ADCLK} = 1MHz$		-10	—	+10	
		$f_{ADCLK} = 32.768kHz$		-10	—	+10	



SA-ADC サンプリング中にはコンデンサに充電するために電流が流れます。十分にサンプリングするためには、アナログ入力源の出力インピーダンスを $1k\Omega$ 以下にしてください。また、ノイズを低減するために $0.1\mu F$ 程度のコンデンサを付けることを推奨します。

●フラッシュ・メモリ動作条件

(V_{SS}= 0V)

項目	記号	条件		範囲	単位
動作温度	T _{OP}	データ領域:書き込み/消去時		-40~+85	°C
		プログラム領域:書き込み/消去時		0~+40	
動作電圧	V _{DD}	書き込み/消去時		1.8~5.5	V
書き換え回数	CEPD	データ領域		10000	回
	CEPP	プログラム領域		100	
消去単位	—	ブロック消去	プログラム領域	16K	バイト
			データ領域	全領域	
	—	セクタ消去	プログラム領域	1K	
			データ領域	128	
消去時間(最大)	—	ブロック消去/セクタ消去		50	ms
書き込み単位	—	プログラム領域		4	バイト
		データ領域		1	
書き込み時間(最大)	—	プログラム領域		80	μs
	—	データ領域		40	
データ保持年数	YDR	書き換え回数 100 回		15	年

●LCD 特性

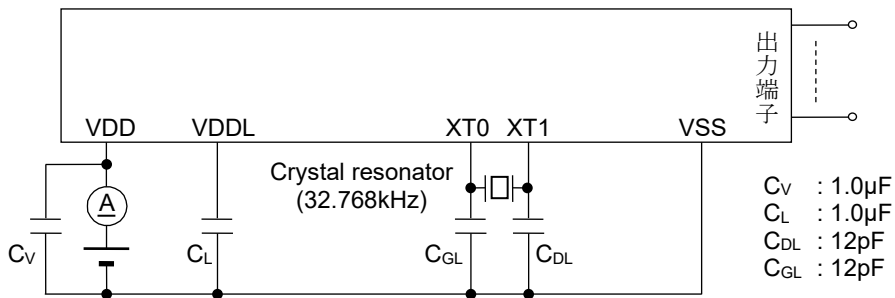
(特に指定のない場合は, $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位	測定回路	
			LCN*1	Min.	Typ.			Max.
V _{L1} 電圧	V _{L1}	Ta = +25°C C _{L1} , C _{L2} , C _{L3} = 1.0μF	00H	Typ -0.10	0.95	Typ +0.10	V	6
			02H		1.00			
			04H		1.05			
			06H		1.10			
			08H		1.15			
			0AH		1.20			
			0CH		1.25			
			0EH		1.30			
			10H		1.35			
			12H		1.40			
			14H		1.45			
			16H		1.50			
			18H		1.55			
			1AH		1.60			
1CH	1.65							
1EH	1.70							
V _{L2} 電圧	V _{L2}	Ta = +25°C C _{L1} , C _{L2} , C _{L3} = 1.0μF C ₁₂ = 1.0μF		V _{L1} x 1.8	V _{L1} x 2	—	ms	
V _{L3} 電圧	V _{L3}			V _{L1} x 2.7	V _{L1} x 3	—		
バイアス発生回路起動時間	t _{BIAS}			—	—	200		

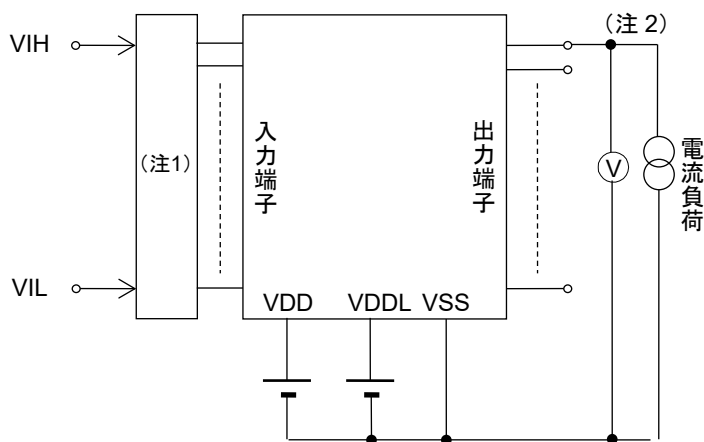
*1: バイアスコントロールレジスタ(BIASCON)の LCN4~LCN0 ビット

●測定回路

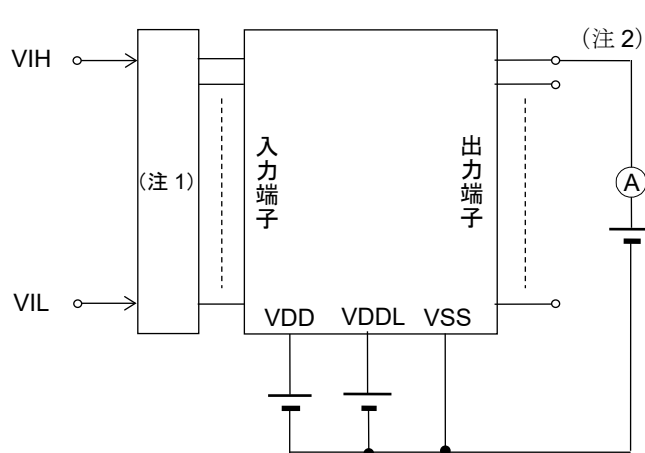
測定回路 1



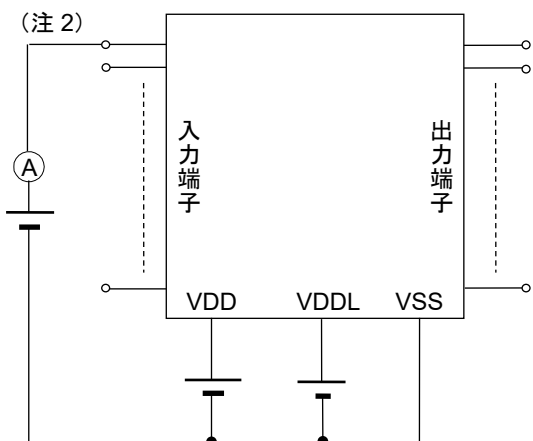
測定回路 2



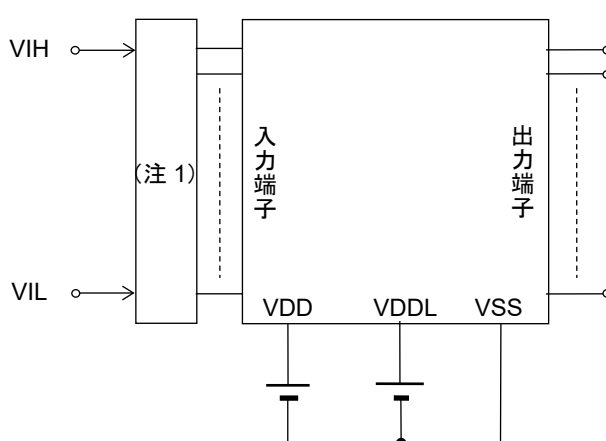
測定回路 3



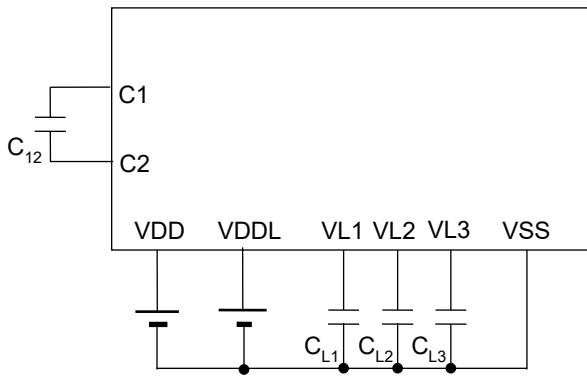
測定回路 4



測定回路 5



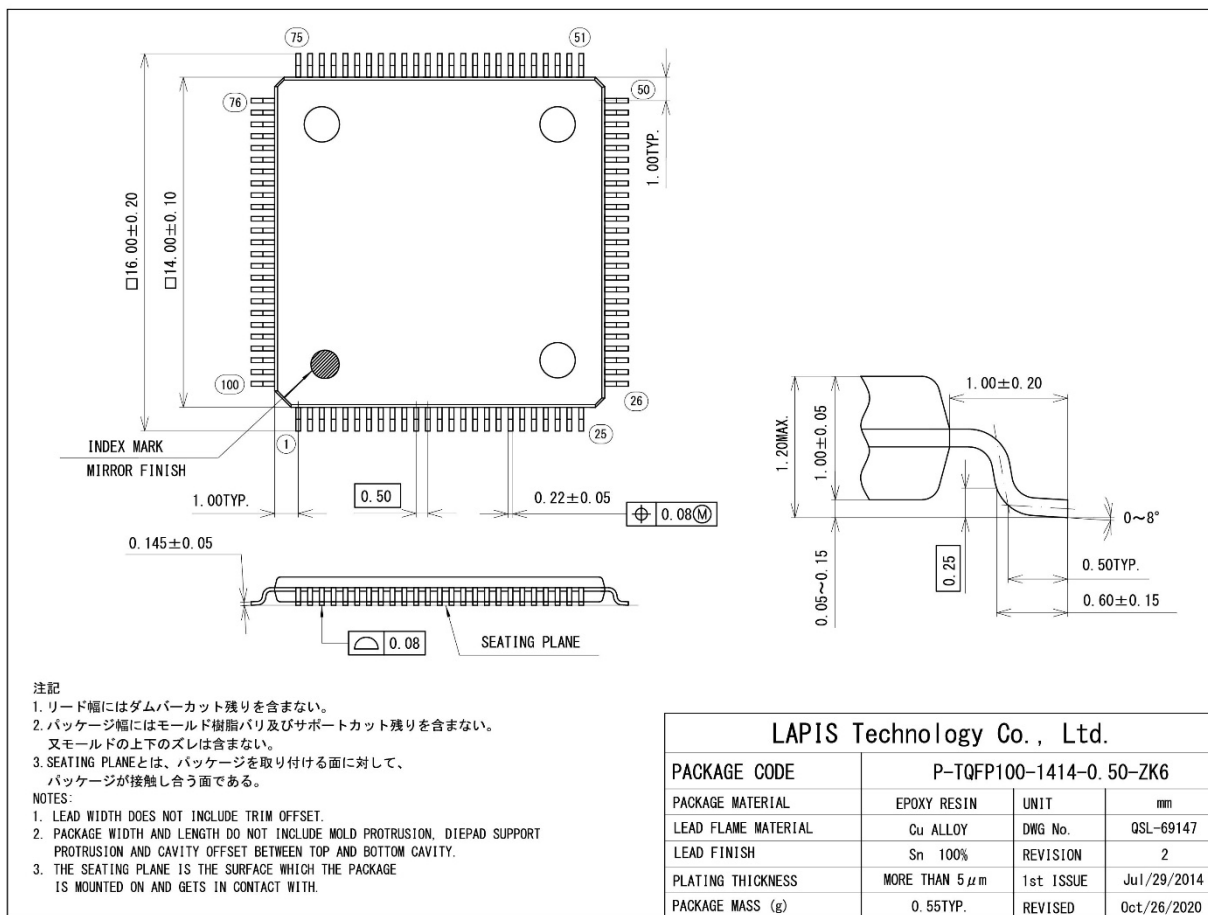
測定回路 6



- (注 1) 指定の状態にする入力ロジック
- (注 2) 対象の端子に接続して測定する

■パッケージ寸法図

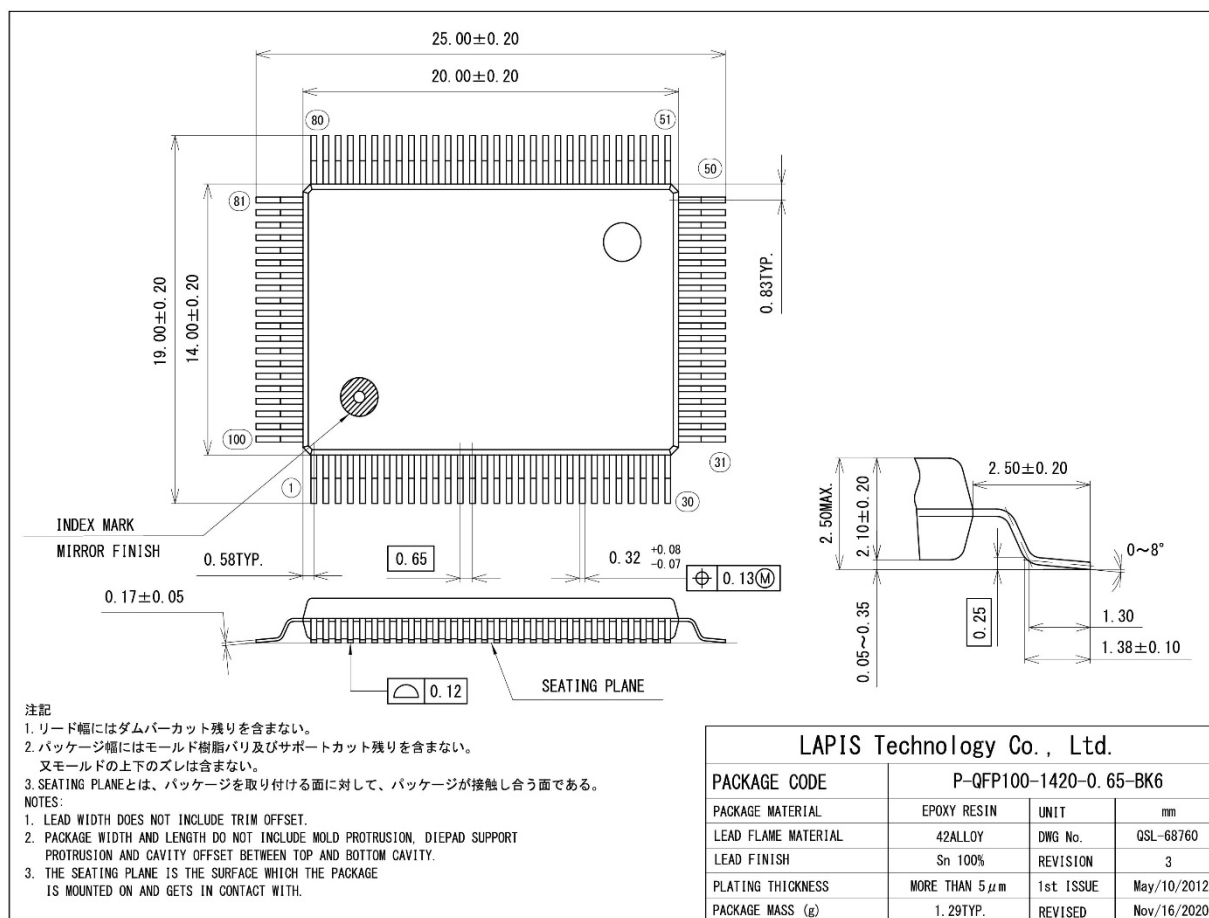
●100ピン TQFP



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

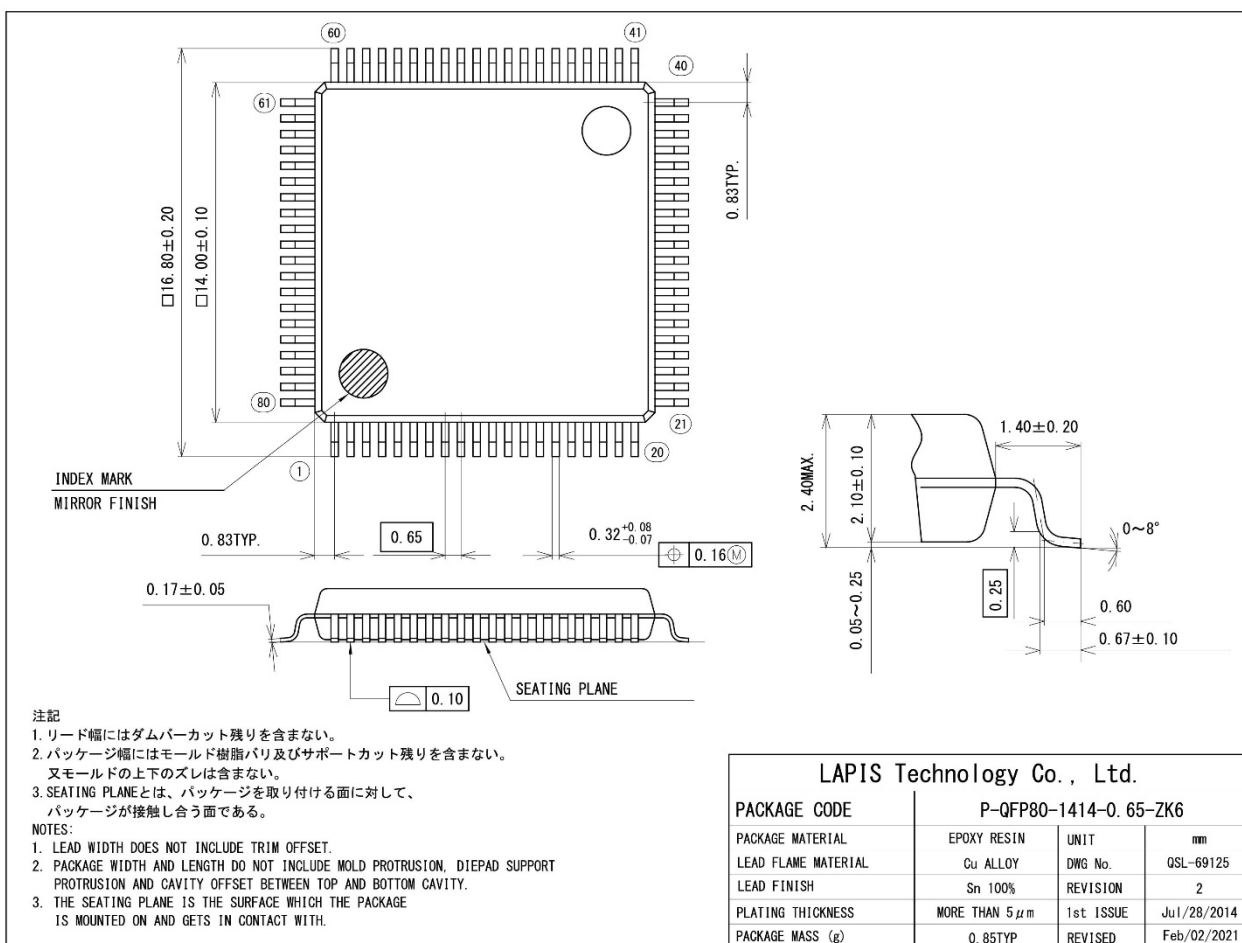
●100ピン QFP



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

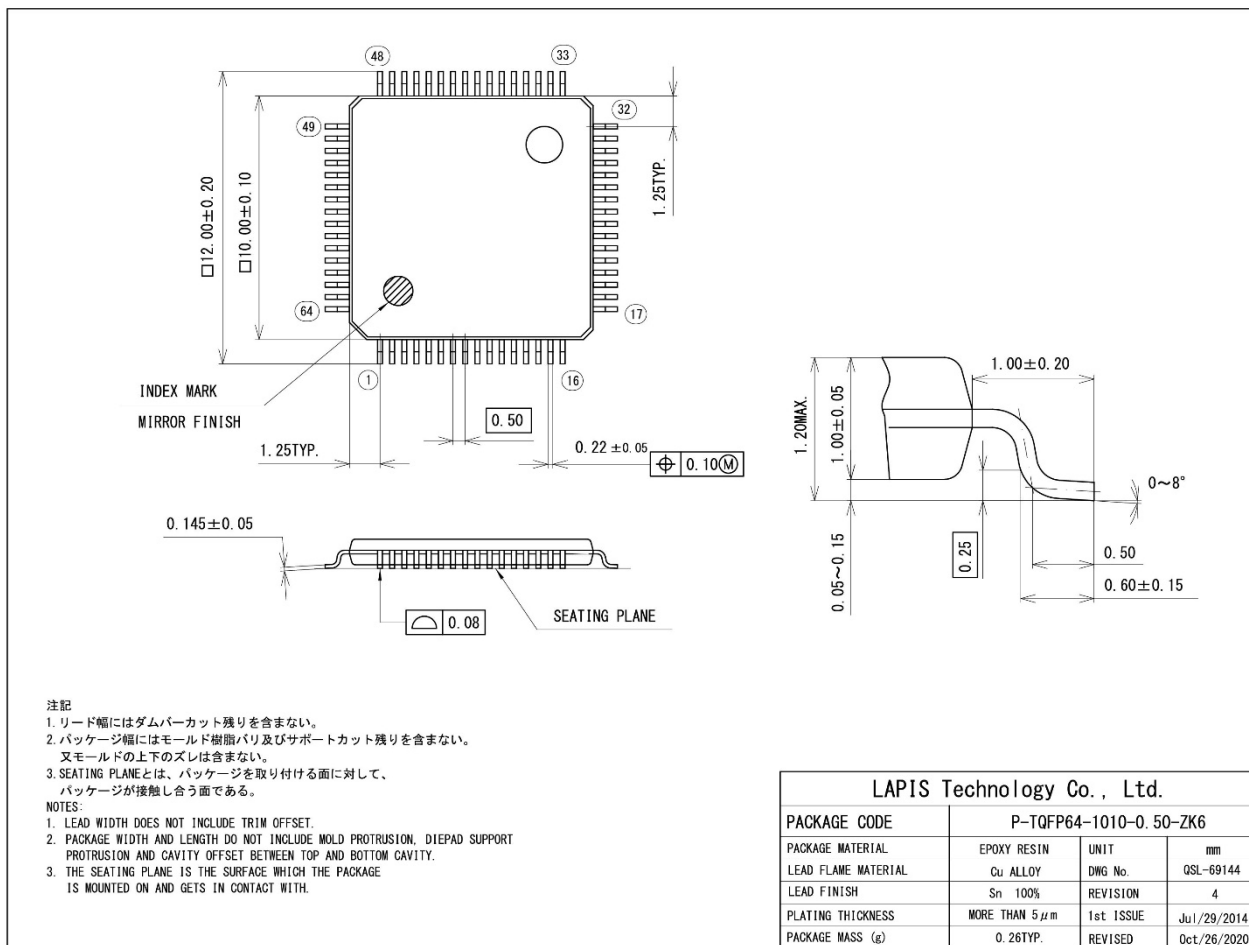
●80ピン QFP



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

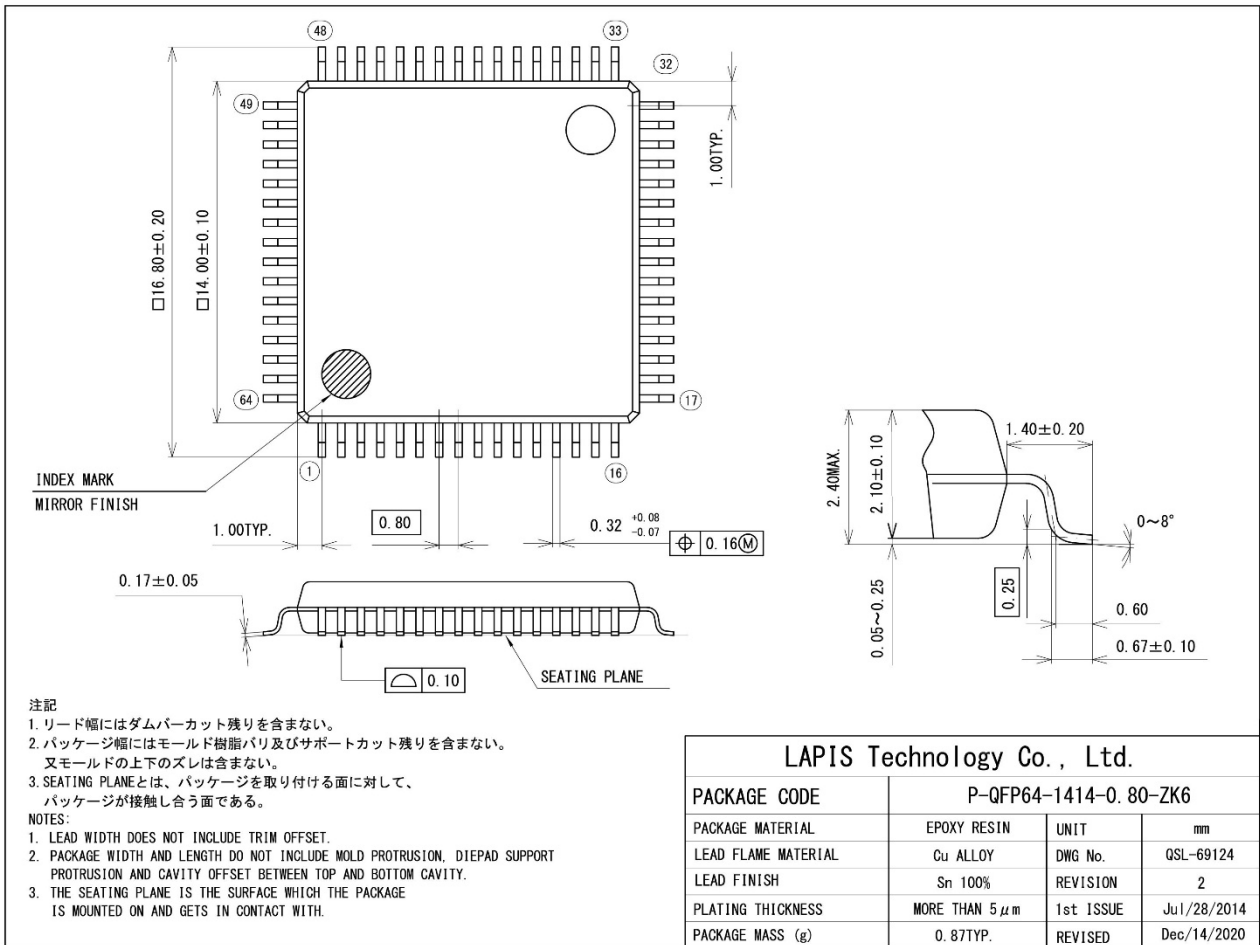
●64ピン TQFP



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

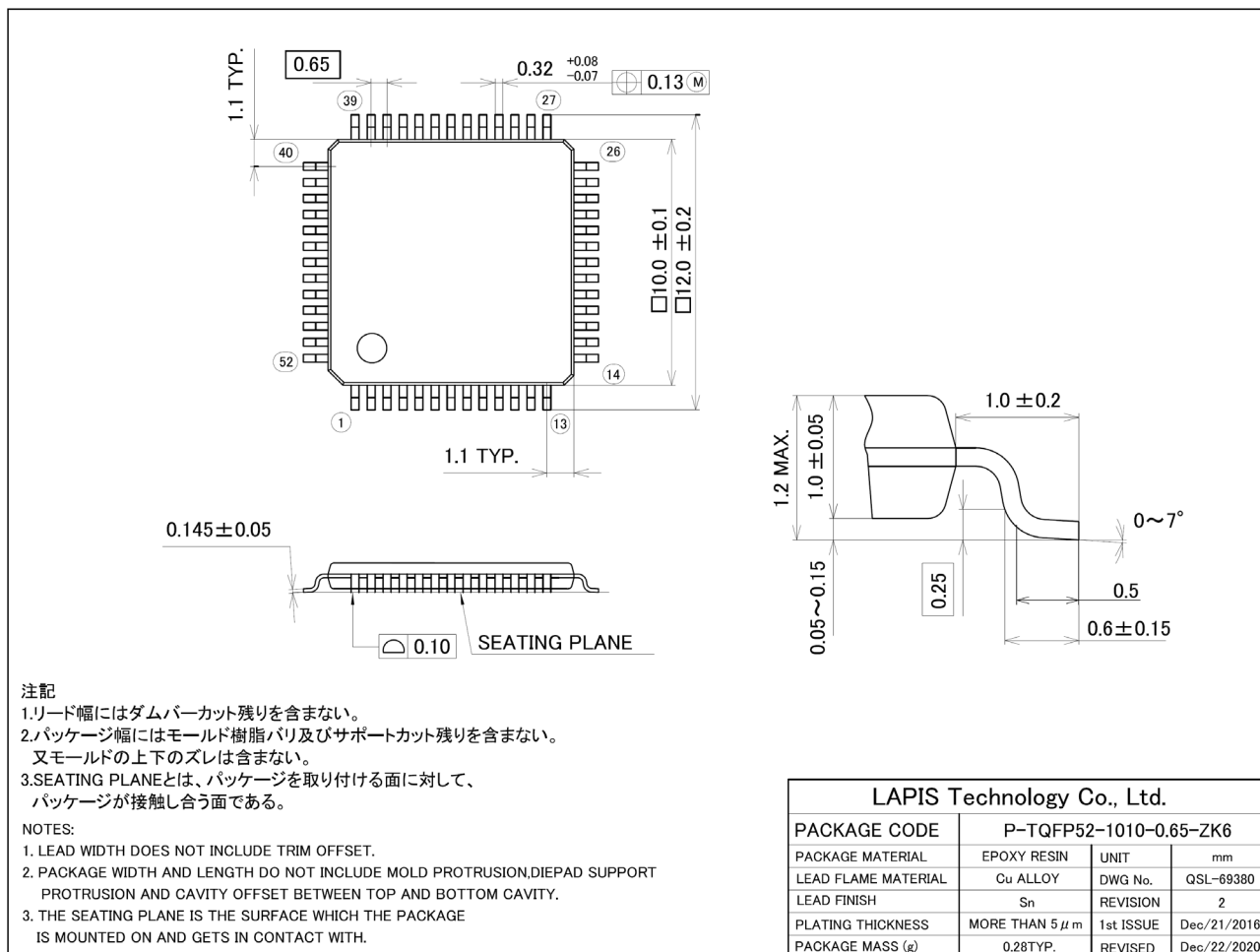
●64ピン QFP



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

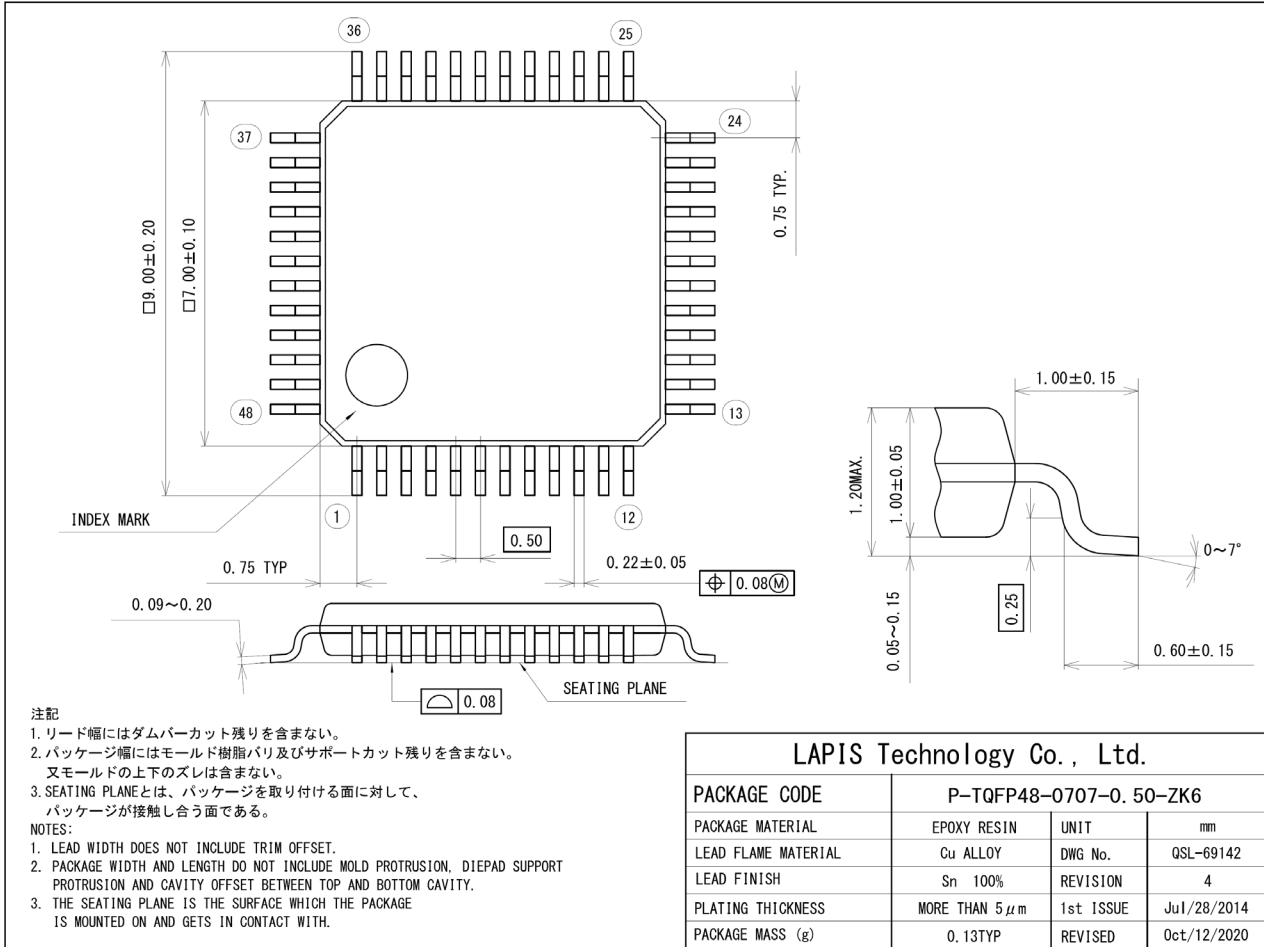
●52ピン TQFP



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

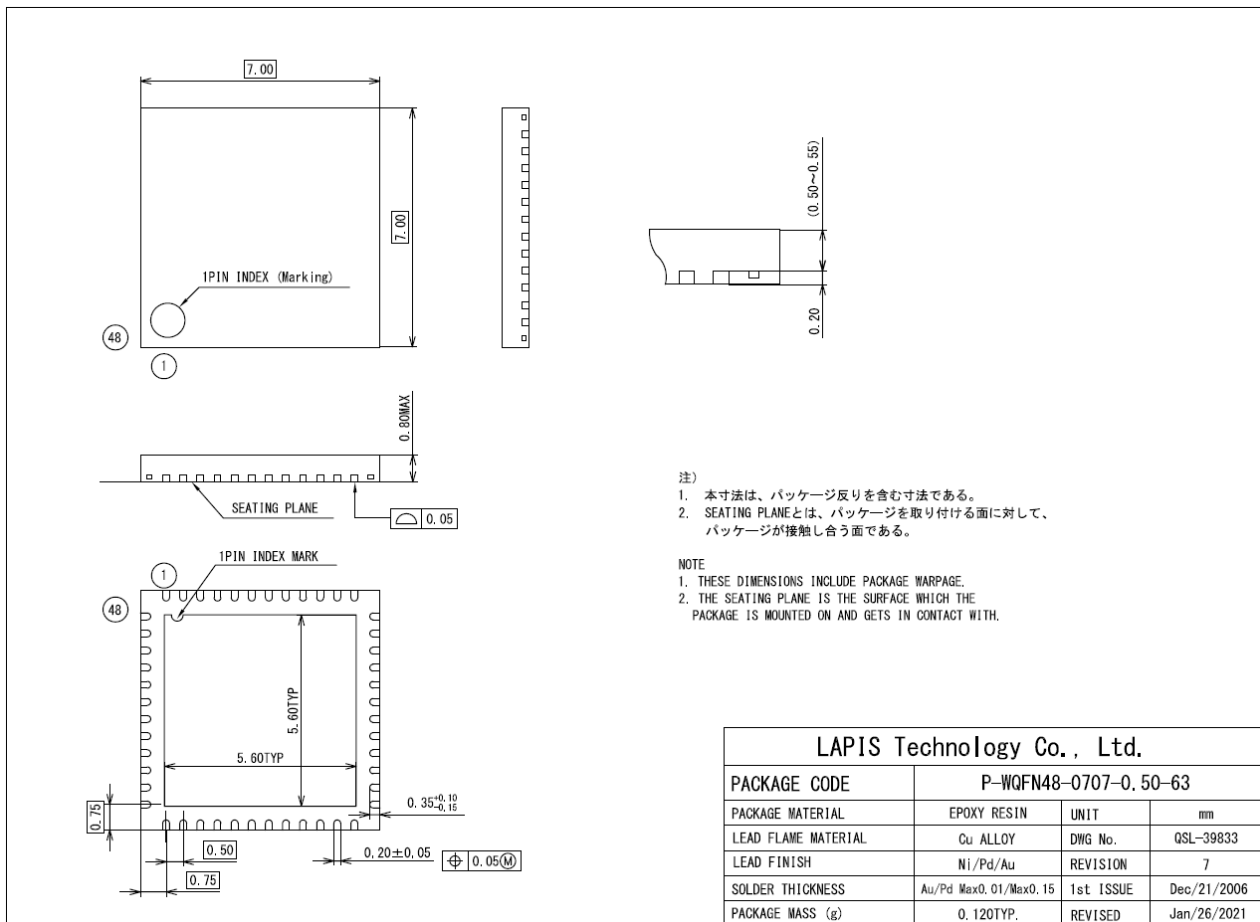
●48ピン TQFP



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

●48ピン WQFN



表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFN パッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL62Q2700-01	2023.01.31	-	-	初版発行
FJDL62Q2700-02	2023.07.25	*	*	全面改訂
FJDL62Q2700-03	2023.10.24	*	*	全面改訂
		1	1	商品一覧の6商品から開発中を削除
		-	32	オンチップオシレータ特性 2 のページを追加
FJDL62Q2700-04	2024.3.26	1	1	用途の追加
		6	6	WQFN 商品の形名訂正
		7	7	商品名の見方の更新
		53	53	注意の追加
		56	56	ご注意の更新

製品使用時の注意事項

マイコン製品全体に適用する「注意事項」について以下に記載します。
製品個別の注意事項については、各製品のユーザーズマニュアル本文中の【注意】を参照してください。

- 1. 未使用の入力端子の処置**
未使用の入力端子は、ノイズなどによる誤動作や消費電流の増加を防ぐために、電源または GND に固定してください。本文中に未使用端子の処置について記載のある製品は、その内容に従い処置してください。
- 2. 電源投入時の状態**
電源投入時、電源電圧が推奨動作電圧に達し、かつリセット端子に“L”レベルの電圧が入力されるまでは、内部レジスタの値および、ポートの出力は不定です。
パワーオンリセットを搭載する製品は、パワーオンリセットが発生するまでは、内部レジスタの値およびポートの出力は不定です。
不定状態の内部レジスタの値やポート出力でシステムが誤動作しないよう注意して設計してください。
- 3. メモリ未使用領域へのアクセス**
メモリ未使用領域のアドレスの読み出し、または書き込みを実行した場合の動作は保証いたしません。
- 4. 製品間の相違**
電气的特性、ノイズ耐量、ノイズ輻射量等はマイコン製品ごとに異なります。他のマイコン製品から本製品に変更した場合に、お客様の機器・システムにおいて評価結果が変化する場合がありますので、本製品を実装したお客様の機器・システムにおいて十分な評価を実施してください。
- 5. 使用環境**
本製品を高湿度な環境や結露する環境で使用する場合は防湿防水対策をしてください。

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格(*1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2023-2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>