

ML63Q2500 グループ

ML63Q2557/ML63Q2554
ML63Q2537/ML63Q2534

Solist-AI™ アクセラレータ&CAN コントローラ内蔵 32 ビットマイクロコントローラ

■概要

ML63Q2500 グループは,Arm™Cortex™-M0+をコアとする, Solist-AI™ アクセラレータ(AxICORE-ODL)と CAN FD コントローラを搭載する 32bit マイクロコントローラです。

- 用途
民生機器、産業機器（例：各種家電、住宅設備、OA 機器、計測機器など）

【注意】

本商品は車載および、自動列車制御装置、鉄道保安システム等にはご使用いただけません。

船舶・鉄道等の輸送機器、幹線用通信機器、交通信号機器、送電システム、金融端末基幹システム、各種安全制御装置等の高信頼性が重要な用途への使用を検討される場合は、事前に営業窓口へお問い合わせください。

- 商品一覧
ML63Q2500 グループは、パッケージ種類およびプログラム・メモリ容量別に複数の商品から構成されています。
表 1 に商品一覧を示します。

表 1 商品一覧

プログラム・メモリ	データ・メモリ	データ・フラッシュ	48ピン WQFN48 TQFP48	64ピン WQFN64 TQFP64
256K バイト	16K バイト	8K バイト	ML63Q2537	ML63Q2557
128K バイト			ML63Q2534	ML63Q2554

本製品をご使用の際は、最終ページの「製品使用時の注意事項」および「ご注意」をご確認の上、お使いください。

■特長

- CPU
 - RISC 方式 32 ビット CPU (CPU 名称: Arm™Cortex™-M0+)
 - Arm™Thumb™/Thumb™-2 命令サポート
 - Serial Wire Debug Port サポート
 - 最小命令実行時間
 - 30.5 μs (@32.768 kHz system clock)
 - 20.83ns (@48 MHz system clock)
 - 最小命令実行時間システムタイマ (SysTick)
 - 24 bit × 1 チャネル, システムクロック (初期状態 : LSCLK)でカウント, 外部リファレンスクロック不要
- 内部メモリ
 - ソフトウェアによるプログラム領域のセルフ・プログラミング
 - データ・フラッシュ消去/書込み中に CPU 動作可能(BGO)
 - フラッシュ・メモリ
 - プログラム領域: 128/256KB
 - データ 領域: 8KB
 - データ・メモリ (RAM):
 - ワークメモリ 16KB

* This product uses Super Flash™ technology licensed from Silicon Storage Technology, Inc. Super Flash™ is a registered trademark of Silicon Storage Technology, Inc.

* Arm™, Cortex™, Thumb™は Arm Limited(またはその子会社)の米国およびその他の国における登録商標です。

* Solist-AI™, LAPIS TECHNOLOGY™はローム株式会社の商標または登録商標です。

- Solist-AI™ アクセラレータ (AxICORE-ODL)
 - デバイス上で推論だけでなく学習も実行可能 (サーバ/クラウド/ネットワーク接続不要)
 - 個体ごとに正常動作を学習させ、異常状態を検知
 - AI で多用する計算を高速に実行可能
 - スカラー・ベクトル・(非正方)行列の加算・減算・積算などが可能
 - 振動センサデータ処理などに有用な FFT 演算処理も可能
 - CPU 負荷なしで演算の順次実行が可能
 - データ形式 : bFloat16 (整数から bFloat16 への変換機能内蔵)
 - 低消費電力/低コスト (対 FPGA/GPU 等), 高速処理 (対ソフト処理)
 - モデルベース技術用いた一貫通貫ユーティリティ
 - ソフトウェアライブラリを提供
 - 固定テーブルとして使用可能な、bFloat16 形式一様分布疑似乱数発生器内蔵
 - 適用例
 - モータ+加速度センサ+AI : 軸受損傷の早期検知
 - モータ+電流センサ+AI : 潤滑不良/異物混入の検知
 - サーモグラフィカメラ+AI : 異常発熱の正確な検知
 - FA センサ+AI : 偶発故障や異常状態の早期検知

- CAN コントローラ
 - 1 チャンネル
 - CAN_FD および 2.0B プロトコル仕様準拠
 - 最高 5Mbps のリアルタイム通信制御可能
 - ISO 11898-1:2015 準拠
 - SAE J1939 サポート
 - 最大 64 データバイトの CAN FD をサポート
 - 最大 64 個の専用受信バッファ
 - 最大 32 個の専用送信バッファ
 - CAN エラーログ機能搭載
 - 受容フィルタ搭載
 - 優先度の高いメッセージを受信した時の個別信号の発信

- 割り込みコントローラ (NVIC)
 - ノンマスカブル割り込み 1 要因, マスカブル割り込 31 要因
 - 4 段階の割り込みレベル機能

- DMA コントローラ (DMAC)
 - 2 チャンネル
 - チャンネルごとに複数の DMA 転送要求元の割当てが可能.
 - チャンネルの優先順位 : 固定モード/ラウンドロビンモード
 - 転送方式 : サイクルスチールモード/バーストモード
 - DMA 転送要求 : ソフトウェアリクエスト/外部リクエスト
 - 最大転送回数 : 65,536 回
 - データ転送サイズ : 8 ビット/16 ビット/32 ビット
 - 転送要求元 : SSIOF, UARTF, I2CF, SA-ADC

- タイムベースカウンタ (TBC)
 - 割り込み機能付き低速タイムベースカウンタ × 1 チャンネル, RTC 用 × 1 チャンネル
 - 周波数補正機能を搭載 . -488ppm ~ +488ppm; 補正分解能 : 約 0.119ppm

- リアルタイムクロック (RTC)
 - 99 年カレンダー, アラーム, 時計補正機能

- 1 kHz タイマ (TM1K)
 - 80Hz/60Hz/40Hz/20Hz/10Hz/1Hz 割り込み

- 16 ビットタイマ (TMR)
 - 16 ビット × 6 チャンネル
 - 2 チャンネルで 32 ビットタイマとして動作
 - 連続モード, ワンショットモード
 - 外部クロックをタイマクロックとして選択可能

- ファンクショナルタイマ (FTM)
 - 16 ビット × 2 チャンネル

- タイマモード, キャプチャモード, PWM モード
 - イベント・トリガ (外部端子もしくは タイマ割込み)によりタイマのスタート/ストップ/クリア可能
(最小パルス幅: タイマクロック × 3)
 - 多彩なカウンタクロック (LSCLK/OSCLK/HSCLK/外部端子の 1~64 分周可能)
 - PWM モード (同期, 相補出力), デッドタイム設定可能
- ウォッチドッグタイマ (WDT)
 - ノンマスクابل割込み, リセット
 - フリーランニング
 - オーバーフロー周期: 125ms, 500ms, 2s, 8s (LSCLK = 32.768 kHz 時)
- 3相モータ制御 PWM (NTMS)
 - 16ビット × 3チャンネル 各 2出力 (計 6出力)
 - アップダウンカウンタによるセンターアライン波形出力
 - SA-ADC 変換タイミング設定
 - コンパレータノ端子による緊急停止
- 同期式シリアルポート (SSIOF)
 - 2チャンネル
 - FIFO 付き: 送受信各 4段
 - マスタノスレーブ選択可能
 - LSB ファーストノMSB ファースト, 8ビット長ノ16ビット長選択可能
 - シリアルクロックの極性と位相を選択可能
 - スレーブ選択信号搭載
- UART (UARTF)
 - 4チャンネル
 - FIFO 付き: 送受信各 4段
 - 全二重
 - ボーレートジェネレータ内蔵: 最大 115200bps.
 - ビット長, パリティ, ストップビット選択可能
- I²C バス (I2CF)
 - 1チャンネル
 - FIFO 付き: 送受信各 4段
 - マスタモードノスレーブモード
 - ファストモード (400 kHz), 標準モード (100 kHz)
- 汎用ポート (GPIO)
 - 汎用入出力: 最大 49 端子 (兼用機能を含む)
 - 端子割込み: 8 要因 (全 GPIO から選択可能)
- CRC 演算器
 - 生成多項式: CRC-16/CRC-CCITT ($X^{16}+X^{12}+X^5+1$)
CRC-32 ($X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X^1+1$)
 - MSB ファーストノLSB ファースト選択可能
- 逐次比較型 A/D コンバータ (SA-ADC)
 - 分解能: 12 ビット
 - ユニット数: 2 ユニット
 - 入力チャンネル数: 12 チャンネル
 - 変換時間: 最短 1μs/1 チャンネル (変換クロック 24MHz)
 - 2 ユニットによる 2 入力同時変換が可能
 - サンプル時間選択可能
 - 選択した入力チャンネルを連続変換する機能
 - 連続変換と次の連続変換の間隔を設定可能
 - 変換結果のレジスタを各入力チャンネルごとに搭載
 - 変換結果の上限, 下限判定による割込み要求が可能
 - A/D コンバータのセルフテスト機能 (フルスケール, ゼロスケール, 内部基準電圧の A/D 変換機能)
 - 変換トリガとして以下信号を選択可能
16 ビットタイマ割込み, ファンクショナルタイマトリガ, 3相モータ制御 PWM トリガ
- アナログコンパレータ (CMP)
 - 3 ユニット

- 同相入力電圧範囲：0.1 ~ V_{DD}-1.2V
- 応答速度：Typ. 0.5μs
- 電圧レベル監視機能 (VLS)
 - 閾値電圧: 10 値より選択
 - 割込み/リセット発生選択可能
 - V_{DD}を観測
- リセット
 - 端子リセット/パワーオンリセット/ウォッチドッグタイマ(WDT)のオーバーフロー/電圧レベル監視機能(VLS)リセット/水晶発振停止検出リセット/Arm™ Cortex™-M0+ SYSRESETREQ(ソフトウェアリセット)
- クロック
 - 低速クロック
 - 水晶発振 (32.768kHz)
 - 内蔵 RC 発振 (32.768kHz)
 - 高速クロック
 - PLL 発振 (48MHz): 低速クロックを逡倍
 - 水晶発振 (40/20MHz) システムまたは CAN 用
- パワーマネージメント
 - HALT モード: システム系および一部周辺ブロックのクロック供給停止
 - STOP モード: 全クロック停止
 - クロックギア: 高速クロックの周波数を動的に変更可能 (1/2/4/8/16/32 分周)
 - ソフトウェアによる周辺ブロックの個別クロック供給制御
- 動作保証範囲
 - 動作周囲温度：-40°C ~ +105°C (T_j < 115°C)
 - 動作電圧：V_{DD} = 2.3 ~ 5.5V
- 消費電流 (Typ)
 - 高速 (48MHz) 動作時：10mA
 - 32.768kHz 動作時：27μA
 - HALT モード時: 3.5μA
 - STOP モード時: 2μA
- 出荷形態

表 2 品名一覧

パッケージ	ボディサイズ (リード含む) [mm × mm]	ピンピッチ [mm]	品名	
			Tray	Tape & Reel
48 ピン プラスチック WQFN	7.0 × 7.0 (-)	0.5	ML63Q2534-NNNGDZW5AY ML63Q2537-NNNGDZW5AY	ML63Q2534-NNNGDZW5BY ML63Q2537-NNNGDZW5BY
48 ピン プラスチック TQFP	7.0 × 7.0 (9.0 × 9.0)	0.5	ML63Q2534-NNNTBZWAY ML63Q2537-NNNTBZWAY	ML63Q2534-NNNTBZWBY ML63Q2537-NNNTBZWBY
64 ピン プラスチック WQFN	9.0 × 9.0 (-)	0.5	ML63Q2554-NNNGDZW5AY ML63Q2557-NNNGDZW5AY	ML63Q2554-NNNGDZW5BY ML63Q2557-NNNGDZW5BY
64 ピン プラスチック TQFP	10.0 × 10.0 (12.0 × 12.0)	0.5	ML63Q2554-NNNTBZWAY ML63Q2557-NNNTBZWAY	ML63Q2554-NNNTBZWBY ML63Q2557-NNNTBZWBY

■商品別仕様

表 3 商品別仕様

機能		ML63Q2534	ML63Q2537	ML63Q2554	ML63Q2557
CPU		Arm™Cortex™-M0+			
メモリ	プログラム FLASH	128KB	256KB	128KB	256KB
	データ RAM	16KB			
	データ FLASH	8KB			
端子	総数	48	48	64	64
	電源端子	4			
	リセット端子	1			
	汎用入出力端子	34		49	
割込み	ノンマスカブル要因数	1			
	マスカブル要因数 (外部端子要因)	31 (8)			
タイマ	TMR	6 ch			
	FTM	2 ch			
	NTMS	1 ch			
	TBC	2 ch			
	RTC	1 ch			
	TM1K	1 ch			
	WDT	1 ch			
通信	SSIOF	2 ch			
	UARTF	4 ch			
	I2CF	1 ch			
	CAN	1 ch			
アナログ	VLS	1 unit			
	SA-ADC	2 unit 12 input			
	CMP	3 unit			
その他	DMAC	2 ch			
	Solist-AI™ アクセラレータ	1 ch			
	CRC 演算器	1ch			
クロック	低速クロック	32.768kHz (内蔵 RC 発振, 水晶発振, 外部入力)			
	高速クロック	PLL(最大 48MHz), 水晶発振(20 or 40MHz)			
リセット	要因	端子/POR/WDT/VLS/水晶発振停止検出/ソフトウェア			
動作条件	温度	Ta: -40°C to +105°C (Tj < +115°C)			
	電圧	V _{DD} =2.3 to 5.5V			
パッケージ		WQFN48, TQFP48		WQFN64, TQFP64	

■商品名の見方

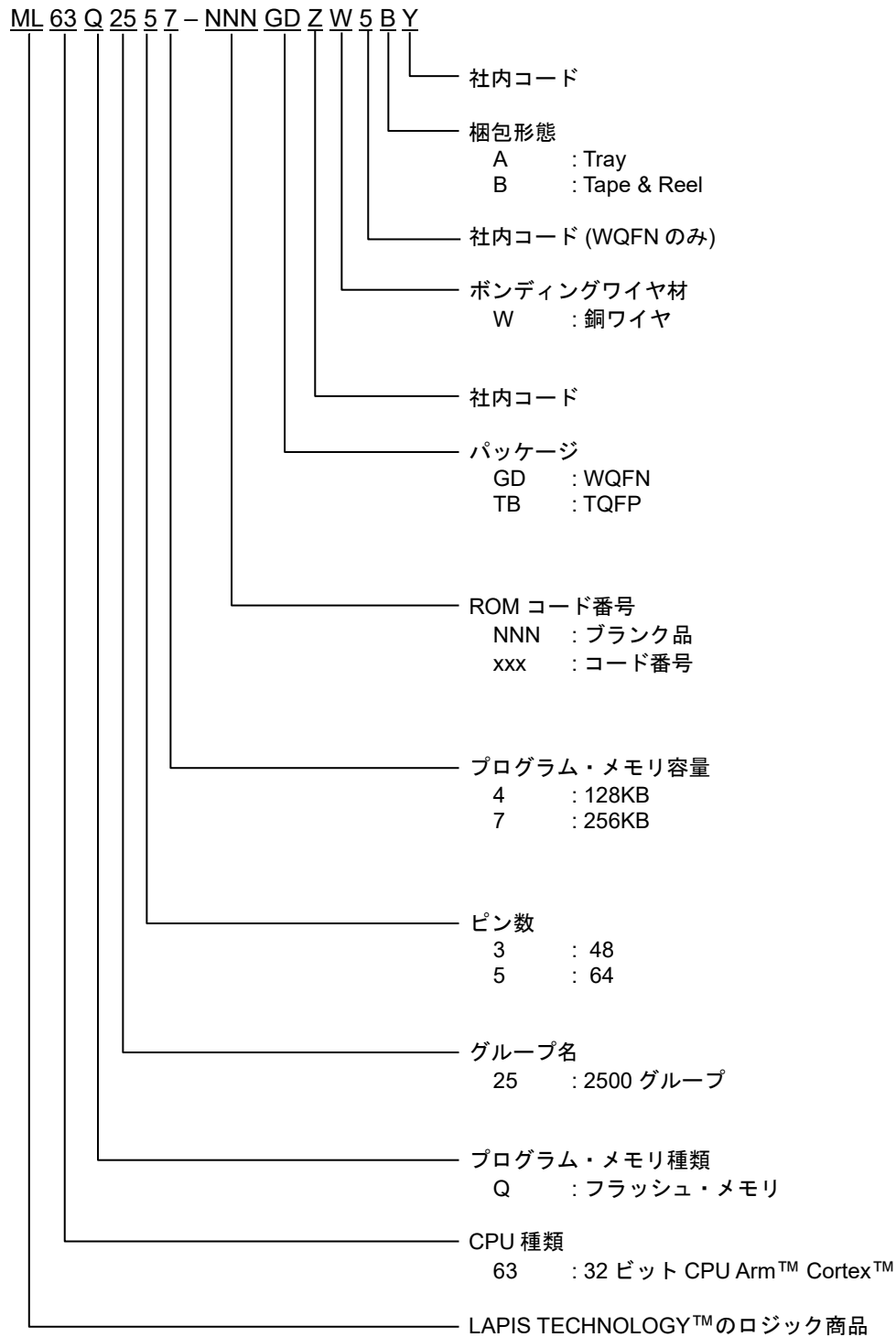


図 1 商品名

■ブロック図

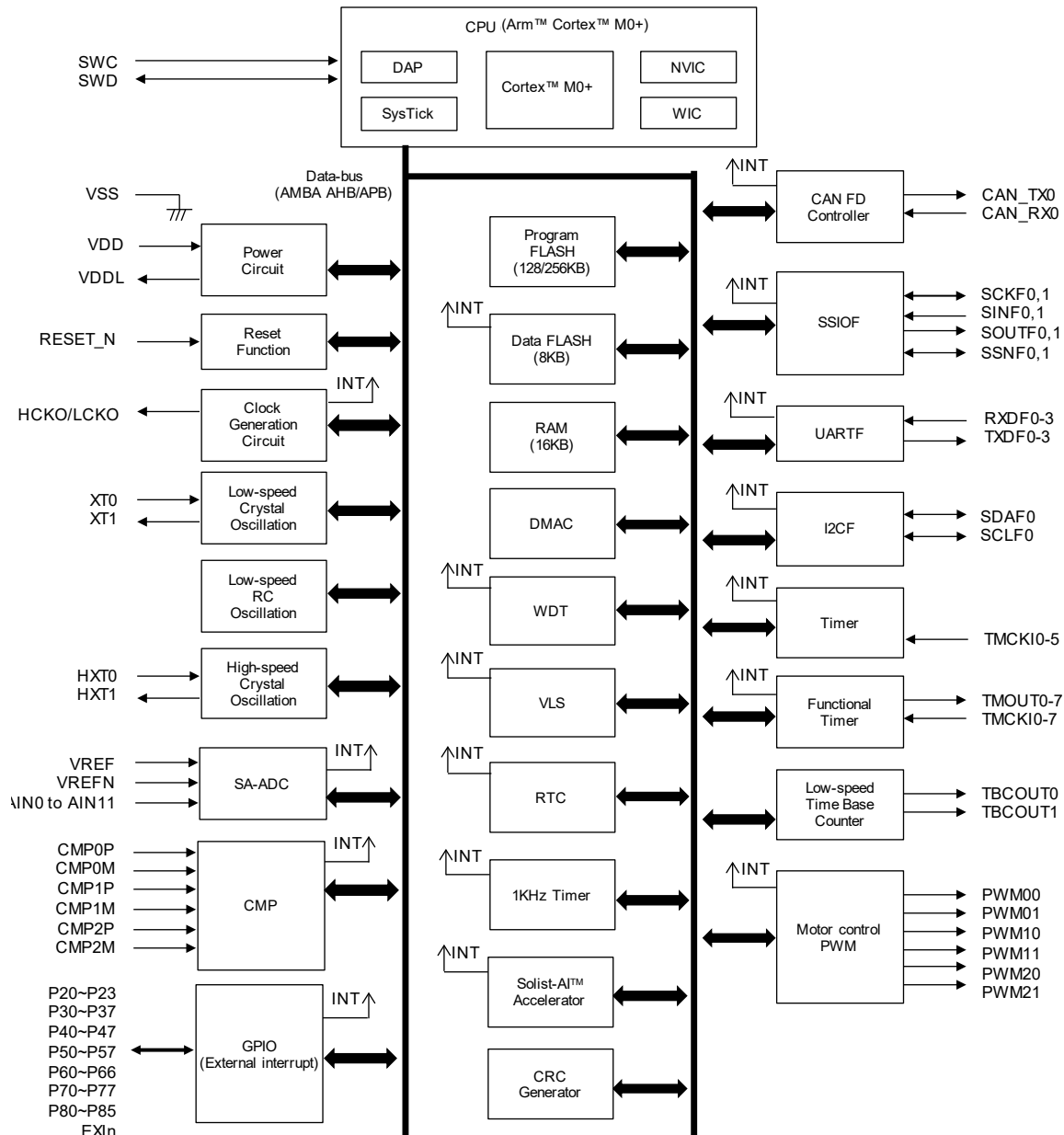


図 2 ブロック図

■端子配置

●48ピン WQFN パッケージの端子配置図

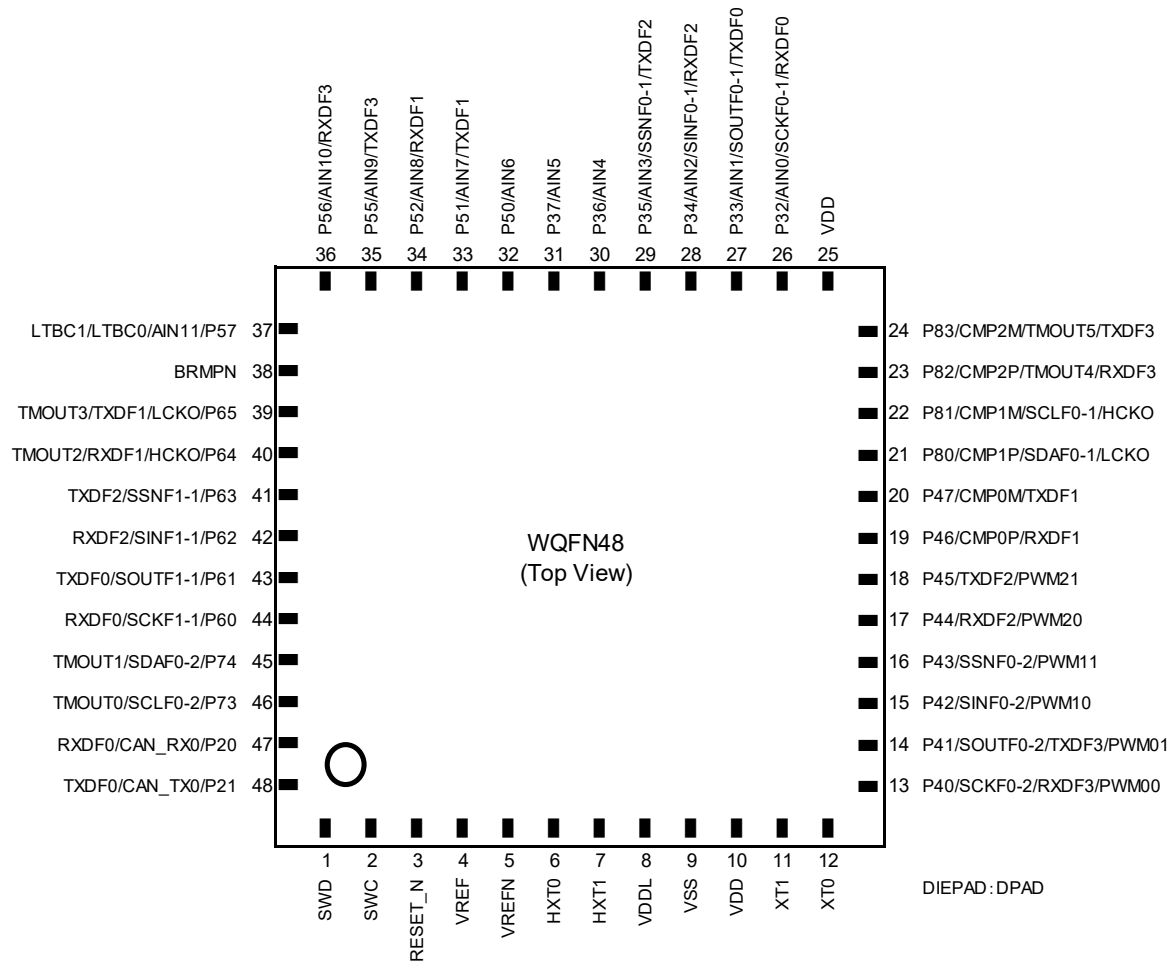


図 3 48 ピン WQFN パッケージの端子配置図

●48ピン TQFP パッケージの端子配置図

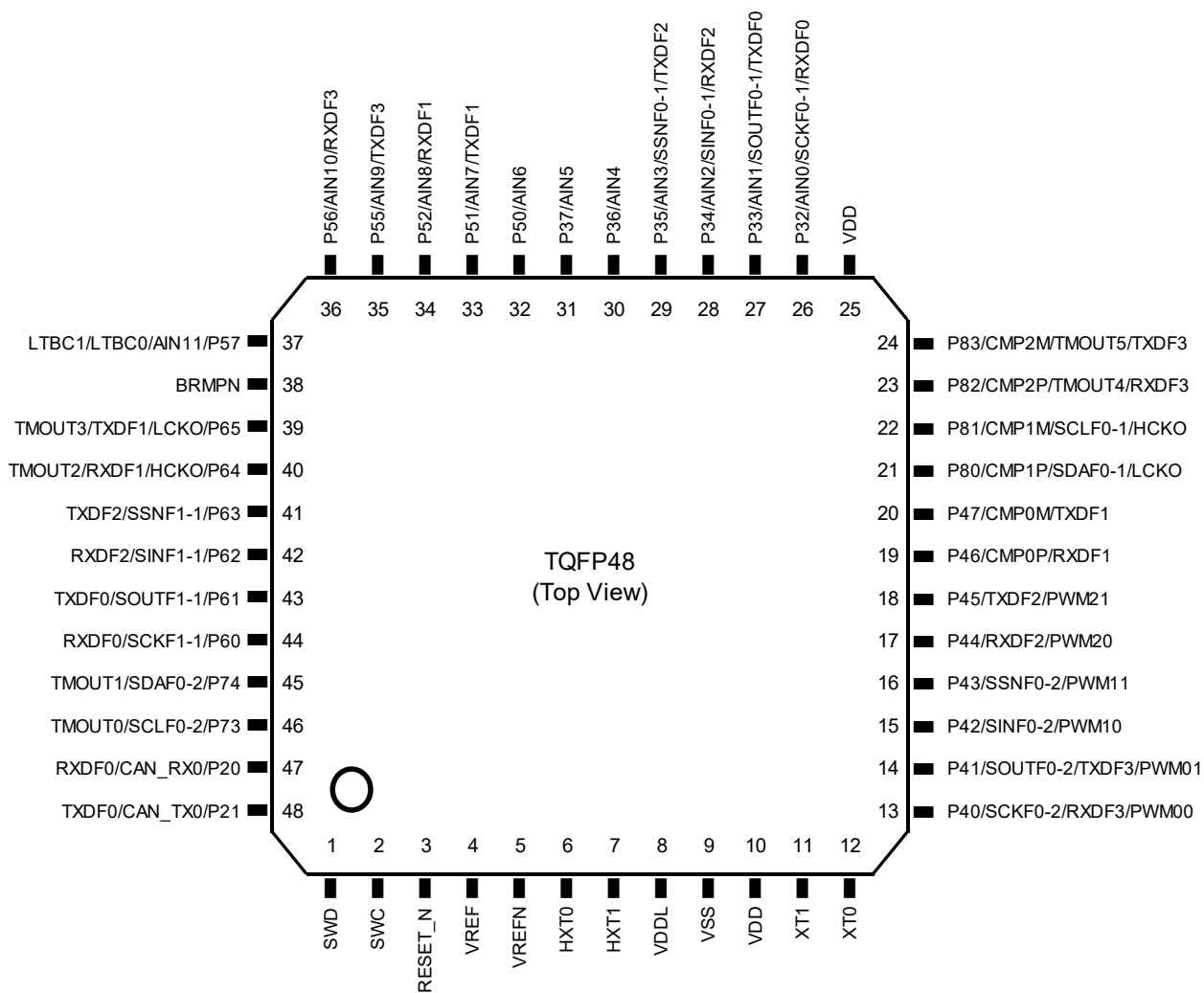


図 4 48ピン TQFP パッケージの端子配置図

●64ピン WQFN パッケージの端子配置図

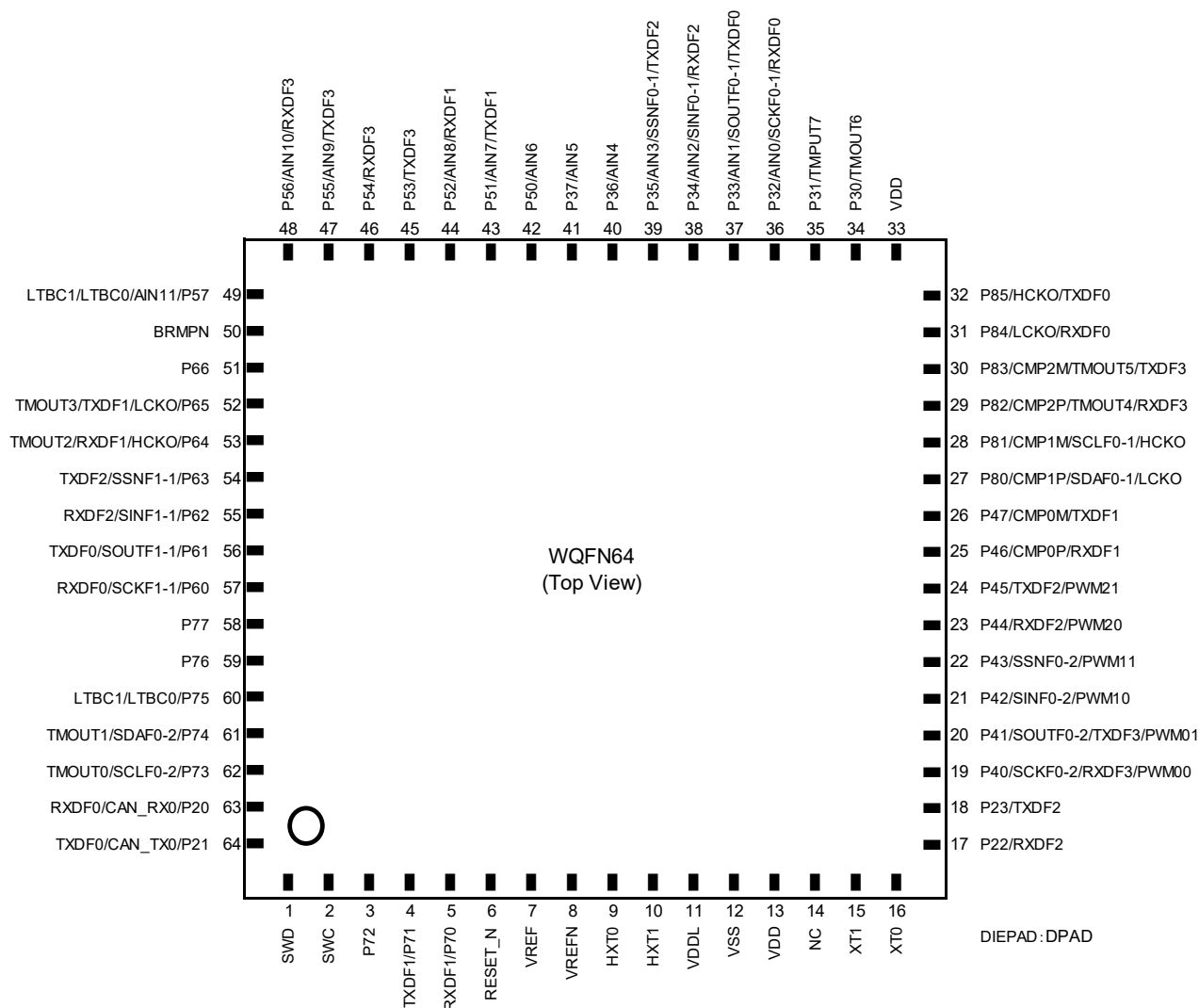


図 5 64ピン WQFN パッケージの端子配置図

●64ピン TQFP パッケージの端子配置図

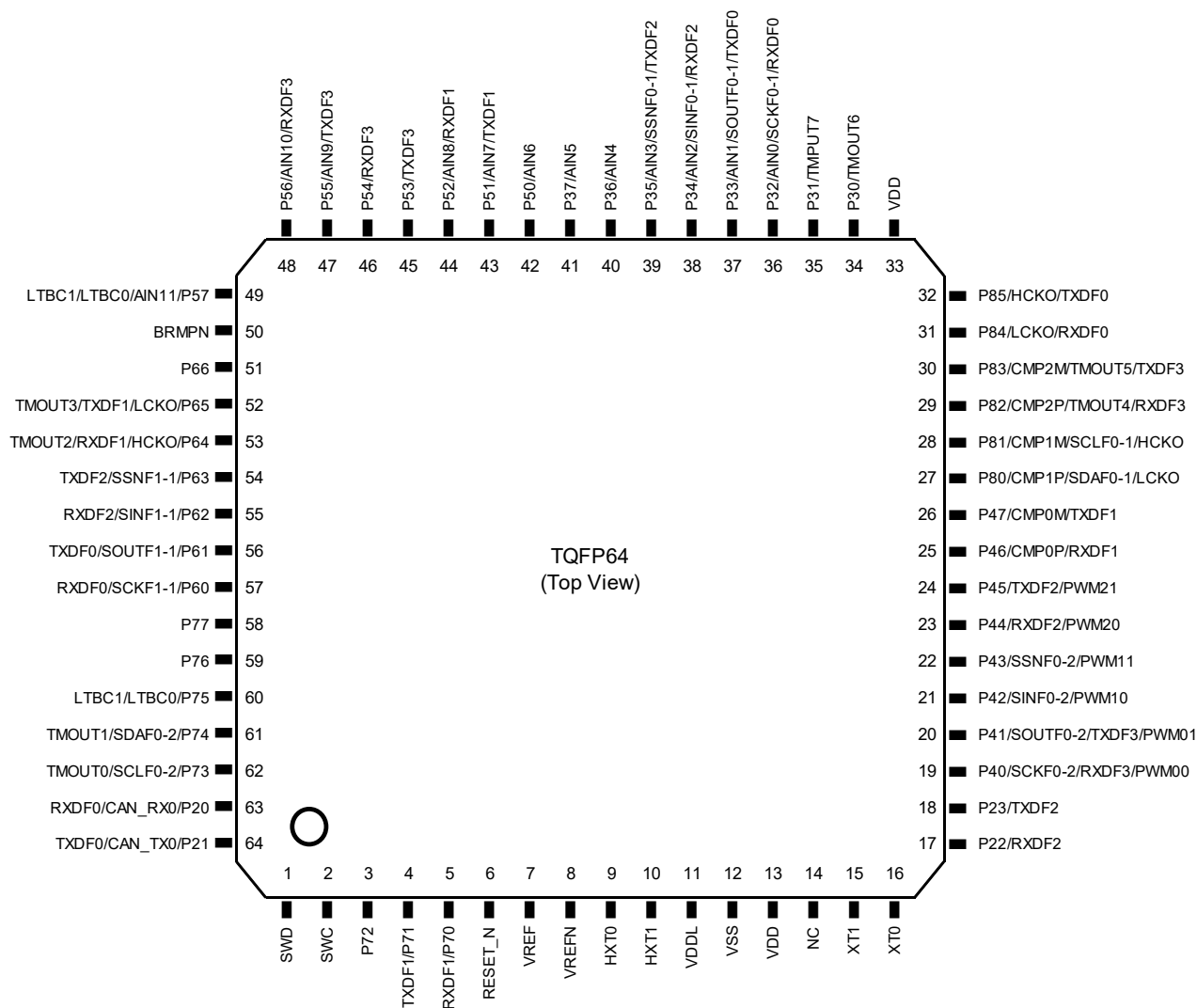


図 6 64ピン TQFP パッケージの端子配置図

■端子一覧

表 4 端子一覧

PIN No.		LSI 端子名	初期状態	1次機能		2次機能		3次機能		4次機能	
ML63Q253x	ML63Q255x			機能端子名	I/O	機能端子名	I/O	機能端子名	I/O	機能端子名	I/O
1	1	SWD	Pull-up input	SWD	I/O	-	-	-	-	-	-
2	2	SWC	Pull-up input	SWC	I	-	-	-	-	-	-
-	3	P72	Hi-Z output	P72	I/O	-	-	-	-	-	-
-	4	P71	Hi-Z output	P71	I/O	-	-	TXDF1	O	-	-
-	5	P70	Hi-Z output	P70	I/O	-	-	RXDF1	I	-	-
3	6	RESET_N	Hi-Z input	RESET_N	I	-	-	-	-	-	-
4	7	VREF	Hi-Z	VREF	I	-	-	-	-	-	-
5	8	VREFN	Hi-Z	VREFN	I	-	-	-	-	-	-
6	9	HXT0	High output	HXT0	I	-	-	-	-	-	-
7	10	HXT1	Hi-Z	HXT1	O	-	-	-	-	-	-
8	11	VDDL	-	VDDL	-	-	-	-	-	-	-
9	12	VSS	-	VSS	-	-	-	-	-	-	-
10	13	VDD	-	VDD	-	-	-	-	-	-	-
-	14	NC	-	NC	-	-	-	-	-	-	-
11	15	XT1	Hi-Z	XT1	I/O	-	-	-	-	-	-
12	16	XT0	Hi-Z	XT0	I	-	-	-	-	-	-
-	17	P22	Hi-Z output	P22	I/O	-	-	RXDF2	I	-	-
-	18	P23	Hi-Z output	P23	I/O	-	-	TXDF2	O	-	-
13	19	P40	Hi-Z output	P40	I/O	SCKF0-2	I/O	RXDF3	I	PWM00	O
14	20	P41	Hi-Z output	P41	I/O	SOUTF0-2	O	TXDF3	O	PWM01	O
15	21	P42	Hi-Z output	P42	I/O	SINF0-2	I	-	-	PWM10	O
16	22	P43	Hi-Z output	P43	I/O	SSNF0-2	I/O	-	-	PWM11	O
17	23	P44	Hi-Z output	P44	I/O	-	-	RXDF2	I	PWM20	O
18	24	P45	Hi-Z output	P45	I/O	-	-	TXDF2	O	PWM21	O
19	25	P46	Hi-Z output	P46/CMP0P	I/O	-	-	RXDF1	I	-	-
20	26	P47	Hi-Z output	P47/CMP0M	I/O	-	-	TXDF1	O	-	-
21	27	P80	Hi-Z output	P80/CMP1P	I/O	LCKO	O	SDAF0-1	I/O	-	-
22	28	P81	Hi-Z output	P81/CMP1M	I/O	HCKO	O	SCLF0-1	I/O	-	-
23	29	P82	Hi-Z output	P82/CMP2P	I/O	-	-	RXDF3	I	TMOUT4	O
24	30	P83	Hi-Z output	P83/CMP2M	I/O	-	-	TXDF3	O	TMOUT5	O
-	31	P84	Hi-Z output	P84	I/O	LCKO	O	RXDF0	I	-	-
-	32	P85	Hi-Z output	P85	I/O	HCKO	O	TXDF0	O	-	-
25	33	VDD	-	VDD	-	-	-	-	-	-	-
-	34	P30	Hi-Z output	P30	I/O	-	-	-	-	TMOUT6	O
-	35	P31	Hi-Z output	P31	I/O	-	-	-	-	TMOUT7	O
26	36	P32	Hi-Z output	P32/AIN0	I/O	SCKF0-1	I/O	RXDF0	I	-	-
27	37	P33	Hi-Z output	P33/AIN1	I/O	SOUTF0-1	O	TXDF0	O	-	-
28	38	P34	Hi-Z output	P34/AIN2	I/O	SINF0-1	I	RXDF2	I	-	-
29	39	P35	Hi-Z output	P35/AIN3	I/O	SSNF0-1	I/O	TXDF2	O	-	-
30	40	P36	Hi-Z output	P36/AIN4	I/O	-	-	-	-	-	-
31	41	P37	Hi-Z output	P37/AIN5	I/O	-	-	-	-	-	-
32	42	P50	Hi-Z output	P50/AIN6	I/O	-	-	-	-	-	-
33	43	P51	Hi-Z output	P51/AIN7	I/O	-	-	TXDF1	O	-	-
34	44	P52	Hi-Z output	P52/AIN8	I/O	-	-	RXDF1	I	-	-
-	45	P53	Hi-Z output	P53	I/O	-	-	TXDF3	O	-	-

PIN No.		LSI 端子名	初期状態	1次機能		2次機能		3次機能		4次機能	
ML63Q253x	ML63Q255x			機能端子名	I/O	機能端子名	I/O	機能端子名	I/O	機能端子名	I/O
-	46	P54	Hi-Z output	P54	I/O	-	-	RXDF3	I	-	-
35	47	P55	Hi-Z output	P55/AIN9	I/O	-	-	TXDF3	O	-	-
36	48	P56	Hi-Z output	P56/AIN10	I/O	-	-	RXDF3	I	-	-
37	49	P57	Hi-Z output	P57/AIN11	I/O	LTBC0	O	LTBC1	O	-	-
38	50	BRMPN	Pull-up input	BRMPN	I	-	-	-	-	-	-
-	51	P66	Hi-Z output	P66	I/O	-	-	-	-	-	-
39	52	P65	Hi-Z output	P65	I/O	LCKO	O	TXDF1	O	TMOUT3	O
40	53	P64	Hi-Z output	P64	I/O	HCKO	O	RXDF1	I	TMOUT2	O
41	54	P63	Hi-Z output	P63	I/O	SSNF1-1	I/O	TXDF2	O	-	-
42	55	P62	Hi-Z output	P62	I/O	SINF1-1	I	RXDF2	I	-	-
43	56	P61	Hi-Z output	P61	I/O	SOUTF1-1	O	TXDF0	O	-	-
44	57	P60	Hi-Z output	P60	I/O	SCKF1-1	I/O	RXDF0	I	-	-
-	58	P77	Hi-Z output	P77	I/O	-	-	-	-	-	-
-	59	P76	Hi-Z output	P76	I/O	-	-	-	-	-	-
-	60	P75	Hi-Z output	P75	I/O	LTBC0	O	LTBC1	O	-	-
45	61	P74	Hi-Z output	P74	I/O	-	-	SDAF0-2	I/O	TMOUT1	O
46	62	P73	Hi-Z output	P73	I/O	-	-	SCLF0-2	I/O	TMOUT0	O
47	63	P20	Hi-Z output	P20	I/O	CAN_RX0	I	RXDF0	I	-	-
48	64	P21	Hi-Z output	P21	I/O	CAN_TX0	O	TXDF0	O	-	-
DIEPAD		DPAD	-	DPAD	-	-	-	-	-	-	-

Pxx は GPIO, EXI/TMCKI として使用できます。

(-ハイフン)付は末尾の番号が同じものの組合せで使用してください

■端子説明

下記表に機能ごとの端子説明を示します。端子名は一次機能の端子名を示します。
I/O 欄の, “I” は入力端子, “O” は出力端子, “I/O” は入出力端子, “-” はその他を示します。

表 5 端子説明

機能	機能端子名	端子名	I/O	説明
電源	-	VSS	-	マイナス側電源 本端子の電位を V _{SS} とします
	-	VDD	-	プラス側電源 V _{SS} との間にコンデンサ C _V (1μF 以上)を接続してください。 本端子の電位を V _{DD} とします。
	-	VDDL	-	内部ロジック用電源(内部発生) V _{SS} との間にコンデンサ C _L (1μF)を接続してください。
システム	SWC	SWC	I	デバッグインターフェースクロック入力
	SWD	SWD	I/O	デバッグインターフェースデータ入出力
	BRMPN	BRMPN	I	リマップ制御入力 BRMP 端子が “L” レベルで Bank0 がリマップされます。
	RESET_N	RESET_N	I	リセット入力 この端子を “L” レベルにするとシステムリセットモードになり, “H” レベルにするとプログラム動作モードに移行します (プルアップ抵抗は内蔵されていません)。
汎用ポート (GPIO)	P20~P23	P20~P23	I/O	汎用入出力 ・ハイインピーダンス(初期値) ・プルアップ抵抗付き入力 ・プルアップ抵抗無し入力 ・CMOS 出力 ・N チャネル(N-ch)オープンドレイン出力
	P30~P37	P30~P37		
	P40~P47	P40~P47		
	P50~P57	P50~P57		
	P60~P66	P60~P66		
	P70~P77	P70~P77		
	P80~P85	P80~P85		
クロック入力	XT0	XT0	I	低速水晶振動子と接続します 32.768kHz 水晶振動子を XT0-XT1 間に接続し, VSS との間にコンデンサを接続します。矩形波クロックを入力する場合は XT1 より入力します
	XT1	XT1	I/O	
	HXT0	HXT0	I	CAN 通信用の高速水晶振動子と接続します。 20MHz か 40MHz の水晶振動子を HXT0-HXT1 間に接続し, VSS との間にコンデンサを接続します。 矩形波クロックは入力できません。
	HXT1	HXT1	O	
クロック出力	HCKO	P81 P64 P85	O	高速クロック出力
	LCKO	P80 P65 P84	O	低速クロック出力
	LTBC0 /LTBC1	P57 P75	O	低速タイムベースカウンタ出力 (1Hz/2Hz)
外部割込み	EXI0~EXI7	P20~P85	I	マスクブル外部割込み 全ての汎用ポートから選択して割り当てます。 ファンクショナルタイマのトリガやタイマクロックにも使用します。
外部タイマ クロック入力	TMCKI0~TMCKI7	P20~P85	I	外部タイマクロック入力 全ての汎用ポートから選択して割り当てます。 16 ビットタイマとファンクショナルタイマのタイマクロックに使用します。
ファンクシ ョナルタイ マ	TMOUT0	P73	O	ファンクショナルタイマ出力
	TMPUT1	P74	O	
	TMOUT2	P64	O	
	TMOUT3	P65	O	
	TMOUT4	P82	O	
	TMOUT5	P83	O	
	TMOUT6	P30	O	
	TMOUT7	P31	O	

機能	機能端子名	端子名	I/O	説明
3相モータ制御 PWM	PWM00	P40	O	PWM 出力
	PWM01	P41	O	
	PWM10	P42	O	
	PWM11	P43	O	
	PWM20	P44	O	
	PWM21	P45	O	
I ² C	SCLF0	P73 P81	I/O	I ² C クロック入出力 N チャネルオープンドレイン出力にして、プルアップ抵抗を外付けしてください。
	SDAF0	P74 P80	I/O	I ² C データ入出力 N チャネルオープンドレイン出力にして、プルアップ抵抗を外付けしてください。
CAN	CAN_RX0	P20	I	CAN のシリアルデータ入力
	CAN_TX0	P21	O	CAN のシリアルデータ出力
UART	RXDF0	P20 P84 P32 P60	I	UARTF0 受信データ入力
	TXDF0	P21 P85 P33 P61	O	UARTF0 送信データ出力
	RXDF1	P70 P46 P52 P64	I	UARTF1 受信データ入力
	TXDF1	P71 P47 P51 P65	O	UARTF1 送信データ出力
	RXDF2	P22 P34 P44 P62	I	UARTF2 受信データ入力
	TXDF2	P23 P35 P45 P63	O	UARTF2 送信データ出力
	RXDF3	P40 P54 P56 P82	I	UARTF3 受信データ入力
	TXDF3	P41 P53 P55 P83	O	UARTF3 送信データ出力
同期式シリアルポート	SCKF0	P32 P40	I/O	SIOF0 クロック入出力
	SOUTF0	P33 P41	O	SIOF0 データ出力
	SINF0	P34 P42	I	SIOF0 データ入力
	SSNF0	P35 P43	I/O	SIOF0 セレクト入出力
	SCKF1	P60	I/O	SIOF1 クロック入出力
	SOUTF1	P61	O	SIOF1 データ出力
	SINF1	P62	I	SIOF1 データ入力
	SSNF1	P63	I/O	SIOF1 セレクト入出力
SA-ADC	VREF	VREF	I	逐次比較型 A/D コンバータのリファレンス電圧正入力
	VREFN	VREFN	I	逐次比較型 A/D コンバータのリファレンス電圧負入力
	AIN0	P32	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 0
	AIN1	P33	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 1
	AIN2	P34	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 2
	AIN3	P35	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 3
	AIN4	P36	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 4
	AIN5	P37	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 5
	AIN6	P50	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 6
	AIN7	P51	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 7
	AIN8	P52	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 8
	AIN9	P55	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 9
	AIN10	P56	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 10
	AIN11	P57	I	逐次比較型 A/D コンバータのアナログ入力チャンネル 11
CMP	CMP0P	P46	I	アナログコンパレータチャンネル 0+入力
	CMP0M	P47	I	アナログコンパレータチャンネル 0-入力
	CMP1P	P80	I	アナログコンパレータチャンネル 1+入力
	CMP1M	P81	I	アナログコンパレータチャンネル 1-入力
	CMP2P	P82	I	アナログコンパレータチャンネル 2+入力
	CMP2M	P83	I	アナログコンパレータチャンネル 2-入力
その他	—	NC	—	未接続端子です。
	—	DPAD	—	WQFN パッケージの裏面 PAD です。

■未使用端子の処理

表 6 未使用端子の処理

端子名	端子処理
RESET_N	VDDに接続してください
BRMPN	オープンにしてください
SWC	外付けプルアップ抵抗に接続してください
SWD	外付けプルアップ抵抗に接続してください
VREF	VDDに接続してください
VREFN	VSSに接続してください
HXT0, HXT1	オープンにしてください
XT0, XT1	オープンにしてください
P20 ~ P23 P30 ~ P37 P40 ~ P47 P50 ~ P57 P60 ~ P66 P70 ~ P77 P80 ~ P85	オープンにしてください
DPAD	オープンにしてください
NC	オープンにしてください

【注意】

未使用の入力端子および入出力端子は、入力状態(プルアップ抵抗無しの入力モードまたは入出力モード)で端子に中間電位が入力されると貫通電流が過大に流れる恐れがあります。表 6 の処理方法に従ってください。

■電気的特性

●絶対最大定格

(V_{SS}=0V)

項目	記号	条件	定格値	単位	
電源電圧 1	V _{DD}	Ta=+25°C	-0.3 to +6.5	V	
電源電圧 2	V _{DDL}	Ta=+25°C	-0.3 to +2.0	V	
入力電圧 1 (HXT0, HXT1, 電源端子除く)	V _{IN1}	Ta=+25°C	-0.3 to V _{DD} +0.3 ^{*1}	V	
入力電圧 2 (HXT0, HXT1 端子)	V _{IN2}	Ta=+25°C	-0.3 to +2.0	V	
出力電圧 1	V _{OUT1}	Ta=+25°C	-0.3 to V _{DD} +0.3 ^{*1}	V	
ハイ・レベル出力電流	I _{OUTH}	Ta=25°C	1 端子	-12 ^{*2}	mA
			端子合計	-60 ^{*2}	
ロウ・レベル出力電流	I _{OUTL}		1 端子	+16	mA
			端子合計	+60	
許容損失	PD	Ta=+25°C	0.9	W	
保存温度	T _{STG}	-	-55 to +150 ^{*3}	°C	

*1 6.5V 以下であること。

*2 LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例：-1mA の場合は最大 1mA の電流が LSI の端子から流れ出すことになります。

*3 実装までの保管については、「ボード実装(半田付け)に関して」に示す保管条件を守ってください。

【注意】

絶対最大定格とは、製品の物質的品質を損なわないための許容値であり、動作を保証するものではありません。

●推奨動作条件

(V_{SS}=0V)

項目	記号	条件	範囲	単位
動作温度(周囲)	T _a	-	-40 to +105	°C
動作温度(ジャンクション)	T _j	-	-40 to +115	°C
電源電圧	V _{DD}	-	2.3 to 5.5	V
動作周波数 (CPU)	f _{OP}	-	LSCLK:32.768k HSCLK:Max. 48M	Hz
低速水晶発振周波数 ^{*1}	f _{XTL}	-	32.768k	Hz
高速水晶発振周波数 ^{*1}	f _{OSC}	-	20 or 40	MHz
V _{DDL} 端子外付け容量	C _L	-	1.0 ± 30%	μF

*1: 水晶振動子については、「動作確認済み発振子」の項を参照してください。水晶振動子は、実装回路でのマッチング評価が必要です。振動子メーカーにマッチング評価を依頼して発振特性を確認してご使用ください。

●熱特性

以下にチップ-ジャンクション温度の見積り式を示します。

$$T_{jmax} = T_{amax} + P_{Dmax} \times \theta_{ja}$$

T_{amax} : 最高動作温度(周囲)

P_{Dmax} : LSI 最大消費電力

θ_{ja} : 熱抵抗

推奨動作条件に規定された T_{jmax} を超えないように、端子電流、周囲温度ならびに基板の放熱設計にご注意ください。必要に応じて実装基板で評価してください。

以下は熱抵抗 θ_{ja} のシミュレーション結果です。放熱設計の参考値としてご使用ください。

表 7 パッケージ熱抵抗

項目	記号	パッケージ	基板条件		単位
			L1	L2	
熱抵抗	θ_{ja}	TQFP48	45.8	42.6	°C/W
		WQFN48	27.6	23.9	
		TQFP64	43.1	40.4	
		WQFN64	26.1	22.6	
基板条件:					
	条件	L1	L2		単位
	サイズ(L/W/T)	114.3 / 76.2 / 1.6	114.3 / 76.2 / 1.6		mm
	層数	1	2		層
	配線密度	60%(表層)	60%(表層,裏層)		—
	空冷条件	無風(0m/s)			—

●消費電流特性

(特に指定のない場合は, $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	条件		規格値			単位	測定回路
	動作モード	状態 *1	Min.	Typ.*2	Max. $T_j \leq +115^{\circ}C$		
IDD1	STOP	全てのクロックが停止	—	2	450	μA	1
IDD2	HALT (高速発振 OFF)	RC32K 発振 XT32K 停止	—	3.5	460	μA	
IDD3	CPU 動作 SYSCLK=32.768kHz (高速発振 OFF)	RC32K 発振 XT32K 停止	—	27	500	μA	
IDD4	CPU 動作 SYSCLK=40MHz	高速水晶 40M モード HSCLK = 40MHz	—	9	12	mA	
IDD5	CPU 動作 SYSCLK=48MHz	PLL48M モード HSCLK = 48MHz 高速水晶発振停止	—	10	12	mA	

*1: IDD1 を除きすべて LTBC, WDT は動作状態です。また周辺回路へのクロック供給は全て停止状態です。

*2: $V_{DD}=3.0V$, $T_a=+25\text{ }^{\circ}C$ 条件

●入出力端子特性 1

(特に指定のない場合は、 $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
“H”/“L”レベル 出力電圧 1 (すべての 入出力端子)	VOH1	IOH1=-10mA $V_{DD}\geq 4.5V$	V_{DD} -1.5	—	—	V	2
		IOH1=-1mA $V_{DD}\geq 2.3V$	V_{DD} -0.5	—	—		
	VOL1	IOL1=+10mA $V_{DD}\geq 4.5V$	—	—	1.5		
		IOL1=+1mA $V_{DD}\geq 2.3V$	—	—	0.5		
“L”レベル 出力電圧 2 (すべての 入出力端子)	VOL2	N-ch オープンドレ イン出力選択時	IOL2=+15mA $V_{DD}\geq 4.5V$	—	—	0.7	
			IOL2=+8mA $V_{DD}\geq 3.0V$	—	—	0.5	
			IOL2=+3mA $V_{DD}\geq 2.3V$	—	—	0.4	
入力電流 1 (RESET_N)	IIH1	VIH1= V_{DD}	—	—	1	μA	4
	IIL1	VIL1= V_{SS}	-1*1	—	—		
入力電流 3 (RESET_Nを除く 入力端子, 入出力端子)	IIL3	VIL1= V_{SS} (プルアップ時)*2	-250*1	-30*1	-2*1	$k\Omega$	
	V/IIL3	VIL1= V_{SS} (プルアップ時)*2	22	100	800	μA	
	IIH3Z	VIH1= V_{DD} (ハイインピーダンス時)	—	—	1		
	IIL3Z	VIL1= V_{SS} (ハイインピーダンス時)	-1*1	—	—		
入力電圧 1 (入力端子, 入出力端子)	VIH1	—	0.7 $\times V_{DD}$	—	V_{DD}	V	5
	VIL1	—	0	—	0.3 $\times V_{DD}$		
端子容量 (RESET_N, 入力端子, 入出力端子)	CPIN	f=10kHz $T_a=+25^{\circ}C$	—	—	10	pF	—

*1: LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例: -1mA の場合は最大 1mA の電流が LSI の端子から流れ出すことになります。

*2: Typ. 値は $V_{DD}=3.0V$ 条件です。また Min. 値は $V_{DD}=5.5V$ のとき、Max. 値は $V_{DD}=2.3V$ のときです。

●入出力端子特性 2

(特に指定のない場合は、 $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
“H”レベル出力電流 ^{*6}	IOH1	1 端子	$V_{DD}\geq 4.5V$	-10 ^{*3*5}	—	—	mA
			$V_{DD}\geq 2.3V$	-1 ^{*3*5}	—	—	
“H”レベル出力合計電流 ^{*1*4}	IOH3	グループ C またはグループ D の合計(デューティ $\leq 50\%$ 時)**	$V_{DD}\geq 4.5V$	-20 ⁵	—	—	
			$V_{DD}\geq 2.3V$	-10 ⁵	—	—	
		全端子合計(デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	-40 ⁵	—	—	
			$V_{DD}\geq 2.3V$	-20 ⁵	—	—	
“L”レベル出力電流 ^{*6}	IOL1	1 端子 (CMOS 出力選択時)	$V_{DD}\geq 4.5V$	—	—	10 ³	
			$V_{DD}\geq 2.3V$	—	—	1 ³	
“L”レベル出力電流 ^{*6}	IOL2	1 端子 (N-ch オープンドレイン出力選択時)	$V_{DD}\geq 4.5V$	—	—	15 ³	
			$V_{DD}\geq 3.0V$	—	—	8 ³	
			$V_{DD}\geq 2.3V$	—	—	3 ³	
“L”レベル出力合計電流 ^{*2*4}	IOL3	グループ A またはグループ B の合計(N-ch オープンドレイン出力選択時, デューティ $\leq 50\%$ 時)**	$V_{DD}\geq 4.5V$	—	—	23	
			$V_{DD}\geq 3.0V$	—	—	16	
			$V_{DD}\geq 2.3V$	—	—	10	
		全端子合計(N-ch オープンドレイン出力選択時, デューティ $\leq 50\%$ 時)	$V_{DD}\geq 4.5V$	—	—	46	
			$V_{DD}< 2.3V$	—	—	20	
出力リーク (すべての入出力端子)	IOOH	$VOH=V_{DD}$ (ハイインピーダンス時)	—	—	+1	μA	
	IOOL	$VOL=V_{SS}$ (ハイインピーダンス時)	-1 ^{*5}	—	—		

** : グループ A “P22~P23 P30~P37, P40~P47, P80~P85”,
グループ B “P20~P21, P50~P57, P60~P66, P70~P77”,
グループ C “P20~P23 P40~P44, P60~P62, P70~P77”,
グループ D “P30~P37, P45~P47, P50~P57, P63~P66, P80~P85”

*1 : V_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保證する電流値です。

*2 : 出力端子から V_{SS} 端子に流れ込んでも、デバイスの動作を保證する電流値です。

*3 : 出力合計電流を超えないでください。

*4 : デューティ $\leq 50\%$ の条件での出力電流の値です。

デューティ $> 50\%$ に変更した出力電流の値は、次の計算式で求めることができます。

端子合計の出力電流 = $IOL3 \times 50/n$ (デューティ比を $n\%$ に変更する場合)

<計算例>

$IOL3=100mA$ で、 $n=80\%$ の場合、

端子合計の出力電流 = $IOL3 \times 50/80=62.5mA$

1 端子に流せる電流はデューティによって変わることはなく、 $IOL1/IOL2$ の規格となります。

また絶対最大定格以上の電流は流せません。

*5 : LSI 内部から端子に向けて電流が流れ出す場合はマイナス符号で記載しています。

流せる電流値は、絶対値が最大値となります。

例 : $-1mA$ の場合は最大 $1mA$ の電流が LSI の端子から流れ出すこととなります。

*6 : $VOH1, VOL1, VOL2$ を満たすための条件となります。

●オンチップオシレータ特性

(特に指定のない場合は、 $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
内蔵 RC 発振周波数	f_{RCL1}	—	Typ. -2.0%	32.768	Typ. +2.0%	kHz	1
PLL 発振周波数	f_{PLL1}	$T_j=-40\sim +95\text{ }^{\circ}C$ 内蔵 RC 発振使用時	Typ. -1.5%	48	Typ. +1.5%		
		$T_j=-40\sim +115\text{ }^{\circ}C$ 内蔵 RC 発振使用時	Typ. -2.0%		Typ. +2.0%		
PLL 発振安定時間	T_{PLL}	—	—	—	5	ms	

本規格値は、弊社出荷時の規格値です。基板実装により周波数は変動する場合があります。

●高速水晶発振特性

(特に指定のない場合は、 $V_{DD} = 2.3\sim 5.5V$, $V_{SS} = 0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
水晶発振周波数 ^{*1*2}	f_{osc}	—	—	20 or 40	—	MHz
水晶発振開始時間	T_{osc}	—	—	—	3	ms

*1:発振周波数は発振回路、水晶振動子、水晶発振外付け容量(C_{GL2}/C_{DL2})の回路定数で設定します。水晶振動子によって回路定数は変わりますので、実装回路でのマッチング評価が必要です。振動子メーカーにマッチング評価を依頼して発振特性を確認してご使用ください。

*2:回路基板の材質や配線パターン、および水晶振動子や端子などの配線容量や寄生容量によって期待する発振特性が得られない可能性があります。外付け回路の設計には十分ご注意ください。

- 外付け回路の配線は極力短くしてください。
- 水晶発振外付け容量、水晶振動子の配線は極力短くしてください。
- 外付け回路の配線と大電流が流れる配線は交差および隣接させないでください。
- 外付け回路の配線と他信号の配線は交差させないでください。
- 水晶発振外付け容量の接地点への接続については、極力電流変動や電圧変動の少ない接地配線に接続してください。
- 使用環境によっては基板の吸湿や基板表面での結露などで期待する発振特性が得られない可能性があります。回路基板を樹脂密閉するなどの対策を推奨します。

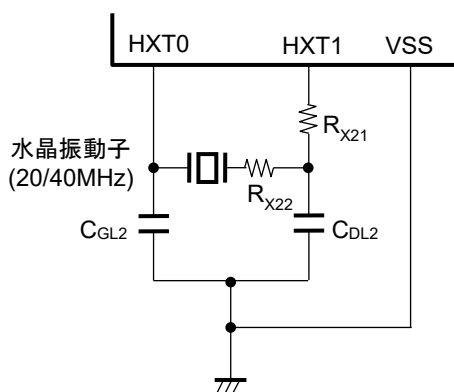


図 7 高速水晶発振の外付け回路例

●低速水晶発振特性

(特に指定のない場合は、 $V_{DD} = 2.3 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
水晶発振周波数 ^{*1*2}	f_{XTL}	—	—	32.768	—	kHz
水晶発振開始時間	T_{XTL}	—	—	—	2	s

*1:発振周波数は発振回路、水晶振動子、水晶発振外付け容量(C_{GL}/C_{DL})の回路定数で設定します。水晶振動子によって回路定数は変わりますので、実装回路でのマッチング評価が必要です。振動子メーカーにマッチング評価を依頼して発振特性を確認してください。

*2:回路基板の材質や配線パターン、および水晶振動子や端子などの配線容量や寄生容量によって期待する発振特性が得られない可能性があります。外付け回路の設計には十分ご注意ください。

- 外付け回路の配線は極力短くしてください。
- 水晶発振外付け容量、水晶振動子の配線は極力短くしてください。
- 外付け回路の配線と大電流が流れる配線は交差および隣接させないでください。
- 外付け回路の配線と他信号の配線は交差させないでください。
- 水晶発振外付け容量の接地点への接続については、極力電流変動や電圧変動の少ない接地配線に接続してください。
- 使用環境によっては基板の吸湿や基板表面での結露などで期待する発振特性が得られない可能性があります。回路基板を樹脂密閉するなどの対策を推奨します。

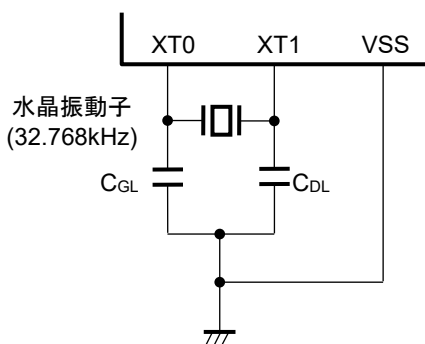


図 8 低速水晶発振の外付け回路例

●低速外部クロック入力特性

(特に指定のない場合は、 $V_{DD} = 2.3 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim +105^\circ C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
入力周波数	f_{EXCK}	—	Typ. -1.0%	32.768	Typ. +1.0%	kHz
入力パルス幅	t_{EXCKW}	—	14.5	—	—	μs

●EXI/TMCKI 端子特性

(特に指定のない場合は, $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
入力周波数	f_{EXI}	—	—	—	4	MHz
入力パルス幅	t_{WPI1}	アナログフィルタ無効時	50	—	—	ns
	t_{WPI2}	アナログフィルタ有効時	250	—	—	ns
フィルタ有効幅	t_{WFI2}	アナログフィルタ有効時	—	—	50	ns

●I²C バス・インタフェース特性

(特に指定のない場合は, $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	規格値						単位
		標準モード Standard Mode			ファストモード Fast Mode			
		Min.	Typ.	Max.	Min.	Typ.	Max.	
動作電圧	V_{DD}	2.3	—	5.5	2.3	—	5.5	V
SCL クロック周波数	f_{SCL}	0	—	100	0	—	400	kHz
SCL ホールド時間 (スタート/再スタートコンディション)	$t_{HD:STA}$	4.0	—	—	0.6	—	—	μs
SCL “L” レベル時間	t_{LOW}	4.7	—	—	1.3	—	—	μs
SCL “H” レベル時間	t_{HIGH}	4.0	—	—	0.6	—	—	μs
SCL セットアップ時間 (再スタートコンディション)	$t_{SU:STA}$	4.7	—	—	0.6	—	—	μs
SDA ホールド時間	$t_{HD:DAT}$	0	—	—	0	—	—	μs
SDA セットアップ時間	$t_{SU:DAT}$	0.25	—	—	0.1	—	—	μs
SDA セットアップ時間 (ストップコンディション)	$t_{SU:STO}$	4.0	—	—	0.6	—	—	μs
バスフリー時間	t_{BUF}	4.7	—	—	1.3	—	—	μs

上記規格値を満たすように I2CF 転送速度設定カウンタ(I2F0BC)を設定してください

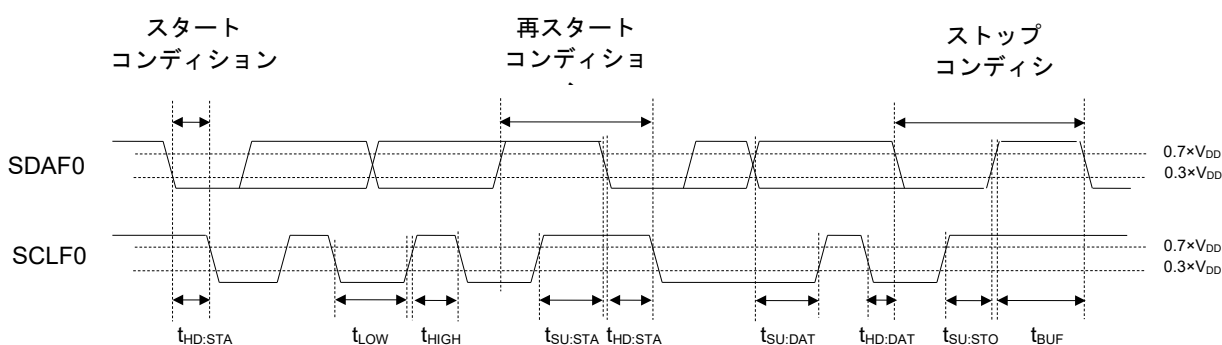


図 9 I²C バス・タイミング

●FIFO 付き同期式シリアルポート特性

● スレーブモード

(特に指定のない場合は, $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCKF 入力サイクル	t_{SCYC}	—	500 ^{*1}	—	—	ns
SCKF 入力パルス幅	t_{SW}	—	200	—	—	ns
SOUTF 出力遅延時間	t_{SD}	—	—	—	180	ns
SINF 入力セットアップ時間	t_{SS}	—	50	—	—	ns
SINF 入力ホールド時間	t_{SH}	—	50	—	—	ns

*1: HSCLK の 2 倍以上

● マスタモード

(特に指定のない場合は, $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
SCKF 出力サイクル	t_{SCYC}	—	166 ^{*2}	SCLK ^{*2}	—	ns
		$V_{DD} > 2.7$	83 ^{*2}			
SCKF 出力パルス幅	t_{SW}	—	$t_{SCYC} \times 0.4$	$t_{SCYC} \times 0.5$	$t_{SCYC} \times 0.6$	ns
SOUTF 出力遅延時間	t_{SD}	—	—	—	80	ns
		$V_{DD} > 2.7$			30	
SINF 入力セットアップ時間	t_{SS}	—	50	—	—	ns
		$V_{DD} > 2.7$	20			
SINF 入力ホールド時間	t_{SH}	—	50	—	—	ns
		$V_{DD} > 2.7$	20			

*2: SIOFn ボーレートレジスタ(SFnBRR)のビット 9~0(SF0BR9~0)で設定したクロック周期

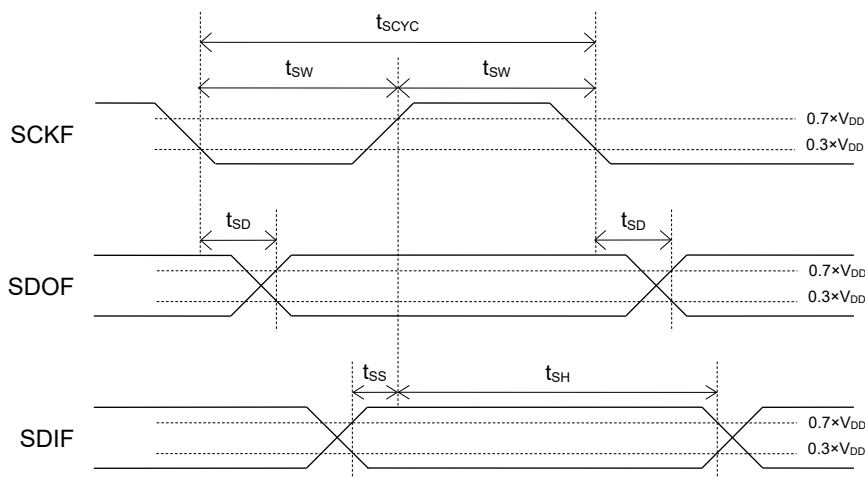


図 10 同期式シリアルポート・タイミング

●リセット特性

(特に指定のない場合は、 $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
リセット有効時間	P_{RST}	—	10	—	—	μs	1

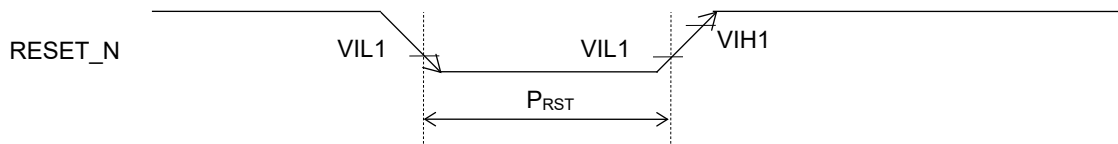


図 11 リセット

【注意】

リセット端子にリセット有効時間(P_{RST})より短いパルスが入ると予期しない動作をする可能性があります。リセット有効時間より短いパルスが入らないようにしてください。

●電源傾きおよびパワーオンリセット特性

(特に指定のない場合は $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
電源立ち上がり傾き	S_{VR}	—	—	—	60	V/ms	1
電源立ち下がり傾き	S_{VF}	—	—	—	2	V/ms	
パワーオンリセット判定電圧	V_{PORR}	電源立ち上がり時	1.50	1.67	2.10	V	
	V_{PORF}	電源立ち下がり時	1.45	1.65	2.05	V	
パワーオンリセット最小パルス幅	P_{POR}	—	500	—	—	μs	
CPU 動作開始時間 (リセット解除から CPU が動作開始するまでの時間)	t_{CPUI}	—	9	16	21	ms	—

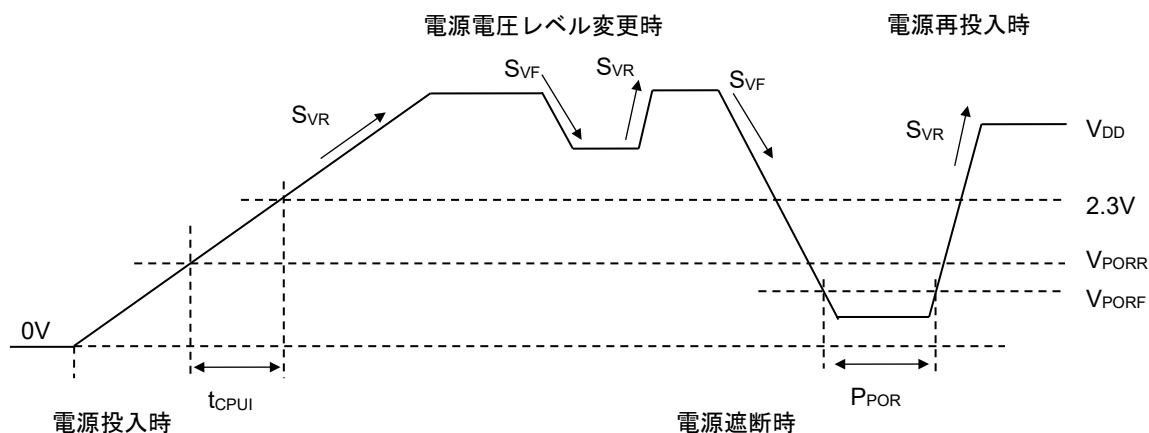


図 12 電源投入遮断

【注意】

電源の瞬停等により、パワーオンリセットの反応時間より短いパルスが電源に入った場合、LSI がリセットされずに誤動作する可能性があります。パソコンによる電源低下の防止措置や、リセット入力端子からリセットする等の対策をおこなってください。

CPU 動作開始までに V_{DD} を 2.3V 以上にしてください。

●VLS 特性

(特に指定のない場合は, $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値						単位	測定回路
			立下がり V_{VLSF}			立上がり V_{VLSR}				
			Min.	Typ.	Max.	Min.	Typ.	Max.		
VLS 判定電圧	V_{VLSR} V_{VLSF}	VLS0LV ^{*1}							V	1
		0H	3.83	3.99	4.49	3.84	4.05	4.65		
		1H	3.53	3.68	4.14	3.55	3.74	4.28		
		2H	2.92	3.05	3.42	2.94	3.10	3.54		
		3H	2.84	2.96	3.31	2.85	3.01	3.44		
		4H	2.72	2.84	3.18	2.74	2.89	3.30		
		5H	2.65	2.76	3.08	2.66	2.80	3.19		
		6H	2.55	2.66	2.97	2.56	2.70	3.08		
		7H	2.43	2.54	2.84	2.45	2.58	2.93		
8H	2.35	2.45	2.73	2.36	2.49	2.83				
9H	2.25	2.35	2.62	2.27	2.39	2.71				

*1: 電圧レベル検出回路 0 レベルレジスタ(VLS0LV)のビット 3~ビット 0

(特に指定のない場合は, $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
VLS 消費電流	I_{VLS}	—	—	10	—	nA	1

●アナログコンパレータ特性

(特に指定のない場合は, $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^{\circ}C$)

項目	記号	条件	規格値			単位	測定回路
			Min.	Typ.	Max.		
コンパレータ 同相入力電圧範囲	V_{CMR}	—	0.1	—	V_{DD} -1.2	V	1
コンパレータ 入力オフセット	V_{CMOF}	$T_a=+25\text{ }^{\circ}C$, $V_{DD}=5.0V$	—	± 5	—	mV	
コンパレータ 動作遅延時間	V_{CTS}	入力振幅 $\pm 100mV$	—	0.5	1.2	μs	

●逐次比較型 A/D コンバータ 特性

(特に指定のない場合は, $V_{DD}=2.3\sim 5.5V$, $V_{SS}=0V$, $T_a=-40\sim +105\text{ }^\circ\text{C}$)

項目	記号	条件	規格値			単位
			Min.	Typ.	Max.	
分解能	n_{AD}	—	—	—	12	bit
変換クロック	f_{ADCLK}	公称値, $V_{DD} \geq 4.5V$, $V_{REF} \geq 4.5V$	32.768	—	24000	kHz
		公称値, $V_{DD} \geq 2.7V$, $V_{REF} \geq 2.7V$	32.768	—	16000	
		公称値, $V_{DD} \geq 2.4V$, $V_{REF} \geq 2.4V$	32.768	—	8000	
		公称値, $V_{DD} \geq 2.3V$, $V_{REF} \geq 2.1V$	32.768	—	2500	
変換時間	t_{CONV}	$f_{ADCLK} = 24MHz$	0.917	—	—	μs
		$f_{ADCLK} = 32.768kHz$	518.799	—	—	μs
SA-ADC 基準電位	V_{REF}	$V_{DD} \geq V_{REF}$	2.1	—	V_{DD}	V
総合誤差	—	$4.5V \leq V_{REF} \leq 5.5V$	-6.5	—	+6.5	LSB
積分非直線性誤差	INL_{AD}	$f_{ADCLK}=24MHz$, $4.5V \leq V_{REF}$	-4	—	+4	LSB
		$f_{ADCLK}=16MHz$, $2.7V \leq V_{REF}$	-4	—	+4	
		$f_{ADCLK}=8MHz$, $2.4V \leq V_{REF}$	-6	—	+6	
		$f_{ADCLK} \leq 2.5MHz$, $2.1V \leq V_{REF}$	-8	—	+8	
微分非直線性誤差	DNL_{AD}	$f_{ADCLK}=24MHz$, $4.5V \leq V_{REF}$	-3	—	+3	
		$f_{ADCLK}=16MHz$, $2.7V \leq V_{REF}$	-3	—	+3	
		$f_{ADCLK}=8MHz$, $2.4V \leq V_{REF}$	-5	—	+5	
		$f_{ADCLK} \leq 2.5MHz$, $2.1V \leq V_{REF}$	-7	—	+7	
ゼロスケール誤差	ZSE	$f_{ADCLK}=16, 24MHz$	-6	—	+6	
		$f_{ADCLK}=8MHz$	-8	—	+8	
		$f_{ADCLK} \leq 2.5MHz$	-10	—	+10	
フルスケール誤差	FSE	$f_{ADCLK}=16, 24MHz$	-6	—	+6	
		$f_{ADCLK}=8MHz$	-8	—	+8	
		$f_{ADCLK} \leq 2.5MHz$	-10	—	+10	

SA-ADC サンプリング中にはコンデンサに充電するために電流が流れます。十分にサンプリングするためには、アナログ入力源の出カインピーダンスを $1\text{ k}\Omega$ 以下にしてください。また、ノイズを低減するために $0.1\mu\text{F}$ 程度のコンデンサを付けることを推奨します。

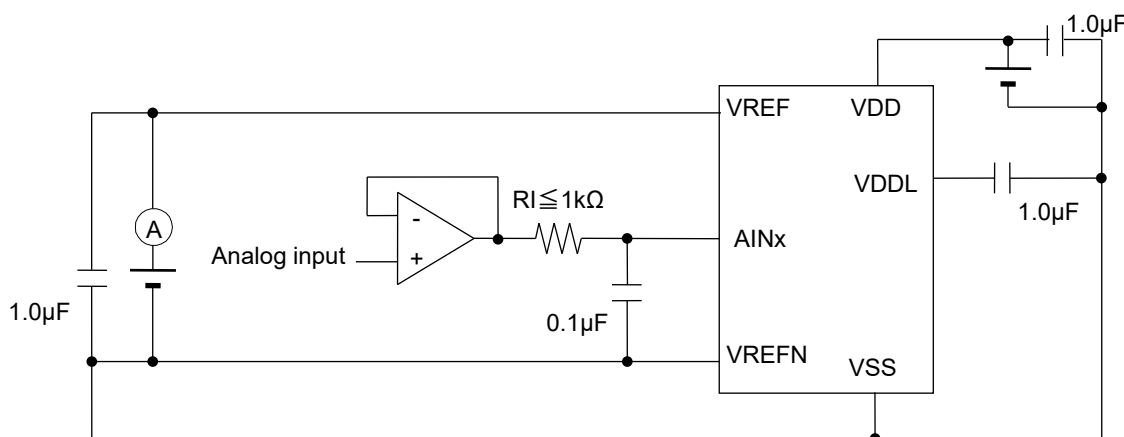


図 13 SA-ADC 接続

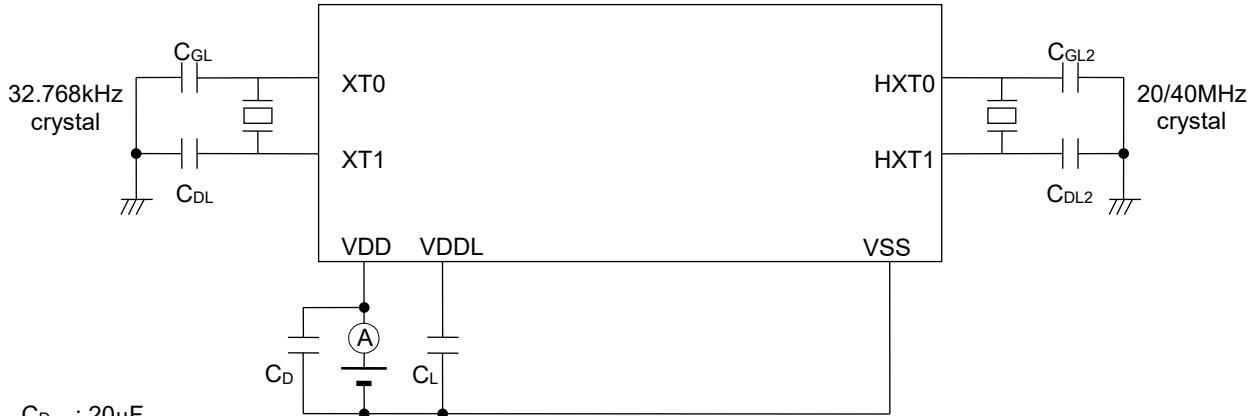
●フラッシュ メモリ動作条件

(V_{SS}= 0V)

項目	記号	条件	範囲	単位	
動作温度 (周囲)	T _{OP}	データ領域 : 書き込み / 消去時	-40 to +85	°C	
		プログラム領域 : 書き込み / 消去時	0 to +40	°C	
動作電圧	V _{DD}	書き込み / 消去時	2.3 to 5.5	V	
書き換え回数	C _{EPD}	データ領域	10,000	回	
	C _{EPP}	プログラム領域	100		
消去単位	-	ブロック消去	プログラム領域	32K	バイト
			データ領域	8K	
		セクタ消去	プログラム領域	2K	バイト
			データ領域	256	
消去時間 (Maximum)	-	ブロック消去 / セクタ消去	50	ms	
書き込み単位	-	プログラム領域	4	バイト	
		データ領域	1		
書き込み時間 (Maximum)	-	プログラム領域	80	μs	
		データ領域	40		
データ保持年数	YDR	書き換え回数 100 回	15	年	

●測定回路

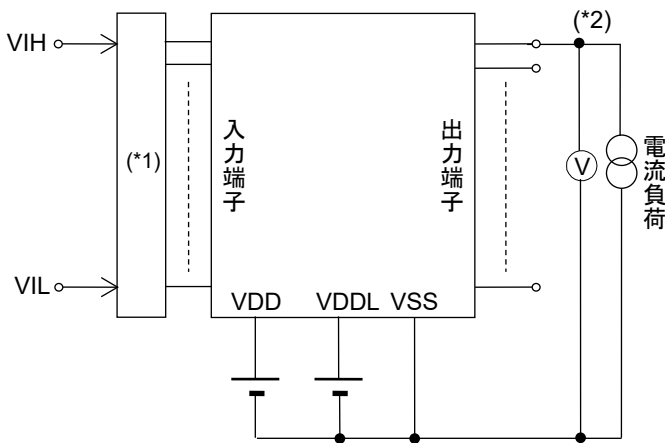
測定回路 1



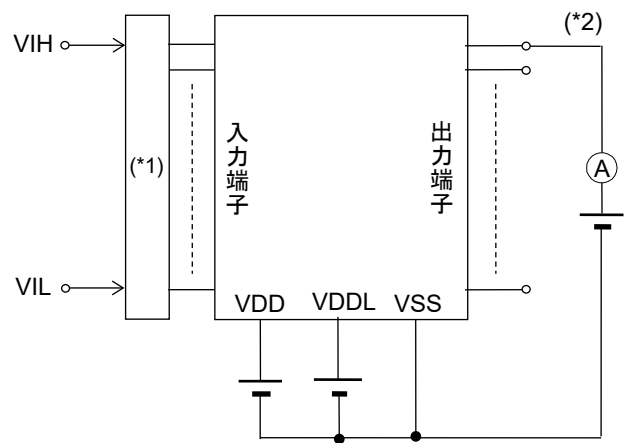
C_D : 20 μ F
 C_L : 1 μ F
 C_{GL} : 12pF
 C_{DL} : 12pF
 C_{GL2} : 16pF
 C_{DL2} : 16pF

32.768kHz crystal unit: VT-200-F, SII
 40MHz crystal unit: CX2016SA, 京セラ

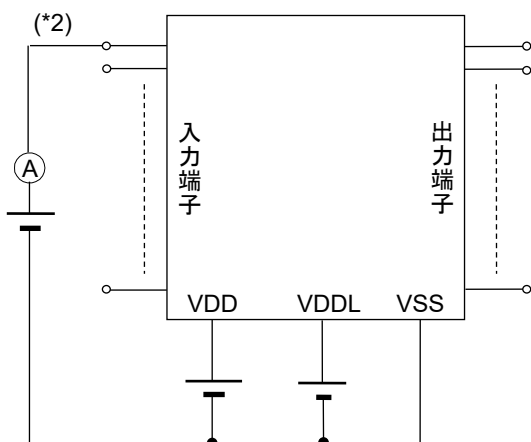
測定回路 2



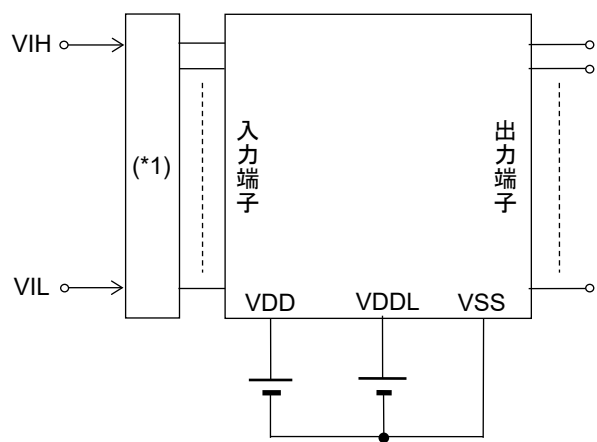
測定回路 3



測定回路 4



測定回路 5



(*1) 指定の状態にする入力ロジック
 (*2) 対象の端子に接続して測定する

■動作確認済み発振子

下記発振回路定数は弊社リファレンスボードと下記発振子を用いたマッチング評価にて動作確認していますが、実際のアプリケーションの実装回路とは、配線容量などが異なりますので参考値としてお考え下さい。

各発振子の最新の情報は各発振子メーカーにお問い合わせください。

また、発振子自体の不具合および発振子と本製品のマッチングが原因となって生じた損害、または下記発振子の生産終了について、弊社は一切の責任を負いかねますので、お客様において、当該発振子メーカーにお問い合わせください。

表 7 低速発振子(32.768kHz)

発振子メーカー	品名	種類	負荷容量	発振モード ^{*1}			発振回路定数 (参考値) ^{*2*3}	
			C _L [pF]	LP	STD	TOUGH	C _{DL} [pF]	C _{GL} [pF]
セイコーインスツル株式会社	SSP-T7-F	水晶振動子	7	●	-	-	15	12
			9	-	●	-	20	20
			12.5	-	-	●	27	27
	SC-32S	水晶振動子	7	●	-	-	15	15
			9	-	●	-	20	20
			12.5	-	-	●	27	27
	SC-20S	水晶振動子	7	●	-	-	15	15
			9	-	●	-	22	20
			9	-	-	●	22	20
	SC-16S	水晶振動子	6	●	-	-	15	12
			7	-	●	-	16	16
			9	-	-	●	22	22
株式会社 大真空	DST1610A	水晶振動子	7	●	●	●	15	15
日本電波工業株式会社	NX3215SA / CHP-MUA-16	水晶振動子	6	●	●	●	12	12
	NX2012SA / CHP-MUB-18	水晶振動子	6	●	●	●	12	12
	NX1610SA / CHP-MUD-2	水晶振動子	6	●	●	●	12	12

表 8 高速発振子

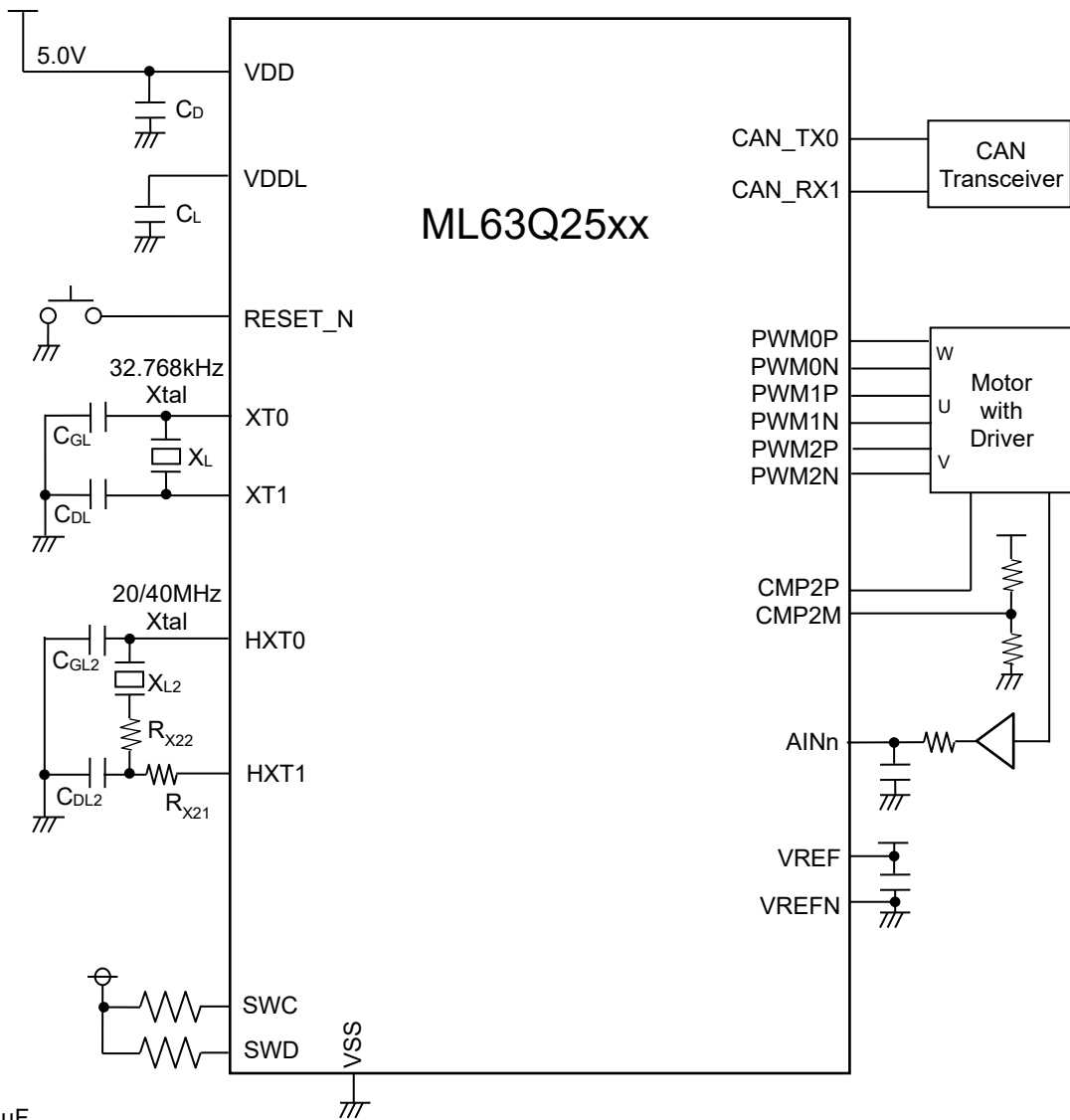
発振子メーカー	品名	種類	公称周波数	負荷容量	発振回路定数 (参考値) ^{*2*3}			
			f [MHz]	C _L [pF]	C _{DL2} [pF]	C _{GL2} [pF]	R _{X21} [Ω]	R _{X22} [Ω]
株式会社 大真空	DSX321G	水晶振動子	40	8	9	9	0	15
			20	8	9	9	0	15
京セラ株式会社	CX2016SA	水晶振動子	40	8	8	8	0	0
			20	8	8	8	0	0
日本電波工業株式会社	NX2016SA / CHP-CZS-87	水晶振動子	40	8	8	8	100	0
	NX2016SA / CHP-CZS-86	水晶振動子	20	8	12	12	560	0
	NX1612SA / CHP-CIS-29	水晶振動子	40	8	8	8	100	0

*1: 各発振モードにおいて、マッチングが確認された箇所に"●"が付きます。マッチングが確認されていない箇所には"-"が付きます。

*2: これら発振回路定数は参考値です。ご使用の環境で容量値を最適にする必要がございます。詳細については各発振子メーカーにお問い合わせください。

*3: これら結果は、配線容量や寄生容量によって変化します。

■応用回路例

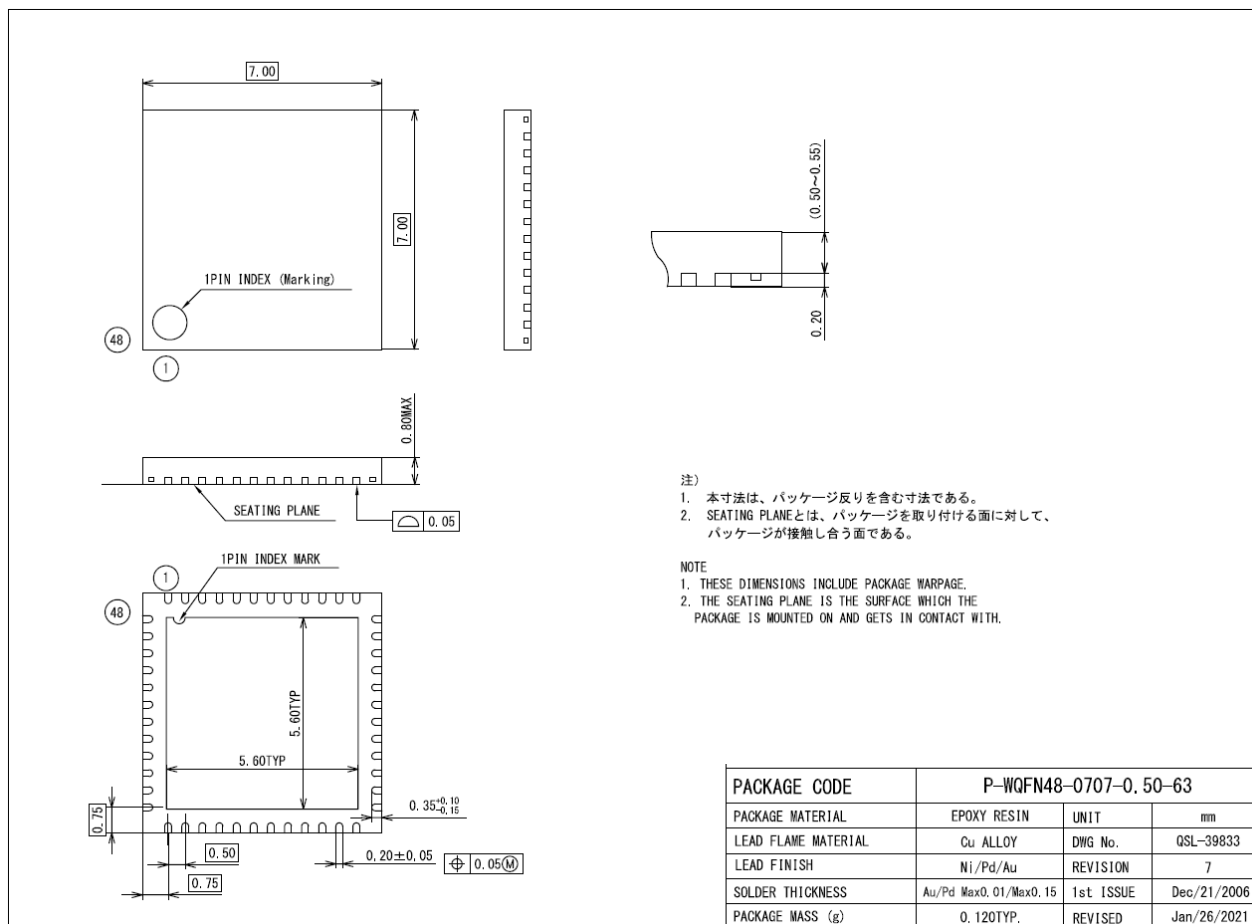


C_D : 1 μ F
 C_L : 1 μ F
 X_L, C_{GL}, C_{DL} : 動作確認済み発振子(表 7)を参照
 $X_{L2}, C_{GL2}, C_{DL2}, R_{X22}, R_{X21}$: 動作確認済み発振子(表 8)を参照

図 14 応用回路例

■パッケージ外形図

●48PIN WQFN



(単位: mm)

図 15 48PIN WQFN

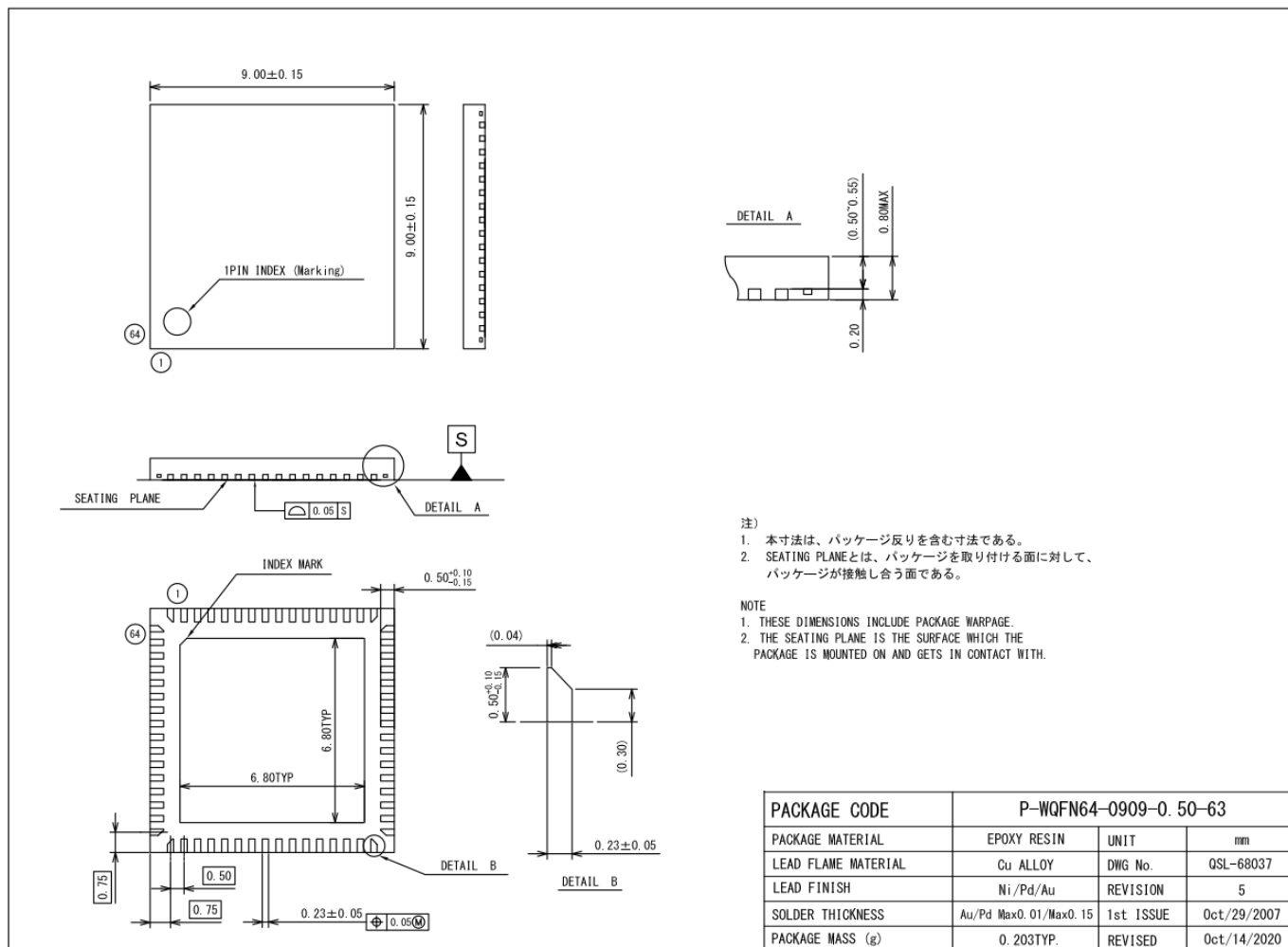
表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFNパッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

●64PIN WQFN



(単位: mm)

図 17 64PIN WQFN

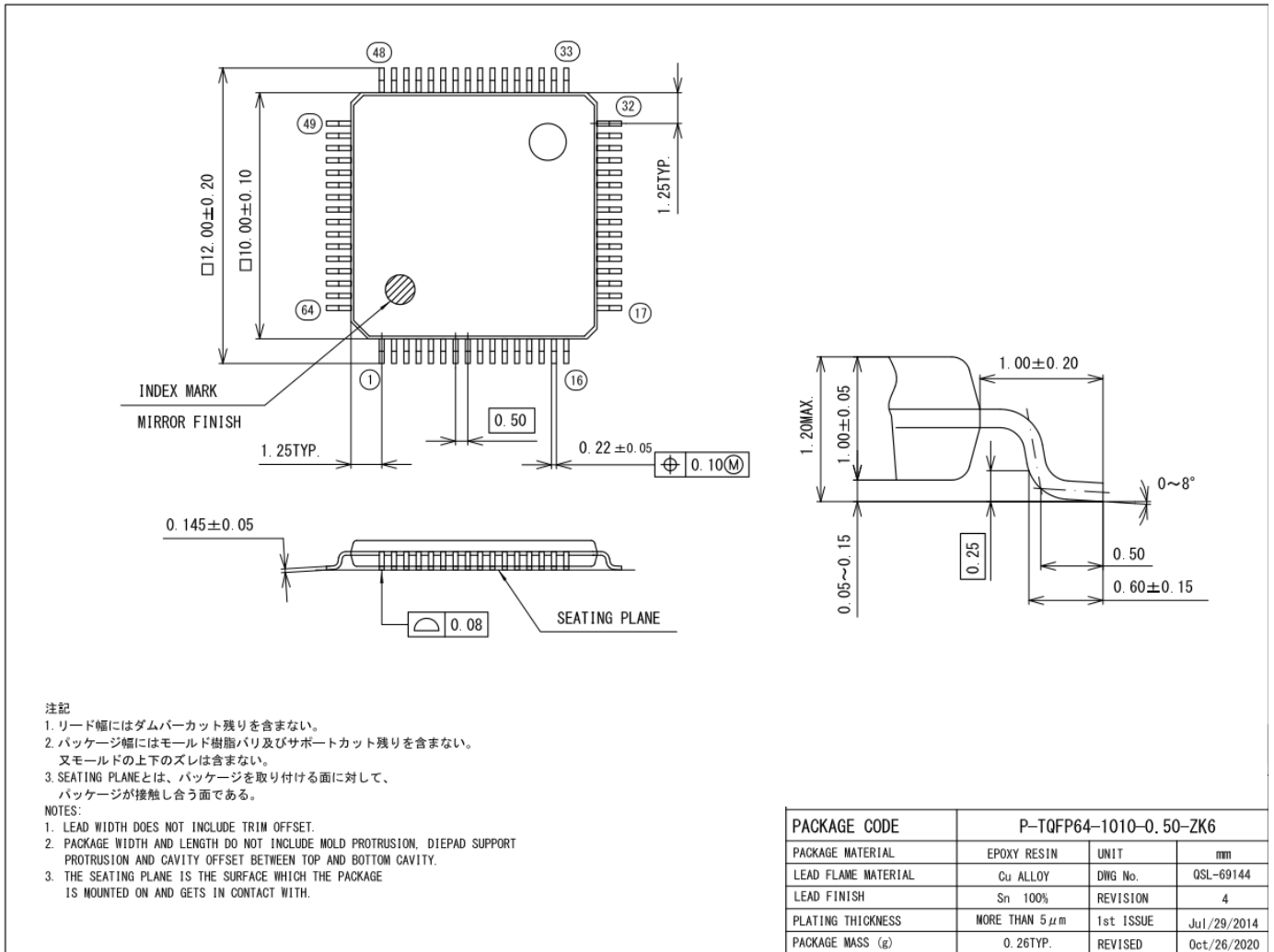
表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

ダイパッド露出型パッケージのご注意

WQFNパッケージは、ダイパッド露出型パッケージを採用しています。ダイパッド露出部分を基板とはんだ接続する場合は、電氣的にオープン状態として基板とはんだ接続してください。

●64PIN TQFP



(単位: mm)

図 18 64PIN TQFP

表面実装型パッケージ実装上のご注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

■改版履歴

Document No.	Date	Page		Description
		Previous Edition	Current Edition	
FJDL63Q2500-01	2025/01/20	-	-	正式初版発行
FJDL63Q2500-02	2025/03/18	22, 31, 32	22, 31, 32	高速水晶振動子の直列抵抗 R_{x21} の追加
		31	31	動作確認済み発振子の情報更新(品番の追加)
FJDL63Q2500-03	2026/01/20	1, 8, 10	1, 8, 10	WQFN 品のステータス更新
		3, 5, 7	3, 5, 7	周辺回路(CRC 演算器)の追記
		14, 15	14, 15	クロック入力/出力、I ² C に説明を追加
		15	15	同期式シリアルポートの説明訂正
		17	17	動作周波数(CPU)の HSCLK の訂正
		26	26	CPU 動作開始時間の訂正

製品使用時の注意事項

本製品を含むマイコン製品全体に適用する「注意事項」について以下に記載します。
製品個別の注意事項については、各製品のユーザーズマニュアル本文中の【注意】を参照してください。

- 1. 未使用の入力端子の処置**
未使用の入力端子は、ノイズなどによる誤動作や消費電流の増加を防ぐために、電源またはGNDに固定してください。本文中に未使用端子の処置について記載のある製品は、その内容に従い処置してください。
- 2. 電源投入時の状態**
電源投入時、電源電圧が推奨動作電圧に達し、かつリセット端子に“L”レベルの電圧が入力されるまでは、内部レジスタの値および、ポートの出力は不定です。
パワーオンリセットを搭載する製品は、パワーオンリセットが発生するまでは、内部レジスタの値およびポートの出力は不定です。
不定状態の内部レジスタの値やポート出力でシステムが誤動作しないよう注意して設計してください。
- 3. メモリ未使用領域へのアクセス**
メモリ未使用領域のアドレスの読み出し、または書き込みを実行した場合の動作は保証いたしません。
- 4. 製品間の相違**
電气的特性、ノイズ耐量、ノイズ輻射量等はマイコン製品ごとに異なります。他のマイコン製品から本製品に変更した場合に、お客様の機器・システムにおいて評価結果が変化する場合がありますので、本製品を実装したお客様の機器・システムにおいて十分な評価を実施してからご使用ください。
- 5. 使用環境**
本製品を高湿度な環境や結露する環境で使用する場合は防湿防水対策をしてください。

ご注意

ローム製品取扱い上の注意事項

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(*)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ローム株式会社（以下、「当社」といいます）はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮してください。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器（航空宇宙機器、原子力制御機器、海底中継機器等）に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本製品は、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 7) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 8) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 9) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

その他の注意事項

- 1) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。
- 2) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。