



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしく願いいたします。

2024年4月1日
ローム株式会社

ML7345/ML7345D

低消費電力対応 Sub-GHz(160~960MHz 帯) RF トランシーバ IC

■概要

ML7345 は、RF 部・IF 部・MODEM 部・HOST インタフェース部を 1 チップに集積した低消費電力対応サブ GHz 無線通信用 LSI です。RF 周波数は 160MHz~960MHz に対応しています。また帯域可変のチャンネル選択フィルタを実装しているため 12.5kHz および 50kHz 以上のチャンネル間隔のシステムに対応が可能です。欧州テレメータ規格 (Wireless M-Bus) における F モード(434MHz)、N モード(169MHz)および S/T/C/R モード(868MHz)、国内の小電力セキュリティシステム無線局および特定小電力無線局に準拠可能です。

ML7345D は、RF 周波数は 315MHz~960MHz に対応しています。また帯域可変のチャンネル選択フィルタを実装しているため 12.5kHz および 50kHz 以上のチャンネル間隔のシステムに対応が可能です。欧州テレメータ規格 (Wireless M-Bus) における S/T/C/R モード(868MHz)、国内の特定小電力無線局に準拠可能です。

ML7345 シリーズは ML7344/ML7406 ファミリーとパッケージ・ピン配置・主要レジスタ共通仕様のため国内外の狭・広帯域サブ GHz 帯アプリケーションに対し、基板、ソフトの共通化が可能です。

ML7345/ML7344/ML7406はパッケージ・ピン配置・主要レジスタ共通仕様です。

ML7345 series

RF: 160MHz~960MHz
Rate: 1.2kbps~100kbps (FSK/GFSK/4FSK/4GFSK)
Channel Spacing: 12.5kHz~
Wireless M-Bus(2013)対応
ARIB STD T67/RCR STD 30対応
IEEE802.15.4g対応(FEC未対応)



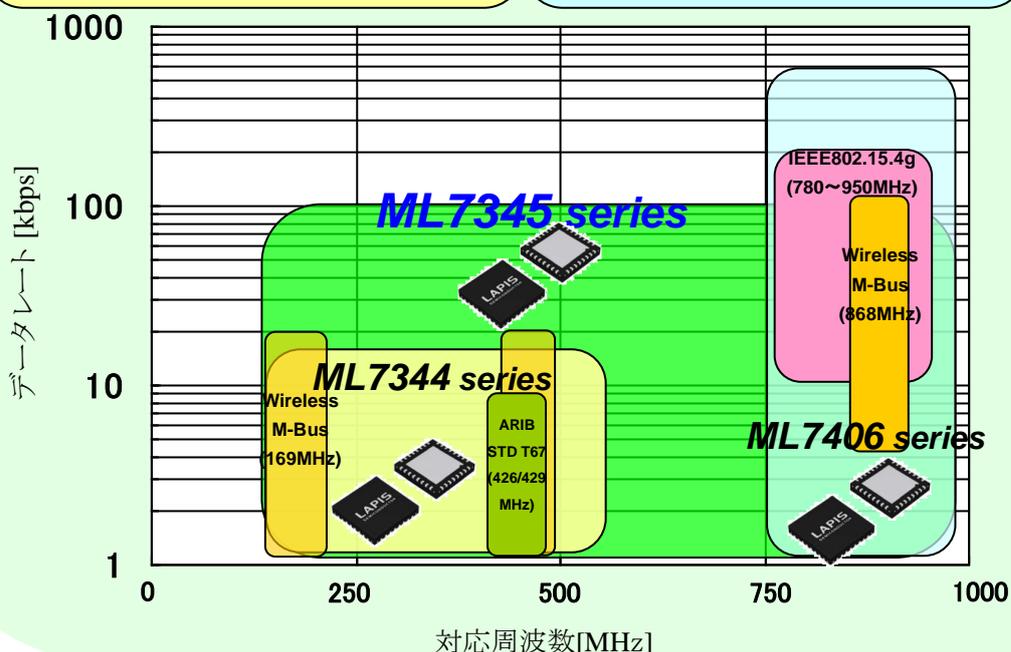
(32pin WQFN)

ML7344 series

RF: 160MHz~510MHz
Rate: 1.2kbps~15kbps (FSK/GFSK)
Channel Spacing: 25kHz
Wireless M-Bus対応
ARIB STD T67

ML7406 series

RF: 750MHz~960MHz
Rate: 1.2kbps~500kbps (FSK/GFSK)
Channel Spacing: 100kHz~1.6MHz
Wireless M-Bus対応
IEEE802.15.4g対応 (FEC未対応)



●製品名 ML7345GD ML7345DGD

- 用途 リモートコントロール
ホーム、ビルセキュリティ
センサーネットワーク
スマートメータ

■特長

- 対応規格
 - 対象機種: ML7345
 - ETSI EN 300 220(Europe)
 - EN 13757-4:2013(Wireless M-Bus) S/T/C/R/F/N モード
 - RCR STD-30(III 型、IV 型)
 - ARIB STD-T67
 - ARIB STD-T108
 - 対象機種: ML7345D
 - ETSI EN 300 220(Europe)
 - EN 13757-4:2013(Wireless M-Bus) S/T/C/R/F モード
 - RCR STD-30(III 型、IV 型)
 - ARIB STD-T67
 - ARIB STD-T108
- 対応 RF 周波数
 - 対象機種: ML7345
 - 160MHz - 960MHz
 - 対象機種: ML7345D
 - 315MHz - 960MHz
- フラクショナル N 型 PLL の直接変調方式により高精度変調を実現
- 変調方式: 4GFSK/4GMSK、GFSK/GMSK、4FSK/FSK/MSK(MSK は変調度 $m=0.5$ の FSK を示します。)
- データ転送スピード: 1.2~100 kbps
- NRZ、マンチェスタ符号化、3 out of 6 符号化機能搭載
- データ Whitening 機能搭載
- 帯域可変チャンネルフィルタ機能搭載
- 周波数偏位可変機能搭載
- 送信/受信データの極性反転機能搭載
- 24MHz 発振回路/TCXO(24MHz)直接入力に対応
- 発振回路端子の負荷容量調整機能搭載
- 超低消費電力低速 RC 発振回路搭載
- 低速クロック補正補助機能搭載
- 周波数微調整機能搭載(フラクショナル N 型 PLL の採用により周波数の微調整可能)
- 同期式シリアルペリフェラルインタフェース(SPI)搭載
- 送信 PA を内蔵し、パワー制御機能搭載
 - 対象機種: ML7345/ML7345D
 - 20mW/10mW/1mW 切替機能
- 送信パワー微調整機能搭載 ($\pm 0.2\text{dB}$)
- 送信パワーの自動ランプ制御搭載
- 外付け PA 制御機能搭載
- 受信電界強度(RSSI)通知機能および閾値判定機能搭載
- 高速電波チェック機能搭載
- AFC 機能搭載(フラクショナル N 型 PLL 周波数調整による IF 周波数自動調整)
- アンテナダイバーシティ機能搭載
- 自動 WakeUP、自動 SLEEP 機能搭載(32kHz クロック直接入力/内部 RC 発振回路選択可能)
- 汎用タイマ搭載(2 系統)
- テストパタンジェネレータ搭載 (PN9、CW、01 パターン、ALL"1"、ALL"0"出力対応)

- パケットモード機能搭載 (欧州特許広告番号:EP 2775265 A1)
 - Wireless M-Bus パケットフォーマット対応(Format A/B)
 - 汎用パケットフォーマット対応(Format C/D)¹⁾
 - 最大 255 バイト(Format A/B)、2047 バイト(Format C/D)¹⁾ のパケット長に対応
 - 送信 FIFO (64Byte) 内蔵、受信 FIFO (64Byte) 内蔵
 - 検出プリアンブルパターン設定機能 (最大 4Byte)
 - 送信プリアンブル長設定機能 (最大 16383Byte)
 - SyncWord 設定機能 (最大 4Byte x 2 面)
 - プログラマブル CRC 機能 (CRC32/CRC16/CRC8 選択可、任意の生成多項式対応)
 - アドレスチェック機能 (Wireless M-Bus の C-field/M-field/A-field を検出可)
 - ※設定によっては任意のパケットに対応可

- 電源電圧
 - 1.8V ~ 3.6V (送信電力 1mW モード設定時)
 - 2.1V ~ 3.6V (送信電力 10mW モード設定時)
 - 2.6V ~ 3.6V (送信電力 20mW モード設定時)

- 動作温度 -40°C ~ 85°C (動作保証)
-30°C ~ 75°C (RF 特性保証)

- 消費電流
 - 対象機種: ML7345/ML7345D

| | | |
|--------------|---------|----------------------------------|
| ディープスリープモード時 | 0.1 μA | |
| スリープモード 1 時 | 0.35 μA | (レジスタ値保持) |
| スリープモード 2 時 | 0.9 μA | (レジスタ値/FIFO 保持、内蔵 RC 発振、WUT 動作時) |
| アイドルモード時 | 0.6 mA | |

 - 対象機種: ML7345

| | | | |
|-----|------|--------|-------------|
| 送信時 | 20mW | 32 mA | |
| | 10mW | 25 mA | |
| | 1mW | 11 mA | |
| 受信時 | | 8.5 mA | (9.6kbps 時) |
| | | 9.9mA | (100kbps 時) |

 - 対象機種: ML7345D

| | | | |
|-----|------|---------|---------------------------|
| 送信時 | 20mW | 32 mA | |
| | 10mW | 25.4 mA | |
| | 1mW | 11.4 mA | |
| 受信時 | | 8.9 mA | (9.6kbps、426MHz、TCXO 使用時) |
| | | 10.4 mA | (100kbps、920MHz、TCXO 使用時) |

- パッケージ
 - 32ピン WQFN (5mm x 5mm) P-WQFN32-0505-0.50
 - 鉛フリー RoHS 準拠

¹ Format D の対応機種は ML7345D。

■表記方法

1) 数値表記

0xnn の形式は、16 進を示します。0bnn の形式は、2 進を示します。

(例) 0x11= 17(10 進), 0b11= 3(10 進)

2) レジスタ表記

レジスタは以下のように表記します。

[<レジスタ名称>: B<Bank No> <レジスタアドレス>]

(例) [RF_STATUS: B0 0x0B(3-0)]

レジスタ名称: RF_STATUS

Bank No: 0

レジスタアドレス: 0x0B

3) ビット名表記

ビット名は以下のように表記します。

<ビット名称>[<レジスタ名称>: B<Bank No> <レジスタアドレス>(<ビット位置>)]

(例) SET_TRX([RF_STATUS: B0 0x0B(3-0)])

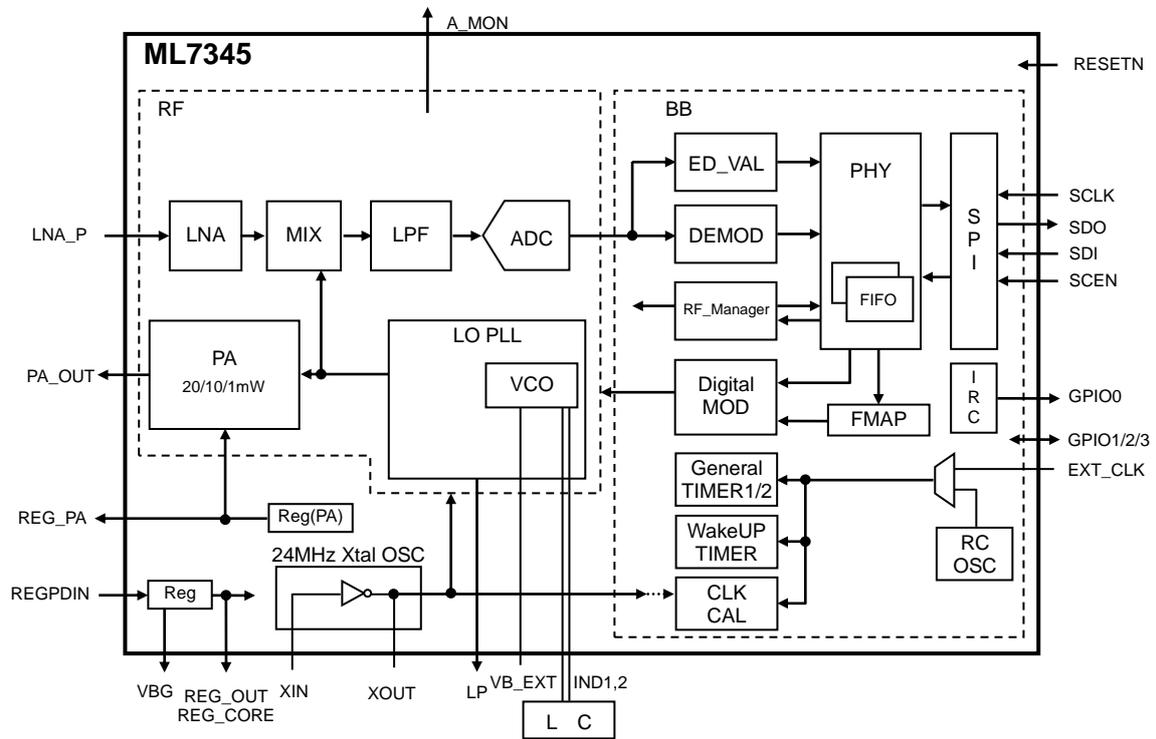
レジスタ名称: RF_STATUS

Bank No: 0

レジスタアドレス: 0x0B

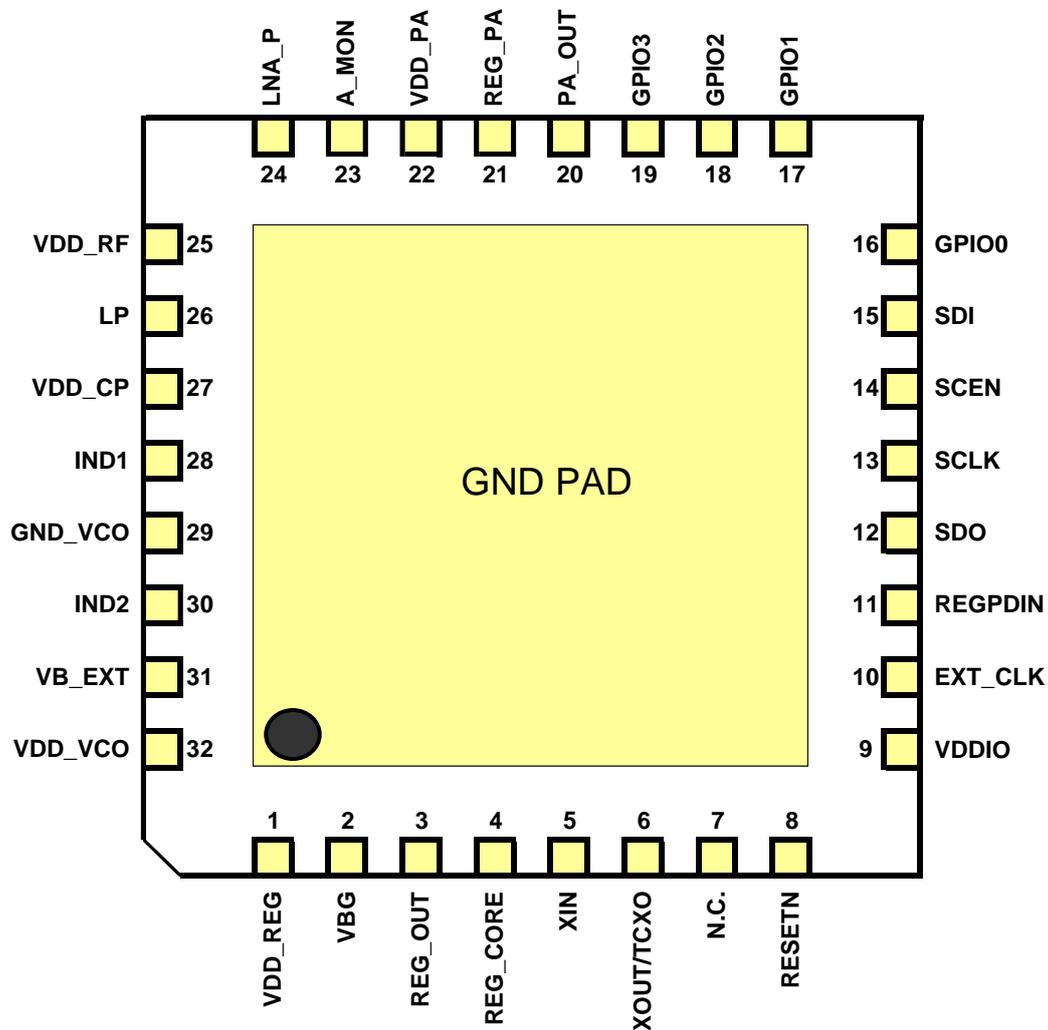
ビット位置: ビット 3 からビット 0

■ブロック図



■端子配置

32ピン WQFN



ご注意: チップ中央の GND は裏面(名称:裏面 GND)です。

■端子説明

I/O 定義

| | |
|-----------------|----------------|
| I | : デジタル入力端子 |
| O | : デジタル出力端子 |
| IS | : シュミットトリガ入力端子 |
| IO | : デジタル入出力端子 |
| IA | : アナログ入力端子 |
| OA | : アナログ出力端子 1 |
| OA _H | : アナログ出力端子 2 |
| IOA | : アナログ入力出力端子 |
| ORF | : RF 出力端子 |
| VDDIO | : I/O 電源端子 |
| VDDRF | : RF 電源端子 |
| GND | : GND 端子 |

リセット時定義

| | |
|------|---------------|
| I | : デジタル入力状態 |
| O | : デジタル出力状態 |
| Hi-Z | : ハイインピーダンス状態 |

●RF 関連・アナログ端子

| 端子番号 | 端子名称 | リセット時 | I/O | Active Level | 端子機能 |
|------|--------|-------|-----|--------------|-------------------|
| 20 | PA_OUT | O | ORF | — | RF アンテナ出力端子 |
| 23 | A_MON | Hi-Z | IOA | — | テスト端子(*1) |
| 24 | LNA_P | I | IA | — | RF アンテナ入力端子 |
| 26 | LP | — | IOA | — | ループフィルタ接続端子 |
| 28 | IND1 | — | IOA | — | VCO タンク インダクタ接続端子 |
| 30 | IND2 | — | IOA | — | VCO タンク インダクタ接続端子 |
| 31 | VB_EXT | — | IOA | — | 内部バイアス平滑容量接続端子 |

【詳細】

*1 ラピスセミコンダクタでのアナログ機能確認に使用します。

●SPI 関連端子

| 端子番号 | 端子名称 | リセット時 | I/O | Active Level | 端子機能 |
|------|------|-------|-----|--------------|---|
| 12 | SDO | Hi-Z | O | H or L or OD | SPI データ出力端子 または DCLK 出力端子(*1) ※初期設定では OpenDrain 出力に設定されています。SDO 端子を常時出力端子として使用する場合は、SPI リード前に SDO_OD([SPI/EXT_PA_CTRL: B0 0x53(7)])を 0b0 に設定してください。 |
| 13 | SCLK | Hi-Z | Is | — | SPI クロック入力端子 |
| 14 | SCEN | Hi-Z | Is | L | SPI チップイネーブル端子 L: イネーブル H: ディセーブル |
| 15 | SDI | Hi-Z | Is | H or L | SPI データ入力端子 または DIO 入出力端子(*1) |

【詳細】

*1 「DIO 機能」を参照してください。

●レギュレータ端子

| 端子番号 | 端子名称 | リセット時 | I/O | Active Level | 端子機能 |
|------|----------|-------|-----|--------------|--|
| 2 | VBG | — | OAH | — | バイパスコンデンサ接続端子 |
| 3 | REG_OUT | — | OAH | — | レギュレータ 1 出力端子 (typ. 1.5V) |
| 4 | REG_CORE | — | OA | — | レギュレータ 2 出力端子 (typ. 1.5V) |
| 11 | REGPDIN | I | I | H | レギュレータパワーダウン制御端子 通常動作時は、"L"固定入力としてください。ディープスリープ時は"H"設定してください。 |
| 21 | REG_PA | — | OAH | — | PA 用レギュレータ出力端子 |

端子説明(続き)

●その他の端子

| 端子番号 | 端子名称 | リセット時 | I/O | Active Level | 端子機能 |
|------|------------------|--------|---------|------------------------|--|
| 5 | XIN N.C.(*2) | I — | IA — | — — | 24MHz 水晶振動子接続端子 1 ※TCXO 使用時はオープンにしてください。 |
| 6 | XOUT TCXO(*2) | — | OA | — | 24MHz 水晶振動子接続端子 2 (TCXO 入力端子) |
| 8 | RESETN | I | Is | L | リセット端子 L: 初期化、停止 H: 動作 ※本端子を”L”とすると LSI 内部が全て初期化されます。ディープスリープ時本端子を”L”と設定してください。 |
| 10 | EXT_CLK | Hi-Z | IO | — | デジタル入出力端子 (*3) 初期機能: 外部 PA 制御信号出力 |
| 16 | GPIO0 | Hi-Z | IO | H or L or OD(*1) | デジタル入出力端子 (*4) 初期機能: 割込み通知信号出力 |
| 17 | GPIO1 | Hi-Z | IO | H or L or OD(*1) | デジタル入出力端子 (*5) 初期機能: クロック出力 |
| 18 | GPIO2 | Hi-Z | IO | H or L or OD(*1) | デジタル入出力端子 (*6) 初期機能: アンテナ切り替え制御信号出力 |
| 19 | GPIO3 | Hi-Z | IO | H or L or OD(*1) | デジタル入出力端子 (*7) 初期機能: 送受信切り替え信号出力 |

【詳細】

- *1 OD はオーブンドレイン出力を意味します。
- *2 TCXO をお使いになる場合は、TCXO_EN を 0b1 に設定してください。また、必ず TCXO_EN、XTAL_EN のいずれか 1 つのみ 0b1 となるように設定してください。
- *3 [EXTCLK_CTRL: B0 0x52]を参照してください。
- *4 [GPIO0_CTRL: B0 0x4E]を参照してください。
- *5 [GPIO1_CTRL: B0 0x4F]を参照してください。
- *6 [GPIO2_CTRL: B0 0x50]を参照してください。
- *7 [GPIO3_CTRL: B0 0x51]を参照してください。

端子説明(続き)

●電源/GND 端子

| 端子番号 | 端子名称 | リセット時 | I/O | Active Level | 端子機能 |
|------|---------|-------|-------|--------------|--|
| 1 | VDD_REG | — | VDDIO | — | レギュレータ用電源端子 (入力電圧 1.8~3.6V) |
| 9 | VDDIO | — | VDDIO | — | デジタル IO 用電源端子 (入力電圧 1.8~3.6V) |
| 22 | VDD_PA | — | VDDIO | — | PA 用電源端子 (入力電圧 1.8~3.6V 送信出力モードによる) |
| 25 | VDD_RF | — | VDDRF | — | RF 用電源端子 (REG_OUT を接続 typ.1.5V) |
| 27 | VDD_CP | — | VDDRF | — | チャージポンプ用電源端子 (REG_OUT を接続 typ.1.5V) |
| 32 | VDD_VCO | — | VDDRF | — | VCO 用電源端子 (REG_OUT を接続 typ.1.5V) |
| 29 | GND_VCO | — | GND | — | VCO 用 GND 端子 |

●未使用端子の処理

端子未使用時の処理方法を示します。本 LSI の基本動作を損なう端子処理は含まれません。

未使用端子の処理

| 端子名称 | 端子番号 | 推奨端子処理 |
|---------|------|-------------|
| N.C | 5 | オープン |
| N.C | 7 | GND またはオープン |
| EXT_CLK | 10 | オープン |
| A_MON | 23 | GND |
| GPIO0 | 16 | オープン |
| GPIO1 | 17 | オープン |
| GPIO2 | 18 | オープン |
| GPIO3 | 19 | オープン |

<ご注意>

- *1. ハイインピーダンス入力設定にて端子をオープン状態のままにした状態では、消費電流が過大になる恐れがあります。未使用の入力端子及び入出力端子はオープンとならないように処理を行ってください。
- *2. GPIO1 端子は初期状態はクロック出力(CLK_OUT 機能)となっています。本機能を使用しない場合は、[GPIO1_CTRL: B0 0x4F]の bit2-0 を 0b000 に設定し、クロック出力を停止してください。クロック出力のままオープン状態とすると受信感度劣化を招く恐れがあります。

■電気的特性

●絶対最大定格

特記事項がない場合、 $T_a = -40$ to $+85^{\circ}\text{C}$ 、 $\text{GND} = 0\text{V}$ での値となります。

対象機種: ML7345/ML7345D

| 項目 | 記号 | 条件 | 定格値 | 単位 |
|------------|------------------|------------------------|-----------|-----|
| I/O 電源端子電圧 | VDDIO | — | -0.3~+4.6 | V |
| RF 電源端子電圧 | VDDRF | — | -0.3~+2.0 | V |
| RF 入力レベル | PRFI | 受信時のアンテナ端 | +0 | dBm |
| RF 出力電圧 | VRFO | PA_OUT 端子 | -0.3~4.6 | V |
| アナログ端子電圧 1 | V _A | — | -0.3~2.0 | V |
| アナログ端子電圧 2 | V _{AH} | — | -0.3~4.6 | V |
| デジタル端子電圧 | V _D | — | -0.3~4.6 | V |
| デジタル入力電流 | I _{DI} | — | -10~+10 | mA |
| デジタル出力電流 | I _{DO} | — | -8~+8 | mA |
| 許容損失 | P _d | T _a = +25°C | 1.2 | W |
| 保存温度 | T _{stg} | — | -55~+150 | °C |

●推奨動作条件

対象機種: ML7345/ML7345D

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|------------------------------|--------|--|-------------|-----|-----|-----|
| 電源電圧 (I/O) | VDDIO | VDDIO 端子および VDD_REG 端子 (*1) | 1.8 (*3) | 3.3 | 3.6 | V |
| 動作温度 | Ta | — | -40 | +25 | +85 | °C |
| デジタル入力立上り時間 | TIR | デジタル入力端子 (*1) | — | — | 20 | ns |
| デジタル入力立下り時間 | TIF | デジタル入力端子 (*1) | — | — | 20 | ns |
| デジタル出力負荷 | CDL | 全デジタル出力端子 | — | — | 20 | pF |
| マスタークロック周波数 (XIN/XOUT 端子) | FMCK1 | (WirelessM-Bus mode-N/F 準拠は 24MHz のみ対応可能) | 20 | 24 | 30 | MHz |
| マスタークロック精度 (*2) | ACMCK1 | — | -30 | — | +30 | ppm |
| X'tal 等価直列抵抗 | ESR | — | — | — | 80 | ohm |
| TCXO 入力電圧 | VTCXO | DC カット ※TCXO オプション選択時 | 0.8 | — | 1.5 | Vpp |
| SPI クロック入力周波数 | FSCLK | SCLK 端子 | 0.032 | 2 | 16 | MHz |
| SPI クロック入力デューティ比 | DSCLK | SCLK 端子 | 45 | 50 | 55 | % |
| 電源電圧 (PA) | VDDPA | VDD_PA 端子(*4) | 1.8 | 3.3 | 3.6 | V |

対象機種: ML7345

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------|-------|-----------------------------|-----|-----|-----|-----|
| 電源電圧 (PA) | VDDPA | VDD_PA 端子 送信出力 +1mW モード | 1.8 | 3.3 | 3.6 | V |
| | | VDD_PA 端子 送信出力 +10mW モード | 2.1 | 3.3 | 3.6 | V |
| | | VDD_PA 端子 送信出力 +20mW モード | 2.6 | 3.3 | 3.6 | V |
| RF 周波数 | FRF | — | 160 | — | 180 | MHz |
| | | | 315 | — | 450 | MHz |
| | | | 750 | — | 960 | MHz |

対象機種: ML7345D

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------|-------|-----------------------------|-----|-----|-----|-----|
| 電源電圧 (PA) | VDDPA | VDD_PA 端子 送信出力 +20mW モード | 2.6 | 3.3 | 3.6 | V |
| RF 周波数 | FRF | — | 315 | — | 450 | MHz |
| | | | 750 | — | 960 | MHz |

*1 端子説明の I/O 欄に I または Is の表示がある端子

*2 送受信で許容できる周波数偏差を示しております。各種規格に対応するためには、下表の通り規格に応じた周波数精度でご使用ください。

| 規格 | 周波数精度 |
|--------------------------|---|
| RCR STD-30 type III (日本) | ±10 ppm |
| RCR STD-30 type IV (日本) | ±4 ppm |
| Wireless M-Bus N mode | ±1.5kHz(8.852ppm, 4.8kbps) ±2.0kHz(11.803ppm, 2.4kbps) |
| Wireless M-Bus F mode | ±16 ppm |

*3 送信時は VDDPA の最小値に準ずる。

*4 各 VDD_PA 電圧における標準的な送信出力電力値は以下の通りです。

868/920MHz Band, Ta = 25°C

| 項目 | 条件 | 標準 | 単位 | |
|--------|-----------------|------------------|------|-----|
| 送信出力電力 | 20mW (13dBm)調整時 | VDDPA = 3.6V | 13 | dBm |
| | | VDDPA = 3.3V | 13 | |
| | | VDDPA = 2.6V | 13 | |
| | | VDDPA = 1.8V | 10.8 | |
| | 10mW (10dBm)調整時 | VDDPA = 3.6V | 10 | dBm |
| | | VDDPA = 3.3V | 10 | |
| | | VDDPA = 2.1V | 10 | |
| | | VDDPA = 1.8V | 10 | |
| | 1mW (0dBm)調整時 | VDDPA=1.8 - 3.6V | 0 | dBm |

※以下、標準として規定している値は、代表的な中心値を示します。IC のばらつきを考慮した保証値ではありません。

●電源電流特性

マスタークロック周波数 = 24MHz (Typ.)での値です。

対象機種: ML7345

| 項目 | 記号 | 条件 | 最小 | 標準(*2) | 最大(*3) | 単位 | |
|-----------|-------------|--|-----------|--------|-------------|----|----|
| 電源電流 (*1) | IDD_DSLP | ディープスリープ状態 (レジスタ非保持, 全機能停止) | - | 0.1 | 14 (0.2) | μA | |
| | IDD_SLP1 | スリープ状態 1 (*4) | - | 0.35 | 33 (1.4) | μA | |
| | IDD_SLP2 | スリープ状態 2 (*4) | - | 0.9 | 34 (2.3) | μA | |
| | IDD_IDLE | アイドル状態 (*7) | - | 0.6 | 1.0 | mA | |
| | IDD_RX | 受信状態 LOW_RATE_EN([CLK_S ET2:B0 0x03(0)])=0b1 | (*5) (*7) | - | 8.5 | 11 | mA |
| | | | (*6) (*7) | - | 9.9 | 13 | |
| | IDD_TX1 | 送信状態 (1mW) (*5) (*7) | - | 11 | 18 | mA | |
| | IDD_TX10 | 送信状態 (10mW) (*5) (*7) | - | 25 | 35 | mA | |
| | IDD_TX20 | 送信状態 (20mW) (*5) (*7) | - | 32 | 43 | mA | |
| IDD_XTAL | 水晶発振回路 (*7) | - | 0.3 | 0.4 | mA | | |

対象機種: ML7345D

| 項目 | 記号 | 条件 | 最小 | 標準(*2) | 最大(*3) | 単位 | |
|-----------|-------------|--|-----------|--------|-------------|------|----|
| 電源電流 (*1) | IDD_DSLP | ディープスリープ状態 (レジスタ非保持, 全機能停止) | - | 0.1 | 14 (0.2) | μA | |
| | IDD_SLP1 | スリープ状態 1 (*4) | - | 0.35 | 33 (1.4) | μA | |
| | IDD_SLP2 | スリープ状態 2 (*4) | - | 0.9 | 34 (2.3) | μA | |
| | IDD_IDLE | アイドル状態 (*7) | - | 0.6 | 1.0 | mA | |
| | IDD_RX | 受信状態 LOW_RATE_EN([CLK_S ET2:B0 0x03(0)])=0b1 | (*5) (*7) | - | 8.9 | 11.4 | mA |
| | | | (*6) (*7) | - | 10.4 | 13.0 | |
| | IDD_TX1 | 送信状態 (1mW) (*5) (*7) | - | 11.4 | 18.4 | mA | |
| | IDD_TX10 | 送信状態 (10mW) (*5) (*7) | - | 25.4 | 35.4 | mA | |
| | IDD_TX20 | 送信状態 (20mW) (*5) (*7) | - | 32 | 43 | mA | |
| IDD_XTAL | 水晶発振回路 (*7) | - | 0.3 | 0.4 | mA | | |

*1 電源電流は、全電源端子の合算値です。

*2 標準は VDDIO = 3.3V、25°Cの代表的な中央値です。

*3 括弧内の値は常温時の最大値(参考値)です。

*4 各スリープ状態の定義は下表の通りです。

| スリープ状態 | レジスタ状態 | FIFO 状態 | RC 発振回路状態 | 低速タイマ状態 |
|--------|--------|-------------|-----------|---------|
| 状態 1 | 保持 | RXFIFO のみ保持 | OFF | - |
| 状態 2 | 保持 | RXFIFO のみ保持 | ON | ON |

*5 データレートが 9.6kbps、周波数が 426MHz、TCXO 使用時の電流値です。

*6 データレートが 100kbps、周波数が 920MHz、TCXO 使用時の電流値です。

*7 水晶発振回路を使用する場合はスリープ、ディープスリープ状態以外の消費電流に水晶発振回路の動作電流分が加算されます。

●直流特性

マスタークロック周波数 = 24MHz (Typ.)での値です。

対象機種: ML7345/ML7345D

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|----------------------|----------|---|------------------------|-----|------------------------|---------------|
| 高レベル入力電圧 | VIH1 | デジタル入力端子 | $V_{DDIO} \times 0.75$ | — | V_{DDIO} | V |
| 低レベル入力電圧 | VIL1 | デジタル入力端子 | 0 | — | $V_{DDIO} \times 0.18$ | V |
| シュミットトリガ 高レベル判定閾値 | VT+ | RESETN、REGPDIN、 SDI、SCLK、SCEN、EXT_CLK 端子 | — | 1.2 | $V_{DDIO} \times 0.75$ | V |
| シュミットトリガ 低レベル判定閾値 | VT- | RESETN、REGPDIN、 SDI、SCLK、SCEN、EXT_CLK 端子 | $V_{DDIO} \times 0.18$ | 0.8 | — | V |
| 入力リーク電流 | IIH1 | デジタル入力端子 | -1 | — | 1 | μA |
| | IIL1 | デジタル入力端子 | -1 | — | 1 | μA |
| トライステート 出力リーク電流 | IOZH | デジタル入力端子 | -1 | — | 1 | μA |
| | IOZL | デジタル入力端子 | -1 | — | 1 | μA |
| 高レベル出力電圧 | VOH | IOH=-4mA | $V_{DDIO} \times 0.78$ | — | V_{DDIO} | V |
| 低レベル出力電圧 | VOL | IOL=4mA | 0 | — | 0.3 | V |
| レギュレータ 出力電圧 | MAIN_REG | REG_CORE、REG_OUT 端子 スリープ状態以外 | 1.4 | 1.5 | 1.6 | V |
| | SUB_REG | REG_CORE 端子 スリープ状態 | 1.2 | 1.5 | 1.65 | V |
| 入力容量 | CIN | 入力端子 | — | 6 | — | pF |
| | COUT | 出力端子 | — | 9 | — | pF |
| | CRFIO | RF 入出力端子 | — | 9 | — | pF |
| | CAI | アナログ入力端子 | — | 9 | — | pF |

●RF 特性

変調速度 : 1.2~100kbps
変調方式 : 2/4 値 GFSK/FSK
チャンネル間隔 : 12.5/25/50~kHz

特性測定点は、推奨回路のアンテナ端となります。

【RF 周波数】

対象機種: ML7345

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|--------|------------------|-----|----|-----|-----|
| RF 周波数 | LNA_P, PA_OUT 端子 | 160 | — | 180 | MHz |
| | LNA_P, PA_OUT 端子 | 315 | — | 450 | MHz |
| | LNA_P, PA_OUT 端子 | 750 | — | 960 | MHz |

対象機種: ML7345D

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|--------|------------------|-----|----|-----|-----|
| RF 周波数 | LNA_P, PA_OUT 端子 | 315 | — | 450 | MHz |
| | LNA_P, PA_OUT 端子 | 750 | — | 960 | MHz |

【ご注意】

1. 外付け回路の定数変更により、ML7345 は 160MHz~960MHz、ML7345D は 315MHz~960MHz の周波数に設定できません。
2. マスタークロックの整数倍近傍の周波数は使用できません。詳細は『周波数設定機能/チャンネル周波数の設定』を参照してください。

【送信特性】

マスタークロック周波数 = 24MHz (Typ.)での値です。

169MHz Band, Ta=-30 to +75°C

対象機種: ML7345

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------------------|--|-----------------|-----|-----|-----|
| 送信出力電力 | 10mW(10dBm) | 7 | 10 | 13 | dBm |
| 周波数偏位調整範囲 [Fdev] (*1) | — | 0.025 | — | 400 | kHz |
| 隣接チャンネル漏洩電力 [ACPR] | データレート:4800bps, パターン:PN9 変調周波数偏位: ±2.4kHz, 12.5kHz offset ± 8.5kHz 帯域での漏洩電力比 | — | — | -36 | dBc |
| 不要発射レベル | 高調波スプリアスレベル (*2) | | | | |
| | 10dBm CW 送信時 | 2 nd | | -36 | dBm |
| | ※LCトラップ回路あり時 | 3 rd | | -54 | |
| | | 4 th | — | -54 | |
| | | 5 th | | -54 | |
| | 6 th < | | -30 | | |

*1. 調整範囲は上記の通りですが、使用周波数帯によって設定できる最大値が変わります。

433MHz Band, Ta=-30 to +75°C

対象機種: ML7345/ML7345D

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------------------|--|--------------------------------------|----|------|------------|
| 送信出力電力 | 20mW(13dBm), 調整時 | 10 | 13 | 13.8 | dBm |
| | 10mW(10dBm), 調整時 | 7 | 10 | 10.8 | dBm |
| | 1mW(0dBm), 調整時 | -3 | 0 | 0.8 | dBm |
| 周波数偏位調整範囲 [Fdev] (*1) | — | 0.025 | — | 400 | kHz |
| 占有帯域幅 | 99%電力帯域幅 パターン:PN9 データレート:4800bps 変調周波数偏位: ±2.4kHz | — | — | 8.5 | kHz |
| 隣接チャンネル漏洩電力 [ACPR] | データレート:4800bps, パターン:PN9 変調周波数偏位: ±2.4kHz, 12.5kHz offset ± 8.5kHz 帯域での漏洩電力比 | — | — | -40 | dBc |
| 不要発射レベル | 近傍スプリアスレベル 10dBm 送信時 データレート:4800bps, パターン:PN9 変調周波数偏位:2.4kHz 62.5~162.5kHz offset の積分値 | — | — | -26 | dBm |
| | 高調波スプリアスレベル (*2) 10dBm CW 送信時 ※LCトラップ回路あり時 | 2 nd 3 rd < | — | — | -36 -30 |

*1. 調整範囲は上記の通りですが、使用周波数帯によって設定できる最大値が変わります。

*2. 433MHz 時の特性です。

868/920MHz Band, Ta=-30 to +75°C

対象機種: ML7345/ML7345D

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------------------|--|-------|-----|-----|-----|
| 送信出力電力 | 20mW(13dBm) | 9 | 13 | 15 | dBm |
| | 10mW(10dBm) | 6 | 10 | 12 | dBm |
| | 1mW(0dBm) | -4 | 0 | 4 | dBm |
| 周波数偏位調整範囲 [Fdev] (*1) | — | 0.025 | — | 400 | kHz |
| 不要発射レベル | 高調波スプリアスレベル(第2高調波/第3高調波) 10dBm CW 送信時 ※LCトラップ回路あり時 | — | -35 | -30 | dBm |

*1. 調整範囲は上記の通りですが、使用周波数帯によって設定できる最大値が変わります。

【受信特性】

マスタークロック周波数 = 24MHz (Typ.)での値です。

169MHz Band, Ta=-30 to +75°C

対象機種: ML7345

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------------|---|----|--------|--------|-----|
| 最小受信感度 | 2.4kbps モード BER<1% GFSK, ±2.4kHz deviation | — | -120.0 | -115.0 | dBm |
| | 4.8kbps モード BER<1% GFSK, ±2.4kHz deviation | — | -119.5 | -112.0 | dBm |
| | 19.2kbps モード BER<1% 4GFSK, 7.2/2.4/-2.4/-7.2kHz deviation | — | -110 | -104.0 | dBm |
| 隣接チャネル選択度 (*1) | 12.5kHz spacing, Ta=25°C, 4.8kbps モード 妨害波: CW | 40 | 43 | — | dB |
| | 50kHz spacing, Ta=25°C, 19.2kbps モード 妨害波: CW | 40 | 43 | — | dB |
| 受信ブロッキング (*1) | 2MHz offset, Ta=25°C, 4.8kbps モード | — | 72 | — | dB |
| | 10MHz offset, Ta=25°C, 4.8kbps モード | — | 80 | — | dB |
| | -187.5kHz offset (image frequency), Ta=25°C IQ 調整後 | 30 | 50 | — | dB |
| 最小電力検出(ED 値)レベル | RSSI 特性図(*2)中の RFmin 2.4kbps, チャネルフィルタ帯域=10kHz 設定時 | — | -120 | -105 | dBm |
| 電力検出範囲 | RSSI 特性図(*2)中のダイナミックレンジ | 70 | 80 | — | dB |
| 副次発射レベル | — | — | — | -57 | dBm |

*1.妨害関連特性の測定条件は以下の通りです。

希望入力レベルを[BER=1%となるレベル(=基準感度)+3dB] とし、妨害波レベルを変動させて BER=1%となるレベルを見つけ、 $U/D[dB] = (\text{妨害波レベル}) - (\text{BER=1\%となるレベル})$ として規定しています。

*2. RSSI 特性図を下記に示します。

433MHz Band, Ta=-30 to +75°C

対象機種: ML7345/ML7345D

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|----------------------|---|----|--------|--------|-----|
| 最小受信感度 | 2.4kbps モード BER<1% GFSK, ±2.4kHz deviation | — | -119.5 | -112.0 | dBm |
| | 4.8kbps モード BER<1% GFSK, ±4.8kHz deviation | — | -116.5 | -109 | dBm |
| 受信 C/I 隣接チャネル妨害 (*1) | 12.5kHz spacing, Ta=25°C, 4.8kbps モード 妨害波: PN9 | 30 | 33 | — | dB |
| | 25kHz spacing, Ta=25°C, 9.6kbps モード 妨害波: PN9 | 30 | 33 | — | dB |
| 相互変調 (*1) (*3) | 12.5kHz spacing, Ta=25°C, 4.8kbps モード 妨害波: CW | 40 | 43 | — | dB |
| 受信ブロッキング (*1) | 2MHz offset, Ta=25°C, 4.8kbps モード | — | 69 | — | dB |
| | 10MHz offset, Ta=25°C, 4.8kbps モード | — | 77 | — | dB |
| | -187.5kHz offset (image frequency), Ta=25°C IQ 調整後 | 30 | 50 | — | dB |
| 最小電力検出 (ED 値) レベル | RSSI 特性図 (*2) 中の RFmin 4.8kbps, チャネルフィルタ帯域=10kHz 設定時 | — | -120 | -105 | dBm |
| 電力検出範囲 | RSSI 特性図 (*2) 中のダイナミックレンジ | 70 | 80 | — | dB |
| 副次発射レベル | | — | — | -54 | dBm |

*1. 妨害関連特性の測定条件は以下の通りです。

希望入力レベルを[BER=1%となるレベル(=基準感度)+3dB] とし、妨害波レベルを変動させて BER=1%となるレベルを見つけ、U/D[dB]=(妨害波レベル) - (BER=1%となるレベル) として規定しています。

*2. RSSI 特性図を下記に示します。

*3. [B2: 0x1C] = 0x37 に設定をすることで本特性を満たしますが、その際受信時電流は約 80uA 増加します。

868/920MHz Band, Ta=-30 to +75°C

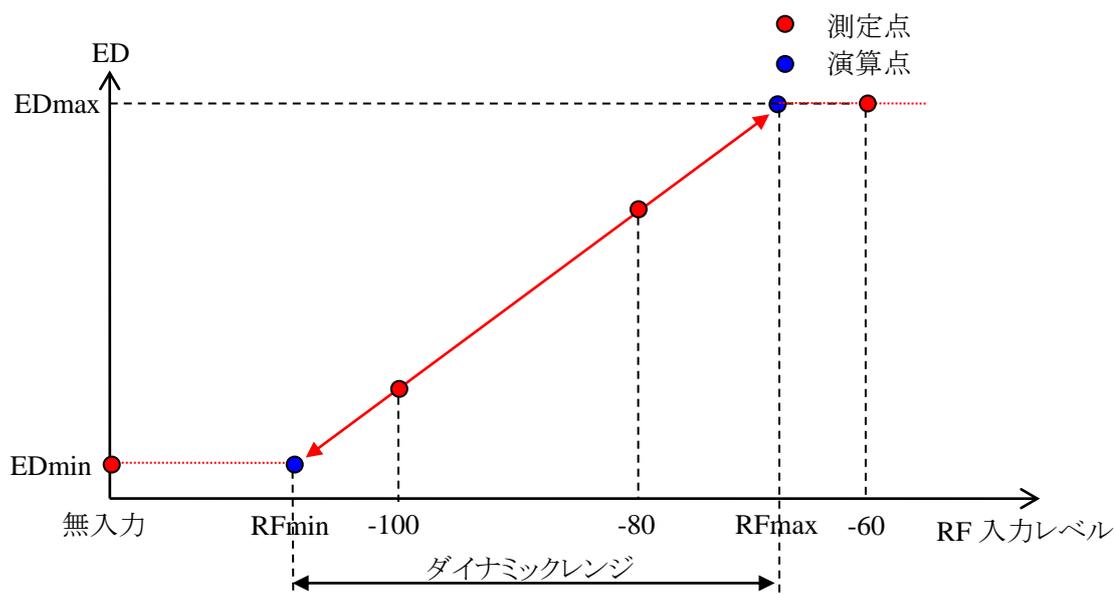
対象機種: ML7345/ML7345D

| 項目 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------------|---|----|------|------|-----|
| 最小受信感度 | 38.4kbps モード BER<1% GFSK, 19.2kHz deviation | — | -109 | -100 | dBm |
| | 100kbps モード BER<1% GFSK, 50kHz deviation | — | -105 | -96 | dBm |
| 隣接チャンネル選択度 (*1) | 400kHz spacing, Ta=25°C, 38.4kbps モード 妨害波: CW | 30 | 45 | — | dB |
| 受信ブロッキング (*1) | 2MHz offset, Ta=25°C, 38.4kbps モード | — | 62 | — | dB |
| | 10MHz offset, Ta=25°C, 38.4kbps モード | — | 67 | — | dB |
| 副次発射レベル | | — | — | -54 | dBm |

*1. 妨害関連特性の測定条件は以下の通りです。

希望入力レベルを[BER=1%となるレベル(=基準感度)+3dB] とし、妨害波レベルを変動させて BER=1%となるレベルを見つけ、 $U/D[dB] = (\text{妨害波レベル}) - (\text{BER=1%となるレベル})$ として規定しています。

*2. RSSI 特性図を下記に示します。



RSSI 特性図

●RC 発振回路特性

本 LSI はタイマー用 32kHz クロック生成機能を搭載しております。詳細は「LSI 状態制御/SLEEP 設定」の項ご参照ください。

対象機種: ML7345/ML7345D

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|--------------|--------|--------|----|----|-----|-----|
| RCOSC 発振周波数 | FRCOSC | トリミング後 | 27 | 32 | 38 | kHz |
| RCOSC 発振安定時間 | TRCOSC | | — | — | 100 | ms |

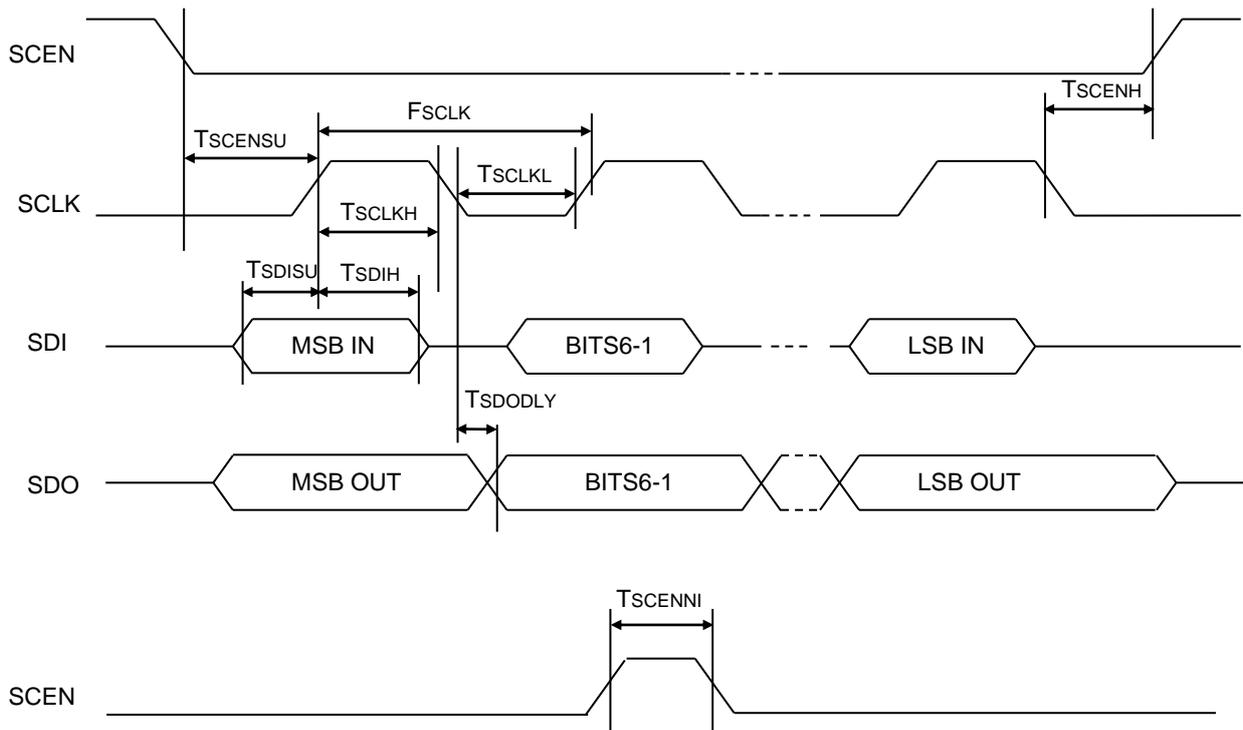
●SPI 特性

対象機種: ML7345/ML7345D

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------------|---------|-----------------|-------|----|----|-----|
| SCLK クロック周波数 | FsCLK | 負荷容量 CL=20pF | 0.032 | 2 | 16 | MHz |
| SCEN 入力セットアップ時間 | TSCENSU | | 30 | — | — | ns |
| SCEN 入力ホールド時間 | TSCENH | | 30 | — | — | ns |
| SCLK ハイパルス幅 | TsCLKH | | 28 | — | — | ns |
| SCLK ローパルス幅 | TsCLKL | | 28 | — | — | ns |
| SDI 入力セットアップ時間 | TSDISU | | 5 | — | — | ns |
| SDI 入力ホールド時間 | TSDIH | | 15 | — | — | ns |
| SCEN ネグート間隔 | TSCENNI | | 200 | — | — | ns |
| SDO 出力遅延時間 | TSDODLY | | — | — | 22 | ns |

【ご注意】

全てのタイミング測定点は、 $V_{DDIO} * 20\%$ と $V_{DDIO} * 80\%$ のレベルです。



●送受信データインタフェース特性

対象機種: ML7345/ML7345D

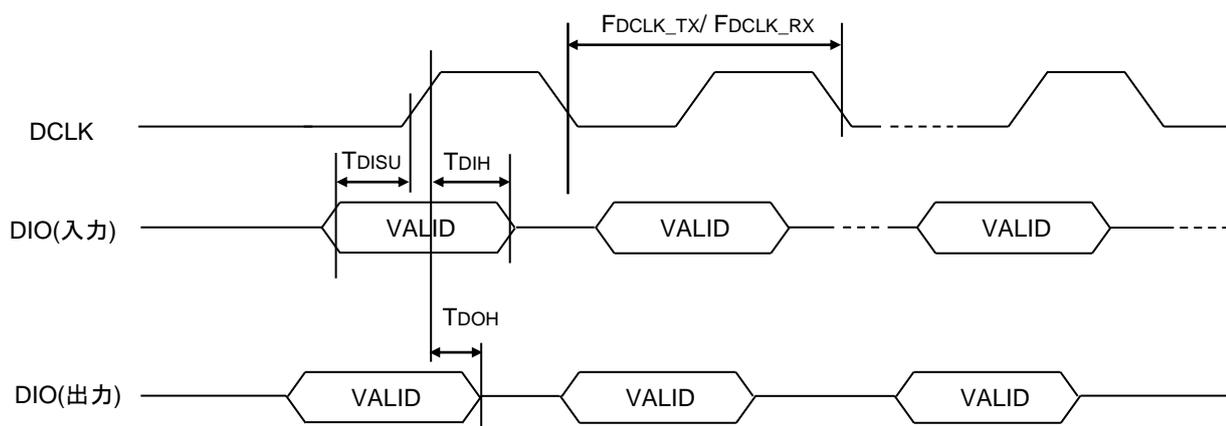
| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|--------------------------|----------|-----------------|----------------|----|----------------|-----|
| DIO 入力セットアップ時間 | TDISU | 負荷容量 CL=20pF | 1 | — | — | μs |
| DIO 入力ホールド時間 | TDIH | | 0 | — | — | ns |
| DIO 出力ホールド時間 | TDOH | | 20 | — | — | ns |
| DCLK 周波数精度 (*1) (送信時) | FDCLK_TX | | -クロック周 波数偏差 | — | +クロック 周波数偏差 | kHz |
| DCLK 周波数精度 (*2) (受信時) | FDCLK_RX | | -30 | — | +30 | % |
| DCLK 出力デューティ比 (送信時) | DDCLK_TX | | 45 | — | 55 | % |
| DCLK 出力デューティ比 (受信時) | DDCLK_RX | | 30 | — | 70 | % |

*1 送信データレート設定値の計算に小数点が発生しない場合([TX_RATE_H: B1 0x02]参照)、送信時の DCLK 周波数の最大値および最小値は、マスタークロック周波数偏差となります。

*2 受信時の DCLK 周波数の最小値および最大値は、受信信号に応じて生成される再生クロックのジッタ量(同期確立時)を示します。

【ご注意】

全てのタイミング測定点は、 $V_{DDIO} * 20\%$ と $V_{DDIO} * 80\%$ のレベルです。



●クロック出力特性

本 LSI はクロック出力機能を搭載しております。DMON_SET([MON_CTRL: B0 0x4D(3-0)])および[GPIO*_CTRL: B0 0x4E-0x51]にて制御可能です。初期設定では GPIO1 端子より出力されます。

対象機種: ML7345/ML7345D

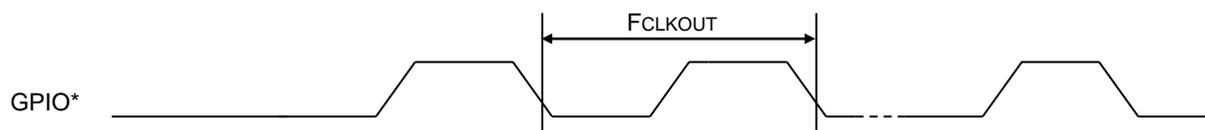
| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|------------------|---------|-------------------------|--------|----|--------|-----|
| クロック出力周波数 | FCLKOUT | | 0.0059 | 3 | 24(*2) | MHz |
| クロック出力デューティ比(*1) | DCLKOUT | 負荷容量 CL=20pF 8MHz | 33 | - | 67 | % |
| | | 上記以外 | 47 | 50 | 53 | % |

*1 8MHz に設定されたときのみ、デューティ比が High:Low = 1:2 となります。[CLK_OUT: B1 0x01]を参照してください。

*2 LOW_RATE_EN([CLK_SET2: 0x03(0)]=0b0 設定時の周波数です。

【ご注意】

全てのタイミング測定点は、V_{DDIO}*20%とV_{DDIO}*80%のレベルです。



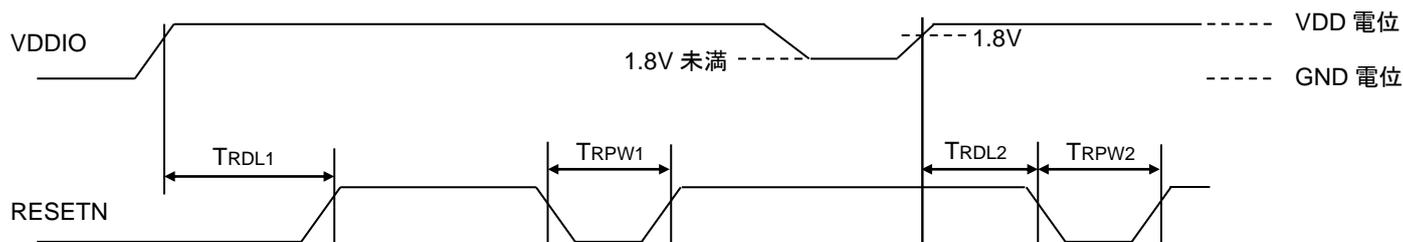
●リセット特性

対象機種: ML7345/ML7345D

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|---|-------|---------------------------|-----|----|----|----|
| RESETN 解除遅延時間 (パワーオン時) | TRDL1 | 全電源端子 Power On 後 | 0.5 | - | - | ms |
| RESETN パルス時間 (V _{DDIO} =0V からの起動時) | TRPW1 | | 0.5 | - | - | ms |
| RESETN パルス時間 2 (*1) (V _{DDIO} ≠0V からの起動時) | TRPW2 | | 0.5 | - | - | ms |
| RESETN 入力遅延時間 | TRDL2 | V _{DDIO} >1.8V 後 | 1 | - | - | μs |

【ご注意】

全てのタイミング測定点は、V_{DDIO}*20%とV_{DDIO}*80%のレベルです。



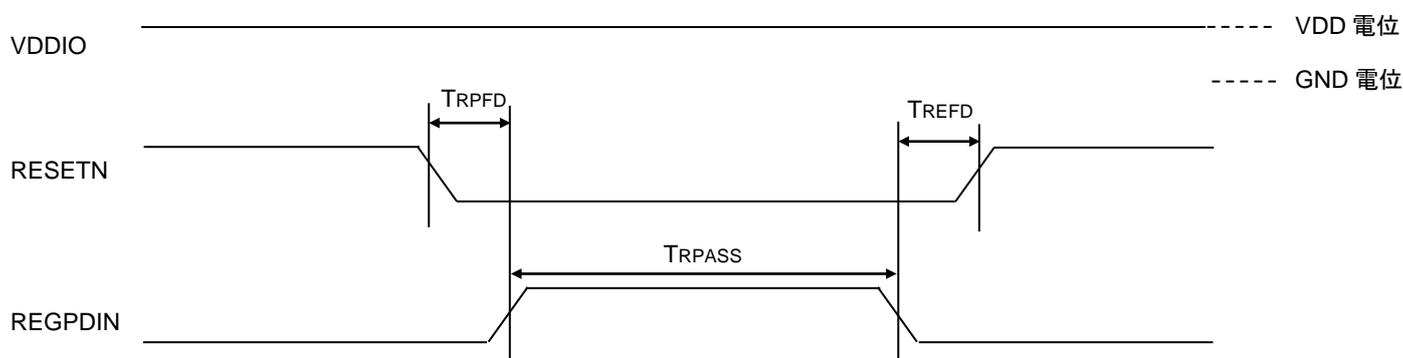
(*1) V_{DDIO}≠0V からの起動時は V_{DDIO} が 1.8V を超えてから RESETN 信号にパルスを入力してください。

●ディープスリープモード特性

対象機種: ML7345/ML7345D

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|-----------------|--------|-----------|-----|----|----|----|
| REGPDIN 立上り遅延時間 | TRPFD | VDDIO="H" | 0 | — | — | μs |
| REGPDIN アサート時間 | TRPASS | VDDIO="H" | 0.3 | — | — | ms |
| RESETN 入力遅延時間 | TREFD | VDDIO="H" | 0.5 | — | — | ms |

【ご注意】

全てのタイミング測定点は、 $V_{DDIO} * 20\%$ と $V_{DDIO} * 80\%$ のレベルです。

●パワーオン特性

対象機種: ML7345/ML7345D

| 項目 | 記号 | 条件 | 最小 | 標準 | 最大 | 単位 |
|----------|-------|-------------------|----|----|----|----|
| パワーオン時間差 | TPWON | パワーオン時 (全電源端子) | — | — | 5 | ms |

【ご注意】

全てのタイミング測定点は、 $V_{DDIO} * 20\%$ と $V_{DDIO} * 80\%$ のレベルです。

■機能説明

●ホストインタフェース

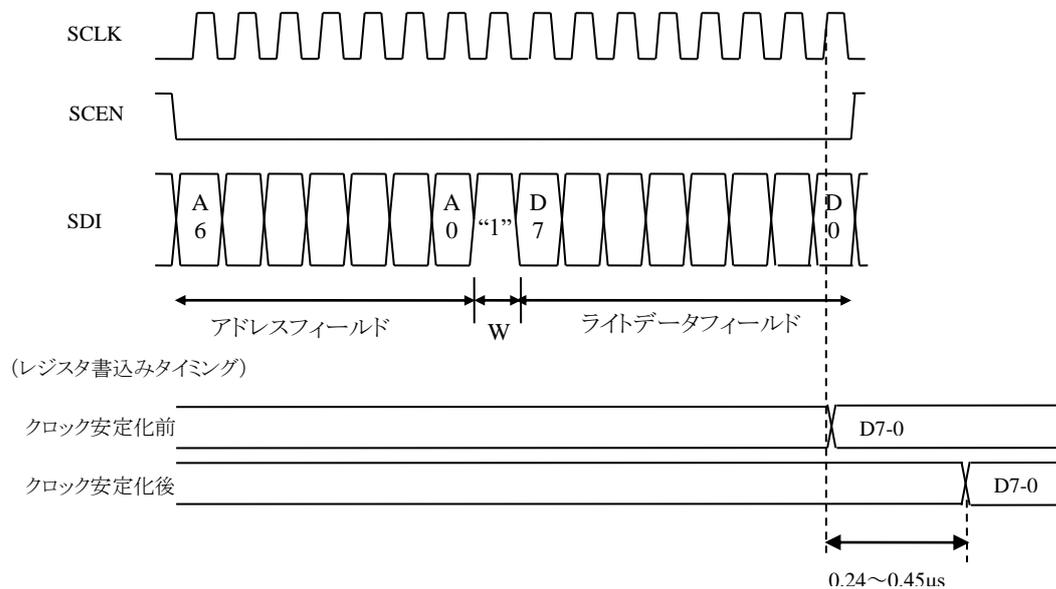
○Serial Peripheral Interface (SPI)

本 LSI はシリアルペリフェラルインタフェース(以下 SPI)を有しています。本 LSI の SPI はスレーブモードのみをサポートしており、ホスト MCU よりクロックを入力して本 LSI のレジスタと FIFO の読み書きを行います。またシングルアクセス、バーストアクセスに対応しています。

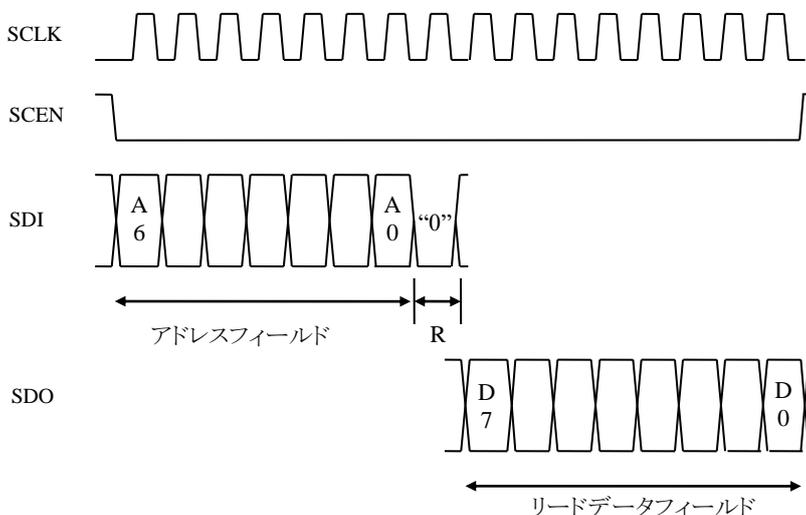
【シングルアクセス タイムチャート】

ライト時は、D0 を取り込むクロックの立ち上がりを検出して内部回路に書き込みます。SCEN を”H”にすると制御部はリセットされます。また、内部クロックの有無によりレジスタに書き込まれるタイミングが異なります。

【ライト時】



【リード時】



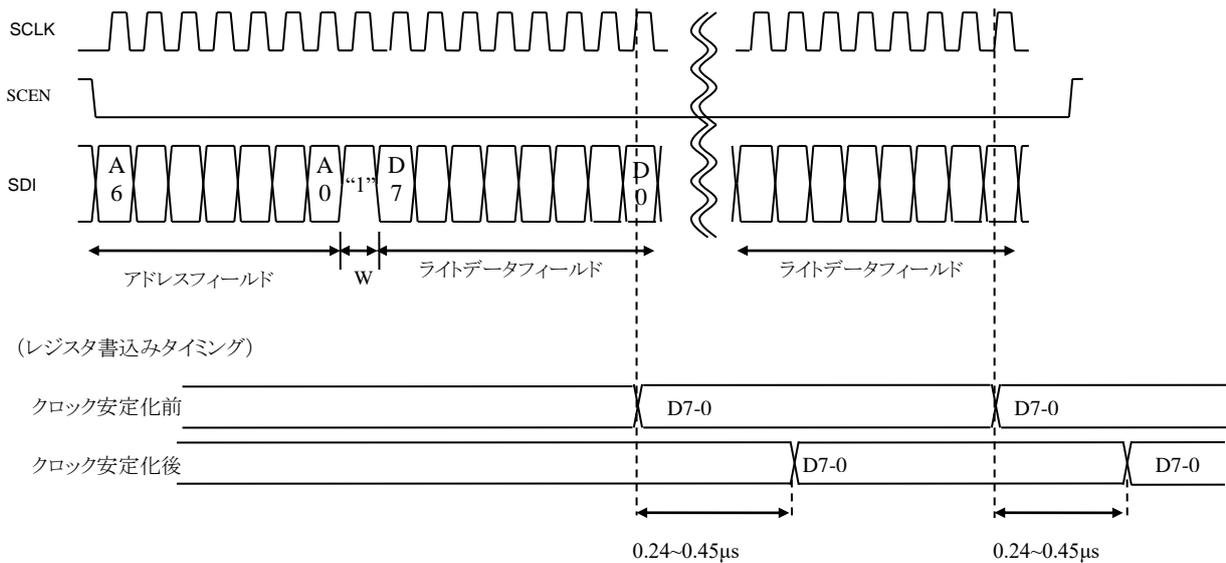
【バーストアクセス タイムチャート】

SCEN を”L”に維持することで、バーストモードに移行します。バーストモードの解除は SCEN を”H”にすることで行われます。バーストモードでは、アドレスの自動インクリメントが実行され、必要なデータ分 SCLK を入力することで連続して読み書きができます。D0 を取り込むクロックが入力される前に SCEN を”H”にした場合、当該データは破棄されます。

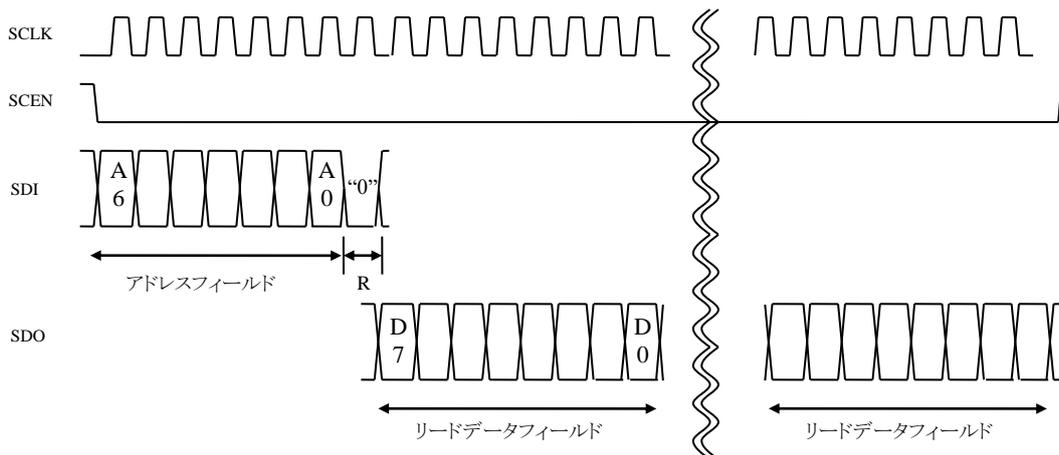
【ご注意】

アクセス先が[WR_TX_FIFO: B0 0x7C]、[RD_FIFO: B0 0x7F]の場合、アドレスのインクリメントが行われず連続して当該 FIFO の読み書きができます。

【ライト時】



【リード時】



●LSI 状態制御

本 LSI は以下のレジスタで LSI 状態を変更することができます。

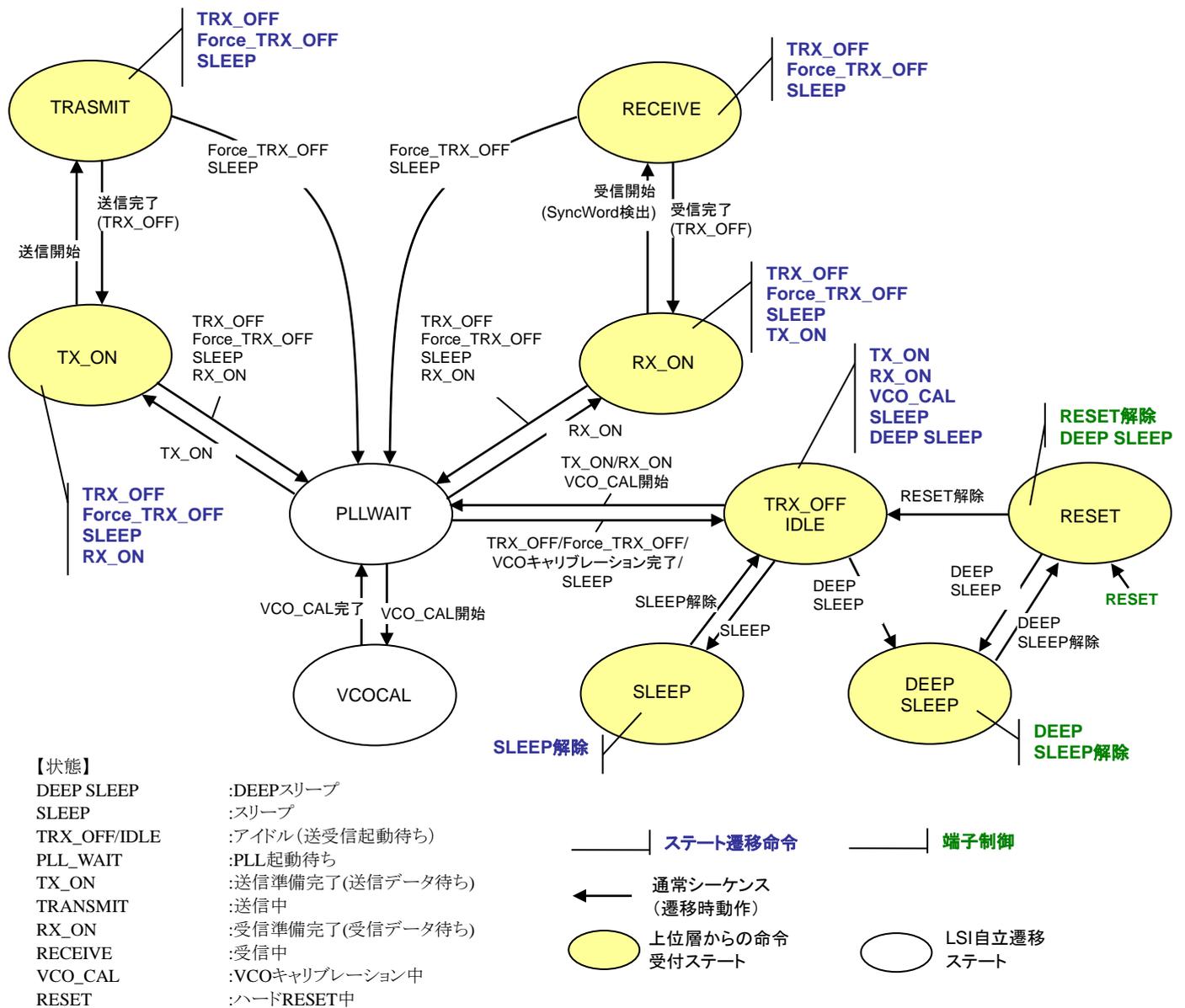
| 状態遷移命令 | レジスタ設定 |
|---------------|---|
| TX_ON | SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x9 |
| RX_ON | SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x6 |
| TRX_OFF | SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x8 |
| Force_TRX_OFF | SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x3 |
| SLEEP | SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)]) = 0b1 |
| VCO_CAL | VCO_CAL_START([VCO_CAL_START: B0 0x6F(0)])= 0b1 |

また、本 LSI は自立的に LSI の状態を変更する機能があります(下表を参照してください)。それぞれの機能により LSI 状態変更条件を満たした場合、上表のレジスタを LSI が自動で書き換え、状態を変更します。

| 機能 | レジスタ |
|-----------------------------------|--|
| FIFO ライト完了後自動 TXON | AUTO_TX_EN([RF_STATUS_CTRL: B0 0x0A(4)]) |
| FIFO ライト途中での自動 TXON | FAST_TX_EN([RF_STATUS_CTRL: B0 0x0A(5)]) |
| 送信完了時の RF 状態遷移設定 | TXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(1-0)]) |
| 受信完了時の RF 状態遷移設定 | RXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(3-2)]) |
| ウェイクアップタイム機能動作による自動 RXON/TXON | [SLEEP/WU_SET: B0 0x2D] |
| SLEEP 復帰後の自動 VCO キャリブレーション | AUTO_VCO_CAL_EN([VCO_CAL_START: B0 0x6F(4)]) |
| 動作継続タイム動作による自動 SLEEP | [SLEEP/WU_SET: B0 0x2D] |
| 高速電波チェックモードによる自動 SLEEP | FAST_DET_MODE_EN ([CCA_CTRL: B0 0x39(3)]) |
| 高速電波チェックモードによる自動 TX_ON | CCADONE_MODE([ED_CTRL: B0 0x41(6)]) |
| 送信中の PLL ロック外れ検出時自動 Force_TRX_OFF | PLL_LD_EN([PLL_LOCK_DETECT: B1 0x0B(7)]) |

それぞれの LSI 状態遷移制御は以下の状態遷移図に従います。

LSI 状態遷移図



LSI 状態遷移図

○SLEEP 設定

DEEP_SLEEP 状態は IO 端子以外の全回路の電源が OFF した状態となります。

SLEEP 状態はメインレギュレータと 24MHz 発振回路が OFF し、サブレギュレータが ON している状態となります。また、SLEEP 中の状態は以下のレジスタで設定できます。

| 機能 | レジスタ |
|----------------------|--|
| 電源制御 | PDN_EN([SLEEP/WU_SET: B0 0x2D(1)]) |
| ウェイクアップ設定 | WAKEUP_EN([SLEEP/WU_SET: B0 0x2D(4)]) |
| ウェイクアップタイマ用クロックソース設定 | WUT_CLK_SOURCE([SLEEP/WU_SET: B0 0x2D(2)]) |
| 内蔵 RC 発振回路制御 | RC32K_EN ([CLK_SET2: B0 0x03(3)]) |

DEEP_SLEEP および代表的な SLEEP モードへの設定方法と、内部状態の対応関係は以下の通りとなります。

| スリープモード | 設定方法 | メインレギュレータ | サブレギュレータ | 24MHz 発振回路 | RC 発振回路 | 低速タイマ | 送信 FIFO |
|------------|--|-----------|----------|------------|---------|-------|---------|
| DEEP_SLEEP | RESETN 端子="L" REGPDIN 端子="H" | OFF | OFF | OFF | OFF | OFF | OFF |
| SLEEP1 | [SLEEP/WU_SET: B0 0x2D(5-0)] = 0b00_0111 [CLK_SET2: B0 0x03(3)] = 0b0 | OFF | ON | OFF | OFF | OFF | OFF |
| SLEEP2 | [SLEEP/WU_SET: B0 0x2D(5-0)] = 0b11_0111 [CLK_SET2: B0 0x03(3)] = 0b1 | OFF | ON | OFF | ON | ON | OFF |

DEEP_SLEEP ではレジスタ値を保持しません。一方、SLEEP 1 または SLEEP2 ではレジスタ値を保持します。ただし、SLEEP1 と SLEEP2 では送信 FIFO の電源が OFF されるため、送信 FIFO に格納したデータは保持されません。

○RF 状態設定に関する注意事項

本 LSI はレジスタ設定による RF 状態遷移命令以外に、LSI が自立的に RF 状態遷移命令を発行し、RF 状態変更を行う機能があります(「LSI 状態制御」参照)。このとき、レジスタ設定による RF 状態遷移命令と LSI 自立動作による RF 状態変更のタイミングが重なった場合、意図しない RF 状態となります。LSI 自立動作による RF 状態変更は以下のタイミングで行われます。レジスタ設定による RF 状態遷移命令タイミングと重ならないようご注意ください。

| 機能 | RF 状態変更 (変更前⇒変更後) | LSI 自立動作による RF 状態変更タイミング | 推奨処理方法 |
|-------------------|--|---|---|
| 自動送信 | TRX_OFF/RX_ON⇒ TX_ON | 送信データ受付完了割込み発生後、 {[TX_RATE_H/L:B1 0x02/03]設定値 x 2 / 24}[μs]区間 | RF 状態遷移完了割込み発生後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)]) が期待する状態への変更後、[RF_STATUS:B0 0x0B]にライトアクセスを行う。 |
| FAST_TX モード | | FIFO ライト量がトリガレベル+1 以上となった後、 {[RX_RATE1_H/L:B1 0x04/05]設定値 x 5 / 24}[μs]区間 | |
| 送信完了後の RF 状態設定 | TX_ON⇒TRX_OFF | データ送信完了割込み発生後、 {[TX_RATE_H/L:B1 0x02/03]設定値 x 2 / 24}[μs]区間 | |
| | TX_ON⇒RX_ON | | |
| | TX_ON⇒SLEEP | | |
| 受信完了後の RF 状態設定 | RX_ON⇒TRX_OFF | データ受信完了割込み発生後、 {[RX_RATE1_H/L:B1 0x04/05]設定値 x 2 / 24}[μs]区間 | |
| | RX_ON⇒TX_ON | | |
| | RX_ON⇒SLEEP | | |
| ウェイクアップタイム | SLEEP⇒TX_ON | ウェイクアップタイム満了後、ウェイクアップタイム用低速クロック 1 周期区間 | |
| | SLEEP⇒RX_ON | | |
| | SLEEP⇒VCO_CAL⇒ TX_ON SLEEP⇒VCO_CAL⇒ RX_ON | ウェイクアップタイム満了後、 VCO キャリブレーション完了割込みまで | VCO キャリブレーション完了割込み発生後、[RF_STATUS:B0 0x0B]および BANK2 にアクセスを行う |
| 動作継続タイム | TX_ON⇒SLEEP | 動作継続タイム満了後、ウェイクアップタイム用低速クロック 1 周期区間 | RF 状態遷移完了割込み発生後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)]) が期待する状態への変更後、[RF_STATUS:B0 0x0B]にライトアクセスを行う。 |
| | RX_ON⇒SLEEP | | |
| 高速電波チェック | RX_ON⇒SLEEP | CCA 完了割込み発生後、6.3[μs]区間 | |
| | RX_ON⇒TX_ON | | |
| PLL ロック外れ検出 | TX_ON⇒TRX_OFF | PLL ロック外れ検出割込み発生後、268[μs]区間 | 割込み発生後、268μs 経過後に [RF_STATUS:B0 0x0B]にライトアクセスを行う。 |

●パケットハンドリング機能

○パケットフォーマット

本 LSI は下記に示すパケットフォーマット(Format A/B/C/D)をサポートします。FIFO 使用モードまたは DIO モードにおいて以下の通りパケットハンドリングを行います。

- ・プリアンプル・SyncWord の自動付加(送信時) ……DIO/FIFO モード共通
- ・プリアンプル・SyncWord の自動検出(受信時) ……DIO/FIFO モード共通
- ・プリアンプル・SyncWord の自動削除(受信時) ……DIO/FIFO モード共通
- ・CRC データ付加 ……FIFO モードのみ
- ・CRC チェック、エラー通知 ……DIO/FIFO モード共通

パケットフォーマットに関するレジスタは以下の通りです。

| 機能 | レジスタ |
|------------------|---|
| パケットフォーマット設定 | PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)]) |
| 受信時パケット拡張モードオフ設定 | RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]) |
| データ領域送出順設定 | DAT_LF_EN([PKT_CTRL1: B0 0x04(4)]) |
| L-field 送出順設定 | LEN_LF_EN([PKT_CTRL1: B0 0x04(5)]) |
| パケット拡張モード設定 | EXT_PKT_MODE([PKT_CTRL1: B0 0x04(7-6)]) EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]) |
| Length 領域長設定 | LENGTH_MODE([PKT_CTRL2: B0 0x05(1-0)]) |

対応するパケットフォーマットと各機種がサポートするパケットフォーマットの関係を以下に示します。

| パケットフォーマット | | 機種 | | |
|------------|-------------------------|------------|---------|---|
| | | ML7345 | ML7345D | |
| Format A | Wireless M-Bus Format A | 通常 | ✓ | ✓ |
| | | 拡張 CI=0x8C | ✓ | ✓ |
| | | 拡張 CI=0x8D | ✓ | ✓ |
| | | 拡張 CI=0x8E | ✓ | ✓ |
| | | 拡張 CI=0x8F | ✓ | ✓ |
| Format B | Wireless M-Bus Format B | 通常 | ✓ | ✓ |
| | | 拡張 CI=0x8C | ✓ | ✓ |
| | | 拡張 CI=0x8D | ✓ | ✓ |
| | | 拡張 CI=0x8E | ✓ | ✓ |
| | | 拡張 CI=0x8F | ✓ | ✓ |
| Format C | 汎用フォーマット(L-field あり) | ✓ | ✓ | |
| Format D | 汎用フォーマット(L-field なし) | - | ✓ | |

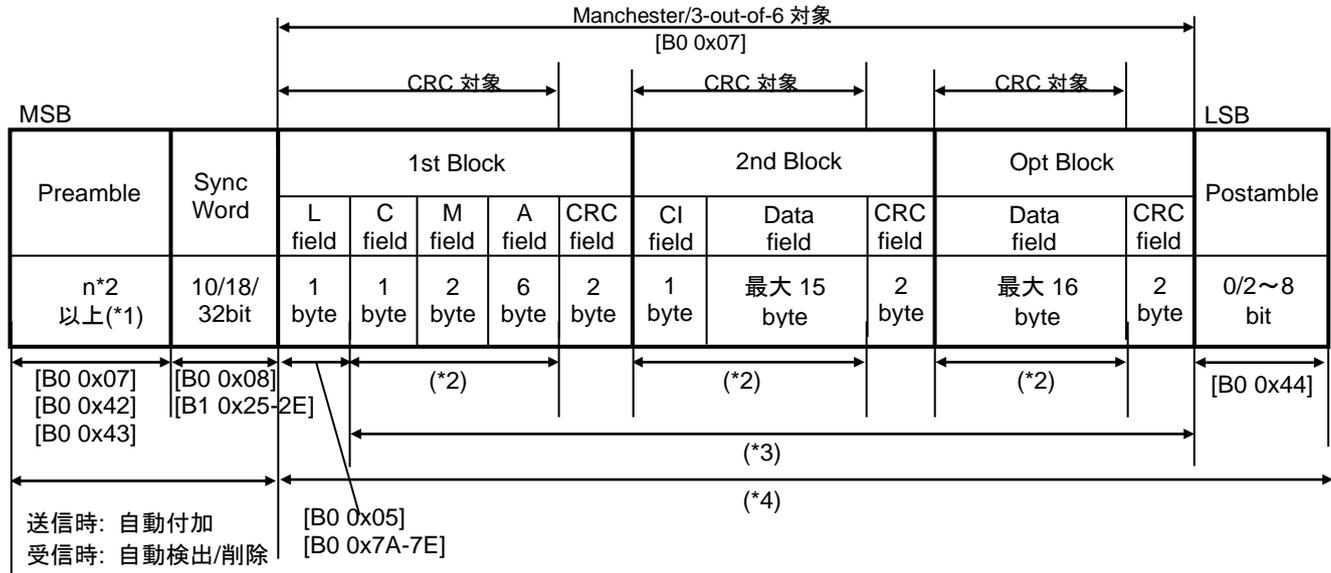
それぞれのパケットフォーマットの詳細は以下の通りです。

(1) Format A(Wireless M-Bus 対応)

Format A を使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b00 を設定してください。

Format A は、1st Block および 2nd Block または Optional Block から構成されます。各 Block 毎に CRC2 バイトが付加されます。1st Block の先頭 1 バイト(L-field)がパケットの Length 値を示し、Length 値は 1st Block の C-field 以降の CRC、Postamble を除くデータのトータルバイト数を示します。また、Length 値に応じて 1st Block 以降の 2nd Block または Optional Block が追加されます。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



*1 n の最小値は Wireless M-Bus の Mode 毎に異なります。

*2 送信時の送信データ FIFO 格納領域を示します。

*3 受信時の受信データ FIFO 格納領域を示します。

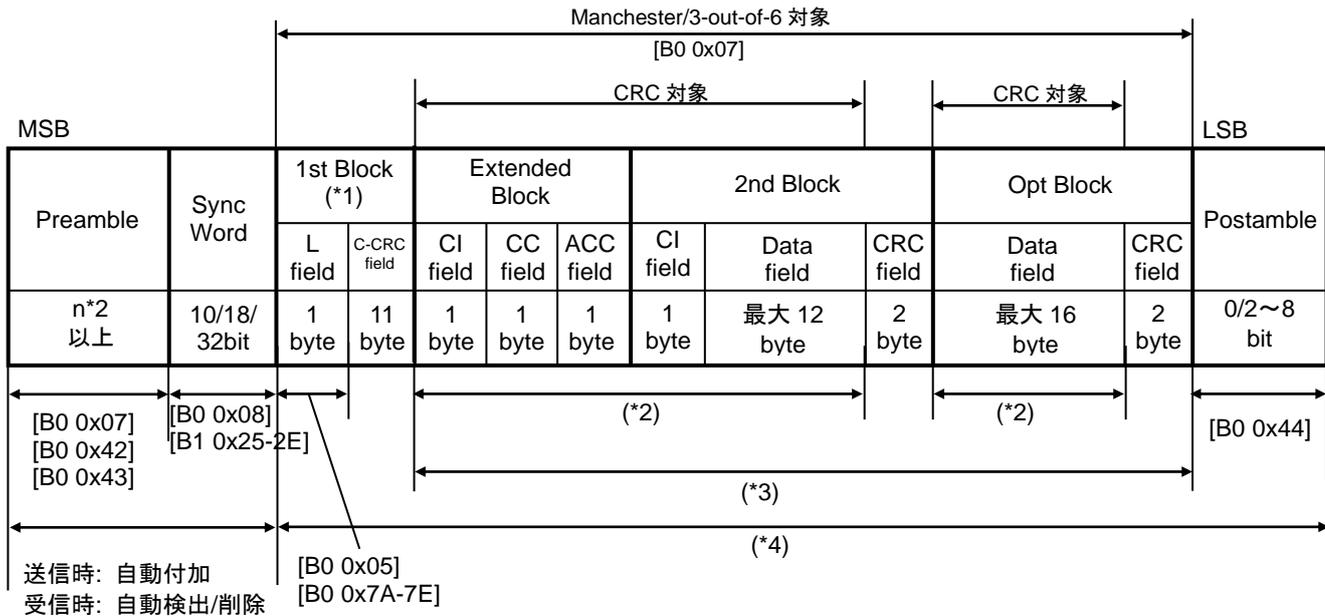
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

Extended Link Layer フォーマットについて

2nd Block の先頭 1 バイト(CI-field)が 0x8C/0x8D/0x8E/0x8F の場合、Extended Link Layer フォーマットが適用され、パケットフォーマットが下記の通り拡張されます。

①CI-field = 0x8C の場合

送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b01 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



*1 1st Block は Format A の通常フォーマットと同じです。

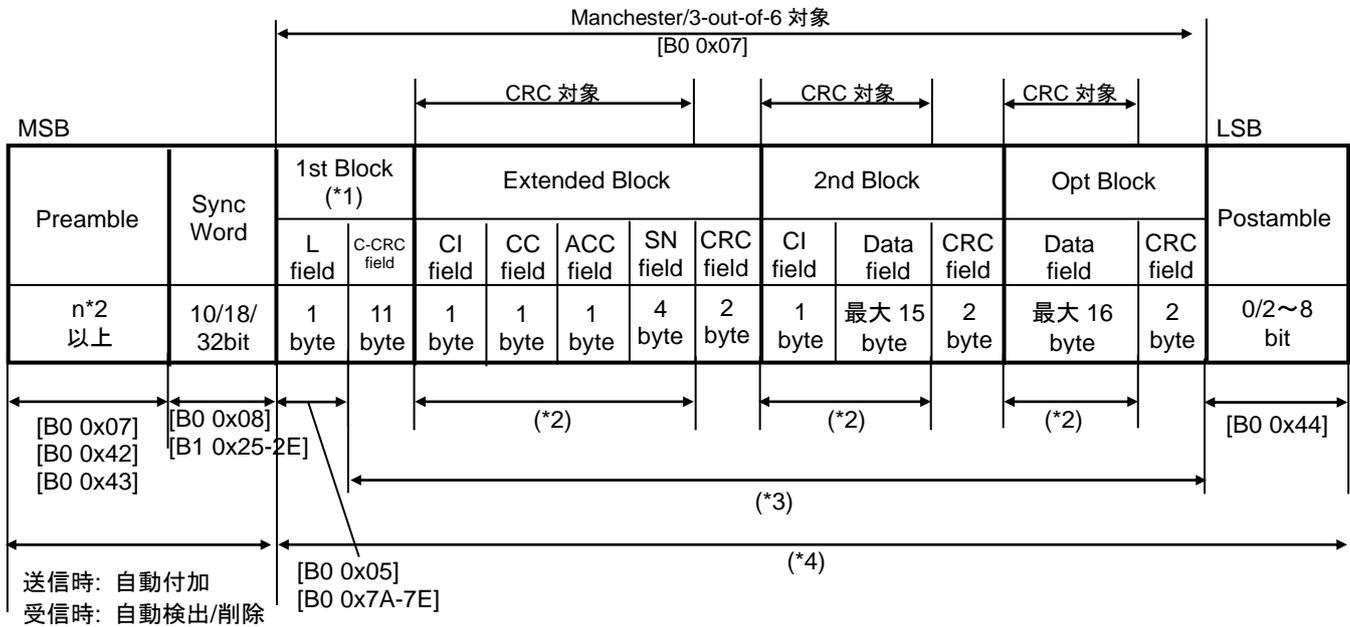
*2 送信時の送信データ FIFO 格納領域を示します。

*3 受信時の受信データ FIFO 格納領域を示します。

*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

②CI-field = 0x8D の場合

送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b10 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



- *1 1st Block は Format A の通常フォーマットと同じです。
- *2 送信時の送信データ FIFO 格納領域を示します。
- *3 受信時の受信データ FIFO 格納領域を示します。
- *4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

【ご注意】

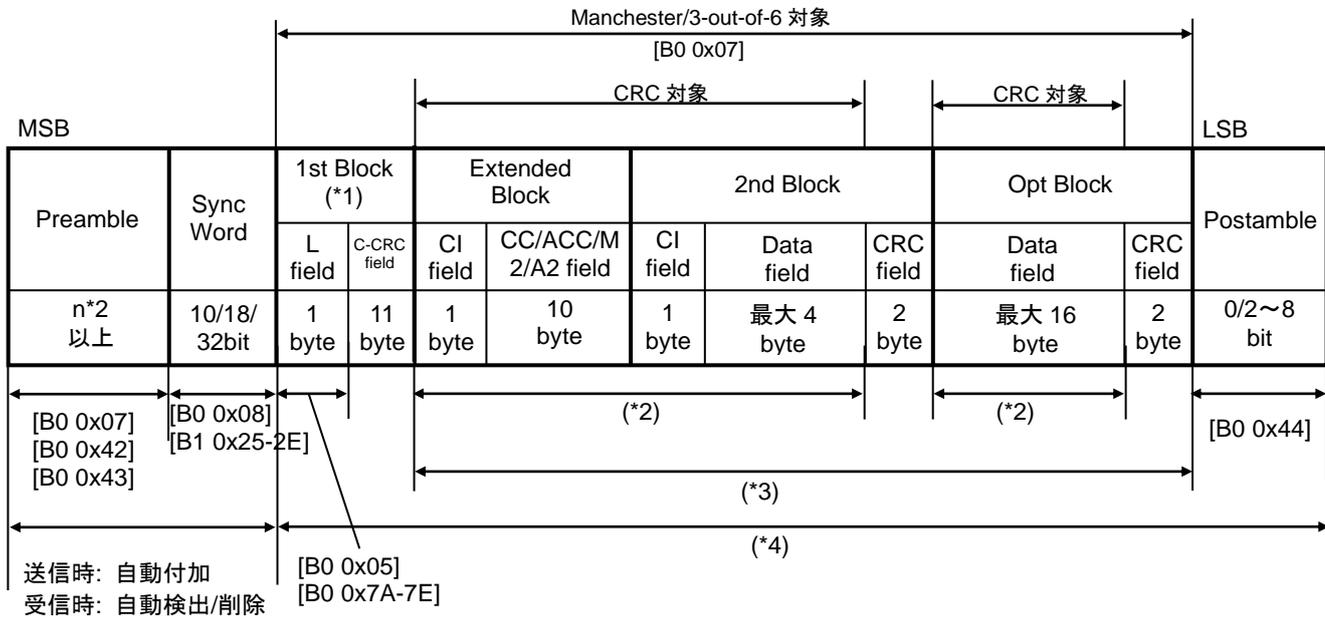
対象機種: ML7345

CI-field = 0x8D の場合、下記条件を満たす Length 値では正常に送受信できません。下記条件が満たされない Length 値をご使用ください。

(条件) (Length 値-15)/16 の剰余が 0 になる Length 値

③CI-field = 0x8E の場合

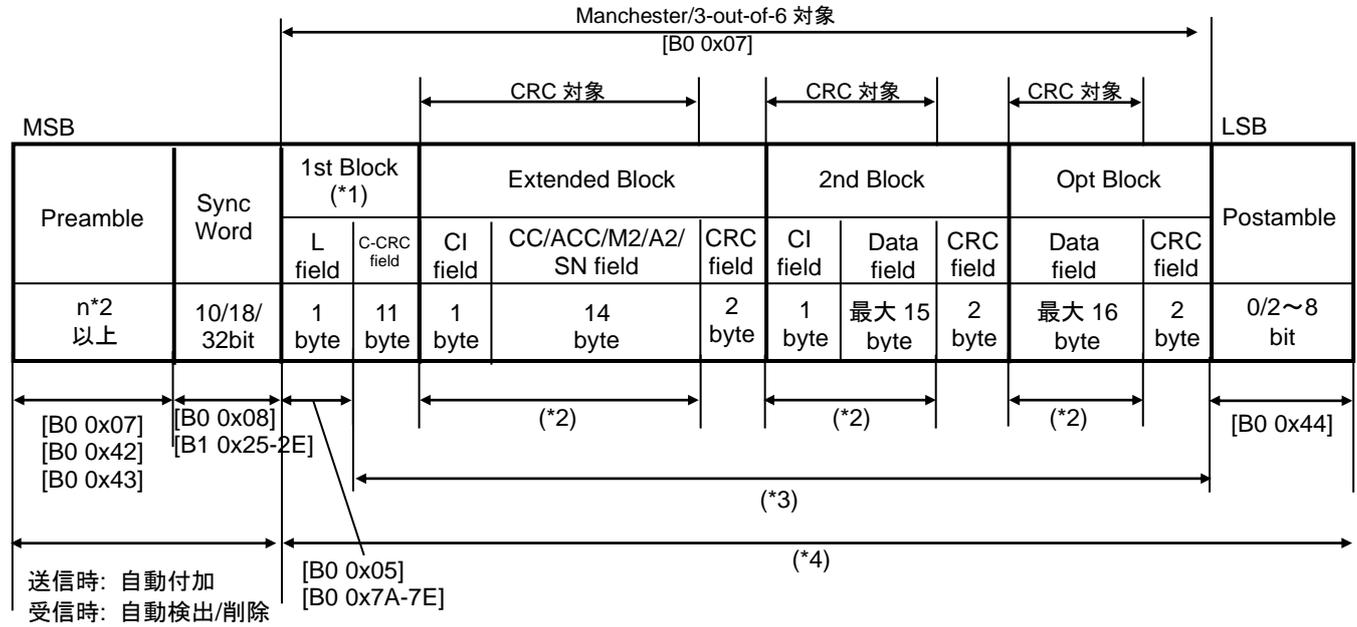
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b01 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



- *1 1st Block は Format A の通常フォーマットと同じです。
- *2 送信時の送信データ FIFO 格納領域を示します。
- *3 受信時の受信データ FIFO 格納領域を示します。
- *4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

④CI-field = 0x8F の場合

送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b10 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



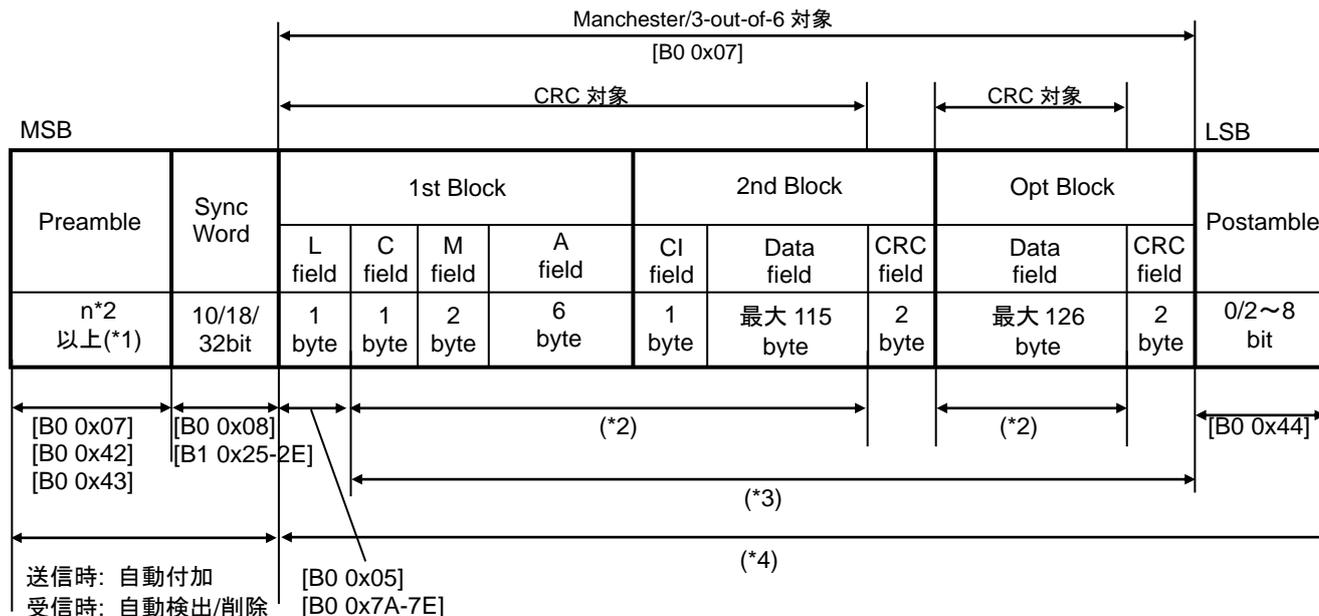
- *1 1st Block は Format A の通常フォーマットと同じです。
- *2 送信時の送信データ FIFO 格納領域を示します。
- *3 受信時の受信データ FIFO 格納領域を示します。
- *4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

(2) Format B(Wireless M-Bus 対応)

Format B を使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b01 を設定してください。

Format B は、1st Block および 2nd Block または Optional Block から構成されます。2nd Block 以降の各 Block 毎に CRC2 バイトが付加されます。1st Block の先頭 1 バイト(L-field)がパケットの Length 値を示し、Length 値は 1st Block の C-field 以降から最終 CRC データまでのトータルバイト数を示します。また、Length 値に応じて 1st Block 以降に 2nd Block または Optional Block が追加されます。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



*1 n の最小値は Wireless M-Bus の Mode 毎に異なります。

*2 送信時の送信データ FIFO 格納領域を示します。

*3 受信時の受信データ FIFO 格納領域を示します。

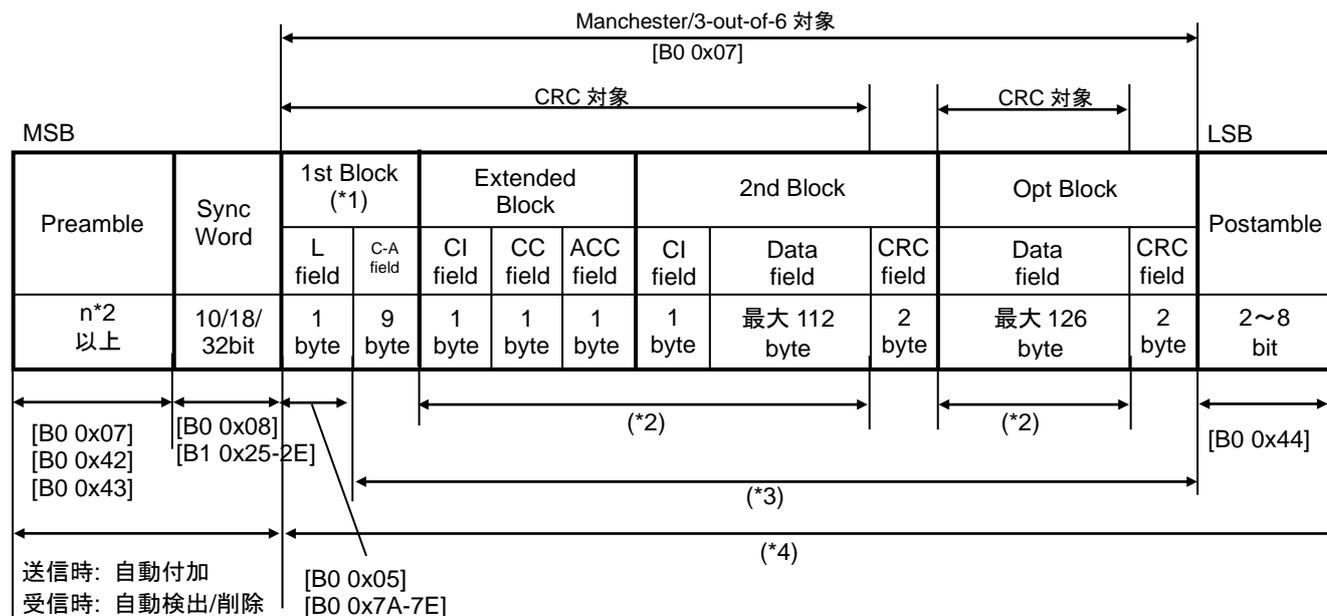
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

Extended Link Layer フォーマットについて

2nd Block の先頭 1 バイト(CI-field)が 0x8C/0x8D/0x8E/0x8 の場合、Extended Link Layer フォーマットが適用され、パケットフォーマットが下記の通り拡張されます。

①CI-field = 0x8C の場合

送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b01 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



*1 1st Block は Format B の通常フォーマットと同じです。

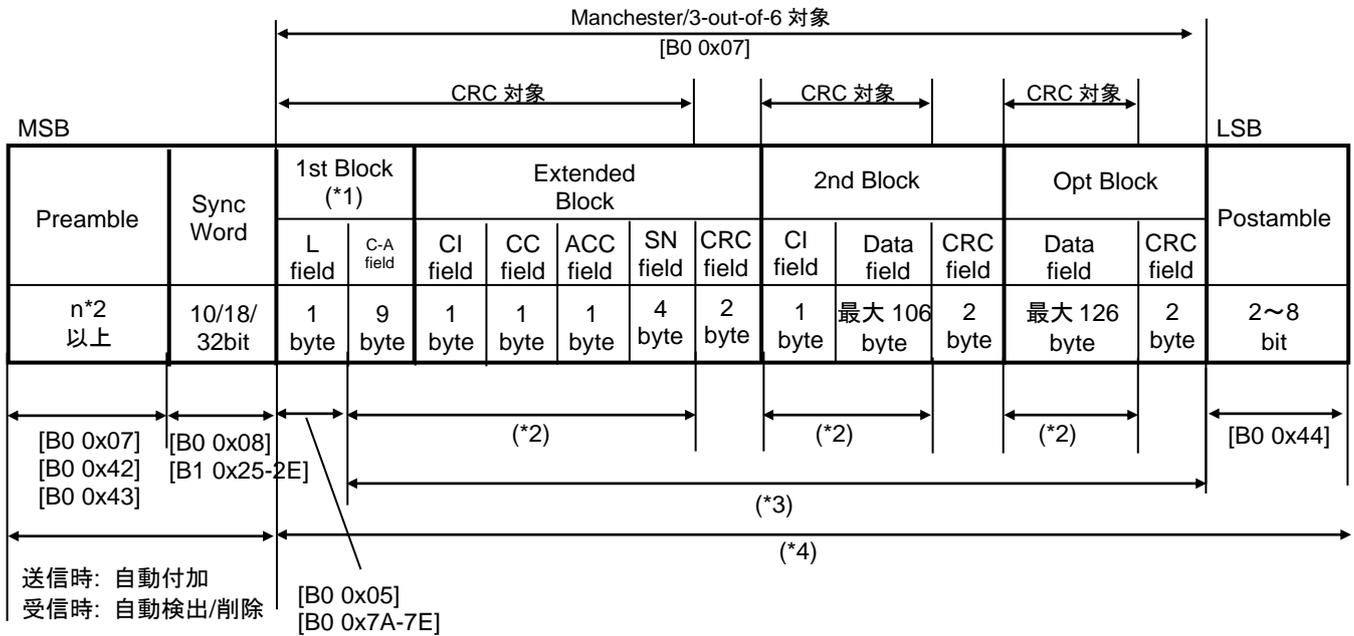
*2 送信時の送信データ FIFO 格納領域を示します。

*3 受信時の受信データ FIFO 格納領域を示します。

*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

②CI-field = 0x8D の場合

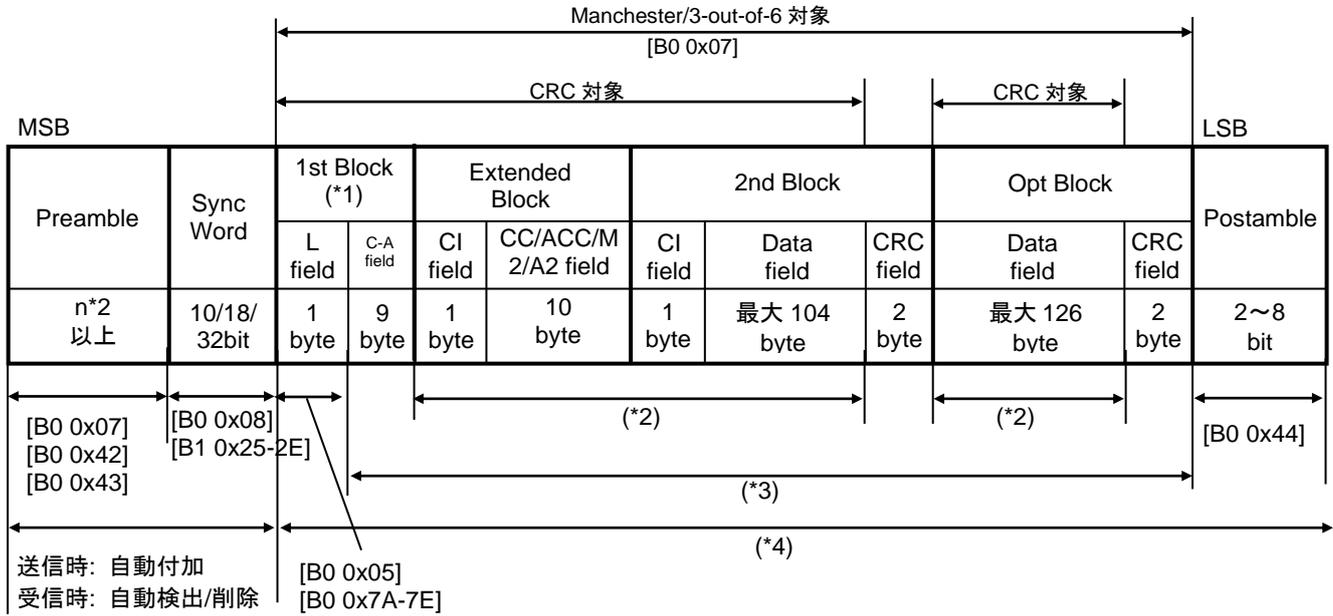
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b10 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



- *1 1st Block は Format B の通常フォーマットと同じです。
- *2 送信時の送信データ FIFO 格納領域を示します。
- *3 受信時の受信データ FIFO 格納領域を示します。
- *4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

③CI-field = 0x8E の場合

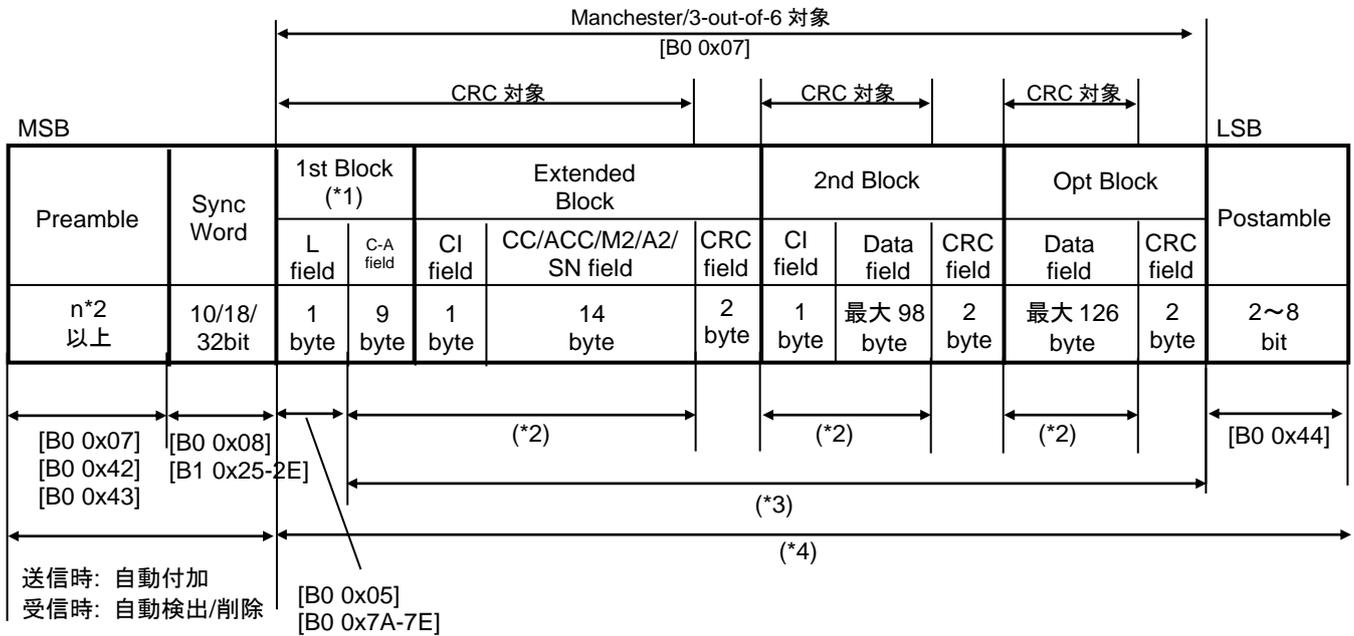
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)])=0b01 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



- *1 1st Block は Format B の通常フォーマットと同じです。
- *2 送信時の送信データ FIFO 格納領域を示します。
- *3 受信時の受信データ FIFO 格納領域を示します。
- *4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

④CI-field = 0x8F の場合

送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b10 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



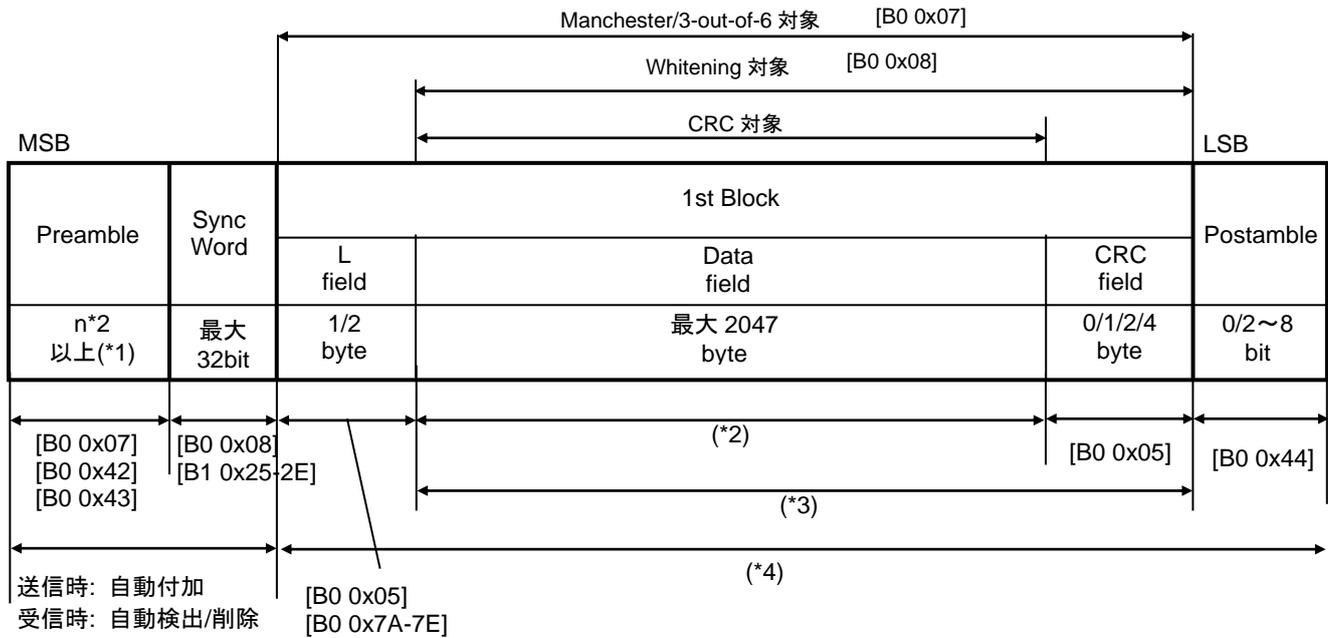
- *1 1st Block は Format B の通常フォーマットと同じです。
- *2 送信時の送信データ FIFO 格納領域を示します。
- *3 受信時の受信データ FIFO 格納領域を示します。
- *4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

(3) Format C(汎用フォーマット)

Format Cを使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b10を設定してください。

Format Cは、1st Blockのみから構成され、Data-fieldの後にCRC-field(0/1/2/4バイト選択可)が付加されます。1st Blockの先頭1または2バイト(L-field)がパケットのLength値を示し、Length値はData-field以降から最終CRCデータまでのトータルバイト数を示します。また、Whitening機能をサポートします。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



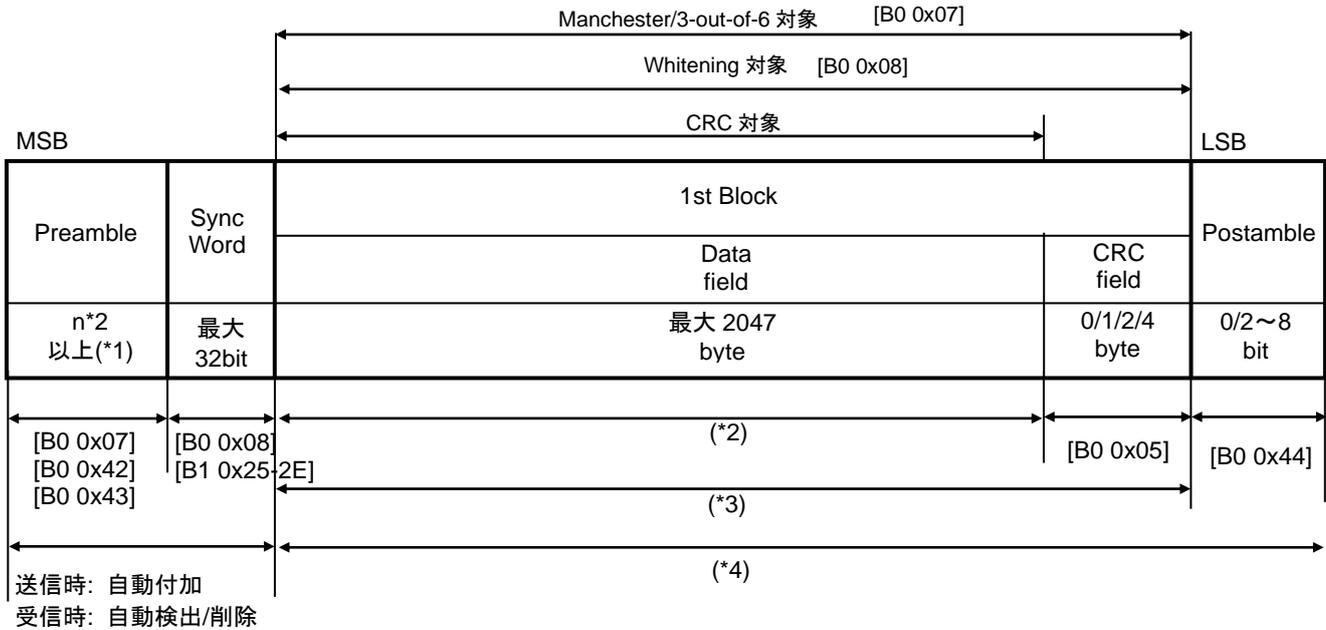
- *1 プリアンブル長(n)は任意の値を設定可能です。
- *2 送信時の送信データ FIFO 格納領域を示します。
- *3 受信時の受信データ FIFO 格納領域を示します。
- *4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

(4) Format D(汎用フォーマット)

Format Dを使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b11を設定してください。

Format Dは1st Blockのみから構成されます。1st Blockの先頭はData-fieldから始まり、Data-fieldの後にCRC-field(0/1/2バイト選択可)が付加されます。Length値はData-field以降から最終CRCデータまでのトータルバイト数を示し、送信時のLength値は[TX_PKT_LENGTH: B0 0x7A/0x7B]、受信時のLength値は[RX_PKT_LENGTH: B0 0x7D/0x7E]で設定します。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



- *1 プリアンブル長(n)は任意の値を設定可能です。
- *2 送信時の送信データ FIFO 格納領域を示します。
- *3 受信時の受信データ FIFO 格納領域を示します。
- *4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

○CRC 機能

本 LSI は CRC32/CRC16/CRC8 をサポートし、送受信時に CRC 自動付加(送信時)、CRC 自動チェック(受信時)を行います。自動付加および CRC 自動チェックは以下のモードで行います。また、下表に示すレジスタにより設定することができます。

- FIFO モード …RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]) = 0b00
- DIO モード …RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]) = 0b11

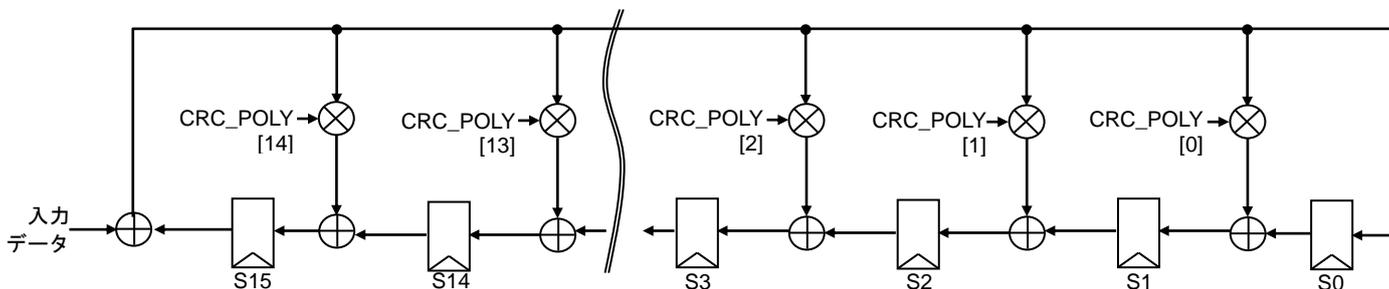
| 機能 | レジスタ |
|-----------------|---------------------------------------|
| 送信 CRC 設定 | TX_CRC_EN([PKT_CTRL2: B0 0x05(2)]) |
| 受信 CRC 設定 | RX_CRC_EN([PKT_CTRL2: B0 0x05(3)]) |
| CRC 長設定 | CRC_LEN([PKT_CTRL2: B0 0x05(5-4)]) |
| CRC 補数出力 OFF 設定 | CRC_COMP_OFF([PKT_CTRL2: B0 0x05(6)]) |
| CRC 生成多項式設定 | [CRC_POLY3/2/1/0: B1 0x16/17/18/19] |
| CRC エラー表示 | [CRC_ERR_H/M/L: B0 0x13/14/15] |

CRC の生成多項式は任意に設定可能です。初期設定は下式の通りです。

CRC16 生成多項式 = $x^{16} + x^{13} + x^{12} + x^{11} + x^{10} + x^8 + x^6 + x^5 + x^2 + 1$ (初期設定)

※最終 CRC データは反転されます。

CRC データは以下回路によって生成され、[CRC_POLY3/2/1/0]を設定することで任意の CRC 生成多項式に対応します。生成されたデータは左側(S15)のビットから送出されます。CRC 長に満たないデータに対して CRC 機能を使用する場合(CRC32 の 3 バイトデータのみ)は、データ”0”を追加して CRC 演算を行います。CRC チェック結果は[CRC_ERR_H/M/L]に表示します。FormatA/B は FormatC と異なり 1 パケット内に複数の CRC-field を持つ構成です。複数の CRC-field に対しては、L-field に最も近い CRC チェック結果が CRC_ERR[0]に表示され、以降 CRC_ERR の MSB 側に順に表示します。



※ ⊕ : 排他的論理和を示します。

CRC16 生成回路例

一般的な生成多項式と[CRC_POLY3/2/1/0]レジスタ設定との対応関係は以下の通りです。CRC 長については CRC_LEN にて設定してください。

| CRC 生成多項式 | | [CRC_POLY3/2/1/0] | | | |
|-----------|---|-------------------|-----------|-----------|-----------|
| | | (B1 0x16) | (B1 0x17) | (B1 0x18) | (B1 0x19) |
| CRC8 | $x^8 + x^2 + x + 1$ | 0x00 | 0x00 | 0x00 | 0x03 |
| CRC16 | $x^{16} + x^{12} + x^5 + 1$ | 0x00 | 0x00 | 0x08 | 0x10 |
| | $x^{16} + x^{15} + x^2 + 1$ | 0x00 | 0x00 | 0x40 | 0x02 |
| | $x^{16} + x^{13} + x^{12} + x^{11} + x^{10} + x^8 + x^6 + x^5 + x^2 + 1$ | 0x00 | 0x00 | 0x1E | 0xB2 |
| CRC32 | $x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$ | 0x02 | 0x60 | 0x8E | 0xDB |

【ご注意】

対象機種: ML7345

送信 CRC 設定(TX_CRC_EN[PKT_CTRL2: B0 0x05(2)])をディセーブルに設定時、送信 FIFO への送信データの分割書込みする際、最終書込みデータ量と CRC 長設定(CRC_LEN[PKT_CTRL2: B0 0x05(5-4)])の関係が下記条件を満たした場合に送信 FIFO アクセスエラーが通知され、正常にパケットを送信できません。下記条件が満たされないよう FIFO 書込み量を制御してください。

送信 FIFO アクセスエラーとなる最終書込みデータ量と CRC 長設定との関係は以下の通りです。

CRC_LEN=0b00・・・最終書き込みデータ量 1 バイト時

CRC_LEN=0b01・・・最終書き込みデータ量 2 バイト以下

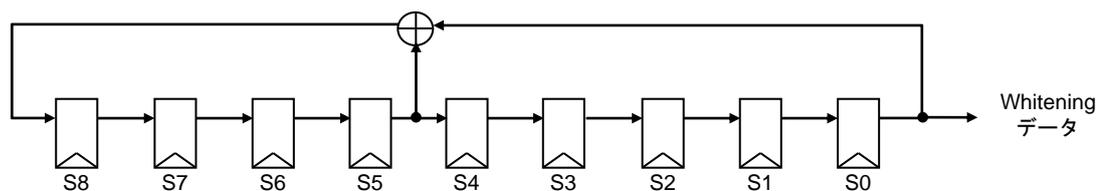
CRC_LEN=0b10・・・最終書き込みデータ量 4 バイト以下

○DataWhitening 機能

本 LSI は DataWhitening 機能をサポートします。パケットフォーマット A/B では C-field 以降、パケットフォーマット C/D では Data-field 以降が Whitening 対象領域であり、下記 9 ビットの擬似ランダム雑音系列(PN9)生成回路にて生成されたデータを送信直前の送信データ(3-out-of-6 符号化後データ)と XOR 処理を行い、送信します。PN9 生成回路のシフトレジスタ初期値は[WHT_INIT_H/L: B1 0x64/65]にて設定可能です。また、PN9 の生成多項式は、[WHT_CFG: B1 0x66]にて任意の生成多項式に設定可能です。

- DataWhiteing 設定イネーブル …WHT_SET ([DATA_SET2: B0 0x08(0)])
- DataWhiteing 初期値 …[WHT_INIT_H/L: B1 0x64/65]
- Whitening 生成多項式 …[WHT_CFG: B1 0x66]

生成多項式設定機能は、[WHT_CFG: B1 0x66(0)]が 0b1 設定されている場合、シフトレジスタ S1 出力を XOR にフィードバックします。同様に[WHT_CFG: B1 0x66(1)] が 0b1 設定されている場合、シフトレジスタ S2 出力を XOR にフィードバックし、[WHT_CFG: B1 0x66(7-2)]も同様の機能をもっています。また、WHT_CFG に複数ビット 0b1 を設定することも可能であり、任意の生成多項式を設定することができます。



※ \oplus : 排他的論理和を示します。

Whitening データ生成回路例
(生成多項式: $x^9 + x^5 + 1$)

代表的な PN9 生成多項式と[WHT_CFG]設定との対応関係例は以下に示します。

| PN9 生成多項式 | [WHT_CFG: B1 0x66] |
|-----------------|--------------------|
| $x^9 + x^4 + 1$ | 0x08 |
| $x^9 + x^5 + 1$ | 0x10 |

○SyncWord 検出機能

本LSIはSyncWordパターンの検出機能を持っています。2面のSyncWordパターン格納エリアを持つことにより、Wireless M-Busで規定される二つのパケットフォーマット(Format A/B)を自動判定可能です(詳細はWireless M-Bus規格書を参照してください)。パケットフォーマットの検出結果を、SW_DET_RSLT([STM_STATE: B0 0x77(5)])で表示します。また、Format C/DにてSyncWord2面待ち設定をした場合、2つのSyncWordの待ち受けが可能です。ただし、検出結果は表示しません。

1) 送信時

SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)])にて設定されたSyncWordパターンが選択されます。送信するSyncWord長はSYNC_WORD_LEN ([SYNC_WORD_LEN: B1 0x25(5-0)])を設定することで、各SyncWordパターンの上位ビットから設定するSyncWord長を送信します。

| SYNCWORD_SEL | 送信される SyncWord パターン |
|--------------|---|
| 0 | SYNCWORD1_SET[31:0] ([SYNCWORD1_SET3/2/1/0: B1 0x27/28/29/2A]) |
| 1 | SYNCWORD2_SET[31:0] ([SYNCWORD2_SET3/2/1/0: B1 0x2B/2C/2D/2E]) |

例) SyncWord パターンと SyncWord 長について

以下レジスタ設定をした場合、SYNCWORD1_SET[17:0]の18ビットが上位ビットから順に送信されます。

[SYNC_WORD_LEN: B1 0x25]=0x12

SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)]) = 0b0

以下レジスタ設定をした場合、SYNCWORD2_SET[23:0]の24ビットが上位ビットから順に送信されます。

[SYNC_WORD_LEN: B1 0x25]=0x18

SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)]) = 0b1

2) 受信時

SYNCWORD_SEL、2SW_DET_EN ([DATA_SET2: B0 0x08(5)])の設定により下表の通り1面待ちと2面待ち動作を切り替えます。パケットフォーマットの自動判定機能は2SW_DET_EN=0b1設定かつFormatA/B設定時のみ有効です。2面待ち時のパケットフォーマット自動判定結果はSW_DET_RSLT[STM_STATE: B0 0x77(5)]に表示します。

| 2SW_DET_EN | SYNCWORD_SEL | 検出時に参照する SyncWord パターン | SyncWord 検出動作 | パケットフォーマットの自動判定 | SyncWord 以降のデータ処理 |
|------------|--------------|--|---------------|-----------------|---|
| 0 | 0 | SYNCWORD_SET1[31:0] | 1面待ち | なし | 各Format設定に従って処理します |
| 0 | 1 | SYNCWORD_SET2[31:0] | 1面待ち | なし | 各Format設定に従って処理します |
| 1 | - | SYNCWORD_SET1[31:0] SYNCWORD_SET2[31:0] | 2面待ち | あり | 【FormatA または FormatB 設定】 SYNCWORD1_SET と一致した場合はFormat A、SYNCWORD2_SETと一致した場合はFormat Bにて処理します 【FormatC/D 設定】 FormatC/Dにて処理します |

検出時に参照する SyncWord パターンの SyncWord 長は SYNC_WORD_LEN ([SYNC_WORD_LEN: B1 0x25(5-0)])により変更可能です。このとき、SYNCWORD1_SET または SYNCWORD2_SET の下位側から SyncWord 長分の SyncWord パターンが参照するパターンとなります。

例) SyncWord 長について

以下レジスタ設定をした場合、SYNCWORD1_SET[17:0]または SYNCWORD2_SET[17:0]の 18 ビットが SyncWord 検出時の参照パターンとなります。このとき、上位ビット(bit31-18)は検出対象となりません。

[SYNC_WORD_LEN: B1 0x25]=0x12

[SYNC_WORD_EN: B1 0x26]=0x0F

また、SyncWord パターンに対し、8 ビット毎に検出時の参照ビットとするか否かのイネーブル制御が可能です。イネーブル制御と SyncWord 検出時に参照する SyncWord パターンとの関係は以下の通りとなります。ただし、SyncWord 長設定がイネーブル制御を行うビットの範囲外である場合、期待する SyncWord 検出はできませんのでご注意ください。

| [SYNC_WORD_EN] レジスタ (B1 0x26) | SYNCWORD*_SET | | | | SyncWord 検出動作 |
|-------------------------------------|---------------|---------|--------|-------|---|
| | [31:24] | [23:16] | [15:8] | [7:0] | |
| 0000 | | | | | 設定禁止 |
| 0001 | D.C.(※1) | | | ON | [7:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 0010 | D.C. | | ON | D.C. | [15:8]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 0011 | D.C. | | ON | ON | [15:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 0100 | D.C. | ON | D.C. | | [23:16]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 0101 | D.C. | ON | D.C. | ON | [23:16]と[7:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 0110 | D.C. | ON | ON | D.C. | [23:8]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 0111 | D.C. | ON | ON | ON | [23:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 1000 | ON | D.C. | | | [31:24]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 1001 | ON | D.C. | | ON | [31:24]と[7:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 1010 | ON | D.C. | ON | D.C. | [31:24]と[15:8]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 1011 | ON | D.C. | ON | ON | [31:24]と[15:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 1100 | ON | ON | D.C. | | [31:16]が有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 1101 | ON | ON | D.C. | ON | [31:16]と[7:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 1110 | ON | ON | ON | D.C. | [31:8]が有効です。 [7:0]検出後 SyncWord 検出となります。 |
| 1111 | ON | ON | ON | ON | [31:0]が有効です。 [7:0]検出後 SyncWord 検出となります。 |

※1 表中の D.C.は Don't Care を意味します。

※2 SyncWord 検出条件として、SyncWord パターン以外に SyncWord と連続するプリアンブルパターンを含めることができます。プリアンブルパターンを含める場合は、RXPR_LEN([SYNC_CONDITION1: B0 0x45(5:0)])を設定してください。

○Field チェック機能

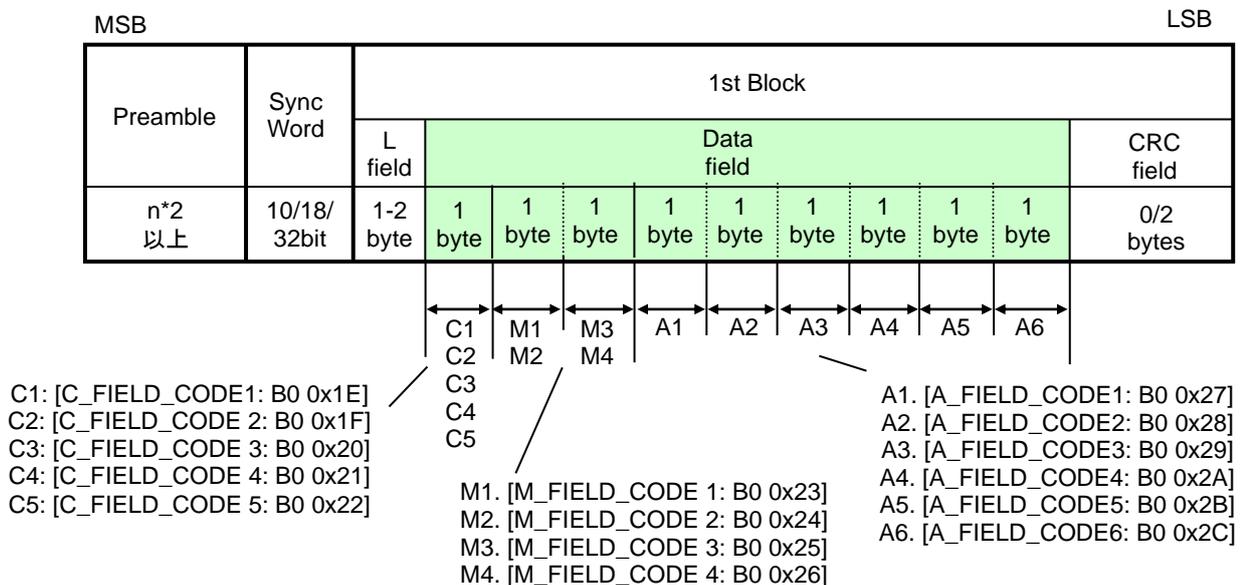
本 LSI は受信パケットの C-field 以降 9 バイト(Format A/B)、または Data-field 以降 9 バイト(Format C/D)を比較し、一致または不一致時に割込みにて通知する機能(Field チェック機能)を持っています。Field チェック設定は以下レジスタにて設定可能です。Field チェック機能は L-field の判別を行う FIFO モード(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

| 機能 | レジスタ |
|--------------------------|--|
| Field チェック不一致時の受信データ処理設定 | [C_CHECK_CTRL: B0 0x1B(7)] |
| Field チェック割込み設定 | [C_CHECK_CTRL: B0 0x1B(6)] |
| C-field 検出イネーブル設定 | [C_CHECK_CTRL: B0 0x1B(4-0)] |
| M-field 検出イネーブル設定 | [M_CHECK_CTRL: B0 0x1C(3-0)] |
| A-field 検出イネーブル設定 | [A_CHECK_CTRL: B0 0x1D(5-0)] |
| C-field コード設定 | [C_FIELD_CODE1: B0 0x1E] [C_FIELD_CODE2: B0 0x1F] [C_FIELD_CODE3: B0 0x20] [C_FIELD_CODE4: B0 0x21] [C_FIELD_CODE5: B0 0x22] |
| M-field コード設定 | [M_FIELD_CODE1: B0 0x23] [M_FIELD_CODE2: B0 0x24] [M_FIELD_CODE3: B0 0x25] [M_FIELD_CODE4: B0 0x26] |
| A-field コード設定 | [A_FIELD_CODE1: B0 0x27] [A_FIELD_CODE2: B0 0x28] [A_FIELD_CODE3: B0 0x29] [A_FIELD_CODE4: B0 0x2A] [A_FIELD_CODE5: B0 0x2B] [A_FIELD_CODE6: B0 0x2C] |

受信データと比較するリファレンスパターンの関係を以下に示します。

【Format A/B(Wireless M-Bus 対応)の場合】

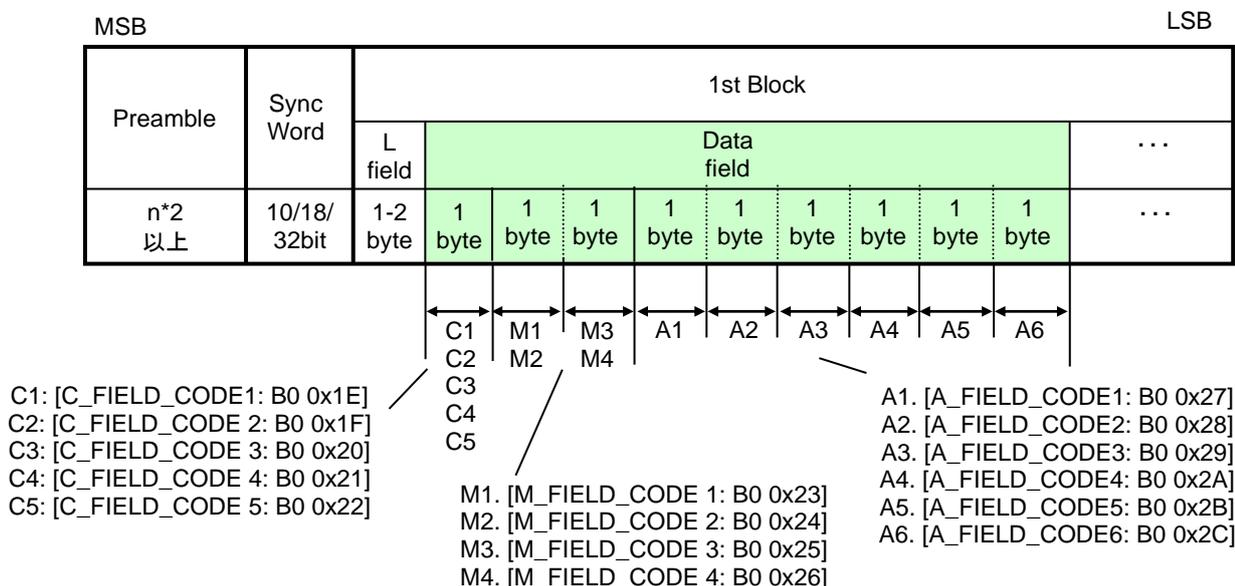
Field チェックはリファレンスパターン毎にイネーブル・ディセーブル設定が可能です。全 Field データ(C-field/M-field/A-field)が下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、C-field データと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(M-field/A-field)が不一致であった場合でも Field チェック結果は一致として結果を通知します。



| チェック Field | リファレンスパターン | 一致の条件 |
|----------------|---|-----------------------------------|
| C-field | C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5 | 5つのリファレンスパターンのいずれか1つ一致した場合、一致となる。 |
| M-field 1 バイト目 | M_FIELD_CODE1 または M_FIELD_CODE2 | 2つのリファレンスパターンのいずれか1つ一致した場合、一致となる。 |
| M-field 2 バイト目 | M_FIELD_CODE3 または M_FIELD_CODE4 | 2つのリファレンスパターンのいずれか1つ一致した場合、一致となる。 |
| A-field | A_FIELD_CODE1/2/3/4/5/6 | リファレンスパターンと一致した場合、一致となる。 |

【Format C の場合】

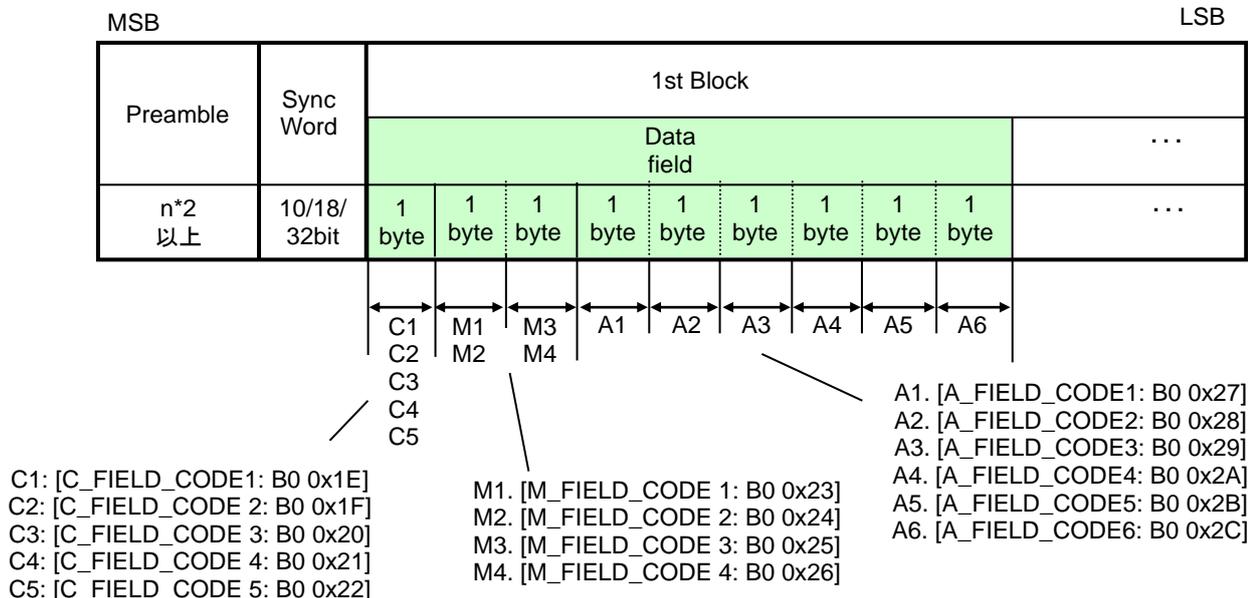
Field チェックはリファレンスパターン毎にイネーブル・ディセーブル設定が可能です。全 Data-field データが下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、Data-field1 バイト目のデータと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(Data-field2 バイト目から9 バイト目)が不一致であった場合でも Field チェック結果は一致として結果を通知します。



| チェック Field | リファレンスパターン | 一致の条件 |
|------------------|---|-----------------------------------|
| Data-field1 バイト目 | C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5 | 5つのリファレンスパターンのいずれか1つ一致した場合、一致となる。 |
| Data-field2 バイト目 | M_FIELD_CODE1 または M_FIELD_CODE2 | 2つのリファレンスパターンのいずれか1つ一致した場合、一致となる。 |
| Data-field3 バイト目 | M_FIELD_CODE3 または M_FIELD_CODE4 | 2つのリファレンスパターンのいずれか1つ一致した場合、一致となる。 |
| Data-field4 バイト目 | A_FIELD_CODE1 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field5 バイト目 | A_FIELD_CODE2 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field6 バイト目 | A_FIELD_CODE3 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field7 バイト目 | A_FIELD_CODE4 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field8 バイト目 | A_FIELD_CODE5 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field9 バイト目 | A_FIELD_CODE6 | リファレンスパターンと一致した場合、一致となる。 |

【Format D の場合】

Field チェックはリファレンスパターン毎にイネーブル・ディセーブル設定が可能です。全 Data-field データが下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、Data-field1 バイト目のデータと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(Data-field2 バイト目から 9 バイト目)が不一致であった場合でも Field チェック結果は一致として結果を通知します。



| チェック Field | リファレンスパターン | 一致の条件 |
|------------------|---|-----------------------------------|
| Data-field1 バイト目 | C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5 | 5つのリファレンスパターンのいずれか1つ一致した場合、一致となる。 |
| Data-field2 バイト目 | M_FIELD_CODE1 または M_FIELD_CODE2 | 2つのリファレンスパターンのいずれか1つ一致した場合、一致となる。 |
| Data-field3 バイト目 | M_FIELD_CODE3 または M_FIELD_CODE4 | 2つのリファレンスパターンのいずれか1つ一致した場合、一致となる。 |
| Data-field4 バイト目 | A_FIELD_CODE1 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field5 バイト目 | A_FIELD_CODE2 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field6 バイト目 | A_FIELD_CODE3 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field7 バイト目 | A_FIELD_CODE4 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field8 バイト目 | A_FIELD_CODE5 | リファレンスパターンと一致した場合、一致となる。 |
| Data-field9 バイト目 | A_FIELD_CODE6 | リファレンスパターンと一致した場合、一致となる。 |

•Field チェック結果によるパケット処理方法

CA_RXD_CLR ([C_CHECK_CTRL: B0 0x1B(7)])=0b1 に設定することにより、Field チェックにより不一致が生じたデータパケットを直ちに破棄し、次パケット受信待ち状態とすることが可能です。

•不一致パケット数表示

不一致を検出したパケット総数は、最大 2047 個までカウントし、結果を[ADDR_CHK_CTR_H: B1 0x62]および [ADDR_CHK_CTR_L: B1 0x63]に表示します。このカウント値は STATE_CLR4([STATE_CLR: B0 0x16(4)])にてクリアできません。

○FIFO 制御機能

本 LSI は送信用 FIFO64Byte、受信用 FIFO64Byte を各 1 面ずつ搭載しています。ただし、送受信 FIFO は複数パケットのデータ格納はサポートしていませんので、必ず 1 パケットずつ処理してください。受信 FIFO に受信パケットがある状態で次のパケットを受信した場合は上書きされます。送信 FIFO も同様です。

受信時は受信データをバイト単位で格納し、SPI 経由でホスト MCU より読み出します。送信時はホスト MCU より入力したデータをバイト単位で格納して送信します。

FIFO への書き込み、読み出しは SPI からのバーストアクセスにて行います。送信時は [WR_TX_FIFO: B0 0x7C] へ書き込み、受信時は [RD_FIFO: B0 0x7F] から読み出しを連続して行うことで FIFO 内部カウンタが自動インクリメントし、データを保存、出力します。書き込み、読み出し途中で FIFO アクセスを中断した場合、パケットの処理が完了するまでアドレスは保持されません。従いまして、FIFO アクセス再開時は FIFO アクセス中断時の次データからデータの書き込み、読み出しが可能です。

FIFO 制御に関するレジスタは以下の通りです。

| 機能 | レジスタ |
|-----------------------|------------------------------|
| 送信 FIFO の Full レベル設定 | [TXFIFO_THRH: B0 0x17] |
| 送信 FIFO の Empty レベル設定 | [TXFIFO_THRL: B0 0x18] |
| 受信 FIFO の Full レベル設定 | [RXFIFO_THRH: B0 0x19] |
| 受信 FIFO の Empty レベル設定 | [RXFIFO_THRL: B0 0x1A] |
| FIFO リード面選択設定 | [FIFO_SET: B0 0x78] |
| 受信 FIFO の使用量表示 | [RX_FIFO_LAST: B0 0x79] |
| 送信パケット Length 設定 | [TX_PKT_LEN_H/L: B0 0x7A/7B] |
| 受信パケット Length 設定 | [RX_PKT_LEN_H/L: B0 0x7D/7E] |
| 送信 FIFO | [WR_TX_FIFO: B0 0x7C] |
| FIFO リード | [RD_FIFO: B0 0x7F] |

FIFO を使用して送受信する場合の手順は以下となります。

【送信時】

(1) Format A/B/C の場合

- ①送信する L-field の値(Length 値)を[TX_PKT_LEN_H: B0 0x7A]、[TX_PKT_LEN_L: B0 0x7B]に設定します。
- ②送信データを FIFO に書き込みます。

Length 領域長が 1 バイト設定時は[TX_PKT_LEN_L]レジスタ値が送信されます。

Length 領域長設定は LENGTH_MODE([PKT_CTRL: B0 0x05(1-0)])で設定することができます。

(2) Format D の場合

- ①Length 値を[TX_PKT_LEN_H: B0 0x7A]、[TX_PKT_LEN_L: B0 0x7B]に設定します。
- ②送信データを FIFO に書き込みます。

【ご注意】

1. 送信データの書き込みを途中で止めた場合、必ず送信 FIFO クリア([STATE_CLR: B0 0x16])を実行してください。LSI 内部にてデータを管理するポインタが状態を維持してしまい、この状態では次パケットの FIFO 処理が正常に行われなためです。
想定される条件としては、送信 FIFO アクセスエラーの割り込み通知([INT_SOURCE_GRP3: B0 0x0F(4)])を受けて止める場合があります。なお、この割り込み通知は FIFO のオーバーラン(例えば、FIFO に空きがない状態で送信 FIFO にライトした場合)、またはアンダーラン(例えば、FIFO が空きの状態で送信しようとした場合)に発生します。
2. 1 パケットのデータを格納した状態で次の書き込み動作を行うと FIFO は上書きされます。
3. 送信時に設定する Length 値は、パケットフォーマット設定により異なります。
Format A: Length 領域および CRC 領域を除くデータ長を Length 値として設定します。
Format B: Length 領域を除くデータ長を Length 値として設定します。
Format C: Length 領域を除くデータ長を Length 値として設定します。
Format D: Data-field から CRC-field までのデータ長を Length 値として設定します。

【受信時】

(1) Format A/B/C の場合

- ①L-field の値(Length 値)を[RX_PKT_LEN_H: B0 0x7D]、[RX_PKT_LEN_L: B0 0x7E]から読み出します。
- ②受信データを FIFO から読み出します。

(2) Format D の場合

- ①Length 値(Data-field から CRC-field までのデータ長)を[RX_PKT_LEN_H: B0 0x7D]、[RX_PKT_LEN_L: B0 0x7E]に設定します。
- ②受信データを FIFO から読み出します。

受信 FIFO をリードする場合は必ず FIFO_R_SEL([FIFO_SET: B0 0x78(0)])を 0b0 に設定してください。FIFO_R_SEL=0b1 設定時は FIFO リード面として送信 FIFO が選択されます。また、受信 FIFO のデータ使用量は[RX_FIFO_LAST: B0 0x79]に表示します。

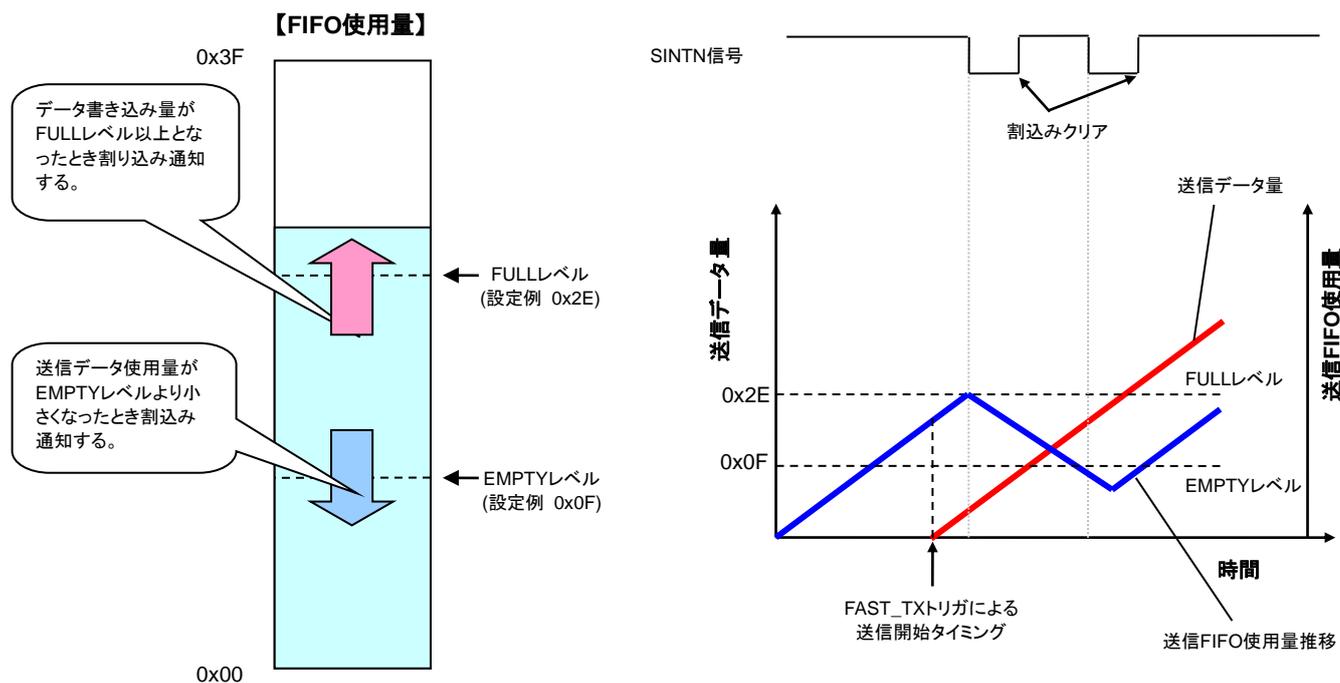
【ご注意】

1. 受信データの読み出しを途中で止めた場合、必ず受信 FIFO クリア([STATE_CLR: B0 0x16])を実行してください。LSI 内部にてデータを管理するポインタが状態を維持してしまい、この状態では次パケットの FIFO 処理が正常に行われなためです。
想定される条件としては、受信 FIFO アクセスエラーの割り込み通知([INT_SOURCE_GRP2: B0 0x0E(4)])を受けて止める場合があります。なお、この割り込み通知は FIFO のオーバーラン(例えば、FIFO に空きがない状態でデータ受信した場合)、またはアンダーラン(例えば、FIFO が空きの状態で受信 FIFO をリードした場合)に発生します。
2. 1 パケットのデータが格納された状態で次のパケットを受信すると FIFO は上書きされます。

FIFO サイズを超えるパケット長の送受信を行う場合、FIFO の FULLトリガ、EMPTYトリガを使用することで FIFO へのライトまたはリード制御が容易に行うことができます。

(1) 送信 FIFO の使用量告知機能の使用方法

本機能は、送信 FIFO の未送信データ量(FIFO 使用量)を割込み通知信号(SINTN)を使用して MCU に通知する機能です。送信 FIFO の使用量(未送信分)が、[TXFIFO_THRH: B0 0x17]で設定した閾値(FULL レベル)以上となったときに割込みにて通知します。また本 LSI がデータを送信し、送信 FIFO の使用量が[TXFIFO_THRL: B0 0x18]で設定した閾値(EMPTY レベル)より小さくなった時に割込みにて通知します。割込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。出力設定は[GPIOD0_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[EXTCLK_CTRL: B0 0x52]を参照してください。

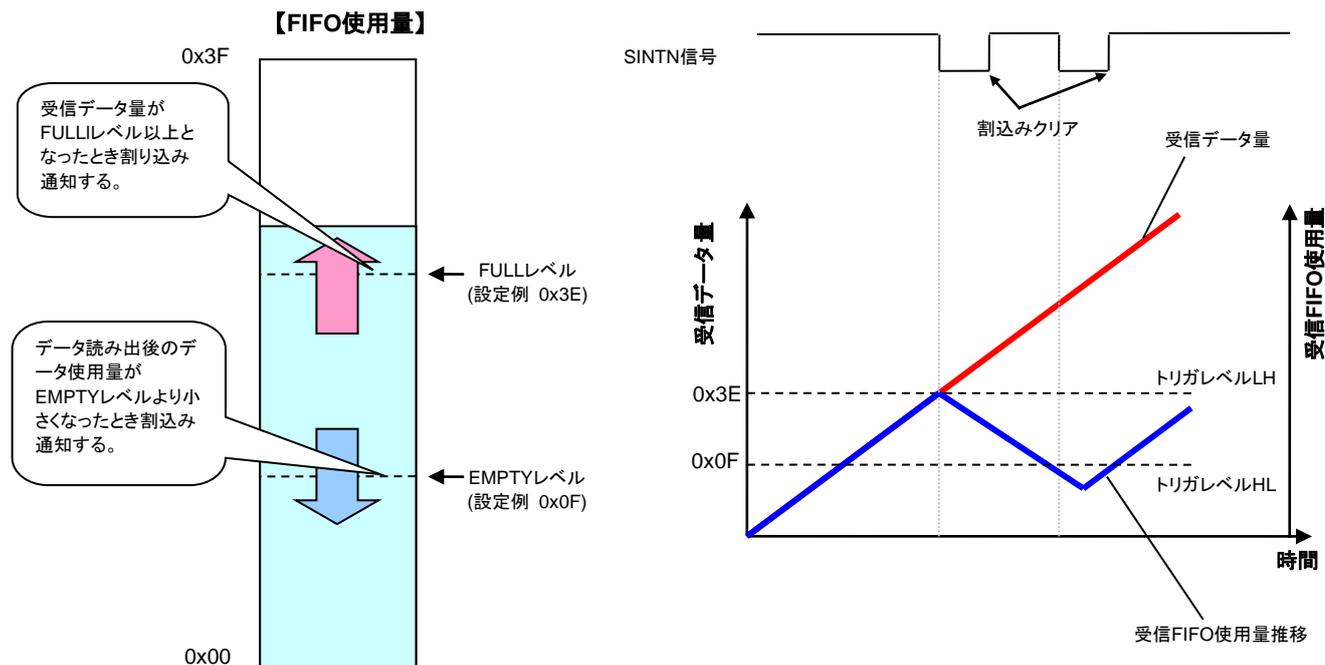


【ご注意】

- [TXFIFO_THRH]と[TXFIFO_THRL]の告知レベルを同じ値に設定せず、必ず[TXFIFO_THRH] > [TXFIFO_THRL]となるよう設定してください。
- LSI 内部の Full 検出状態は Full トリガ([TXFIFO_THRH]) > FIFO 使用量となった場合にクリアされ、次の Full トリガが検出できる状態となります。送信データのリード(PHY)と SPI 経由での FIFO ライトのタイミングによっては、FIFO ライト中に前述クリア条件を満たし、さらに Full トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Full トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO ライト完了後再度トリガレベル設定をイネーブルとしてください。
- LSI 内部の Empty 検出状態は FIFO 使用量 \geq Empty トリガ([TXFIFO_THRL])となった場合にクリアされ、次の Empty トリガが検出できる状態となります。送信データのリード(PHY)と SPI 経由での FIFO ライトのタイミングによっては、FIFO ライト中に前述クリア条件を満たし、さらに Empty トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Empty トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO ライト完了後再度トリガレベル設定をイネーブルとしてください。

(2) 受信 FIFO の使用量告知機能の使用方法

本機能は、送信 FIFO の未読み出しデータ量(FIFO 使用量)を割込み通知信号(SINTN)を使用して MCU に通知する機能です。受信 FIFO の使用量(未読分)が、[RXFIFO_THRH: B0 0x19]で設定した閾値(FULL レベル)以上となったとき割込みにて通知します。また MCU から受信データの読み出しが行われ、受信 FIFO の未読み出しデータ量(FIFO 使用量)が[RXFIFO_THRL: B0 0x1A]で設定した閾値(EMPTY レベル)より小さくなった時に割込みにて通知します。割込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。出力設定は[GPIO0_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[EXTCLK_CTRL: B0 0x52]を参照してください。



【ご注意】

- [RXFIFO_THRH]と[RXFIFO_THRL]の告知レベルを同じ値に設定せず、必ず[RXFIFO_THRH] > [RXFIFO_THRL]となるよう設定してください。
- 内部の Full 検出状態は Full トリガ([RXFIFO_THRH]) > FIFO 使用量となった場合にクリアされ、次の Full トリガが検出できる状態となります。受信データのライト(PHY)と SPI 経由での FIFO リードのタイミングによっては、FIFO リード中に前述クリア条件を満たし、さらに Full トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Full トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO リード完了後再度トリガレベル設定をイネーブルとしてください。
- 内部の Empty 検出状態は FIFO 使用量 \geq Empty トリガ([RXFIFO_THRL])となった場合にクリアされ、次の Empty トリガが検出できる状態となります。受信データのライト(PHY)と SPI 経由での FIFO リードのタイミングによっては、FIFO リード中に前述クリア条件を満たし、さらに Empty トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Empty トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO リード完了後再度トリガレベル設定をイネーブルとしてください。
- 本機能はデータ受信時のみ有効です。受信完了後は FIFO-Empty 割込みは通知されません。

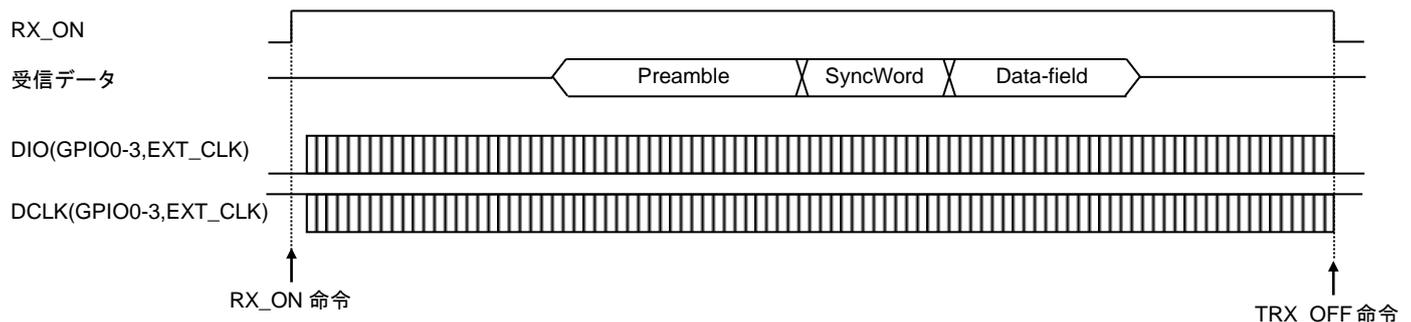
プリアンブルは PB_PAT([DATA_SET1: B0 0x07(7)], TXPR_LEN([TXPR_LEN_H/L: B0 0x42/43])にて設定できます。また、SyncWord は SYNCWORD_SEL([DATA_SET2: B0 0x08(4)], SYNCWORD_LEN([SYNC_WORD_LEN: B1 0x25)、SYNC_WORD_EN*([SYNC_WORD_EN: B1 0x26)、SYNCWORD1_SET([SYNCWORD1_SET3/2/1/0: B1 0x27/28/29/2A)、SYNCWORD2_SET([SYNCWORD2_SET3/2/1/0: B1 0x2B/2C/2D/2E])にて設定できます。

【受信時】

① 常時出力モード

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b01 に設定してください。

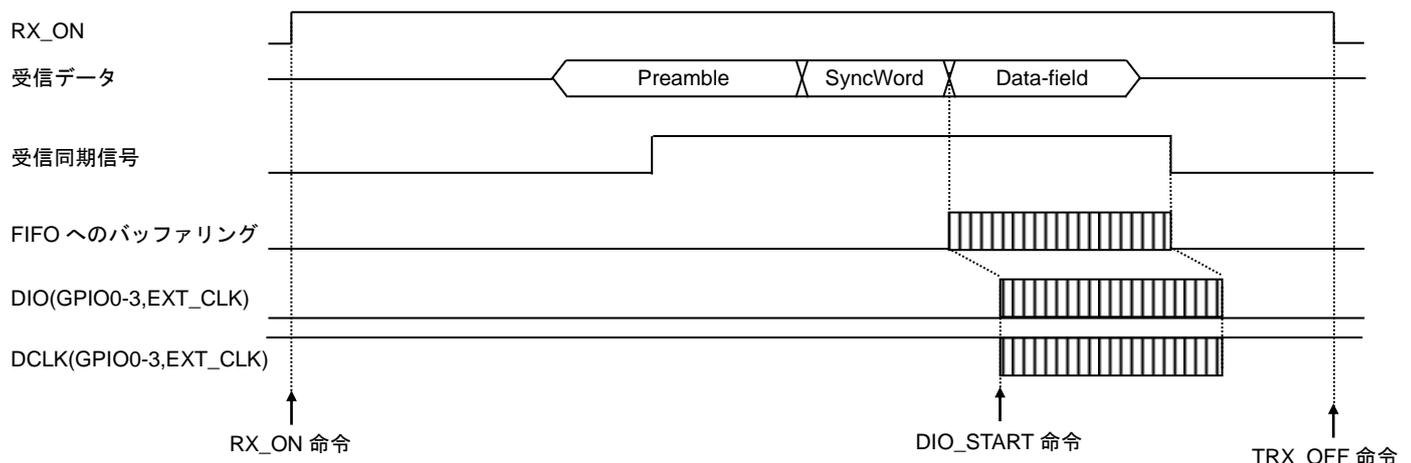
RX_ON 後常時受信クロックが出力されます。受信クロックの立下りに同期して受信データ(復調データ)を DIO 出力設定端子から出力します。FIFO による受信データのバッファリングは行いません。



② データ出力モード 1

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b10 に設定してください。

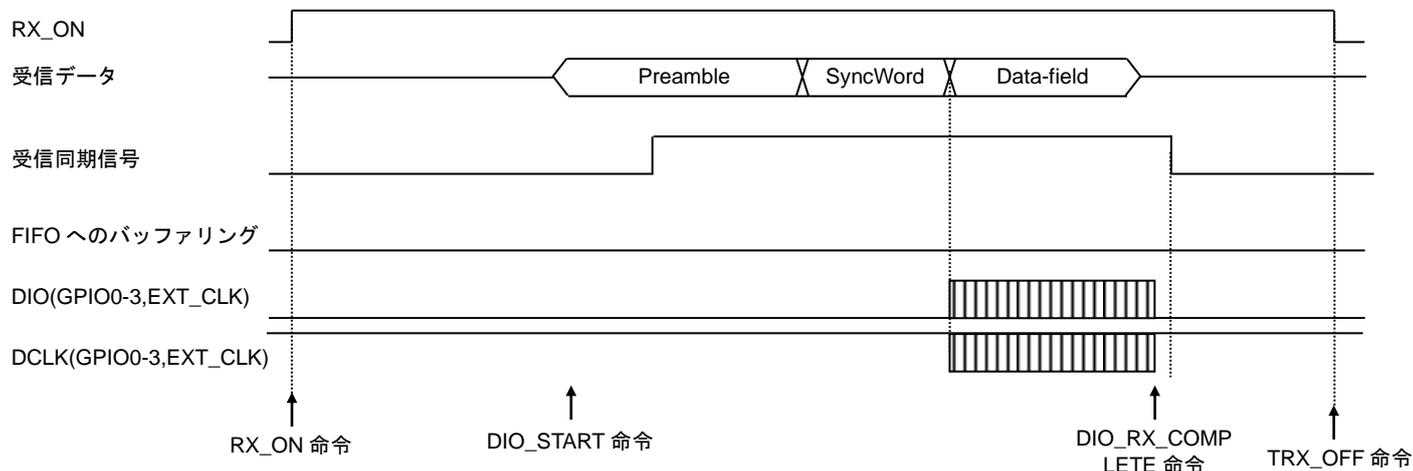
SyncWord 検出後、受信データを FIFO へバッファリング開始し、受信データのバッファリングは受信同期信号(SYNC)が”L”となるまで続きます。受信データ出力設定 DIO_START([DIO_SET: B0 0x0C(0)])により、バッファリングした先頭バイトの受信データから DIO インタフェース(DIO/DCLK)経由で出力されます(受信データは受信クロックの立下りに同期して出力されます)。ただし、64 バイト時間以上経過後に受信データ出力設定した場合、先頭バイトから順に上書きされます。SYNC が”L”となるタイミングまでバッファリングされたデータを全て出力した場合、受信完了とみなし受信完了割込み(INT[8])が発生します。受信完了後、本 LSI は次パケット受信待ち状態へ移行します。



【ご注意】

1. FIFO への受信データバッファリングはバイト単位で行います。DIO_START 命令は SyncWord 検出から 1 バイト以上の時間経過後(1 バイト以上データバッファリング完了後)に発行してください。
2. 本モードは L-field を LSI 内部で判断しないモードであり、Field チェック機能は使用できません。

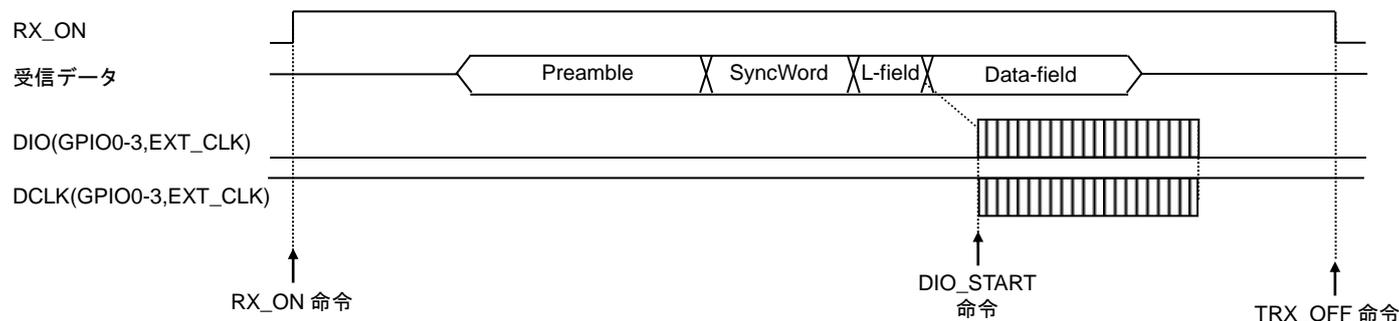
本設定において、SyncWord 検出以前に DIO_START 命令を発行した場合、FIFO でのデータバッファリングはせず、SyncWord 検出以降の受信データ・クロックを出力します。SYNC が”L”となる前に受信を完了する場合、DIO 受信完了設定 (DIO_RX_COMPLETE([DIO_SET: B0 0x0C(2)])を設定することで受信完了とすることができます。この場合、DIO_RX_COMPLETE 設定後、本 LSI は次パケット受信待ち状態へ移行します。



③ データ出力モード 2

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b11 に設定してください。

Data-field のみ受信データを FIFO へバッファリングします。FIFO へのバッファリングは L-field が示す Length 分の受信データをバッファリングします。受信データ出力設定(DIO_START([DIO_SET: B0 0x0C(0)])により、バッファリングした先頭バイトの受信データから DIO インタフェース(DIO/DCLK)経由で出力されます。ただし、64 バイト時間以上経過後に受信データ出力設定した場合、先頭バイトから順に上書きされます。L-field が示す Length 分の受信データを全て出力した場合、受信完了とみなし受信完了割込み(INT[8])を発生します。受信完了後、本 LSI は次パケット受信待ち状態へ移行します。受信した Length 情報は[RX_PKT_LEN_H/L: B0 0x7D/7E]に表示します。本モードは FIFO モード同様にパケット構成を考慮した動作を行いますので、Field チェック機能を使用することができます。



【ご注意】

1. FIFO への受信データバッファリングはバイト単位で行います。DIO_START 命令は SyncWord 検出から L-field 長(レジスタ設定値)+1 バイト以上の時間経過後(1 バイト以上データバッファリング完了後)に発行してください。

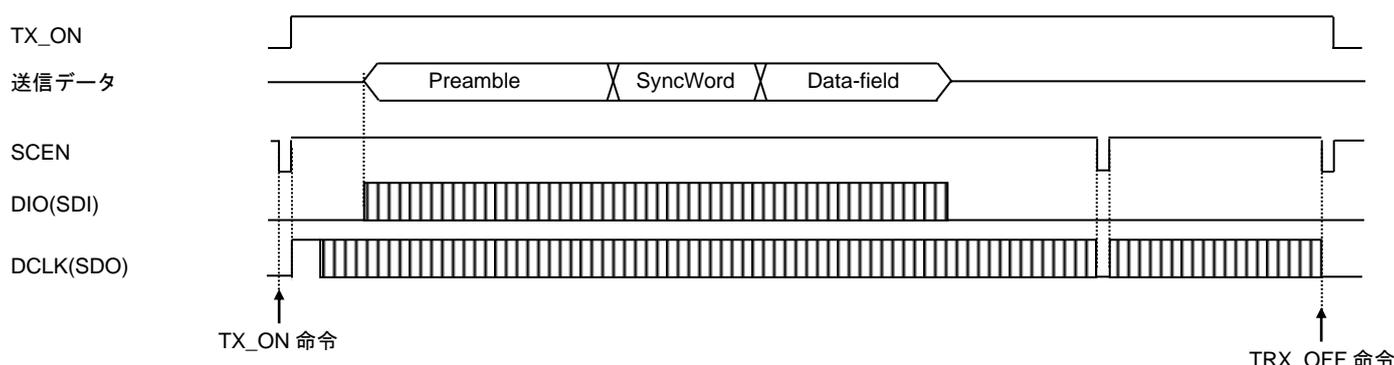
(2) SDI/SDO 端子使用時

SPI インタフェース(SDI/SDO)を使用して送受信データの入出力を行う場合、以下のように DCLK/DIO が制御されます。(図の DIO/DCLK 縦線部分は出力または入力区間を示します。) 各 DIO モードの動作については前章“(1) GPIO*/EXT_CLK 端子使用時”をご参照ください。

【送信時】**① 常時入力モード**

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b01 に設定してください。

TX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x9)後、SCEN が”H”区間で SDO 端子から送信クロックを出力します。SDI 端子から送信データを入力してください。TRX_OFF([RF_STATUS: B0 0x0B(3-0)]=0x8)命令発行後は送信データ/クロックの入出力は無効になります。また、DCLK 出力中の場合でも SCEN が L となった場合、送信クロックの出力は停止します(SPI アクセスが優先されます)。

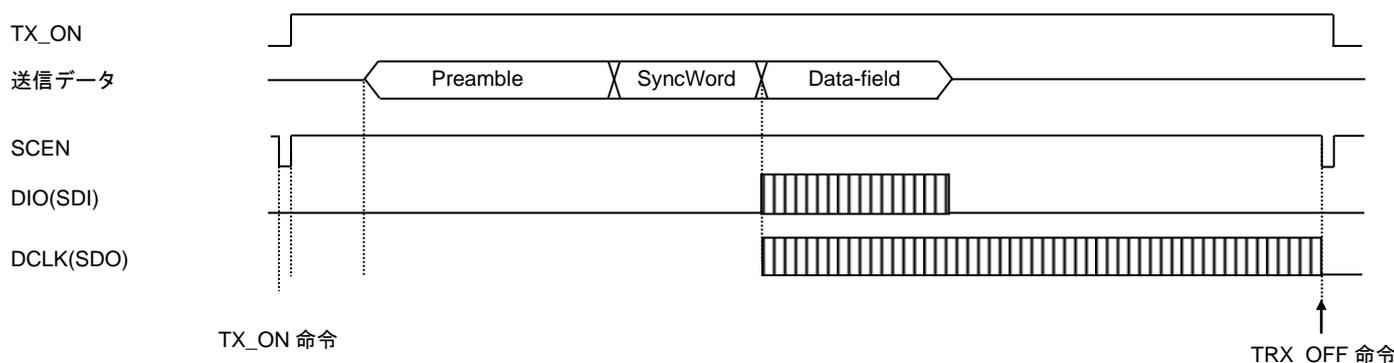
**【ご注意】**

パケット送信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、送信処理は継続します。このとき、送信データのビット抜けが発生しますので、送信完了まで SPI アクセスを行わないでください。

② データ入力モード

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b10 に設定してください。

TX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x9)後、SCEN が”H”区間で SDO 端子から送信クロックを出力します。SDI 端子から送信データの入力してください。TRX_OFF 命令発行後は送信データ/クロックの入出力は無効になります。また、送信クロック出力中の場合でも SCEN が L となった場合、送信クロックの出力は停止します(SPI アクセスが優先されます)。

**【ご注意】**

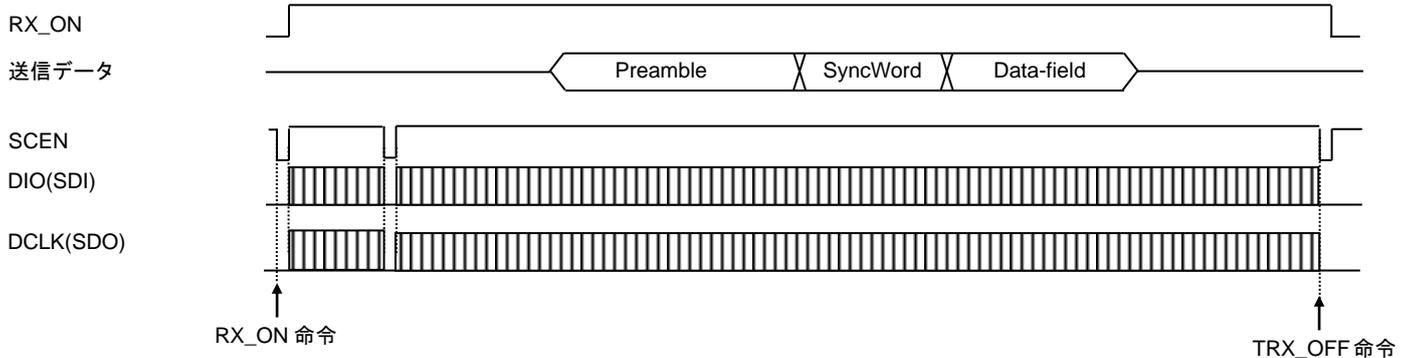
パケット送信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、送信処理は継続します。このとき、送信データのビット抜けが発生しますので、送信完了まで SPI アクセスを行わないでください。

【受信時】

① 常時出力モード

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b01 設定時

RX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x6)後、SCEN が“H”区間において SDO 端子から受信クロック、SDI 端子から受信データを入力します。TRX_OFF 命令発行後は受信データクロックの出力は無効になります。また、受信データクロック出力中の場合でも SCEN が L となった場合、受信データクロックの出力は停止します(SPI アクセスが優先されます)。



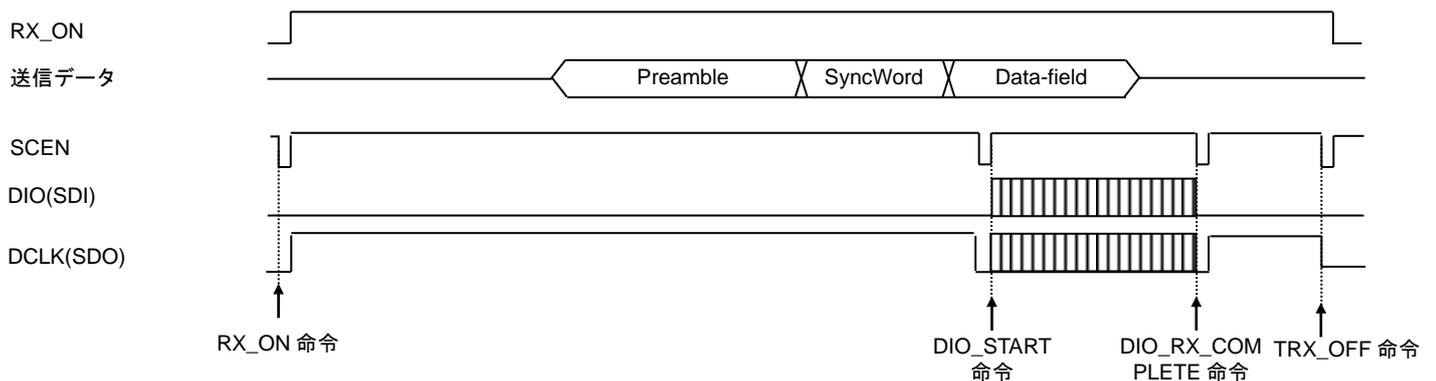
【ご注意】

パケット受信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、受信処理は継続します。このとき、受信データが出力されずビット抜けが発生しますので、受信完了まで SPI アクセスを行わないでください。

② データ出力モード 1 またはデータ出力モード 2

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b10/11 設定にしてください。

RX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x6)後、SCEN が“H”区間において SDO 端子から受信クロック、SDI 端子から受信データを入力します。TRX_OFF 命令発行後は受信データクロックの出力は無効になります。また、受信データクロック出力中の場合でも SCEN が L となった場合、受信データクロックの出力は停止します(SPI アクセスが優先されます)。



【ご注意】

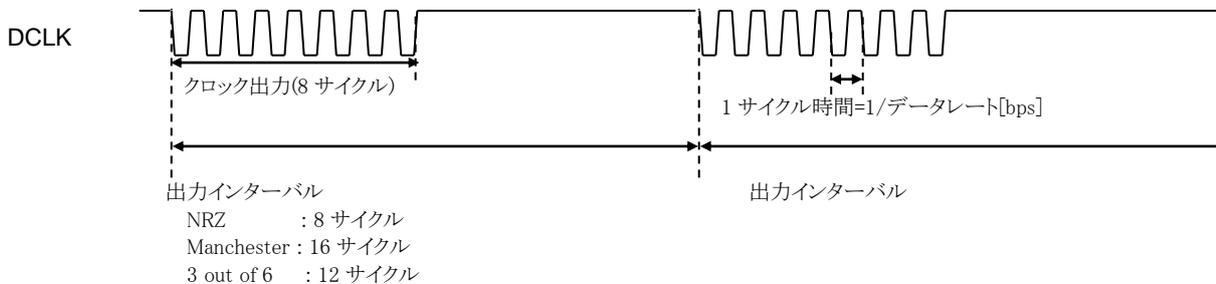
パケット受信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、受信処理は継続します。このとき、受信データが出力されずビット抜けが発生しますので、受信完了まで SPI アクセスを行わないでください。

(3) DCLK 出力方法

DIO モード設定により DCLK の出力方法が異なります。

①データ出力モード 2(RXDIO_CTRL([DIO_SET: 0x0C(7-6)])=0b11 設定時)

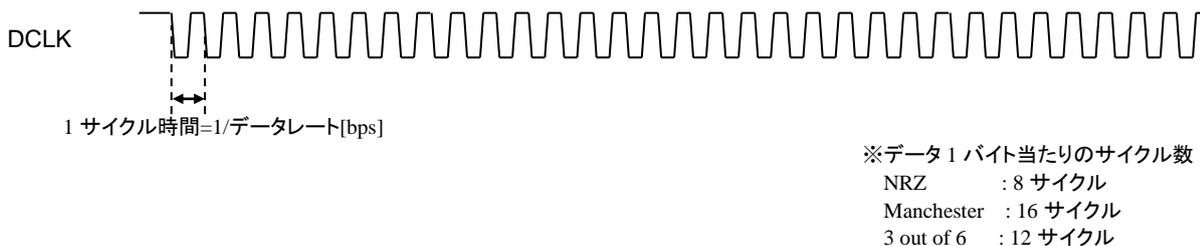
本モードではマンチェスタ、3-out-of-6 復号化後のデータを出力するため、クロック出力インターバルに対するクロック出力区間は符号化方式により異なります。クロック出力区間は以下の通りとなります。



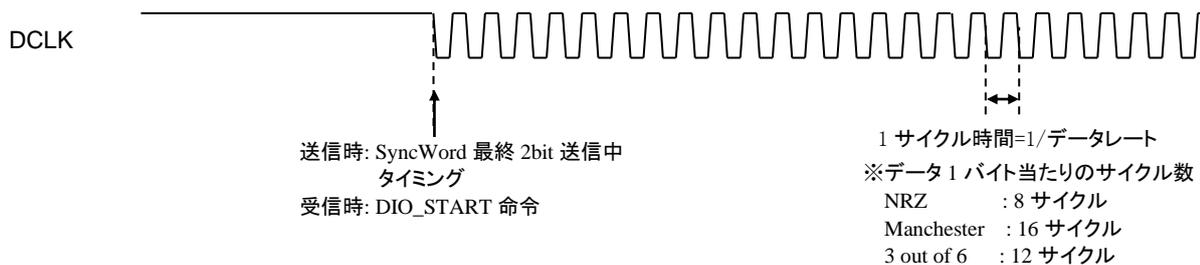
②①以外のモード(受信常時出力モード/データ出力モード 1、送信常時入力モード/データ入力モード)

本モードでは復号前の DIO を入出力するため、符号化方式によらず DCLK が連続して出力されます。

送信常時入力モードまたは受信常時出力モード



送信データ入力モードまたは受信データ出力モード 1



●タイマ機能

○ウェイクアップタイマ

本 LSI はウェイクアップタイマによる自動ウェイクアップ機能をサポートしております。ウェイクアップタイマを用いることで下記に示す動作が可能となります。

- ・タイマ満了後、SLEEP 状態から自動ウェイクアップします。ウェイクアップ後の動作は WAKEUP_MODE([SLEEP/WU_SET: B0 0x2D(6)])で RX_ON 状態または TX_ON 状態のいずれかへの状態変更が選択可能です。
- ・WUT_1SHOT_MODE ([SLEEP/WU_SET: B0 0x2D(7)])でウェイクアップ動作を繰り返し行う(インターバル動作)か、または 1 回のみ(1 ショット動作)行うかの選択が可能です。
- ・インターバル動作設定時にウェイクアップタイマにより TX_ON/RX_ON へ状態遷移したとき、動作継続タイマが動作します。
- ・ウェイクアップにより RX_ON へ状態遷移後、動作継続タイマ満了時には、自動的に SLEEP 状態へ移行します。ただし、動作継続タイマ動作中に SyncWord を検出した場合、RX_ON 状態を継続します。このとき自動で SLEEP 状態へは遷移しませんので、SLEEP 設定(SLEEP_EN ([SLEEP/WU_SET: B0 0x2D(0)])=0b1)を行ってください。ただし、RXDONE_MODE[1:0] ([RF_STATUS_CTRL :B0 0x0A (3-2)])=0b11 に設定している場合は、受信完了した場合に自動で SLEEP 状態へ遷移します。
動作継続タイマ満了時の受信継続判断を RCV_CONT_SEL([M_CHECK_CTRL: B0 0x1C(5:4)])により SyncWord 検出時、Field チェック検出、同期検出時から選択できます。
- ・ウェイクアップにより TX_ON へ状態遷移し、動作継続タイマ動作満了時に IDLE 状態(送信完了)であった場合、自動的に SLEEP に戻ります。送信中であった場合は TX_ON 状態を継続します。このとき自動で SLEEP 状態へ遷移しませんので、SLEEP 設定(SLEEP_EN ([SLEEP/WU_SET: B0 0x2D(0)])=0b1)を行ってください。
- ・高速電波チェックモードとの組み合わせにてウェイクアップ後、CCA を自動発行し、IDLE を検出した場合、即座に SLEEP に移行することが可能です。詳細は(3) 高速電波チェックモードとの組合せを参照してください。
- ・ウェイクアップタイマ用のクロックソースは、WUT_CLK_SOURCE([SLEEP/WU_SET: B0 0x2D(2)])で EXT_CLK 端子からの入力、もしくは内蔵 RC 発振回路を選択することが可能です。

ウェイクアップ間隔、ウェイクアップタイマ間隔および動作継続タイマの動作時間は下式の通り設定可能です。

ウェイクアップ間隔[s] = ウェイクアップタイマ間隔[s] + 動作継続タイマ稼働時間[s]

ウェイクアップタイマ間隔[s] = ウェイクアップタイマ用クロック周期 *
分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) *
(ウェイクアップタイマ間隔設定([WUT_INTERVAL_H/L: B0 0x2F/0x30]) + 1)

動作継続タイマ稼働時間[s] = ウェイクアップタイマ用クロック周期 *
分周設定([WUT_CLK_SET: B0 0x2E(7-4)]) *
(動作継続タイマ稼働時間設定 ([WU_DURATION: B0 0x31]) - 1)

【ご注意】

- ・ウェイクアップ後 TX_ON へ遷移させる場合、送信中であってもタイマ満了時に SLEEP へ戻ります。動作継続タイマは送信完了後にタイマ満了となるように設定してください。
- ・分周設定の WUDT_CLK_SET ([WUT_CLK_SET: B0 0x2E(7-4)])と WUT_CLK_SET ([WUT_CLK_SET: B0 0x2E(3-0)])は独立して設定可能です。ただし、動作継続タイマを使用する場合は、WUDT_CLK_SET と WUT_CLK_SET は同じ設定にしてください。
- ・ウェイクアップタイマ設定間隔([WUT_INTERVAL_H/L: B0 0x2F/0x30])の最小設定は 0x02 となります。また動作継続タイマ稼働時間設定([WU_DURATION: B0 0x31])の最小設定は 0x01 となります。ただし、動作継続タイマは、ウェイクアップによるクロック安定化割込み(INT[0])([INT_SOURCE_GRP1: B0 0x0D(0)])が通知された後にタイマ満了になるようタイマ値を設定してください。
- ・RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])=0b01 に設定した DIO モードの受信では SyncWord 検出を行わないため、動作継続タイマ満了後 SLEEP 状態へ強制的に移行してしまいます。

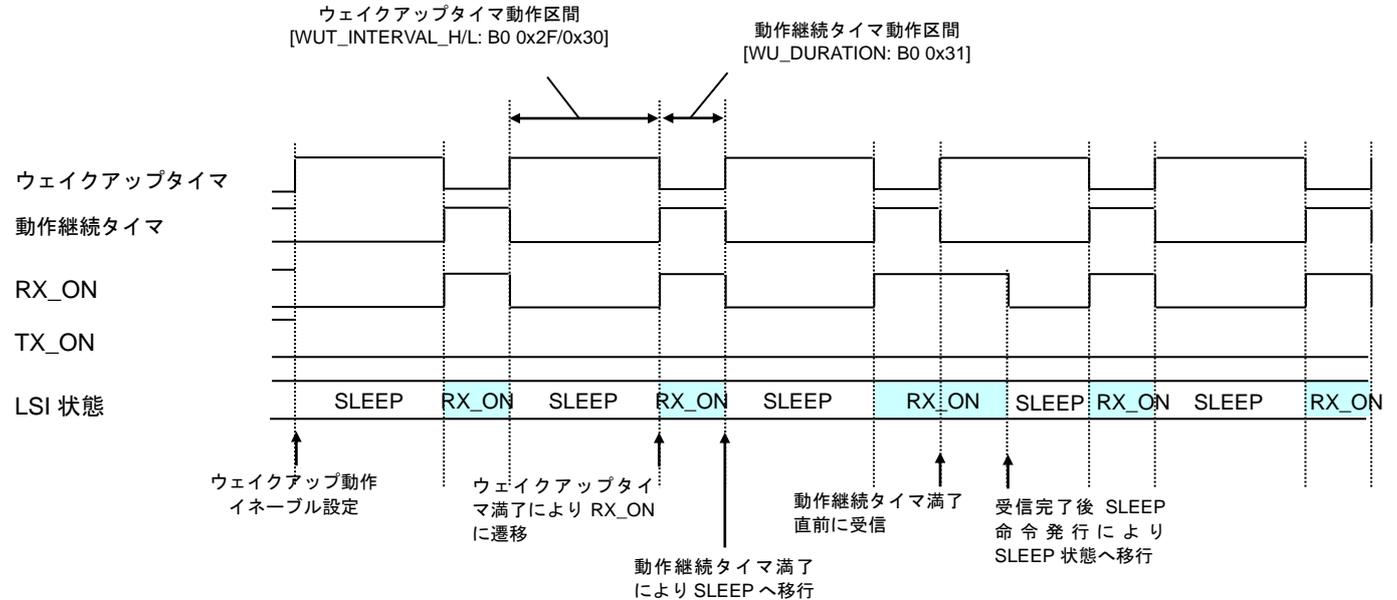
- ・タイマ動作により本 LSI が自律的に SLEEP 状態に遷移しますが、SLEEP 遷移タイミングと SPI アクセスが重なった場合、SPI アクセスは無効になります。SLEEP 遷移タイミングと SPI アクセスが重ならないよう制御してください。

(1) インターバル動作

① 受信時

ウェイクアップ後、RX_ON 状態とします。SyncWord 検出前に動作継続タイマが満了した場合、自動で SLEEP に戻ります。SyncWord を検出した場合は、RX_ON を継続します。受信完了後は、RXDONE_MODE[1:0] ([RF_STATUS_CTRL: B0 0x0A(3-2)])に従って動作します。また、SLEEP_EN(SLLEP/WU_SET:B0 0x2D(0))=0b1 を設定して SLEEP 状態へ遷移させることができます。

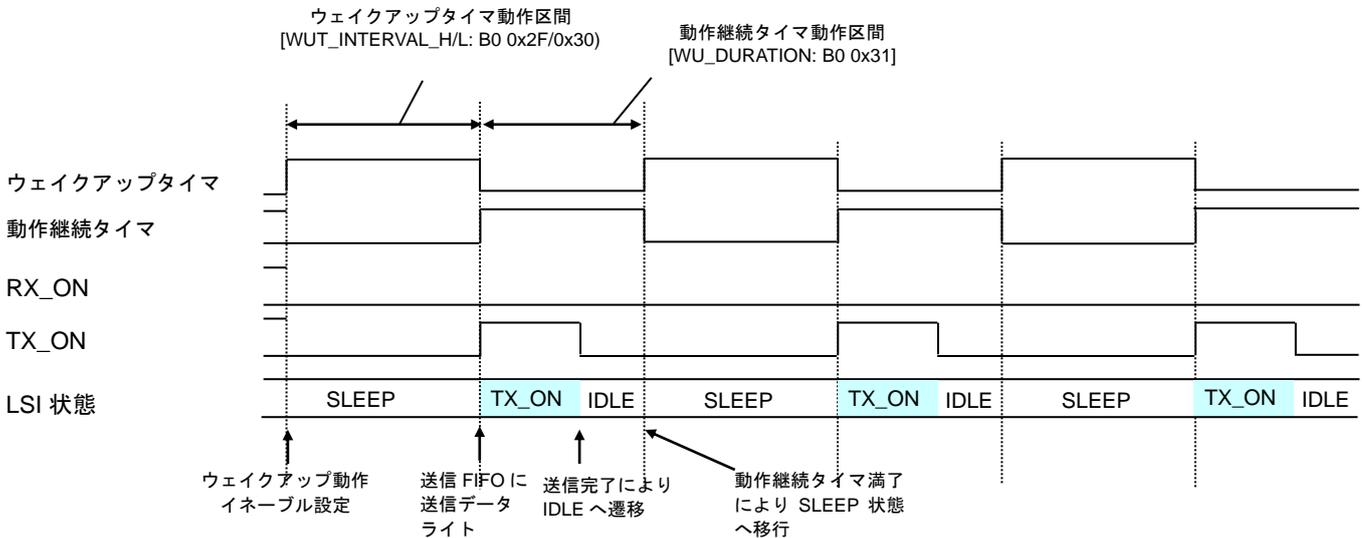
[SLEEPWU_SET: B0 0x2D(6-4)]=0b011 設定時



② 送信時

ウェイクアップ後、TX_ON 状態とします。送信完了後、TXDONE_MODE[1:0] ([RF_STATUS_CTRL: B0 0x0A(1-0)])に従って動作します。動作継続タイマが満了した場合、SLEEP に戻ります。従いまして、動作継続タイマは必ず送信完了後にタイマ満了となるように設定してください。

[SLEEPWU_SET: B0 0x2D(6-4)]=0b111 設定時

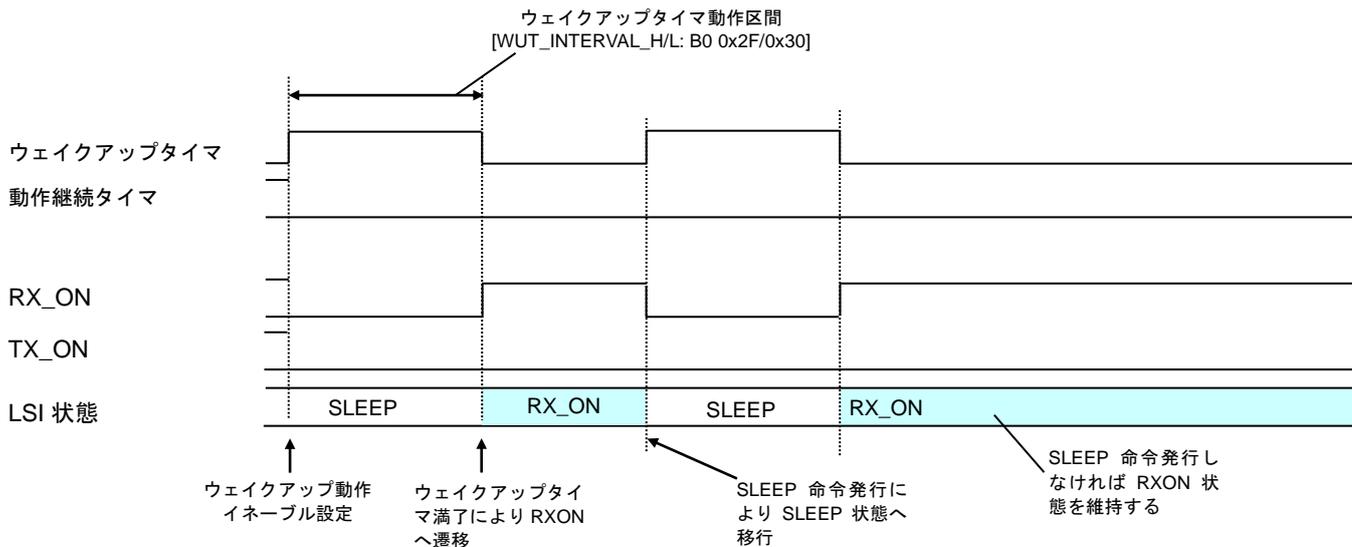


(2) 1 ショット動作

①受信時

ウェイクアップタイム満了後、RX_ON 状態へ遷移します。その後、RX_ON を継続します。SLEEP 命令発行により SLEEP 状態へ移行します。ウェイクアップタイム設定間隔([WUT_INTERVAL_H/L: B0 0x2F/0x30])は維持されますので SLEEP 命令発行後、1 ショット動作が再起動いたします。SLEEP 状態へ移行する前には、ウェイクアップ割込み([INT_SOURCE_GRP1: B0 0x0D(6)])をクリアしてください。ウェイクアップ割込みをクリアしない場合は、自動で RX_ON 状態へ遷移しません。RX_ON 中に受信完了すると RXDONE_MODE[1:0] ([RF_STATUAS_CTRL:B0 0x0A (3-2)])に従って遷移します。送信時も同様の動作となります。

[SLEEP/WU_SET: B0 0x2D(7-4)]=0b1001 設定時

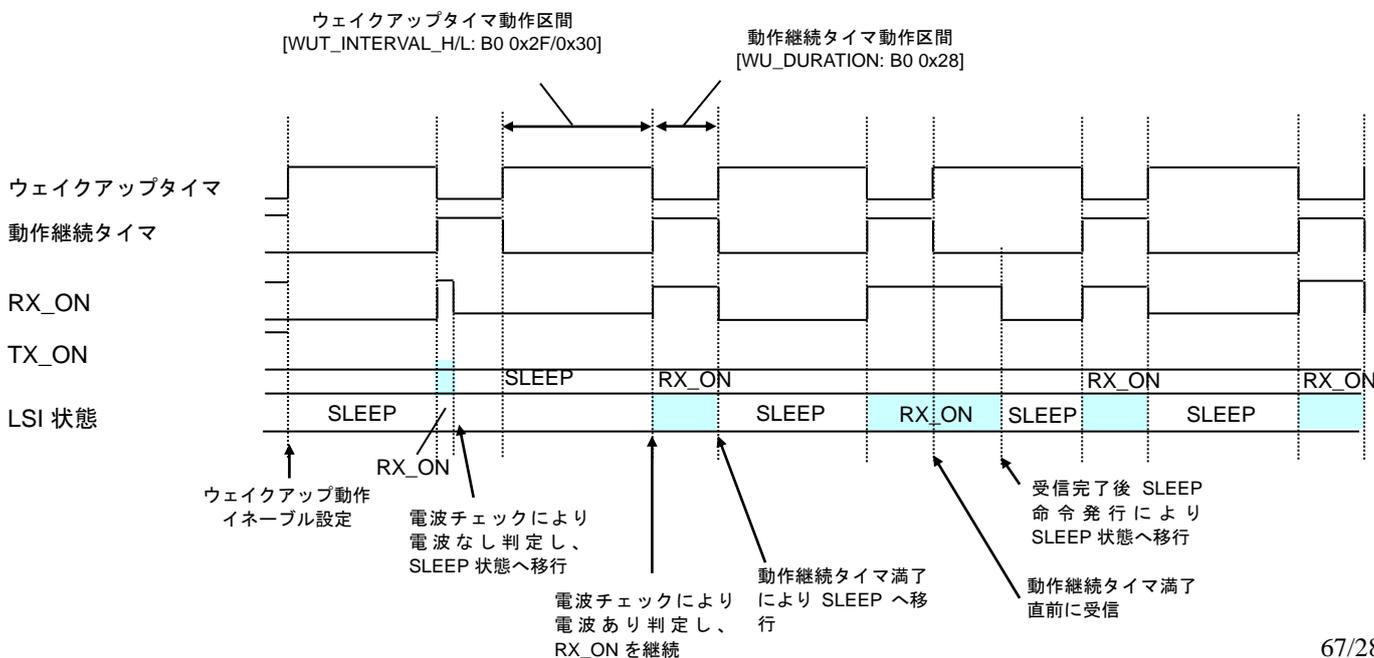


(3) 高速電波チェックモードとの組合せ

①インターバル動作

ウェイクアップタイム満了後、RX_ON 状態へ遷移します。その後、CCA を行い電波チェックを実施します。電波なしと判定した場合、SLEEP 状態へ自動で移行します。電波ありと判定した場合は受信状態を継続し、SyncWord 検出を実施します。SyncWord 検出前に動作継続タイムが満了した場合、自動で SLEEP に戻りますが、SyncWord を検出した場合は、RX_ON を継続します。

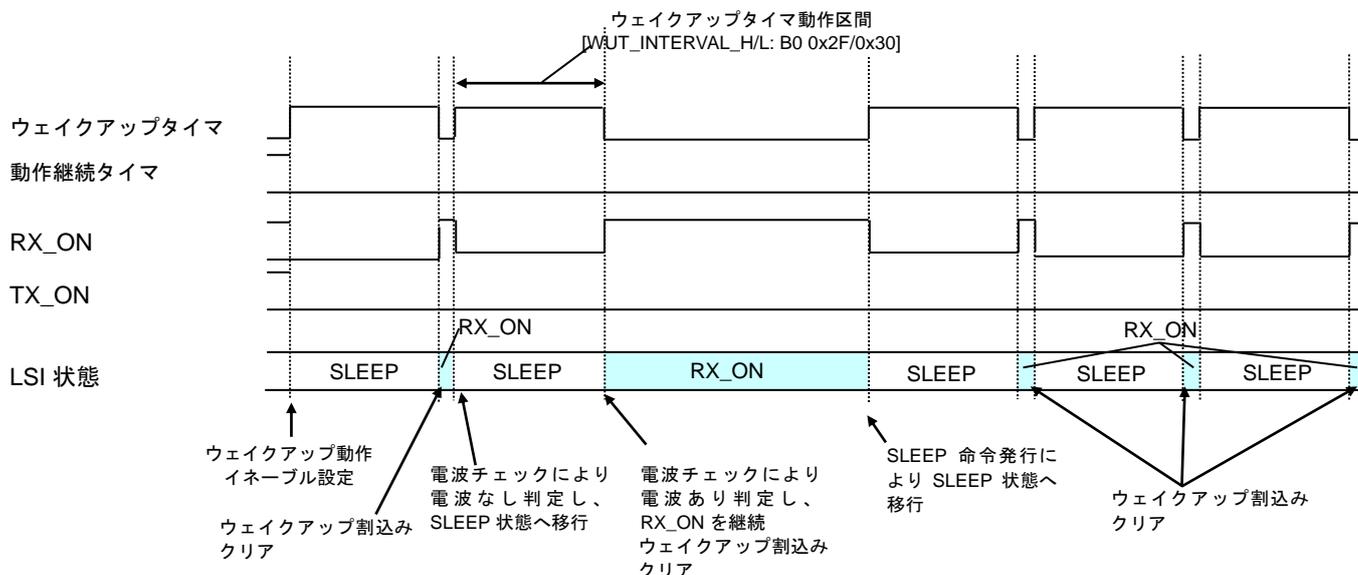
[SLEEP/WU_SET: B0 0x2D(7-4)]=0b0011
FAST_DET_MODE_EN([CCA_CTRL: B0 0x39(3)])=0b1 設定時



②1 ショット動作

ウェイクアップタイマ満了後、RX_ON 状態へ遷移します。その後、CCA を行い電波チェックを実施します。電波なしと判定した場合、SLEEP 状態へ自動で移行します。電波なしと判定した場合にウェイクアップタイマ間隔で SLEEP から復帰させる場合、SLEEP へ移行する前にウェイクアップ割込み(INT_SOURCE_GRP1: B0 0x0D(6))をクリアしてください。ウェイクアップ割込みをクリアしない場合は、自動で RX_ON 状態へ遷移しません。電波ありと判定した場合は受信状態を継続します。再度 SLEEP 状態とする場合は、SLEEP 設定を行います。

[SLEEPWU_SET: B0 0x2D(7-4)]=0b1001
FAST_DET_MODE_EN([CCA_CTRL: B0 0x39(3)])=0b1 設定時



○汎用タイマ

本 LSI は汎用タイマ機能をサポートします。2 系統のタイマを用意し、タイマに使用するクロックソースの選択、タイマ設定が可能です。また、本タイマは 1 ショット動作し、タイマ満了後割込み(INT[22]または INT[23]:割り込みグループ 3)にて通知します。

汎用タイマのタイマ間隔は下式の通り設定可能です。

$$\text{汎用タイマ間隔[sec]} = \text{汎用タイマ用クロック周期} * \text{分周設定}([\text{GT_CLK_SET: B0 0x33}]) * \text{汎用タイマ間隔設定}([\text{GT1_TIMER: B0 0x34}]\text{または}[\text{GT2_TIMER: B0 0x35}])$$

汎用タイマ用クロックは、GT2/1_CLK_SOURCE [GT_SET: B0 0x32(5,1)]でウェイクアップタイマ用クロック、2MHz から選択可能です。

●周波数設定機能

○チャンネル周波数の設定

CH#0 から CH#255 までの最大 256 個のチャンネル周波数を設定することができます。送受信周波数に関する設定は以下のレジスタにより設定可能です。

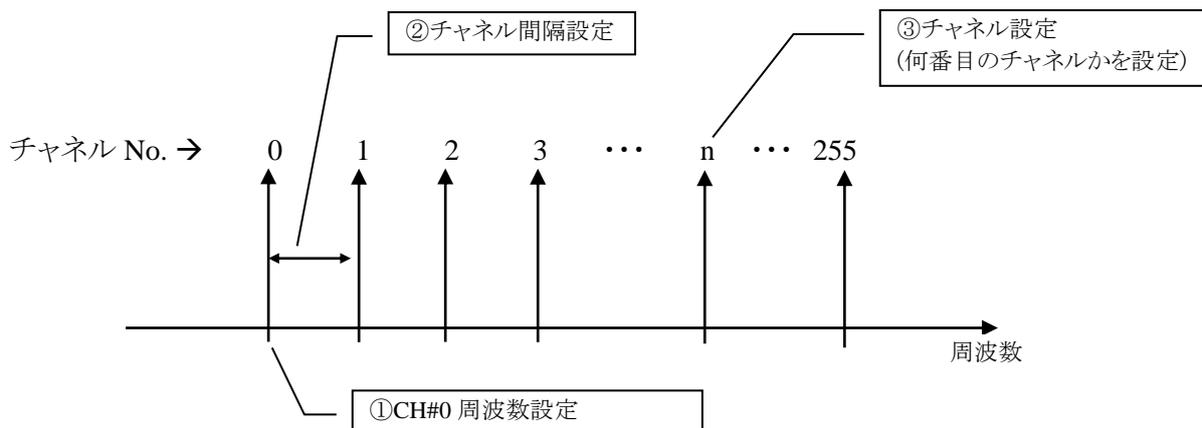
| 設定周波数 | | レジスタ |
|----------|-----|---|
| CH#0 周波数 | 送信用 | [TXFREQ_I: B1 0x1B]、[TXFREQ_FH: B1 0x1C]、[TXFREQ_FM: B1 0x1D]および [TXFREQ_FL: B1 0x1E] |
| | 受信用 | [RXFREQ_I: B1 0x1F]、[RXFREQ_FH: B1 0x20]、[RXFREQ_FM: B1 0x21]および [RXFREQ_FL: B1 0x22] |
| チャンネル間隔 | - | [CH_SPACE_H: B1 0x23]および[CH_SPACE_L: B1 0x24] |
| チャンネル設定 | - | [CH_SET: B0 0x09] |
| PLL 分周設定 | - | [PLL_DIV_SET: B1 0x1A] |

【チャンネル周波数設定】

上記レジスタ設定より、チャンネル周波数は下式により決定されます。

$$\text{チャンネル周波数} = \text{CH\#0 周波数} + \text{チャンネル間隔} * \text{チャンネル設定}$$

【チャンネル周波数設定のイメージ】



RF 周波数(各周波数帯毎)に応じて PLL 分周設定を以下の通り設定して下さい。

| PLL 分周設定 [PLL_DIV_SET: B1 0x1A] | | |
|---------------------------------|----------------|----------------|
| 169MHz 帯(*1) | 433MHz 帯 | 868/920MHz 帯 |
| 0x01 (6 分周) | 0x02 (2 分周) | 0x00 (1 分周) |

(*1) ML7345D では設定禁止

【ご注意】

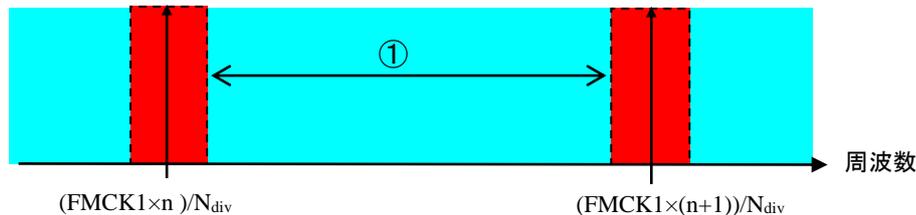
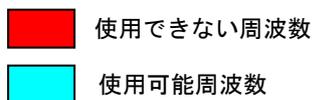
- (1) 使用するチャンネル周波数は以下の条件を満足しなければなりません。次式を満足しない場合はチャンネル#0周波数設定を変更するか、または他のチャンネルを使用してください。なお、上式を満足しない状態では期待するチャンネル周波数とならない、またはPLLがロックせず正常動作しませんのでご注意ください。

FMCK1: マスタークロック周波数

$N_{div} = 1, 2, 6$: PLL_MODE45 設定時(B1 0x1A (1-0))

$$(FMCK1 * n + 1MHz) / N_{div} \leq \text{使用チャンネル周波数} \leq (FMCK1 * (n+1) - 1MHz) / N_{div} \quad ※n=\text{整数}$$

イメージ図



(上記①の範囲の計算例)

1分周モード($N_{div}=1$)、マスタークロック 24MHz、 $n=16$ の場合

$$(24MHz \times 16 + 1)MHz \leq \text{使用チャンネル周波数} \leq (24MHz \times (16+1) - 1)$$

$$\Rightarrow 385MHz \leq \text{使用チャンネル周波数} \leq 407MHz$$

となります。

- (2) CH#0 周波数およびチャンネル間隔設定はそれぞれ誤差を含むため、チャンネル周波数は次式で示す周波数誤差を生じます。

$$\text{チャンネル周波数誤差[Hz]} = \text{CH\#0 周波数誤差[Hz]} + \text{チャンネル間隔設定誤差[Hz]} * \text{チャンネル設定}$$

CH#0 周波数を変更せずチャンネル設定のみを大きくした場合、チャンネル周波数誤差が大きくなります。チャンネル周波数誤差が大きくなった場合、CH#0 周波数を変更してください。

- (3) チャンネル周波数(=CH#0 周波数+チャンネル間隔×チャンネル設定)設定値が、整数部および小数部(「チャンネル#0 周波数の設定」参照)からなる計 26bit が、最大値 0x3FF_FFFF を超えた場合、期待するチャンネル周波数は得られません。最大値を考慮し、チャンネル#0 周波数、チャンネル間隔、チャンネル設定の値を決定してください。

(1) チャンネル#0 周波数の設定

[TXFREQ_I: B1 0x1B]、[TXFREQ_FH: B1 0x1C]、[TXFREQ_FM: B1 0x1D]および[TXFREQ_FL: B1 0x1E]にて送信周波数周波数を、[RXFREQ_I: B1 0x1F]、[RXFREQ_FH: B1 0x20]、[RXFREQ_FM: B1 0x21]および[RXFREQ_FL: B1 0x22]にて受信周波数を設定することができます。

チャンネル#0 周波数設定は次式にて求められます。

$$I = \frac{f_{rf}}{f_{ref} / N_{div}} \text{ の整数部分}$$

$$F = \left\{ \frac{f_{rf}}{f_{ref} / N_{div}} - I \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで、

| | |
|-----------|--|
| f_{rf} | : チャンネル#0 周波数 |
| f_{ref} | : PLL リファレンス周波数 (= マスタークロック周波数: FMCK1) |
| I | : 整数部周波数設定 |
| F | : 小数部周波数設定 |
| N_{div} | : 分周設定 |

I を 16 進に変換した値を [TXFREQ_I: B1 0x1B]、[RXFREQ_I: B1 0x1F] に設定します。また、 F を 16 進に変換した値を次のようにレジスタに設定します。送信では MSB から [TXFREQ_FH: B1 0x1C]、[TXFREQ_FM: B1 0x1D]、[TXFREQ_FL: B1 0x1E] の順で設定します。受信では MSB から [RXFREQ_FH: B1 0x20]、[RXFREQ_FM: B1 0x21]、[RXFREQ_FL: B1 0x22] の順で設定します。 N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

周波数誤差 f_{err} は下式で求められます。

$$f_{err} = \left\{ I + \frac{F}{2^{20}} \right\} \cdot (f_{ref} / N_{div}) - f_{rf}$$

例) CH#0 送信周波数 f_{rf} = 426MHz を設定する場合 (マスタークロック 24MHz、 N_{div} = 2 時)、以下のようになります。

$$I = \frac{426MHz}{(24MHz/2)} \text{ の整数部} = 35(0x23)$$

$$F = \left\{ \frac{426MHz}{(24MHz/2)} - 35 \right\} \cdot 2^{20} \text{ の整数部} = 524288(0x80000)$$

| | |
|------------------------|------|
| [TXFREQ_I: B1 0x1B] = | 0x23 |
| [TXFREQ_FH: B1 0x1C] = | 0x08 |
| [TXFREQ_FM: B1 0x1D] = | 0x00 |
| [TXFREQ_FL: B1 0x1E] = | 0x00 |

となります。

周波数誤差 f_{err} は次のようになります。

$$f_{err} = \left\{ 35 + \frac{524288}{2^{20}} \right\} \cdot (24MHz/2) - 426MHz = 0Hz$$

(2) チャンネル間隔の設定

[CH_SPACE_H: B1 0x23]と[CH_SPACE_L: B1 0x24]を使用してチャンネル間隔を設定することができます。以下の式で計算されるチャンネル間隔を 16 進に変換し MSB から[CH_SPACE_H: B1 0x23]、[CH_SPACE_L: B1 0x24]の順で設定します。

チャンネル間隔とは、あるチャンネルの中心周波数とそのチャンネルと隣接するチャンネルの中心周波数の間隔です。

[CH_SPACE_H: B1 0x23]、[CH_SPACE_L: B1 0x24]の設定値は、下記の式で求められます。

$$CH_SPACE = \left\{ \frac{f_{sp}}{f_{ref} / N_{div}} \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで

CH_SPACE : チャンネルスペース設定

f_{sp} : チャンネルスペース[Hz]

f_{ref} : PLL リファレンス周波数 (=マスタークロック周波数: FMCK1)

N_{div} : 分周設定

N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

例) CH 間隔 25kHz の設定の場合 (マスタークロック 24MHz、 $N_{div}=2$ 時)、以下のようになります。

$$CH_SPACE = \left\{ \frac{0.025MHz}{24MHz/2} \right\} \cdot 2^{20} \text{ の整数部分} = 2184(0x0888)$$

[CH_SPACE_H: B1 0x23] = 0x08

[CH_SPACE_L: B1 0x24] = 0x88

となります。

○IF 周波数の設定

IF 周波数は[IF_FREQ: B0 0x61]にて設定します。IF 周波数設定値と IF 周波数との関係は下表の通りとなります。

| IF 周波数設定 [IF_FREQ: B0 0x61] | IF 周波数(*1) |
|--------------------------------|------------|
| 0b000 | 125kHz |
| 0b001 | 109.375kHz |
| 0b010 | 93.75kHz |
| 0b011 | 78.125kHz |
| 0b100 | 62.5kHz |
| 0b101 | 設定禁止 |
| 0b110 | 設定禁止 |
| 0b111 | 0kHz |

(*1) IF 周波数はマスタークロック 24MHz 使用時の値です。24MHz 以外のマスタークロックを使用時は、24MHz からの周波数変化量に応じて IF 周波数が変わります。

ML7345D のみ通常受信時と CCA 時で IF 周波数を個別に設定可能です。CCA 時の IF 周波数は IF_FREQ_CCA([IF_FREQ: B0 0x61(6-4)])の設定値が適用されます。

○変調の設定

(1) GFSK 変調の設定

GFSK モードを使用する場合は、GFSK_EN([DATA_SET1: B0 0x07(4)])=0b1 を設定してください。GFSK 変調では周波数偏位を[GFSK_DEV_H: B1 0x30]と[GFSK_DEV_L: B1 0x31]レジスタで、またガウシアンフィルタのフィルタ係数を[FSK_DEV0_H/ GFIL0: B1 0x32]から[FSK_DEV3_H: B1 0x38]のレジスタを使用して設定することができます。2 値 FSK/4 値 FSK は FSK_SEL[DATA_SET2: B0 0x08(5)]により選択可能です。

① GFSK 周波数偏位の設定

F_DEV の設定値は、下記の式で求められます。

$$F_DEV = \left\{ \frac{f_{dev}}{f_{ref} / N_{div}} \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで

f_{dev} : 周波数偏位[Hz]

f_{ref} : PLL リファレンス周波数 (=マスタークロック周波数: FMCK1)

N_{div} : 分周設定

N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

4 値 GFSK の場合は、最大周波数偏位の値を設定してください。

例) 周波数偏位=2.4kHz を設定する場合、 $f_{REF} = 24\text{MHz}$ 、 $N_{div}=2$ 時の設定値は以下のようになります。

$$F_DEV = \{0.0024\text{MHz} \div (24\text{MHz}/2)\} \times 2^{20} \text{ の整数部分} = 209(0x00D1)$$

この場合、[GFSK_FDEV_H/L: B1 0x30/31]には以下のように設定してください。

[GFSK_DEV_H: B1 0x30] = 0x00

[GFSK_DEV_L: B1 0x31] = 0xD1

② ガウシアンフィルタの設定

GFSK モードは GFSK_EN([DATA_SET1: B0 0x07(4)])=0b1 にて設定することができます。

ガウシアンフィルタの BT 値は以下レジスタにて設定可能です。

BT 値とレジスタ設定と関係を以下に示します。

| レジスタ | BT 値 | |
|-----------------------------|------|------|
| | 0.5 | 1.0 |
| [FSK_DEV0_H/GFIL0: B1 0x32] | 0x24 | 0x00 |
| [FSK_DEV0_L/GFIL1: B1 0x33] | 0xD6 | 0x00 |
| [FSK_DEV1_H/GFIL2: B1 0x34] | 0x19 | 0x02 |
| [FSK_DEV1_L/GFIL3: B1 0x35] | 0x29 | 0x0C |
| [FSK_DEV2_H/GFIL4: B1 0x36] | 0x3A | 0x31 |
| [FSK_DEV2_L/GFIL5: B1 0x37] | 0x48 | 0x74 |
| [FSK_DEV3_H/GFIL6: B1 0x38] | 0x4C | 0x9A |

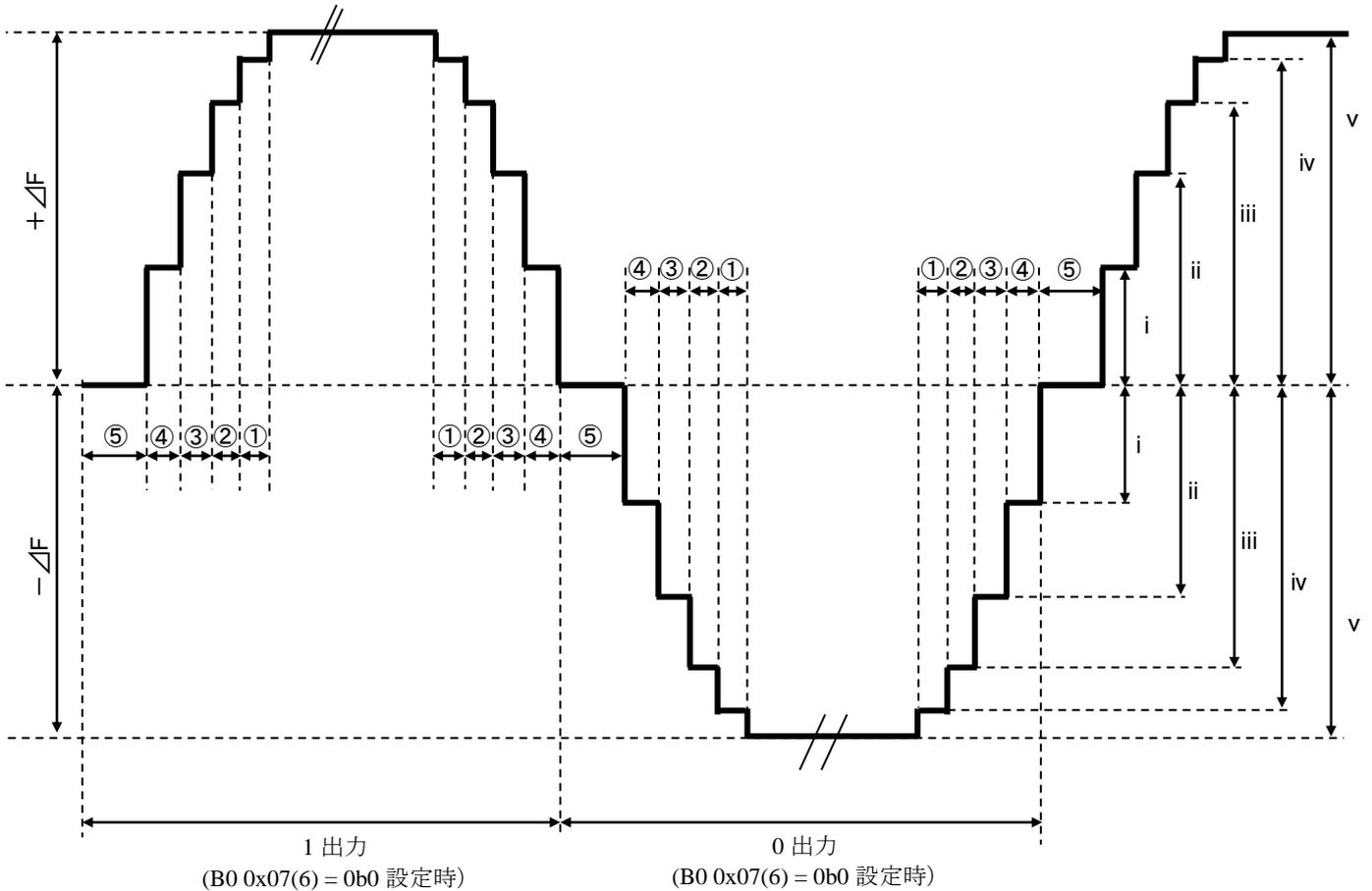
【ご注意】

GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数を、FSK モード時は周波数偏位を適切に設定してください。

(2) FSK 変調の設定

FSK モードは GFSK_EN([DATA_SET1: B0 0x07(4)])=0b0 により設定することが可能です。また、[FSK_DEV0_H/GFIL0: B1 0x32]から[FSK_DEV4_L: B1 0x3B]を設定することで詳細な周波数偏位量を設定できます。また、[FSK_TIM_ADJ4: B1 0x3C]から[FSK_TIM_ADJ0: B1 0x40]の設定値を変えることで、FSK の時間方向の詳細なタイミングを設定できます。2 値 FSK/4 値 FSK は FSK_SEL[DATA_SET2: B0 0x08(5)]により選択可能です。

[2FSK の場合]

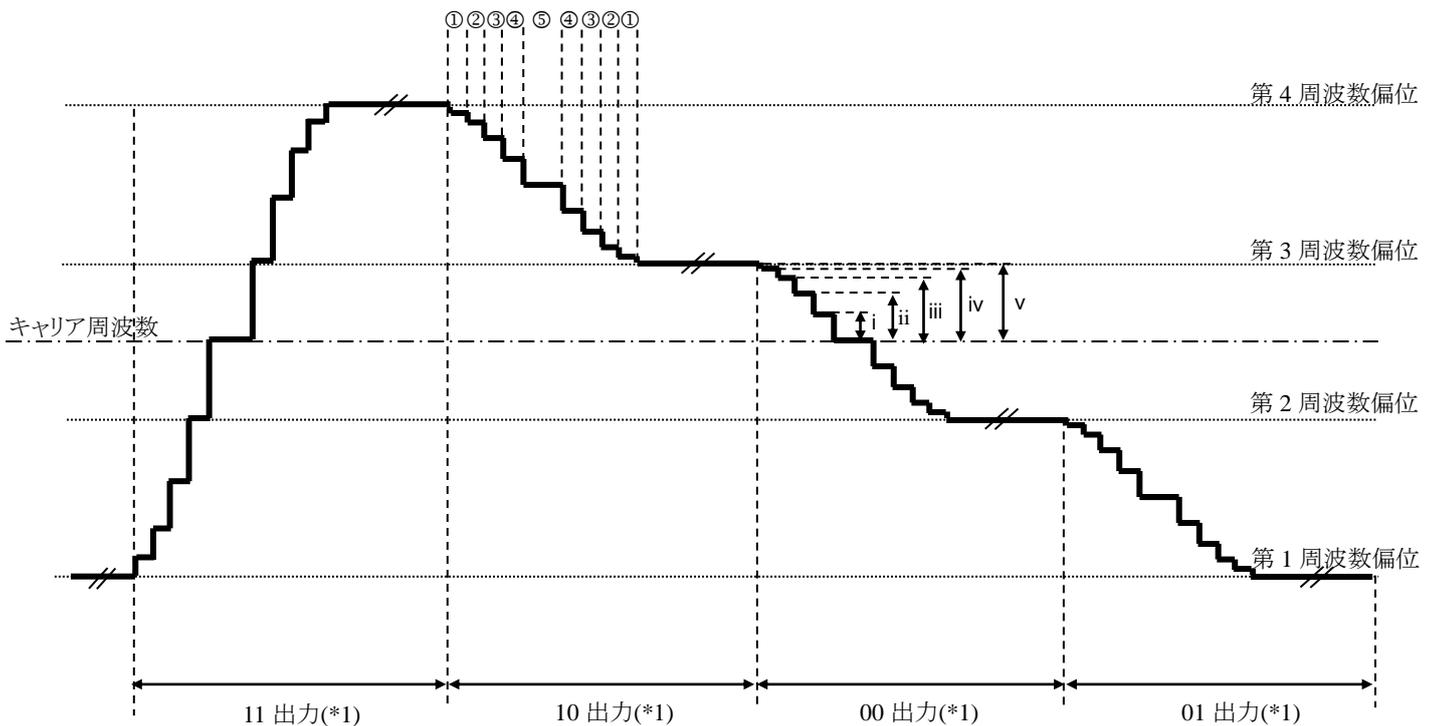


| 周波数偏位設定 | | | |
|---------|-----------|------------|-------------------|
| 記号 | ビット名 | アドレス | 機能 |
| i | FSK_FDEV0 | B1 0x32/33 | 周波数偏位 約 23(Hz) |
| ii | FSK_FDEV1 | B1 0x34/35 | |
| iii | FSK_FDEV2 | B1 0x36/37 | |
| iv | FSK_FDEV3 | B1 0x38/39 | |
| v | FSK_FDEV4 | B1 0x3A/3B | |

| 時間設定 | | | |
|------|--------------|---------|-------------------------------------|
| 記号 | ビット名 | アドレス | 機能 |
| ① | FSK_TIM_ADJ4 | B1 0x3C | 変調タイミング 4MHz/12MHz カウンタ値 (*1) |
| ② | FSK_TIM_ADJ3 | B1 0x3D | |
| ③ | FSK_TIM_ADJ2 | B1 0x3E | |
| ④ | FSK_TIM_ADJ1 | B1 0x3F | |
| ⑤ | FSK_TIM_ADJ0 | B1 0x40 | |

(*1) 変調タイミング分解能の切替は、FSK_CLK_SET ([FSK_CTRL: B1 0x2F(0)])にて設定できます。

[4FSK の場合]



- (*1) 各周波数偏位(第1～第4)に対するデータ(00/01/10/11)のマッピングは、[4FSK_DATA_MAP: B1 0x41]により変更できます。
- (*2) 第1周波数偏位から第3周波数偏位などへ2段階周波数に変化する場合、各周波数変化量は i~v の2倍となります。
第1周波数偏位から第4周波数偏位などへ3段階周波数に変化する場合、各周波数変化量は i~v の3倍となります。

| 周波数偏位設定 | | | |
|---------|-----------------------|------------------------|-------------------|
| 記号 | 算出式 | アドレス | 機能 |
| i | FSK_FDEV4 - FSK_FDEV3 | B1 0x3A/3B, B1 0x38/39 | 周波数偏位 約 23(Hz) |
| ii | FSK_FDEV4 - FSK_FDEV2 | B1 0x3A/3B, B1 0x36/37 | |
| iii | FSK_FDEV4 - FSK_FDEV1 | B1 0x3A/3B, B1 0x34/35 | |
| iv | FSK_FDEV4 - FSK_FDEV0 | B1 0x3A/3B, B1 0x32/33 | |
| v | FSK_FDEV4 | B1 0x3A/3B | |

| 時間設定 | | | |
|------|--------------|---------|-------------------------------------|
| 記号 | ビット名 | アドレス | 機能 |
| ① | FSK_TIM_ADJ4 | B1 0x3C | 変調タイミング 4MHz/12MHz カウンタ値 (*1) |
| ② | FSK_TIM_ADJ3 | B1 0x3D | |
| ③ | FSK_TIM_ADJ2 | B1 0x3E | |
| ④ | FSK_TIM_ADJ1 | B1 0x3F | |
| ⑤ | FSK_TIM_ADJ0 | B1 0x40 | |

(*1) 変調タイミング分解能の切替は、FSK_CLK_SET ([FSK_CTRL: B1 0x2F(0)])にて設定できます。

【ご注意】

GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数を、FSK モード時は周波数偏位を適切に設定してください。

●受信関連機能

○AFC 機能

本 LSI は受信時の AFC 機能を持っています。送信相手と本 LSI 内部のローカル信号のそれぞれの周波数偏差(最大 $\pm 30\text{ppm}$)を本機能で補正します。本機能により周波数偏差内で一定の受信感度や妨害波特性が得られます。本機能は、AFC_EN([AFC/GC_CTRL: B1 0x15(7)])に 0b1 を書き込むことで有効にできます。

○電力検出値(ED 値)取得機能

本 LSI は受信電界強度(RSSI)を電力検出値(以降 ED 値)として表示する機能を搭載しております。ED 値は ED_CALC_EN ([ED_CTRL: B0 0x41(7)])を 0b1 に設定し、RX_ON 状態に移行すると、自動的に取得を開始し、RX_ON 状態中は常に最新の値に更新されます。ED 値は、ある瞬間の RSSI 値ではなく平均化された値で表示されます。平均化する回数は ED_AVG([ED_CTRL: B0 0x41(2-0)])で設定されます。また、ダイバーシティの時は 2DIV_ED_AVG([2DIV_MODE: B1 0x48(2-0)])で設定されます。平均化回数分 ED 値を取得した時点で ED_DONE([ED_CTRL: B0 0x41(4)])に"1"が設定されるとともに、ED_VALUE([ED_RSLT: B0 0x3A])が更新されます。

ED_DONE ビットは、以下のいずれかの条件が成立するとクリアされます。

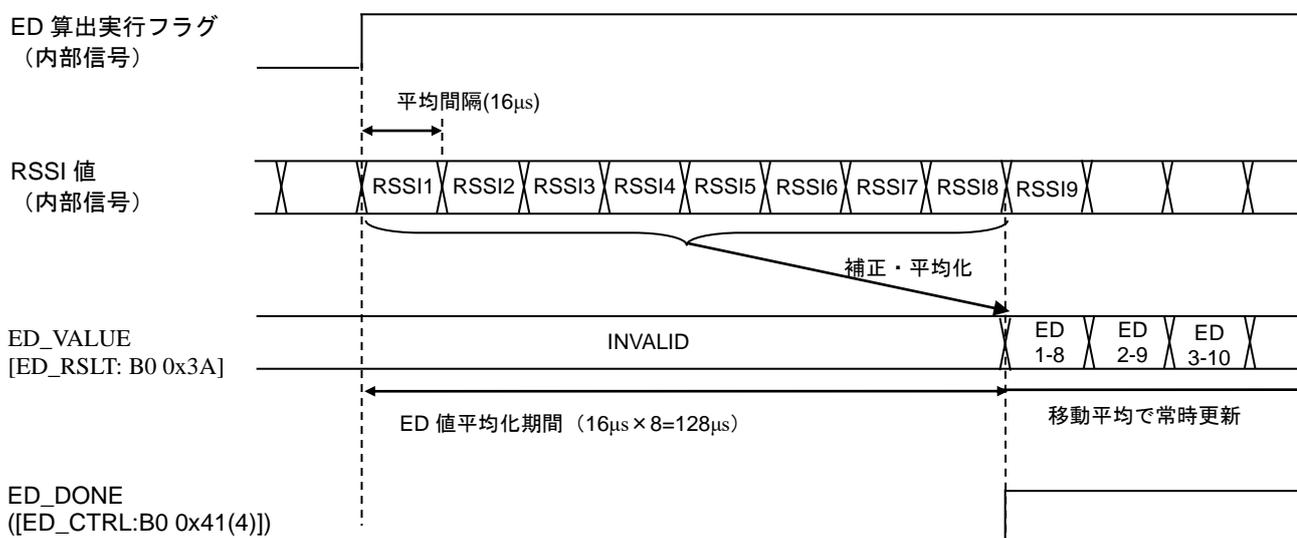
- ① アンテナが切り替わった場合
- ② ゲインが切り替わった場合
- ③ 一度 ED 値取得を停止し、再開した場合

ED 値の算出開始から、ED 値が表示されるまでにかかる時間は次式で算出できます。

ED 値平均化時間 = 平均間隔(16 μs) * ED 値平均回数

以下に、タイミングチャートを示します。

【条件】
ED_AVG[2:0]=0b011 (ED 値 8 回平均) [ED_CTRL: B0 0x41(2-0)]



○チャンネルフィルタ帯域幅可変機能

チャンネルフィルタ帯域幅は CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)])および CHFIL_WIDE_SET([CHFIL_BW: B0 0x54(7)])にて設定することができます。設定値とチャンネルフィルタ帯域幅の関係は下式の通りとなります。

$$\text{チャンネルフィルタ帯域幅[Hz]} = \{\text{マスタークロック周波数[Hz]} * (\text{CHFIL_WIDE_SET}+1)\} / \{\text{CHFIL_BW_ADJ} * 120\}$$

それぞれに設定値に対するチャンネルフィルタ帯域幅を下表に示します。

(1) CHFIL_WIDE_SET=0b0 設定時

| CHFIL_BW_ADJ [dec] | チャンネルフィルタ帯域幅 [kHz] | CHFIL_BW_ADJ [dec] | チャンネルフィルタ帯域幅 [kHz] |
|-----------------------|-----------------------|-----------------------|-----------------------|
| 0 | 設定禁止 | 16 | 12.5 |
| 1 | 200 | 17 | 11.8 |
| 2 | 100 | 18 | 11.1 |
| 3 | 66.7 | 19 | 10.5 |
| 4 | 50 | 20 | 10 |
| 5 | 40 | 21 | 9.5 |
| 6 | 33.3 | 22 | 9.1 |
| 7 | 28.6 | 23 | 8.7 |
| 8 | 25 | 24 | 8.3 |
| 9 | 22.2 | 25 | 8 |
| 10 | 20 | 26 | 7.7 |
| 11 | 18.2 | 27 | 7.4 |
| 12 | 16.7 | 28 | 7.1 |
| 13 | 15.4 | ... | ... |
| 14 | 14.3 | 35 | 5.7 |
| 15 | 13.3 | 36 以上 | 設定禁止 |

(2) CHFIL_WIDE_SET=0b1 設定時

| CHFIL_BW_ADJ [dec] | チャンネルフィルタ帯域幅 [kHz] | CHFIL_BW_ADJ [dec] | チャンネルフィルタ帯域幅 [kHz] |
|-----------------------|-----------------------|-----------------------|-----------------------|
| 0 | 設定禁止 | 16 | 25 |
| 1 | 400 | 17 | 23.5 |
| 2 | 200 | 18 | 22.2 |
| 3 | 133.3 | 19 | 21.1 |
| 4 | 100 | 20 | 20 |
| 5 | 80 | 21 | 19 |
| 6 | 66.7 | 22 | 18.2 |
| 7 | 57.1 | 23 | 17.4 |
| 8 | 50 | 24 | 16.7 |
| 9 | 44.4 | 25 | 16 |
| 10 | 40 | 26 | 15.4 |
| 11 | 36.4 | 27 | 14.8 |
| 12 | 33.3 | 28 | 14.3 |
| 13 | 30.8 | ... | ... |
| 14 | 28.6 | 35 | 11.4 |
| 15 | 26.7 | 36 以上 | 設定禁止 |

データレート、最大周波数偏位に応じてチャンネルフィルタ帯域幅の最適化設定が必要です。

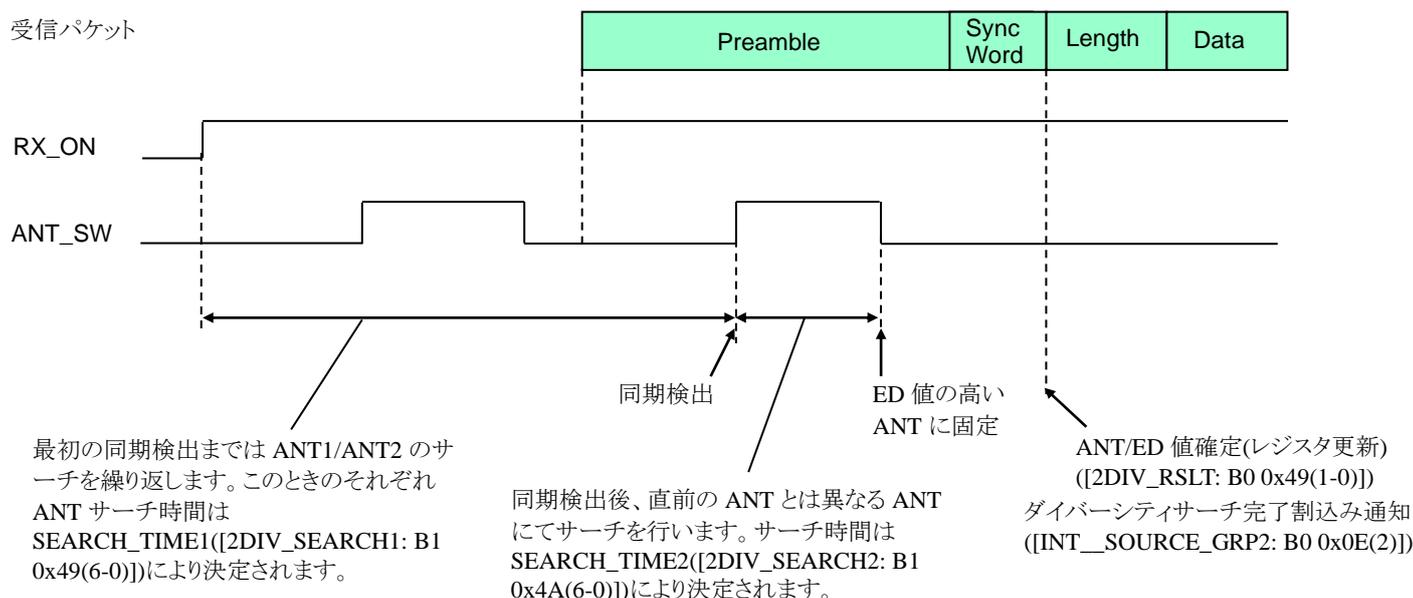
ML7345D のみ通常受信時と CCA 時で個別にチャンネルフィルタ帯域幅を設定可能です。CCA 時のチャンネルフィルタ帯域幅は CHFIL_BW_ADJ_CCA([CHFIL_BW_CCA: B0 0x6A(6-0)])および CHFIL_WIDE_SET_CCA([CHFIL_BW_ADJ_CCA: B0 0x6A(7)])の設定値が適用されます。

○ダイバーシティ機能

本 LSI は 2 アンテナダイバーシティ機能を搭載しております。

2DIV_EN([2DIV_CTRL: B0 0x48(0)])を0b1にセットした状態でRFを受信状態(RX_ON)に設定するとダイバーシティモードが起動いたします。ダイバーシティモードが起動すると、受信データ検出時にアンテナを切り替えてそれぞれのED値を取得し、高いほうのアンテナを使用するよう制御します。ダイバーシティ機能はプリアンブルデータのED値を取得するため送信側のプリアンブルデータ長は十分に長い値である必要があります。プリアンブルデータ長が短いと正確なED値の取得ができませんのでご注意ください。

以下にタイムチャートを示します。



ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B]およびダイバーシティアンテナ結果([2DIV_RSLT: B0 0x49(1-0)])は、SyncWord 検出時に上書き更新します。

ED 値算出時の検出回数は、2DIV_ED_AVG([2DIV_MODE: B1 0x48(2:0)])にて設定可能です。

サーチ時間([SEARCH_TIME1]および[SEARCH_TIME2])の時間分解能は、SEARCH_TIME_SET([2DIV_SEARCH1: B1 0x49(7)])にて設定可能です。

また、ダイバーシティサーチ完了割込み INT[10]([INT__SOURCE_GRP2: B0 0x0E(2)])をクリアした場合、ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B]およびダイバーシティアンテナ結果([2DIV_RSLT: B0 0x49(1-0)])は 0 クリアされます。

【ご注意】

本機能では、誤検出から引き起こされた誤ったダイバーシティ完了であると判断した場合、アンテナサーチを再自動実行しますが、誤検出によって発生したダイバーシティサーチ完了後～誤検出判定までに希望波を受信した場合、取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B])は、希望波の入力レベルとは異なる低い ED 値を表示します。本事象の発生可否は、希望波の SyncWord 検出割込み INT[13]([INT__SOURCE_GRP2: B0 0x0E(5)])発生後、[ED_RSLT: B0 0x41]で表示される ED 値を読み出すことで確認することができます。

(1) アンテナスイッチ制御

[2DIV_CTRL: B0 0x48]、[ANT_CTRL: B0 0x4C]、[EXT_PA_CTRL: B0 0x53]にて、送受信切替え信号(TRX_SW)、アンテナ切替え信号(ANT_SW)、外部 PA 制御信号(DCNT)の各種の制御が可能です。

[2DIV_CTRL: B0 0x48(3-1)]および[ANT_CTRL: B0 0x4C]にて、2種類のアンテナスイッチ(SPDT スイッチ/DPDT スイッチ)制御が可能です。それぞれのアンテナスイッチ制御時の ANT_SW 端子および TRX_SW 端子の出力状態と[2DIV_CTRL: B0 0x48(2-1)]との関係を以下に示します。

①DPDT スイッチ使用時

2PORT_SW([2DIV_CTRL: B0 0x48(1)])=0b1、ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=0b0 に設定します。アイドル、送信時、受信時での ANT_SW、TRX_SW は以下の通り出力されます(デフォルト設定)。INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])を 0b1 に設定した場合、ANT_SW と TRX_SW の極性が反転します。

| 送受信状態 | INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=0 (デフォルト設定) | | INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=1 (極性反転時) | | 説明 |
|-------|--|--------|--|--------|--|
| | ANT_SW | TRX_SW | ANT_SW | TRX_SW | |
| アイドル | H | L | L | H | アイドル時の状態です。 |
| 送信時 | L | H | H | L | 送信時の状態です。 |
| 受信時 | H | L | L | H | ダイバーシティディセーブル([2DIV_CTRL: B0 0x48(0)]を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時のダイバーシティ開始時は本状態となります。 |
| | L/H | H/L | H/L | L/H | ダイバーシティイネーブル (2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L)と (ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。 |

②SPDT スイッチ使用時

2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b0 に設定します。アイドル、送信時、受信時での ANT_SW、TRX_SW は以下の通り出力されます(デフォルト設定)。INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])を 0b1 に設定した場合、TRX_SW の極性が反転します。

| 送受信状態 | INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=0 (デフォルト設定) | | INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=1 (極性反転時) | | 説明 |
|-------|--|--------|--|--------|--|
| | ANT_SW | TRX_SW | ANT_SW | TRX_SW | |
| アイドル | L | L | L | H | アイドル時の状態です。 |
| 送信時 | L | H | L | L | 送信時の状態です。 |
| 受信時 | L | L | L | H | ダイバーシティディセーブル([2DIV_CTRL: B0 0x48(0)]を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時のダイバーシティ開始時は本状態となります。 |
| | H/L | L | H/L | H | ダイバーシティイネーブル (2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L)と (ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。 |

上記デフォルト設定に対し、INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])を 0b1、ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])を 0b1 に設定することにより、ANT_SW 端子の極性が反転します。

| 送受信状態 | INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])=0 ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=0 (デフォルト設定) | | INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])=1 ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=1 | | 説明 |
|-------|--|--------|---|--------|--|
| | ANT_SW | TRX_SW | ANT_SW | TRX_SW | |
| アイドル | L | L | H | L | アイドル時の状態です。 |
| 送信時 | L | H | H | H | 送信時の状態です。 |
| 受信時 | L | L | H | L | ダイバーシティディセーブル([2DIV_CTRL: B0 0x48(0)]を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時のダイバーシティ開始時は本状態となります。 |
| | H/L | L | L/H | L | ダイバーシティイネーブル (2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L)と (ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。 |

(2) アンテナスイッチ強制設定

[ANT_CTRL: B0 0x4C]により、ANT_SW 端子の出力状態の強制設定が可能です。

送信時: TX_ANT_EN([ANT_CTRL: B0 0x4C(0)])を 0b1 に設定することにより TX_ANT([ANT_CTRL: B0 0x4C(1)])の設定値が出力されます。

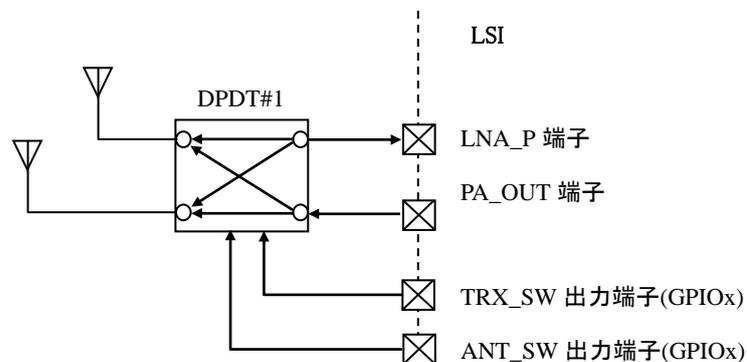
受信時: RX_ANT_EN([ANT_CTRL: B0 0x4C(4)])を 0b1 に設定することにより RX_ANT([ANT_CTRL: B0 0x4C(5)])の設定値が出力されます。

但し、[GPIO*_CTRL: B0 0x4E~0x51]にて出力時強制設定された場合は、[GPIO*_CTRL: B0 0x4E~0x51]レジスタ設定が優先されます。

なお、アンテナスイッチ制御信号を以下のように使用することができます。

使用例 1) DPDT スイッチ 1 個を使用する場合

2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b1 に設定してください。

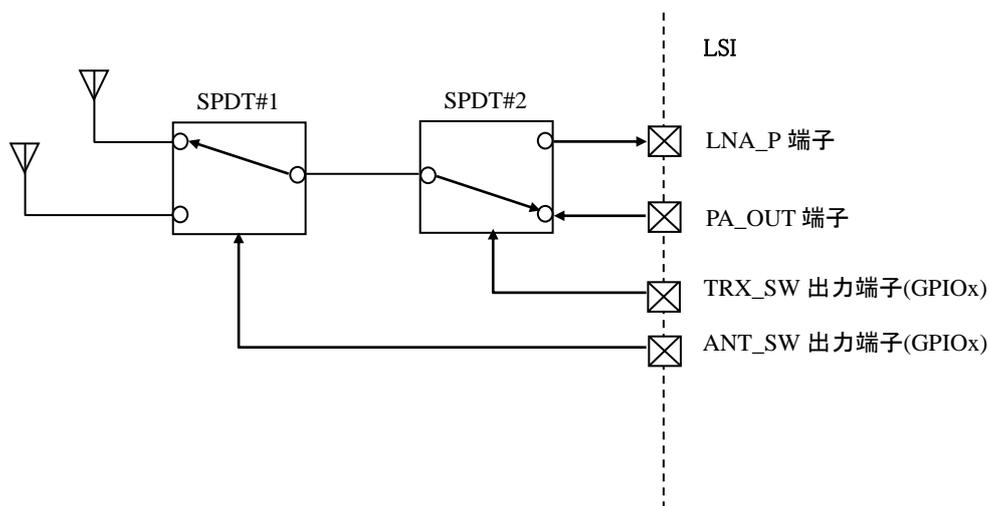


(※) 外部 PA 制御信号出力(GPIOx)と同時使用可能です。

(※)LNA_P 端子および PA_OUT 端子とアンテナスイッチ(DPDT#1)間の外付け回路は省略しています。

使用例 2) SPDT スイッチ 2 個使用した場合

2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b0 に設定してください。



(※)外部 PA 制御信号出力(GPIOx)と同時使用可能です。

(※)LNA_P 端子および PA_OUT 端子とアンテナスイッチ(SPDT#2)間の外付け回路は省略しています。

○CCA(Clear Channel Assessment)機能

本 LSI は CCA 機能を搭載しております。CCA はある周波数チャネルを受信して、そのチャネルが現在使用されているか、空いているかを判定する機能です。本 LSI では通常モード、無限実行モードと IDLE 検出モードの 3 種類のモードがあります。3 種類のモードは下記により設定できます。

[CCA モードの設定]

| | [CCA_CTRL: B0 0x39] | | |
|------------|---------------------|-------------------|--------------------|
| | Bit4 (CCA_EN) | Bit5 (CCA_CPU_EN) | Bit6 (CCA_IDLE_EN) |
| 通常モード | 0b1 | 0b0 | 0b0 |
| 無限実行モード | 0b1 | 0b1 | 0b0 |
| IDLE 検出モード | 0b1 | 0b0 | 0b1 |

(1) 通常モード

通常モードは IDLE/BUSY を判定するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b0 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b0 を設定している状態で RX_ON をすることで CCA(通常モード)が実行されます。

CCA の判定は[ED_RSLT: B0 0x3A]レジスタで表示される ED 値の平均値と[CCA_LVL: B0 0x37]で設定される CCA の閾値との大小比較で行われます。[ED_RSLT: B0 0x3A]で表示される ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B]の IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

BUSY または IDLE を検出すると CCA 完了割り込み(割り込みグループ 3 の INT[18])が通知され、CCA_EN ビットが 0b0 に自動クリアされます。

CCA 完了割り込みをクリアすると CCA_RSLT[1:0]は初期化(0b00)されます。CCA_RSLT[1:0]は CCA 完了割り込みをクリアする前に読み出して下さい。

ED 値が[CCA_IGNORE_LVL: B0 0x36]で設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が[CCA_LVL: B0 0x37]よりも大きい場合は BUSY 判定して CCA を完了しますが、ED 値の平均値が[CCA_LVL: B0 0x37]よりも小さい場合は IDLE 判定せずに CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b11 を表示し、BUSY 判定されるかまたは対象の ED 値が平均化対象から外れて IDLE 判定されるまで CCA を継続します。ED 値が[CCA_IGNORE_LVL: B0 0x36]を越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

CCA 実行指示してから CCA 完了するまでの時間は下式で算出されます。

[IDLE 判定の場合]

$$\text{CCA 実行時間} = (\text{ED 値平均回数} + \text{IDLE_WAIT 設定}) \times \text{平均間隔}(16\mu\text{s})$$

[BUSY 判定の場合]

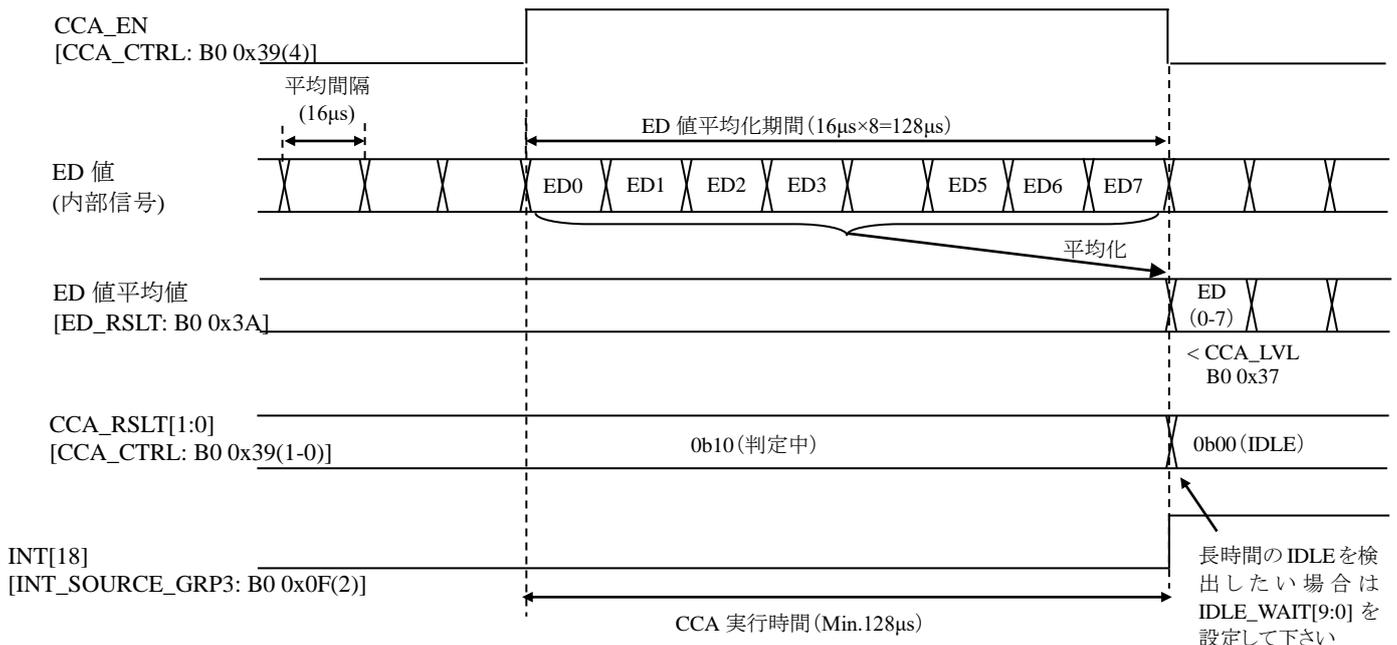
$$\text{CCA 実行時間} = \text{ED 値平均回数} \times \text{平均間隔}(16\mu\text{s})$$

※ 上式は[CCA_IGNORE_LVL: B0 0x36]による IDLE 判定除外を考慮しておりません。[CCA_IGNORE_LVL: B0 0x36]動作詳細は”強入力発生時の IDLE 判定除外について”をご参照下さい。

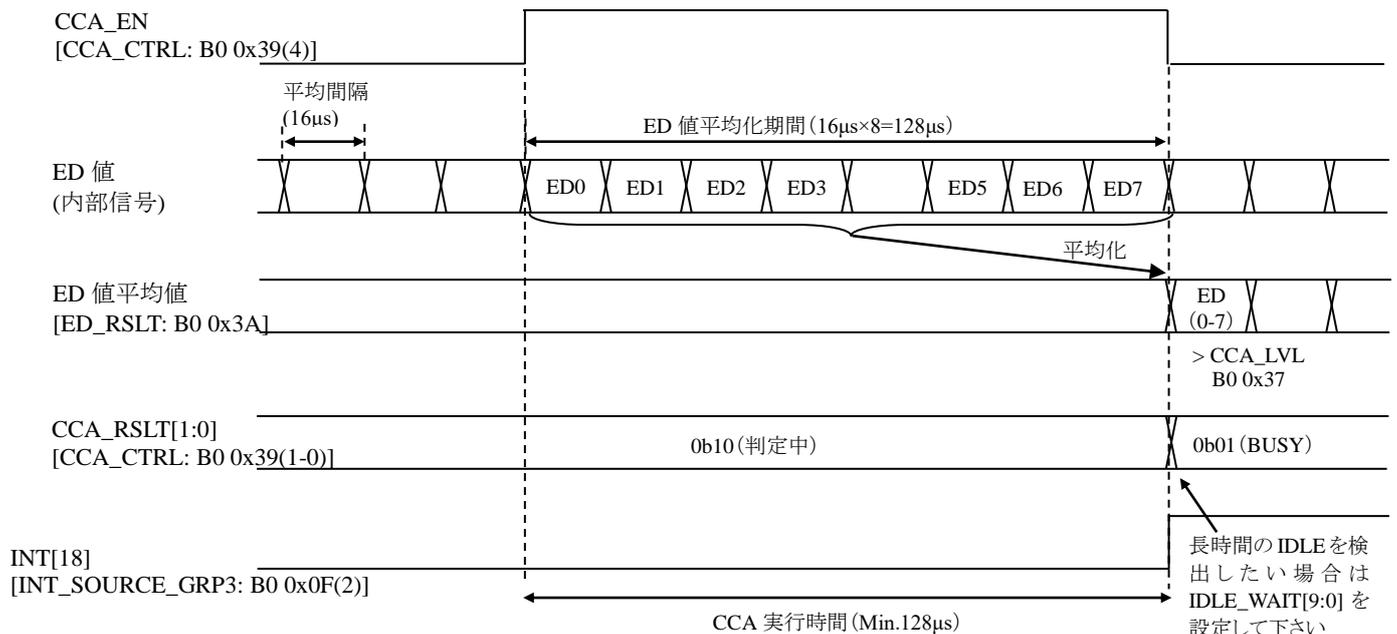
以下に通常モード時のタイムチャートを示します。

【条件】
 ED_AVG[2:0]=0b011 (ED 値 8 回平均) [ED_CTRL: B0 0x41(2-0)]
 IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs) [IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]

[IDLE 判定したケース]



[BUSY 判定したケース]



(2) 無限実行モード

無限実行モードはホスト CPU からの停止命令があるまで CCA を継続するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b1 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b0 を設定している状態で RX_ON をすることで CCA(無限実行モード)が実行されます。

通常モードと同様に CCA の判定は[ED_RSLT: B0 0x3A]レジスタで表示される ED 値の平均値と[CCA_LVL: B0 0x37]で設定される CCA の閾値との大小比較で行われます。ED_VALUE([ED_RSLT: B0 0x3A])で表示される ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]の IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

ED 値が[CCA_IGNORE_LVL: B0 0x36]で設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が[CCA_LVL: B0 0x37]よりも大きい場合は BUSY 判定して CCA_RSLT[1:0]に 0b01 を設定しますが、ED 値の平均値が[CCA_LVL: B0 0x37]よりも小さい場合は IDLE 判定せずに CCA_RSLT[1:0]に 0b11 を設定します。ED 値が[CCA_IGNORE_LVL: B0 0x36]を越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

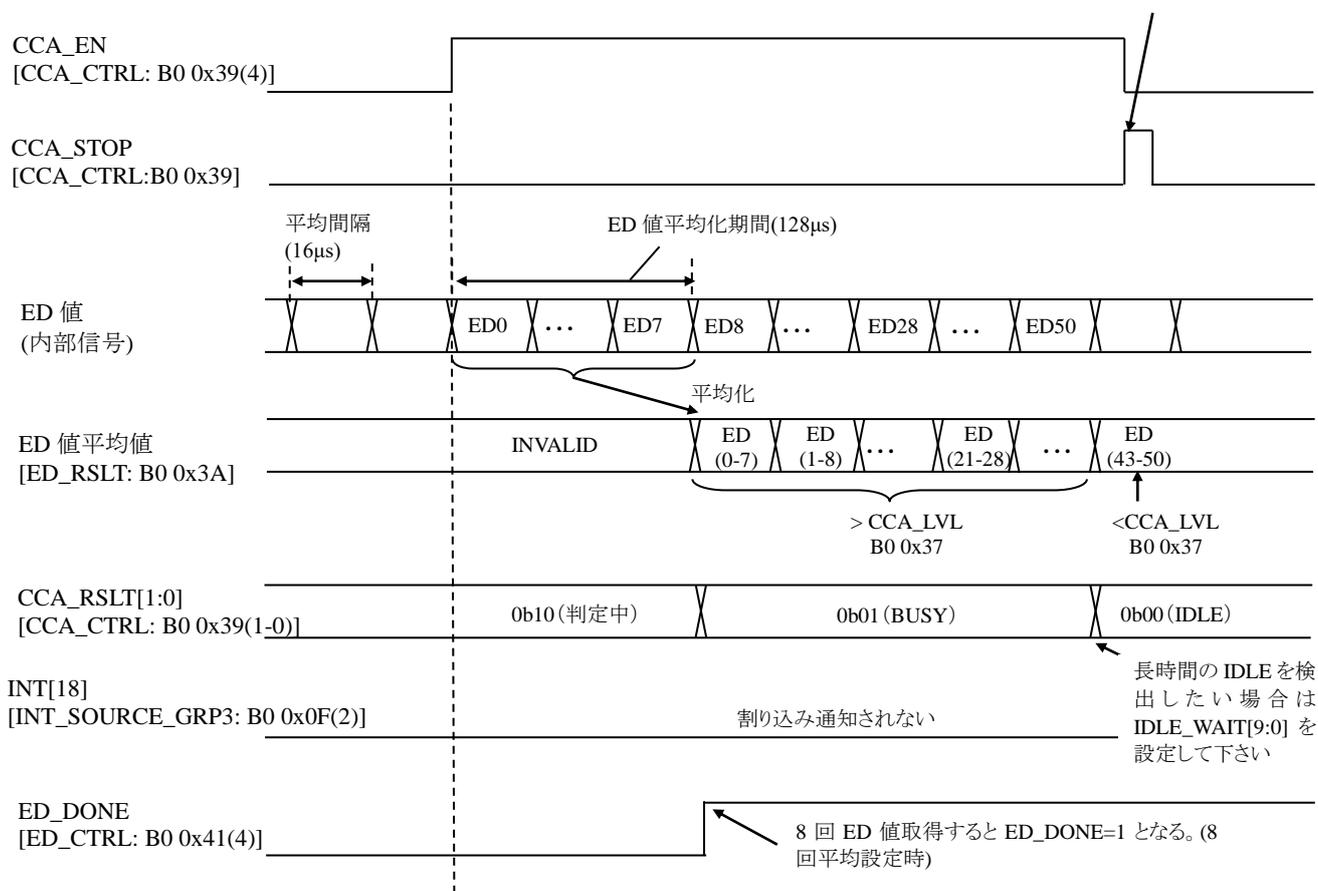
無限実行モードでは、BUSY または IDLE を検出しても自動停止せず、CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 が書き込まれるまで CCA 動作を継続し、結果は ED 値取得される度に更新されます。このとき、CCA 完了割り込み INT[18]([INT_SOURCE_GRP2: B0 0x0F(2)])は通知されません。

以下に無限実行モード時のタイムチャートを示します。

【条件】
 ED_AVG[2:0]=0b011 (ED 値 8 回平均) [ED_CTRL: B0 0x41(2-0)]
 IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs) [IDLE_WAIT_L: B0 0x3C], [IDLE_WAIT_H: B0 0x3B(1-0)]

[BUSY→IDLE と遷移し、CCA_STOP で終了するケース]

CCA_STOP が発行されると CCA_EN、
 CCA_CPU_EN をクリアし、CCA_STOP
 ビットは自動クリアされる



(3) IDLE 検出モード

IDLE 検出モードは IDLE を検出するまで CCA を継続するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b0 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b1 を設定している状態で RX_ON をすることで CCA(IDLE 検出モード)が実行されます。

通常モードと同様に CCA の判定は[ED_RSLT: B0 0x3A]レジスタで表示される ED 値の平均値と[CCA_LVL: B0 0x37]で設定される CCA の閾値との大小比較で行われます。ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L], [IDLE_WAIT_H]: B0 0x3B,0x3C の IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

IDLE 検出モードでは、IDLE を検出した場合のみ CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])が通知されます。また、CCA_EN 設定により CCA を実行した場合は CCA_EN(CCA_CTRL: B0 0x39(4))および CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))が 0b0 に自動クリアされます。

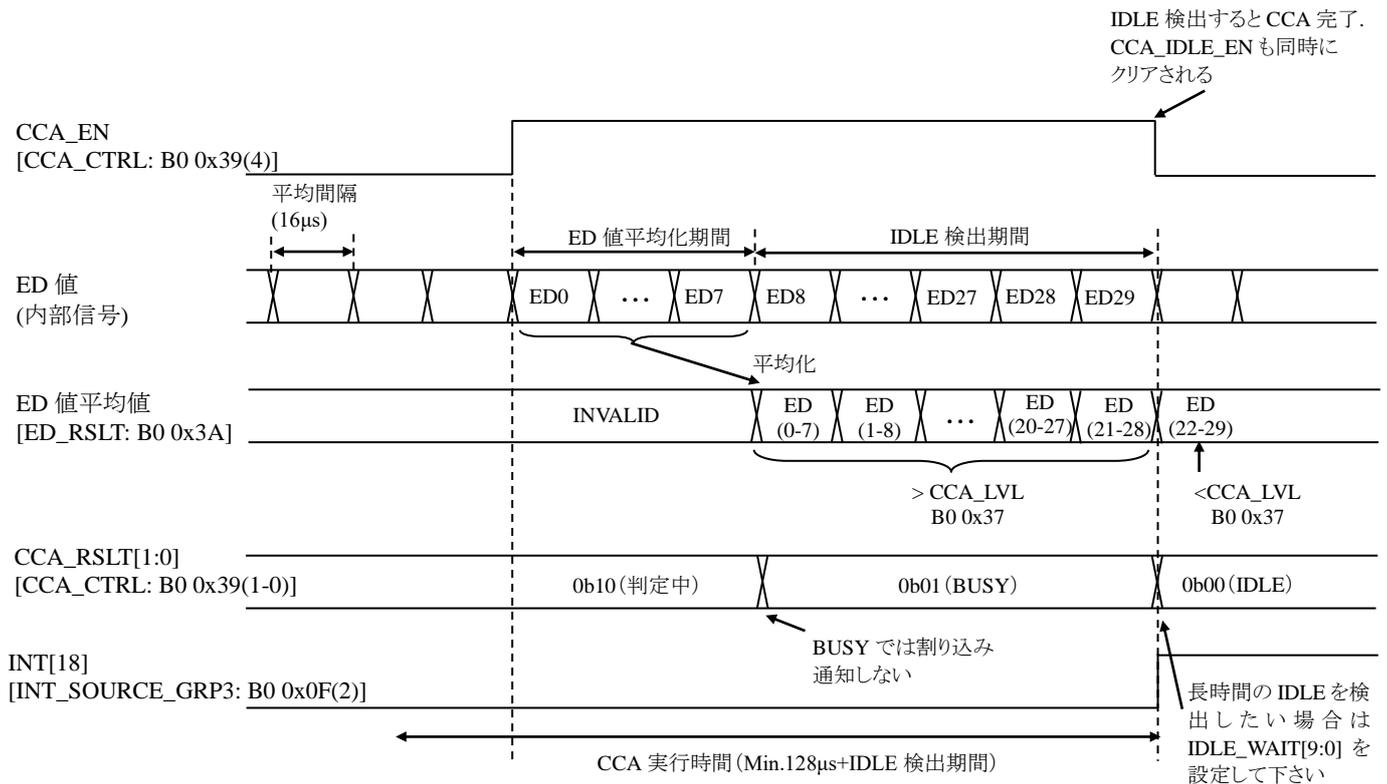
IDLE 検出モードでは、BUSY を検出している間は、CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])を通知せず、IDLE 検出を継続します。CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])をクリアすると、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])は初期化(0b00)されます。CCA_RSLT[1:0]は CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])をクリアする前に読み出して下さい。

ED 値が[CCA_IGNORE_LVL: B0 0x36]で設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が[CCA_LVL: B0 0x37]よりも小さい場合においても IDLE 判定せず、CCA_RSLT[1:0]に 0b11 を表示し、対象の ED 値が平均化対象から外れて IDLE 判定されるまで CCA を継続します。ED 値が[CCA_IGNORE_LVL: B0 0x36]を越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

以下に IDLE 検出モード時のタイムチャートを示します。

[BUSY 検出後、CCA 継続して IDLE 判定したケース]

【条件】
 ED_AVG[2:0]=0b011 (ED 値 8 回平均) [ED_CTRL: B0 0x41(2-0)]
 IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0 μ s) [IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]



(4) 強入力発生時の IDLE 判定除外について

取得した ED 値が、[CCA_IGNORE_LVL: B0 0x36]で設定される値を超えた場合は、その ED 値が平均化対象である間は IDLE 判定を行いません。この強入力の ED 値を含む[ED_RSLT: B0 0x39]で表示される ED 値の平均値が[CCA_LVL: B0 0x37]で設定される CCA 閾値を超えた場合は”キャリアあり(BUSY)”と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。また、この ED 値の平均値が CCA 閾値以下の場合、”判定中(判定除外の ED 値取得)”とし、CCA_RSLT[1:0]に 0b11 を設定します。

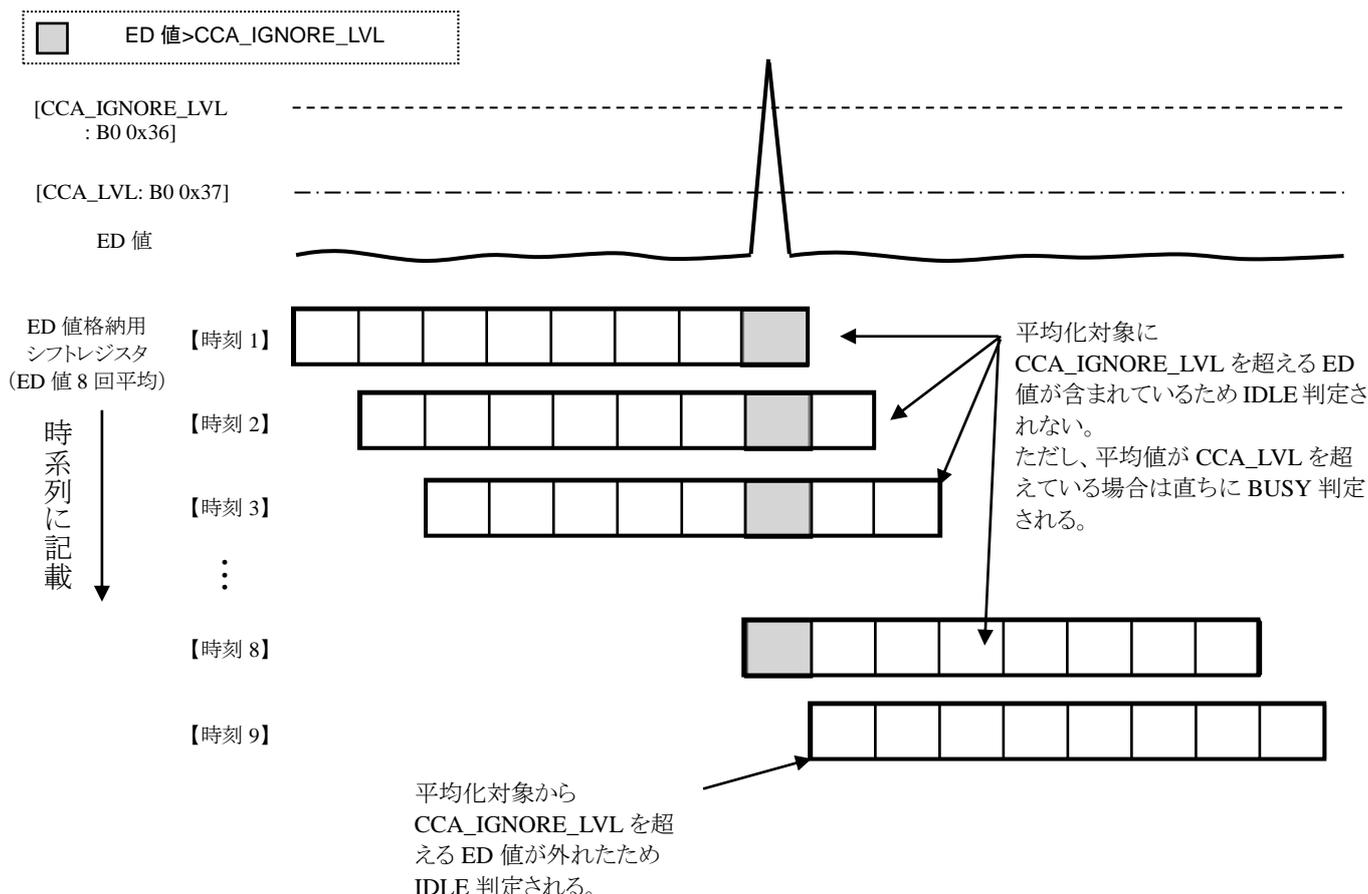
ED 値の移動平均値が[CCA_LVL: B0 0x37]以下の場合でも、その移動平均化対象の ED 値に[CCA_IGNORE_LVL: B0 0x36]を超えるものが含まれていた場合、IDLE 判定を行いません。この時、CCA_RSLT[1:0]には 0b11(判定中)を表示し、IDLE または BUSY 判定されるまで CCA を継続します(IDLE 検出モードの場合は IDLE 判定されるまで、無限実行モードの場合は CCA_STOP([CCA_CTRL: B0 0x39(7)])が発行されるまで CCA を継続します)。

ED 値の移動平均値が[CCA_LVL: B0 0x37]を超えている場合は[CCA_IGNORE_LVL: B0 0x36]の比較結果に関わらず直ちに BUSY 判定します。

【ご注意】

CCA 完了割込みは CCA 結果が IDLE または BUSY 判定された場合にのみ通知されます。従いまして、CCA_IGNORE_LVL を超えるデータが断続的に入力されるような環境下においては、IDLE とも BUSY とも判定されずに CCA が継続されることがあります。

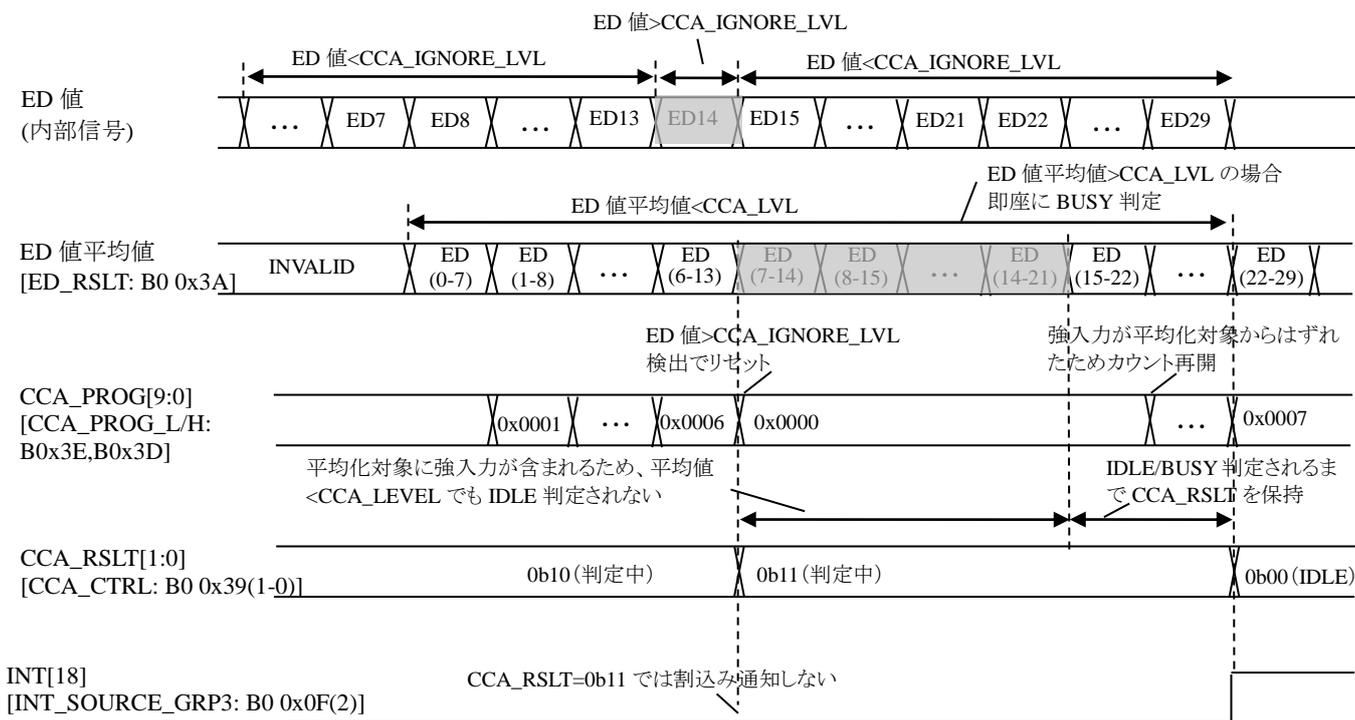
[強入力 ED 値取得時のイメージ図]



以下に強入力 ED 値取得時のタイムチャートを示します。

[IDLE_WAIT カウント中に強入力検出し、平均化対象から強入力が外れた後に IDLE 判定したケース]

【条件】
 CCA モード 通常モード
 ED_AVG[2:0]=0b011 (ED 値 8 回平均) [ED_CTRL: B0 0x41(2-0)]
 IDLE_WAIT[9:0]=0b00_0000_0111 (IDLE 検出期間 112μs) [IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]



(5) 長時間の IDLE 検出について

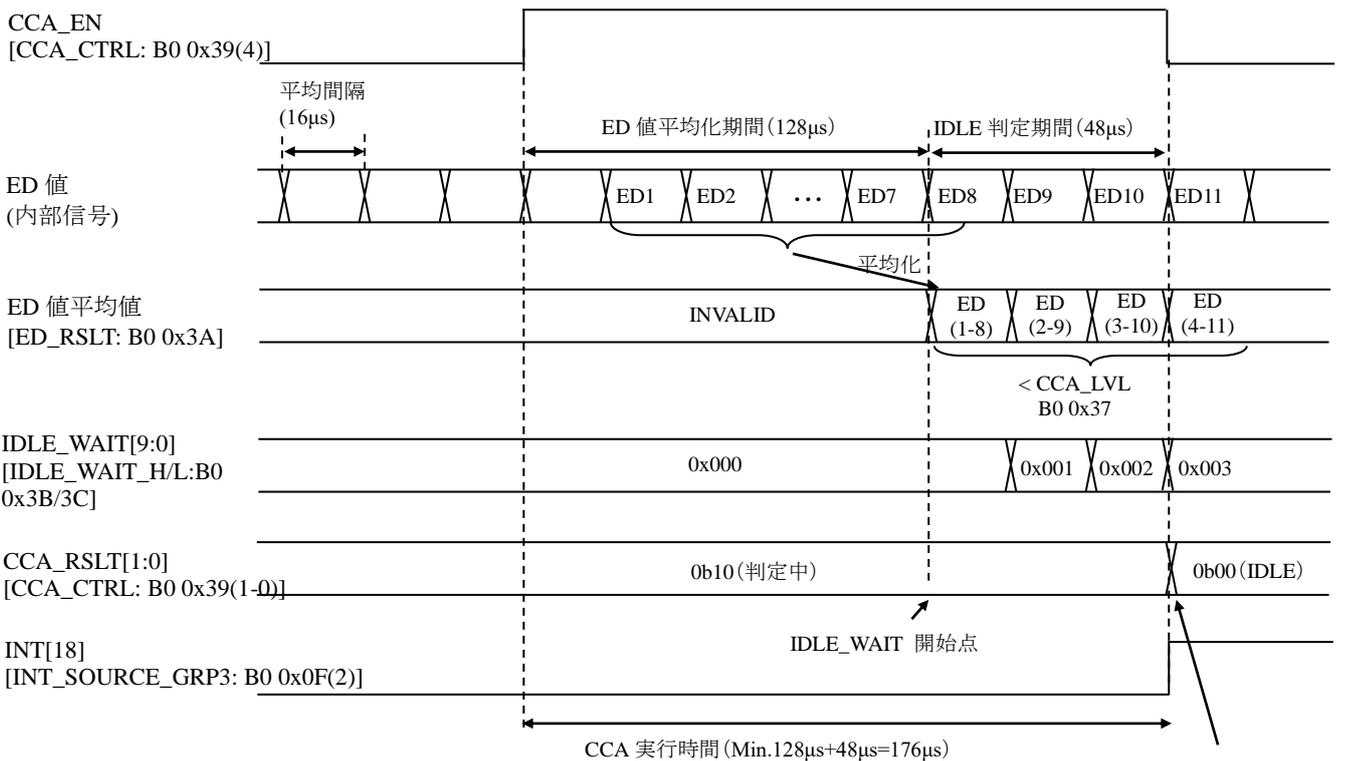
長時間で CCA の IDLE 判定を行う場合は、[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)] の IDLE_WAIT [9:0] で設定することができます。

[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)] の IDLE_WAIT [9:0] を使用することで、平均化期間(平均間隔 16μs、8 回平均設定の場合 128μs)よりも長い期間の IDLE を検出することが可能です。本機能は、ED 値の移動平均値が[CCA_LVL: B0 0x37]以下の状態が何度継続したかカウントし、継続回数が IDLE_WAIT [9:0] 以上となった場合に IDLE 判定する機能です。本機能を使用している場合でも、ED 値の移動平均値が[CCA_LVL: B0 0x37]を越えた場合は IDLE_WAIT [9:0] 期間を待たずに直ちに BUSY 判定します。

以下に IDLE_WAIT[9:0] を設定した時のタイムチャートを示します。

[ED 値 8 回平均で IDLE 判定したケース]

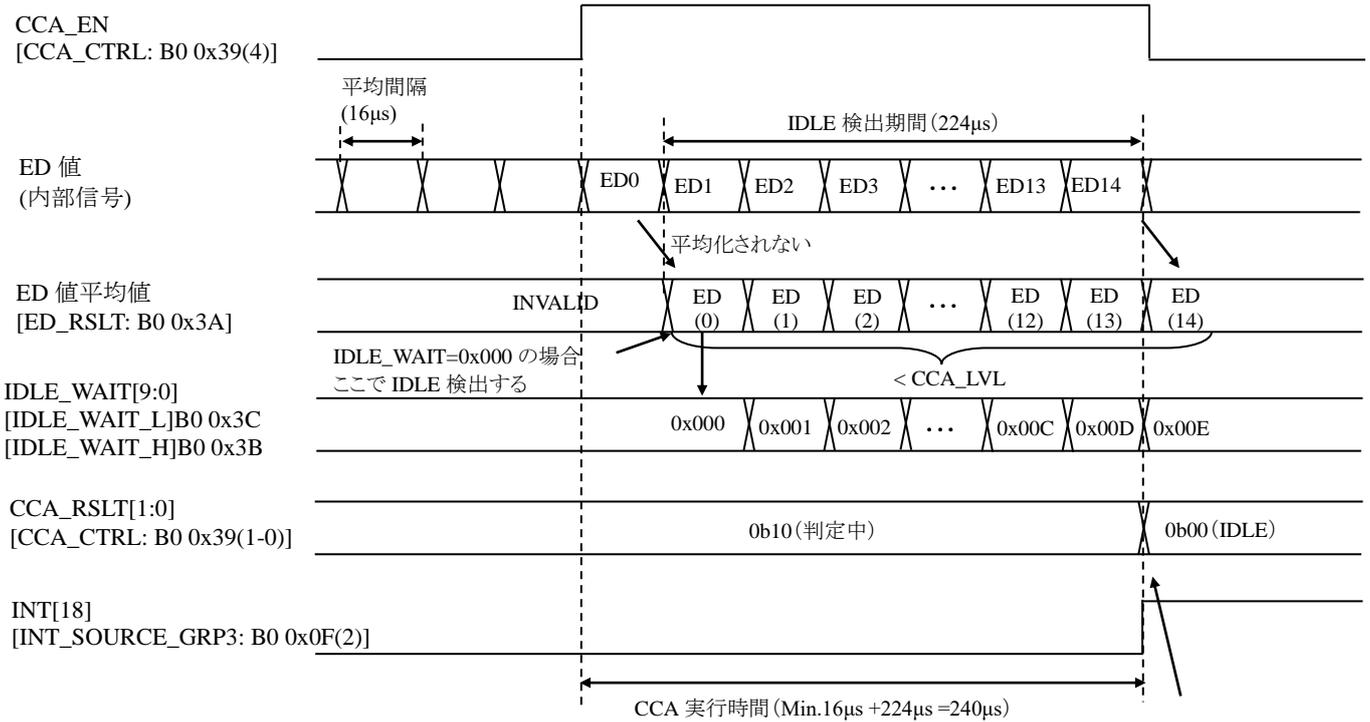
| | |
|--|--|
| 【条件】 | |
| CCA モード | 通常モード |
| ED_AVG[2:0]=0b011 (ED 値 8 回平均) | [ED_CTRL: B0 0x41(2-0)] |
| IDLE_WAIT[9:0]=0b00_0000_0011 (IDLE 検出期間 48μs) | [IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)] |



ED 値の平均値が < CCA_LVL の状態が 48μs (平均間隔*3) 継続したら IDLE 検出する。

[ED 値 1 回平均で IDLE 判定したケース]

| | |
|--|---|
| 【条件】 | |
| CCA モード | 通常モード |
| ED_AVG[2:0]=0b000 (ED 値 1 回平均) | [ED_CTRL: B0 0x41(2-0)] |
| IDLE_WAIT[9:0]=0b00_0000_1110(IDLE 検出期間 224μs) | [IDLE_WAIT_L: B0 0x3C], [IDLE_WAIT_H: B0 0x3B(1-0)] |



ED 値の平均値が < CCA_LVL の状態が平均間隔 14 回分継続したため IDLE 検出する。

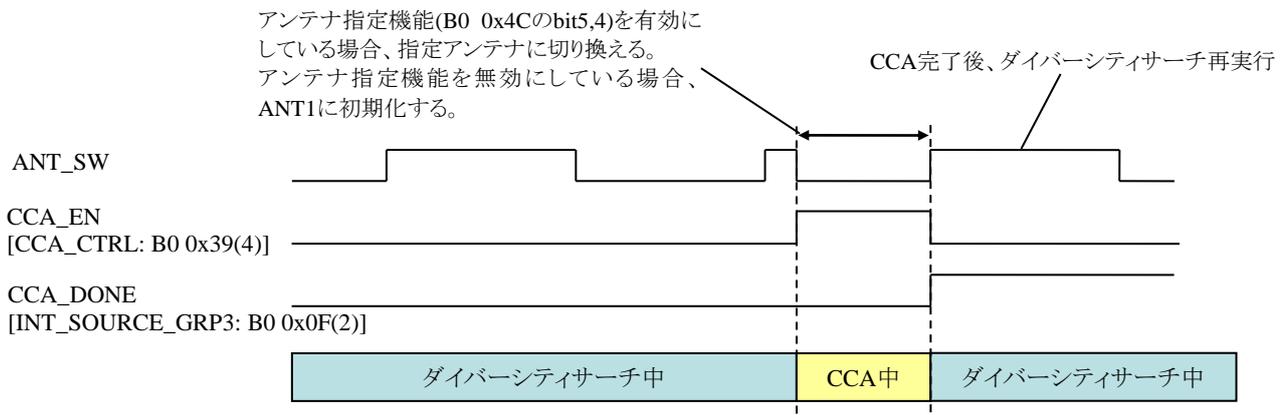
(6) ダイバーシティ使用時の CCA 実行について

(1) ダイバーシティサーチ中の CCA 実行動作

ダイバーシティサーチ中に CCA 実行指示した場合、ダイバーシティサーチを中止し、CCA が動作します。

CCA が動作すると、アンテナは初期値(※1)に固定され、次にダイバーシティサーチされるまで保持されます。ただし、アンテナ指定機能([ANT_CTRL: B0 0x4C(5-4)])を有効にしている場合はアンテナは同レジスタ機能で指定したアンテナに固定されず、CCA 完了後は、ダイバーシティサーチが再実行されます。

※1：“機能説明ダイバーシティ機能 ANT_SW / TRX_SW 設定“の各表”受信時”欄上段の設定になります。



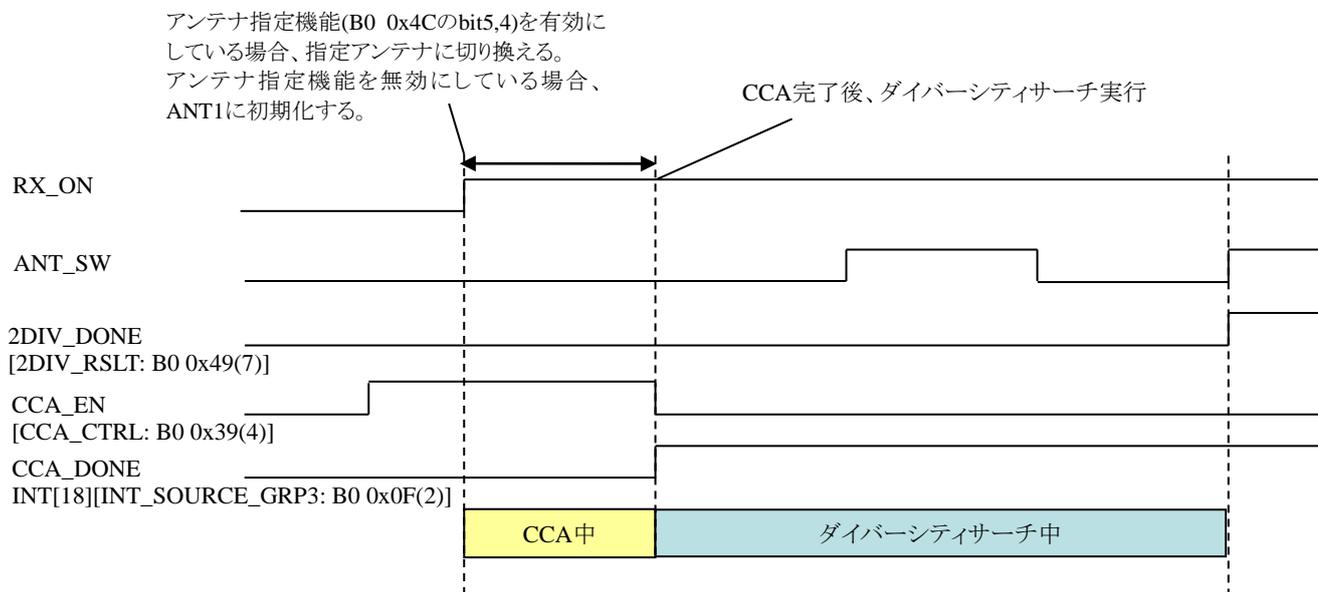
【ご注意】

CCA 中は受信動作が並行していますので、CCA 完了割込みが通知されない場合でも、SyncWord 検出割り込み([INT_SOURCE_GRP2: B0 0x0E(5)]), 受信 FIFO アクセスエラー割り込み([INT_SOURCE_GRP2: B0 0x0E(4)]), FIFO-Full トリガ割り込み([INT_SOURCE_GRP1: B0 0x0D(5)]), 受信完了割り込み([INT_SOURCE_GRP3: B0 0x0E(0)]), CRC 検出エラー割り込み([INT_SOURCE_GRP3: B0 0x0E(1)])が通知されることがあります。

ダイバーシティ機能詳細につきましては、“ダイバーシティ機能”をご参照下さい。

(2) ダイバーシティ ON 時、RX_ON 前に CCA 実行設定した場合の動作

RX_ON 遷移前にダイバーシティ ON 設定および CCA 実行設定した場合、RX_ON 遷移後、ダイバーシティサーチ動作せずに CCA が動作します。CCA 完了後、ダイバーシティサーチが実行されます。



(7) CCA 閾値設定方法について

CCA 閾値 ([CCA_LVL: B0 0x37])には検出したい入力レベルに相当するED 値に、個体バラツキ、温度変動、アンテナ、整合回路での損失等を考慮し設定する必要があります。入力レベルと ED 値の関係は、上記バラツキ等を含めた以下の式で表されます。

$$ED \text{ 値(CCA 閾値)} = 117 + \text{入力レベル[dBm]} - \text{バラツキ} - \text{その他損失}$$

| 項目 | 値 |
|-------------|---------------|
| バラツキ(個体、温度) | T.B.D |
| その他損失 | アンテナ、整合回路等の損失 |

例) 入力レベルの閾値を-85dBm に設定にする場合

条件: その他損失 1dB

$$\begin{aligned} \text{CCA 閾値} &= 117 - 85 - 6 - 1 \\ &= 25 \\ &= 0x19 \end{aligned}$$

CCA 閾値が妥当かどうかの検証は、入力レベルを変化させる毎に CCA 実行し IDLE から BUSY になるレベルを確認することでできます。

●その他の機能

○データレート設定機能

(1)データレート変更方法

本 LSI は以下のレジスタ設定する任意のデータレートにて送受信可能です。

送信時・・・[TX_RATE_H: B1 0x02]および[TX_RATE_L: B1 0x03]

受信時・・・[RX_RATE1_H: B1 0x04]、[RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]

送信・受信時のデータレート設定は以下の式に従い設定されます。

【送信時】

$$\text{送信データレート[bps]} = \text{round} (24\text{MHz} / 10 / [\text{TX_RATE}])$$

各データレートに対する推奨設定値を以下の表に示します。以下のレジスタ設定値は TX_DRATE([DRATE_SET: B0 0x06(3-0)])を設定することにより、自動的に[TX_RATE_H: B1 0x02]および[TX_RATE_L: B1 0x03]に設定されます。

| 送信データレート[kbps] | [TX_RATE_H][TX_RATE_L] 設定値(10進) | データレート偏差 [%] *1 |
|----------------|------------------------------------|--------------------|
| 1.2 | 2000 | 0.00 |
| 2.4 | 1000 | 0.00 |
| 4.8 | 500 | 0.00 |
| 9.6 | 250 | 0.00 |
| 10.0 | 240 | 0.00 |
| 19.2 | 125 | 0.00 |
| 15.0 | 80 | 0.00 |
| 32.768 | 73 | 0.33 |
| 50 | 48 | 0.00 |
| 100 | 24 | 0.00 |

*1 データレート偏差は、本 LSI に接続するマスタークロックの周波数偏差が 0ppm 時の値です。

【受信時】

$$\text{受信データレート[bps]} = \text{round} (\{24\text{MHz} / N\} / \{[\text{RX_RATE1}] * [\text{RX_RATE2}]\})$$

※N=1(LOW_RATE_EN=0 設定時)
N=2(LOW_RATE_EN=1 設定時)

各データレートに対する推奨設定値(LOW_RATE_EN([CLK_SET2: B0 0x03(0)])=0b1 設定時)を以下の表に示します。以下のレジスタ設定値は RX_DRATE([DRATE_SET: B0 0x06(7-4)])を設定することにより、自動的に[RX_RATE1_H: B1 0x04]、[RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]に設定されます。

| 受信データレート[kbps] | [RX_RATE1_H][RX_RATE1_L] 設定値(10進) | [RX_RATE2] 設定値(10進) |
|----------------|--------------------------------------|------------------------|
| 1.2 | 80 | 125 |
| 2.4 | 40 | 125 |
| 4.8 | 20 | 125 |
| 9.6 | 10 | 125 |
| 10.0 | 10 | 120 |
| 19.2 | 5 | 125 |
| 15.0 | 8 | 100 |
| 20 | 6 | 100 |
| 32.768 | 3 | 122 |
| 40 | 6 | 50 |
| 50 | 4 | 60 |
| 100 | 2 | 60 |

【ご注意】

1. LOW_RATE_EN([CLK_SET2: B0 0x03(0)])=0b0 設定した場合、上式に従って受信データレートを算出してください。また、LOW_RATE_EN=0b0 設定時、送受信のデータレート設定レジスタ([DRATE_SET: B0 0x06])を設定しても自動で[RX_RATE1_H: B1 0x04][RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]に最適値は設定されませんのでご注意ください。

(2)データレート変更に伴う設定

データレートを変更する場合、初期設定レジスタに従いレジスタを変更してください。

【ご注意】

1. 必ず TRX_OFF 状態で設定を変更してください。

○割り込み通知機能

本 LSI は割り込み通知機能を搭載しております。割り込みが発生すると割り込み通知信号(SINTN)を Low にして通知します。割り込み要因は[INT_SOURCE_GRP1: B0 0x0D] [INT_SOURCE_GRP2: B0 0x0E] [INT_SOURCE_GRP3: B0 0x0F]の3つのグループに分かれています。また、各割り込みは[INT_EN_GRP1: B0 0x10] [INT_EN_GRP2: B0 0x11] [INT_EN_GRP3: B0 0x12]でマスクすることができます。割り込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。出力設定は [GPIO1_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[EXTCLK_CTRL: B0 0x52]を参照してください。

【ご注意】

マスクされていない割り込み要因がひとつでも発生していると、SINTN は Low を維持します。

(1) 割り込み要因表

各グループの割り込み要因を下記にまとめます。

| レジスタ | 割り込み名 | 機能 |
|-----------------|---------|---|
| INT_SOURCE_GRP1 | INT[0] | クロック安定化完了割り込み |
| | INT[1] | VCO キャリブレーション完了割り込み または Fuse アクセス完了割り込み または IQ 調整完了割り込み |
| | INT[2] | PLL ロック外れ割り込み または VCO 調整電圧範囲外検出割り込み |
| | INT[3] | RF 状態遷移完了割り込み |
| | INT[4] | FIFO-EMPTY 割り込み |
| | INT[5] | FIFO-FULL 割り込み |
| | INT[6] | ウェイクアップ割り込み |
| | INT[7] | クロックキャリブレーション完了割り込み |
| INT_SOURCE_GRP2 | INT[8] | データ受信完了割り込み |
| | INT[9] | CRC エラー割り込み |
| | INT[10] | ダイバーシティサーチ完了割り込み |
| | INT[11] | 受信 Length エラー割り込み |
| | INT[12] | 受信 FIFO アクセスエラー割り込み |
| | INT[13] | SyncWord 検出割り込み |
| | INT[14] | Field チェック割り込み |
| | INT[15] | Sync エラー割り込み |
| INT_SOURCE_GRP3 | INT[16] | データ送信 完了割り込み |
| | INT[17] | データ送信要求受付完了割り込み |
| | INT[18] | CCA 完了割り込み |
| | INT[19] | 送信 Length エラー割り込み |
| | INT[20] | 送信 FIFO アクセスエラー割り込み |
| | INT[21] | 予約 |
| | INT[22] | 汎用タイマ 1 割り込み |
| | INT[23] | 汎用タイマ 2 割り込み |

(2) 割り込み発生タイミング

各割り込み通知において、各基点から割り込み発生までの時間、または割り込み発生タイミングを以下に示します。割り込み通知待ちのタイムアウト処理は以下を参照してください。

【ご注意】

(1) 下表中の数値は 100kbps 時の値となります。任意のシンボルレートの場合、下表中のシンボル時間と記載される数値がシンボル周期に置き換えた数値となります。

(2) 下表中の数値は下記フォーマットの送受信データを用いた場合です。

| | | | | |
|--------|----------|--------|--------|--------|
| 10 バイト | 2 バイト | 1 バイト | 24 バイト | 2 バイト |
| プリアンブル | SyncWord | Length | ユーザデータ | 最終 CRC |

(3) 各割り込み通知を OFF 設定した場合でも本 LSI 内部に割り込みを保持した状態となります。よって、割り込みをクリアせずに割り込み通知 OFF 設定から ON 設定とした場合は割り込みが通知されます。割り込みが発生した場合は、割り込み通知 OFF 後に割り込みクリアすることを推奨いたします。

| 割り込み通知 | | 基点 | 基点から割り込み発生までの時間 または、割り込み発生タイミング |
|--------|-----------------|----------------------|---|
| INT[0] | クロック安定化完了 | 水晶発振回路使用時 | RESETN 解除 (電源投入時) |
| | | | SLEEP 解除 (SLEEP 復帰時) |
| | TCXO 使用時 | TCXO_EN 設定時 (電源投入時) | 5.5μs |
| | | SLEEP 解除 (SLEEP 復帰時) | 3μs |
| INT[1] | VCO キャリブレーション完了 | VCO キャリブレーション実行開始 | 9ms |
| INT[2] | PLL ロック外れ検出 | - | (送信時) PA_ON 以降の送信中 (受信時) RX イネーブル以降の受信中 |
| | VCO 調整電圧範囲外検出 | - | (送信時) PA_ON の立ち上がりタイミング (受信時) RX イネーブルの立ち上がりタイミング |
| INT[3] | RF 状態遷移完了 | TX_ON 命令 | (IDLE 時) 932μs (受信時) 981μs |
| | | RX_ON 命令 | (IDLE 時) 121μs (送信時) 381μs |
| | | TRX_OFF 命令 | (送信時) 268μs (受信時) 6μs |
| | | Force_TRX_OFF 命令 | (送信時) 268μs (受信時) 6μs |
| INT[4] | FIFO-EMPTY | TX_ON 命令 (送信) (※1) | Empty トリガレベルを 0x02 と設定していた場合 (符号化 NRZ 時) RF 起動(210μs)+(プリアンブル~データ 22 バイト)×10(ビット時間)=3010μs |
| | | -(受信) | FIFO リードにより FIFO 使用量がトリガレベルを下回った時 |
| INT[5] | FIFO-FULL | -(送信) | FIFO ライトにより FIFO 使用量がトリガレベルを超えた時 |
| | | SyncWord 検出 (受信) | Full トリガレベルを 0x05 と設定していた場合 (符号化 NRZ 時) 500μs(データ 5 バイト×10μs(ビット時間)) |
| INT[6] | ウェイクアップ完了 | SLEEP 設定 | ウェイクアップタイム満了時 詳細は「ウェイクアップタイム」を参照してください。 |
| INT[7] | クロックキャリブレーション完了 | キャリブレーション開始 | キャリブレーションタイム満了時 詳細は「低速クロック補正補助機能」を参照してください。 |
| INT[8] | データ受信完了 | SyncWord 検出 | L-field が 1 バイト、NRZ 符号化の場合、2160μs 後 (L-field 長(8bit)×10(シンボル時間)=80μs、データ長((Data~CRC:bit)×10(シンボル時間)=2080μs)) |

| | | | |
|---------|-----------------|------------------|---|
| INT[9] | CRC エラー | SyncWord 検出 | (FormatA/B)各 CRC 演算ブロック受信完了時 (FormatC)受信完了時 |
| INT[10] | ダイバーシティサーチ完了 | - | ダイバーシティイネーブル設定状態での SyncWord 検出時 |
| INT[11] | 受信 Length エラー | SyncWord 検出 | 80 μ s(L-field 1 バイト時) 160 μ s(L-field 2 バイト時) |
| INT[12] | 受信 FIFO アクセスエラー | - | (1)FIFO の読み出しが不足にオーバーフローが発生した時 (2)FIFO を読み出し過ぎアンダーフローが発生した時 |
| INT[13] | SyncWord 検出 | - | SyncWord 検出時 |
| INT[14] | Field チェック | - | Field チェックにより一致または不一致を検出した時 |
| INT[15] | Sync エラー | - | SyncWord 検出以降の受信中に同期が外れた時 (RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])に 0b00 または 0b11 設定時) |
| INT[16] | データ送信完了 | TX_ON 命令 (*1) | RF 起動+[送信データ数+3](ビット)後 =210 μ s+315 ビット x 10 μ s (ビット時間)=3360 μ s 後 |
| INT[17] | データ送信要求受付完了 | - | Length 分のデータを全て送信 FIFO にライト完了したとき (FAST_TX モードを使用し、FIFOトリガによりデータ書き足しを行う場合は送信中になります) |
| INT[18] | CCA 完了 | CCA 実行開始 | (1)通常モード (ED 値平均回数+ IDLE_WAIT 設定) \times 平均間隔 (2) IDLE 検出モード ○IDLE 判定の場合 (ED 値平均回数+ IDLE_WAIT 設定) \times 平均間隔 ○BUSY 判定の場合 ED 値平均回数 \times 平均間隔 平均間隔は 16 μ s となります。 |
| INT[19] | 送信 Length エラー | - | [TX_PKT_LEN_H/L: B0 0x7A/0x7B]への Length 設定時 |
| INT[20] | 送信 FIFO アクセスエラー | - | (1)FIFO に空きがない状態でデータ書き込みを行った時 (2)FIFO の書き足し時にオーバーフローが発生した時 (3)送信中に送信すべきデータがなくなった時 |
| INT[21] | 予約 | - | - |
| INT[22] | 汎用タイマ 1 | タイマ開始 | 汎用タイマ 1 満了時 汎用タイマ用クロック周期 *分周設定([GT_CLK_SET: B0 0x33]) * 汎用タイマ間隔設定([GT1_TIMER: B0 0x34])後 |
| INT[23] | 汎用タイマ 2 | タイマ開始 | 汎用タイマ 2 満了時 汎用タイマ用クロック周期 *分周設定([GT_CLK_SET: B0 0x33]) * 汎用タイマ間隔設定([GT2_TIMER: B0 0x35])後 |

(*1)FIFO に Length 分の送信データを書き込み完了した後、TX_ON 命令を発行し送信する場合

(3) 割り込みクリア条件

| 割り込み通知 | | 推奨割り込みクリアタイミング |
|---------|----------------------------------|--|
| INT[0] | クロック安定化終了 | |
| INT[1] | VCO キャリブレーション完了 VCO 調整電圧範囲外検出 | |
| INT[2] | PLL ロック外れ検出 | |
| INT[3] | RF 状態遷移完了 | |
| INT[4] | FIFO-EMPTY | 次の EMPTY トリガ発生タイミングまでにクリア |
| INT[5] | FIFO-FULL | 次の FULL トリガ発生タイミングまでにクリア |
| INT[6] | ウェイクアップ完了 | |
| INT[7] | クロックキャリブレーション | |
| INT[8] | データ受信完了 | 次のパケット受信前までにクリア |
| INT[9] | CRC エラー | 次のパケット受信前までにクリア |
| INT[10] | ダイバーシティサーチ完了 | 割り込み発生後 |
| INT[11] | 受信 Length エラー | |
| INT[12] | 受信 FIFO アクセスエラー | 次のパケット受信前までにクリア |
| INT[13] | SyncWord 検出 | |
| INT[14] | Field チェック | |
| INT[15] | Sync エラー | |
| INT[16] | データ送信完了 | 次のパケット送信前までにクリア |
| INT[17] | データ送信要求受付完了 | 次のパケット受信前までにクリア |
| INT[18] | CCA 完了 | 次の CCA 実行までにクリア ※ただし、割り込みクリアにより CCA 結果もクリアされます。 |
| INT[19] | 送信 Length エラー | |
| INT[20] | 送信 FIFO アクセスエラー | 次のパケット送信前までにクリア |
| INT[21] | 予約 | |
| INT[22] | 汎用タイマ 1 | |
| INT[23] | 汎用タイマ 2 | |

○低速クロック補正補助機能

本 LSI は、ウェイクアップタイマ用クロック(外部入力、内蔵 RC 発振回路出力)の周波数を調整するための補助機能として、低速クロック周波数のずれを検出する機能を持っています。本機能は以下のレジスタにより設定、使用することができます。本機能により検出したウェイクアップタイマ用クロック周波数のずれを考慮し、ウェイクアップタイマ間隔設定 ([WUT_INTERVAL_H/L: B0 0x2F/0x30]) または動作継続タイマ間隔設定 ([WU_DURATION: B0 0x31]) を調整することで、より正確なタイマ動作をさせることが可能となります。

| 設定 | レジスタ |
|-----------------------|---|
| 周波数ずれ検出用 クロック周波数設定 | [CLK_CAL_SET: B0 0x70] |
| キャリブレーション時間 | [CLK_CAL_TIME: B0 0x71] |
| キャリブレーション結果表示 | [CLK_CAL_H: B0 0x72]および[CLK_CAL_L: B0 0x73] |

本機能は、ウェイクアップタイマ用低速クロック周期を LSI 内部の高精度、高速クロックによりカウントを行い、カウント結果を [CLK_CAL_H/L: B0 0x72/0x73] レジスタに表示します。上記設定とカウント数との関係は以下の通りとなります。

$$\begin{aligned} \text{高速クロックカウント数} &= \{ \text{ウェイクアップタイマ用クロック周期} ([\text{SLEEP/WU_SET: B0 0x2D}(2)]) * \\ &\quad \text{キャリブレーション時間設定} ([\text{CLK_CAL_TIME: B0 0x71}(5-0)]) \} / \\ &\quad \{ \text{マスタークロック周期}(24\text{MHz}) / \text{クロック分周設定値} ([\text{CLK_CAL_SET: B0 0x70}(7-4)]) \} \end{aligned}$$

このときの、キャリブレーション時間は下式となります。

$$\text{クロックキャリブレーション時間[sec]} = \text{ウェイクアップタイマ用クロック周期} * \text{キャリブレーション時間設定}$$

(ウェイクアップタイマ補正例)

内部高速クロックの分周設定なし、キャリブレーション時間 10 サイクル、ウェイクアップタイマ設定 1000(0x3E8)を設定した場合

$$\begin{aligned} \text{条件: ウェイクアップタイマ用クロック周波数} &= 32.768\text{kHz} \\ \text{検出用クロック分周設定 CLK_CAL_DIV}[3:0] ([\text{CLK_CAL_SET: B0 0x70}(7-4)]) &= 0b0000 \\ \text{キャリブレーション時間設定 [CLK_CAL_TIME]} &= 0x0A \\ \text{ウェイクアップタイマ設定 [WUT_INTERVAL: B0 0x2F,30]} &= 0x03E8 \end{aligned}$$

理想的な高速クロックカウント数は、

$$\begin{aligned} \text{高速クロックカウント数} &= (1/32.768\text{kHz}) * 10 / (1/24\text{MHz}) \\ &= 7324(0x1C9C) \end{aligned}$$

ここで、[CLK_CAL_H/L: B0 0x72,73] レジスタで 0x1BB5(7093)を得た場合、

$$\text{カウンタズレ値} = 7093 - 7324 = -231$$

$$\text{周波数ズレ} = 1 / \{ [1/32.768\text{kHz} + (-231) / 10 * 1/24\text{MHz}] \} - 32.768\text{kHz} = 1.067\text{kHz}$$

となり、低速クロック周波数誤差が+3.26%であることが分かります。この場合、ウェイクアップタイマ用カウンターの補正值(C)は、

$$\begin{aligned} \text{C} &= \text{ウェイクアップタイマ設定値} ([\text{WU_INTERVAL_H/L: B0 0x2F,30}]) * \text{周波数ズレ} / 32.768\text{kHz} \\ &= 1000 * 1.067\text{kHz} / 32.768\text{kHz} \\ &= 33 \end{aligned}$$

ウェイクアップタイマ設定値 = 1000 + 33 = 1033 = 0x0409 を設定することで、32.768kHz で設定しようとしたタイマ時間に近づきます。

【ご注意】

キャリブレーション時間が短い場合やクロック分周設定値が大きく、高速クロックカウントの時間分解能が粗い場合、キャリブレーション精度が低くなります。

■LSI 調整項目と調整方法

●PA の調整

本 LSI は 1mW 用と 20mW 用(10mW 兼用)の出力回路を有しており、PA_MODE[1:0]([PA_MODE: B0 0x67(5-4)])でいずれかの回路が選択ができます。

| PA_MODE[1:0] | 用途 |
|--------------|------|
| 00 | 1mW |
| 01 | 10mW |
| 10 | 20mW |
| 11 | 使用禁止 |

各々の出力回路は以下の 3 つのレジスタにより、出力電力が調整されます。

- 粗調整用 1. PA レギュレータ電圧粗調整用 [PA_MODE: B0 0x67(2-0)] 7 階調
- 粗調整用 2. PA 出力アンプゲイン調整 [PA_ADJ: B0 0x69(4-0)] 32 階調
- 微調整用. PA レギュレータ電圧微調整用[PA_REG_FINE_ADJ: B0 0x68(3-0)] 16 階調

粗調整 1. PA レギュレータ電圧粗調整

PA レギュレータ電圧を調整することで、出力電力を調整します。

ただし PA レギュレータ電圧値は、[VDD_PA 印加電圧 - 0.3V] 以下となるように設定してください。

| PA_REG[2:0] ([PA_MODE: B0 0x67 (2-0)]) | PA レギュレータ電圧 [V] |
|--|--------------------|
| 0b000 | 1.43 |
| 0b001 | 1.55 |
| 0b010 | 1.67 |
| 0b011 | 1.78 |
| 0b100 | 1.90 |
| 0b101 | 2.02 |
| 0b110 | 2.14 |
| 0b111 | 2.25 |
| 上記以外 | 使用禁止 |

粗調整用 2. PA 出力アンプゲイン調整

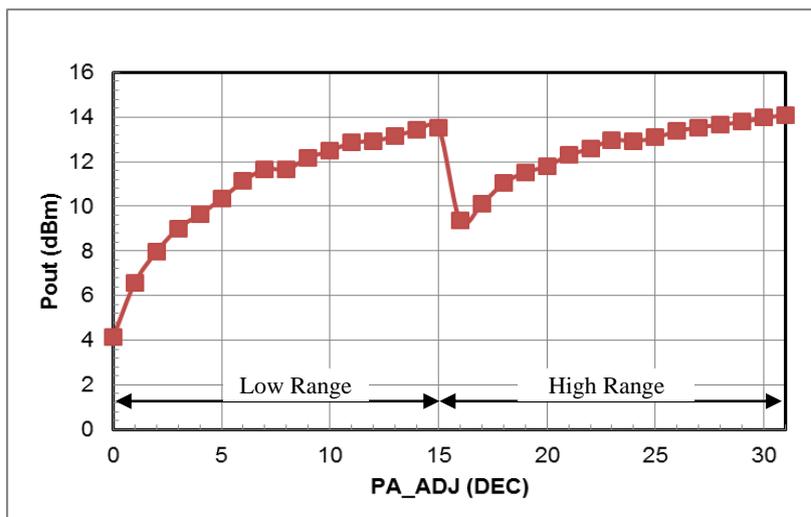
出力アンプのゲインを調整することで出力電力を調整します。調整ステップは 0.4dB~1.5dB です。

PA_ADJ ([PA_ADJ: B0 0x69(4)])=0b1 :High Range 設定

PA_ADJ ([PA_ADJ: B0 0x69(4)])=0b0 :Low Range 設定

[PA_ADJ: B0 0x69(4-0)]=0x1F : 出力アンプゲイン最大

[PA_ADJ: B0 0x69(4-0)]=0x00 : 出力アンプゲイン最小



ML7345 における PA_ADJ[4:0]と PA 出力の関係(参考値)
(13dBm モード時)

微調整用. PA レギュレータ電圧微調整

PA レギュレータ電圧を微調整することで、出力電力を微調整します。調整ステップは 0.2dB 以下です。

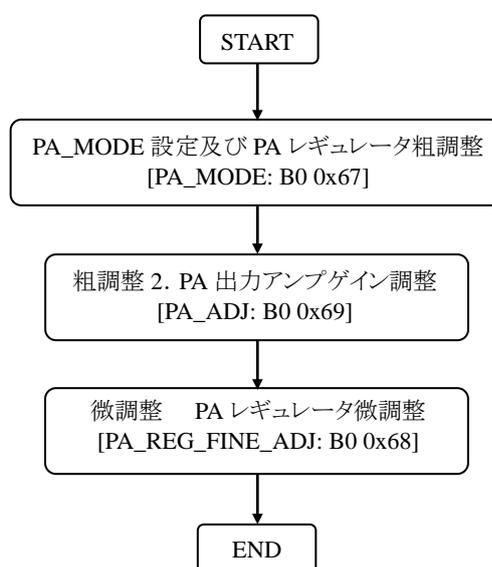
[PA_REG_FINE_ADJ: B0 0x68]=0x1F (最大)

[PA_REG_FINE_ADJ: B0 0x68]=0x00 (最小)

【ご注意】

各出力モードで、効率が最大となるマッチング回路は異なります。

【出力電力調整のフロー】



●I/Q の調整

内部 IQ 信号のバランスを調整することによりイメージ除去比を調整することができます。調整は以下の手順で実施することができます。

1. SG よりチャンネル周波数の信号を ANT 端子から入力します。

入力信号源: 無変調波

入力周波数: チャンネル周波数

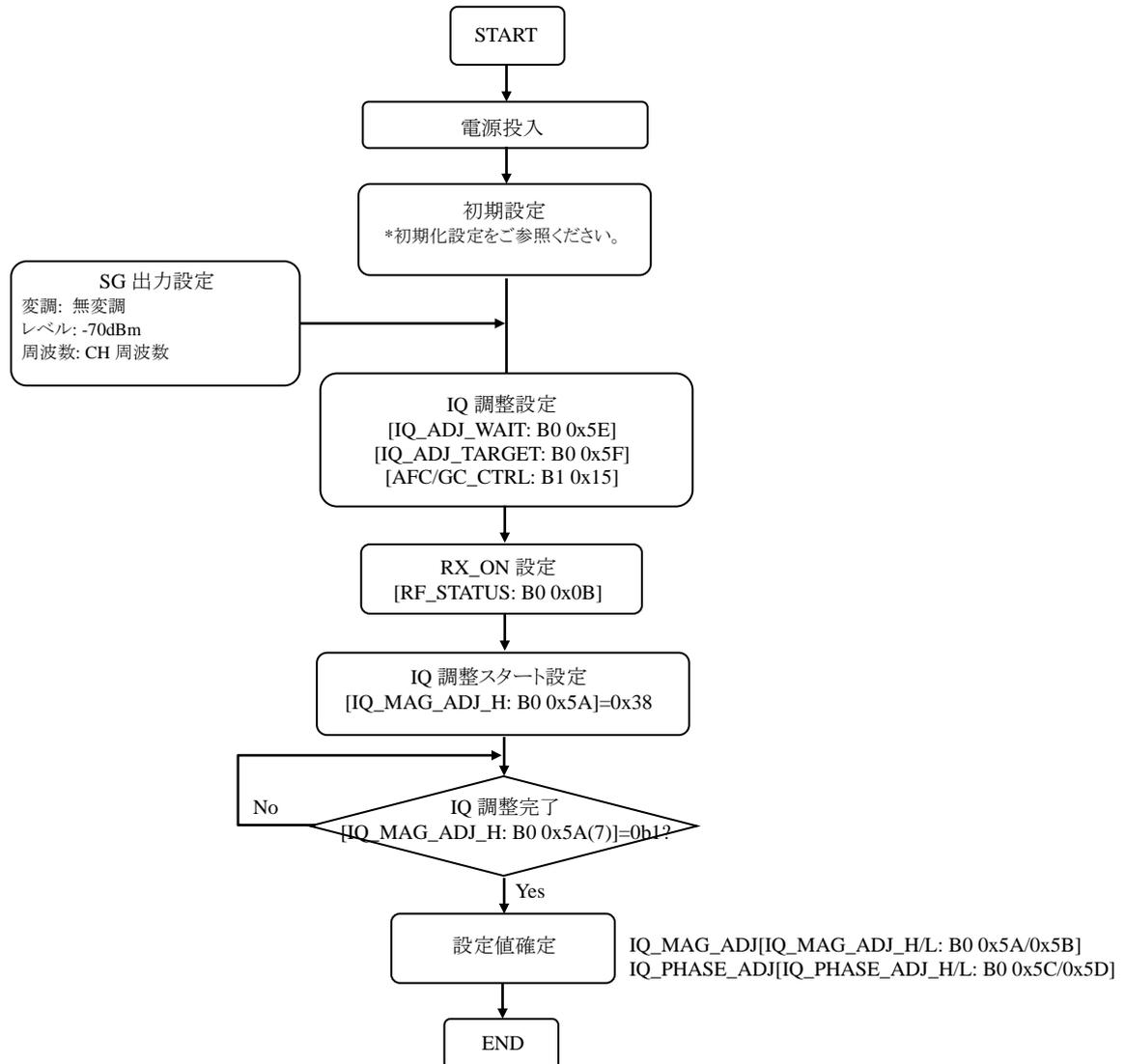
入力レベル: -70dBm

2. IQ 調整時の設定として、下記レジスタを設定します。

| レジスタ名 | 設定値 |
|--------------------------|------------------|
| [CHFIL_BW: B0 0x54] | 0x14 |
| [DEC_GAIN: B0 0x60] | 0x04 |
| [IQ_ADJ_WAIT: B0 0x5E] | 0x00 |
| [IQ_ADJ_TARGET: B0 0x5F] | ご使用の条件に合わせて調整下さい |
| [AFC/AGC_CTRL: B1 0x15] | 0x00 |

3. RX_ON 後、IQ_ADJ_START([IQ_MAG_ADJ_H: B0 0x5A(4)])=0b1 および LOCAL_SEL([IQ_MAG_ADJ_H: B0 0x5A(5)])=0b1(Upper Local 設定)に設定し、調整開始します。
4. 調整完了を IQ_ADJ_DONE([IQ_MAG_ADJ_H: B0 0x5A(7)])=0b1 にて示します。調整完了後、調整値が確定し IQ_MAG_ADJ([IQ_MAG_ADJ_H/L: B0 0x5A/0x5B])および IQ_PHASE_ADJ([IQ_PHASE_ADJ_H/L: B0 0x5C/0x5D])に格納されます。また、IQ 自動調整の結果、調整後の RSSI 値と IQ 自動調整 RSSI 判定閾値との比較結果を IQ_ADJ_RSLT([IQ_MAG_ADJ_H: B0 0x5A(6)])に表示されます。IQ_ADJ_RSLT=0b0 を示し調整後の RSSI 値が IQ 自動調整 RSSI 判定閾値より大きい場合は、再度 IQ 調整を実施してください。ただし、IQ 調整機構を繰り返し実施した場合であっても、必ず IQ 自動調整 RSSI 判定閾値以下となる IQ 調整値を探索できるというものはございませんのでご注意ください。

【I/Q 調整フロー】



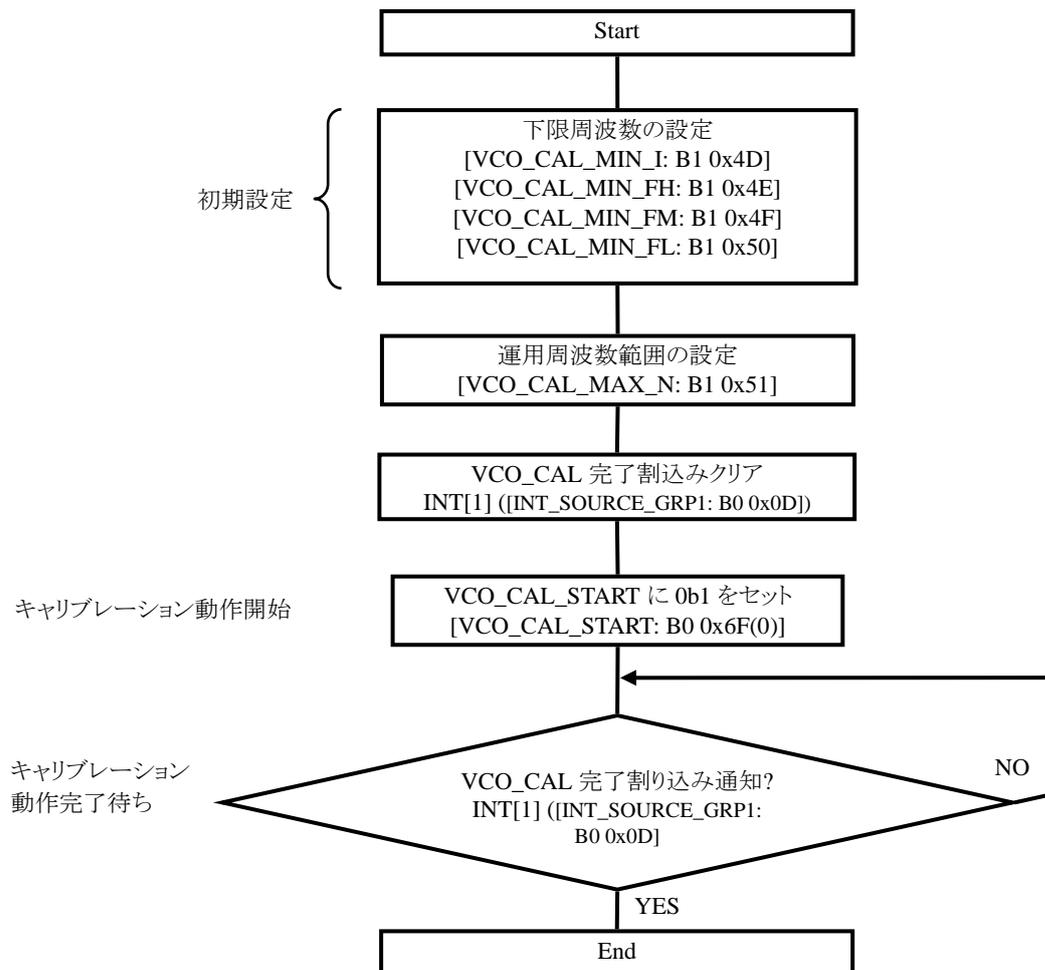
●VCO の調整

VCO 動作マージンを補償するために、設定周波数毎に最適な容量補正值を設定する必要があります。この容量補正值は VCO キャリブレーションの実行により取得することができます。

起動時やリセット時等にあらかじめ VCO キャリブレーションを実行することで、送信/受信毎に運用周波数範囲の下限/上限における 2 点の容量補正值を取得しておき、運用時にはこれらの容量補正值を元に、設定周波数での最適な容量補正值を LSI 内部で自動計算して使用します。

【VCO 調整フロー】

起動時およびリセット時の容量補正值の取得の流れを下記に示します。



【ご注意】

VCO キャリブレーションの実行は必ず IDLE 状態で行ってください。

VCO キャリブレーションの実行には 2.6ms~8.8ms 必要です。
完了後は以下のレジスタにそれぞれの条件の容量補正值が保存されます。

下限周波数での容量補正值: [VCAL_MIN: B1 0x52]

上限周波数での容量補正值: [VCAL_MAX: B1 0x53]

実際の運用時には、送受信それぞれ二つの容量補正值から、設定された周波数(チャンネル)に最適な容量補正值を計算して適用されます。計算後の値は[VCO_CAL: B0 0x6E]に表示されます。

なお、事前の評価段階で以下のレジスタの値を MCU 側のメモリで保持し、起動時やリセット時に保持した値をレジスタに設定することで、キャリブレーション動作を省略することができます。

・保持しておくべきレジスタ

[VCO_CAL_MIN_I: B1 0x4D]

[VCO_CAL_MIN_FH: B1 0x4E]

[VCO_CAL_MIN_FM: B1 0x4F]

[VCO_CAL_MIN_FL: B1 0x50]

[VCO_CAL_MAX_N: B1 0x51]

[VCAL_MIN: B1 0x52]

[VCAL_MAX: B1 0x53]

VCO キャリブレーションを行った場合であっても、キャリブレーション実行時からの温度変化により VCO 調整電圧値が VCO の最適動作範囲から外れる場合があります。本 LSI は VCO 調整電圧値が最適動作範囲外であるか否かを検出し、レジスタ表示する機能および割込みとして MCU に通知する機能を持っています。本機能は VTUNE_COMP_ON[VTUNE_COMP_ON: B2 0x40(5)]= 0b1 に設定することにより有効となります。

VCO 調整電圧下限閾値比較結果表示: VTUNE_COMP_L[VCO_VTRSLT: B0 0x40(0)]

VCO 調整電圧上限閾値比較結果表示: VTUNE_COMP_H[VCO_VTRSLT: B0 0x40(1)]

VCO 調整電圧範囲外検出割込み通知設定: VTUNE_INT_ENB[VCO_VTRSLT: B0 0x40(2)]

PLL ロック判定設定: PLL_LD_EN[PLL_LOCK_DETECT: B1 0x0B(7)]

| VTUNE_COMP_L [VCO_VTRSLT: B0 0x40(0)] | VTUNE_COMP_H [VCO_VTRSLT: B0 0x40(1)] | VCO 調整電圧値の状態 |
|--|--|---------------|
| 0 | 0 | 最適動作範囲内 |
| 0 | 1 | 最適動作範囲外(上限以上) |
| 1 | 0 | 最適動作範囲外(下限未満) |
| 1 | 1 | 異常状態 |

VCO 調整電圧範囲外検出時の割込み通知は、PLL ロック外れ検出割込み(INT2[INT_SOURCE_GRP1: B0 0x0D(2)])にて通知します。

【ご注意】

1. 下限周波数には、実際に運用する下限周波数に対して 400kHz 以上低い値を設定してください。
2. 上限値の設定は、実際に運用する周波数範囲が完全に含まれるように設定してください。
3. チャンネル設定の変更などで、キャリブレーション実行時に設定した周波数範囲外の周波数を使用する場合は、再度適切な周波数範囲を設定して、キャリブレーションを再実行してください。
4. VCO が最適動作範囲から外れた場合、すなわち VTUNE_COMP_L/VTUNE_COMP_H のいずれかが 0b1 を示した時、その状態で RF 動作を行いますと VCO の動作マージンがなくなり、PLL ロック外れを引き起こす可能性があります。必ずキャリブレーションを再実行するか、VCO 動作マージンを確保するようキャリブレーション値を変更してください。
5. PLL ロック外れ検出割込み(INT2[INT_SOURCE_GRP1: B0 0x0D(2)])は以下の 2 つの要因により発生します。そのときの PLL ロック判定設定(PLL_LD_EN[PLL_LOCK_DETECT: B1 0x0B(7)])、それぞれの要因の検出タイミングと割込み発生後の LSI 動作の関係は以下の通りとなります。

・PLL ロック外れが発生した場合

| LSI 状態 | PLL ロック外れ 監視期間 | PLL ロック判定設定と PLL ロック外れ検出割込み発生後の LSI 動作 | |
|--------|---------------------|--|--|
| | | PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b1 | PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b0 |
| 送信 | PA_ON="H"の期間 | 割込み発生し、強制送信停止 | 割込み発生し、送信継続 |
| 受信 | RX イネーブル="H"の 期間 | 割込み発生し、受信継続 | 割込み発生し、受信継続 |

・VCO 調整電圧値が最適動作範囲外となった場合

| LSI 状態 | VCO 調整電圧値 判定タイミング | PLL ロック判定設定と PLL ロック外れ検出割込み発生後の LSI 動作 | |
|--------|----------------------|--|--|
| | | PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b1 | PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b0 |
| 送信 | PA_ON の立上り時 | 割込み発生し、強制送信停止 | 割込み発生し、送信継続 |
| 受信 | RX イネーブルの 立上り時 | 割込み発生し、受信継続 | 割込み発生し、受信継続 |

○VCO 下限周波数の設定

VCO 下限周波数は「チャンネル周波数の設定」で示した I を[VCO_CAL_MIN_I: B0 0x4D]レジスタで設定し、 F を MSB から[VCO_CAL_MIN_FH: B1 0x4E]、[VCO_CAL_MIN_FM: B1 0x4F]、[VCO_CAL_MIN_FL: B1 0x50]レジスタの順で設定します。

VCO 下限周波数設定は次式にて求められます。

$$I = \frac{f_{rf}}{f_{ref} / N_{div}} \text{ の整数部分}$$

$$F = \left\{ \frac{f_{rf}}{f_{ref} / N_{div}} - I \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで、

- f_{rf} : VCO 下限周波数(チャンネル#0 周波数 - 400kHz)
- f_{ref} : PLL リファレンス周波数(=マスタークロック周波数:FMCK1)
- I : 整数部周波数設定
- F : 小数部周波数設定
- N_{div} : 分周設定

N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

例) 運用下限周波数(チャンネル#0 周波数)を 426MHz で使用する場合、設定値はそれよりも 400kHz 以上低い値とする必要があるため、例では下限周波数 425.6MHz、マスタークロック周波数 24MHz、 $N_{div}=2$ とします。

$$I = \frac{425.6MHz}{(24MHz/2)} \text{ の整数部} = 35(0x23)$$

$$F = \left\{ \frac{425.6MHz}{(24MHz/2)} - 35 \right\} \cdot 2^{20} \text{ の整数部} = 489335(0x077777)$$

それぞれのレジスタへの設定値は以下の通りです。

| | |
|-----------------------------|------|
| [VCO_CAL_MIN_I: B1 0x4D] = | 0x23 |
| [VCO_CAL_MIN_FH: B1 0x4E] = | 0x07 |
| [VCO_CAL_MIN_FM: B1 0x4F] = | 0x77 |
| [VCO_CAL_MIN_FL: B1 0x50] = | 0x77 |

となります。

○VCO 上限周波数の設定

VCO 上限周波数は、下限周波数設定値と VCO_CAL_MAX_N[3:0]([VCO_CAL_MAX_N: B1 0x51(3-0)])により、下記に示す計算式にて算出されます。下式を満たす上限周波数を選択してください。

$$\text{VCO 上限周波数} = \{\text{運用上限周波数} - (\text{運用下限周波数} - 400\text{kHz})\} \times N_{\text{div}}$$

N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

VCO 上限周波数(VCO_CAL_MAX_N[3:0])は以下の通り設定されます。

| VCO_CAL_MAX_N[3:0] | VCO 上限周波数[MHz] |
|--------------------|----------------|
| 0b0000 | 0 |
| 0b0001 | 0.75 |
| 0b0010 | 1.5 |
| 0b0011 | 3 |
| 0b0100 | 6 |
| 0b0101 | 12 |
| 0b0110 | 24 |
| 0b0111 | 48 |
| 上記以外 | 設定禁止 |

●電力検出値(ED 値)の調整

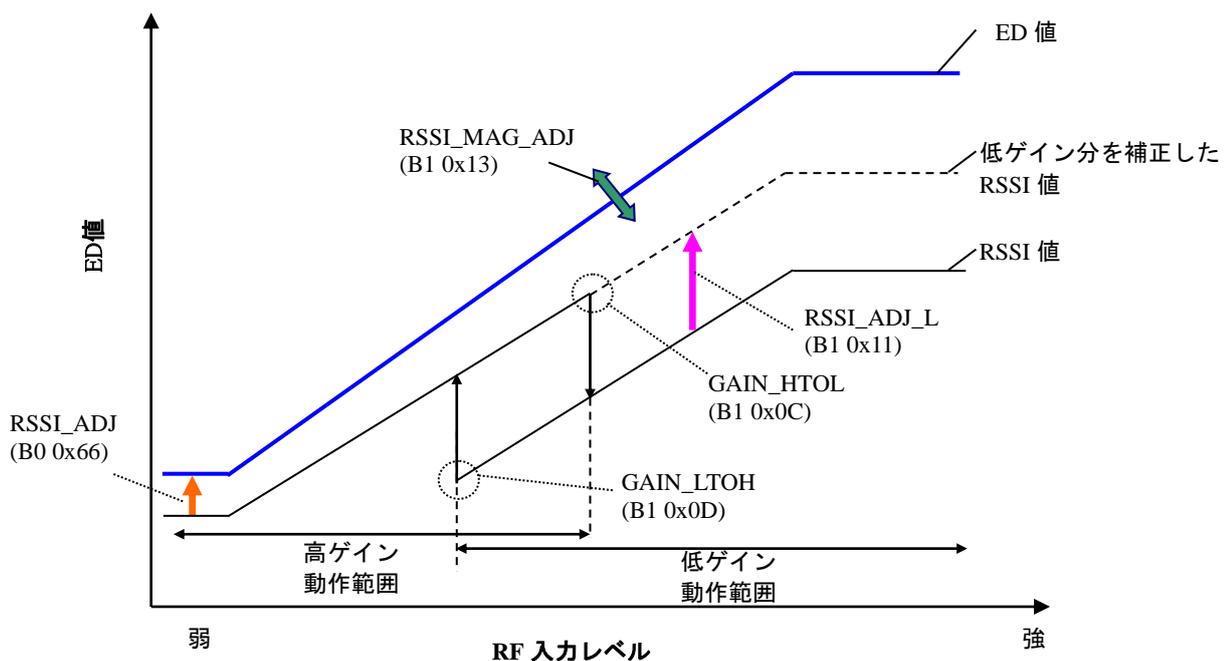
[ED 値の調整]

RFからのRSSI(アナログ信号)から、本節で説明する演算を行い、ED値として算出致します。
本調節を行うことで、個体間のバラツキを補正することが可能となります。
ゲイン調整と関連するレジスタの関係を下記に示します。

広い入力レンジをカバーするために、ある入力レベルでゲイン切り替えを行います。[GAIN_HTOL: B1 0x0C]と[GAIN_LTOH: B1 0x0D]はゲイン切り替えのポイントを設定し、[RSSI_ADJ_L: B1 0x11]によりゲイン切り替え時の線形性を保つための加算を行います。[RSSI_MAG_ADJ: B1 0x13]は、RSSIの傾きを設定し、ED値が0x00(最小)から0xFF(最大)の値を取るよう設定しています。これらのレジスタ値は“初期設定レジスタ”で指定する値を設定し、調整用に設定を変えないでください。

[RSSI_ADJ: B0 0x66]では、同一入力レベルに対する上下バラツキを調整します。ただし、[RSSI_MAG_ADJ: B1 0x13]による傾き設定前の値に対する補正となります。なお、正の値を設定すると低入力レベル時にED値が0x00まで下がらなくなります。また、負の値を設定すると高入力レベル時に0xFFまで上がらなくなる場合があります。

RSSI_ADJの値はチャンネルフィルタ帯域幅および内部ゲイン設定によって変わります。従いまして、データレートまたはチャンネルフィルタ帯域設定毎に調整が必要です。なお、データレート毎の初期値については初期設定レジスタで指定する値を推奨します。



High ゲイン範囲で動作している場合…
Low ゲイン範囲で動作している場合…

RSSI 値 > GAIN_HTOL で Low ゲインに遷移します。
GAIN_LTOH ≥ RSSI 値 で High ゲインに遷移します。

●発振回路の調整

水晶振動子を使用する場合、XIN 端子(ピン#1)と XOUT 端子(ピン#36)に付く負荷容量を調整することで水晶振動子の偏差を調整することができます。負荷容量の調整は[OSC_ADJ1: B0 0x62]と[OSC_ADJ2: B0 0x63]を変更することで可能です。

| レジスタ名 | 説明 |
|---------------------|-----|
| [OSC_ADJ1: B0 0x62] | 粗調整 |
| [OSC_ADJ2: B0 0x63] | 微調整 |

負荷容量値を大きくすることで発振周波数は下がる方向となります。

(OSC_ADJ1[7:4]とOSC_ADJ1[3:0]とは、それぞれ XO 側と XI 側の負荷容量を調整する働きになっていますので、両者は同時に変更する事を推奨いたします。)

| [OSC_ADJ1: B0 0x62]/ [OSC_ADJ2: B0 0x63] | 負荷容量 | 水晶発振周波数 |
|---|------|---------|
| 0x00/0x00 | 小 | 高 |
| ... | ... | ... |
| 0x88/0x80 | 中 | 中 |
| ... | ... | ... |
| 0xFF/0xFF | 大 | 低 |

また、送受信周波数の調整は、PLL 周波数設定にオフセットを持たせることによる調整も可能です。詳細は「送受信周波数の調整」をご参照ください。

●送受信周波数の調整

マスタークロック偏差による送受信周波数のずれは $FREQ_ADJ_SIGN([FREQ_ADJ_H: B1\ 0x42(7)])$ および $FREQ_ADJ$ [9:0] ($[FREQ_ADJ_H/L: B1\ 0x42(1-0)/0x43]$) にて調整することができます。

$FREQ_ADJ$ [9:0] の設定値は、下記の式で求められます。

$$FREQ_ADJ = round \left[\left\{ \frac{f_{adj}}{f_{ref} / N_{div}} \right\} \cdot 2^{20} \right]$$

ここで

$FREQ_ADJ$: 周波数ずれ調整設定

f_{adj} : 周波数ずれ調整周波数 [MHz]

f_{ref} : PLL リファレンス周波数 (= マスタークロック周波数: FMCK1)

N_{div} : 分周設定

$round[]$: 一番近い整数への丸め

N_{div} の値については、「チャンネル周波数の設定」をご参照ください。

例) 周波数ずれ調整周波数+1kHz の場合 (マスタークロック 24MHz、 $N_{div}=2$ 時)、以下のようになります。

$$FREQ_ADJ = round \left[\left\{ \frac{0.001MHz}{24MHz/2} \right\} \cdot 2^{20} \right] = 87 (0x057)$$

$[FREQ_ADJ_H: B1\ 0x42] = 0x80$

$[FREQ_ADJ_L: B1\ 0x43] = 0x57$

となります。

マスタークロック偏差の調整は「発振回路の調整」によって調整することもできます。

■その他の設定

●初期化設定

初期化に必要なレジスタ設定値については、次の資料をご参照ください。

| | |
|---------------|-----------------------------|
| 対象機種: ML7345 | ML7345_初期設定レジスタ |
| | ML7345_RegisterSettingTool |
| 対象機種: ML7345D | ML7345D_初期設定レジスタ |
| | ML7345D_RegisterSettingTool |

●BER 測定時の設定

本 LSI で BER を測定する際には、被試験器 (受信) 側で以下のレジスタを設定変更する必要があります。

[DIO_SET: B0 0x0C]に 0x40 を設定
[MON_CTRL: B0 0x4D]に 0x80 を設定
[GPIO0_CTRL: B0 0x4F]～[GPIO3_CTRL: B0 0x52]にて DCLK/DIO 出力設定を行う
[GAIN_HOLD: B1 0x0E]に 0x00 を設定

BER 測定を完了し、受信を停止する場合は、Force_TRX_OFF(SET_TRX[RF_STATUS: B0 0x0B(3-0)]を 0b0011 に設定) を実行してください。

●Wireless M-Bus モード設定

Wireless M-Bus に規定されるモード(S/T/C/R/N/F)設定については、次の資料をご参照ください。

| | |
|---------------|------------------|
| 対象機種: ML7345 | ML7345_初期設定レジスタ |
| 対象機種: ML7345D | ML7345D_初期設定レジスタ |

●IEEE802.15.4g モード設定

IEEE802.15.4g に規定されるパケットフォーマットに対し、本 LSI で設定が必要なレジスタは以下の通りです。

○送受共通

Whitening 設定

| パラメータ | レジスタ | | 設定値 |
|--------------------|------------|---------|------|
| | 名称 | アドレス | |
| Whitening 初期状態設定 1 | WHT_INIT_H | B1 0x64 | 0x00 |
| Whitening 初期状態設定 2 | WHT_INIT_L | B1 0x65 | 0xF0 |
| Whitening 生成多項式設定 | WHT_CFG | B1 0x66 | 0x10 |

○送信

(1) CRC16, Whitening なしの場合

| パラメータ | レジスタ | | 設定値 |
|------------------|----------------------|---------|----------|
| | 名称 | アドレス | |
| パケットフォーマット設定 | PKT_CTRL1 | B0 0x04 | 0x16 |
| CRC/Length 長設定 | PKT_CTRL2 | B0 0x05 | 0x5D |
| Whitening 設定 | DATA_SET2 | B0 0x08 | 0x00 |
| PHR 設定(bit15-11) | TX_PKT_LEN_H(bit7-3) | B0 0x7A | 0b0_0010 |

(2) CRC16, Whitening ありの場合

| パラメータ | レジスタ | | 設定値 |
|------------------|----------------------|---------|----------|
| | 名称 | アドレス | |
| パケットフォーマット設定 | PKT_CTRL1 | B0 0x04 | 0x16 |
| CRC/Length 長設定 | PKT_CTRL2 | B0 0x05 | 0x5D |
| Whitening 設定 | DATA_SET2 | B0 0x08 | 0x01 |
| PHR 設定(bit15-11) | TX_PKT_LEN_H(bit7-3) | B0 0x7A | 0b0_0011 |

(3) CRC32, Whitening なしの場合

| パラメータ | レジスタ | | 設定値 |
|------------------|----------------------|---------|----------|
| | 名称 | アドレス | |
| パケットフォーマット設定 | PKT_CTRL1 | B0 0x04 | 0x16 |
| CRC/Length 長設定 | PKT_CTRL2 | B0 0x05 | 0xAD |
| Whitening 設定 | DATA_SET2 | B0 0x08 | 0x00 |
| PHR 設定(bit15-11) | TX_PKT_LEN_H(bit7-3) | B0 0x7A | 0b0_0000 |

(4) CRC32, Whitening ありの場合

| パラメータ | レジスタ | | 設定値 |
|------------------|----------------------|---------|----------|
| | 名称 | アドレス | |
| パケットフォーマット設定 | PKT_CTRL1 | B0 0x04 | 0x16 |
| CRC/Length 長設定 | PKT_CTRL2 | B0 0x05 | 0xAD |
| Whitening 設定 | DATA_SET2 | B0 0x08 | 0x01 |
| PHR 設定(bit15-11) | TX_PKT_LEN_H(bit7-3) | B0 0x7A | 0b0_0001 |

○受信

IEEE802_15_4G_EN[PKT_CTRL1: B0 0x04(2)]=0b1 設定することで、受信した PHR から FCS 情報、Whitening 情報を自動判定し受信します。

| パラメータ | レジスタ | | 設定値 |
|----------------|-----------|---------|-----------|
| | 名称 | アドレス | |
| パケットフォーマット設定 | PKT_CTRL1 | B0 0x04 | 0x16 |
| CRC/Length 長設定 | PKT_CTRL2 | B0 0x05 | 0x5D/0xAD |
| Whitening 設定 | DATA_SET2 | B0 0x08 | 0x01/0x00 |

■フローチャート

| カテゴリ | 条件 1 | 条件 2 | フロー名 |
|-------------|-----------------|--------------------|-----------------------|
| 電源投入時 | - | - | (1) 初期化フロー |
| 送信受信共通 | RF 状態遷移待ち | - | (1) RF 状態遷移待ち |
| 送信時 | DIO モード | - | 送信時(1) DIO モード |
| | FIFO モード | 64 バイト以下 | 送信時(2) FIFO モード |
| | | 65 バイト以上(FAST_TX) | 送信時(3) FIFO モード |
| 自動送信 | - | 送信時(4) 自動送信時 | |
| 受信時 | DIO モード | - | 受信時(1) DIO モード |
| | FIFO モード | 64 バイト以下 | 受信時(2) FIFO モード |
| | | 65 バイト以上 | 受信時(3) FIFO モード |
| | ACK 送信 | - | 受信時(4) ACK 送信 |
| | Field チェック | - | 受信時(5) Field チェック |
| | CCA | 通常モード | 受信時(6) CCA 通常モード |
| | | 無限実行モード | 受信時(6) CCA 無限実行モード |
| | | IDLE 検出モード | 受信時(6) CCA IDLE 検出モード |
| | 高速電波チェック | - | 受信時(7) 高速電波チェック |
| ED-SCAN | - | 受信時(8) ED-SCAN | |
| アンテナダイバーシティ | ダイバーシティ実行 | 受信時(9) アンテナダイバーシティ | |
| SLEEP | SLEEP | 発振回路使用時 | (1) SLEEP(発振回路使用時) |
| | | TCXO 使用時 | (2) SLEEP(TCXO 使用時) |
| | ウェイクアップタイマ | - | (3) ウェイクアップタイマ |
| エラー発生時 | Sync エラー | - | (1) CRC/Sync エラー |
| | 送信 FIFO アクセスエラー | - | (2) 送信 FIFO アクセスエラー |
| | 受信 FIFO アクセスエラー | - | (3) 受信 FIFO アクセスエラー |
| | PLL ロック外れ | - | (4) PLL ロック外れ |
| データレート変更時 | - | - | データレート変更 |

●電源投入時

(1) 初期化フロー

初期化フローでは割り込み処理、レジスタ設定、VCO キャリブレーションが必要です。

(1) 割り込み処理

初期値では全割り込みの通知設定 ([INT_EN_GRP1-3: B0 0x10-0x12]) がディセーブル設定となっております。ハードリセット解除後はクロック安定化完了割り込み (INT[0]:割り込みグループ 1) が検出されるため、[INT_EN_GRP1:B0 0x10]レジスタで INT[0]をイネーブルにしてください。

(2) レジスタ設定

① 水晶発振回路使用時

FIFO アクセスレジスタ([WR_TX_FIFO: B0 0x7C]、[RD_FIFO: B0 0x7F])を除く BANK0 および BANK1 の全レジスタはクロック安定化完了割り込みが通知されるまで十分時間経過後に INT0[INT_SOURCE_GRP1: B0 0x0D(0)]をリードし、クロック安定化完了割り込み INT[0]の通知確認後、レジスタアクセスしてください。初期化に必要なレジスタ設定の詳細は、「初期設定レジスタ」をご参照ください。

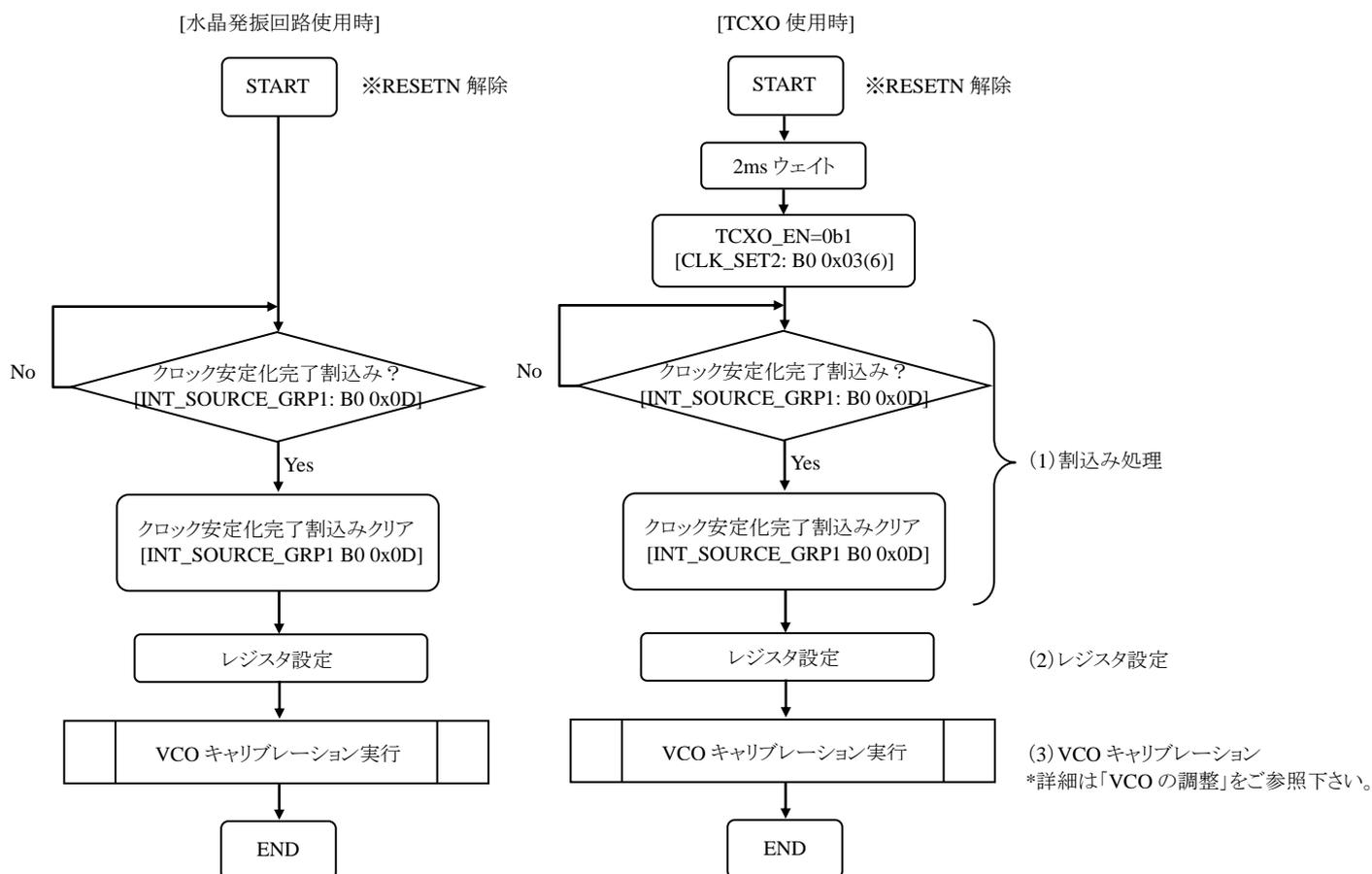
② TCXO 使用時

FIFO アクセスレジスタ([WR_TX_FIFO: B0 0x7C]、[RD_FIFO: B0 0x7F])を除く BANK0 および BANK1 の全レジスタは INT[0]の通知を待たずに(=ハードリセット解除後に)、レジスタアクセスが可能です。TCXO 使用時は SPI アクセスに対する設定タイミング制約事項があります。詳細は「タイムチャート-起動時」をご参照ください。また、初期化に必要なレジスタ設定の詳細は、「初期設定レジスタ」をご参照ください。

(3) VCO キャリブレーション

運用周波数の下限周波数と上限周波数を設定し、VCO キャリブレーションを実行します。

VCO キャリブレーションの実行方法については「VCO の調整」をご参照下さい。



●送信/受信共通

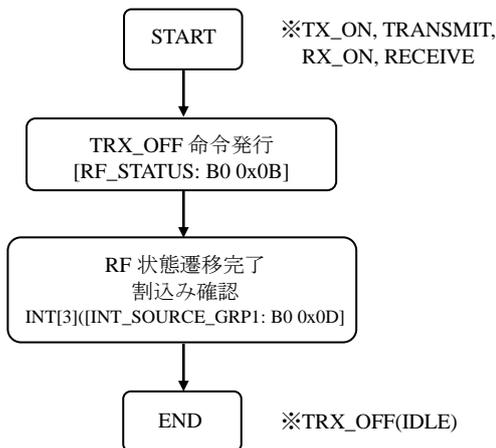
(1) RF 状態遷移待ち

以下の RF 状態が変更する設定を行った場合、その後 RF 状態遷移が完了したことを RF 状態遷移完了割り込み(INT[3]: 割り込みグループ 1)にて確認を行ってください。

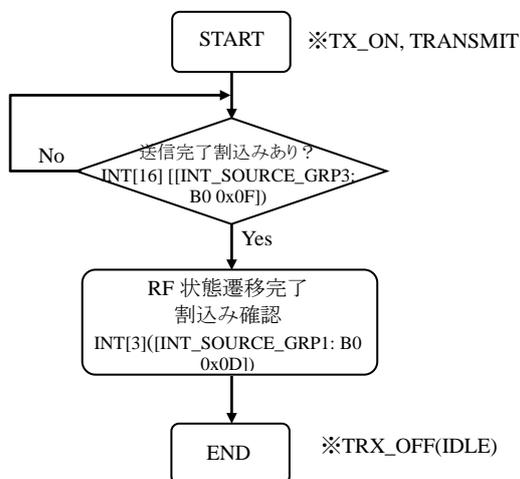
- [RF_STATUS: B0 0x0B]により RF 状態変更
- [RF_STATUS_CTRL: B0 0x0A]による RF 状態変更
 - ・FAST_TX モード設定
 - ・自動送信設定
 - ・送信完了後の RF 状態設定
 - ・受信完了後の RF 状態設定
- ウェイクアップタイマ設定による RF 状態変更

①TRX_OFF フロー

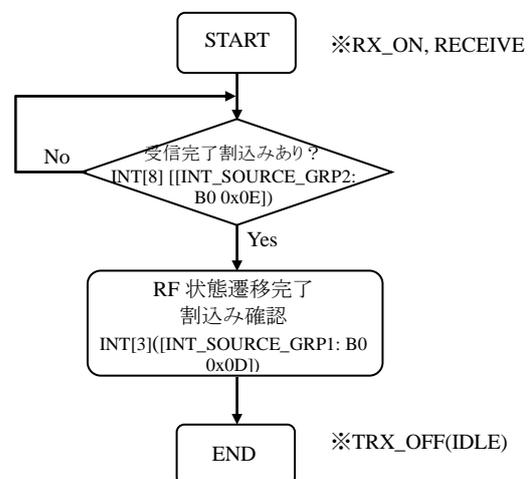
[RF_STATUS: B0 0x0B]により RF 状態変更
SET_TRX[3:0]=0b1000



[RF_STATUS_CTRL: B0 0x0A]による RF 状態変更
TXDONE_MODE[1:0]=0b00



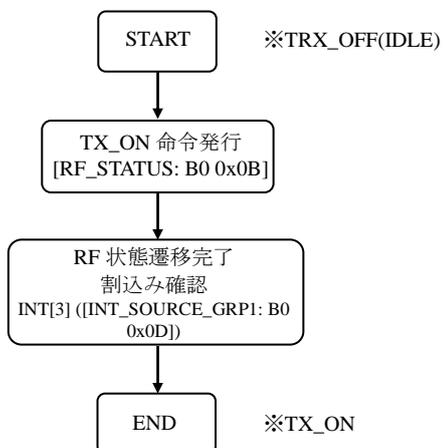
RXDONE_MODE[1:0]=0b00



②TX_ON フロー

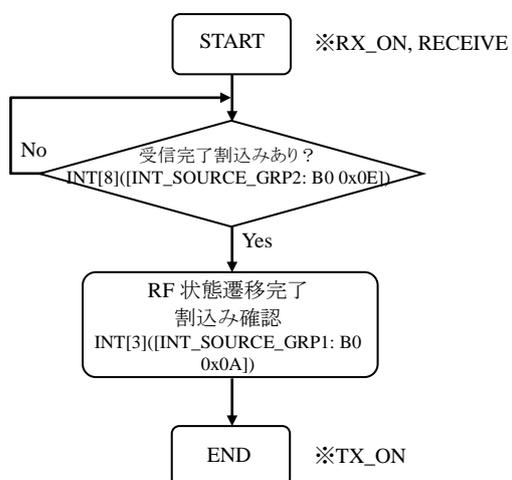
[RF_STATUS: B0 0x0B]により RF 状態変更

SET_TRX[3:0]=0b1001



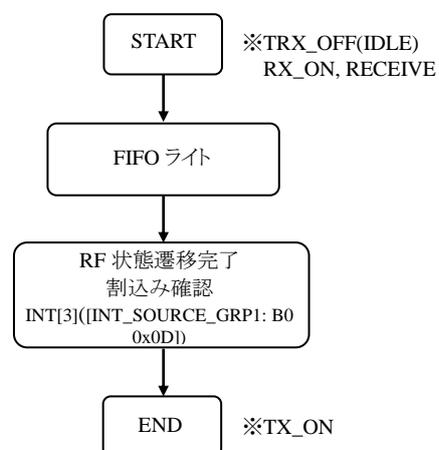
[RF_STATUS_CTRL: B0 0x0A]による RF 状態変更

RXDONE_MODE[1:0]=0b01



FAST_TX_EN=0b1 かつ

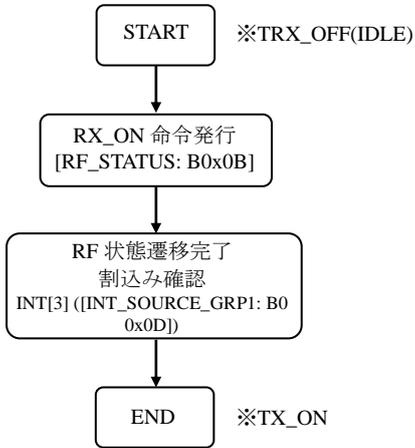
AUTO_TX_EN=0b1



③RX_ON フロー

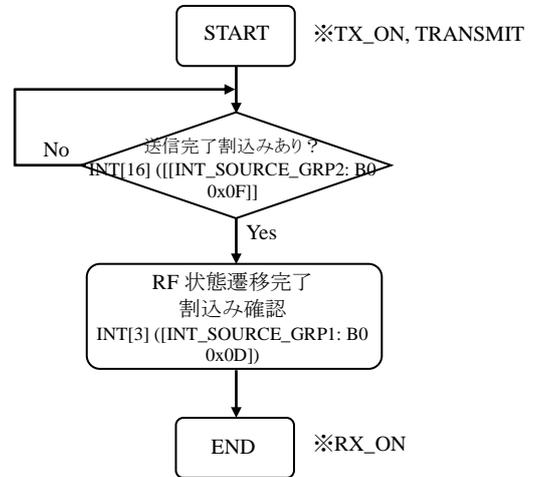
[RF_STATUS: B0 0x0B]により RF 状態変更

SET_TRX[3:0]=0b0110



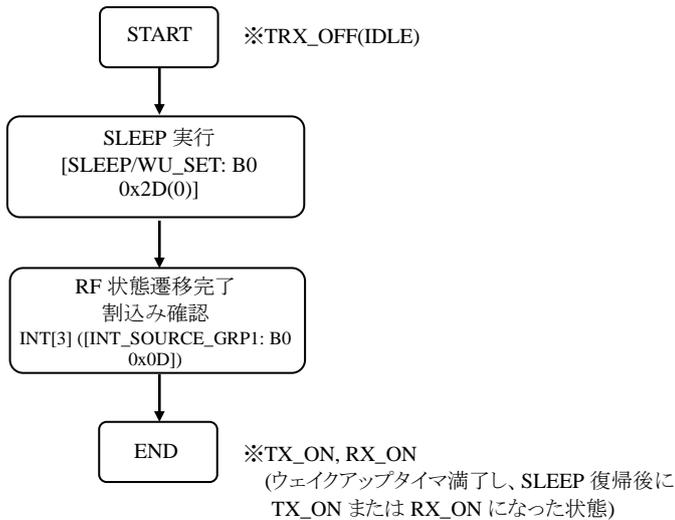
[RF_STATUS_CTRL: B0 0x0A]による RF 状態変更

TXDONE_MODE[1:0]=0b10



④ウェイクアップフロー

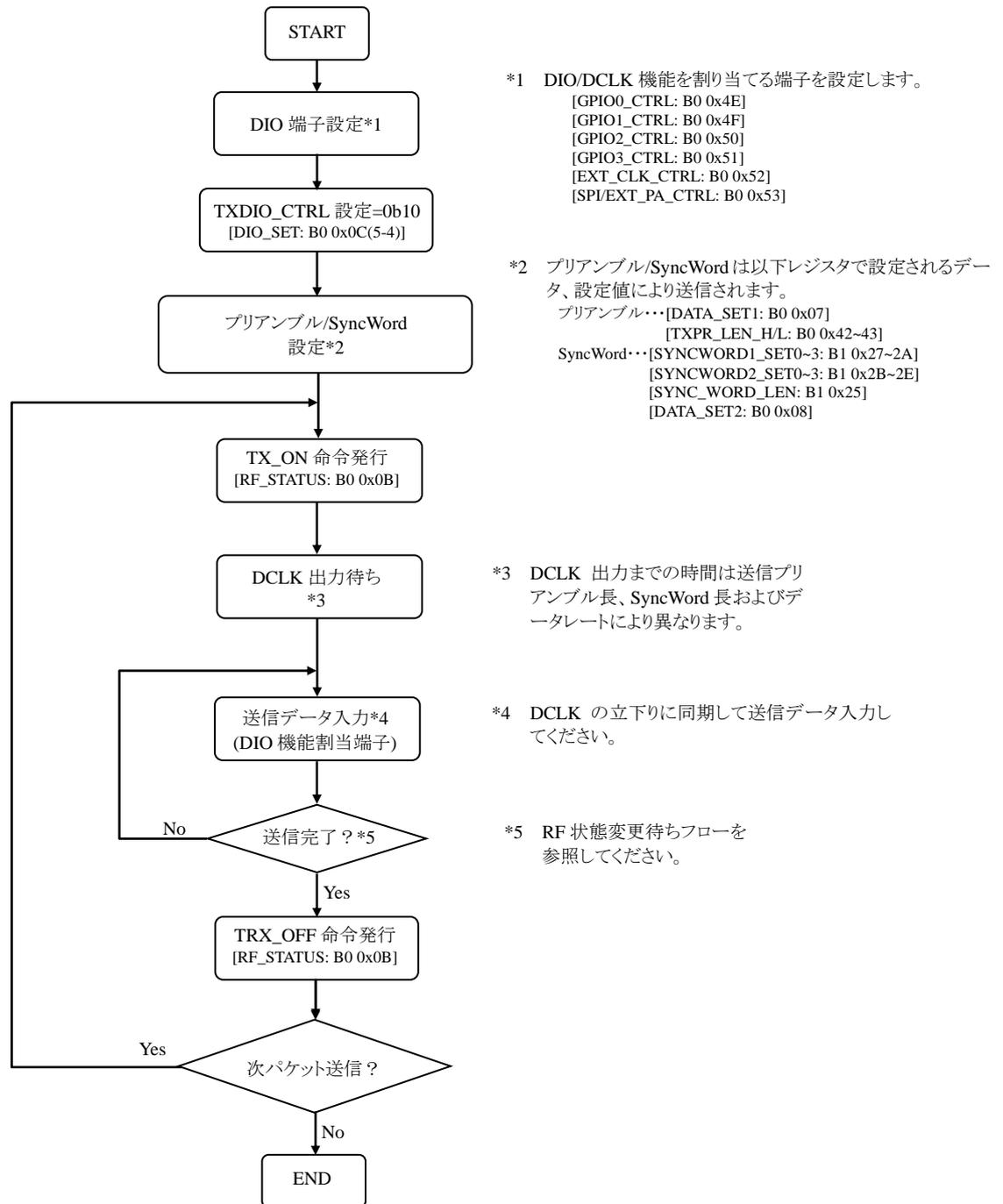
ウェイクアップ後割り込みグループ 2 の INT[13] (SyncWord 検出割込み)を待つ場合は以下の限りではありません)



●送信時

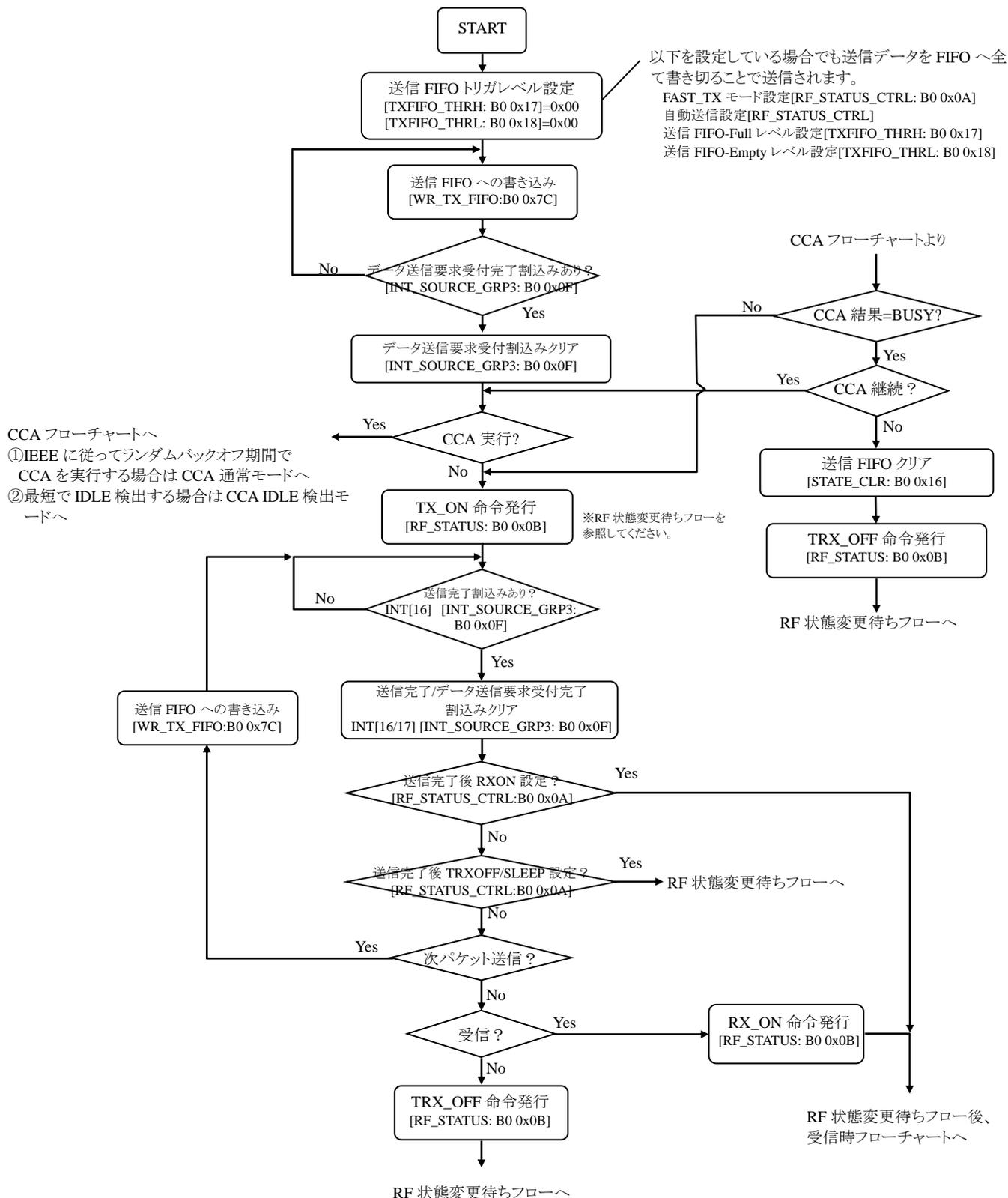
(1) DIO モード

DIO(送信)モードは、TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])=0b01 または 0b10 を書き込むことで設定できます。DIO モードで[RF_STATUS:B0 0x0B]レジスタで TX_ON 命令を発行すると、DIO 機能を割り当てた端子から入力されたデータを送信データとして Air に出力します。送信完了時は[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行します。



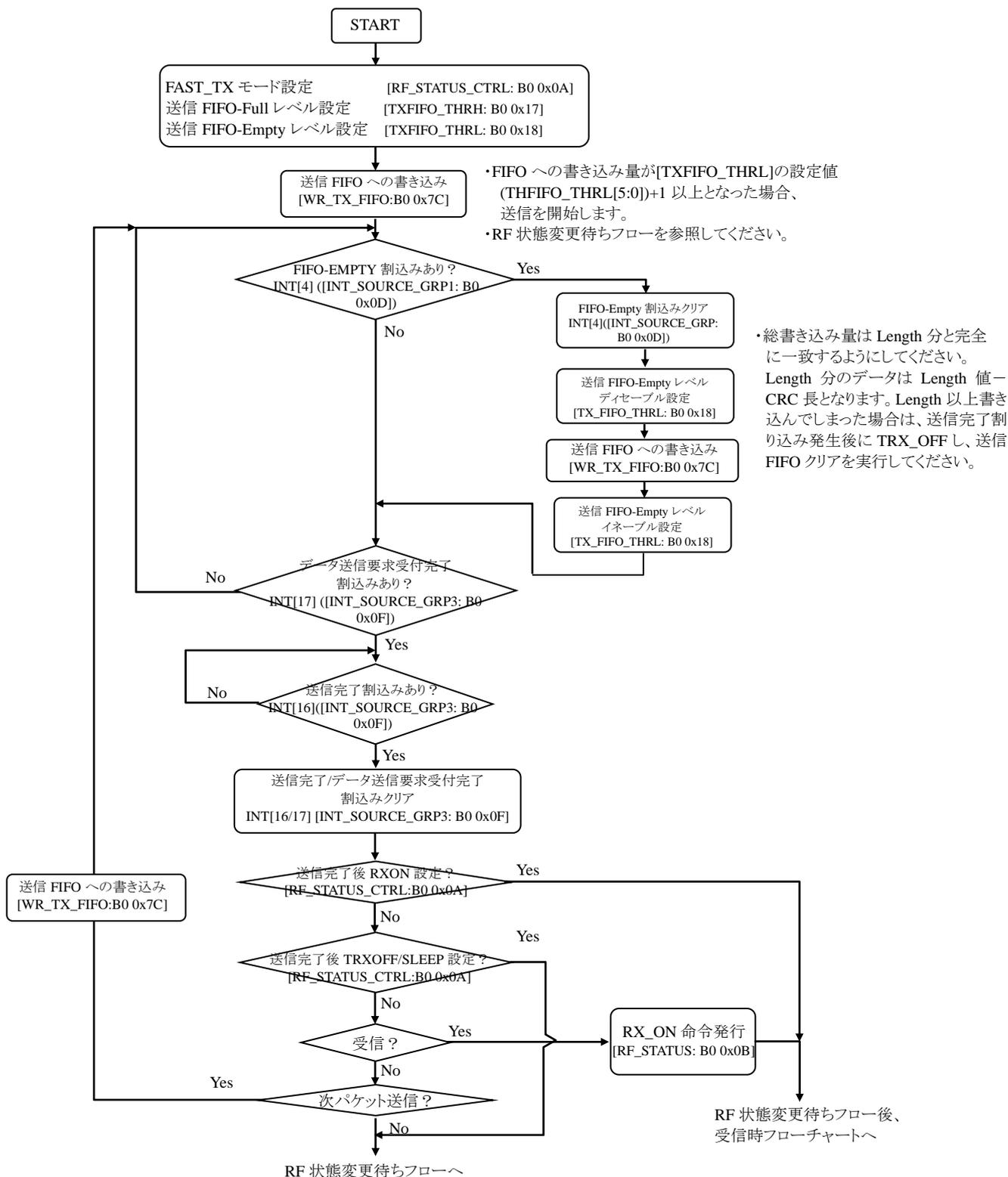
(2) FIFO モード (64byte 以下の場合)

FIFO モードは、TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])=0b00 を書き込むことで設定できます。FIFO モードではパケット毎に[WR_TX_FIFO:B0 0x7C]レジスタでデータを送信 FIFO へ書き込みます。1 パケット分のデータを送信 FIFO へ書き込み後、[RF_STATUS: B0 0x0B]レジスタで TX_ON 命令を発行します。プリアンプル/SyncWord に続き、送信 FIFO データが送信されます。送信完了割り込み(INT[16]:割り込みグループ 3)が発生したら、割り込みをクリアします。次の送信パケットを送信する場合は送信データを送信 FIFO へ書き込みます。また、送信後に受信を行う場合は[RF_STATUS: B0 0x0B]レジスタで RX_ON 命令を発行します。送信を終了する場合は TRX_OFF を発行します。



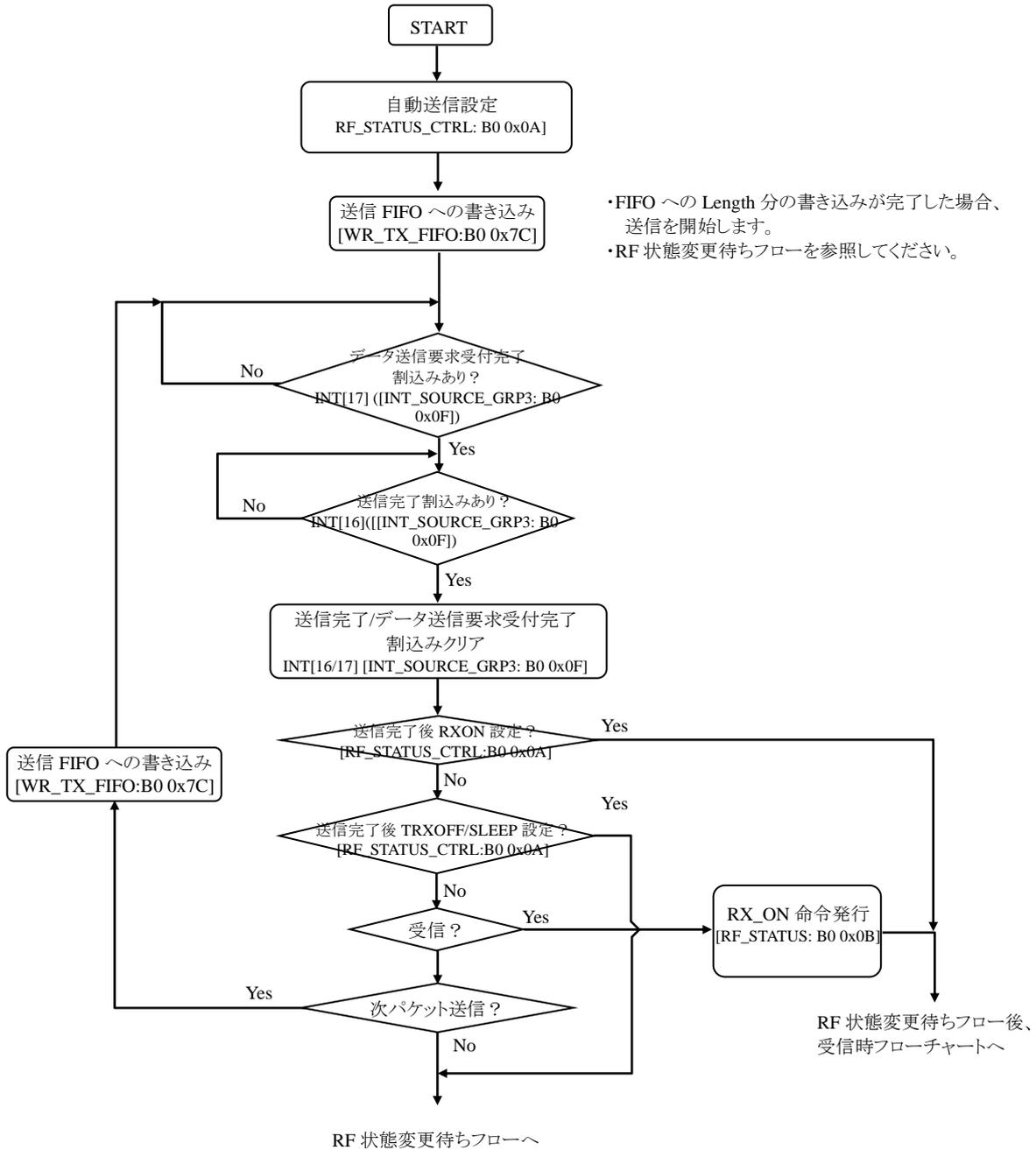
(3) FIFO モード (65byte 以上の場合)

TX_FIFO がオーバーランまたはアンダーランしないように割り込みグループ 1 の INT[5] (FIFO-Full 割り込み)と INT[4] (FIFO-Empty 割り込み)を確認しながら TX_FIFO へ送信データを書き込みます。その他動作は FIFO モード 64byte 以下の場合と同様です。FAST_TX_EN ([RF_STATUS_CTRL: B0 0x0A(5)] に 0b1 を書き込み FAST_TX モードを設定している場合は、FIFO へのデータ書き込み量が [TXFIFO_THRL: B0 0x18] レジスタで設定されるバイト数+1 バイト以上となってから、送信動作を開始します。



(4) 自動送信時 (64byte 以下の場合)

AUTO_TX_EN([RF_STATUS_CTRL: B0 0x0A(4)])に 0b1 を書き込んだ場合は、FIFO に Length 分のデータを書き込み完了した場合、送信動作を開始します。送信完了後の RF 状態遷移設定は TXDONE_MODE ([RF_STATUS_CTRL: B0 0x0A(1-0)])により設定します。



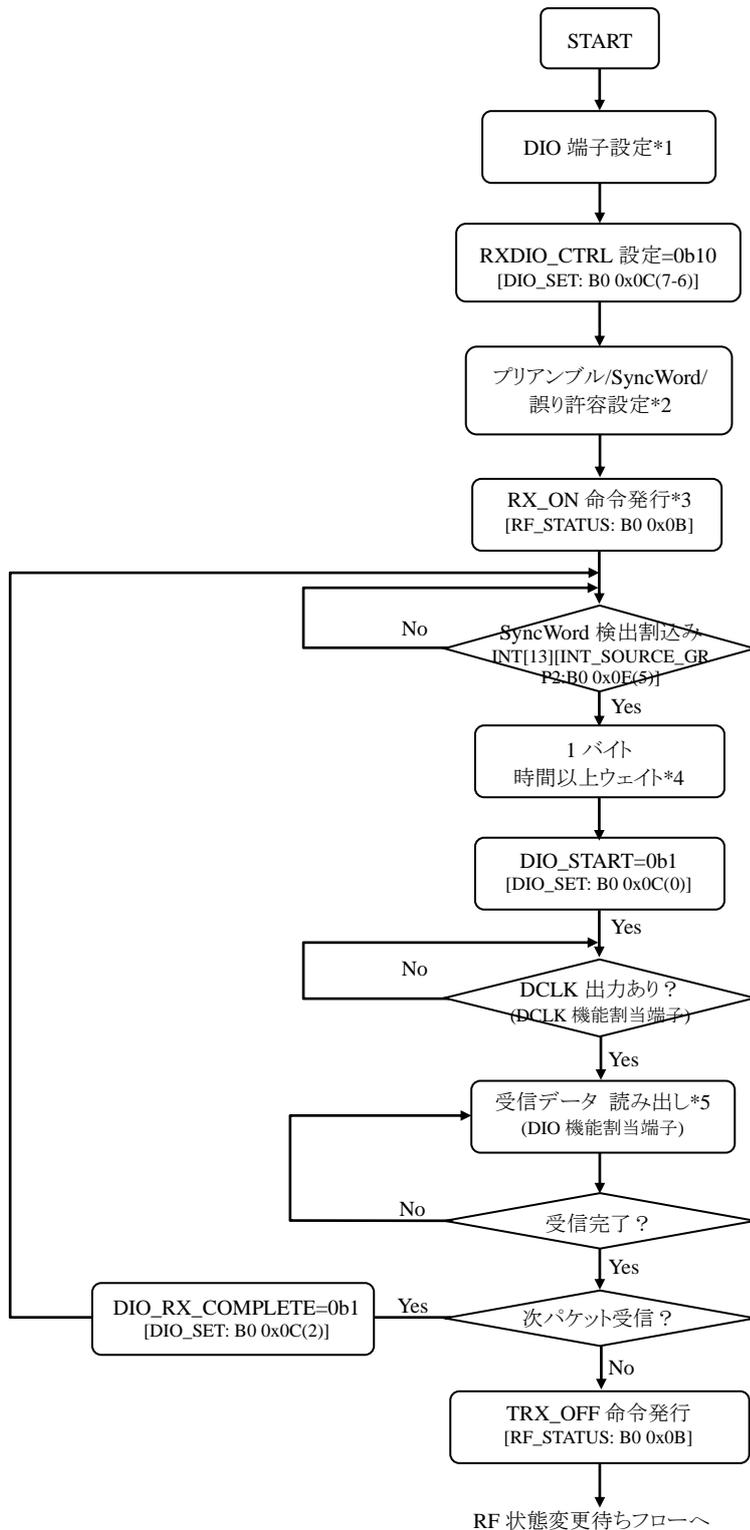
●受信時

(1) DIO モード

RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])=0b10/0b11 を書き込むことで設定できます。DIO モード設定後、RX_ON 命令発行後、SyncWord パターン検出を開始します。

①データ出力モード 1 設定時

RXDIO_CTRL[1:0]=0b10 設定します。SyncWord パターン検出後、受信データを受信 FIFO へバッファリングします。DIO_START ([DIO_SET: B0 0x0C(0)])を 0b1 に設定すると、受信 FIFO にバッファリングされた受信データを DIO 端子より出力します。受信完了後、続けて受信する場合はDIO_RX_COMPLETE([DIO_SET: B0 0x0C(2)])に0b1(DIO受信完了設定)を設定することで次パケット受信待ち状態となります。TRX_OFF する場合は[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行します。



*1 DIO/DCLK 機能を割り当てる端子を設定します。
 [GPIO0_CTRL: B0 0x4E]
 [GPIO1_CTRL: B0 0x4F]
 [GPIO2_CTRL: B0 0x50]
 [GPIO3_CTRL: B0 0x51]
 [EXT_CLK_CTRL: B0 0x52]
 [SPI/EXT_PA_CTRL: B0 0x53]

*2 DIO 受信時のプリアンブルおよび SyncWord 設定は FIFO モードと同様に設定してください。
 プリアンブル...[DATA_SET1: B0 0x07]
 [SYNC_CONDITION1~3: B0 0x45-47]
 SyncWord...[SYNCWORD1_SET0~3: B1 0x27-2A]
 [SYNCWORD2_SET0~3: B1 0x2B-2E]
 [SYNC_WORD_LEN: B1 0x25]
 [DATA_SET2: B0 0x08]

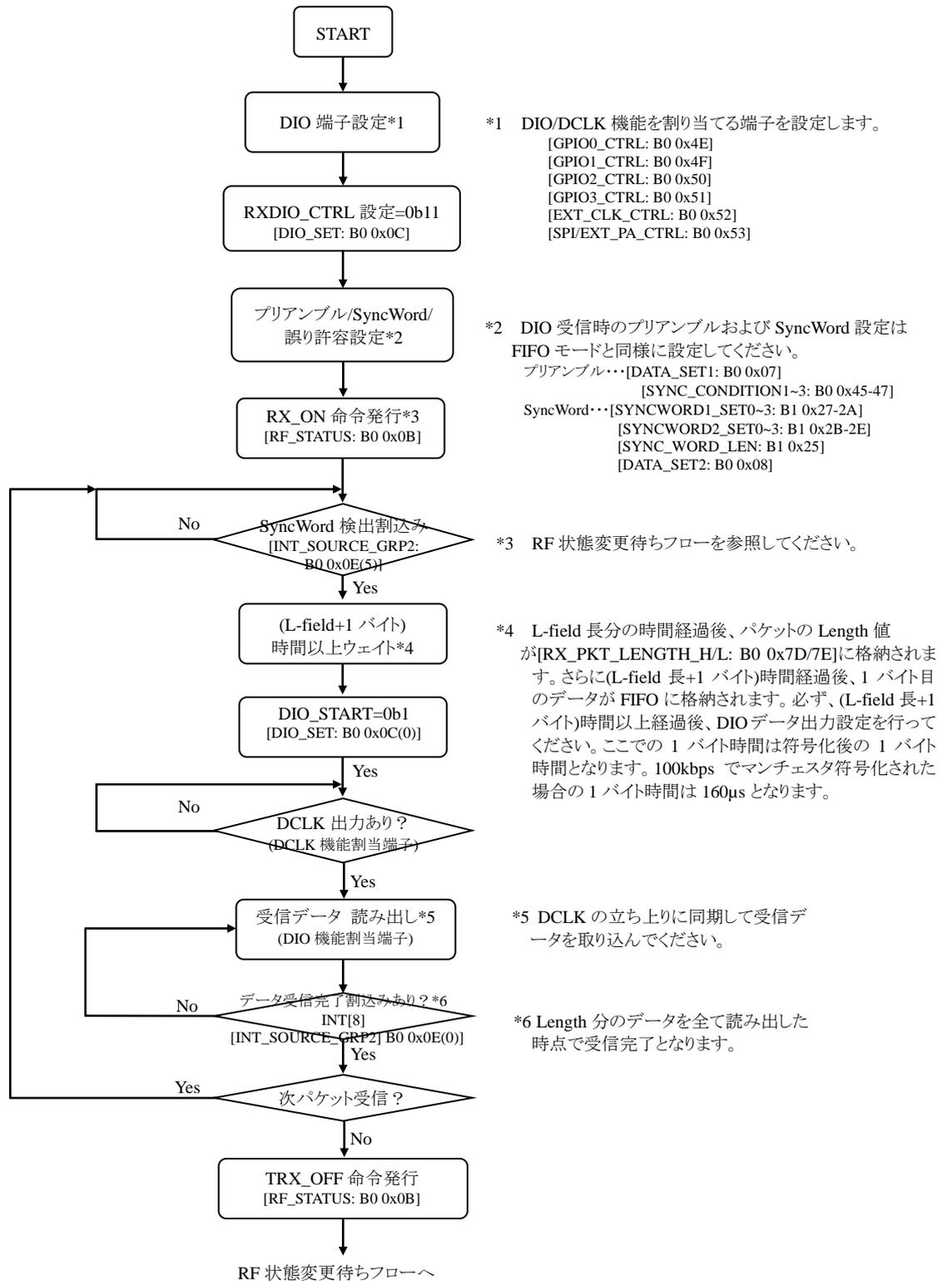
*3 RF 状態変更待ちフローを参照してください。

*4 1 バイト時間経過後、1 バイト目のデータが FIFO に格納されます。必ず、1 バイト時間以上経過後、DIO データ出力設定を行ってください。

*5 DCLK の立ち上りに同期して受信データを取り込んでください。

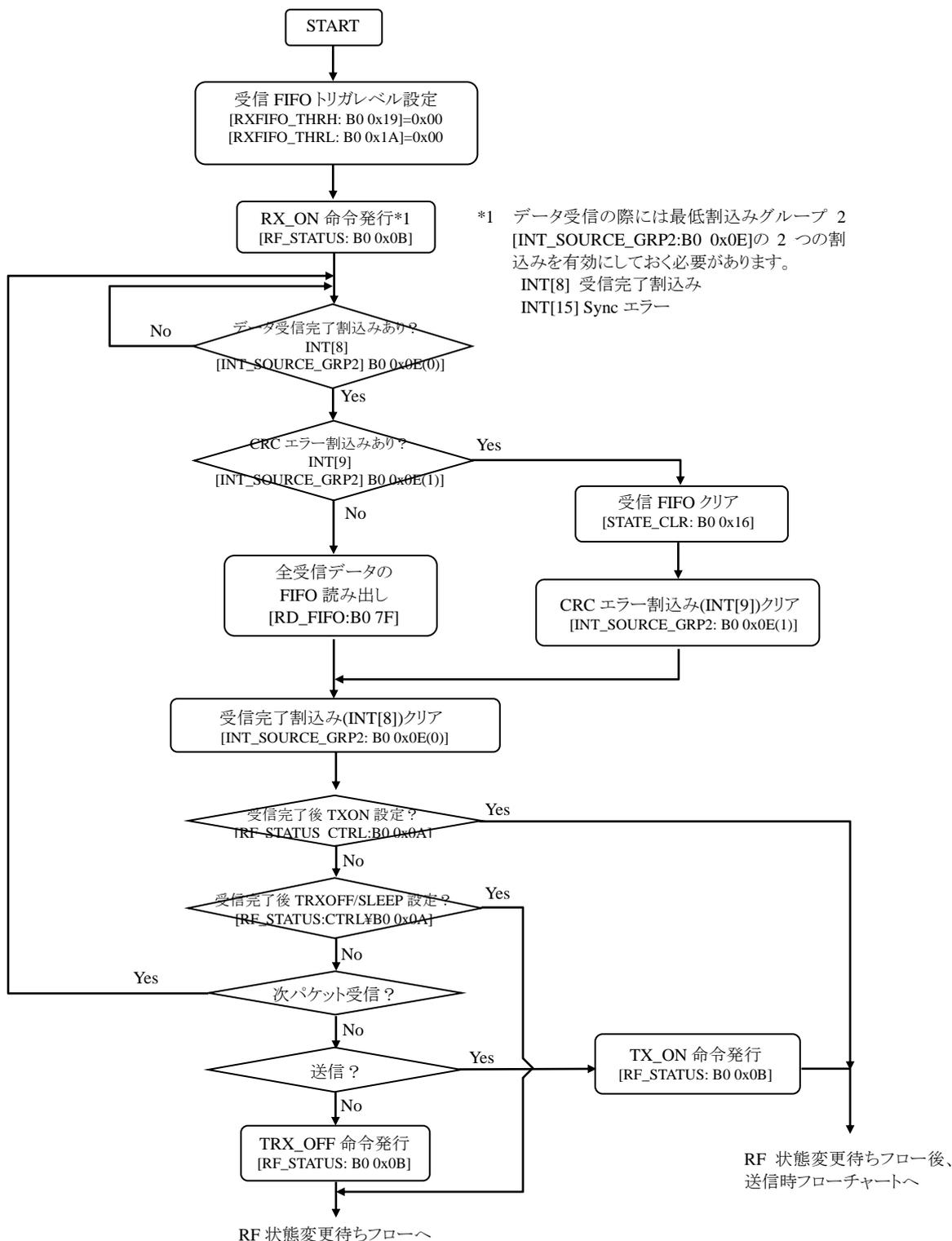
②データ出力モード 2 設定時

RXDIO_CTRL[1:0]=0b11 設定では L-field 以降の受信データを受信 FIFO へバッファリングします。DIO_START ([DIO_SET: B0 0x0C(0)])に 0b1 を設定すると、受信 FIFO にバッファリングされた受信データを DIO 端子より出力します。Length 分のデータを出力した時点で受信完了となり、受信完了割り込み(INT[8]: 割り込みグループ 2)を発生します。TRX_OFF する場合は[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行します。



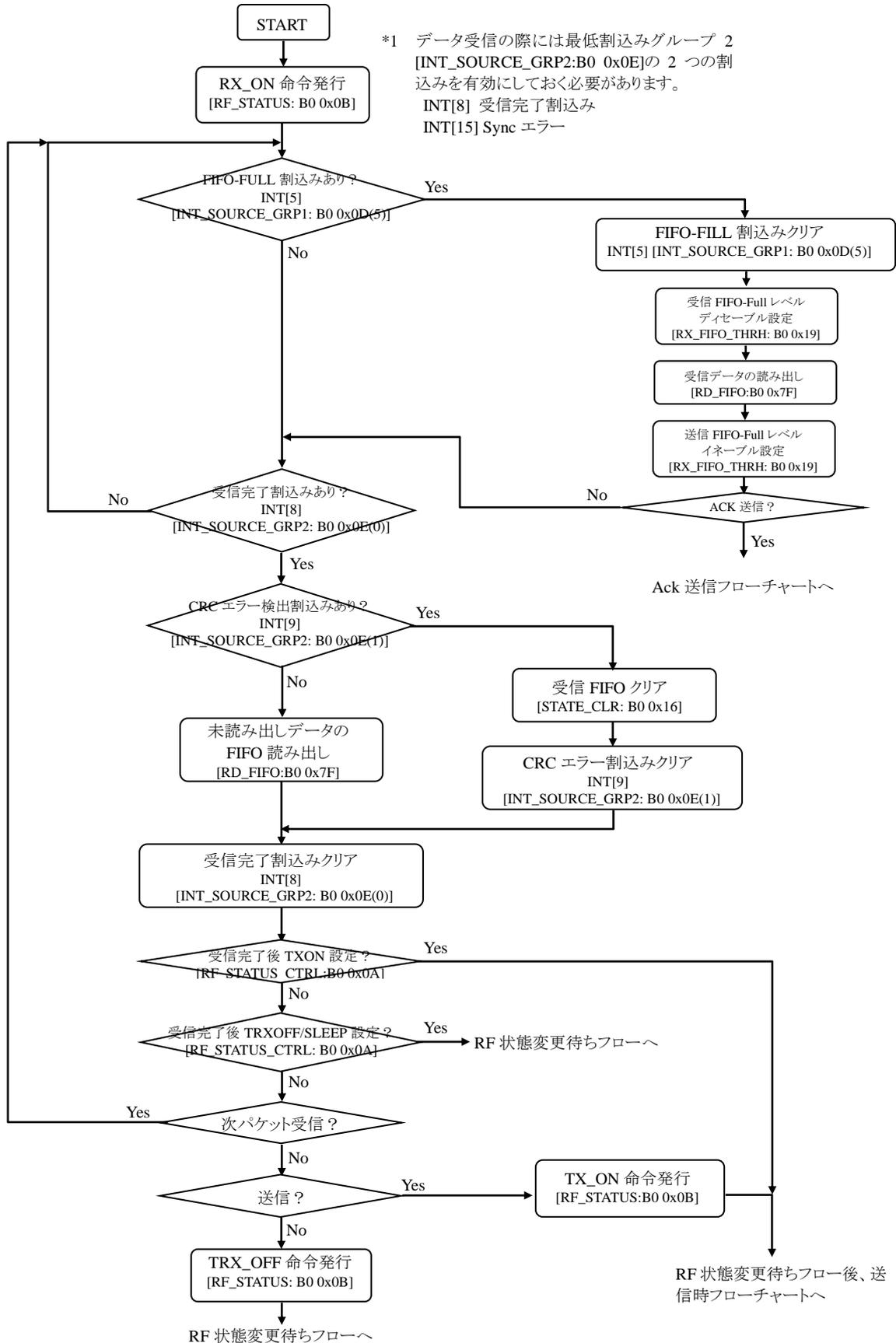
(2) FIFO モード(64byte 以下の場合)

FIFO モードは、RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])=0b00 を書き込むことで設定できます。SyncWord 検出後、受信データを RX_FIFO へ格納します。データ受信完了割り込み(INT[8];割り込みグループ 2)後、受信データを [RD_FIFO:B0 0x7F]レジスタから読み出します。また、CRC エラー割り込み(INT[9];割り込みグループ 2)が発生した場合は STATE_CLR1 [STATE_CLR: B0 0x16(1)] (受信 FIFO クリア)でクリアすることで、受信データを全て読み出すことなく次パケットを受信できます。受信 FIFO-Fullトリガおよび FIFO-Emptyトリガを使用しない場合は、RXFIFO_THRH_EN([RXFIFO_THRH: B0 0x19(7)])および RXFIFO_THRL_EN([RXFIFO_THRH: B0 0x1A(7)])を 0b0 に設定して下さい。



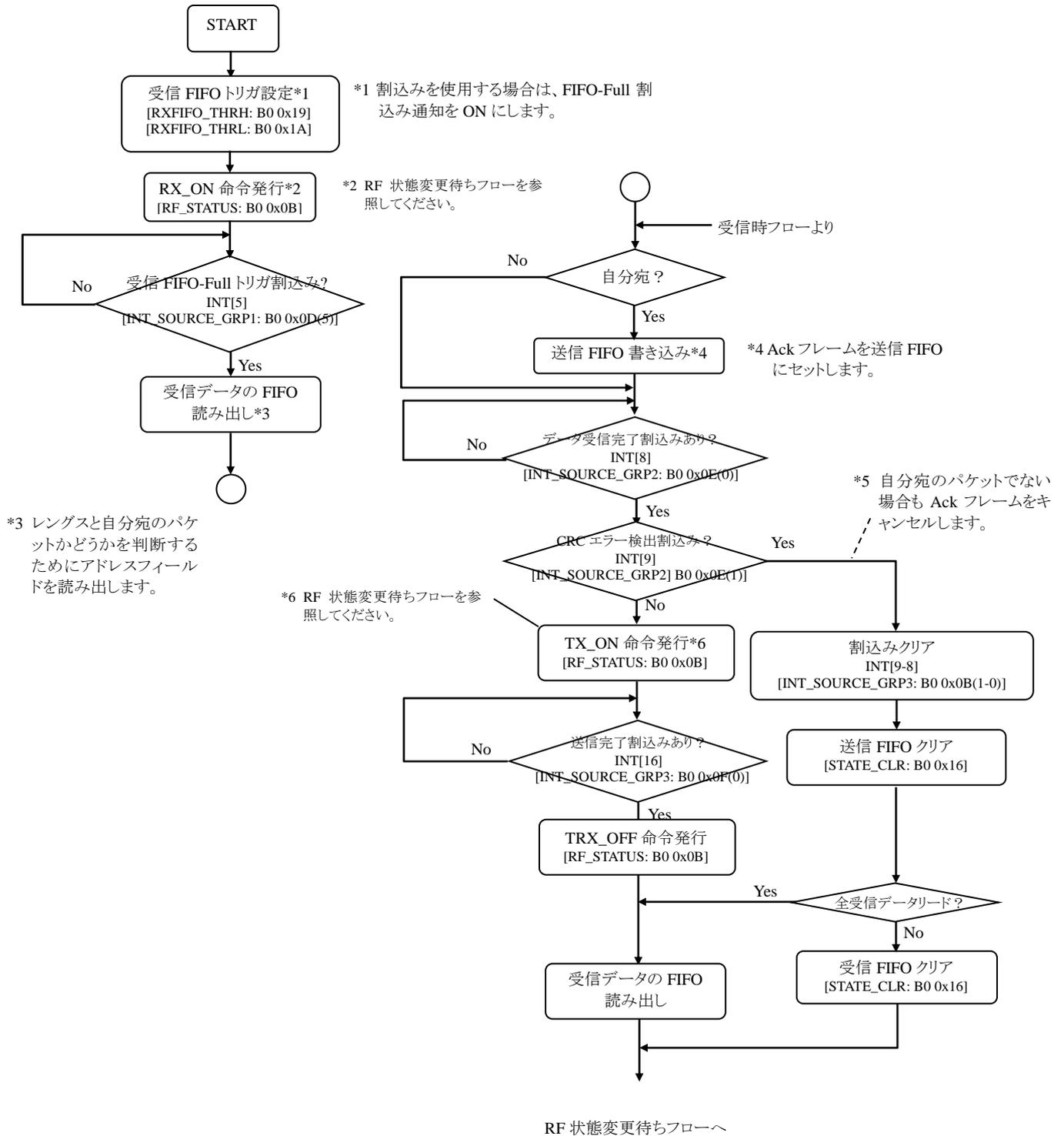
(3) FIFO モード(65byte 以上の場合)

RX_FIFO がオーバーランまたはアンダーランしないように割り込みグループ 1 の INT[5] (FIFO-Full 割り込み)と INT[4] (FIFO-Empty 割り込み)を確認しながら RX_FIFO から受信データを読み出します。その他動作は(2)と同様です。



(4) ACK 送信

ACK 送信フローを以下に示します。受信 FIFO トリガを使用して受信中に送信 FIFO に ACK フレームをセットし、受信完了後、送信 FIFO にセットした ACK フレームを送信します。

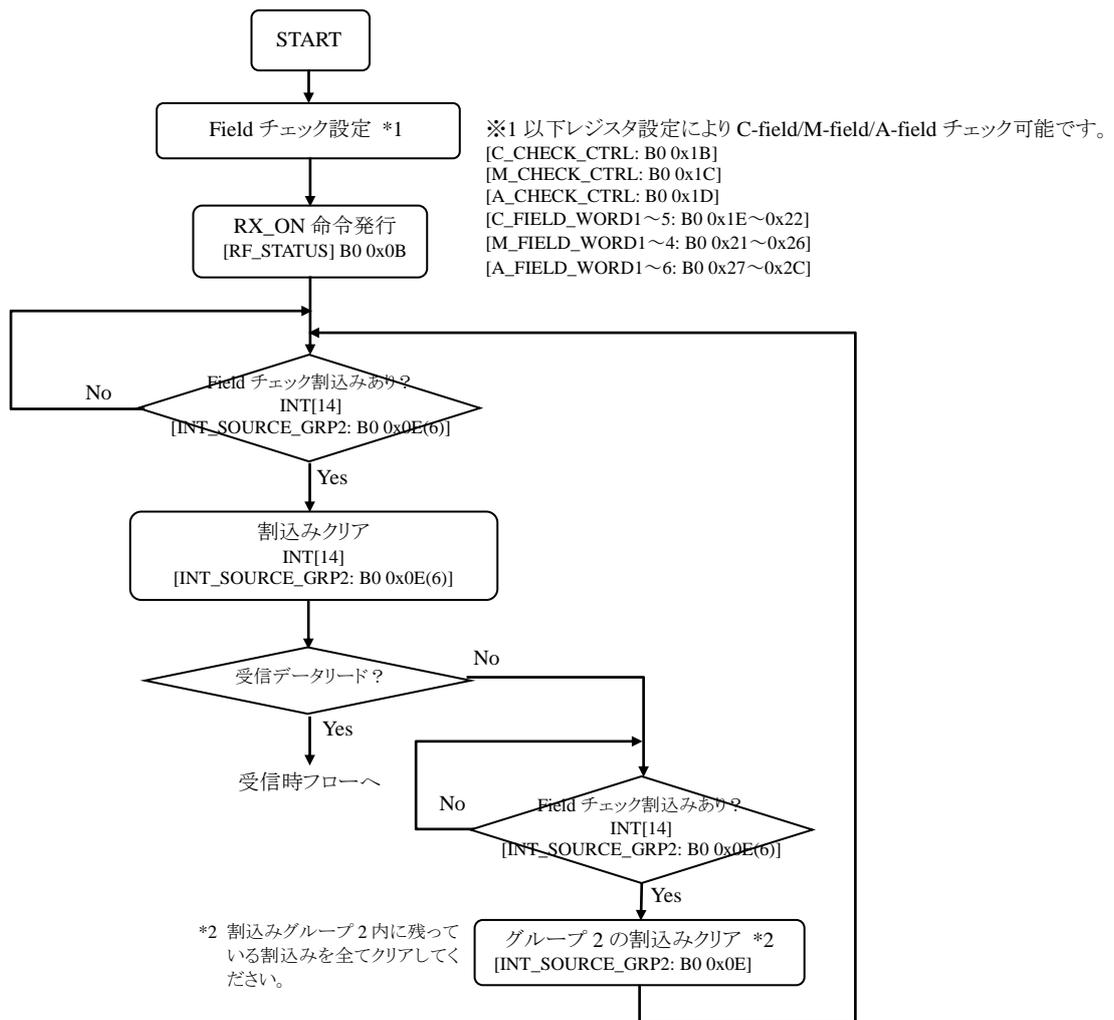


【ご注意】

[RF_STATUS_CTRL:B0 0x0A]レジスタで、FAST_TX モード、自動送信、パケット受信完了後の TX 状態遷移設定を有効に設定している場合は、上記のフローで受信完了後に自動で送信状態へ移行します。割り込みグループ 2 の CRC エラー割込み(INT[9])と受信完了割込み(INT[8])は、ほぼ同時期に発生するため、CRC エラーが発生した場合は、受信から送信への以降期間 (1.188ms) 内で、[RF_STATUS:B0 0x0B]レジスタで Forece_TRX_OFF を行い、[STATE_CLR:B0 0x16]レジスタで送信 FIFO のクリアをする必要があります。ホスト MCU の処理能力上、期間内の送信停止が難しい場合は、FAST_TX モード、自動送信、パケット受信完了後の TX 状態遷移設定を非有効に設定してください。(FAST_TX モードは [TXFIFO_THRL:B0 0x18]レジスタの設定によります。)

(5) Field チェック

Filed チェック機能をイネーブルとし、[RF_STATUS:B0 0x0B]レジスタで RX_ON 命令を発行します。CA_INT_CTRL ([C_CHECK_CTRL:B0 0x1B(6)]の設定に従い、Filed チェックの一致または不一致で、割り込みグループ 2 の INT[14] ([INT_SOURCE_GRP2: B0 0x0E(6)])にて通知します。なお、Field チェックの結果、不一致であったパケット数をカウントし、[ADDR_CHK_CTR_H/L: B1 0x62/0x63])に表示します。このカウンタは STATE_CLR4[STATE_CLR: B0 0x16(4)](アドレスチェックカウンタクリア)にてクリアできます。

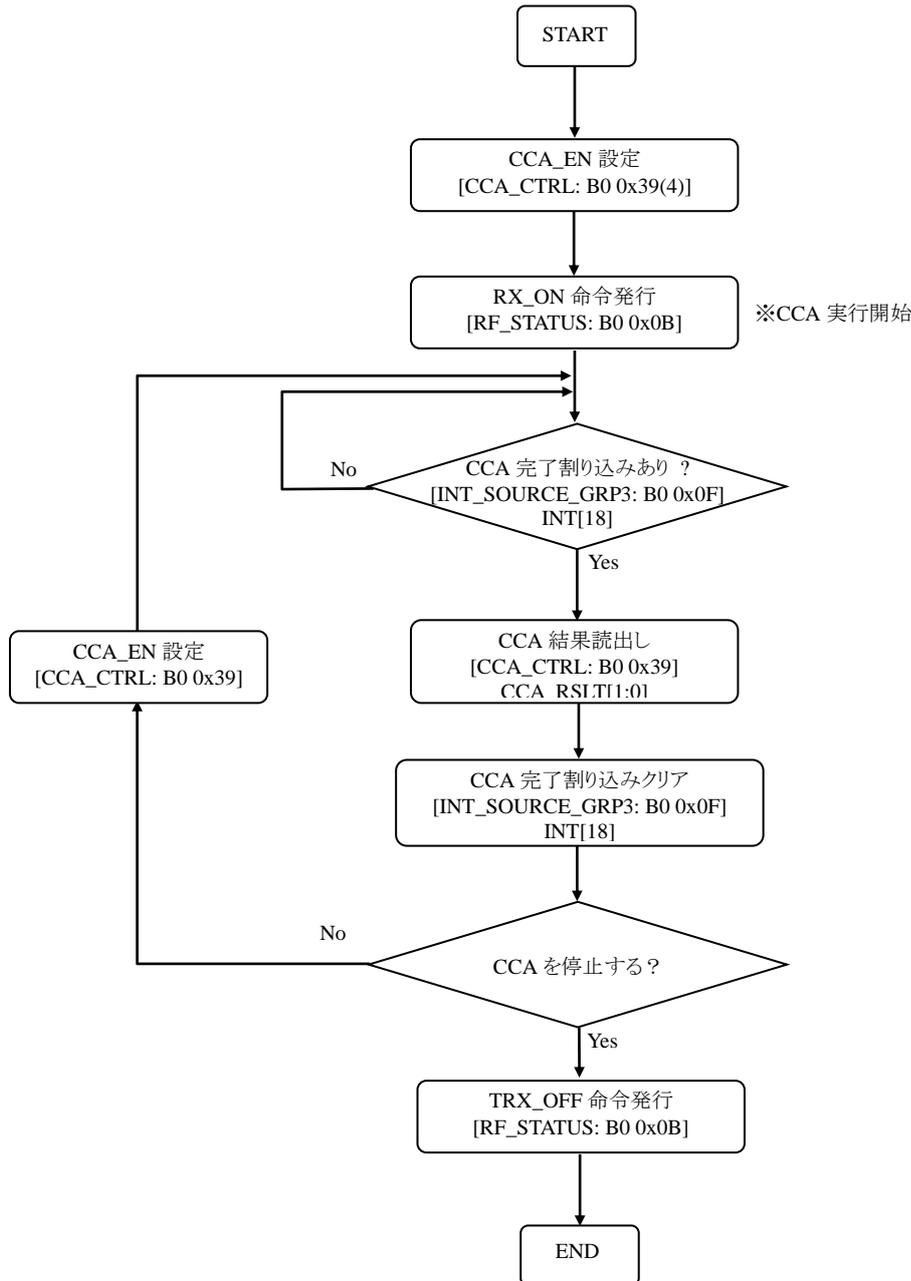


(6) CCA の実行

○通常モード

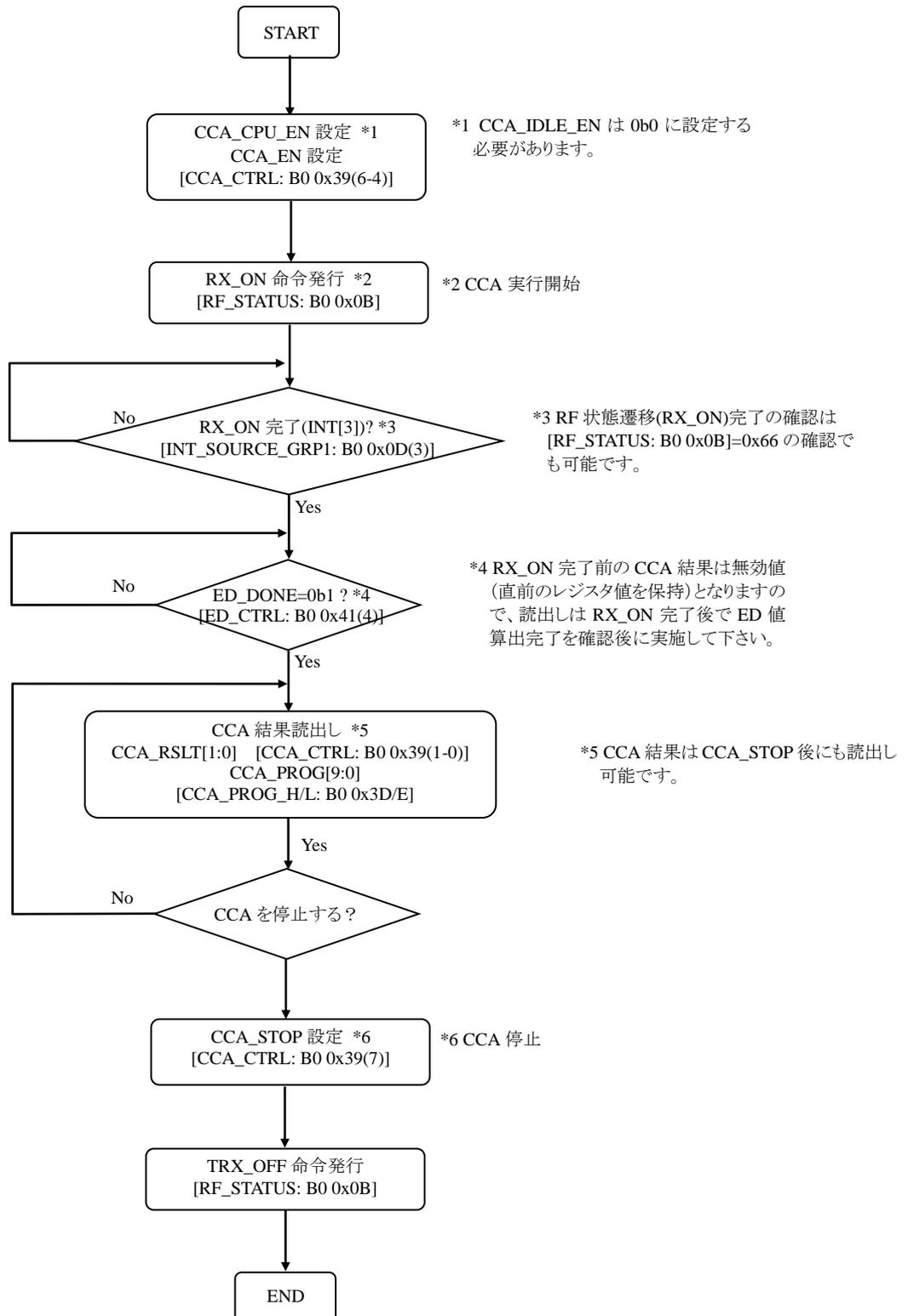
CCA_EN([CCA_CTRL: B0 0x39(4)])に0b1を設定し、[RF_STATUS:B0 0x0B]レジスタでRX_ON状態に設定すると取得したED値の平均値と[CCA_LVL: B0 0x37]に設定したCCA_閾値の大小比較を実行し、結果を通知します。CCA実行後、CCA_ENはディセーブルにセットされRFはRX_ON状態を維持します。

RX_ON状態でCCA_ENに0b1を設定した場合でもCCA実行可能です。また、ダイバーシティサーチ中もCCA実行可能です。この場合、CCA完了後、自動でダイバーシティサーチが再開します。



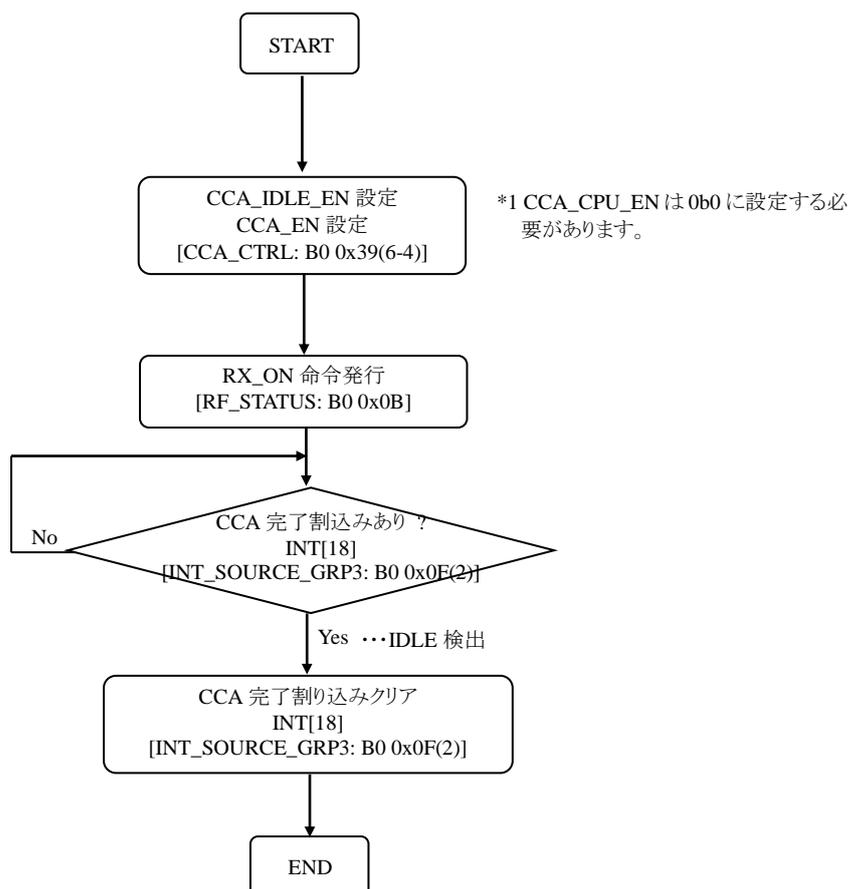
○無限実行モード

CCA_EN([CCA_CTRL: B0 0x39(4)])に 0b1 および CCA_CPU_EN([CCA_CTRL: B0 0x39(5)])に 0b1 を設定し、[RF_STATUS: B0 0x0B]レジスタで RX_ON 状態に設定すると CCA の無限実行モードが実行されます。本モードでは、自動停止せずに CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 をセットするまで CCA 継続します。本モードでは CCA 完了割込み (INT[18]:割り込みグループ 3) は通知されません。CCA 実行中、CCA_RSLT([CCA_CTRL: B0 0x39(1-0)]、[CCA_PROG_L: B0 0x3E]、[CCA_PROG_H: B0 0x3D]) は常に更新され、CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 がセットされると値を保持します。



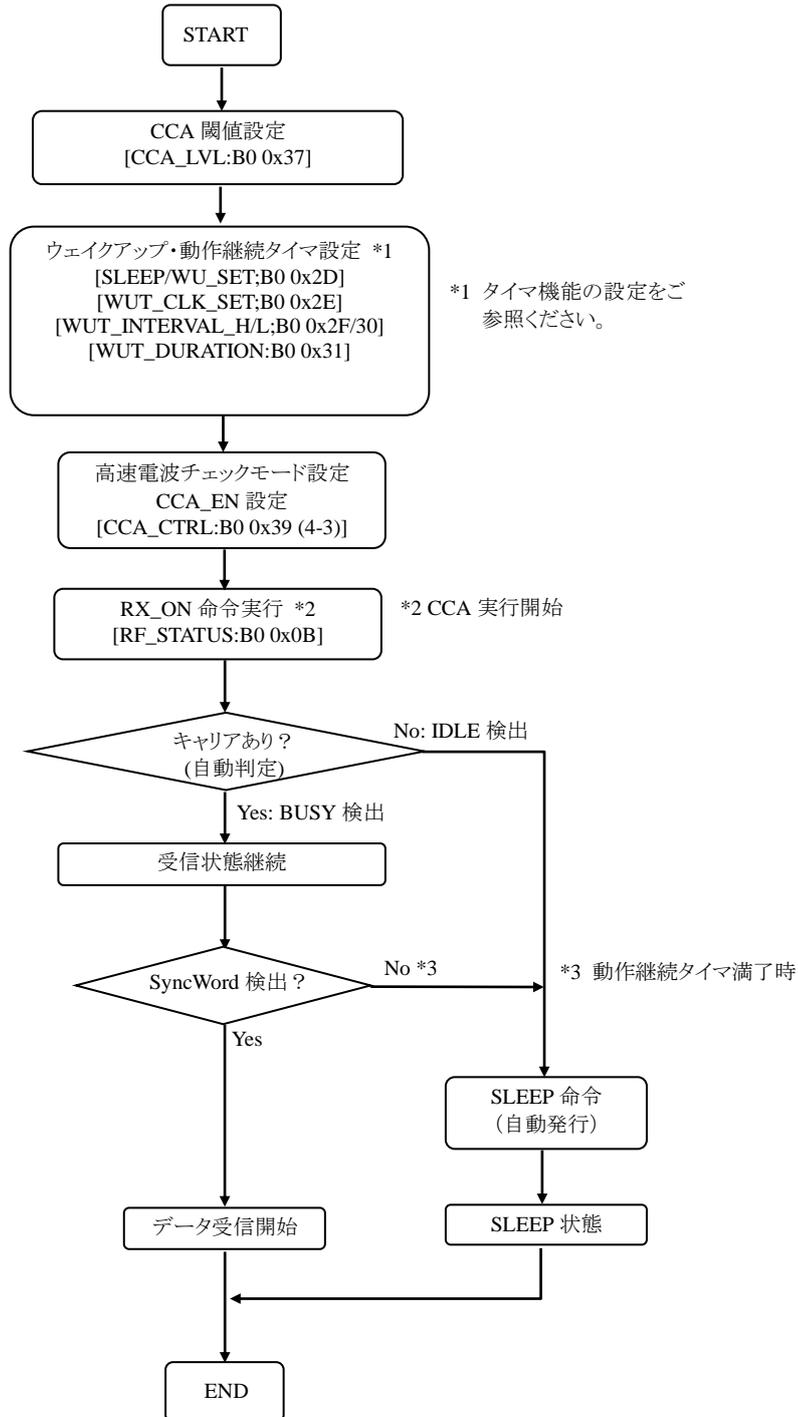
○IDLE 検出モード

IDLE 検出するまで CCA を継続するモードです。CCA_EN([CCA_CTRL: B0 0x39(4)])=0b1、CCA_IDLE_EN([CCA_CTRL: B0 0x39(6)])=0b1 を設定し、RFを受信状態(RX_ON)に設定するとCCA(IDLE 検出モード)が実行されます。



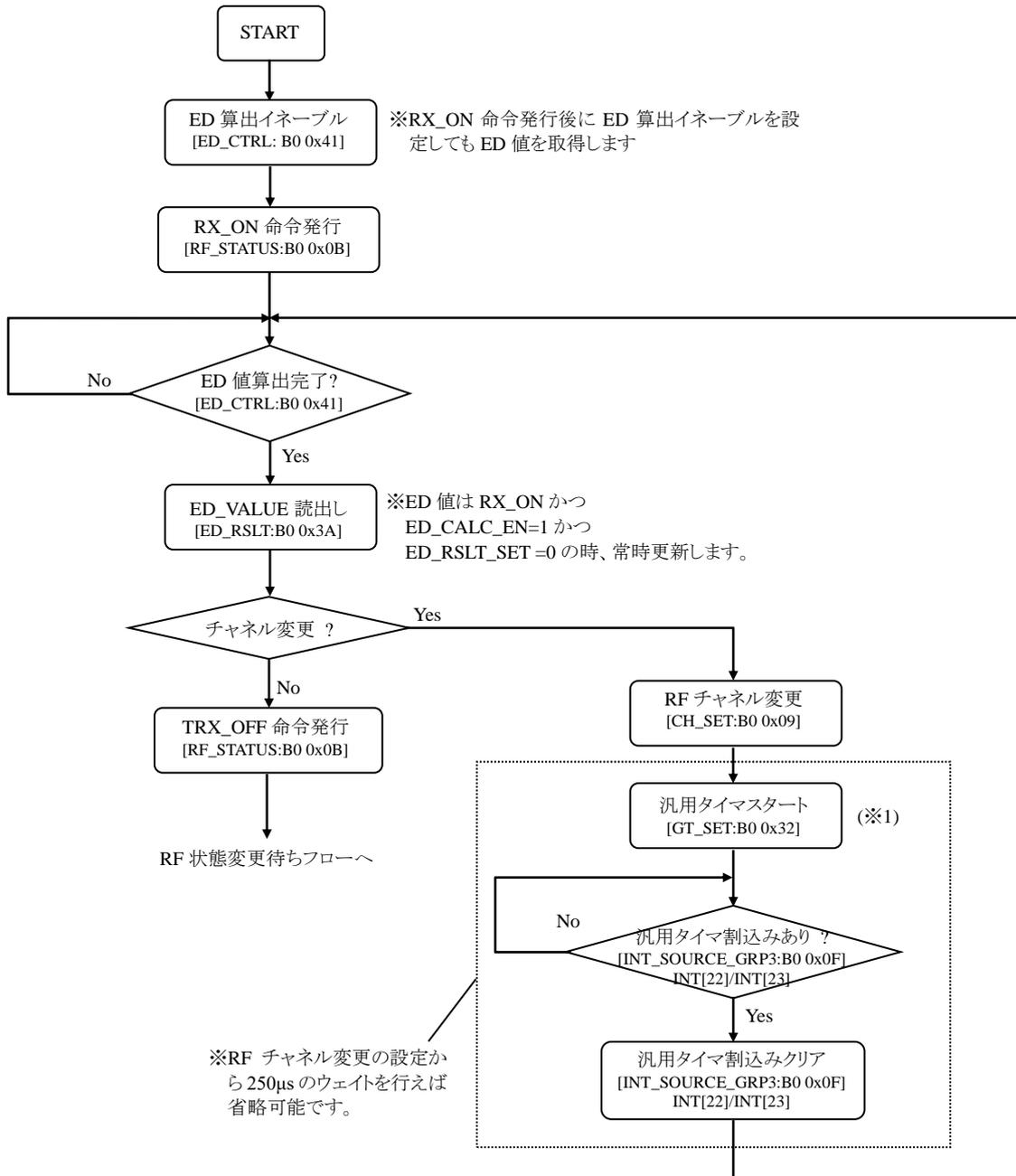
(7) 高速電波チェックモード

本モードは受信状態へ移行後、RSSI レベルと SyncWord 検出までの時間について判定を行い、受信状態の継続または中止を行います。RSSI レベル判定には[CCA_LVL:B0 0x37]レジスタに設定した閾値を使用し、SyncWord 検出時間判定は動作継続タイマ機能を使用します。判定後の動作は自動で切り替わる為、最終状態は SLEEP 状態か受信中のどちらかになります。



(8) ED-SCAN

ED_CALC_EN ([ED_CTRL: B0 0x41(7)])に 0b1 が設定されている状態で、[RF_STATUS:B0 0x0B]レジスタで RX_ON 状態に設定すると、ED 値の自動取得を開始します。ED_RSLT_SET([ED_CTRL:B0 0x41(3)])=0b0 に設定すると、ED 値は常に最新の値に更新されます。



(※1)汎用タイマ設定例

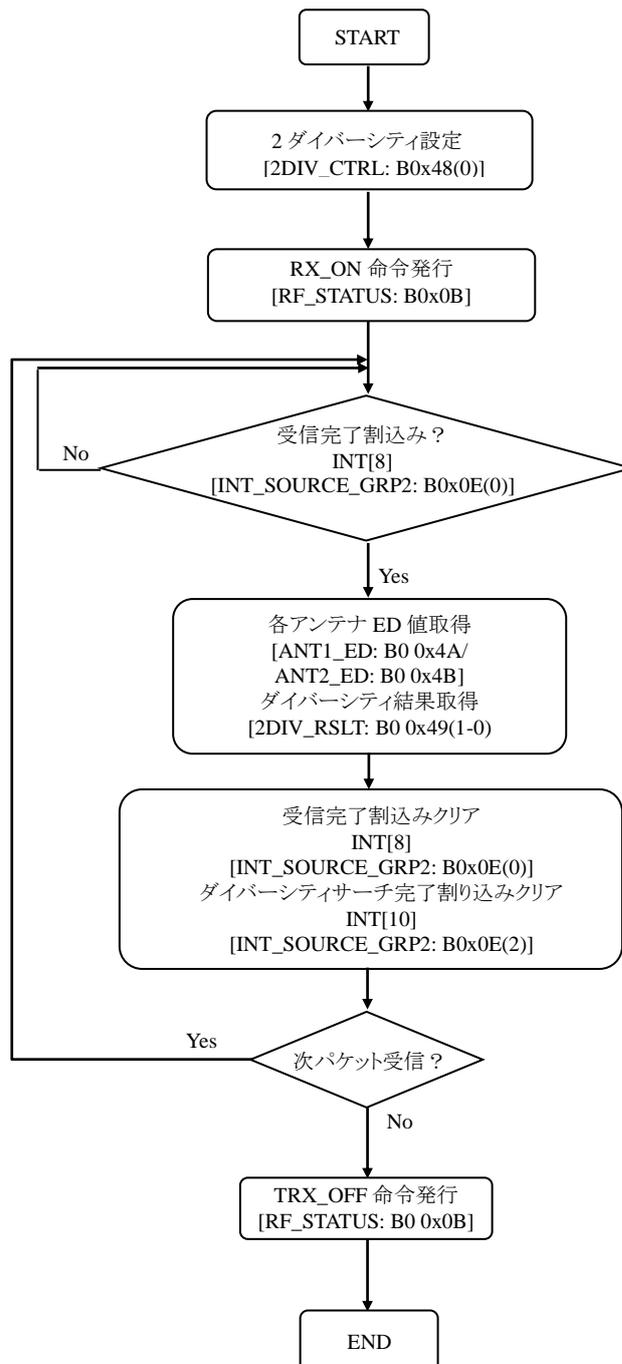
250μs のウェイトを汎用タイマ 1 を使ってウェイトする場合、以下のレジスタを設定します。

- [GT_CLK_SET: B0 0x33]... 0x01(128 分周)
- [GT_INTERVAL1: B0 0x34]... 0x04(タイマ設定)
- [GT_SET: B0 0x32]... 0x03(2MHz クロック選択、タイマスタート)

(9) アンテナダイバーシティ

2DIV_EN([2DIV_CTRL:B0 0x48(0)])に 0b1 が設定されている状態で RX_ON 状態に設定すると、受信データを検出時にアンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナを使用するよう制御します。

ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A/ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果 2DIV_RSLT([2DIV_RSLT: B0 0x49(1-0)])は SyncWord 検出時に上書き更新されます。また、ダイバーシティ検出完了割り込み INT[10]([INT_SOURCE_GRP2: B0x0E(2)])をクリアした場合、ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A/ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果 2DIV_RSLT([2DIV_RSLT: B0 0x49(1-0)])はクリアされます。

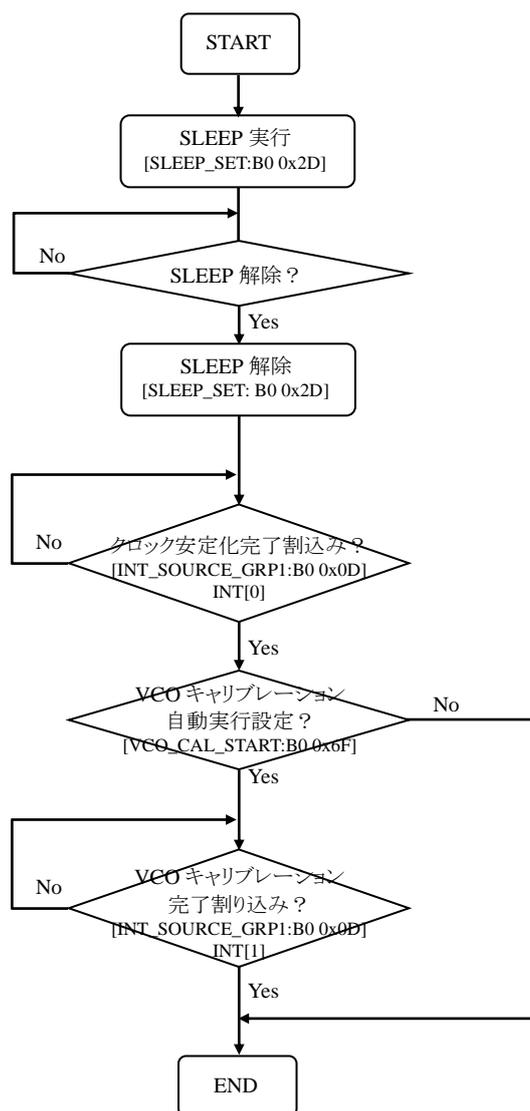


●SLEEP

(1) SLEEP(発振回路使用時)

SLEEP_EN([SLEEP/WU_SET:B0 0x2D(0)])を0b1に設定することによりSLEEPが実行されます。また、SLEEP_ENを0b0に設定することによりSLEEPが解除されます。

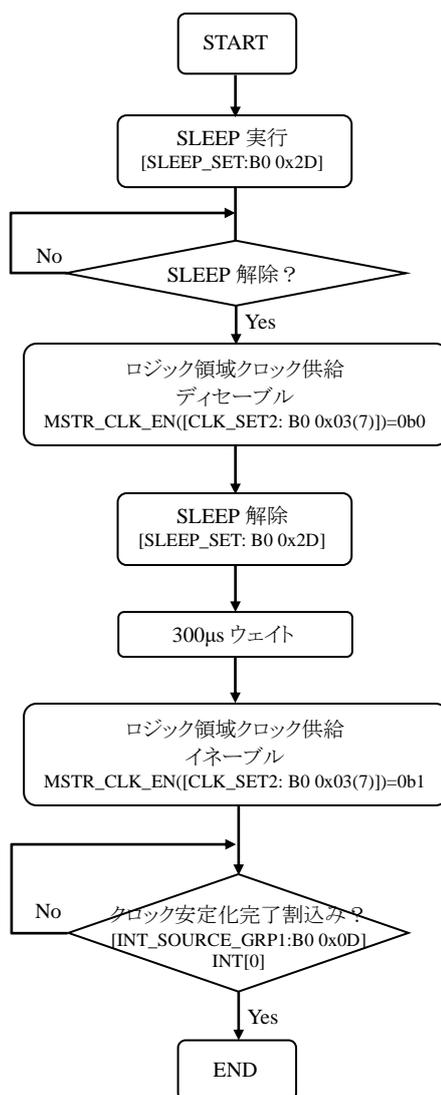
VCOキャリブレーション自動実行設定 AUTO_VCO_CAL_EN([VCO_CAL_START:B0 0x6F (4)])を0b1に設定した場合、SLEEP解除後のクロック安定化完了割り込み(INT[0]:割り込みグループ 1)発生後、VCOキャリブレーションを自動実行します。



(2) SLEEP(TCXO 使用時)

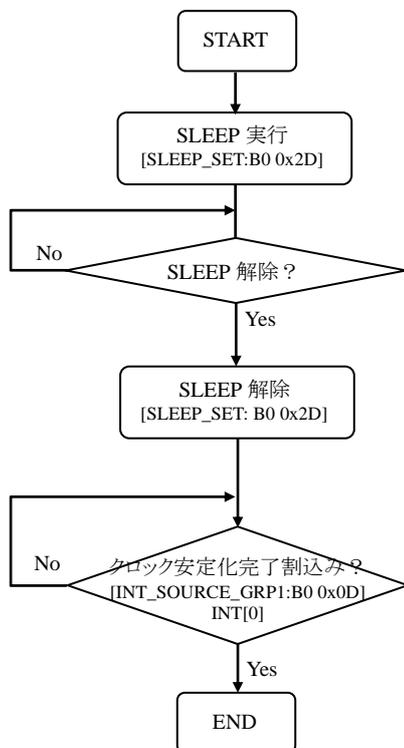
(対象機種: ML7345D)

SLEEP_EN([SLEEP/WU_SET:B0 0x2D(0)])を0b1に設定することによりSLEEPが実行されます。なお、SLEEPを解除する場合、以下の手順に従いSLEEPを解除してください。SLEEP解除方法は発振回路使用時/TCXO使用時(ML7345)と異なりますので、ご注意ください。



(対象機種: ML7345)

SLEEP_EN([SLEEP/WU_SET:B0 0x2D(0)])を0b1に設定することによりSLEEPが実行されます。なお、SLEEPを解除する場合、以下の手順に従いSLEEPを解除してください。SLEEP解除方法は発振回路使用時/TCXO使用時(ML7345D)と異なりますので、ご注意ください。



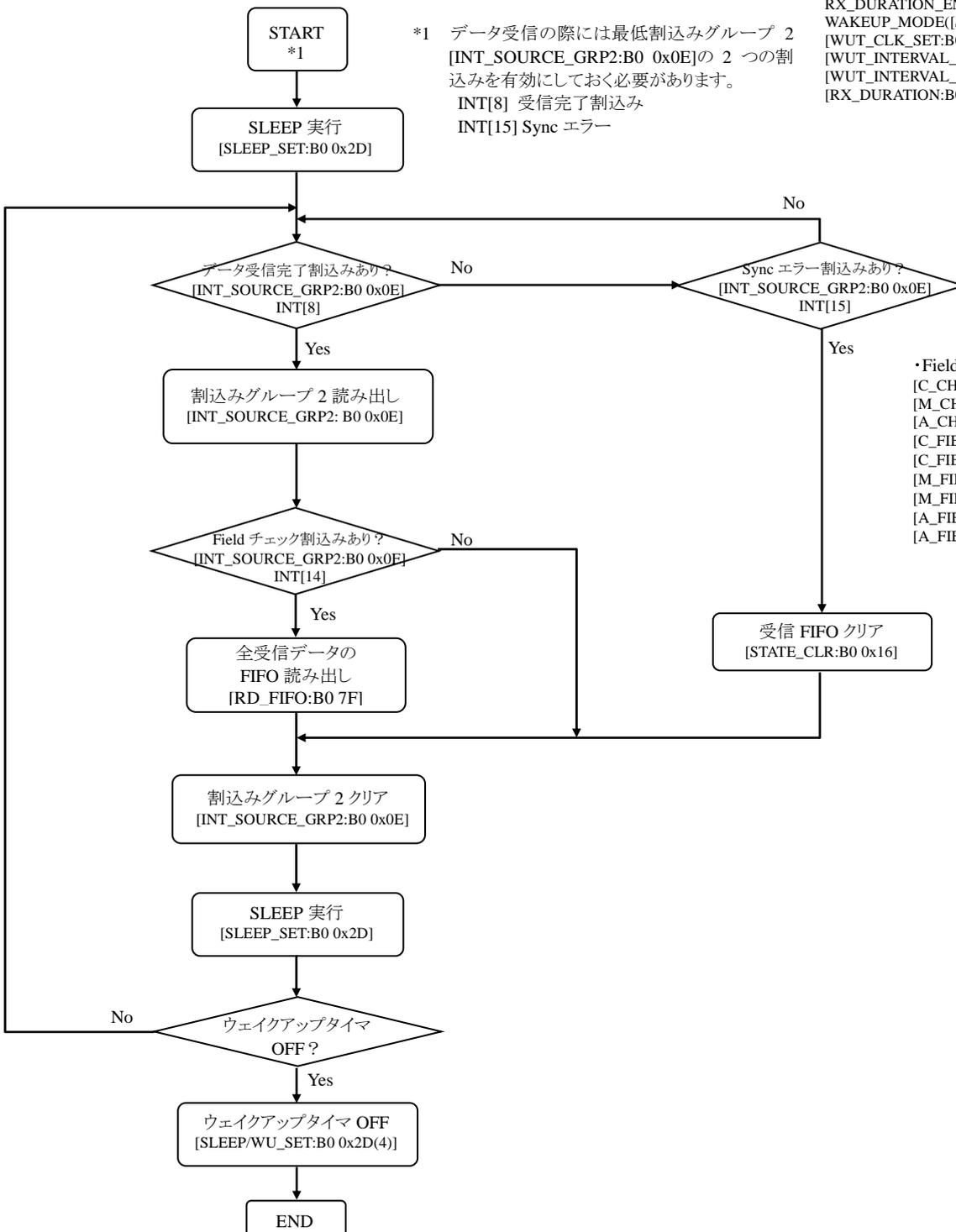
(3) ウェイクアップタイム

以下レジスタを設定することにより SLEEP 実行後、自動でウェイクアップし RX_ON 状態となります。SyncWord 検出割込み (INT[13]:割り込みグループ 2)発生後、受信完了割込み(INT[8]:割り込みグループ 2)を待ち、受信完了後に Field チェック割込み(INT[14]:割り込みグループ 2)を確認します。Field チェックの結果、アドレス一致している場合は受信データリード処理を行い、アドレス不一致時は STATE_CLR1([STATE_CLR: B0 0x16(1)])(受信 FIFO クリア)を実行してください。割り込みグループ 2 のクリア後、SLEEP 実行(SLEEP_EN[SLEEP/WU_SET: B0 0x2D(0)]) することにより SLEEP 状態となり、タイマ動作を継続します。なお、RX_ON 後の動作継続タイマが満了時に SyncWord 検出していなかった場合、自動で SLEEP 状態へ戻ります。

•ウェイクアップタイム設定
 WAKEUP_EN([SLEEP_SET:B0 0x2D(4)])=0b1
 RX_DURATION_EN([SLEEP_SET:B0 0x2D(5)])=0b1
 WAKEUP_MODE([SLEEP_SET:B0 0x2D(6)])=0b0
 [WUT_CLK_SET:B0 0x2E]
 [WUT_INTERVAL_H:B0 0x2F]
 [WUT_INTERVAL_L:B0 0x30]
 [RX_DURATION:B0 0x31]

*1 データ受信の際には最低割り込みグループ 2 [INT_SOURCE_GRP2:B0 0x0E]の 2 つの割り込みを有効にしておく必要があります。
 INT[8] 受信完了割り込み
 INT[15] Sync エラー

•Field チェック機能設定
 [C_CHECK_CTRL:B0 0x1B]
 [M_CHECK_CTRL:B0 0x1C]
 [A_CHECK_CTRL:B0 0x1D]
 [C_FIELD_WORD1:B0 0x1E]~
 [C_FIELD_WORD5:B0 0x22]
 [M_FIELD_WORD1:B0 0x23]~
 [M_FIELD_WORD4:B0 0x26]
 [A_FIELD_WORD1:B0 0x27]~
 [A_FIELD_WORD6:B0 0x2C]

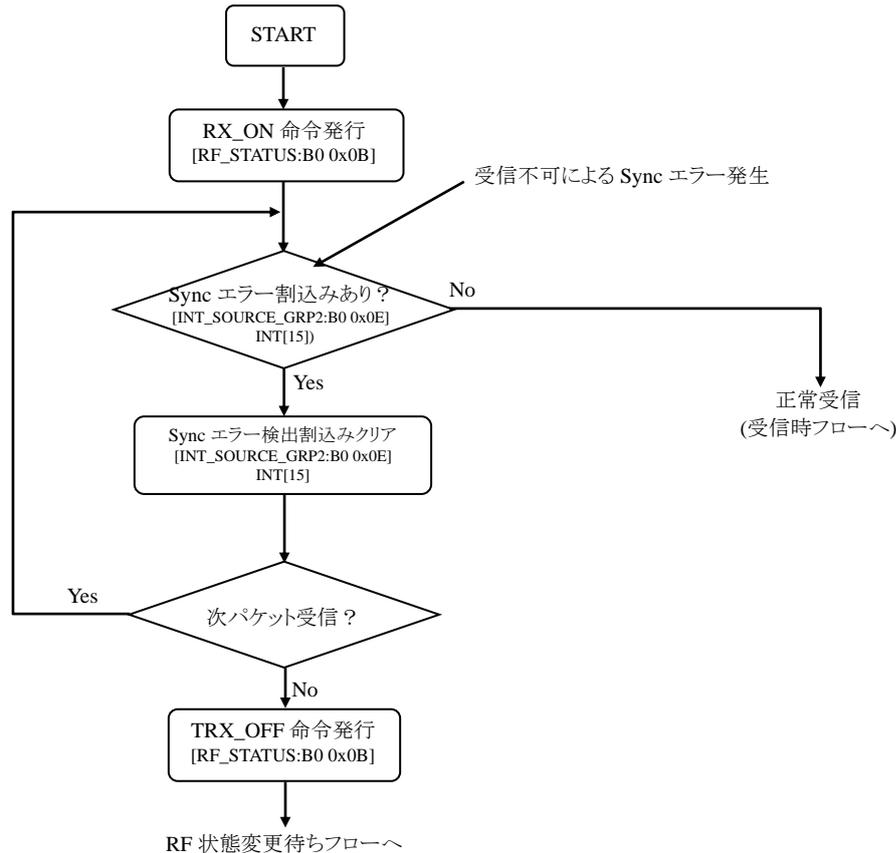


●エラー発生時の処理

(1) Sync エラー

SyncWord 検出以降のデータ受信中に電波強度の急激な変動等により同期が外れた場合、Sync エラー割り込み (INT[15]:割り込みグループ 2)を通知し、データ受信完了割り込み(INT[8]:割り込みグループ 2)は通知されません。データ受信完了割り込みが通知されず Sync エラー割り込みが通知された場合には、Sync エラー割り込みをクリアしてください。

”データ受信時”とは SyncWord 以降のデータ(L-field、データ、CRC 領域)を受信しているときを示します。



【ご注意】

本 LSI は FIFO モードにおいて Sync エラーを検出した場合、Sync エラー発生パケットは無効であると判断し、受信データの FIFO への格納を停止し、受信 FIFO 制御情報(受信データ数、FIFO リード数等)をクリアします。この状態で FIFO リードを行った場合、受信データがない状態での FIFO リードとなり、無効な FIFO 使用量および受信 FIFO アクセスエラーを示します。次のパケットを正常に受信するためには受信 FIFO クリア([STATE_CLR:B0 0x16])および受信 FIFO アクセスエラー割り込み(INT[12])をクリアした後、受信開始してください。

Sync エラー発生時、RF の状態は RXON を継続し、Sync エラー通知直後から次パケット受信に備え、SyncWord 検出待ち状態となります。なお、次パケットを正常に受信するためには受信 FIFO クリア([STATE_CLR:B0 0x16])および受信関連割り込み([INT_SOURCE_GRP2:B0 0x0E])を全てクリアしてください。

Sync エラー発生時の FIFO 制御による内部状態と次のパケット受信に必要な処理は以下の通りです。

| Sync エラー発生後の FIFO 処理 | SyncWord 検出後から Sync エラー発生 までの FIFO 処理 | 内部状態 | 次パケット受信に必要な処理 |
|-------------------------|---|---|--|
| FIFO リードなし | FIFO リードなし | Sync エラー発生まで1バイトも FIFO リードを行っていない場合、FIFO リードポインタは初期状態を維持しています。 | 受信 FIFO クリアなしに次パケットを正常に読み出すことが可能です。受信時に必要な割込みを通知させるため、受信関連割込みクリア ([INT_SOURCE_GRP2:B0 0x0E])を行ってください。 |
| | FIFO リードあり | Sync エラー発生直前までリードした FIFO リードポインタは初期化されません。 | 次パケットデータを正常に読み出すためには FIFO リードポインタを初期化する必要があるため、必ず受信 FIFO クリア ([STATE_CLR:B0 0x16])を行ってください。また、受信時に必要な割込みを通知させるため、受信関連割込みクリア ([INT_SOURCE_GRP2:B0 0x0E])を行ってください。 |
| FIFO リードあり | FIFO リードあり/なし | 受信データがない状態での FIFO リードとなり、無効な FIFO 使用量および受信 FIFO アクセスエラーを示します。FIFO リードポインタは初期化されません。 | FIFO クリア ([STATE_CLR:B0 0x16])を行ってください。また、受信時に必要な割込みを通知させるため、受信関連割込みクリア ([INT_SOURCE_GRP2:B0 0x0E])を行ってください。 |

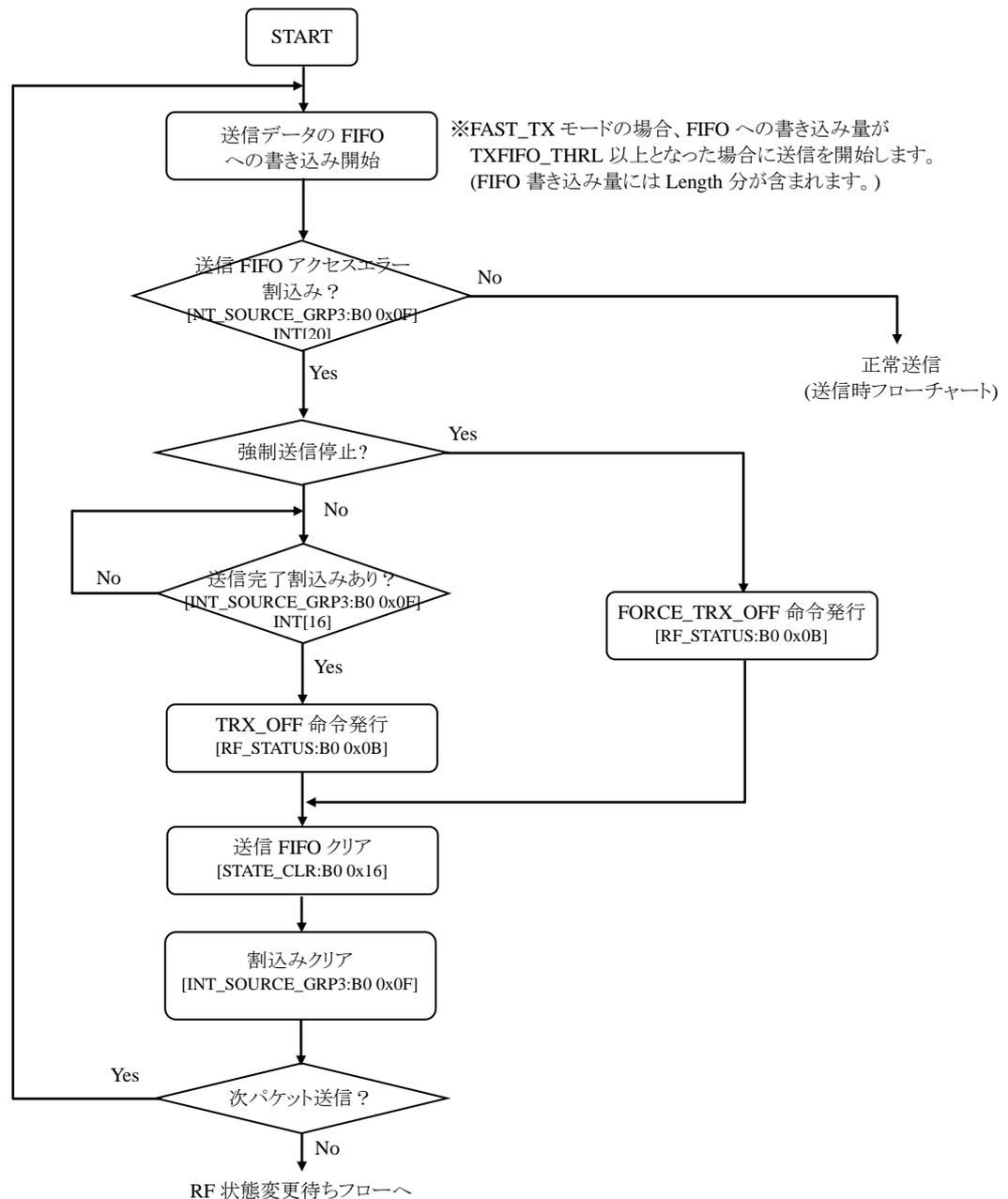
(2) 送信 FIFO アクセスエラー

以下の条件を満たしたとき送信 FIFO アクセスエラー割込み(INT[20];割り込みグループ 3)が発生します。

- データ送信要求受付完了割込み(INT[17];割り込みグループ 3)発生後、送信せずに次パケットのデータ書き込みを行ったとき
- TX_FIFO に対してデータ書き込みによりオーバーフローが発生したとき、または
- 送信途中で TX_FIFO に送信すべきデータがなくなったとき

このとき、送信完了割込み(INT[16];割り込みグループ 3)を待つて[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行するか、送信完了割り込みを待たずに Force_TRX_OFF を実施します。その後[STATE_CLR:B0 0x16]レジスタで送信 FIFO クリアしたのち割り込みグループ 3[INT_SOURCE_GRP3:B0 0x0F]の送信関連割込みのクリアを実行してください。

また、本 LSI は送信中に送信 FIFO アクセスエラーが発生した場合、その後の送信データを反転処理します。送信完了割り込みを待つて TRX_OFF 命令を発行する場合においても、受信側では CRC エラーとなります。

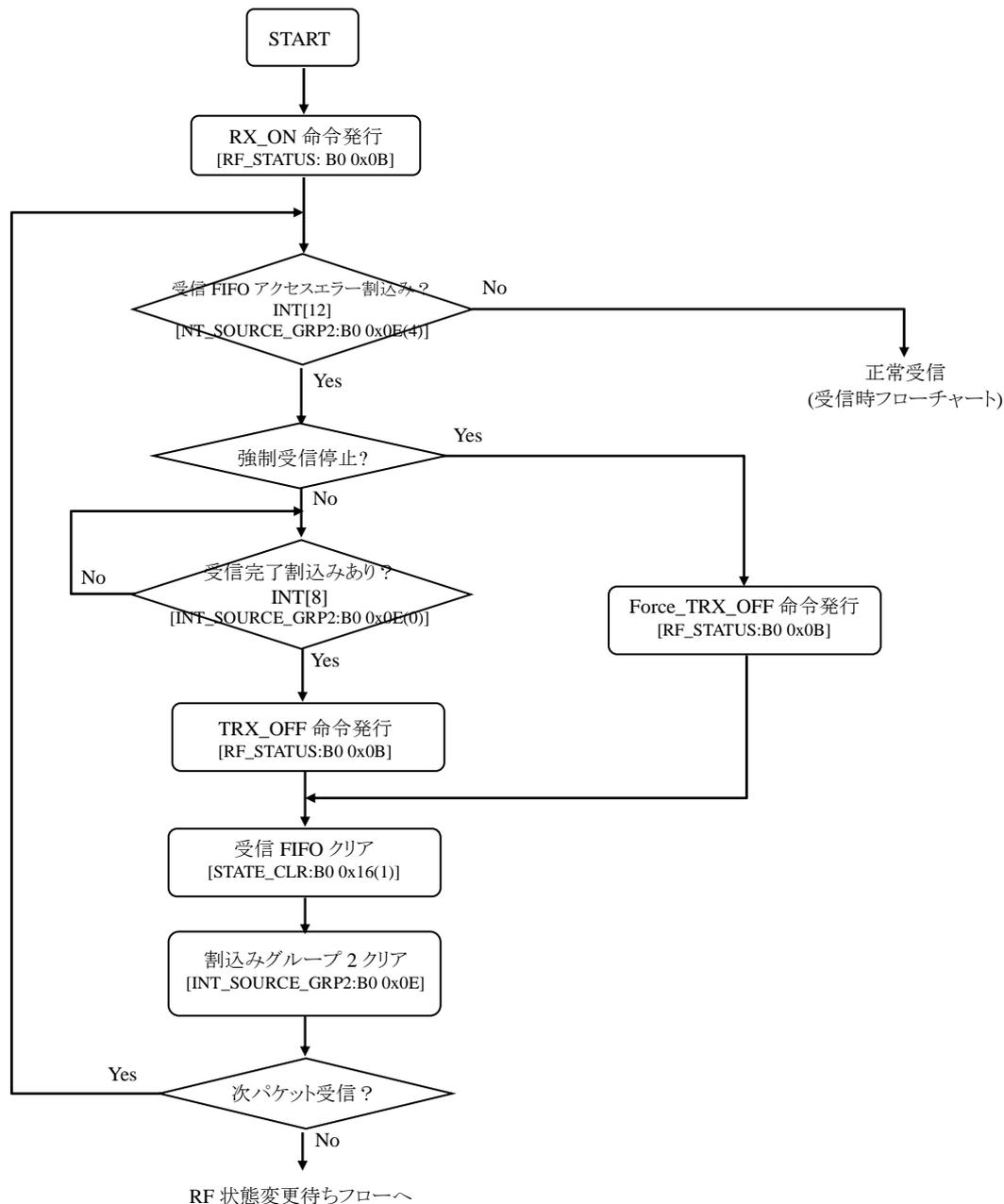


(3) 受信 FIFO アクセスエラー

受信時、以下の条件を満たしたとき受信 FIFO アクセスエラー割り込み(INT[12]:割り込みグループ 2)が発生します。

- RX_FIFO に対してデータ受信によるオーバーフローが発生したとき、または
- RX_FIFO に読み出すべきデータがない時に RX_FIFO を読み出したとき

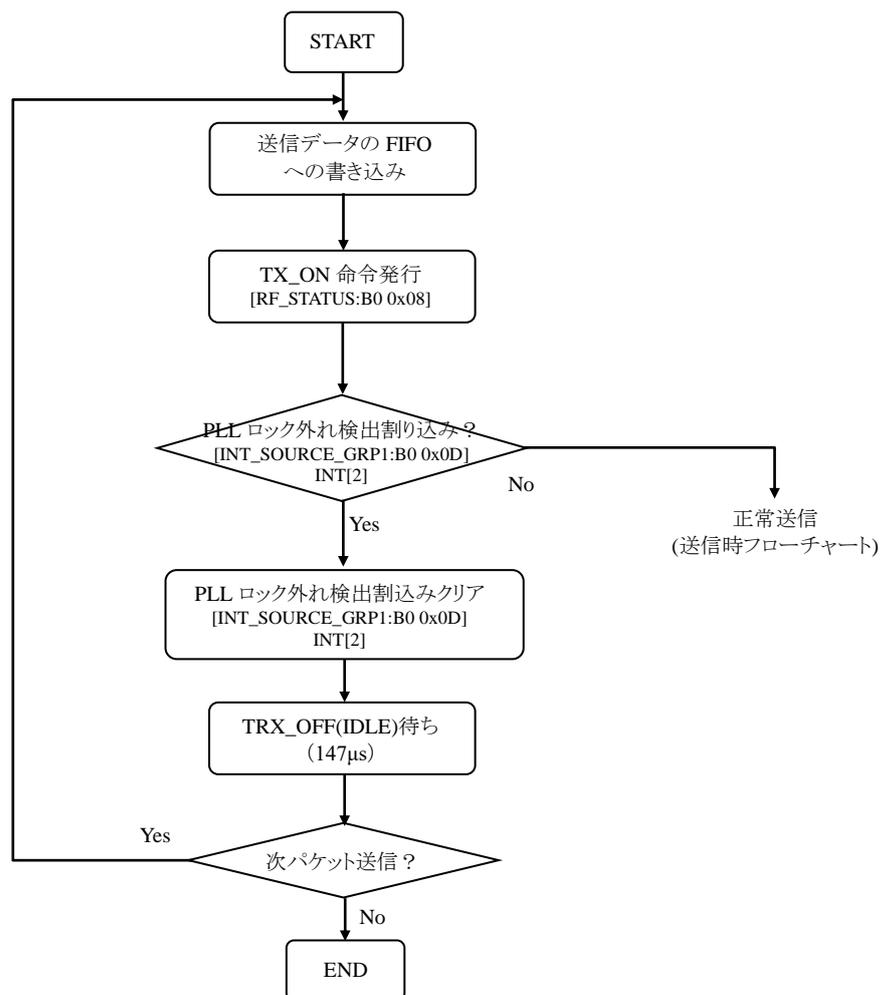
このとき、受信完了割り込み(INT[8]:割り込みグループ 2)を待って[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行するか、受信完了割り込みを待たずに Force_TRX_OFF を実施します。その後[STATE_CLR:B0 0x16]レジスタで受信 FIFO クリアしたのち割り込みグループ 2[INT_SOURCE_GRP2:B0 0x0E]の受信関連割り込みのクリアを実行してください。



(4) PLL ロック外れ検出

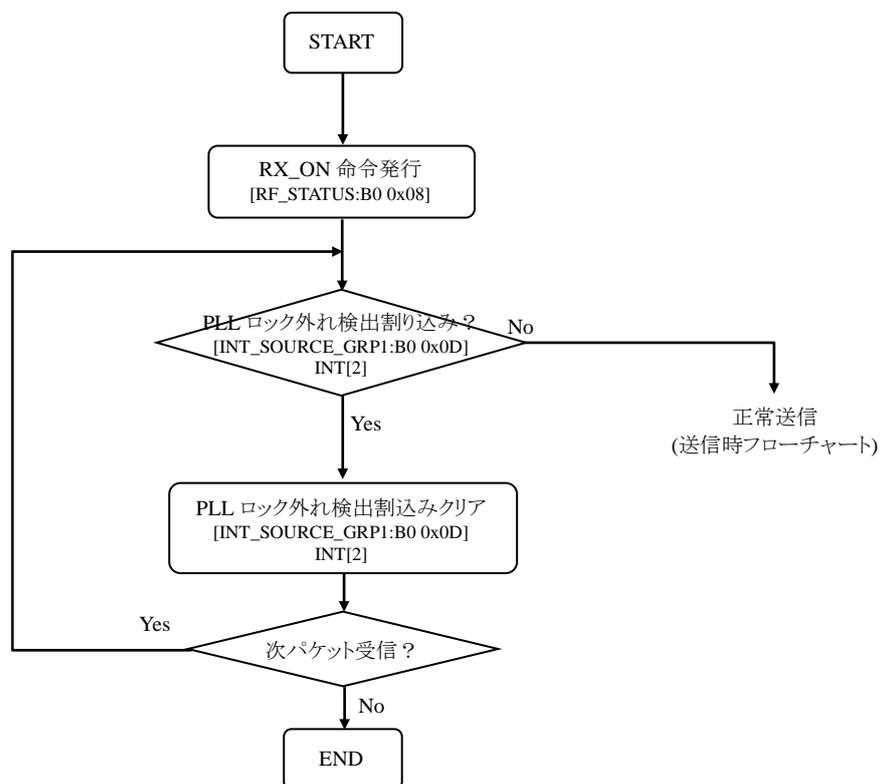
①送信時

送信中に PLL ロック外れを検出した場合、送信状態を停止し IDLE 状態へ強制移行します。PLL ロック外れは VCO キャリブレーション値が適切でない状態で発生する可能性があります。VCO キャリブレーションの確認または VCO キャリブレーションを再実行してください。PLL ロック外れ検出割込み通知後、IDLE 状態へ移行するまでに最大 147 μ s の時間が必要です。次の送信、受信または VCO キャリブレーションを行う前に必ず 147 μ s 以上の WAIT を行ってください。



②受信時

受信中に PLL ロック外れを検出した場合、IDLE 状態へ強制移行せず、受信状態を継続します。PLL ロック外れ検出割込み ([INT_SOURCE_GRP1:B0 0x0D] INT[2]) をクリアしてください。



■タイムチャート

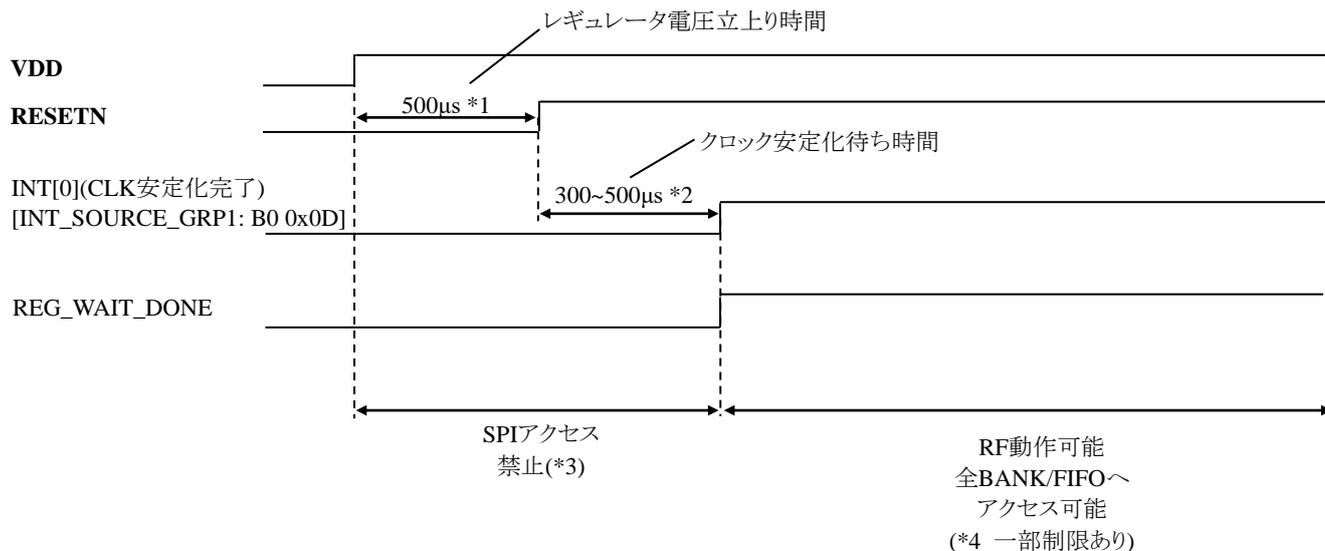
本 LSI の主な動作タイミングを示します。太字はピン入出力関連を示します。

【ご注意】

太字の信号名は端子名を、細字の信号名は内部信号または内部状態を示します。

●起動時

[水晶発振回路使用時]



*1: 起動時の VDD と RESETN のタイミングについては「リセット特性」をご参照下さい。

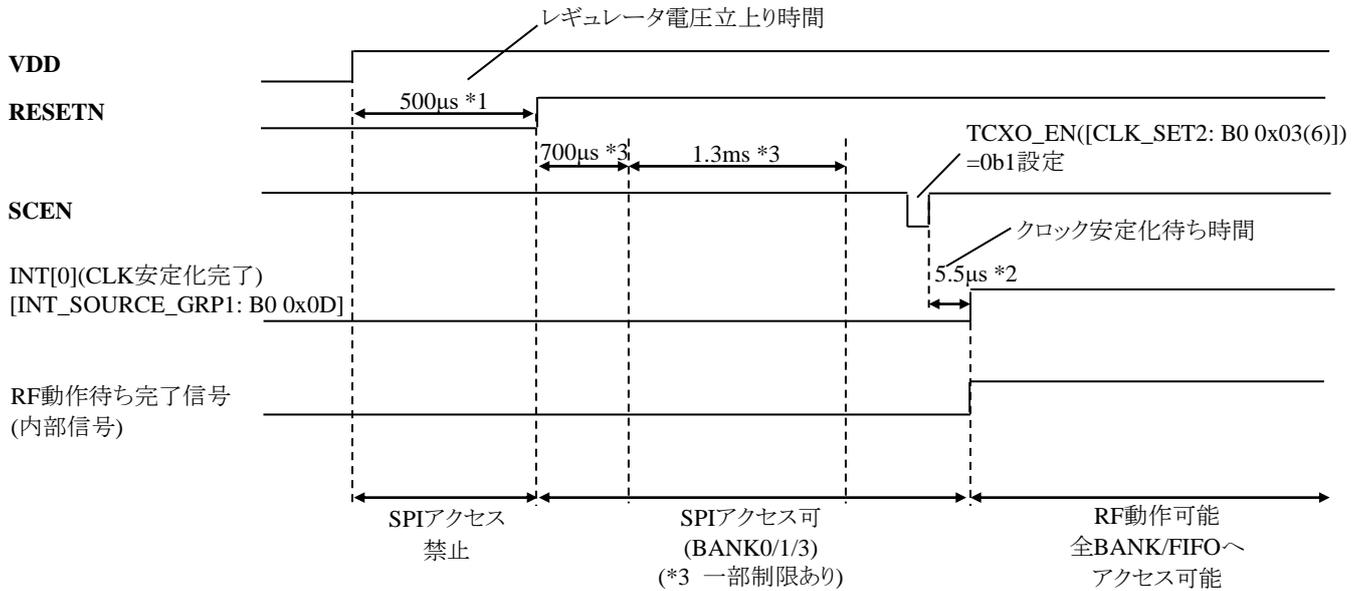
*2: XTAL_EN([CLK_SET2: B0 0x03(4)])=0b1 に設定した場合は、OSC_W_SEL[1:0]([OSC_W_SEL: B1 0x08(6-5)])の設定により 10µs/50µs/250µs/500µs に調整可能です。また TCXO 使用時(TCXO_EN([CLK_SET2: B0 0x03(6)])=0b1)では、5.5µs となります。

*3: ハードリセット解除(RESETN 端子="H")後、クロック安定化完了割込みが通知されるまで十分時間経過後に INT0[INT_SOURCE_GRP1: B0 0x0D(0)]をリードし、クロック安定化割込みが通知されていることを確認した後 SPI アクセスをしてください。

*4: 水晶発振回路使用時、以下のタイミングにおいて SPI アクセスに制限事項がありますのでご注意ください。設定禁止タイミングでの SPI アクセスは LSI が意図しない状態になる可能性があります。

| 設定 | 設定禁止タイミング |
|--|--|
| 内蔵 RC 発振回路停止 (RC32K_EN([CLK_SET2: B0 0x03(3)])=0b0) | 電源投入直後のリセット解除(RESETN 端子=H) またはディープスリープ解除した後、0.7ms~2.0ms の間 |
| SLEEP 設定 (SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])=0b0) | |

[TCXO 使用時]



*1: 起動時の VDD と RESETN のタイミングについては「リセット特性」をご参照下さい。

*2: XTAL_EN([CLK_SET2: B0 0x03(4)])=0b1 に設定した場合は、OSC_W_SEL[1:0]([OSC_W_SEL: B1 0x08(6-5)])の設定により 10µs/50µs/250µs/500µs に調整可能です。また TCXO 使用時(TCXO_EN([CLK_SET2:B0 0x03(6)])=0b1)では、5.5µs となります。

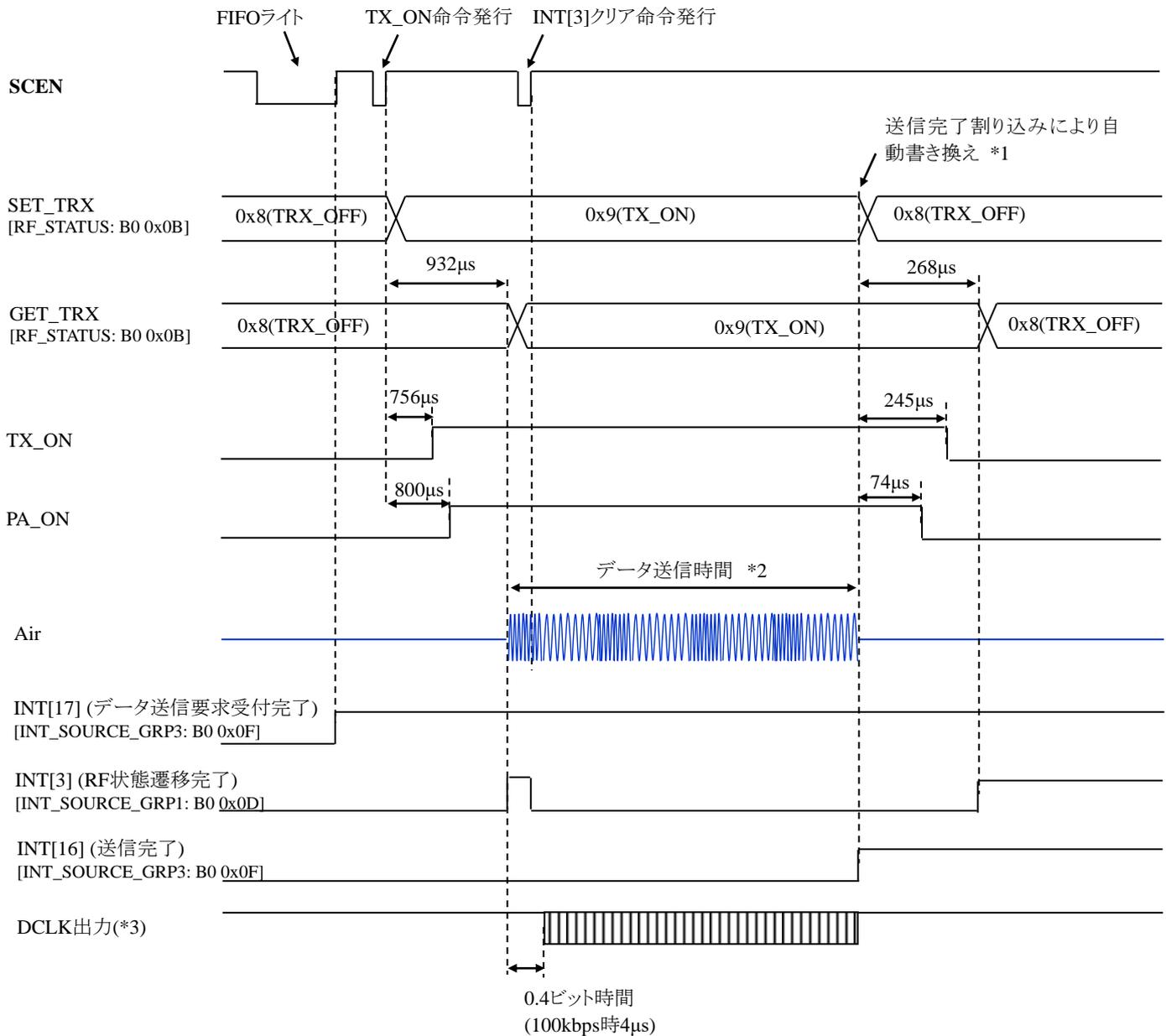
*3: TCXO 使用時、以下の制限事項がありますのでご注意ください。設定禁止タイミングでの SPI アクセスは LSI が意図しない状態になる可能性があります。

- LSI の SLEEP 解除に合わせて TCXO イネーブル制御する場合
電源投入直後のリセット解除(RESETN 端子=H)またはディープスリープ解除の後、2.0ms 経過するまで BANK0 への SPI アクセスは行わないでください。

- TCXO 常時イネーブルの場合
電源投入直後のリセット解除(RESETN 端子=H)またはディープスリープ解除直後に TCXO_EN([CLK_SET2:B0 0x03(6)])=0b1 を設定して下さい。

| 設定 | 設定禁止タイミング |
|---|---|
| 内蔵 RC 発振回路停止 (RC32K_EN([CLK_SET2:B0 0x03(3)])=0b0) | 電源投入直後のリセット解除(RESETN 端子=H)、 またはディープスリープ解除した後、0.7ms~2.0ms の間 |
| SLEEP 設定 (SLEEP_EN([SLEEP/WU_SET:B0 0x2D(0)])=0b0) | |
| クロックソース設定変更 (TCXO_EN([CLK_SET2:B0 0x03(6)])=0b1) | |

●送信時



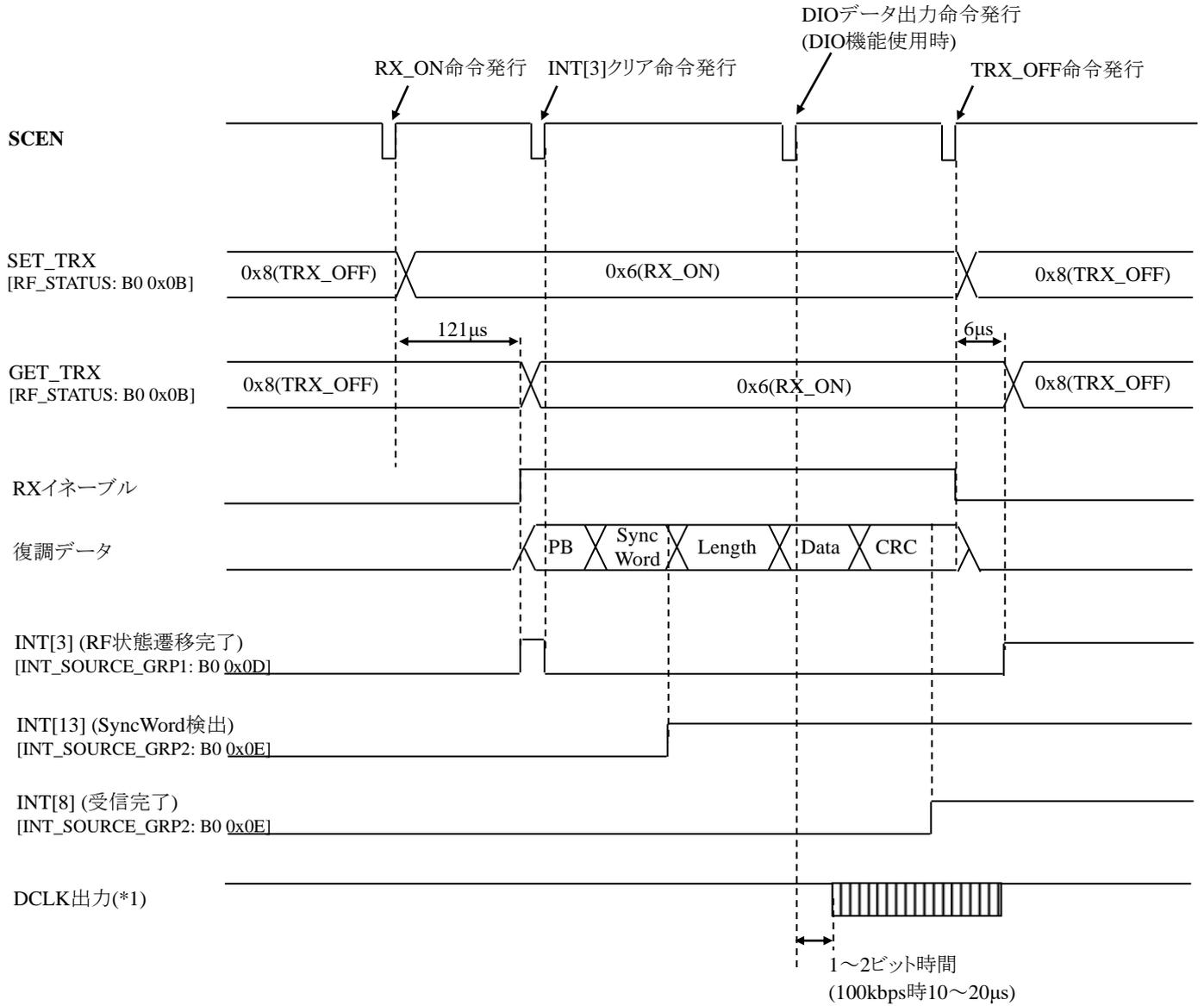
*1 : TXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(1-0)])が 0b00(default)設定の場合、送信完了割り込み検出により自動で SET_TRX([RF_STATUS: B0 0x0B(3-0)])を 0x8(TRX_OFF)に書き換えます。

*2 : データ送信時間は次式で計算されます。

$$\begin{aligned} \text{データ送信時間[s]} &= (\text{送信ビット数} + 3) \times 1 \text{ ビット送信時間[s]} \\ 1 \text{ ビット送信時間[s]} &= 1 / \text{データレート[bps]} \end{aligned}$$

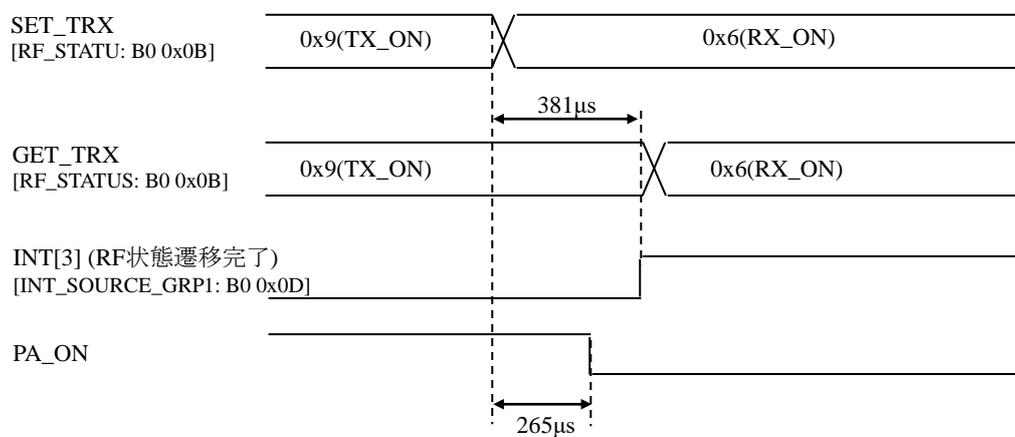
*3 : TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])=0b01 に設定した場合

●受信時

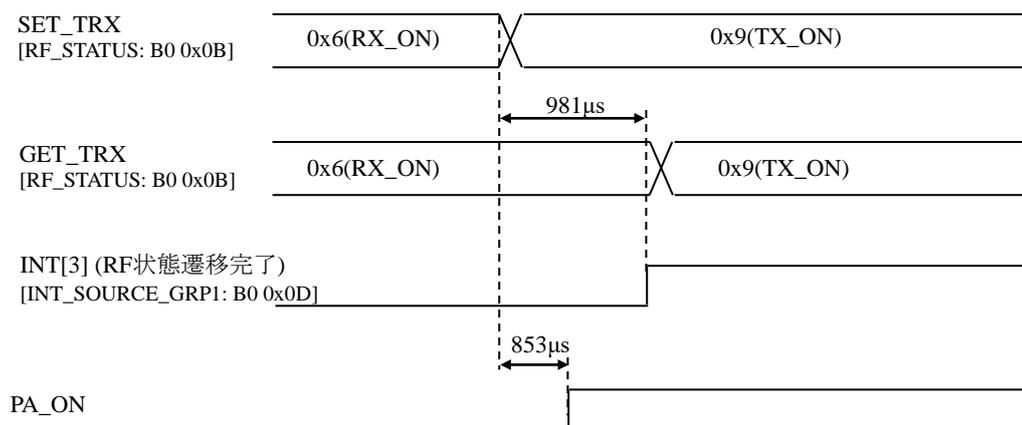


*1 : RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])=0b10 または 0b11 に設定した場合

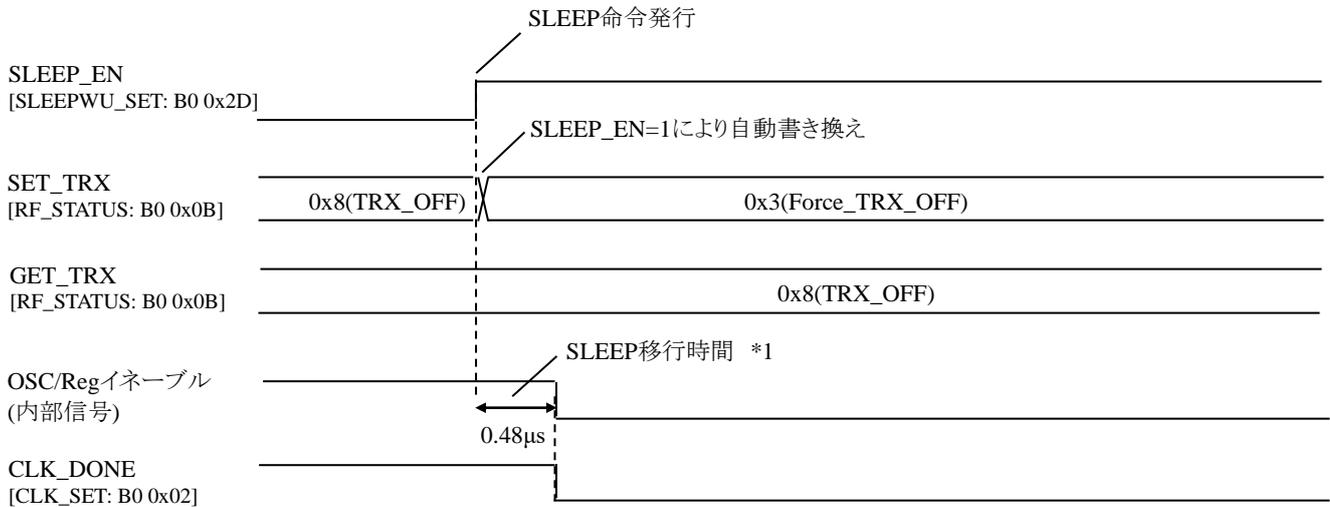
●送信から受信への移行



●受信から送信への移行

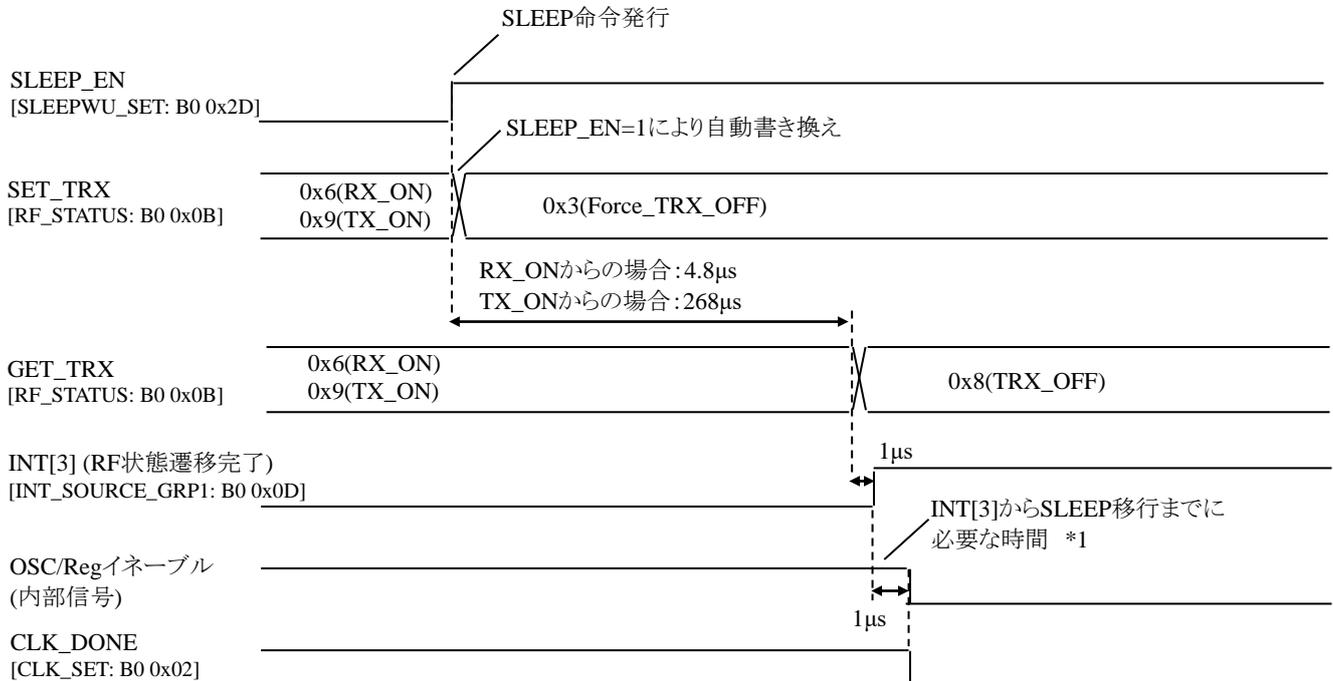


●IDLE から SLEEP への移行



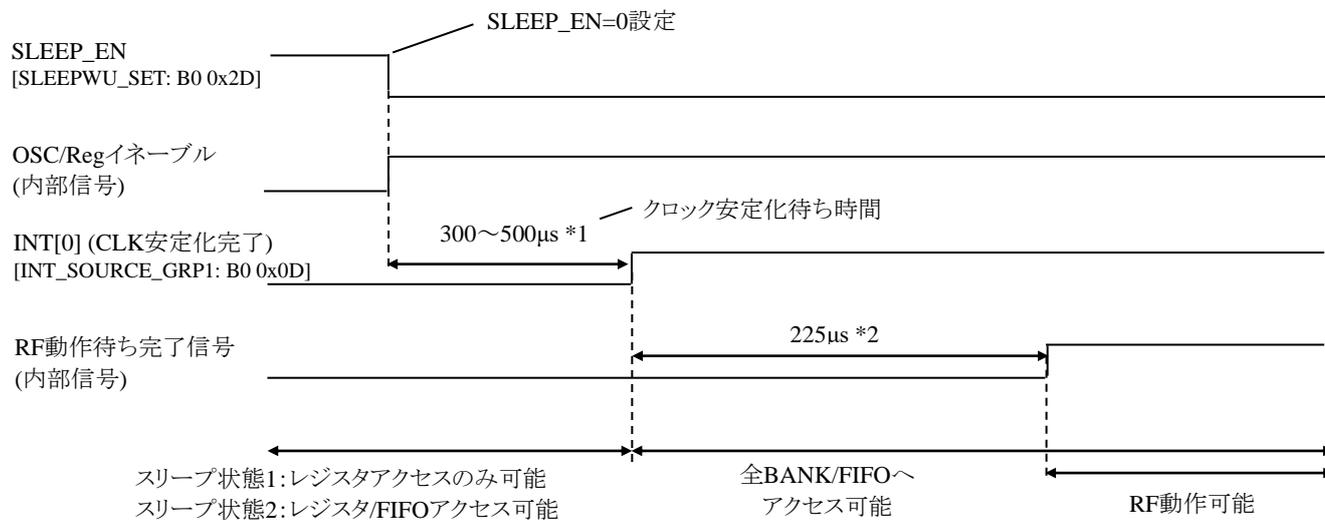
*1 : SLEEP 移行時間。SLEEP 移行の期間は内部クロックが必要なため、TCXO を停止させる場合は、SLEEP 命令発行 (SLEEP_EN ([SLEEP/WU_SET: B0 0x2D(0)])=0b1) 後、1µs 以上経過後にしてください。

●送信/受信状態から SLEEP への移行



*1 : TCXO を使用している場合は、SLEEP 命令発行 (SLEEP_EN ([SLEEP/WU_SET: B0 0x2D(0)])=1) による INT[3] の通知から 2µs 以上経過後に TCXO 入力を停止して下さい。

●SLEEP から IDLE への移行(発振回路使用時) (対象機種: ML7345/ML7345D)

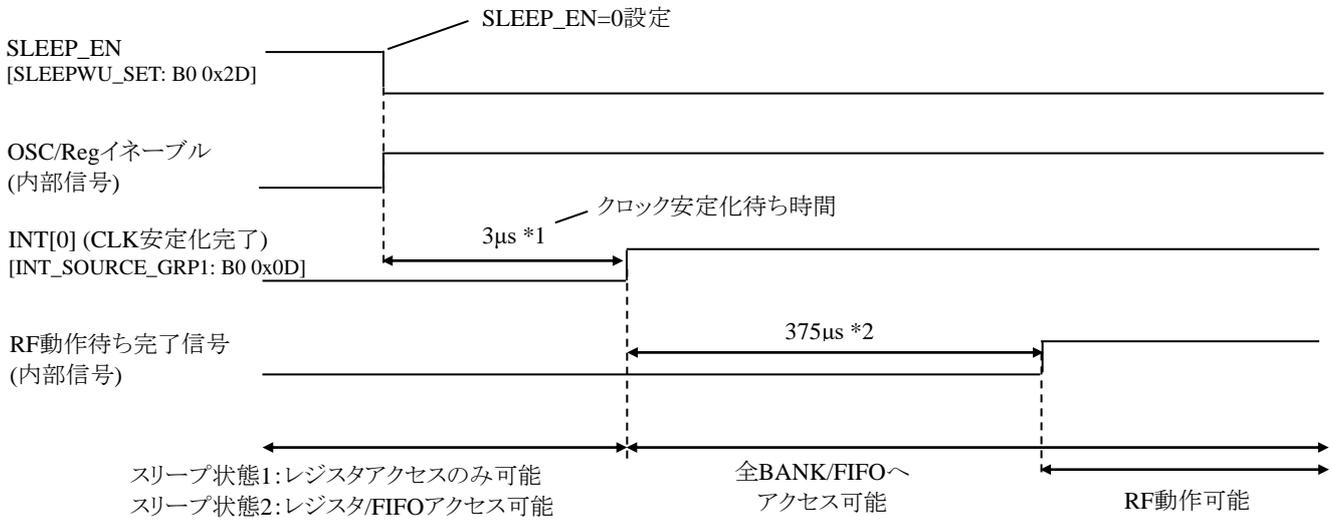


*1: XTAL_EN([CLK_SET2: B0 0x03(4)])=0b1 に設定した場合は OSC_W_SEL[1:0]([OSC_W_SEL: B1 0x08(6-5)])の設定により 10/50/250/500µs に調整可能です。α は発振回路起動時間で、最大 500µs です。

*2: [VCO_CAL_START: B0 0x6F]および[SET_TRX: B0 0x0B]レジスタは設定可能ですが、RF動作待ち完了信号がアサートされるまで処理されません。

●SLEEP から IDLE への移行(TCXO 使用時)

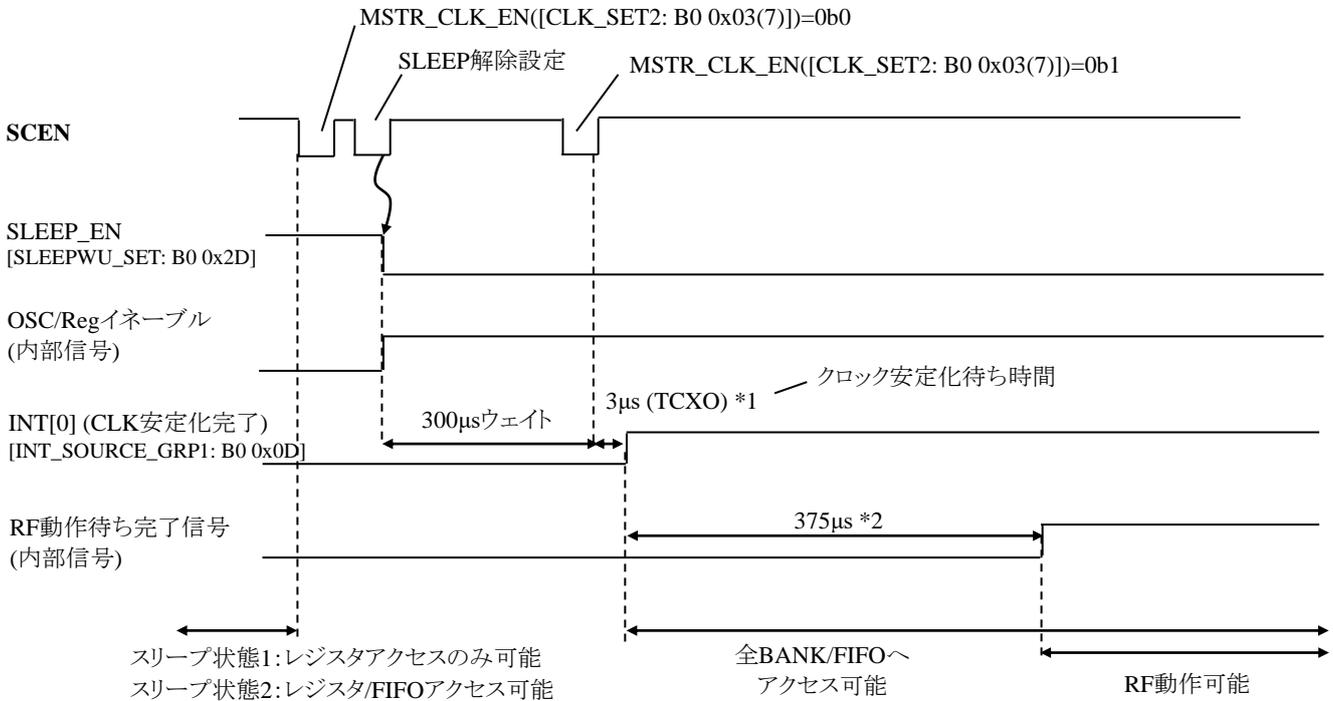
(対象機種: ML7345)



*1: TCXO 使用時(TCXO_EN([CLK_SET2:B0 0x03(6)])=0b1)では、3µs となります。

*2: [VCO_CAL_START: B0 0x6F]および[SET_TRX: B0 0x0B]レジスタは設定可能ですが、RF 動作待ち完了信号がアサートされるまで処理されません。

(対象機種: ML7345D)



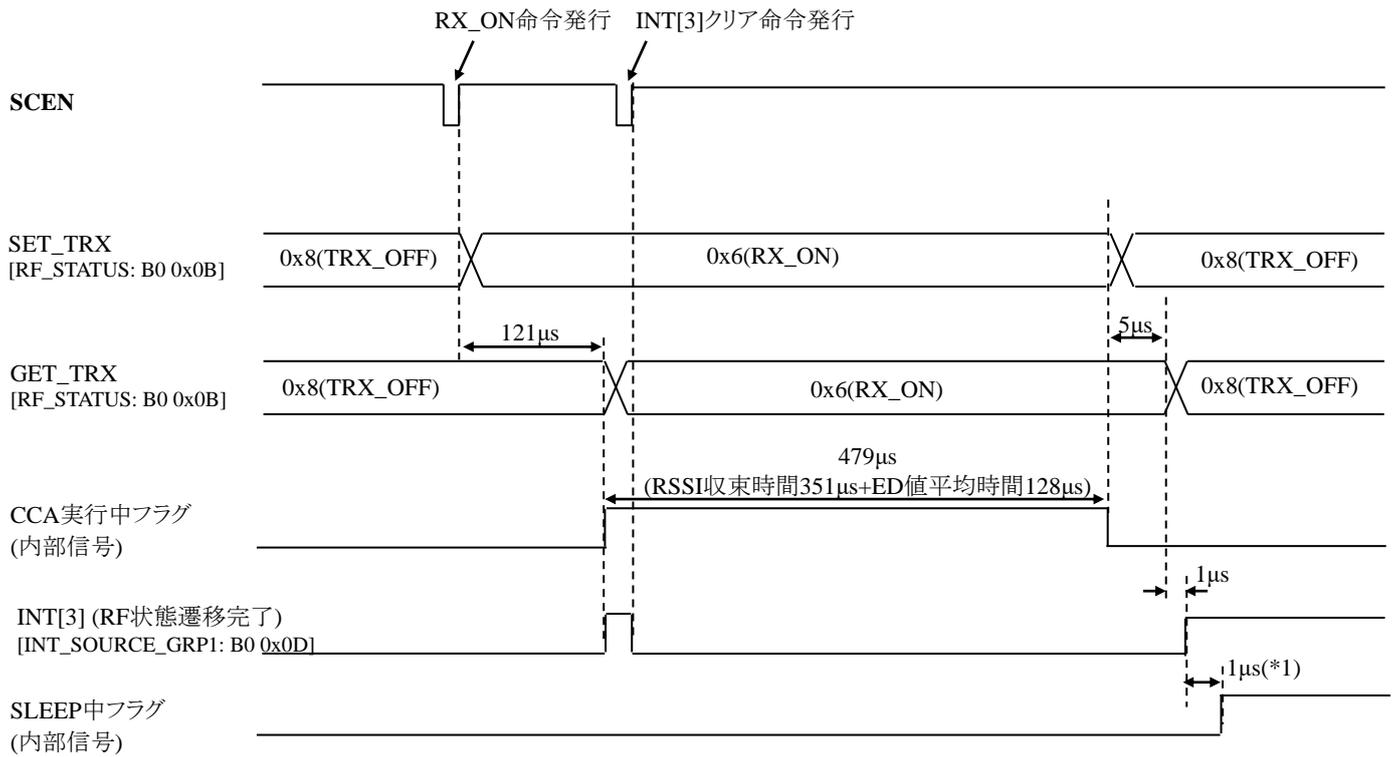
*1: TCXO 使用時(TCXO_EN([CLK_SET2:B0 0x03(6)])=0b1)では、3µs となります。

*2: [VCO_CAL_START:B0 0x6F]および[SET_TRX:B00x0B]レジスタは設定可能ですが、RF 動作待ち完了信号がアサートされるまで処理されません。

●高速電波チェックモード時

以下の条件でのタイムチャートです。

- 条件)
- ED値平均回数: 8回
- チャンネルフィルタ帯域: 10kHz



*1: INT[3]から SLEEP 移行までに必要な時間。TCXO を使用している場合は、INT[3]の通知から 2us 以上経過後に TCXO 入力を停止して下さい。

■レジスタ

●レジスタ一覧

各バンクのレジスタ配置アドレス範囲は 0x00–0x7F の合計 128 バイトです。表中ビット配置のグレーのハッチング箇所は LSI に非搭載または予約ビットとなります。予約ビットの中には非公開機能のビットを含むため、予約ビットへの書き込みは必ず初期値を設定してください。また名称が“Reserved”と記載されているアドレスについても非公開レジスタが含まれており、誤動作につながる可能性があるためアクセス(書き込み)は行わないでください。[Reserved]のレジスタの読み出し値は不定です。”Reserved”のビットの読み出し値は不定です。

各 BANK には、[BANK_SEL]レジスタ(B0 0x00, B1 0x00, B2 0x00, B3 0x00)の bit7-4 (B*_ACEN)に 0b1 を書き込み、bit3-0 にて該当する BANK を設定することで各 BANK にアクセスすることが可能です。

別途レジスタ一覧表に設定値が記載されているレジスタは、一覧表の値を設定し変更しないでください。

BANK0

| アドレス [HEX] | レジスタ名称 | | 機能概要 |
|---------------|-----------------|---------|------------------------------------|
| | ML7345 | ML7345D | |
| 00 | BANK_SEL | ← | BANK 切り替え |
| 01 | RST_SET | ← | リセット制御 |
| 02 | CLK_SET1 | ← | クロック制御 1 |
| 03 | CLK_SET2 | ← | クロック制御 2 |
| 04 | PKT_CTRL1 | ← | パケットフォーマット設定 1 |
| 05 | PKT_CTRL2 | ← | パケットフォーマット設定 2 |
| 06 | DRATE_SET | ← | データレート設定 |
| 07 | DATA_SET1 | ← | 送受信データ各種設定 1 |
| 08 | DATA_SET2 | ← | 送受信データ各種設定 2 |
| 09 | CH_SET | ← | RF チャンネル設定 |
| 0A | RF_STATUS_CTRL | ← | RF 状態変更設定 |
| 0B | RF_STATUS | ← | RF 状態設定 |
| 0C | DIO_SET | ← | DIO 設定 |
| 0D | INT_SOURCE_GRP1 | ← | 割り込み表示 1 |
| 0E | INT_SOURCE_GRP2 | ← | 割り込み表示 2 |
| 0F | INT_SOURCE_GRP3 | ← | 割り込み表示 3 |
| 10 | INT_EN_GRP1 | ← | 割り込み通知イネーブル 1 |
| 11 | INT_EN_GRP2 | ← | 割り込み通知イネーブル 2 |
| 12 | INT_EN_GRP3 | ← | 割り込み通知イネーブル 3 |
| 13 | CRC_ERR_H | ← | CRC エラー表示 1 |
| 14 | CRC_ERR_M | ← | CRC エラー表示 2 |
| 15 | CRC_ERR_L | ← | CRC エラー表示 3 |
| 16 | STATE_CLR | ← | 状態クリア制御 |
| 17 | TXFIFO_THRH | ← | 送信 FIFO-Full 閾値 |
| 18 | TXFIFO_THRL | ← | 送信 FIFO-Empty 閾値、FAST_TX イネーブル時の閾値 |
| 19 | RXFIFO_THRH | ← | 受信 FIFO-Full 閾値 |
| 1A | RXFIFO_THRL | ← | 受信 FIFO-Empty 閾値 |
| 1B | C_CHECK_CTRL | ← | C-field チェックイネーブル |
| 1C | M_CHECK_CTRL | ← | M-field チェックイネーブル |
| 1D | A_CHECK_CTRL | ← | A-field チェックイネーブル |
| 1E | C_FIELD_CODE1 | ← | C-field 設定コード 1 |
| 1F | C_FIELD_CODE2 | ← | C-field 設定コード 2 |
| 20 | C_FIELD_CODE3 | ← | C-field 設定コード 3 |
| 21 | C_FIELD_CODE4 | ← | C-field 設定コード 4 |
| 22 | C_FIELD_CODE5 | ← | C-field 設定コード 5 |
| 23 | M_FIELD_CODE1 | ← | M-field 1st バイト設定コード 1 |
| 24 | M_FIELD_CODE2 | ← | M-field 1st バイト設定コード 2 |
| 25 | M_FIELD_CODE3 | ← | M-field 2nd バイト設定コード 1 |
| 26 | M_FIELD_CODE4 | ← | M-field 2nd バイト設定コード 2 |
| 27 | A_FIELD_CODE1 | ← | A-field 1st バイト設定 |
| 28 | A_FIELD_CODE2 | ← | A-field 2nd バイト設定 |
| 29 | A_FIELD_CODE3 | ← | A-field 3rd バイト設定 |
| 2A | A_FIELD_CODE4 | ← | A-field 4th バイト設定 |
| 2B | A_FIELD_CODE5 | ← | A-field 5th バイト設定 |
| 2C | A_FIELD_CODE6 | ← | A-field 6th バイト設定 |
| 2D | SLEEP/WU_SET | ← | SLEEP/WakeUP タイマ設定 |
| 2E | WUT_CLK_SET | ← | WakeUP タイマ用クロック分周設定 |
| 2F | WUT_INTERVAL_H | ← | WakeUP タイマインターバル設定(上位バイト) |
| 30 | WUT_INTERVAL_L | ← | WakeUP タイマインターバル設定(下位バイト) |
| 31 | WU_DURATION | ← | WakeUP 後の動作継続タイマ稼働時間設定 |
| 32 | GT_SET | ← | 汎用タイマ設定 |
| 33 | GT_CLK_SET | ← | 汎用タイマ用クロック分周設定 |
| 34 | GT1_TIMER | ← | 汎用タイマ 1 タイマ設定 |

BANK0 続き

| アドレス [HEX] | レジスタ名称 | | 機能概要 |
|---------------|-----------------|--------------|-----------------------------|
| | ML7345 | ML7345D | |
| 35 | GT2_TIMER | ← | 汎用タイマ2 タイマ設定 |
| 36 | CCA_IGNORE_LVL | ← | CCA の判定除外 ED 値設定 |
| 37 | CCA_LVL | ← | CCA 閾値設定 |
| 38 | CCA_ABORT | ← | CCA ABORT 時間設定 |
| 39 | CCA_CTRL | ← | CCA 制御設定 |
| 3A | ED_RSLT | ← | ED 値表示 |
| 3B | IDLE_WAIT_H | ← | IDLE 検出期間設定(上位バイト) |
| 3C | IDLE_WAIT_L | ← | IDLE 検出期間設定(下位バイト) |
| 3D | CCA_PROG_H | ← | IDLE 検出期間結果表示(上位バイト) |
| 3E | CCA_PROG_L | ← | IDLE 検出期間結果表示(下位バイト) |
| 3F | PREAMBLE_SET | ← | プリアンブルパターン設定 |
| 40 | VCO_VTRSLT | ← | VCO 調整電圧結果表示 |
| 41 | ED_CTRL | ← | ED 値平均回数設定数 |
| 42 | TXPR_LEN_H | ← | 送信プリアンブル長設定(上位バイト) |
| 43 | TXPR_LEN_L | ← | 送信プリアンブル長設定(下位バイト) |
| 44 | POSTAMBLE_SET | ← | ポストアンブル設定 |
| 45 | SYNC_CONDITION1 | ← | 受信プリアンブル設定 |
| 46 | SYNC_CONDITION2 | ← | 同期検出時の ED 閾値 |
| 47 | SYNC_CONDITION3 | ← | 誤り許容設定 |
| 48 | 2DIV_CTRL | ← | アンテナダイバーシティ設定 |
| 49 | 2DIV_RSLT | ← | アンテナダイバーシティ結果表示 |
| 4A | ANT1_ED | ← | アンテナ 1 の取得 ED 値表示 |
| 4B | ANT2_ED | ← | アンテナ 2 の取得 ED 値表示 |
| 4C | ANT_CTRL | ← | 送受信時のアンテナ強制設定 |
| 4D | MON_CTRL | ← | モニタ出力信号選択設定 |
| 4E | GPIO0_CTRL | ← | GPIO0 端子(ピン#16)制御設定 |
| 4F | GPIO1_CTRL | ← | GPIO1 端子(ピン#17)制御設定 |
| 50 | GPIO2_CTRL | ← | GPIO2 端子(ピン#18)制御設定 |
| 51 | GPIO3_CTRL | ← | GPIO3 端子(ピン#19)制御設定 |
| 52 | EXTCLK_CTRL | ← | EXT_CLK 端子(ピン#10)制御設定 |
| 53 | SPI/EXT_PA_CTRL | ← | SPI インタフェース IO /外部 PA 制御設定 |
| 54 | CHFIL_BW | ← | チャンネルフィルタ帯域幅設定 |
| 55 | DC_I_ADJ_H | ← | I 相 DC オフセット調整設定(上位 6 ビット) |
| 56 | DC_I_ADJ_L | ← | I 相 DC オフセット調整設定(下位バイト) |
| 57 | DC_Q_ADJ_H | ← | Q 相 DC オフセット調整設定(上位 6 ビット) |
| 58 | DC_Q_ADJ_L | ← | Q 相 DC オフセット調整設定(下位バイト) |
| 59 | DC_FIL_ADJ | ← | DC オフセット調整フィルタ設定 |
| 5A | IQ_MAG_ADJ_H | ← | IF の IQ 振幅バランス調整(上位 4 ビット) |
| 5B | IQ_MAG_ADJ_L | ← | IF の IQ 振幅バランス調整(下位バイト) |
| 5C | IQ_PHASE_ADJ_H | ← | IF の IQ 位相バランス調整(上位 4 ビット) |
| 5D | IQ_PHASE_ADJ_L | ← | IF の IQ 位相バランス調整(下位バイト) |
| 5E | IQ_ADJ_WAIT | ← | IF の IQ 自動調整用 RSSI 取得ウェイト時間 |
| 5F | IQ_ADJ_TARGET | ← | IF の IQ 自動調整用 RSSI 判定閾値 |
| 60 | DEC_GAIN | ← | デシメーションゲイン設定 |
| 61 | IF_FREQ | ← | IF 周波数選択 |
| 62 | OSC_ADJ1 | ← | 発振回路制御(粗調) |
| 63 | OSC_ADJ2 | ← | 発振回路制御(微調) |
| 64 | Reserved | ← | 予約 |
| 65 | OSC_ADJ4 | ← | 高速起動時発振回路バイアス設定 |
| 66 | RSSI_ADJ | ← | RSSI 値の調整 |
| 67 | PA_MODE | ← | PA モード設定/PA レギュレータ調整 |
| 68 | PA_REG_FINE_ADJ | ← | PA レギュレータ微調整 |
| 69 | PA_ADJ | ← | PA パワー調整設定 |
| 6A | Reserved | CHFIL_BW_CCA | CCA 時チャンネルフィルタ帯域幅設定 |
| 6B-6D | Reserved | ← | 予約 |
| 6E | VCO_CAL | ← | VCO キャリブレーション値表示または設定 |

BANK0 続き

| アドレス [HEX] | レジスタ名称 | | 機能概要 |
|---------------|---------------|---------|---------------------------|
| | ML7345 | ML7345D | |
| 6F | VCO_CAL_START | ← | VCO キャリブレーション実行 |
| 70 | CLK_CAL_SET | ← | 低速クロックキャリブレーション制御 |
| 71 | CLK_CAL_TIME | ← | 低速クロックキャリブレーション時間設定 |
| 72 | CLK_CAL_H | ← | 低速クロックキャリブレーション値表示(上位バイト) |
| 73 | CLK_CAL_L | ← | 低速クロックキャリブレーション値表示(下位バイト) |
| 74 | Reserved | ← | 予約 |
| 75 | SLEEP_INT_CLR | ← | SLEEP 時割込みクリア設定 |
| 76 | RF_TEST_MODE | ← | 送信テストパターン設定 |
| 77 | STM_STATE | ← | ステートマシン状態表示 |
| 78 | FIFO_SET | ← | FIFO リード設定 |
| 79 | RD_FIFO_LAST | ← | 受信時 FIFO 使用量表示 |
| 7A | TX_PKT_LEN_H | ← | 送信パケット長設定 |
| 7B | TX_PKT_LEN_L | ← | 送信パケット長設定 |
| 7C | WR_TX_FIFO | ← | 送信 FIFO |
| 7D | RX_PKT_LEN_H | ← | 受信パケット長表示 |
| 7E | RX_PKT_LEN_L | ← | 受信パケット長表示 |
| 7F | RD_FIFO | ← | FIFO リード |

BANK1

| アドレス [HEX] | レジスタ名称 | | 機能概要 |
|---------------|------------------|-------------|-------------------------------------|
| | ML7345 | ML7345D | |
| 00 | BANK_SEL | ← | BANK 切り替え |
| 01 | CLK_OUT | ← | CLK_OUT(GPIO _n) 出力周波数設定 |
| 02 | TX_RATE_H | ← | 送信データレート変換設定(上位バイト) |
| 03 | TX_RATE_L | ← | 送信データレート変換設定(下位バイト) |
| 04 | RX_RATE1_H | ← | 受信データレート変換設定 1(上位バイト) |
| 05 | RX_RATE1_L | ← | 受信データレート変換設定 1(下位バイト) |
| 06 | RX_RATE2 | ← | 受信データレート変換設定 2 |
| 07 | Reserved | ← | 予約 |
| 08 | OSC_W_SEL | ← | クロック安定化待ち時間設定 |
| 09-0A | Reserved | ← | 予約 |
| 0B | PLL_LOCK_DETECT | ← | PLL ロック判定設定 |
| 0C | GAIN_HTOL | ← | ゲインへの切り替え閾値設定 |
| 0D | GAIN_LTOH | ← | ゲインへの切り替え閾値設定 |
| 0E | GAIN_HOLD | ← | ゲイン切り替え設定 |
| 0F | Reserved | ← | 予約 |
| 10 | Reserved | GC_CTRL_DIV | ダイバーシティ時のゲイン制御設定 |
| 11 | RSSI_ADJ_L | ← | RSSI オフセット値設定 |
| 12 | RSSI_STABLE_TIME | ← | RSSI 安定化待ち時間設定 |
| 13 | RSSI_MAG_ADJ | ← | ED 変換用 RSSI 補正設定 |
| 14 | RSSI_VAL | ← | RSSI 表示 |
| 15 | AFC/GC_CTRL | ← | AFC/ゲイン制御設定 |
| 16 | CRC_POLY3 | ← | CRC 生成多項式 3 |
| 17 | CRC_POLY2 | ← | CRC 生成多項式 2 |
| 18 | CRC_POLY1 | ← | CRC 生成多項式 1 |
| 19 | CRC_POLY0 | ← | CRC 生成多項式 0 |
| 1A | PLL_DIV_SET | ← | PLL 出力 2 分周切り替え設定 |
| 1B | TXFREQ_I | ← | 送信周波数 I カウンタ設定 |
| 1C | TXFREQ_FH | ← | 送信周波数 F カウンタ設定(上位 4 ビット) |
| 1D | TXFREQ_FM | ← | 送信周波数 F カウンタ設定(中位 8 ビット) |
| 1E | TXFREQ_FL | ← | 送信周波数 F カウンタ設定(下位 8 ビット) |
| 1F | RXFREQ_I | ← | 受信周波数 I カウンタ設定 |
| 20 | RXFREQ_FH | ← | 受信周波数 F カウンタ設定(上位 4 ビット) |
| 21 | RXFREQ_FM | ← | 受信周波数 F カウンタ設定(中位 8 ビット) |
| 22 | RXFREQ_FL | ← | 受信周波数 F カウンタ設定(下位 8 ビット) |
| 23 | CH_SPACE_H | ← | チャンネル間隔設定(上位バイト) |
| 24 | CH_SPACE_L | ← | チャンネル間隔設定(下位バイト) |
| 25 | SYNC_WORD_LEN | ← | SYNC_WORD 長設定 |
| 26 | SYNC_WORD_EN | ← | SYNC_WORD イネーブル設定 |
| 27 | SYNCWORD1_SET0 | ← | SYNC_WORD1 設定 1 |
| 28 | SYNCWORD1_SET1 | ← | SYNC_WORD1 設定 2 |
| 29 | SYNCWORD1_SET2 | ← | SYNC_WORD1 設定 3 |
| 2A | SYNCWORD1_SET3 | ← | SYNC_WORD1 設定 4 |
| 2B | SYNCWORD2_SET0 | ← | SYNC_WORD2 設定 1 |
| 2C | SYNCWORD2_SET1 | ← | SYNC_WORD2 設定 2 |
| 2D | SYNCWORD2_SET2 | ← | SYNC_WORD2 設定 3 |
| 2E | SYNCWORD2_SET3 | ← | SYNC_WORD2 設定 4 |
| 2F | FSK_CTRL | ← | GFSK/FSK 変調タイミング分解能設定 |
| 30 | GFSK_DEV_H | ← | GFSK 時周波数偏位設定(上位 6 ビット) |
| 31 | GFSK_DEV_L | ← | GFSK 時周波数偏位設定(下位バイト) |
| 32 | FSK_DEV0_H/GFIL0 | ← | FSK 周波数偏位設定 0/ガウシアンフィルタ係数設定 1 |
| 33 | FSK_DEV0_L/GFIL1 | ← | FSK 周波数偏位設定 0/ガウシアンフィルタ係数設定 2 |
| 34 | FSK_DEV1_H/GFIL2 | ← | FSK 周波数偏位設定 1/ガウシアンフィルタ係数設定 3 |
| 35 | FSK_DEV1_L/GFIL3 | ← | FSK 周波数偏位設定 1/ガウシアンフィルタ係数設定 4 |

BANK1 続き

| アドレス [HEX] | レジスタ名称 | | 機能概要 |
|---------------|------------------|---------|----------------------------------|
| | ML7345 | ML7345D | |
| 36 | FSK_DEV2_H/GFIL4 | ← | FSK 周波数偏位設定 2/ガウシアンフィルタ係数設定 5 |
| 37 | FSK_DEV2_L/GFIL5 | ← | FSK 周波数偏位設定 2/ガウシアンフィルタ係数設定 6 |
| 38 | FSK_DEV3_H/GFIL6 | ← | FSK 周波数偏位設定 3/ガウシアンフィルタ係数設定 7 |
| 39 | FSK_DEV3_L | ← | FSK 周波数偏位設定 3 |
| 3A | FSK_DEV4_H | ← | FSK 周波数偏位設定 4 |
| 3B | FSK_DEV4_L | ← | FSK 周波数偏位設定 4 |
| 3C | FSK_TIM_ADJ4 | ← | FSK 第 4 周波数偏位の保持時間設定 |
| 3D | FSK_TIM_ADJ3 | ← | FSK 第 3 周波数偏位の保持時間設定 |
| 3E | FSK_TIM_ADJ2 | ← | FSK 第 2 周波数偏位の保持時間設定 |
| 3F | FSK_TIM_ADJ1 | ← | FSK 第 1 周波数偏位の保持時間設定 |
| 40 | FSK_TIM_ADJ0 | ← | FSK 周波数無偏位(キャリア周波数)の保持時間設定 |
| 41 | 4FSK_DATA_MAP | ← | 4FSK 時のデータマッピング |
| 42 | FREQ_ADJ_H | ← | 送受信周波数微調整設定(上位バイト) |
| 43 | FREQ_ADJ_L | ← | 送受信周波数微調整設定(下位バイト) |
| 44-47 | Reserved | ← | 予約 |
| 48 | 2DIV_MODE | ← | アンテナダイバシティモード設定 |
| 49 | 2DIV_SEARCH1 | ← | アンテナダイバシティサーチ時間設定 |
| 4A | 2DIV_SEARCH2 | ← | アンテナダイバシティサーチ時間設定 |
| 4B | 2DIV_FAST_LVL | ← | アンテナダイバシティ FAST モードの ED 閾値設定 |
| 4C | Reserved | ← | 予約 |
| 4D | VCO_CAL_MIN_I | ← | VCO_CAL 下限周波数 I カウンタ設定 |
| 4E | VCO_CAL_MIN_FH | ← | VCO_CAL 下限周波数 F カウンタ設定(上位 6 ビット) |
| 4F | VCO_CAL_MIN_FM | ← | VCO_CAL 下限周波数 F カウンタ設定(中位 8 ビット) |
| 50 | VCO_CAL_MIN_FL | ← | VCO_CAL 下限周波数 F カウンタ設定(下位 8 ビット) |
| 51 | VCO_CAL_MAX_N | ← | VCO_CAL_Max 周波数設定 |
| 52 | VCAL_MIN | ← | VCO キャリブレーション下限値 |
| 53 | VCAL_MAX | ← | VCO キャリブレーション上限値 |
| 54-55 | Reserved | ← | 予約 |
| 56 | DEMOD_SET0 | ← | 復調器設定 0 |
| 57 | DEMOD_SET1 | ← | 復調器設定 1 |
| 58 | DEMOD_SET2 | ← | 復調器設定 2 |
| 59 | DEMOD_SET3 | ← | 復調器設定 3 |
| 5A-5B | Reserved | ← | 予約 |
| 5C | DEMOD_SET6 | ← | 復調器設定 6 |
| 5D | DEMOD_SET7 | ← | 復調器設定 7 |
| 5E | DEMOD_SET8 | ← | 復調器設定 8 |
| 5F | DEMOD_SET9 | ← | 復調器設定 9 |
| 60 | DEMOD_SET10 | ← | 復調器設定 10 |
| 61 | DEMOD_SET11 | ← | 復調器設定 11 |
| 62 | ADDR_CHK_CTR_H | ← | アドレスチェックカウンタ表示(上位 3 ビット) |
| 63 | ADDR_CHK_CTR_L | ← | アドレスチェックカウンタ表示(下位バイト) |
| 64 | WHT_INIT_H | ← | Whitening 初期状態設定(上位 1 ビット) |
| 65 | WHT_INIT_L | ← | Whitening 初期状態設定(下位 8 ビット) |
| 66 | WHT_CFG | ← | Whitening 生成多項式設定 |
| 67-7B | Reserved | ← | 予約 |
| 7C | TX_RATE2_H | ← | 送信データレート設定 2(上位バイト) |
| 7D | TX_RATE2_L | ← | 送信データレート設定 2(下位バイト) |
| 7E | Reserved | ← | 予約 |
| 7F | ID_CODE | ← | ID コード表示 |

BANK2

| アドレス [HEX] | レジスタ名称 | | 機能概要 |
|---------------|----------|---------|-----------|
| | ML7345 | ML7345D | |
| 00 | BANK_SEL | ← | BANK 切り替え |
| 01-7F | Reserved | ← | 予約 |

BANK3

| アドレス [HEX] | レジスタ名称 | | 機能概要 |
|---------------|-----------|---------|----------------|
| | ML7345 | ML7345D | |
| 00 | BANK_SEL | ← | BANK 切り替え |
| 01-22 | Reserved | ← | 予約 |
| 23 | 2MODE_DET | ← | ModeT/C 同時受信設定 |
| 24-7F | Reserved | ← | 予約 |

●レジスタ BANK0

0x00[BANK_SEL]

機能:レジスタアクセス先選択

アドレス:0x00 (BANK0)

初期値:0x11

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------|------|-----|---|
| 7 | B3_ACEN | 0 | R/W | BANK3 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可 |
| 6 | B2_ACEN | 0 | R/W | BANK2 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可 |
| 5 | B1_ACEN | 0 | R/W | BANK1 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可 |
| 4 | B0_ACEN | 1 | R/W | BANK0 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可 |
| 3:0 | BANK[3:0] | 0001 | R/W | BANK 切り替え 0001: BANK0 アクセス 0010: BANK1 アクセス 0100: BANK2 アクセス 1000: BANK3 アクセス 上記以外: 設定禁止 |

【説明】

1. VCO キャリブレーション実行中は BANK1 のレジスタにアクセスしないでください。
2. SPI アクセスは CLK_INIT_DONE([CLK_SET1: B0 0x02(7)])が 0b0 でも実行できますが、RF 動作は必ず CLK_INIT_DONE が 0b1 であることを確認した後に実行してください。

0x01【RST_SET】

機能:ソフトリセット設定
 アドレス:0x01 (BANK0)
 初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------|-----|-----|---|
| 7 | RST3_EN | 0 | R/W | リセット 3 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります) |
| 6 | RST2_EN | 0 | R/W | リセット 2 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります) |
| 5 | RST1_EN | 0 | R/W | リセット 1 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります) |
| 4 | RST0_EN | 0 | R/W | リセット 0 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります) |
| 3 | RST3 | 0 | R/W | PHY 機能リセット bit7(RST3_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります) |
| 2 | RST2 | 0 | R/W | RF 状態制御機能リセット bit6(RST2_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります) |
| 1 | RST1 | 0 | R/W | MODEM 機能リセット bit5(RST1_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります) |
| 0 | RST0 | 0 | R/W | コンフィグレーション機能リセット bit4(RST0_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります) ※[CLK_SET2]レジスタ(B0 0x03)の bit6-4 を除く全レジスタ値は初期値に戻ります。 ※本リセット後、FIFO 格納データは保証されません。 |

【説明】

- イネーブルビット(bit7 から bit4)と実行ビット(bit3 から bit0)は同時に設定してください。リセット実行後は状態を保持せず、自動的に各ビットは 0b0 に上書きされます。
- 実行ビット(bit3 から bit0)書き込み後、2μsec 以内にリセットが完了します。ただし、SLEEP 中 (SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])=0b1 時)にリセットを実行設定した場合、SLEEP 解除後のクロック安定化完了割込み INT[0]([INT_SOURCE_GRP1: B0 0x0D(0)])発生時にリセットが実行され、各ビットが 0b0 に上書きされます。リセット実行までに設定状態を変更した場合、変更後の設定が有効となります。

0x02【CLK_SET1】

機能:クロック設定

アドレス:0x02 (BANK0)

初期値:0x1F

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----|-----|---|
| 7 | CLK_INIT_DONE | 0 | R | クロック安定化完了フラグ |
| 6:5 | Reserved | 00 | R/W | 予約 |
| 4 | CLK4_EN | 1 | R/W | ADC のクロック制御 0: クロック停止 1: クロック供給 |
| 3 | CLK3_EN | 1 | R/W | RF 機能(RF 状態制御)のクロック制御 0: クロック停止 1: クロック供給 |
| 2 | CLK2_EN | 1 | R/W | 送信機能(MOD)のクロック制御 0: クロック停止 1: クロック供給 |
| 1 | CLK1_EN | 1 | R/W | 受信機能(DEMOD)のクロック制御 0: クロック停止 1: クロック供給 |
| 0 | CLK0_EN | 1 | R/W | PHY 機能のクロック制御 0: クロック停止 1: クロック供給 |

0x03【CLK_SET2】

機能:クロック設定 2

アドレス:0x03 (BANK0)

初期値:0x9B

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|-----|-----|--|
| 7 | MSTR_CLK_EN | 1 | R/W | ロジック領域クロック供給制御 0: ディセーブル 1: イネーブル |
| 6 | TCXO_EN | 0 | R/W | TCXO 入力制御 (1) (2) (3) 0: ディセーブル 1: イネーブル |
| 5 | Reserved | 0 | R/W | 予約 |
| 4 | XTAL_EN | 1 | R/W | 水晶発振回路制御 (1) (2) 0: ディセーブル 1: イネーブル |
| 3 | RC32K_EN | 1 | R/W | 内蔵 RC 発振回路制御 0: ディセーブル 1: イネーブル |
| 2 | Reserved | 0 | R/W | 予約 |
| 1 | REG_PA_ENB | 1 | R/W | PA レギュレータ制御 0: 常時動作 1: 受信時 OFF |
| 0 | LOW_RATE_EN | 1 | R/W | 受信部クロック低速化設定 0: ディセーブル 1: イネーブル ※0b1 設定時、“電源電流特性”の受信状態の電流値が得られます。 |

【ご注意】

- (1) TCXO をお使いになる場合は、TCXO_EN を 0b1 に設定してください。また、必ず TCXO_EN、XTAL_EN、RC32K_EN のいずれか 1 つのみ 0b1 となるように設定してください。
- (2) RST0([RST_SET: B0 0x01(0)])ではクリアされません。クリア時は本ビットを SPI アクセスにより変更するか、ハードリセット(RESETN 端子="L")を実行してください。
- (3) TCXO をお使いになる場合は、本ビットを最初に設定してください。途中でイネーブル設定(本ビット設定前に他のレジスタ設定)をした場合でも、その他レジスタ設定値は初期化されません。

0x04【PKT_CTRL1】(対象機種: ML7345)

機能: パケット制御 1

アドレス: 0x04 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----|-----|--|
| 7:6 | EXT_PKT_MODE[1:0] | 00 | R/W | <p>パケット拡張モード設定(Wireless M-Bus 対応)</p> <p>00: 拡張しない</p> <p>01: 2 バイト拡張(Extended Link Layer CI=0x8C)</p> <p>10: 8 バイト拡張(Extended Link Layer CI=0x8D)</p> <p>上記以外: 予約</p> <p>※「パケットフォーマット」を参照してください。</p> <p>※ 10/16 バイト拡張を行う場合は 0b00 に設定し、EXT_PKT_MODE2[DATA_SET2: B0 0x08(7-6)]を設定してください。</p> <p>【ご注意】</p> <p>パケットフォーマット設定が Format A かつ、パケット拡張モード設定を 0b10 設定時、下記条件を満たす Length 値では正常に送受信できません。下記条件が満たされない Length 値をご使用ください。</p> <p>(条件) (Length 値-15)/16 の剰余が 0 になる Length 値</p> |
| 5 | LEN_LF_EN | 0 | R/W | <p>Length 領域送出順設定</p> <p>0: MSB ファースト</p> <p>1: LSB ファースト</p> |
| 4 | DAT_LF_EN | 0 | R/W | <p>データ領域送出順設定</p> <p>0: MSB ファースト</p> <p>1: LSB ファースト</p> |
| 3 | RX_EXTPKT_OFF | 0 | R/W | <p>受信時パケット拡張モードオフ設定(Wireless M-Bus 対応)</p> <p>0: 拡張パケットを自動認識する</p> <p>1: 拡張パケットを自動認識しない</p> |
| 2 | IEEE802_15_4G_EN | 0 | R/W | <p>IEEE802.15.4g モード設定</p> <p>0: IEEE802_15.4g モード無効</p> <p>1: IEEE802_15.4g モード有効</p> <p>※0b1 設定時、受信時の L-field の bit12(CRC 設定)、bit11(Whitening 設定)を自動判定し、Whitening/CRC 処理を行います。</p> <p>LENGTH_MODE((PKT_CTRL2: B0 0x05(0)))を 0b1(2 バイトモード)設定が必要です。</p> <p>※送信時の自動認識機能はありません。各レジスタにて WHT_SET([DATA_SET2: B0 0x08(0)])と CRC_LEN[1:0]([PKT_CTRL2: B0 0x05(5-4)])設定が必要となります。</p> <p>※詳細は「IEEE802.15.4g モード設定」をご参照ください。</p> |
| 1:0 | PKT_FORMAT | 00 | R/W | <p>パケットフォーマット設定</p> <p>00: FormatA(Wireless M-Bus 対応)</p> <p>01: FormatB(Wireless M-Bus 対応)</p> <p>10: FormatC(汎用フォーマット)</p> <p>上記以外: 予約</p> <p>※「パケットフォーマット」を参照してください。</p> |

0x04【PKT_CTRL1】(対象機種: ML7345D)

機能:パケット制御 1

アドレス:0x04 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----|-----|---|
| 7:6 | EXT_PKT_MODE[1:0] | 00 | R/W | <p>パケット拡張モード設定(Wireless M-Bus 対応)</p> <p>00: 拡張しない</p> <p>01: 2 バイト拡張(Extended Link Layer CI=0x8C)</p> <p>10: 8 バイト拡張(Extended Link Layer CI=0x8D)</p> <p>上記以外: 予約</p> <p>※「パケットフォーマット」を参照してください。</p> <p>※ 10/16 バイト拡張を行う場合は 0b00 に設定し、EXT_PKT_MODE2[DATA_SET2: B0 0x08(7-6)]を設定してください。</p> |
| 5 | LEN_LF_EN | 0 | R/W | <p>Length 領域送出順設定</p> <p>0: MSB ファースト</p> <p>1: LSB ファースト</p> |
| 4 | DAT_LF_EN | 0 | R/W | <p>データ領域送出順設定</p> <p>0: MSB ファースト</p> <p>1: LSB ファースト</p> |
| 3 | RX_EXTPKT_OFF | 0 | R/W | <p>受信時パケット拡張モードオフ設定(Wireless M-Bus 対応)</p> <p>0: 拡張パケットを自動認識する</p> <p>1: 拡張パケットを自動認識しない</p> |
| 2 | IEEE802_15_4G_EN | 0 | R/W | <p>IEEE802.15.4g モード設定</p> <p>0: IEEE802_15.4g モード無効</p> <p>1: IEEE802_15.4g モード有効</p> <p>※0b1 設定時、受信時の L-field の bit12(CRC 設定)、bit11(Whitening 設定)を自動判定し、Whitening/CRC 処理を行います。</p> <p>LENGTH_MODE([PKT_CTRL2: B0 0x05(0)])を 0b1(2 バイトモード)設定が必要です。</p> <p>※送信時の自動認識機能はありません。各レジスタにて WHT_SET([DATA_SET2: B0 0x08(0)])と CRC_LEN[1:0]([PKT_CTRL2: B0 0x05(5-4)])設定が必要となります。</p> <p>※詳細は「IEEE802.15.4g モード設定」をご参照ください。</p> |
| 1:0 | PKT_FORMAT | 00 | R/W | <p>パケットフォーマット設定</p> <p>00: FormatA(Wireless M-Bus 対応)</p> <p>01: FormatB(Wireless M-Bus 対応)</p> <p>10: FormatC(汎用フォーマット)</p> <p>11: FormatD(汎用フォーマット)</p> <p>※「パケットフォーマット」を参照してください。</p> |

0x05【PKT_CTRL2】(対象機種: ML7345)

機能: パケット制御 2

アドレス: 0x05 (BANK0)

初期値: 0x1C

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----|-----|---|
| 7 | CRC_INIT_SEL | 0 | R/W | CRC 演算初期値選択設定 0: ALL0 1: ALL1 |
| 6 | CRC_COMP_OFF | 0 | R/W | CRC 補数出力 OFF 設定 0: 補数出力する 1: 補数出力しない |
| 5:4 | CRC_LEN[1:0] | 01 | R/W | CRC 長設定 00: CRC8 01: CRC16 10: CRC32 上記以外: 予約 ※0b00(CRC8)および 0b10(CRC32)は Format C のみ有効です。 ※詳細は「CRC 機能」を参照してください。 |
| 3 | RX_CRC_EN | 1 | R/W | 受信 CRC 設定 0: デイセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、受信データに対して CRC 演算結果を [CRC_ERR_H/M/L: B0 0x13/14/15]に表示します。 |
| 2 | TX_CRC_EN | 1 | R/W | 送信 CRC 設定 0: デイセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、送信データに対して CRC を付加します。 【ご注意】 0b0 設定時、送信 FIFO への送信データの分割書き込みする際、最終書き込みデータ量と CRC 長設定(CRC_LEN[PKT_CTRL2: B0 0x05(5-4)])の関係が下記条件を満たした場合に送信 FIFO アクセスエラーが通知され、正常にパケットを送信できません。下記条件が満たされないよう FIFO 書き込み量を制御してください。 送信 FIFO アクセスエラーとなる最終書き込みデータ量と CRC 長設定との関係は以下の通りです。 CRC_LEN=0b00・・・最終書き込みデータ量 1 バイト時 CRC_LEN=0b01・・・最終書き込みデータ量 2 バイト以下 CRC_LEN=0b10・・・最終書き込みデータ量 4 バイト以下 |
| 1:0 | LENGTH_MODE[1:0] | 00 | R/W | Length 領域長設定 00: 1 バイトモード 01: 2 バイトモード (Length 領域を上位に 3bit 拡張します) |

【説明】

1. 送信時、[TX_PKT_LEN_H/L: B0 0x7A/7B]で設定される Length 値からトータル Length を算出します。トータル Length 分の送信後、送信完了となります。
2. 受信時、受信した Length 値が示す Length 値からトータル Length を算出します。トータル Length 分のデータ受信後、受信完了となります。
3. 詳細は「パケットフォーマット」を参照してください。

0x05【PKT_CTRL2】(対象機種: ML7345D)

機能: パケット制御 2

アドレス: 0x05 (BANK0)

初期値: 0x1C

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----|-----|---|
| 7 | CRC_INIT_SEL | 0 | R/W | CRC 演算初期値選択設定 0: ALL0 1: ALL1 |
| 6 | CRC_COMP_OFF | 0 | R/W | CRC 補数出力 OFF 設定 0: 補数出力する 1: 補数出力しない |
| 5:4 | CRC_LEN[1:0] | 01 | R/W | CRC 長設定 00: CRC8 01: CRC16 10: CRC32 上記以外: 予約 ※0b00(CRC8)および 0b10(CRC32)は Format C のみ有効です。 ※詳細は「CRC 機能」を参照してください。 |
| 3 | RX_CRC_EN | 1 | R/W | 受信 CRC 設定 0: デイセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、受信データに対して CRC 演算結果を [CRC_ERR_H/M/L: B0 0x13/14/15] に表示します。 |
| 2 | TX_CRC_EN | 1 | R/W | 送信 CRC 設定 0: デイセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、送信データに対して CRC を付加します。 |
| 1:0 | LENGTH_MODE[1:0] | 00 | R/W | Length 領域長設定 00: 1 バイトモード 01: 2 バイトモード (Length 領域を上位に 3bit 拡張します) |

【説明】

1. 送信時、[TX_PKT_LEN_H/L: B0 0x7A/7B]で設定される Length 値からトータル Length を算出します。トータル Length 分の送信後、送信完了となります。
2. 受信時、受信した Length 値が示す Length 値からトータル Length を算出します。トータル Length 分のデータ受信後、受信完了となります。
3. 詳細は「パケットフォーマット」を参照してください。

0x06【DRATE_SET】

機能: データレート設定

アドレス: 0x06 (BANK0)

初期値: 0x22

| Bit | ビット名 | 初期値 | R/W | 説明 | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------|----------------|------|-----|---|-----|--------|------|---------|------|---------|------|---------|------|---------|------|--------|------|----------|------|--------|------|--------|------|------------|------|--------|------|--------|------|---------|
| 7:4 | RX_DRATE [3:0] | 0010 | R/W | <p>受信データレート設定</p> <p>※LOW_RATE_EN ([CLK_SET2:B0 0x03(0)])=0b1 の時、本ビット設定により[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]が各レートに応じた最適値を自動的に設定されます。</p> <p>※但し、LOW_RATE_EN=0b0 の時、最適値は設定されません。直接[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]を「初期設定レジスタ」に従って設定してください。</p> <p>※RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])が 0b10 または 0b11 を設定したDIOモードでは、9.6kbps 以下のデータレートは本レジスタにより設定できません。DIO モードを使用する場合は、直接[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]を「初期設定レジスタ」に従って設定してください。</p> <table border="1"> <thead> <tr> <th>設定値</th> <th>データレート</th> </tr> </thead> <tbody> <tr><td>0000</td><td>1.2kbps</td></tr> <tr><td>0001</td><td>2.4kbps</td></tr> <tr><td>0010</td><td>4.8kbps</td></tr> <tr><td>0011</td><td>9.6kbps</td></tr> <tr><td>0100</td><td>10kbps</td></tr> <tr><td>0101</td><td>19.2kbps</td></tr> <tr><td>0110</td><td>15kbps</td></tr> <tr><td>0111</td><td>20kbps</td></tr> <tr><td>1000</td><td>32.768kbps</td></tr> <tr><td>1001</td><td>40kbps</td></tr> <tr><td>1010</td><td>50kbps</td></tr> <tr><td>1011</td><td>100kbps</td></tr> </tbody> </table> | 設定値 | データレート | 0000 | 1.2kbps | 0001 | 2.4kbps | 0010 | 4.8kbps | 0011 | 9.6kbps | 0100 | 10kbps | 0101 | 19.2kbps | 0110 | 15kbps | 0111 | 20kbps | 1000 | 32.768kbps | 1001 | 40kbps | 1010 | 50kbps | 1011 | 100kbps |
| 設定値 | データレート | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0000 | 1.2kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0001 | 2.4kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0010 | 4.8kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0011 | 9.6kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0100 | 10kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0101 | 19.2kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0110 | 15kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0111 | 20kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1000 | 32.768kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1001 | 40kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1010 | 50kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1011 | 100kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 3:0 | TX_DRATE [3:0] | 0010 | R/W | <p>送信データレート設定</p> <p>※本ビット設定により[TX_RATE_H/L: B1 0x02/03]が各レートに応じた最適値を自動的に設定されます。</p> <table border="1"> <thead> <tr> <th>設定値</th> <th>データレート</th> </tr> </thead> <tbody> <tr><td>0000</td><td>1.2kbps</td></tr> <tr><td>0001</td><td>2.4kbps</td></tr> <tr><td>0010</td><td>4.8kbps</td></tr> <tr><td>0011</td><td>9.6kbps</td></tr> <tr><td>0100</td><td>10kbps</td></tr> <tr><td>0101</td><td>19.2kbps</td></tr> <tr><td>0110</td><td>15kbps</td></tr> <tr><td>0111</td><td>20kbps</td></tr> <tr><td>1000</td><td>32.768kbps</td></tr> <tr><td>1001</td><td>40kbps</td></tr> <tr><td>1010</td><td>50kbps</td></tr> <tr><td>1011</td><td>100kbps</td></tr> </tbody> </table> | 設定値 | データレート | 0000 | 1.2kbps | 0001 | 2.4kbps | 0010 | 4.8kbps | 0011 | 9.6kbps | 0100 | 10kbps | 0101 | 19.2kbps | 0110 | 15kbps | 0111 | 20kbps | 1000 | 32.768kbps | 1001 | 40kbps | 1010 | 50kbps | 1011 | 100kbps |
| 設定値 | データレート | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0000 | 1.2kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0001 | 2.4kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0010 | 4.8kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0011 | 9.6kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0100 | 10kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0101 | 19.2kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0110 | 15kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0111 | 20kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1000 | 32.768kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1001 | 40kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1010 | 50kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1011 | 100kbps | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

【説明】

1. データレート変更時は、関連するレジスタの設定も必要です。詳細は「データレート変更時の設定」をご参照ください。
2. 4FSK/4GFSK 設定時はビットレートを設定します。Air 上では設定レートの 1/2 となります。

0x07【DATA_SET1】

機能:送受信データ各種設定 1

アドレス:0x07 (BANK0)

初期値:0x15

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------------|-----|-----|---|
| 7 | PB_PAT | 0 | R/W | 送信極性設定 0: 正極性 1: 負極性 ※0b1 設定時、PR_PAT[PREAMBLE_SET: B0 0x3F(3-0)]の極性を反転します。 |
| 6 | TX_FSK_POL | 0 | R/W | 送信データ極性設定 0: データ“1”=高い周波数に偏位、データ“0”=低い周波数に偏位 1: データ“1”=低い周波数に偏位、データ“0”=高い周波数に偏位 |
| 5 | RX_FSK_POL | 0 | R/W | 受信データ極性設定 0: 高い周波数偏位=データ“1”、低い周波数偏位=データ“0” 1: 低い周波数偏位=データ“1”、高い周波数偏位=データ“0” |
| 4 | GFSK_EN | 1 | R/W | GFSK モード設定 0: GFSK 無効(FSK モード) 1: GFSK 有効 ※詳細は「変調の設定」をご参照ください。 |
| 3:2 | RX_DEC_SCHEME [1:0] | 01 | R/W | 受信符号化モード設定 00: マンチェスタ符号化 01: NRZ 10: 3-out-of-6 符号化 11: 予約 ※マンチェスタ符号化は、データ“0”に対して“10”、データ“1”に対して“01”に符号化します。 |
| 1:0 | TX_DEC_SCHEME [1:0] | 01 | R/W | 送信符号化モード設定 00: マンチェスタ符号化 01: NRZ 10: 3-out-of-6 符号化 11: 予約 ※マンチェスタ符号化は、データ“0”に対して“10”、データ“1”に対して“01”に符号化します。 |

0x08【DATA_SET2】

機能:送受信データ各種設定 2

アドレス:0x08 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----|-----|--|
| 7:6 | EXT_PKT_MODE2[1:0] | 00 | R/W | パケット拡張モード設定 2(Wireless M-Bus2013 対応) 00: 拡張しない 01: 10 バイト拡張(Extended Link Layer CI=0x8E) 10: 16 バイト拡張(Extended Link Layer CI=0x8F) 上記以外: 予約 ※「パケットフォーマット」を参照してください。 ※ 2/8 バイト拡張を行う場合は、0b00 設定し、 EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]を設定してください。 |
| 5 | FSK_SEL | 0 | R/W | FSK 多値化設定 0: 2 値 FSK モード 1: 4 値 FSK モード |
| 4 | SYNCWORD_SEL | 0 | R/W | 同期ワードパターン選択設定 0: 同期ワードパターン 1 を選択する 1: 同期ワードパターン 2 を選択する ※詳細は「SyncWord 検出機能」をご参照ください。 |
| 3 | 2SW_DET_EN | 0 | R/W | SyncWord2 面待ち設定 0: 2 面待ちしない 1: 2 面待ちする ※詳細は「SyncWord 検出機能」をご参照ください。 |
| 2 | 2PB_DET_EN | 0 | R/W | 受信ブリアンブル 2 面待ち設定 0: 2 面待ちしない(“01”パターンと”10”パターンの区別をする) 1: 2 面待ちする(“01”パターンと”10”パターンの区別をしない) |
| 1 | MAN_POL | 0 | R/W | マンチェスタ極性設定 0: 極性を反転しない 1: 極性を反転する |
| 0 | WHT_SET | 0 | R/W | Whitening 設定 0: Whitening 無効 1: Whitening 有効 |

0x09【CH_SET】

機能:送受信チャンネル設定

アドレス:0x09 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------|-----------|-----|--|
| 7:0 | RF_CH[7:0] | 0000_0000 | R/W | 送受信チャンネル設定(設定範囲 0~255) ※詳細は「チャンネル周波数の設定」をご参照ください。 |

0x0A【RF_STATUS_CTRL】

機能:RF 状態変更制御

アドレス:0x0A (BANK0)

初期値:0x08

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----|-----|--|
| 7 | INFINITE_TX | 0 | R/W | 繰り返し送信モード設定 0: 1 パケット送信 1: 繰り返し送信(無限) ※0b1 設定時、プリアンプル～パケット最終データ送信後、プリアンプル送信に戻り、送信を繰り返します。送信を終了する場合、Force_TRX_OFFを実行します。 |
| 6 | AUTO_DATA_REQ | 0 | R/W | 自動送信要求設定 0: ディセーブル 1: イネーブル ※0b1 設定時、TX_ON 命令発行により自動でデータ送信要求受付完了割込みを発生し、送信します。このとき、送信されるデータは送信 FIFO に書き込んだ最新のデータが送信されます。 |
| 5 | FAST_TX_EN | 0 | R/W | FAST_TX モード設定 0: FAST_TX モードで送信を行わない 1: FAST_TX モードで送信を行う ※0b1 設定時、送信データの書き込み量が[TXFIFO_THRL: B0 0x18(5-0)]で設定される値より大きくなった場合、送信状態へ遷移します。 |
| 4 | AUTO_TX_EN | 0 | R/W | 自動送信設定 0: 自動送信を行わない 1: 自動送信を行う ※0b1 設定時、Length 分の送信データの書き込みを完了した場合、送信状態へ遷移します。 |
| 3:2 | RXDONE_MODE[1:0] | 10 | R/W | パケット受信完了後の RF 状態設定 00: IDLE 状態へ遷移(TRX_OFF します) 01: TX 状態へ遷移 10: RX 状態を継続 11: SLEEP 状態へ遷移 |
| 1:0 | TXDONE_MODE[1:0] | 00 | R/W | パケット送信完了後の RF 状態設定 00: IDLE 状態へ遷移(TRX_OFF します) 01: TX 状態を継続 10: RX 状態へ遷移 11: SLEEP 状態へ遷移 |

【説明】

1. 詳細は「LSI 状態制御」をご参照ください。

0x0B【RF_STATUS】

機能:RF 部動作設定と状態表示

アドレス:0x0B (BANK0)

初期値:0x88

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|------|-----|--|
| 7:4 | GET_TRX[3:0] | 1000 | R | RF 部動作状態表示 0110: RX_ON(受信状態) 1000: TRX_OFF(RF OFF 状態) 1001: TX_ON(送信状態) 上記以外: 予約 |
| 3:0 | SET_TRX[3:0] | 1000 | R/W | RF 部動作状態設定 0011: Force_TRX_OFF(強制 RF OFF 設定) 0110: RX_ON(受信設定) (*1) 1000: TRX_OFF(RF OFF 設定) (*3) 1001: TX_ON(送信設定) (*2) 上記以外: 設定無効で状態を変更しない ※1 送信中に RX_ON 設定可能です。その場合、送信完了後に RX_ON へ遷移します。 ※2 受信中に TX_ON 設定可能です。その場合、受信完了後に TX_ON へ遷移します。 ※3 TRX_OFF 設定した場合、送信または受信完了後に RF を OFF しま す。Force_TRX_OFF 設定した場合、送信中または受信中でも強制的 に RF を OFF します。 |

【説明】

1. 詳細は「LSI 状態制御」をご参照ください。

0x0C【DIO_SET】

機能:DIO 制御

アドレス:0x0C (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----|-----|---|
| 7:6 | RXDIO_CTRL[1:0] | 00 | R/W | 受信 DIO モード設定 00: DIO ディセーブル(FIFO モード) 01: 常時出力モード (DIO/DCLK を常時出力する(復調データ/クロック出力モード)) 10: データ出力モード 1 (復号化前 DIO/DCLK を SyncWord 以降に出力する) 11: データ出力モード 2 (復号化後 DIO/DCLK を SyncWord 以降に出力する) ※0b00 設定時のみ、FIFO が使用可能です。 ※0b01 設定時は BER 測定時に使用します。 ※0b10 設定時、受信データを FIFO にバッファリングするため、FIFO は使用できません。bit0(DIO_START)を 0b1 に設定することにより DIO/DCLK が出力されます。FIFO へのバッファリングは L-field 以降のデータをバッファリングします。 ※0b11 設定時、受信データを FIFO にバッファリングするため、FIFO は使用できません。bit0(DIO_START)を 0b1 に設定することにより DIO/DCLK が出力されます。Length 分のデータ出力後、DIO/DCLK 出力が停止します。FIFO へのバッファリングは Data-field のデータをバッファリングします。 |
| 5:4 | TXDIO_CTRL[1:0] | 00 | R/W | 送信 DIO モード設定 00: DIO ディセーブル(FIFO モード) 01: 常時入力モード(DCLK を常時出力する) 10: データ入力モード(DCLK を SyncWord 以降に出力する) 上記以外: 予約 ※0b01/10 設定時、FIFO は使用できません。DCLK の立下りに同期して符号化後の送信データを入力してください。 |
| 3 | Reserved | 0 | R/W | 予約 |
| 2 | DIO_RX_COMPLETE | 0 | R/W | DIO 受信完了設定 0: 受信完了しない 1: 受信完了する ※0b1 設定後、自動的に 0 に戻ります。 |
| 1 | Reserved | 0 | R/W | 予約 |
| 0 | DIO_START | 0 | R/W | DIO 受信データ出力開始設定 0: 出力しない 1: 出力する ※同期解除により 0 に戻ります。 |

【説明】

1. 詳細は“DIO 機能”をご参照ください。

0x0D【INT_SOURCE_GRP1】

機能:割込み表示

アドレス:0x0D (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------|-----|-----|---|
| 7 | INT[7] | 0 | R/W | クロックキャリブレーション完了割込み 0: 割込みなし 1: 割込みあり |
| 6 | INT[6] | 0 | R/W | ウェイクアップ割込み 0: 割込みなし 1: 割込みあり ※SLEEP 中に本割込みをクリアした場合、ウェイクアップタイマによるウェイクアップ時に割込みは発生しません。 【ご注意】3を参照してください。 |
| 5 | INT[5] | 0 | R/W | FIFO-Full 割込み 0: 割込みなし 1: 割込みあり ※FIFO使用量が[TXFIFO_THRH: B0 0x17(5-0)],または受信 FIFOの残量が[RXFIFO_THRH: B0 0x19(5-0)]で設定される閾値を越えた場合に割込みを発生します。 |
| 4 | INT[4] | 0 | R/W | FIFO-Empty 割込み 0: 割込みなし 1: 割込みあり ※送信 FIFO使用量が[TXFIFO_THRL: B0 0x18],または受信 FIFOの残量が[RXFIFO_THRL: B0 0x1A]で設定される閾値を下回った場合に割込みを発生します。 |
| 3 | INT[3] | 0 | R/W | RF 状態遷移完了割込み 0: 割込みなし 1: 割込みあり |
| 2 | INT[2] | 0 | R/W | PLL ロック外れ割込み 0: 割込みなし 1: 割込みあり ※VTUNE_INT_ENB [PLL_VTRSLT: B0 0x40(2)]=0b0 設定時、本割込みは、PLL ロック外れ時または VCO 調整電圧範囲外検出時に割り込みが発生します。 |
| 1 | INT[1] | 0 | R/W | VCO キャリブレーション完了割込み または Fuse アクセス完了割込み または IQ 自動調整完了割込み 0: 割込みなし 1: 割込みあり ※RESETN 端子解除(RESETN="H")後、または PDN_EN([SLEEP/WU_SET: B0 0x2D(2)]=0b1 設定し、SLEEP 状態からの復帰した場合、Fuse アクセス完了割込みが発生します。VCO キャリブレーションは、INT[1]クリア後に実行してください。 |
| 0 | INT[0] | 0 | R/W | クロック安定化完了割込み 0: 割込みなし 1: 割込みあり |

【ご注意】

1. [INT_EN_GRP1: B0 0x10]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
2. マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
3. SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みを即時にクリアする場合は SLEEP_INT_CLR[SLEEP_INT_CLR: B0 0x75]を実行してください。

0x0E【INT_SOURCE_GRP2】

機能:割込み表示(受信関連)

アドレス:0x0E (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------|-----|-----|--|
| 7 | INT[15] | 0 | R/W | Sync エラー割込み 0: 割込みなし 1: 割込みあり ※SyncWord 検出以降、L-field で指定されるパケット長受信中に受信同期が外れた場合に割込みを発生します。 |
| 6 | INT[14] | 0 | R/W | Field チェック割込み 0: 割込みなし 1: 割込みあり |
| 5 | INT[13] | 0 | R/W | SyncWord 検出割込み 0: 割込みなし 1: 割込みあり |
| 4 | INT[12] | 0 | R/W | 受信 FIFO アクセスエラー割込み 0: 割込みなし 1: 割込みあり ※FIFO モードを用いたデータ受信中に受信 FIFO のオーバーラン、アンダーランが生じた場合、割込みを発生します。 |
| 3 | INT[11] | 0 | R/W | 受信 Length エラー割込み (1) 0: 割込みなし 1: 割込みあり |
| 2 | INT[10] | 0 | R/W | ダイバーシティサーチ完了割込み 0: 割込みなし 1: 割込みあり ※ダイバーシティサーチが完了した場合、SyncWord 検出タイミングで割込みを発生します。 |
| 1 | INT[9] | 0 | R/W | CRC エラー割込み 0: 割込みなし 1: 割込みあり ※CRC エラ検出時、割込みを発生します。Format A/B については CRC-field を複数持ったため、エラーが発生した CRC ブロックを [CRC_ERR_H/M/L: B0 0x13/14/15]に表示します。Format C については CRC-field は 1 つのみのため、本割込みで結果は判断することができません。 |
| 0 | INT[8] | 0 | R/W | 受信完了割込み 0: 割込みなし 1: 割込みあり ※L-field が示す Length 分のデータを受信した場合、割込みを通知します。 |

【説明】

- 以下に示す L-field を受信した場合、受信 Length エラー割込みを発生します。

| パケットフォーマット [PKT_CTRL1: B0 0x04] | 拡張フォーマット [PKT_CTRL1: B0 0x04] | 受信 Length エラーを示す Length 値 |
|------------------------------------|----------------------------------|---|
| Format A | 拡張なし | 8 バイト以下 |
| | 2 バイト拡張 | 12 バイト以下 |
| | 8 バイト拡張 | 16 バイト以下 |
| Format B | 拡張なし | 10 バイト以下、128～129 バイト |
| | 2 バイト拡張 | |
| | 8 バイト拡張 | 17 バイト以下、19～20 バイト、128～129 バイト |
| Format C | - | 0 バイト(CRC8) 1 バイト(CRC16) 2 バイト(CRC32) |

【ご注意】

1. [INT_EN_GRP2: B0 0x11]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
2. マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
3. SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされま
す。SLEEP 中に割込みを即時にクリアする場合は SLEEP_INT_CLR[SLEEP_INT_CLR: B0 0x75]を実行してください。

0x0F【INT_SOURCE_GRP3】

機能:割込み表示(送信関連)

アドレス:0x0F (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----|-----|---|
| 7 | INT[23] | 0 | R/W | 汎用タイマ 2 割込み 0: 割込みなし 1: 割込みあり |
| 6 | INT[22] | 0 | R/W | 汎用タイマ 1 割込み 0: 割込みなし 1: 割込みあり |
| 5 | Reserved | 0 | R/W | 予約 |
| 4 | INT[20] | 0 | R/W | 送信 FIFO アクセスエラー割込み 0: 割込みなし 1: 割込みあり ※FIFO モードを用いたデータ送信中に送信 FIFO のオーバーラン、アンダーランが生じた場合、およびデータ送信要求受付完了後、データ送信せずに次パケットの送信 FIFO ライトを行った場合に割込みを発生します。 |
| 3 | INT[19] | 0 | R/W | 送信 Length エラー割込み (1) 0: 割込みなし 1: 割込みあり |
| 2 | INT[18] | 0 | R/W | CCA 完了割込み 0: 割込みなし 1: 割込みあり |
| 1 | INT[17] | 0 | R/W | データ送信要求受付完了割込み 0: 割込みなし 1: 割込みあり ※[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]に示す Length 分のデータを送信 FIFO にライトした場合、割込みを通知します。 |
| 0 | INT[16] | 0 | R/W | 送信完了割込み 0: 割込みなし 1: 割込みあり ※[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]に示す Length 分のデータを送信した場合、割込みを通知します。 |

【説明】

- 以下に示す L-field を[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]にライトした場合、送信 Length エラー割込みを発生します。

| パケットフォーマット [PKT_CTRL1: B0 0x04] | 拡張フォーマット [PKT_CTRL1: B0 0x04] | 送信 Length エラーを示す Length 値 |
|------------------------------------|----------------------------------|--------------------------------|
| Format A | 拡張なし | 8 バイト以下 |
| | 2 バイト拡張 | 12 バイト以下 |
| | 8 バイト拡張 | 16 バイト以下 |
| Format B | 拡張なし | 10 バイト以下、128～129 バイト |
| | 2 バイト拡張 | |
| | 8 バイト拡張 | 17 バイト以下、19～20 バイト、128～129 バイト |
| Format C | - | 0 バイト(CRC8) |
| | | 1 バイト(CRC16) |
| | | 2 バイト(CRC32) |

【ご注意】

- [INT_EN_GRP3: B0 0x12]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
- マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
- SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みを即時にクリアする場合は SLEEP_INT_CLR[SLEEP_INT_CLR: B0 0x75]を実行してください。

0x10【INT_EN_GRP1】

機能: 割込み要因 0～7 の許可設定

アドレス: 0x10 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|-----------|-----|---|
| 7:0 | INT_EN[7:0] | 0000_0000 | R/W | 割込み要因 0 から割込み要因 7 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う |

【説明】

- 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 各割り込みの詳細は[INT_SOURCE_GRP1: B0 0x0D]を参照してください。

0x11【INT_EN_GRP2】

機能: 割込み要因 8～15 の許可設定

アドレス: 0x11 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|--|
| 7:0 | INT_EN[15:8] | 0000_0000 | R/W | 割込み要因 8 から割込み要因 15 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う |

【説明】

- 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 各割り込みの詳細は[INT_SOURCE_GRP2: B0 0x0E]を参照してください。

0x12【INT_EN_GRP3】

機能:割込み要因 16~23 の許可設定

アドレス:0x12 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|--------|-----|---|
| 7:6 | INT_EN[23:22] | 00 | R/W | 割込み要因 22 から割込み要因 23 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う |
| 5 | Reserved | 0 | R/W | 予約 |
| 4:0 | INT_EN[20:16] | 0_0000 | R/W | 割込み要因 16 から割込み要因 20 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う |

【説明】

1. 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
2. 各割り込みの詳細は[INT_SOURCE_GRP3: B0 0x0F]を参照してください。

0x13【CRC_ERR_H】

機能:CRC エラー表示(上位バイト)

アドレス:0x13 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|-----|-----|---|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4 | CRC_INT_SET | 0 | R/W | CRC チェック割込み選択設定 0: CRC エラー時に割り込み通知する 1: CRC OK 時に割り込み通知する |
| 3:1 | Reserved | 000 | R/W | 予約 |
| 0 | CRC_ERR[16] | 0 | R | 17th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x14【CRC_ERR_M】

機能: CRC エラー表示(中位バイト)

アドレス: 0x14 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|-----|-----|---|
| 7 | CRC_ERR[15] | 0 | R | 16th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 6 | CRC_ERR[14] | 0 | R | 15th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 5 | CRC_ERR[13] | 0 | R | 14th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 4 | CRC_ERR[12] | 0 | R | 13th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 3 | CRC_ERR[11] | 0 | R | 12th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 2 | CRC_ERR[10] | 0 | R | 11th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 1 | CRC_ERR[9] | 0 | R | 10th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 0 | CRC_ERR[8] | 0 | R | 9th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x15【CRC_ERR_L】

機能: CRC エラー表示(下位バイト)

アドレス: 0x15 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------|-----|-----|--|
| 7 | CRC_ERR[7] | 0 | R | 8th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 6 | CRC_ERR[6] | 0 | R | 7th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 5 | CRC_ERR[5] | 0 | R | 6th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 4 | CRC_ERR[4] | 0 | R | 5th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 3 | CRC_ERR[3] | 0 | R | 4th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 2 | CRC_ERR[2] | 0 | R | 3rd CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 1 | CRC_ERR[1] | 0 | R | 2nd CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |
| 0 | CRC_ERR[0] | 0 | R | 1st CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)/Format C に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー |

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x16【STATE_CLR】

機能:状態クリア設定

アドレス:0x16 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----|-----|--|
| 7 | STATE_CLR_EN | 0 | R/W | ステートクリアイネーブル設定 0: ステートクリア禁止 1: ステートクリア許可 bit0～6 のステートクリアは本ビットがステートクリア許可設定時のみ実行します。ステートクリア時、本ビットもクリアされます。 |
| 6:5 | Reseverd | 00 | R/W | 予約 |
| 4 | STATE_CLR4 | 0 | R/W | アドレスチェックカウンタクリア 1: [ADDR_CHK_CTR_H/L: B1 0x62/63]で表示するアドレスチェックカウンタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。 |
| 3 | STATE_CLR3 | 0 | R/W | ダイバーシティステートクリア 1: ダイバーシティステートをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。 |
| 2 | STATE_CLR2 | 0 | R/W | PHY ステートクリア 1: PHY ステートをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。 |
| 1 | STATE_CLR1 | 0 | R/W | 受信 FIFO ポインタクリア 1: ライトポインタ/リードポインタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。 |
| 0 | STATE_CLR0 | 0 | R/W | 送信 FIFO ポインタクリア 1: ライトポインタ/リードポインタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。 |

【説明】

1. イネーブルビット(bit7)と実行ビット(bit4 から bit0)は同時に設定してください。クリア実行後、自動的に各ビットに 0b0 が書き込まれます。
2. 実行ビット(bit4 から bit0)書き込み後、マスタークロック周期×[RX_RATE1_H/L: B1 0x04/05]設定値×2[usec]後クリアが完了します。

0x17【TXFIFO_THRH】

機能:送信 FIFO の Full レベル設定

アドレス:0x17 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|---------|-----|--|
| 7 | TXFIFO_THRH_EN | 0 | R/W | 送信 FIFO の Full レベルイネーブル 0: ディセーブル 1: イネーブル |
| 6 | Reserved | 0 | R/W | 予約 |
| 5:0 | TXFIFO_THRH[5:0] | 00_0000 | R/W | 送信 FIFO の Full レベル設定 ※bit7(TXFIFO_THRH_EN)=0b1 設定時のみ有効です。 |

【説明】

1. 詳細な使い方は「送信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値以上となった場合に割り込みグループ 1 の INT[5]にて通知します。

0x18【TXFIFO_THRL】

機能:送信 FIFO の Empty レベル設定および FAST_TX モード時の送信トリガレベル設定

アドレス:0x18 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|---------|-----|--|
| 7 | TXFIFO_THRL_EN | 0 | R/W | 送信 FIFO の Empty レベルイネーブル 0: ディセーブル 1: イネーブル |
| 6 | Reserved | 0 | R/W | 予約 |
| 5:0 | TXFIFO_THRL[5:0] | 00_0000 | R/W | 送信 FIFO の Empty レベル設定および FAST_TX モード時の送信トリガレベル設定 ※bit7(TXFIFO_THRH_EN)=0b1 設定時のみ有効です。 ※TXFIFO_THRL[5:0]は 1 以上の値を設定してください。 ※FAST_TX モード時の送信トリガレベルとして動作させる場合は、FAST_TX_EN([RF_STATUS_CTRL: B0 0x0A(5)])を 0b1 に設定し、TXFIFO_THRL[5:0]は送信データの総書き込み量より 3 以上少ない値を設定してください。 |

【説明】

1. 詳細な使い方は「送信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値を下回った場合に割り込みグループ 1 の INT[4]にて通知します。

【ご注意】

1. FAST_TX 閾値に対し、FIFO 書き込み量は以下の関係になるように FIFO 書き込み量を制御してください。以下の関係が満たされない場合、意図せず送信する場合があります。

| FAST_TX 閾値[バイト] | FIFO 書き込み量[バイト] |
|-----------------|-----------------|
| 1~2 | 1 |
| 3~6 | 1~3 |
| 7~14 | 1~7 |
| 15~30 | 1~15 |
| 31~62 | 1~31 |
| 63 | 1~63 |

0x19【RXFIFO_THRH】

機能:受信 FIFO の Full レベルイネーブルとレベル設定

アドレス:0x19 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|---------|-----|--|
| 7 | RXFIFO_THRH_EN | 0 | R/W | 受信 FIFO の Full レベルイネーブル 0: ディセーブル 1: イネーブル |
| 6 | Reserved | 0 | R/W | 予約 |
| 5:0 | RXFIFO_THRH[5:0] | 00_0000 | R/W | 受信 FIFO の Full レベル設定 ※bit7(RXFIFO_THRH_EN)=0b1 設定時のみ有効です。 |

【説明】

1. 詳細な使い方は「受信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値以上となった場合に割り込みグループ 1 の INT[5]にて通知します。

0x1A【RXFIFO_THRL】

機能:受信 FIFO の Full レベルイネーブルとレベル設定(上位バイト)

アドレス:0x1A (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|---------|-----|--|
| 7 | RXFIFO_THRL_EN | 0 | R/W | 受信 FIFO の Empty レベルイネーブル 0: ディセーブル 1: イネーブル |
| 6 | Reserved | 0 | R/W | 予約 |
| 5:0 | RXFIFO_THRL[5:0] | 00_0000 | R/W | 受信 FIFO の Empty レベル設定 ※bit7(RXFIFO_THRL_EN)=0b1 設定時のみ有効です。 ※RXFIFO_THRL[5:0]は 2 以上の値を設定してください。 |

【説明】

1. 詳細な使い方は「受信 FIFO の残量告知機能の使用方法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値を下回った場合に割り込みグループ 1 の INT[4]にて通知します。

0x1B【C_CHECK_CTRL】

機能:コントロールフィールド検出設定

アドレス:0x1B (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----|-----|---|
| 7 | CA_RXD_CLR | 0 | R/W | Field 不一致時の受信データ処理設定 0: 受信データを破棄しない 1: 受信データを破棄する ※0b1 設定時、不一致検出後直ちに受信データを破棄し、次パット受信待ちを行います |
| 6 | CA_INT_CTRL | 0 | R/W | Field チェック割込み設定 0: 一致時に割込みを通知する 1: 不一致時に割込みを通知する |
| 5 | Reserved | 0 | R/W | 予約 |
| 4 | C_FIELD_CODE5_EN | 0 | R/W | コントロールフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする ※受信したコントロールフィールドデータが C_FIELD_CODE5 と一致した場合、他のフィールドデータ(マニファクチャージャID フィールド/アドレスフィールド)が不一致であった場合でも Field チェック結果は一致となります。 |
| 3 | C_FIELD_CODE4_EN | 0 | R/W | コントロールフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする |
| 2 | C_FIELD_CODE3_EN | 0 | R/W | コントロールフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする |
| 1 | C_FIELD_CODE2_EN | 0 | R/W | コントロールフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする |
| 0 | C_FIELD_CODE1_EN | 0 | R/W | コントロールフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする |

【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

0x1C【M_CHECK_CTRL】

機能: マニファクチャージャID フィールド検出設定

アドレス: 0x1C (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:4 | RCV_CONT_SEL[1:0] | 00 | R/W | 動作継続タイマ満了時の受信継続条件設定 00: SyncWord 検出割込み発生時に受信継続する 01: Field チェック割込み発生時に受信継続する 10: 受信同期確立状態時に受信継続する 11: 予約 |
| 3 | M_FIELD_CODE4_EN | 0 | R/W | マニファクチャージャID フィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする |
| 2 | M_FIELD_CODE3_EN | 0 | R/W | マニファクチャージャID フィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする |
| 1 | M_FIELD_CODE2_EN | 0 | R/W | マニファクチャージャID フィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする |
| 0 | M_FIELD_CODE1_EN | 0 | R/W | マニファクチャージャID フィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする |

【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

0x1D【A_CHECK_CTRL】

機能: アドレスフィールド検出設定

アドレス: 0x1D (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5 | A_FIELD_CODE6_EN | 0 | R/W | アドレスフィールドパターン 6 チェックイネーブル 0: チェックしない 1: チェックする |
| 4 | A_FIELD_CODE5_EN | 0 | R/W | アドレスフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする |
| 3 | A_FIELD_CODE4_EN | 0 | R/W | アドレスフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする |
| 2 | A_FIELD_CODE3_EN | 0 | R/W | アドレスフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする |
| 1 | A_FIELD_CODE2_EN | 0 | R/W | アドレスフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする |
| 0 | A_FIELD_CODE1_EN | 0 | R/W | アドレスフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする |

【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能は L-field の判別を行う FIFO モード(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

0x1E【C_FIELD_CODE1】

機能:コントロールフィールド設定(コード#1)

アドレス:0x1E (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|------------------|
| 7:0 | C_FIELD_CODE1[7:0] | 0000_0000 | R/W | C-field 設定 コード#1 |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x1F【C_FIELD_CODE2】

機能:コントロールフィールド設定(コード#2)

アドレス:0x1F (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|------------------|
| 7:0 | C_FIELD_CODE2[7:0] | 0000_0000 | R/W | C-field 設定 コード#2 |

【説明】

1. 詳細な使い方は「Field チェック機能」を参照してください。

0x20【C_FIELD_CODE3】

機能:コントロールフィールド設定(コード#3)

アドレス:0x20 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|------------------|
| 7:0 | C_FIELD_CODE3[7:0] | 0000_0000 | R/W | C-field 設定 コード#3 |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x21【C_FIELD_CODE4】

機能:コントロールフィールド設定(コード#4)

アドレス:0x21 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|------------------|
| 7:0 | C_FIELD_CODE4[7:0] | 0000_0000 | R/W | C-field 設定 コード#4 |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x22【C_FIELD_CODE5】

機能:コントロールフィールド設定(コード#5)

アドレス:0x22 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|------------------|
| 7:0 | C_FIELD_CODE5[7:0] | 0000_0000 | R/W | C-field 設定 コード#5 |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x23【M_FIELD_CODE1】

機能:マニファクチャーマニファクチャーID 1st バイト設定(コード#1)

アドレス:0x23 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|-------------------------|
| 7:0 | M_FIELD_CODE1[7:0] | 0000_0000 | R/W | M-field 1st バイト設定 コード#1 |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x24【M_FIELD_CODE2】

機能:マニファクチャーマニファクチャーID 1st バイト設定(コード#2)

アドレス:0x24 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|-------------------------|
| 7:0 | M_FIELD_CODE2[7:0] | 0000_0000 | R/W | M-field 1st バイト設定 コード#2 |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x25【M_FIELD_CODE3】

機能: マニファクチャーマニファクチャーマニファクチャーID 2nd バイト設定(コード#1)

アドレス: 0x25 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|-------------------------|
| 7:0 | M_FIELD_CODE3[7:0] | 0000_0000 | R/W | M-field 2nd バイト設定 コード#1 |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x26【M_FIELD_CODE4】

機能: マニファクチャーマニファクチャーマニファクチャーID 2nd バイト設定(コード#2)

アドレス: 0x26 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|-------------------------|
| 7:0 | M_FIELD_CODE4[7:0] | 0000_0000 | R/W | M-field 2nd バイト設定 コード#2 |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x27【A_FIELD_CODE1】

機能: アドレスフィールド アドレスフィールド アドレスフィールド 1st バイト設定(1 バイト目)

アドレス: 0x27 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|--------------------|
| 7:0 | A_FIELD_CODE1[7:0] | 0000_0000 | R/W | A-field 設定(1 バイト目) |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x28【A_FIELD_CODE2】

機能: アドレスフィールド アドレスフィールド アドレスフィールド 2nd バイト設定

アドレス: 0x28 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|--------------------|
| 7:0 | A_FIELD_CODE2[7:0] | 0000_0000 | R/W | A-field 設定(2 バイト目) |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x29【A_FIELD_CODE3】

機能:アドレスフィールド 3rd バイト設定

アドレス:0x29 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|--------------------|
| 7:0 | A_FIELD_CODE3[7:0] | 0000_0000 | R/W | A-field 設定(3 バイト目) |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x2A【A_FIELD_CODE4】

機能:アドレスフィールド 4th バイト設定

アドレス:0x2A (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|--------------------|
| 7:0 | A_FIELD_CODE4[7:0] | 0000_0000 | R/W | A-field 設定(4 バイト目) |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x2B【A_FIELD_CODE5】

機能:アドレスフィールド 5th バイト設定

アドレス:0x2B (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|--------------------|
| 7:0 | A_FIELD_CODE5[7:0] | 0000_0000 | R/W | A-field 設定(5 バイト目) |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x2C【A_FIELD_CODE6】

機能:アドレスフィールド 6th バイト設定

アドレス:0x2C (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|--------------------|
| 7:0 | A_FIELD_CODE6[7:0] | 0000_0000 | R/W | A-field 設定(6 バイト目) |

【説明】

1. 詳細は「Field チェック機能」を参照してください。

0x2D【SLEEP/WU_SET】

機能:SLEEPの実行およびウェイクアップ動作設定

アドレス:0x2D (BANK0)

初期値:0x06

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----|-----|--|
| 7 | WUT_1SHOT_MODE | 0 | R/W | ウェイクアップタイマ動作モード設定 0: インターバル動作を継続する 1: 1SHOT 動作後、ウェイクアップタイマを停止する |
| 6 | WAKEUP_MODE | 0 | R/W | ウェイクアップ後の動作設定 0: RX_ON 状態にする 1: TX_ON 状態にする ※動作継続タイマ満了した場合 SLEEP 状態となります。 ※SLEEP 中に FIFO ライトした場合、SLEEP 復帰後にデータ送信要求受付完了割込みが発生します。 ※0b1 設定時、動作継続タイマ満了した場合には強制的に SLEEP に移行するため、動作継続タイマ満了前に送信完了するように設定してください。 |
| 5 | WU_DURATION_EN | 0 | R/W | ウェイクアップ後の動作継続タイマイネーブル設定 0: ウェイクアップ後、動作継続タイマを動作させない 1: ウェイクアップ後、動作継続タイマを動作させる ※本ビットが 0b1 設定時で WAKEUP_MODE=0b0 の場合、動作継続タイマ満了までに受信(SyncWord 検出、または Field 検出設定している場合は Field 検出)できなかった場合、自動で SLEEP 状態に移行します。 |
| 4 | WAKEUP_EN | 0 | R/W | ウェイクアップイネーブル 0: SLEEP 後、自動ウェイクアップしない 1: SLEEP 後、自動ウェイクアップする ※0b1 設定時、ウェイクアップタイマ満了後、自動で SLEEP から復帰し、bit6(WAKEUP_MODE)で設定される状態となります。 |
| 3 | RCOSC_MODE | 0 | R/W | RC 発振回路動作モード設定 0: 常時動作する 1: SLEEP 設定時のみ動作する ※詳細は「SLEEP 設定」をご参照ください。 ※間欠動作として動作継続タイマを使用する場合は本ビットが 0b0 になっている場合、タイマは動作しません。この場合、本設定は 0b1 に設定してください。 |
| 2 | WUT_CLK_SOURCE | 1 | R/W | ウェイクアップタイマ用クロックソース設定 0: 外部入力クロック(EXT_CLK Pin#10)を使用する 1: 内蔵 RC 発振回路出力を使用する ※詳細は「SLEEP 設定」をご参照ください。 |
| 1 | PDN_EN | 1 | R/W | SLEEP 時の電源制御イネーブル 0: ロジック全領域電源 ON 1: ロジック一部領域のみ電源 ON(送信 FIFO は電源 OFF されます) ※詳細は「SLEEP 設定」をご参照ください。 |
| 0 | SLEEP_EN | 0 | R/W | SLEEP モード制御 0: SLEEP 状態から復帰する(通常動作) 1: SLEEP 状態にする ※詳細は「SLEEP 設定」をご参照ください。 |

【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

0x2E【WUT_CLK_SET】

機能:ウェイクアップタイマ分周設定

アドレス:0x2E (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|------|-----|---|
| 7:4 | WUDT_CLK_SET[3:0] | 0000 | R/W | <p>動作継続タイマ分周設定</p> <p>0000: 分周なし(TCXO_EN([CLK_SET2: B0 0x02(6)])=0b1 設定時) 設定禁止(XTAL_EN([CLK_SET2: B0 0x02(4)])=0b1 設定時)</p> <p>0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 2 分周 1010: 4 分周 1011: 8 分周 1100: 16 分周 1101: 32 分周 1110: 64 分周 上記以外: 16384 分周</p> <p>※WUT_CLK_SOURCE([SLEEP/WU_SET:B0 0x2D(2)])にて選択するクロックの分周値を設定します。 ※動作継続タイマを使用する場合、本設定は WUT_CLK_SET と同じ設定値にしてください。</p> |
| 3:0 | WUT_CLK_SET[3:0] | 0000 | R/W | <p>ウェイクアップタイマ分周設定</p> <p>0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 2 分周 1010: 4 分周 1011: 8 分周 1100: 16 分周 1101: 32 分周 1110: 64 分周 上記以外: 16384 分周</p> <p>※WUT_CLK_SOURCE([SLEEP/WU_SET:B0 0x2D(2)])にて選択するクロックの分周値を設定します。</p> |

【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

0x2F【WUT_INTERVAL_H】

機能:ウェイクアップタイム設定(上位バイト)

アドレス:0x2F (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|--|
| 7:0 | WUT_INTERVAL[15:8] | 0000_0000 | R/W | <p>ウェイクアップタイム間隔設定(上位バイト)</p> <p>[WUT_INTERVAL_L]レジスタの8ビットと共に全16ビットから算出されます。タイム間隔は次式の通りとなります。</p> <p>ウェイクアップタイム間隔 = ウェイクアップタイム用クロック周期([SLEEP/WU_SET: B0 0x2D(2)]) * 分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) * ウェイクアップタイム間隔設定([WUT_INTERVAL_H/L: B0 0x2F/30])</p> <p>※本設定値 WUT_INTERVAL[15:0]は2以上の値を設定してください。</p> |

【説明】

1. 詳細は「ウェイクアップタイム」を参照してください。

0x30【WUT_INTERVAL_L】

機能:ウェイクアップタイム設定(下位バイト)

アドレス:0x30 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|--|
| 7:0 | WUT_INTERVAL[7:0] | 0000_0000 | R/W | <p>ウェイクアップタイム間隔設定(下位バイト)</p> <p>※詳細は[TIMER_INTERVAL_H: B0 0x2F]をご参照ください。</p> |

【説明】

1. 詳細は「ウェイクアップタイム」を参照してください。

0x31【WU_DURATION】

機能:ウェイクアップ後の動作継続タイム設定

アドレス:0x31 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|---|
| 7:0 | WU_DURATION[7:0] | 0000_0000 | R/W | <p>ウェイクアップ後の動作継続タイム設定</p> <p>動作継続タイム間隔 = ウェイクアップタイム用クロック周期([SLEEP/WU_SET: B0 0x2D(2)]) * 分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) * 動作継続タイム間隔設定[WU_DURATION: B0 0x31]</p> <p>※本設定値 WU_DURATION[7:0]は1以上の値を設定してください。</p> |

【説明】

1. 詳細は「ウェイクアップタイム」を参照してください。

0x32【GT_SET】

機能: 汎用タイマ設定

アドレス: 0x32 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5 | GT2_CLK_SOURCE | 0 | R/W | 汎用タイマ 2 クロックソース設定 0: ウェイクアップタイマ用クロック 1: 2MHz クロック |
| 4 | GT2_START | 0 | R/W | 汎用タイマ 2 実行設定 0: タイマ中断 1: タイマスタート、再開 ※タイマ満了後、自動的に 0 に戻ります。 ※GT2_CLK_SOURCE=0b0 設定時、タイマ満了後に再スタートする場合、ウェイクアップタイマ用クロック 2 サイクル以上経過後に再スタートしてください。(ML7345D) |
| 3:2 | Reserved | 00 | R/W | 予約 |
| 1 | GT1_CLK_SOURCE | 00 | R/W | 汎用タイマ 1 クロックソース設定 0: ウェイクアップタイマ用クロック 1: 2MHz クロック |
| 0 | GT1_START | 0 | R/W | 汎用タイマ 1 実行設定 0: タイマ中断 1: タイマスタート、再開 ※タイマ満了後、自動的に 0 に戻ります。 ※GT1_CLK_SOURCE=0b0 設定時、タイマ満了後に再スタートする場合、ウェイクアップタイマ用クロック 2 サイクル以上経過後に再スタートしてください。(ML7345D) |

【説明】

1. 詳細は「汎用タイマ」を参照してください。

0x33【GT_CLK_SET】

機能:汎用タイマクロック分周設定

アドレス:0x33 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|------|-----|--|
| 7:4 | GT2_CLK_SET[3:0] | 0000 | R/W | 汎用タイマ用クロック 2 分周設定 汎用タイマ用クロック 2 の分周値を設定します。 0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 32768 分周 上記以外: 65536 分周 ※GT2_CLK_SOURCE([GT_SET:B0 0x32(5)])のクロックを下記の分周値に設定します。 |
| 3:0 | GT1_CLK_SET[3:0] | 0000 | R/W | 汎用タイマ用クロック 1 分周設定 汎用タイマ用クロック 1 の分周値を設定します。 0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 32768 分周 上記以外: 65536 分周 ※GT1_CLK_SOURCE([GT_SET:B0 0x32(1)])のクロックを下記の分周値に設定します。 |

【説明】

1. 詳細は「汎用タイマ」を参照してください。

0x34【GT1_TIMER】

機能:汎用タイマ 1 間隔設定

アドレス:0x34 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|--|
| 7:0 | GT1_TIMER[7:0] | 0000_0000 | R/W | 汎用タイマ 1 間隔設定 汎用タイマ 1 間隔 = 汎用タイマ用クロック周期([GT_SET:B0 0x32(1)]) * 分周設定([GT_CLK_SET:B0 0x33(3-0)]) * 汎用タイマ 1 間隔設定(GT1_TIMER[7:0]) |

【説明】

1. 詳細は「汎用タイマ」を参照してください。

0x35【GT2_TIMER】

機能:汎用タイマ 2 間隔設定

アドレス:0x35 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|--|
| 7:0 | GT2_TIMER[7:0] | 0000_0000 | R/W | 汎用タイマ 2 間隔設定 汎用タイマ 2 間隔 = 汎用タイマ用クロック周期([GT_SET:B0 0x32(5)]) * 分周設定([GT_CLK_SET:B0 0x33(7-4)]) * 汎用タイマ 2 間隔設定(GT2_TIMER[7:0]) |

【説明】

1. 詳細は「汎用タイマ」を参照してください。

0x36【CCA_IGNORE_LVL】

機能:CCA の判定除外 ED 値設定

アドレス:0x36 (BANK0)

初期値:0xFE

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------------|-----------|-----|--|
| 7:0 | CCA_IGNORE_LVL [7:0] | 1111_1110 | R/W | CCA の移動平均判定から除外する ED レベル設定 ※ED 値が、本レジスタ設定値を超えた場合、ED_AVG([ED_CTRL: B0 0x41(2-0)])で設定される平均化から除外され、新たに平均回数に達する ED 値を取得するまで CCA 結果を判定せず CCA_RSLT ([CCA_CTRL: B0 0x39(1-0)])に 0b11(判定中)を設定します。 |

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x37【CCA_LVL】

機能:CCA の閾値設定

アドレス:0x37 (BANK0)

初期値:0x5C

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|---|
| 7:0 | CCA_LVL[7:0] | 0101_1100 | R/W | CCA 閾値レベル設定(設定範囲:0~255) ※ED 値が本レジスタの設定値を超えると CCA_RSLT ([CCA_CTRL: B0 0x39(1-0)])に 0b01(キャリアあり)が立ちます。 |

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x38【CCA_ABORT】

機能:CCA 動作の強制終了時間設定

アドレス:0x38 (BANK0)

初期値:0xFF

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|--|
| 7:0 | CCA_ABORT[7:0] | 1111_1111 | R/W | CCA 強制終了時間設定(設定範囲:0~255) ※0b0000_0000 設定では強制終了時間は無効となります。 ※設定値の 1bit あたりの分解能は 128 μ s となります。 ※CCA のキャリアあり判定のために CCA 完了しない状態を防ぐためのタイムアウト機能です。本レジスタの設定値 x RSSI 平均間隔(16 μ s) の期間 CCA を実行した場合、IDLE 検出を終了し、パケットを破棄して RF 状態は TRX_OFF に移ります。 |

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assessment)機能」を参照してください。

0x39【CCA_CTRL】

機能:CCA 制御設定および結果表示

アドレス:0x39 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----|-----|--|
| 7 | CCA_STOP | 0 | R/W | CCA 無限実行終了設定(1 で停止します) ※CCA_CPU_EN が実行されると本ビットで停止されるまで CCA を実行します。 |
| 6 | CCA_IDLE_EN | 0 | R/W | CCA アイドル検出モード設定 0: アイドル検出を行わない 1: アイドル検出を行う |
| 5 | CCA_CPU_EN | 0 | R/W | CCA 無限実行モード設定 0: CCA 無限実行を行わない 1: CCA 無限実行を行う ※本ビットを実行した場合、CCA_STOP ビットで停止されるまで CCA を継続します。 |
| 4 | CCA_EN | 0 | R/W | CCA 実行命令 0: CCA を実行しない 1: CCA を実行する ※CCA 完了後、本ビットは自動的に 0 に戻ります。 |
| 3 | FAST_DET_MODE_EN | 0 | R/W | 高速電波チェックモード設定 0: RX_ON 時 CCA を実行しない 1: RX_ON 時 CCA を自動実行する ※CCA の結果、電波なしと判定した場合、自動的に SLEEP 状態へ移行します。また、タイマ機能と組合せ動作が可能です。詳細は「ウェイクアップタイマ」を参照してください。 |
| 2 | CCA_ABORT_EN | 0 | R/W | CCA 強制終了設定 0:CCA を強制終了しない 1:CCA を強制終了する ※本ビットは CCA_IDLE_EN に 1 が設定されているときのみ有効となります。 |
| 1:0 | CCA_RSLT[1:0] | 0 | R/W | CCA 結果 00: キャリアなし 01: キャリアあり 10: CCA 判定中(アイドル判定中) 11: CCA 判定中(判定除外の ED 値取得) ※自動クリアされません。CCA にてキャリアありと判定される毎にクリアする必要があります。クリアは CCA 完了割込み([INT_SOURCE_GRP3: B0 0x0F(2)])クリアにてクリアされます。CCA 完了は[INT_SOURCE_GRP3: B0 0x0F(2)]にて通知します。 |

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。
2. bit6 (CCA_IDLE_EN)と bit5(CCA_CPU_EN)を同時に 0b1 に設定しないでください。

0x3A【ED_RSLT】

機能:ED 値表示

アドレス:0x3A (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|--|
| 7:0 | ED_VALUE[7:0] | 0000_0000 | R | ED 値表示 ※ED 値は、ED_RSLT_SET([ED_CTRL: B0 0x41(3)])=0b0 設定されている場合、RX_ON 中に常時更新されます。ED_RSLT_SET=0b1 設定では SyncWord 検出時に ED 値を獲得し、受信データの FIFO リード開始により値が更新されます。 |

【説明】

- ED 値の取得動作の詳細は、「電力検出値(ED 値)取得機能」を参照してください。

0x3B【IDLE_WAIT_H】

機能:CCA 時の IDLE 継続時間設定(上位バイト)

アドレス:0x3B (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|---------|-----|--|
| 7:2 | Reserved | 00_0000 | R/W | 予約 |
| 1:0 | IDLE_WAIT[9:8] | 00 | R/W | IDLE 判定の最大待ち時間設定(上位バイト) ※CCA の IDLE 判定動作において、長い IDLE(キャリアなし)期間の判定を行う場合に使用します。[IDLE_WAIT_L]レジスタの 8 ビットと共に全 10 ビットから算出されます。IDLE 判定待ち時間は次式の通りとなり、この期間 CCA を実行し IDLE 判定を待ちます。 IDLE 判定待ち時間 = ED 値平均化(8 回平均時)時間(128μs)+(設定値 * 16μs) |

【説明】

- CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3C【IDLE_WAIT_L】

機能:CCA 時の IDLE 継続時間設定(下位バイト)

アドレス:0x3C (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|--|
| 7:0 | IDLE_WAIT[7:0] | 0000_0000 | R/W | IDLE 判定の最大待ち時間設定(下位バイト) ※詳細は[IDLE_WAIT_H: B0 0x3B]をご参照ください。 |

【説明】

- CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3D【CCA_PROG_H】

機能:CCA 時の IDLE 判定経過時間表示(上位バイト)

アドレス:0x3D (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|---------|-----|--|
| 7:2 | Reserved | 00_0000 | R/W | 予約 |
| 1:0 | CCA_PROG[9:8] | 00 | R | CCA 時の IDLE 判定経過時間表示(上位バイト) ※[CCA_PROG_L]レジスタの8ビットと共に全10ビットから算出されます。 IDLE 判定経過時間は次式で計算できます。 IDLE 判定経過時間＝ ED 値平均化(8 回平均時)時間(128μs)+(設定値 * 16μs) |

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3E【CCA_PROG_L】

機能:CCA 時の IDLE 判定経過時間表示(下位バイト)

アドレス:0x3E (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|---|
| 7:0 | CCA_PROG[7:0] | 0000_0000 | R | CCA 時の IDLE 判定経過時間表示(下位バイト) ※詳細は[CCA_PROG_H: B0 0x3D]をご参照ください。 |

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3F【PREAMBLE_SET】

機能:プリアンブルパターン設定

アドレス:0x3F (BANK0)

初期値:0x05

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|------|-----|-----------------------------------|
| 7:4 | Reserved | 0000 | R/W | 予約 |
| 3:0 | PR_PAT[3:0] | 0101 | R/W | プリアンブルパターン設定 ※MSB 側から順に送出されます。 |

0x40【VCO_VTRSLT】

機能:VCO 調整電圧結果表示

アドレス:0x40 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|--------|-----|--|
| 7:3 | Reserved | 0_0000 | R/W | 予約 |
| 2 | VTUNE_INT_ENB | 0 | R/W | VCO 調整電圧範囲外検出割り込み通知設定 0: PLL ロック外れ検出割り込み(INT2[INT_SOURCE_GRP1: B0 0x0D(2)])にて通知する 1: 割り込み通知しない ※0b1 設定時、PLL ロック外れ割り込みは、PLL ロック外れ時または VCO 調整電圧範囲外検出時に割り込みが発生します。 |
| 1 | VTUNE_COMP_H | 0 | R | VCO 調整電圧上限閾値比較結果表示 0: 調整電圧が上限未満 1: 調整電圧が上限以上 |
| 0 | VTUNE_COMP_L | 0 | R | VCO 調整電圧下限閾値比較結果表示 0: 調整電圧が下限以上 1: 調整電圧が下限未満 |

0x41【ED_CTRL】

機能:ED 設定

アドレス:0x41 (BANK0)

初期値:0xA0

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----|-----|---|
| 7 | ED_CALC_EN | 1 | R/W | ED 値算出イネーブル設定 0: ED 値算出を行わない 1: ED 値算出を行う |
| 6 | CCADONE_MODE | 0 | R/W | 高速電波チェック時の RF 状態設定 0: 電波なし判定時、SLEEP へ移行 電波あり判定時、受信継続 1: 電波なし判定時、TX_ON へ移行 電波あり判定時、SLEEP へ移行 ※本機能は FAST_DET_MODE_EN[CCA_CTRL: B0 0x39(4)]=0b1 設定時に有効です。 |
| 5 | CCA_ED_SEL | 1 | R/W | 高速電波チェック時の ED 値算出信号選択設定 0: チャンネルフィルタ帯域通過信号から ED 値を算出する 1: チャンネルフィルタ 2(チャンネルフィルタの帯域 2 倍)通過信号 ※0b1 設定時、チャンネルフィルタは CHFIL_BW_ADJ[CHFIL_BW: B0 0x54(6-0)]にて設定するフィルタ帯域の 2 倍の帯域で ED 値を算出します。 |
| 4 | ED_DONE | 0 | R/W | ED 値算出完了フラグ 0: ED 値算出中(未完了) 1: ED 値算出完了 |
| 3 | ED_RSLT_SET | 0 | R | ED 表示設定 [ED_RSLT: B0 0x3A]レジスタに表示する ED 値を選択します。 0: 常時更新する ED 値 1: SyncWord 検出タイミング毎に獲得した ED 値 ※0b1 設定時、受信データの FIFO リード開始により値が更新されます。 FIFO リード後、[ED_RSLT: B0 0x3A]を確認してください。 |
| 2:0 | ED_AVG[2:0] | 000 | R/W | ED 値算出時の平均回数設定 000: 1 回平均 001: 2 回平均 010: 4 回平均 011: 8 回平均 100: 16 回平均 101: 32 回平均 上記以外: 16 回平均 ※ED_AVG は ED 値算出停止状態で (TRX_OFF 状態または TX_ON 状態または bit7(ED_CALC_EN)=0b0 時) 設定して下さい。 |

【説明】

- ED 値の取得動作の詳細は、「電力検出値 (ED 値) 取得機能」を参照してください。

0x42【TXPR_LEN_H】

機能:送信プリアンブル長設定(上位バイト)

アドレス:0x42 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|--|
| 7:0 | TXPR_LEN[15:8] | 0000_0000 | R/W | 送信プリアンブル長設定(上位バイト) 送信プリアンブル長を設定します。送信プリアンブル長は(設定値 x2)ビットとなります。 ※[TXPR_LEN_L: B0 0x43]の8ビットと共に全16ビットにより設定します。 ※TXPR_LEN[15:0]には、0x0010 より小さい値を設定しないでください。 本 LSI は受信時の同期確立において 0x0010 以上のプリアンブルを必要とします。 ※ダイバーシティ使用時は本設定値をデータレートの設定に応じて変更する必要があります。データレートに対応する設定値は「初期設定レジスタ」を参照してください。 |

0x43【TXPR_LEN_L】

機能:送信プリアンブル長設定(下位バイト)

アドレス:0x43 (BANK0)

初期値:0x08

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|--|
| 7:0 | TXPR_LEN[7:0] | 0000_1000 | R/W | 送信プリアンブル長設定(下位バイト) ※詳細は[TXPR_LEN_H: B0 0x42]レジスタをご参照ください。 |

0x44【POSTAMBLE_SET】

機能:ポストアンブル長およびパターン設定

アドレス:0x44 (BANK0)

初期値:0x12

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----|-----|---|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:4 | POSTAMBLE_LEN[2:0] | 001 | R/W | ポストアンブル長設定 ポストアンブル長は(設定値 x2)ビットとなります。 |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:1 | POSTAMBLE_PAT[1:0] | 01 | R/W | ポストアンブルパターン設定 00: “01”パターンの繰り返し 01: “10”パターンの繰り返し 10: CRC 最終パターンと CRC 最終パターンの反転の繰り返し 11: 予約 |
| 0 | POSTAMBLE_EN | 0 | R/W | ポストアンブルイネーブル 0: ポストアンブルを付加しない 1: ポストアンブルを付加する |

0x45【SYNC_CONDITION1】

機能:受信時のプリアンブル比較長および同期検出時の ED 閾値判定設定

アドレス:0x45 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|---------|-----|---|
| 7 | SYNC_ED_EN | 0 | R/W | ED 値を使用した同期判定のイネーブル 0: 同期判定に ED 値を使用しない 1: 同期判定に ED 値を使用する ※ED 値閾値は【SYNC_CONDITION2: B0 0x46】により設定します。 |
| 6 | Reserved | 0 | R/W | 予約 |
| 5:0 | RXPR_LEN[5:0] | 00_0000 | R/W | 受信時のプリアンブル比較長設定(設定範囲:0~32、単位:ビット) ※0b10_0000 以上の設定は、0b10_0000 として動作します。 ※本レジスタに 1 以上を設定した場合、SyncWord 検出において、設定したプリアンブル数だけ SyncWord パターンに追加してパターン(プリアンブル+SyncWord)で SyncWord 検出を行います。SyncWord 長だけでは SyncWord 誤検出確率が高い場合、本機能によりプリアンブルを追加することにより SyncWord 誤検出確率を低減することが可能です。 ※RXPR_LEN[5:0]で設定するプリアンブル比較範囲が AFC 収束時間(最大 24 ビット)と重なった場合、SyncWord 検出できなくなります。本設定値は送信プリアンブルから AFC 収束時間を引いたバイト数以下の値を設定してください。 |

0x46【SYNC_CONDITION2】

機能:同期検出時の ED 閾値

アドレス:0x46 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|--|
| 7:0 | SYNC_ED_TH[7:0] | 0000_0000 | R/W | 同期判定時の ED 閾値設定 ※SYNC_ED_EN (【SYNC_CONDITION1: B0 0x45(7)】)が 0b1 設定時、ED 閾値が有効となります。 ※取得 ED 値が閾値を超えない場合、同期が取れたとみなしません。 |

0x47【SYNC_CONDITION3】

機能:受信時のプリアンブル検出および SyncWord 検出の誤り許容値設定

アドレス:0x47 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|------|-----|------------------------------------|
| 7:4 | SW_RCV[3:0] | 0000 | R/W | SyncWord 検出時の誤り許容ビット数設定(設定範囲 0~15) |
| 3:0 | PB_RCV[3:0] | 0000 | R/W | プリアンブル検出時の誤り許容ビット数設定(設定範囲 0~15) |

0x48【2DIV_CTRL】

機能:アンテナダイバーシティ設定

アドレス:0x48 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------|-----|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5 | ANT_CTRL1 | 0 | R/W | ANT 制御ビット 1 |
| 4 | ANT_CTRL0 | 0 | R/W | 外部 PA 制御信号制御ビット 0: GPIO での設定論理値出力 1: ANT_SW の設定論理値出力 |
| 3 | INV_ANT_SW | 0 | R/W | ANT_SW 極性設定 |
| 2 | INV_TRX_SW | 0 | R/W | TRX_SW 極性設定 |
| 1 | 2PORT_SW | 0 | R/W | アンテナスイッチ設定 0: SPDT スイッチ使用 1: DPDT スイッチ使用 |
| 0 | 2DIV_EN | 0 | R/W | アンテナダイバーシティ設定 0: ダイバーシティを行わない 1: ダイバーシティを行う |

【説明】

1. 本レジスタの設定の使用方法に関しては、「ダイバーシティ機能」を参照してください。

0x49【2DIV_RSLT】

機能:アンテナダイバーシティ結果表示

アドレス:0x49 (BANK0)

初期値:0x01

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|--------|-----|--|
| 7 | 2DIV_DONE | 0 | R | アンテナダイバーシティサーチ完了表示 0: ダイバーシティサーチ中(未完了) 1: ダイバーシティサーチ完了 |
| 6:2 | Reserved | 0_0000 | R/W | 予約 |
| 1:0 | 2DIV_RSLT[1:0] | 01 | R | アンテナダイバーシティ結果表示 01: アンテナ 1 10: アンテナ 2 上記以外: 予約 |

【説明】

1. 本レジスタの使用法に関しては、「ダイバーシティ機能」を参照してください。
2. 本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。

0x4A【ANT1_ED】

機能:アンテナ 1 の取得 ED 値表示

アドレス:0x4A (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|--|
| 7:0 | ANT1_ED[7:0] | 0000_0000 | R | アンテナ 1 の取得 ED 値 ※2DIV_EN([2DIV_CTRL: B0 0x48(0)])が 0b1 に設定する必要があります。本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。ただし、ダイバーシティ完了割込み ([INT_SOURCE_GRP2: B0 0x0D(2)])をクリアすると本レジスタ値がクリアされます。 |

0x4B【ANT2_ED】

機能:アンテナ 2 の取得 ED 値表示

アドレス:0x4B (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|--|
| 7:0 | ANT2_ED[7:0] | 0000_0000 | R | アンテナ 2 の取得 ED 値 ※2DIV_EN([2DIV_CTRL: B0 0x48(0)])が 0b1 に設定する必要があります。本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。ただし、ダイバーシティ完了割込み ([INT_SOURCE_GRP2: B0 0x0D(2)])をクリアすると本レジスタ値がクリアされます。 |

0x4C【ANT_CTRL】

機能:送受信時のアンテナ強制設定

アドレス:0x4C (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------|-----|-----|---|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5 | RX_ANT | 0 | R/W | 受信時のアンテナ設定 0: アンテナ 1 1: アンテナ 2 ※bit4(RX_ANT_EN)が 0b01 設定時のみ有効で、RX_ON 時のアンテナを本ビットにて固定します。 |
| 4 | RX_ANT_EN | 0 | R/W | 受信時のアンテナ設定イネーブル 0: ディセーブル 1: イネーブル |
| 3:2 | Reserved | 00 | R/W | 予約 |
| 1 | TX_ANT | 0 | R/W | 送信時のアンテナ設定 0: アンテナ 1 1: アンテナ 2 ※bit0(TX_ANT_EN)が 0b01 設定時のみ有効で、TX_ON 時のアンテナを本ビットにて固定します。 |
| 0 | TX_ANT_EN | 0 | R/W | 送信時のアンテナ設定イネーブル 0: ディセーブル 1: イネーブル |

【説明】

1. 本ビットの使用方法に関しては、「ダイバーシティ機能」を参照してください。

0x4D【MON_CTRL】

機能:アナログ/デジタルモニタ設定

アドレス:0x4D (BANK0)

初期値:0x01

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|------|-----|--|
| 7 | BER_MODE | 0 | R/W | BER 測定モード設定 0: 通常動作モードにする 1: BER 測定モードにする ※BER 測定モード設定により復調データ/クロックを DIO/DCLK から出力します。詳細は「BER 測定時の設定」を参照してください。 |
| 6 | FIFOMODE_MON | 0 | R/W | FIFO モードモニタ設定 0: FIFO モードで DIO/DCLK を出力しない 1: FIFO モードで DIO/DCLK を出力する ※DIO/DCLK は復調データ/クロックが出力されます。 |
| 5:4 | Reserved | 00 | R/W | 予約 |
| 3:0 | DMON_SET | 0001 | R/W | デジタルモニタ出力信号選択設定 0000: L 出力 0001: CLK_OUT 出力 0010: PLL ロック検出信号出力 (ロック時 H を出力します) 0011:同期完了信号出力 (同期完了時 H を出力します) 上記以外: 予約 |

0x4E【GPIO0_CTRL】

機能:GPIO0 端子(ピン#16)制御

アドレス:0x4E (BANK0)

初期値:0x07

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----|-----|---|
| 7 | GPIO0_INV | 0 | R/W | GPIO0 出力信号極性設定 |
| 6 | GPIO0_OD | 0 | R/W | GPIO0 出力 OpenDrain 設定 |
| 5 | GPIO0_FORCEOUT | 0 | R/W | GPIO0 強制出力設定 0: "L"出力 1: "H"出力 ※ bit7(GPIO0_INV)の設定に影響されません。 |
| 4 | GPIO0_FORCEOUTEN | 0 | R/W | GPIO0 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO0_FORCEOUT)に設定した値を出力する) |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | GPIO0_IO_CFG[2:0] | 111 | R/W | GPIO0 入出力信号選択設定 000: [出力]"L"レベル 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: [入出力]データ(DIO) 101: [出力] データクロック(DCLK) 110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN) |

0x4F【GPIO1_CTRL】

機能:GPIO1 端子(ピン#17)制御

アドレス:0x4F (BANK0)

初期値:0x06

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----|-----|---|
| 7 | GPIO1_INV | 0 | R/W | GPIO1 出力信号極性設定 |
| 6 | GPIO1_OD | 0 | R/W | GPIO1 出力 OpenDrain 設定 |
| 5 | GPIO1_FORCEOUT | 0 | R/W | GPIO1 強制出力設定 0: "L"出力 1: "H"出力 ※ bit7(GPIO1_INV)の設定に影響されません。 |
| 4 | GPIO1_FORCEOUTEN | 0 | R/W | GPIO1 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO1_FORCEOUT))に設定した値を出力する) |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | GPIO1_IO_CFG [2:0] | 110 | R/W | GPIO1 入出力信号選択設定 000: [出力]"L"レベル 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: [入出力]データ(DIO) 101: [出力] データクロック(DCLK) 110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN) |

0x50【GPIO2_CTRL】

機能:GPIO2 端子(ピン#18)制御

アドレス:0x50 (BANK0)

初期値:0x02

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----|-----|---|
| 7 | GPIO2_INV | 0 | R/W | GPIO2 出力信号極性設定 |
| 6 | GPIO2_OD | 0 | R/W | GPIO2 出力 OpenDrain 設定 |
| 5 | GPIO2_FORCEOUT | 0 | R/W | GPIO2 強制出力設定 0: "L"出力 1: "H"出力 ※ bit7(GPIO1_INV)の設定に影響されません。 |
| 4 | GPIO2_FORCEOUTEN | 0 | R/W | GPIO2 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO2_FORCEOUT))に設定した値を出力する) |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | GPIO2_IO_CFG [2:0] | 010 | R/W | GPIO2 入出力信号選択設定 000: [出力]"L"レベル 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: [入出力]データ(DIO) 101: [出力] データクロック(DCLK) 110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN) |

0x51【GPIO3_CTRL】

機能:GPIO3 端子(ピン#19)制御

アドレス:0x51 (BANK0)

初期値:0x01

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----|-----|---|
| 7 | GPIO3_INV | 0 | R/W | GPIO3 出力信号極性設定 |
| 6 | GPIO3_OD | 0 | R/W | GPIO3 出力 OpenDrain 設定 |
| 5 | GPIO3_FORCEOUT | 0 | R/W | GPIO3 強制出力設定 0: "L"出力 1: "H"出力 ※ bit7(GPIO3_INV)の設定に影響されません。 |
| 4 | GPIO3_FORCEOUTEN | 0 | R/W | GPIO1 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO3_FORCEOUT)に設定した値を出力する) |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | GPIO3_IO_CFG [2:0] | 001 | R/W | GPIO3 入出力信号選択設定 000: [出力]"L"レベル 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: [入出力]データ(DIO) 101: [出力] データクロック(DCLK) 110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN) |

0x52【EXTCLK_CTRL】

機能: EXT_CLK 端子(ピン#10)制御

アドレス:0x52 (BANK0)

初期値:0x03

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------------|-----|-----|---|
| 7 | EXTCLK_INV | 0 | R/W | EXT_CLK 出力信号極性設定 |
| 6 | EXTCLK_OD | 0 | R/W | EXT_CLK 出力 OpenDrain 設定 |
| 5 | EXTCLK_FORCEOUT | 0 | R/W | EXT_CLK 強制出力値設定 0: "L"出力 1: "H"出力 ※ bit7(EXTCLK_INV)の設定に影響されません。 |
| 4 | EXTCLK_FORCEOUTEN | 0 | R/W | EXT_CLK 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(EXTCLK_FORCEOUT)に設定した値を出力する) |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | EXTCLK_IO_CFG [2:0] | 011 | R/W | EXT_CLK 入出力信号選択設定 000: [入力]外部クロック (32 kHz) 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: [入出力]データ (DIO) 101: [出力]データクロック (DCLK) 110: [出力]デジタルモニタ信号 ※詳細はDMON_SET[3:0]([DMON_SET:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN) |

0x53【SPI/EXT_PA_CTRL】

機能:SPI インタフェース(SDI/SDO)端子/外部 PA 制御

アドレス:0x53 (BANK0)

初期値:0x80

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------|-----|-----|--|
| 7 | SDO_OD | 1 | R/W | SDO 出力 OpenDrain 設定 0: CMOS 出力 1: OpenDrain 出力 |
| 6 | Reserved | 0 | R/W | 予約 |
| 5 | SDO_CFG | 0 | R/W | SDO 端子(ピン#12)の入出力信号選択設定 0: [出力] SDO(SPI インタフェース) 1: [出力] SDO 出力(SCEN 端子(ピン#14)="L"時) DCLK 出力(SCEN 端子="H"時) ※詳細は「DIO 機能」を参照してください。 |
| 4 | SDI_CFG | 0 | R/W | SDI 端子(ピン#15)の入出力信号選択設定 0: [入力] SDI(SPI インタフェース) 1: [入力] SDI 入力(SCEN 端子(ピン#14)="L"時) [入出力] DIO 出力(SCEN 端子="H"時) ※詳細は「DIO 機能」を参照してください。 |
| 3:2 | Reserved | 00 | R/W | 予約 |
| 1 | EXT_PA_CNT | 0 | R/W | 外部 PA 制御信号の制御タイミング設定 0: TX_ON 信号を出力する 1: PA_ON 信号を出力する ※TX_ON(送信回路起動)信号および PA_ON(PA 起動)信号は、「タイムチャート-送信時」をご参照ください。 |
| 0 | EXT_PA_EN | 0 | R/W | 外部 PA 制御信号の制御設定イネーブル 0: ディセーブル (L 出力) 1: イネーブル (bit1(EXT_PA_CNT)の設定が有効となります) |

0x54【CHFIL_BW】

機能:チャンネルフィルタ帯域幅設定

アドレス:0x54 (BANK0)

初期値:0x14

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|----------|-----|--|
| 7 | CHFIL_WIDE_SET | 0 | R/W | チャンネルフィルタ広帯域設定 0: 常時 CHFIL_BW_ADJ で設定した帯域 1: 常時 CHFIL_BW_ADJ で設定した帯域の 2 倍帯域 |
| 6:0 | CHFIL_BW_ADJ[6:0] | 001_0100 | R/W | チャンネルフィルタ帯域幅調整設定 (設定範囲:1~127) チャンネルフィルタ帯域幅[Hz] = {マスタークロック周波数[Hz] * (CHFIL_WIDE_SET+1)} / {設定値 * 120} ※初期値では 10kHz となります。 ※詳細は「チャンネルフィルタ帯域幅の設定」を参照してください。 ※0b000_0000 は 0b000_0001 と認識します。 |

0x55【DC_I_ADJ_H】

機能:I相 DC オフセット調整設定(上位 6 ビット)

アドレス:0x55 (BANK0)

初期値:0x40

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|---------|-----|---|
| 7 | DC_ADJ_SET | 0 | R/W | DC オフセット補正設定 0: 自動調整 1: マニュアル調整 |
| 6 | DC_ADJ_HOLD | 1 | R/W | DC オフセット補正ホールド設定 0: 常時更新 1: 同期確立後に DC オフセット値を固定する |
| 5:0 | DC_I_ADJ[13:8] | 00_0000 | R/W | I相 DC オフセット調整設定 ※bit7 が 0b1 設定時に本調整値が有効となります。 ※設定値はマイナスの値は 2 の補数表現で設定します。 ※[DC_I_ADJ_L:B0 0x56]レジスタの 8 ビットと共に全 14 ビットから構成されます。 |

0x56【DC_I_ADJ_L】

機能:I相 DC オフセット調整設定(下位バイト)

アドレス:0x56 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|--|
| 7:0 | DC_I_ADJ[7:0] | 0000_0000 | R/W | I相 DC オフセット調整設定 ※詳細は、[DC_I_ADJ_H: B1 0x55]をご参照ください。 |

0x57【DC_Q_ADJ_H】

機能: Q 相 DC オフセット調整設定(上位 6 ビット)

アドレス: 0x57 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|---------|-----|---|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | DC_Q_ADJ[13:8] | 00_0000 | R/W | Q 相 DC オフセット調整設定 ※DC_ADJ_SET([DC_I_ADJ_H: B0 0x55(7)])が 0b1 設定時に本調整値が有効となります。 ※設定値はマイナスの値は 2 の補数表現で設定します。 ※[DC_Q_ADJ_L:B0 0x58]レジスタの 8 ビットと共に全 14 ビットから構成されます。 |

0x58【DC_Q_ADJ_L】

機能: Q 相 DC オフセット調整設定(下位バイト)

アドレス: 0x58 (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|---|
| 7:0 | DC_Q_ADJ[7:0] | 0000_0000 | R/W | Q 相 DC オフセット調整設定 ※詳細は、[DC_Q_ADJ_H: B1 0x57]をご参照ください。 |

0x59【DC_FIL_ADJ】

機能: DC オフセット調整フィルタ設定

アドレス: 0x59 (BANK0)

初期値: 0x03

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----|-----|---|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5 | DC_FIL_MODE | 0 | R/W | DC オフセット調整フィルタモード設定 0: 初期状態から開始する 1: 前パケット受信時の DC オフセット値から開始する |
| 4 | DC_FIL_ON | 0 | R/W | DC オフセット調整フィルタイネーブル設定 0: ディisable 1: イネーブル |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | DC_FIL_SEL[2:0] | 011 | R/W | DC オフセット調整用フィルタ設定 000: 1/4 001: 1/8 010: 1/16 011: 1/32 100: 1/64 ※DC_ADJ_SET[DC_I_ADJ_H: B0 0x55(7)]が 0b0 設定(自動調整)時の調整フィルタ時定数を設定します。 |

0x5A【IQ_MAG_ADJ_H】

機能:IF の IQ 振幅バランス調整(上位 4 ビット)

アドレス:0x5A (BANK0)

初期値:0x08

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|------|-----|---|
| 7 | IQ_ADJ_DONE | 0 | R | IQ 自動調整完了表示 0: 未完了 1: 完了 |
| 6 | IQ_ADJ_RSLT | 0 | R | IQ 自動調整ステータス表示 0: IQ 自動調整後の RSSI 値が[IQ_ADJ_TARGET: B0 0x5F]で設定する RSSI 閾値より大きい 1: IQ 自動調整後の RSSI 値が[IQ_ADJ_TARGET: B0 0x5F]で設定する RSSI 閾値より小さい |
| 5 | LOCAL_SEL | 0 | R/W | 受信ローカル周波数設定 0: Lower-Local 設定(通常受信時) 1: Upper-Local 設定(IQ 調整時) ※通常受信時は Lower-Local に設定してください。 |
| 4 | IQ_ADJ_START | 0 | R/W | IQ 自動調整実行 0: 実行完了 1: 実行開始 ※自動調整後の結果は、IQ_MAG_ADJ[11:0]、IQ_PHASE_ADJ_SIGN [IQ_PHASE_ADJ_H: B0 0x5C(4)]および IQ_PHASE_ADJ [IQ_PHASE_ADJ_H/L: B0 0x5C(3-0)/0x5D(7-0)]に格納されます。 |
| 3:0 | IQ_MAG_ADJ[11:8] | 1000 | R/W | IQ 信号の振幅調整設定(上位 4 ビット) ※[IQ_MAG_ADJ_L:B0 0x5B]レジスタの 8 ビットと共に全 12 ビットから算出されます。 bit11: x1 bit10: x1/2 bit9: x1/4 bit8: x1/8 bit7: x1/16 bit6: x1/32 bit5: x1/64 bit4: x1/128 bit3: x1/256 bit2: x1/512 bit1: x1/1024 bit0: x1/2048 |

【説明】

1. IQ_MAG_ADJ[11:0]でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x5B【IQ_MAG_ADJ_L】

機能:IF の IQ 振幅バランス調整(下位バイト)

アドレス:0x5B (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|---|
| 7:0 | IQ_MAG_ADJ[7:0] | 0000_0000 | R/W | IQ 信号の振幅調整設定(下位バイト) ※[IQ_MAG_ADJ_H:B0 0x5A]レジスタの 4 ビットと共に全 12 ビットから算出されます。 |

【説明】

1. IQ_MAG_ADJ[11:0]でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x5C【IQ_PHASE_ADJ_H】

機能:IF の IQ 位相バランス調整(上位 4 ビット)

アドレス:0x5C (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----|-----|--|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4 | IQ_PHASE_ADJ_SIGN | 0 | R/W | IQ 信号の位相調整符号ビット 0: プラス 1: マイナス |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | IQ_PHASE_ADJ[10:8] | 000 | R/W | IQ 信号の位相調整設定(上位 3 ビット) ※[IQ_PHASE_ADJ_L:B0 0x5D]レジスタの 8 ビットと共に全 11 ビットから算出されます。 bit10: x1/2 bit9 : x1/4 bit8 : x1/8 bit7 : x1/16 bit6 : x1/32 bit5 : x1/64 bit4 : x1/128 bit3 : x1/256 bit2 : x1/512 bit1 : x1/1024 bit0 : x1/2048 |

【説明】

1. IQ_PHASE_ADJ [10:0]および IQ_PHASE_ADJ_SIGN でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x5D【IQ_PHASE_ADJ_L】

機能:IF の IQ 位相バランス調整(下位バイト)

アドレス:0x5D (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|---|
| 7:0 | IQ_PHASE_ADJ[7:0] | 0000_0000 | R/W | IQ 信号の位相調整設定(下位バイト) ※[IQ_PHASE_ADJ_H:B0 0x5C]レジスタの 3 ビットと共に全 11 ビットから算出されます。 |

【説明】

1. IQ_PHASE_ADJ [10:0]および IQ_PHASE_ADJ_SIGN でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x5E【IQ_ADJ_WAIT】

機能:IF の IQ 自動調整用 RSSI 取得ウェイト時間

アドレス:0x5E (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----|-----|---|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4 | IQ_ADJ_MODE | 0 | R/W | IQ 自動調整モード設定 0: ベスト調整モード 1: 簡易調整モード ※0b1 設定時、自動調整において[IQ_ADJ_TARGET: B0 0x5F]で指定した閾値以下の RSSI が検出した時点で IQ 自動調整を終了します。 |
| 3:2 | Reserved | 00 | R/W | 予約 |
| 1:0 | IQ_ADJ_WAIT[1:0] | 00 | R/W | IQ 自動調整用 RSSI 取得ウェイト時間設定 00: 1ms 01: 750us 10: 500us 11: 250us |

【説明】

1. 詳細は[I/Q 調整値の設定]を参照してください。

0x5F【IQ_ADJ_TARGET】

機能:IF の IQ 自動調整用 RSSI 判定閾値

アドレス:0x5F (BANK0)

初期値:0x38

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|--|
| 7:0 | IQ_ADJ_TARGET[7:0] | 0011_1000 | R/W | IQ 自動調整用 RSSI 判定閾値 ※IQ 自動調整後の最終 RSSI 値と本設定値との比較結果を IQ_ADJ_RSLT[IQ_MAG_ADJ_H: B0 0x5A(6)]に表示します。 |

【説明】

1. 詳細は[I/Q 調整値の設定]を参照してください。

0x60【DEC_GAIN】(対象機種: ML7345)

機能: デシメーションゲイン設定

アドレス: 0x60 (BANK0)

初期値: 0x04

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|------|-----|--|
| 7:4 | Reserved | 0000 | R/W | 予約 |
| 3:0 | DEC_GAIN[3:0] | 0100 | R/W | デシメーションゲイン設定 0000: 1/32768 (1/2 ¹⁵)倍 0001: 1/16384 (1/2 ¹⁴)倍 0010: 1/8192 (1/2 ¹³)倍 0011: 1/4096 (1/2 ¹²)倍 0100: 1/2048 (1/2 ¹¹)倍 0101: 1/1024 (1/2 ¹⁰)倍 0110: 1/512 (1/2 ⁹)倍 0111: 1/256 (1/2 ⁸)倍 1000: 1/128 (1/2 ⁷)倍 1001: 1/64 (1/2 ⁶)倍 1010: 1/32 (1/2 ⁵)倍 1011: 1/16 (1/2 ⁴)倍 1100: 1/8 (1/2 ³)倍 1101: 1/4 (1/2 ²)倍 1110: 1/2 (1/2 ¹)倍 1111: 1 倍 |

0x60【DEC_GAIN】(対象機種: ML7345D)

機能: デシメーションゲイン設定

アドレス: 0x60 (BANK0)

初期値: 0x04

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|--------|-----|---|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4:0 | DEC_GAIN[4:0] | 0_0100 | R/W | デシメーションゲイン設定 00000: 1/32768 (1/2 ¹⁵)倍 00001: 1/16384 (1/2 ¹⁴)倍 00010: 1/8192 (1/2 ¹³)倍 00011: 1/4096 (1/2 ¹²)倍 00100: 1/2048 (1/2 ¹¹)倍 00101: 1/1024 (1/2 ¹⁰)倍 00110: 1/512 (1/2 ⁹)倍 00111: 1/256 (1/2 ⁸)倍 01000: 1/128 (1/2 ⁷)倍 01001: 1/64 (1/2 ⁶)倍 01010: 1/32 (1/2 ⁵)倍 01011: 1/16 (1/2 ⁴)倍 01100: 1/8 (1/2 ³)倍 01101: 1/4 (1/2 ²)倍 01110: 1/2 (1/2 ¹)倍 01111: 1 倍 10000: 2 倍 10001: 4 倍 10010: 8 倍 ※上記以外: 設定禁止 |

0x61【IF_FREQ】(対象機種: ML7345)

機能:IF 周波数選択

アドレス:0x61 (BANK0)

初期値:0x02

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|--------|-----|--|
| 7:3 | Reserved | 0_0000 | R | 予約 |
| 2:0 | IF_FREQ[2:0] | 010 | R/W | IF 周波数選択 000: 125kHz 001: 109.375kHz 010: 93.75kHz 011: 78.125kHz 100: 62.5kHz 101: 設定禁止 110: 設定禁止 111: 0kHz |

【説明】

1. 本レジスタへの設定方法は、「IF 周波数の設定」を参照してください。

0x61【IF_FREQ】(対象機種: ML7345D)

機能:IF 周波数選択

アドレス:0x61 (BANK0)

初期値:0x02

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----|-----|--|
| 7 | Reserved | 0 | R | 予約 |
| 6:4 | IF_FREQ_CCA[2:0] | 000 | R/W | CCA 時 IF 周波数選択 000: 125kHz 001: 109.375kHz 010: 93.75kHz 011: 78.125kHz 100: 62.5kHz 101: 設定禁止 110: 設定禁止 111: 0kHz ※本設定は IF_FREQ と同じ設定値にしてください。 |
| 3 | Reserved | 0 | R | 予約 |
| 2:0 | IF_FREQ[2:0] | 010 | R/W | IF 周波数選択 000: 125kHz 001: 109.375kHz 010: 93.75kHz 011: 78.125kHz 100: 62.5kHz 101: 設定禁止 110: 設定禁止 111: 0kHz |

【説明】

1. 本レジスタへの設定方法は、「IF 周波数の設定」を参照してください。

0x62【OSC_ADJ1】

機能:発振回路端子の負荷容量粗調整

アドレス:0x62 (BANK0)

初期値:0x88

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------------------|------|-----|-------------------------|
| 7:4 | OSC_ADJ_COARSE_XO [3:0] | 1000 | R/W | XO 容量負荷粗調整 約 0.5pF/step |
| 3:0 | OSC_ADJ_COARSE_XI [3:0] | 1000 | R/W | XI 容量負荷粗調整 約 0.5pF/step |

【説明】

1. 本レジスタへの設定方法は、「発振回路の調整」を参照してください。

0x63【OSC_ADJ2】

機能:発振回路端子の負荷容量微調整

アドレス:0x63 (BANK0)

初期値:0x80

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|--|
| 7:0 | OSC_ADJ_FINE[7:0] | 1000_0000 | R/W | 容量負荷微調整 約 0.03pF/step (調整範囲 0x00~0xFF) |

【説明】

1. 本レジスタへの設定方法は、「発振回路の調整」を参照してください。

0x64【Reserved】

機能:予約

アドレス:0x64 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x65【OSC_ADJ4】

機能:発振回路バイアス調整(起動時)

アドレス:0x65 (BANK0)

初期値:0x0F

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|--------|-----|---|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5 | OSC_START_SET | 0 | R/W | OSC 起動モード設定 0: 高速起動モード [OSC_ADJ1: B0 0x62]=0x00、[OSC_ADJ1: B0 0x63]=0x00 設定から起動する 1: 通常起動モード [OSC_ADJ1: B0 0x62]、[OSC_ADJ1: B0 0x63]で設定する値から起動する ※高速起動モード設定時はクロック安定化完了後、[OSC_ADJ1: B0 0x62]、[OSC_ADJ1: B0 0x63]で設定する値に自動で切替わります。 |
| 4:0 | Reserved | 0_1111 | R/W | 予約 |

0x66【RSSI_ADJ】

機能:RSSI 値の調整

アドレス:0x66 (BANK0)

初期値:0x1E

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|---------|-----|-----------------------------------|
| 7 | RSSI_ADD | 0 | R/W | RSSI 調整 0: -に設定する 1: +に設定する |
| 6 | Reserved | 0 | R/W | 予約 |
| 5:0 | RSSI_ADJ[5:0] | 01_1110 | R/W | RSSI 補正值設定 |

【説明】

1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。

0x67【PA_MODE】

機能:PA モード設定/PA 用レギュレータの調整

アドレス:0x67 (BANK0)

初期値:0x13

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|------|-----|--|
| 7 | Reserved | 0 | R/W | 予約 |
| 6 | PA_RAMP_SEL | 0 | R/W | PA ランプ制御選択設定 常に 0 に設定すること。 |
| 5:4 | PA_MODE[1:0] | 01 | R/W | PA モード設定 00: 0dBm(1mW)モード 01: 10dBm(10mW)モード 10: 13dBm(20mW)モード 11: 使用禁止 |
| 3:0 | PA_REG[3:0] | 0011 | R/W | PA レギュレータの出力電圧調整 ※PA_REG[3]は使用しません。 |

【説明】

1. 本レジスタを使用した調整の仕方に関しては「PA の調整」を参照してください。

0x68【PA_REG_FINE_ADJ】

機能:PA 用レギュレータの出力電圧微調整

アドレス:0x68 (BANK0)

初期値:0x10

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------------|--------|-----|--|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4:0 | PA_REG_FINE_ADJ [4:0] | 1_0000 | R/W | PA レギュレータの出力電圧微調整設定 ※本レジスタで PA 出力を 0.2dB 未満のステップで調整することができます。 |

【説明】

1. 本レジスタを使用した調整の仕方に関しては「PA の調整」を参照してください。

0x69【PA_ADJ】

機能:PA 調整

アドレス:0x69 (BANK0)

初期値:0x06

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|------|-----|---|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4 | PA_ADJ[4] | 0 | R/W | PA 出力アンプゲイン調整 0: Low Range 設定 1: High Range 設定 |
| 3:0 | PA_ADJ[3:0] | 0110 | R/W | PA 出力アンプゲイン調整 0b0000 最小設定 ・ ・ ・ ・ 0b1111 最大設定 |

【説明】

1. 本レジスタの使用方法は、「PA の調整」を参照してください。

0x6A【Reserved】(対象機種:ML7345)

機能:予約

アドレス:0x6A (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x6A【CHFIL_BW_CCA】(対象機種: ML7345D)

機能: CCA 時チャンネルフィルタ帯域幅設定

アドレス: 0x6A (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------------|----------|-----|--|
| 7 | CHFIL_WIDE_SET_CCA | 0 | R/W | CCA 時チャンネルフィルタ広帯域設定 0: 常時 CHFIL_BW_ADJ_CCA で設定した帯域 1: 常時 CHFIL_BW_ADJ_CCA で設定した帯域の 2 倍帯域 |
| 6:0 | CHFIL_BW_ADJ_CCA [6:0] | 001_0100 | R/W | CCA 時チャンネルフィルタ帯域幅調整設定 (設定範囲: 1~127) チャンネルフィルタ帯域幅[Hz] = {マスタークロック周波数[Hz] * (CHFIL_WIDE_SET_CCA+1) } / {設定値 * 120 } ※初期値では 10kHz となります。 ※詳細は「チャンネルフィルタ帯域幅の設定」を参照してください。 ※0b000_0000 は 0b000_0001 と認識されます。 |

0x6B-0x6D【Reserved】

機能: 予約

アドレス: 0x6B-0x6D (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x6E【VCO_CAL】

機能: VCO キャリブレーション値の表示と設定

アドレス: 0x6E (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|----------|-----|--|
| 7 | CAL_WR_EN | 0 | R/W | VCO キャリブレーションモード設定 0: 自動設定モード 1: 強制書き込みモード |
| 6:0 | VCO_CAL[6:0] | 000_0000 | R/W | 現在の VCO キャリブレーション値 ※自動設定モードでは、現在適用されている VCO キャリブレーション値を表示します。 強制書き込みモードを設定した場合、キャリブレーション値は VCO_CAL[6:0] に書き込んだ値が強制的に適用されます。 (CAL_WR_EN に 0b0 を設定した場合は値は反映されません。) ※初期値はクロック安定化完了後、0b100_0000 になります。 |

【説明】

- VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x6F【VCO_CAL_START】

機能: VCO キャリブレーション実行

アドレス: 0x6F (BANK0)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----|-----|---|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4 | AUTO_VCOCAL_EN | 0 | R/W | 自動 VCO キャリブレーション実行設定 0: VCO キャリブレーションを自動実行しない 1: SLEEP 復帰時に自動で VCO キャリブレーションを実行する |
| 3:1 | Reserved | 000 | R/W | 予約 |
| 0 | VCO_CAL_START | 0 | R/W | VCO キャリブレーション実行 0: 実行完了 1: 実行開始 ※実行完了後、自動的に 0 に戻ります。 |

【説明】

- VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x70【CLK_CAL_SET】

機能:低速クロックキャリブレーション制御

アドレス:0x70 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|------|-----|---|
| 7:4 | CLK_CAL_DIV[3:0] | 0000 | R/W | キャリブレーション用クロック分周設定 0000: 分周なし 0001: 分周なし 上記以外: 設定値分周 |
| 3:1 | Reserved | 000 | R/W | 予約 |
| 0 | CLK_CAL_START | 0 | R/W | 低速クロックキャリブレーション実行 0: 実行完了 1: 実行開始 ※実行完了後、自動的に0に戻ります。 |

【説明】

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x71【CLK_CAL_TIME】

機能:クロックキャリブレーション時間設定

アドレス:0x71

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|---------|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | CLK_CAL_TIME [5:0] | 00_0000 | R/W | クロックキャリブレーション時間設定 キャリブレーション時間 = ウェイクアップタイム用クロック周期((SLEEP/WU_SET:B0 0x2D(2)))* 設定値 |

【説明】

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x72【CLK_CAL_H】

機能:低速クロックキャリブレーション結果表示(上位バイト)

アドレス:0x72 (BANK0)

初期値:0xFF

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|----------------------|
| 7:0 | CLK_CAL [15:8] | 1111_1111 | R | クロックキャリブレーション(上位バイト) |

【説明】

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x73【CLK_CAL_L】

機能:低速クロックキャリブレーション結果表示(下位バイト)

アドレス:0x73 (BANK0)

初期値:0xFF

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|----------------------|
| 7:0 | CLK_CAL [7:0] | 1111_1111 | R | クロックキャリブレーション(下位バイト) |

【説明】

1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x74【Reserved】

機能:予約

アドレス:0x74 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x75【SLEEP_INT_CLR】

機能:SLEEP 時割込みクリア設定

アドレス:0x75 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|---------|-----|--|
| 7:2 | Reserved | 00_0000 | R/W | 予約 |
| 1 | AUTO_SLEEP_INT_CLR | 0 | R/W | 自動 SLEEP 時割込みクリア設定 0: 割込みクリアしない 1: 割込みクリアする ※ウェイクアップタイム動作中のウェイクアップ時に自動で割込みをクリアします。 |
| 0 | SLEEP_INT_CLR | 0 | R/W | SLEEP 時割込みクリア設定 0: 割込みクリアしない 1: 割込みクリアする ※SLEEP 中は[INT_SOURCE_GRP*: B0 0x0D/0E/0F]での割込みクリアはできません。本ビットを 0b1 に設定することにより、SLEEP 中に割込みをクリアすることができます。SLEEP 中のみ書き込み可能で、SLEEP 解除により 0b0 に戻ります。 ※対象となる割込みは全割込み([INT_SOURCE_GRP*: B0 0x0D/0E/0F])です。 |

0x76【RF_TEST_MODE】

機能:送信テストパターン設定

アドレス:0x76 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----|-----|---|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5 | TEST5 | 0 | R/W | CW 出力設定 |
| 4 | TEST4 | 0 | R/W | “01”パターン出力設定 |
| 3 | TEST3 | 0 | R/W | ALL”0”出力設定 |
| 2 | TEST2 | 0 | R/W | ALL”1”出力設定 |
| 1 | TEST1 | 0 | R/W | PN9 出力設定 |
| 0 | TEST_EN | 0 | R/W | テストモードイネーブル制御 0: テスト設定を無効にする 1: テスト設定を有効にする |

【説明】

- 通常動作時には、必ず本レジスタの全てのビットを 0b0 にしてください。
- 複数のテストパターンが有効に設定された場合は、ビット番号の低い設定が有効となります。
- データレートは、TX_DRATE[3:0]([DRATA_SET: B0 0x06(3-0)])の設定値が適用されます。
- PN9 出力設定時の PN9 生成回路は、[WHT_CFG: B1 0x66]にて任意の生成多項式に設定可能です。
市販 BER 計の多くで対応している PN9 の生成多項式は x^9+x^4+1 であり、[WHT_CFG: B1 0x66]を 0x08 に設定することで対応可能です。
- テスト設定を有効にした状態で変調の設定(GFSK と FSK の切替え(FSK_SEL([DATA_SET2: B0 0x08(5)]))、周波数偏位設定([FSK_CTRL: B1 0x2F]～[FSK_TIM_ADJ0: B1 0x40]))を変更しないでください。設定を変更する場合は、テスト設定を無効(TEST_EN=0b0)にしてから設定してください。
- FSK 設定時、本テストモードを使用する場合、①TX_ON 後にテストモードを有効設定(TEST_EN=0b1)にするか、または②テストモードを有効設定後 TX_ON する場合は MODEMリセット([RST_SET: B0 0x01]=0x22)を実行してください。

0x77【STM_STATE】

機能:ステートマシン状態表示/プリアンブル検出状態表示

アドレス:0x77 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|--------|-----|---|
| 7 | MODE_DET_RSLT | 0 | R | Mode T/C 受信結果表示 0: Mode T 受信 1: Mode C 受信 ※本ビットは 2MODE_DET_EN([2MODE_DET: B3 0x23(0)])=0b1 設定時に有効です。 ※SyncWord 検出後、本表示値が有効となります。SyncWord 検出毎に更新されます。 |
| 6 | SYNC_STATE | 0 | R | 受信同期検出状態表示 0: 未同期状態 1: 同期状態 |
| 5 | SW_DET_RSLT | 0 | R | SyncWord 検出状態表示 0: 同期ワードパターン 1(FormatA)検出 1: 同期ワードパターン 2(FormatB)検出 ※Wireless M-Bus 対応パケットフォーマット(FormatA/B)設定 (PKT_FORMAT[PKT_CTRL1: B0 0x04(1-0)]=0b00 または 0b01) 時のみ有効です。 ※SyncWord 検出後、本表示値が有効となります。SyncWord 検出毎に更新されます。 ※2MODE_DET_EN([2MODE_DET: B3 0x23(0)])=0b1 設定時、Mode T で受信した場合、本表示値は無効となります。 |
| 4:0 | PHY_STATE[4:0] | 0_0000 | R | ステートマシン状態表示 0_0000: IDLE 状態 0_0001: プリアンブル送信ステート 0_0010: SyncWord 送信ステート 0_0011: L-field 送信ステート 0_0100: Data 領域送信ステート 0_0101: ポストアンプル送信ステート 0_0110: 送信遅延待ちステート 0_0111: DIO 送信ステート 1_0010: SyncWord 検出待ちステート 1_0011: L-field 受信ステート 1_0100: データ領域受信ステート 1_0111: DIO 受信ステート |

0x78【FIFO_SET】

機能:FIFOリード設定

アドレス:0x78 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|---------|-----|--|
| 7:2 | Reserved | 00_0000 | R/W | 予約 |
| 1 | FAST_CCA_LC | 0 | R/W | 高速電波チェック時の低消費電力モード設定 0: ディセーブル 1: イネーブル ※高速電波チェック中は復調器動作を停止します。 |
| 0 | FIFO_R_SEL | 0 | R/W | FIFOリード設定 0: 受信 FIFO をリードする 1: 送信 FIFO をリードする ※送信、受信バッファをリードする場合、[RD_FIFO:B0 0x7F]レジスタを共用します。そのため、0b1 設定し送信 FIFO をリードする場合、[TX_PKT_LEN_H/L: B0 0x7A/7B]で設定する Length 分のデータを FIFO リード するか、読み出し後に STATE_CLR1([STATE_CLR: B0 0x16(1)])=0b1 を設定して、受信 FIFO ポインタのクリアを実行してください。途中で読み出しを停止して、受信 FIFO のリードに切り替えた場合、停止させたポインタから読み出しを開始するため、受信データを正常に読み出せなくなります。 |

0x79【RX_FIFO_LAST】

機能:受信 FIFO の使用量表示(上位バイト)

アドレス:0x79 (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|---------|-----|---|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | RX_FIFO_LAST[5:0] | 00_0000 | R | 受信時 FIFO データ使用量表示(表示範囲 0~63) ※詳細は「FIFO 制御機能」を参照してください。 |

0x7A【TX_PKT_LEN_H】(対象機種: ML7345)

機能:送信パケット Length 設定(上位バイト)

アドレス:0x7A (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|---|
| 7:0 | TX_PKT_LEN[15:8] | 0000_0000 | R/W | 送信パケット Length 値設定(上位バイト) ※送信する Length を設定します。 FormatA・・・L-field/CRC-field を除く Length を設定します。 FormatB/C・・・L-field を除く Length を設定します。 ※[TX_PKT_LEN_L:B0 0x7B]レジスタの 8 ビットと共に全 16 ビットから算出されます。上位バイトは LENGTH_MODE([PKT_CTRL2: B0 0x05(1-0)])=0b01 設定時のみ有効となります。 ※詳細は「FIFO 制御機能」を参照してください。 |

0x7A【TX_PKT_LEN_H】(対象機種: ML7345D)

機能:送信パケット Length 設定(上位バイト)

アドレス:0x7A (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|---|
| 7:0 | TX_PKT_LEN[15:8] | 0000_0000 | R/W | 送信パケット Length 値設定(上位バイト) ※送信する Length を設定します。 FormatA・・・L-field/CRC-field を除く Length を設定します。 FormatB/C・・・L-field を除く Length を設定します。 Format D・・・Data-field から CRC-field までのデータ長を設定します。 ※[TX_PKT_LEN_L:B0 0x7B]レジスタの 8 ビットと共に全 16 ビットから算出されます。上位バイトは LENGTH_MODE([PKT_CTRL: B0 0x05(1-0)])=0b01 設定時のみ有効となります。 ※詳細は「FIFO 制御機能」を参照してください。 |

0x7B【TX_PKT_LEN_L】

機能:送信パケット Length 設定(下位バイト)

アドレス:0x7B (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|---|
| 7:0 | TX_PKT_LEN[7:0] | 0000_0000 | R/W | 設定パケット Length 値設定(下位バイト) ※詳細は[PKT_LEN_H: B0 0x7A]レジスタをご参照ください。 |

0x7C【WR_TX_FIFO】

機能:送信 FIFO

アドレス:0x7C (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|---|
| 7:0 | TX_FIFO[7:0] | 0000_0000 | W | 送信 FIFO ※本 LSI に格納できる送信データはパケット長に関係なく 1 パケットまでとなります。1 パケットのデータを格納した状態(データ送信要求受付完了割込み INT[17] (group3)発生後から送信完了割込み INT16 (gropu3)発生まで)で、次の書き込み動作を行うと FIFO は上書きされ、送信 FIFO アクセスエラー割込み(INT[20])が発生します。送信 FIFO アクセスエラーが発生した場合、送信 FIFO クリア STATE_CLR0([STATE_CLR: B0 0x16(0)])を 0b1 に設定し、送信 FIFO ポインタのクリアを実行してください。 ※詳細は「FIFO 制御機能」を参照してください。 |

0x7D【RX_PKT_LEN_H】(対象機種: ML7345)

機能:受信パケット Length 表示(上位バイト)

アドレス:0x7D (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|--|
| 7:0 | RX_PKT_LEN[15:8] | 0000_0000 | R | 受信パケット Length 値表示(上位バイト) L-field を除くパケット Length を表示します。 |

0x7D【RX_PKT_LEN_H】(対象機種: ML7345D)

機能:受信パケット Length 設定/表示(上位バイト)

アドレス:0x7D (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|--|
| 7:0 | RX_PKT_LEN[15:8] | 0000_0000 | R/W | 受信パケット Length 値設定/表示(上位バイト) ※FormatA/B/C・・・L-field を除くパケット Length を表示します。 ※FormatD・・・L-field がないパケット構成のため、本設定値を受信 Length 値として FIFO 制御(FIFO からのデータ読み出し制御)が行われます。 Data-field から CRC-field までのデータ長を設定してください。 |

0x7E【RX_PKT_LEN_L】(対象機種: ML7345)

機能:受信パケット Length 表示(下位バイト)

アドレス:0x7E (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|--|
| 7:0 | RX_PKT_LEN[7:0] | 0000_0000 | R | 受信パケット Length 値表示(下位バイト) ※詳細は[RX_PKT_LEN_H: B0 0x7D]レジスタをご参照ください。 |

0x7E【RX_PKT_LEN_L】(対象機種: ML7345D)

機能:受信パケット Length 設定/表示(下位バイト)

アドレス:0x7E (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|---|
| 7:0 | RX_PKT_LEN[7:0] | 0000_0000 | R/W | 受信パケット Length 値設定/表示(下位バイト) ※詳細は[RX_PKT_LEN_H: B0 0x7D]レジスタをご参照ください。 |

0x7F【RD_FIFO】

機能: FIFO リード

アドレス:0x7F (BANK0)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|---|
| 7:0 | RD_FIFO[7:0] | 0000_0000 | R | FIFO リード ※FIFO_R_SEL([FIFO_SET: B0 0x78(0)])で設定した FIFO 面をリードします。 ※受信時、本 LSI に格納できる受信データはパケット長に関係なく 1 パケットまでとなります。1 パケットのデータが格納されている状態で次のパケットを受信した場合、FIFO は上書きされません。 ※FIFO データを全て読み出す必要がない場合、受信 FIFO クリア STATE_CLR1([STATE_CLR: B0 0x16(1)])を 0b1 に設定し、受信 FIFO ポインタのクリアを実行してください。 ※詳細は「FIFO 制御機能」を参照してください。 ※スリープ中に FIFO をリードした場合は、受信 FIFO クリア STATE_CLR1([STATE_CLR: B0 0x16(1)])を 0b1 に設定し、受信 FIFO ポインタのクリアを実行してください。 |

●レジスタ BANK1

0x00【BANK_SEL】

【説明】

[BANK_SEL:B0 0x00]を参照ください。

0x01【CLK_OUT】

機能:CLKOUT の出力クロック周波数設定

アドレス:0x01 (BANK1)

初期値:0x05

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|---|
| 7:0 | CLK_DIV[7:0] | 0000_0101 | R/W | <p>出力クロック周波数設定 下記計算式で出力されます</p> <p>0000_0000: 24MHz 0000_0001: 12MHz 0000_0010: 8MHz(デューティ比・・・High:Low=1:2) 0000_0011: 6MHz 0000_0100: 4MHz 0000_0101: 3MHz 0000_0110: 2.4MHz 0000_0111: 0.75MHz 0000_1000: 0.375MHz</p> <p>上記以外: 下記の計算式で出力周波数が決定されます。 出力周波数 = $24 / (16 \times [\text{設定値}] + 2)$ [MHz] 例えば、0x09 を設定した場合は、 出力周波数 = $24 / (16 \times 9 + 2) = 164\text{kHz}$ となります。</p> |

0x02【TX_RATE_H】

機能:送信データレート設定(上位バイト)

アドレス:0x02 (BANK1)

初期値:0x01

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|------|-----|--|
| 7:4 | Reserved | 0000 | R/W | 予約 |
| 3:0 | TX_RATE[11:8] | 0001 | R/W | <p>送信データレート変換設定(上位バイト) ※[TX_RATE_L: B1 0x03]レジスタの 8 ビットと共に全 12 ビットから算出されます。 任意のレートを設定する場合、下式から算出される値を設定します。</p> <p>設定値 = $\text{round}(\text{マスタークロック周波数} / 10 / [\text{任意のビットレート}])$</p> <p>※詳細は「データレート設定機能」を参照してください。</p> |

0x03【TX_RATE_L】

機能:送信データレート変換設定(下位バイト)

アドレス:0x03 (BANK1)

初期値:0xF4

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|---|
| 7:0 | TX_RATE[7:0] | 1111_0100 | R/W | <p>送信データレート変換設定(下位バイト) ※詳細は[TX_RATE_H]レジスタをご参照ください。</p> |

0x04【RX_RATE1_H】

機能:受信データレート設定 1(上位バイト)

アドレス:0x04 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|------|-----|---|
| 7:4 | Reserved | 0000 | R/W | 予約 |
| 3:0 | RX_RATE1[11:8] | 0000 | R/W | <p>受信データレート変換設定(上位バイト) ※[RX_RATE_L: B1 0x05]レジスタの 8 ビットと共に全 12 ビットから算出されます。 任意のレートを設定する場合、下式から算出される値を設定します。</p> <p>設定値 = round ({ マスタークロック周波数/N } / { [任意のビットレート] * [RX_RATE2: B1 0x06]レジスタ }) ここで、N は以下となります。 N=1(LOW_RATE_EN([CLK_SET2: B0 0x03(0)])=0b0 設定時) N=2(LOW_RATE_EN([CLK_SET2: B0 0x03(0)])=0b1 設定時)</p> <p>※詳細は「データレート設定機能」を参照してください。</p> |

0x05【RX_RATE1_L】

機能:受信データレート設定 1(下位バイト)

アドレス:0x05 (BANK1)

初期値:0x14

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|---|
| 7:0 | RX_RATE1[7:0] | 0001_0100 | R/W | <p>受信データレート変換設定(下位バイト) ※詳細は[RX_RATE1_H]レジスタをご参照ください。</p> |

0x06【RX_RATE2】

機能:受信データレート設定 2

アドレス:0x06 (BANK1)

初期値:0x7D

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|----------|-----|--|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:0 | RX_RATE2[6:0] | 111_1101 | R/W | <p>受信データレート変換設定 2(設定範囲: 30~127) ※RX_RATE1 と組み合わせて任意のレートを設定します。詳細は [RATE_SET1_H/L]レジスタをご参照ください。 ※0x01 以上 0x1D 以下の値は設定しないでください。ただし、0x00 設定時は 128 と認識します。</p> |

0x07【Reserved】

機能:予約

アドレス:0x07(BANK1)

初期値:0xFE

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 1111_1110 | R/W | 予約 |

0x08【OSC_W_SEL】

機能:クロック安定化待ち時間設定

アドレス:0x08 (BANK1)

初期値:0x40

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|--------|-----|---|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:5 | OSC_W_SEL[1:0] | 10 | R/W | クロック安定化待ち時間設定 00: 500 μ s 01: 250 μ s 10: 50 μ s 11: 10 μ s ※本ビットにて電源投入後の起動時、または SLEEP からの復帰時のクロック安定化待ち時間を設定できます。クロック安定化待ち時間のタイミングは「タイムチャート-起動時」を参照してください。 |
| 4:0 | Reserved | 0_0000 | R/W | 予約 |

0x09-0x0A【Reserved】

機能:予約

アドレス:0x09-0x0A(BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x0B【PLL_LOCK_DETECT】

機能:PLL ロック判定設定

アドレス:0x0B (BANK1)

初期値:0x81

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|----------|-----|---|
| 7 | PLL_LD_EN | 1 | R/W | 送信時の PLL ロック外れ検出後の状態設定 0: 送信状態を維持する 1: Force_TRX_OFF により送信強制停止する ※ロック外れを検出すると INT2 (INT_SOURCE_GRP1)を発生させ、設定した状態へ移行します。 ※受信時に PLL ロック外れを検出した場合は、INT[2]発生後に受信状態を継続します。 |
| 6:0 | TIM_PLL_LD[6:0] | 000_0001 | R/W | PLL ロック判定時間調整 PLL ロック検出信号の”H”期間が下記で設定される時間以上となったときにロック状態とみなします。ロック外れ状態は”L”を検出した時点で判断します。 判定時間 = 設定値 x 8 μ s + 1 (デフォルト: 9 μ s) |

【ご注意】

1. PLL ロック外れを検出して IDLE 状態へ強制移行した場合は、次の送受信を行う前に INT[2][INT_SOURCE_GRP1: B0 0x0D(2)]のクリアを必ず行ってください。また、[RF_STATUS:B0 0x0B]レジスタへの書き込みアクセスは 5 μ s 以上経過してから実行してください。
2. PLL ロック外れ検出の条件、検出タイミングについては「VCO の調整」をご参照ください。

0x0C【GAIN_HTOL】

機能: 高ゲインから低ゲインへの切り替え閾値設定

アドレス: 0x0C (BANK1)

初期値: 0x93

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|----------------------|
| 7:0 | AGC_TH_HL[7:0] | 1001_0011 | R/W | ゲイン切り替え閾値(高ゲイン⇒低ゲイン) |

【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN_LTOH]レジスタで設定される値の関係が、AGC_TH_HL > AGC_TH_LH の関係になるように設定してください。

0x0D【GAIN_LTOH】

機能:低ゲインから高ゲインへの切り替え閾値設定

アドレス:0x0D (BANK1)

初期値:0x35

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|----------------------|
| 7:0 | AGC_TH_LH[7:0] | 0011_0101 | R/W | ゲイン切り替え閾値(低ゲイン⇒高ゲイン) |

【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN_HTOL]レジスタで設定される値の関係が、
AGC_TH_HL > AGC_TH_LH の関係になるように設定してください。

0x0E【GAIN_HOLD】

機能:ゲイン切替え設定

アドレス:0x0E (BANK1)

初期値:0x80

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|----------|-----|---|
| 7 | GAIN_SYNC_HOLD | 1 | R/W | ゲイン切り替え設定 0: 常時更新 1: 同期確立後にゲイン固定する ※BER 測定時には 0b0 に設定してください。 |
| 6:0 | Reserved | 000_0000 | R/W | 予約 |

0x0F【Reserved】

機能:予約

アドレス:0x0F (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x10【Reserved】(対象機種: ML7345)

機能:予約

アドレス:0x10 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x10【GC_CTRL_DIV】(対象機種: ML7345D)

機能:ダイバーシティ時ゲイン制御設定

アドレス:0x10 (BANK1)

初期値:0x07

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|--------|-----|--|
| 7:3 | Reserved | 0_0000 | R/W | 予約 |
| 2:0 | GC_MODE_DIV[2:0] | 111 | R/W | ゲイン制御モード設定 ※設定に対して有効となるゲインは以下の通りです。 001: 高ゲイン固定 010: 低ゲイン固定 011: 高ゲインと低ゲイン間の切り替え有効 上記: 予約 |

0x11【RSSI_ADJ_L】

機能:低ゲイン動作時の RSSI オフセット値設定

アドレス:0x11 (BANK1)

初期値:0x28

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|----------|-----|----------------------|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:0 | RSSI_GCADD [6:0] | 010_1000 | R/W | 低ゲイン動作時の RSSI オフセット値 |

【説明】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x12【RSSI_STABLE_TIME】

機能:RSSI 安定化待ち時間設定

アドレス:0x12 (BANK1)

初期値:0x25

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----|-----|---|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:4 | RSSI_STABLE2[2:0] | 010 | R/W | <p>高速電波チェック時ゲイン切替後の RSSI 安定待ち時間設定 ※本レジスタで設定された期間は、ゲイン切替に伴う RSSI の収束、安定の時間とし、この期間内の RSSI 値は ED 値算出の対象外となります。 ウェイト時間[s] = 1/{マスタークロック周波数 / CHFIL_BW_ADJ[CHFIL_BW: B0 0x54(6-0)]設定値 / 8} × 待ち時間サンプル数</p> <p>設定値と待ち時間サンプル数との関係は以下となります。 000: 10 サンプル 001: 15 サンプル 010: 20 サンプル 011: 30 サンプル 100: 40 サンプル 101: 50 サンプル 110: 100 サンプル 111: 200 サンプル</p> |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | RSSI_STABLE[2:0] | 101 | R/W | <p>ゲイン切替後の RSSI 安定待ち時間設定 ※本レジスタで設定された期間は、ゲイン切替に伴う RSSI の収束、安定の時間とし、この期間内の RSSI 値は ED 値算出の対象外となります。 ウェイト時間[s] = 1/{マスタークロック周波数 / CHFIL_BW_ADJ[CHFIL_BW: B0 0x54(6-0)]設定値 / 8} × 待ち時間サンプル数</p> <p>設定値と待ち時間サンプル数との関係は以下となります。 000: 10 サンプル 001: 15 サンプル 010: 20 サンプル 011: 30 サンプル 100: 40 サンプル 101: 50 サンプル 110: 100 サンプル 111: 200 サンプル</p> |

【ご注意】

1. 本レジスタへは 0x00 を設定しないでください。また、「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x13【RSSI_MAG_ADJ】

機能:ED 変換用 RSSI 補正設定

アドレス:0x13 (BANK1)

初期値:0x0D

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|-----|-----|--|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4 | RSSI_MAG_D4 | 0 | R/W | RSSI 倍率 2 倍設定 0: 適用しない 1: 適用する |
| 3 | RSSI_MAG_D3 | 1 | R/W | RSSI 倍率 1 倍設定 0: 適用しない 1: 適用する |
| 2 | RSSI_MAG_D2 | 1 | R/W | RSSI 倍率 1/2 倍設定 0: 適用しない 1: 適用する |
| 1 | RSSI_MAG_D1 | 0 | R/W | RSSI 倍率 1/4 倍設定 0: 適用しない 1: 適用する |
| 0 | RSSI_MAG_D0 | 1 | R/W | RSSI 倍率 1/8 倍設定 0: 適用しない 1: 適用する |

【ご注意】

1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。
2. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
3. 本レジスタは 0b1 が設定された倍率の総和によりトータルの倍率が計算されます(例 bit3 と bit1 に 0b1 が書き込まれている場合は、1 倍と 1/4 倍の和からトータル倍率は 1.25 倍となります。)。計算後、値が 0xFF 以上となる場合は 0xFF に制限されます。

0x14【Reserved】

機能:予約

アドレス:0x14(BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x15【AFC/GC_CTRL】(対象機種: ML7345)

機能:AFC /ゲイン制御設定

アドレス:0x15 (BANK1)

初期値:0x81

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|------|-----|--|
| 7 | AFC_EN | 1 | R/W | AFC 制御設定 0: AFC 無効にする 1: AFC 有効にする |
| 6:3 | Reserved | 0000 | R/W | 予約 |
| 2:0 | GC_MODE [2:0] | 001 | R/W | ゲイン制御モード設定 000: 高ゲイン固定 001: 高ゲインと低ゲイン間の切り替え有効 010: 低ゲイン固定 上記以外: 予約 |

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x15【AFC/GC_CTRL】(対象機種: ML7345D)

機能:AFC /ゲイン制御設定

アドレス:0x15 (BANK1)

初期値:0x87

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|------|-----|--|
| 7 | AFC_EN | 1 | R/W | AFC 制御設定 0: AFC 無効にする 1: AFC 有効にする |
| 6:3 | Reserved | 0000 | R/W | 予約 |
| 2:0 | GC_MODE [2:0] | 111 | R/W | ゲイン制御モード設定 001: 高ゲイン固定 010: 低ゲイン固定 011: 高ゲインと低ゲイン間の切り替え有効 上記以外: 予約 |

【ご注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x16【CRC_POLY3】

機能:CRC 生成多項式設定 3

アドレス:0x16 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|----------|-----|-------------|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:0 | CRC_POLY [30:24] | 000_0000 | R/W | CRC 生成多項式設定 |

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x17【CRC_POLY2】

機能: CRC 生成多項式設定 2

アドレス: 0x17 (BANK1)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|-------------|
| 7:0 | CRC_POLY [23:16] | 0000_0000 | R/W | CRC 生成多項式設定 |

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x18【CRC_POLY1】

機能: CRC 生成多項式設定 1

アドレス: 0x18 (BANK1)

初期値: 0x1E

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|-------------|
| 7:0 | CRC_POLY [15:8] | 0001_1110 | R/W | CRC 生成多項式設定 |

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x19【CRC_POLY0】

機能: CRC 生成多項式設定 0

アドレス: 0x19 (BANK1)

初期値: 0xB2

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|-------------|
| 7:0 | CRC_POLY [7:0] | 1011_0010 | R/W | CRC 生成多項式設定 |

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x1A【PLL_DIV_SET】

機能: PLL 周波数分周設定

アドレス: 0x1A (BANK1)

初期値: 0x01

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|------|-----|---|
| 7 | Reserved | 0 | R/W | 予約 |
| 6 | PLL_MODE_SEL | 0 | R/W | PLL モード選択設定 0: PLL_MODE45 により PLL モード切替え 1: 設定禁止 |
| 5:2 | Reserved | 0000 | R/W | 予約 |
| 1:0 | PLL_MODE45 | 01 | R/W | PLL モード設定 00: 分周なし 01: 6 分周 (ML7345D では設定禁止) 10: 2 分周 11: 予約 ※0b01 または 0b10 設定時、PLL 周波数関連の設定は所望の周波数の 6 倍または 2 倍の周波数を設定してください。PLL 周波数関連のレジスタは「周波数設定機能」をご参照ください。 |

0x1B【TXFREQ_I】

機能:送信周波数設定(N および A カウンタ)

アドレス:0x1B (BANK1)

初期値:0x2A

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|---------|-----|----------------|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | TXFREQ_I [5:0] | 10_1010 | R/W | 送信周波数設定 I カウンタ |

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x1C【TXFREQ_FH】

機能:送信周波数設定(F カウンタ上位 4 ビット)

アドレス:0x1C (BANK1)

初期値:0x05

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|------|-----|--------------------------|
| 7:4 | Reserved | 0000 | R/W | 予約 |
| 3:0 | TXFREQ_F [19:16] | 0101 | R/W | 送信周波数設定 F カウンタ(上位 4 ビット) |

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x1D【TXFREQ_FM】

機能:送信周波数設定(F カウンタ中位 8 ビット)

アドレス:0x1D (BANK1)

初期値:0xA0

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|--------------------------|
| 7:0 | TXFREQ_F [15:8] | 1010_0000 | R/W | 送信周波数設定 F カウンタ(中位 8 ビット) |

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x1E【TXFREQ_FL】

機能:送信周波数設定(Fカウンタ下位 8ビット)

アドレス:0x1E (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|------------------------|
| 7:0 | TXFREQ_F[7:0] | 0000_0000 | R/W | 送信周波数設定 Fカウンタ(下位 8ビット) |

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x1F【RXFREQ_I】

機能:受信周波数設定(Iカウンタ)

アドレス:0x1F (BANK1)

初期値:0x2A

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|---------|-----|---------------|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | RXFREQ_I[5:0] | 10_1010 | R/W | 受信周波数設定 Iカウンタ |

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x20【RXFREQ_FH】

機能:受信周波数設定(Fカウンタ上位 4ビット)

アドレス:0x20 (BANK1)

初期値:0x05

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|------|-----|------------------------|
| 7:4 | Reserved | 0000 | R/W | 予約 |
| 3:0 | RXFREQ_F[19:16] | 0101 | R/W | 受信周波数設定 Fカウンタ(上位 4ビット) |

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x21【RXFREQ_FM】

機能:受信周波数設定(Fカウンタ中位 8ビット)

アドレス:0x21 (BANK1)

初期値:0xA0

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|-----------|-----|------------------------|
| 7:0 | RXFREQ_F[15:8] | 1010_0000 | R/W | 受信周波数設定 Fカウンタ(中位 8ビット) |

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x22【RXFREQ_FL】

機能:受信周波数設定(Fカウンタ下位 8ビット)

アドレス:0x22 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|------------------------|
| 7:0 | RXFREQ_F[7:0] | 0000_0000 | R/W | 受信周波数設定 Fカウンタ(下位 8ビット) |

【説明】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x23【CH_SPACE_H】

機能:チャンネル間隔設定(上位バイト)

アドレス:0x23 (BANK1)

初期値:0x0C

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|----------|-----|------------------|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:0 | CH_SPACE[14:8] | 000_1100 | R/W | チャンネル間隔設定(上位バイト) |

【説明】

1. 本レジスタの設定方法は、「チャンネル間隔の設定」を参照してください。

0x24【CH_SPACE_L】

機能:チャンネル間隔設定(下位バイト)

アドレス:0x24 (BANK1)

初期値:0xCC

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|------------------|
| 7:0 | CH_SPACE[7:0] | 1100_1100 | R/W | チャンネル間隔設定(下位バイト) |

【説明】

1. 本レジスタの設定方法は、「チャンネル間隔の設定」を参照してください。

0x25【SYNC_WORD_LEN】

機能:同期ワード長設定

アドレス:0x25 (BANK1)

初期値:0x10

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|---------|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | SYNC_WORD_LEN[5:0] | 01_0000 | R/W | 同期ワード長設定(設定範囲:8~32、単位:ビット) ※0b00_0111 以下の設定は、0b00_1000 として動作します。 ※0b10_0000 以上の設定は、0b10_0000 として動作します。 |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x26【SYNC_WORD_EN】

機能:同期ワードイネーブル設定

アドレス:0x26 (BANK1)

初期値:0x0F

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|------|-----|--|
| 7:4 | Reserved | 0000 | R/W | 予約 |
| 3 | SYNC_WORD_EN3 | 1 | R/W | SYNC_WORD[31:24]イネーブル 0: 検出対象としない 1: 検出対象とする |
| 2 | SYNC_WORD_EN2 | 1 | R/W | SYNC_WORD[23:16]イネーブル 0: 検出対象としない 1: 検出対象とする |
| 1 | SYNC_WORD_EN1 | 1 | R/W | SYNC_WORD[15:8]イネーブル 0: 検出対象としない 1: 検出対象とする |
| 0 | SYNC_WORD_EN0 | 1 | R/W | SYNC_WORD[7:0]イネーブル 0: 検出対象としない 1: 検出対象とする |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x27【SYNCWORD1_SET0】

機能:同期ワードパターン設定 1(ビット 24～31)

アドレス:0x27 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|---------------|
| 7:0 | SYNC_WORD1[31:24] | 0000_0000 | R/W | 同期ワードパターン設定 1 |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x28【SYNCWORD1_SET1】

機能:同期ワードパターン設定 1(ビット 16～23)

アドレス:0x28 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|---------------|
| 7:0 | SYNC_WORD1[23:16] | 0000_0000 | R/W | 同期ワードパターン設定 1 |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x29【SYNCWORD1_SET2】

機能:同期ワードパターン設定 1(ビット 8～15)

アドレス:0x29 (BANK1)

初期値:0xF6

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|---------------|
| 7:0 | SYNC_WORD1[15:8] | 1111_0110 | R/W | 同期ワードパターン設定 1 |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2A【SYNCWORD1_SET3】

機能:同期ワードパターン設定 1(ビット 0～7)

アドレス:0x2A (BANK1)

初期値:0x8D

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|---------------|
| 7:0 | SYNC_WORD1[7:0] | 1000_1101 | R/W | 同期ワードパターン設定 1 |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2B【SYNCWORD2_SET0】

機能:同期ワードパターン設定 2(ビット 24～31)

アドレス:0x2B (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|---------------|
| 7:0 | SYNC_WORD2[31:24] | 0000_0000 | R/W | 同期ワードパターン設定 2 |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2C【SYNCWORD2_SET1】

機能:同期ワードパターン設定 2(ビット 16～23)

アドレス:0x2C (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|---------------|
| 7:0 | SYNC_WORD2[23:16] | 0000_0000 | R/W | 同期ワードパターン設定 2 |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2D【SYNCWORD2_SET2】

機能:同期ワードパターン設定 2(ビット 8～15)

アドレス:0x2D (BANK1)

初期値:0xF6

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|---------------|
| 7:0 | SYNC_WORD2[15:8] | 1111_0110 | R/W | 同期ワードパターン設定 2 |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2E【SYNCWORD2_SET3】

機能:同期ワードパターン設定 2(ビット 0～7)

アドレス:0x2E (BANK1)

初期値:0x72

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|---------------|
| 7:0 | SYNC_WORD2[7:0] | 0111_0010 | R/W | 同期ワードパターン設定 2 |

【説明】

1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2F【FSK_CTRL】

機能: FSK 変調タイミング分解能設定

アドレス: 0x2F (BANK1)

初期値: 0x04

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|-----|-----|--|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4 | BT_SEL | 0 | W | BT 選択設定 0: 係数任意設定([FSK_D0_H/GFIL0: B1 0x32]~[FSK_D0_H/GFIL6: B1 0x38])の値が有効となります) 1: BT=0.3 ※読み出し値は常に 0b0 です。 |
| 3:1 | GFSK_CLKX | 010 | R/W | GFSK クロック設定 000: 1 倍クロック動作 001: 2 倍クロック動作 010: 4 倍クロック動作 100: 8 倍クロック動作 上記以外: 予約 |
| 0 | FSK_CLK_SET | 0 | R/W | 2FSK 時の変調タイミング分解能設定 0: 4MHz 分解能 1: 12MHz 分解能 ※本 LSI では 0b0 を設定してください。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x30【GFSK_DEV_H】

機能: GFSK 時の周波数偏位設定(上位 6 ビット)

アドレス: 0x30 (BANK1)

初期値: 0x02

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|---------|-----|-----------------------|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | GFSK_DEV[13:8] | 00_0010 | R/W | GFSK 時の周波数偏位設定(上位バイト) |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x31【GFSK_DEV_L】

機能:GFSK 時の周波数偏位設定(下位バイト)

アドレス:0x31 (BANK1)

初期値:0x75

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|-----------------------|
| 7:0 | GFSK_DEV[7:0] | 0111_0101 | R/W | GFSK 時の周波数偏位設定(下位バイト) |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x32【FSK_DEV0_H/GFIL0】

機能:FSK 時の第 1 周波数偏位設定(上位 6 ビット)/GFSK 時のガウシアンフィルタ係数設定 0

アドレス:0x32 (BANK1)

初期値:0x24

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------------------|---------|-----|---|
| 7:6 | GFIL0[7:6] | 00 | R/W | ガウシアンフィルタ係数設定 0 ※ガウシアンフィルタ係数のビット範囲は bit7-0 です。 |
| 5:0 | FSK_DEV0[13:8]/ GFIL0[5:0] | 10_0100 | R/W | FSK 時の第 1 周波数偏位設定(上位 6 ビット)/ ガウシアンフィルタ係数設定 0 ※FSK 第 1 周波数偏位は[FSK_DEV0_L/GFIL1:B1 0x33]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ係数(BT=0.5)設定です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共有しています。

0x33【FSK_DEV0_L/GFIL1】

機能:FSK 時の第 1 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 1

アドレス:0x33 (BANK1)

初期値:0xD6

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------------------|-----------|-----|---|
| 7:0 | FSK_DEV0[7:0]/ GFIL1[7:0] | 1101_0110 | R/W | FSK 時の第 1 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 1 ※FSK 第 1 周波数偏位は[FSK_DEV0_H/GFIL0:B1 0x32]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ係数(BT=0.5)設定です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共有しています。

0x34【FSK_DEV1_H/GFIL2】

機能:FSK 時の第 2 周波数偏位設定(上位バイト)/GFSK 時のガウシアンフィルタ係数設定 2

アドレス:0x34 (BANK1)

初期値:0x19

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------------------|---------|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | FSK_DEV1[13:8]/ GFIL2[5:0] | 01_1001 | R/W | FSK 時の第 2 周波数偏位設定(上位 6 ビット) / ガウシアンフィルタ係数設定 2 ※FSK 第 2 周波数偏位は[FSK_DEV1_L/GFIL3:B1 0x35]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ係数(BT=0.5)設定です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x35【FSK_DEV1_L/GFIL3】

機能:FSK 時の第 2 周波数偏位設定(下位バイト)/GFSK 時のガウシアンフィルタ係数設定 3

アドレス:0x35 (BANK1)

初期値:0x29

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------------------|-----------|-----|---|
| 7:0 | FSK_DEV1[7:0]/ GFIL3[5:0] | 0010_1001 | R/W | FSK 時の第 2 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 3 ※FSK 第 2 周波数偏位は[FSK_DEV1_H/GFIL2:B1 0x34]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ係数(BT=0.5)設定です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x36【FSK_DEV2_H/GFIL4】

機能:FSK 時の第 3 周波数偏位設定(上位バイト)/GFSK 時のガウシアンフィルタ係数設定 4

アドレス:0x36 (BANK1)

初期値:0x3A

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------------------|---------|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | FSK_DEV2[13:8]/ GFIL4[5:0] | 11_1010 | R/W | FSK 時の第 3 周波数偏位設定(上位 6 ビット) / ガウシアンフィルタ係数設定 4 ※FSK 第 3 周波数偏位は[FSK_DEV2_L/GFIL5:B1 0x37]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ係数(BT=0.5)設定です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x37【FSK_DEV2_L/GFIL5】

機能:FSK 時の第 3 周波数偏位設定(下位バイト)/GFSK 時のガウシアンフィルタ係数設定 5

アドレス:0x37 (BANK1)

初期値:0x48

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------------------|-----------|-----|---|
| 7:0 | FSK_DEV2[7:0]/ GFIL5[7:0] | 0100_1000 | R/W | FSK 時の第 3 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 5 ※FSK 第 3 周波数偏位は[FSK_DEV2_H/GFIL4:B1 0x36]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ係数(BT=0.5)設定です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x38【FSK_DEV3_H/GFIL6】

機能:FSK 時の第 4 周波数偏位設定(上位 6 ビット)/GFSK 時のガウシアンフィルタ係数設定 6

アドレス:0x38 (BANK1)

初期値:0x4C

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------------------|---------|-----|--|
| 7:6 | GFIL6[7:6] | 01 | R/W | ガウシアンフィルタ係数設定 6 ※ガウシアンフィルタ係数のビット範囲は bit7-0 です。 |
| 5:0 | FSK_DEV3[13:8]/ GFIL6[5:0] | 00_1100 | R/W | FSK 時の第 4 周波数偏位設定(上位 6 ビット) / ガウシアンフィルタ係数設定 6 ※FSK 第 4 周波数偏位は[FSK_DEV3_L:B1 0x39]レジスタの 8 ビットと共に全 14 ビットから算出されます。 ※初期設定はガウシアンフィルタ係数(BT=0.5)設定です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x39【FSK_DEV3_L】

機能:FSK 時の第 4 周波数偏位設定(下位バイト)

アドレス:0x39 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|--|
| 7:0 | FSK_DEV3[7:0] | 0000_0000 | R/W | FSK 時の第 4 周波数偏位設定(下位バイト) ※[FSK_DEV3_H/GFIL6:B1 0x38]レジスタの 6 ビットと共に全 14 ビットから算出されます。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3A【FSK_DEV4_H】

機能:FSK 時の第 5 周波数偏位設定(上位 6 ビット)

アドレス:0x3A (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------|---------|-----|---|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | FSK_DEV4[13:8] | 00_0000 | R/W | FSK 時の第 5 周波数偏位設定(上位 6 ビット) ※初期設定で 0kHz となります。 ※[FSK_DEV4_L:B1 0x3B]レジスタの 8 ビットと共に全 14 ビットから算出されます。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3B【FSK_DEV4_L】

機能:FSK 時の第 5 周波数偏位設定(下位バイト)

アドレス:0x3B (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|---|
| 7:0 | FSK_DEV4[7:0] | 0000_0000 | R/W | FSK 時の第 5 周波数偏位設定(下位バイト) ※[FSK_DEV4_H:B1 0x3A]レジスタの 6 ビットと共に全 14 ビットから算出されます。 ※初期設定では 0kHz となります。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3C【FSK_TIM_ADJ4】

機能:FSK 時の第 4 周波数偏位の保持時間設定

アドレス:0x3C (BANK1)

初期値:0x2D

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|--|
| 7:0 | FSK_TIM_ADJ4[7:0] | 0010_1101 | R/W | FSK 時の第 4 周波数偏位保持時間 ※bit7 のみ Write only です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3D【FSK_TIM_ADJ3】

機能:FSK 時の第 3 周波数偏位の保持時間設定

アドレス:0x3D (BANK1)

初期値:0x2D

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|--|
| 7:0 | FSK_TIM_ADJ3[7:0] | 0010_1101 | R/W | FSK 時の第 3 周波数偏位保持時間設定 ※bit7 のみ Write only です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3E【FSK_TIM_ADJ2】

機能:FSK 時の第 2 周波数偏位の保持時間設定

アドレス:0x3E (BANK1)

初期値:0x2D

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|--|
| 7:0 | FSK_TIM_ADJ2[7:0] | 0010_1101 | R/W | FSK 時の第 2 周波数偏位保持時間設定 ※bit7 のみ Write only です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3F【FSK_TIM_ADJ1】

機能:FSK 時の第 1 周波数偏位の保持時間設定

アドレス:0x3F (BANK1)

初期値:0x2D

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|--|
| 7:0 | FSK_TIM_ADJ1[7:0] | 0010_1101 | R/W | FSK 時の第 1 周波数偏位保持時間設定 ※bit7 のみ Write only です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x40【FSK_TIM_ADJ0】

機能:FSK 時の周波数無偏位(キャリア周波数)の保持時間設定

アドレス:0x40 (BANK1)

初期値:0x2D

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|--|
| 7:0 | FSK_TIM_ADJ0[7:0] | 0010_1101 | R/W | FSK 時の無周波数偏位(キャリア周波数)保持時間 ※bit7 のみ Write only です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x41【4FSK_DATA_MAP】

機能:4FSK 時のデータマッピング設定

アドレス:0x41 (BANK1)

初期値:0xE1

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----|-----|--|
| 7:6 | FSK4_FREQ3[1:0] | 11 | R/W | 第 4 周波数偏位時のデータ設定 ※プラス側への最大周波数偏位時の設定です。 |
| 5:4 | FSK4_FREQ2[1:0] | 10 | R/W | 第 3 周波数偏位時のデータ設定 |
| 3:2 | FSK4_FREQ1[1:0] | 00 | R/W | 第 2 周波数偏位時のデータ設定 |
| 1:0 | FSK4_FREQ0[1:0] | 01 | R/W | 第 1 周波数偏位時のデータ設定 ※マイナス側への最大周波数偏位時の設定です。 |

【説明】

1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. デフォルト値は Wireless M-Bus のデータマッピングとなっています。

0x42【FREQ_ADJ_H】

機能:送信受信周波数微調整設定(上位バイト)

アドレス:0x42 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|--------|-----|---|
| 7 | FREQ_ADJ_SIGN | 0 | R/W | 送信受信周波数微調整の符号設定 0: マイナス 1: プラス |
| 6:2 | Reserved | 0_0000 | R/W | 予約 |
| 1:0 | FREQ_ADJ[9:8] | 00 | R/W | 送信受信周波数微調整設定 (上位 2 ビット) ※[FREQ_ADJ_L:B1 0x43]レジスタの 8 ビットと共に全 10 ビットから算出されます。 |

【説明】

1. 本レジスタの設定方法は、「送受信周波数の調整」を参照してください。

0x43【FREQ_ADJ_L】

機能:送受信周波数調整設定(下位バイト)

アドレス:0x43(BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|---|
| 7:0 | FREQ_ADJ[7:0] | 0000_0000 | R/W | 送受信周波数微調整設定 (下位バイト) ※[FREQ_ADJ_H:B1 0x42]レジスタの 2 ビットと共に全 10 ビットから算出されます。 |

【説明】

1. 本レジスタの設定方法は、「送受信周波数の調整」を参照してください。

0x44-0x47【Reserved】

機能:予約

アドレス:0x44-0x47 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x48【2DIV_MODE】

機能:アンテナダイバーシティモード設定

アドレス:0x48 (BANK1)

初期値:0x01

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----|-----|---|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4 | SEARCH_MODE | 0 | R/W | アンテナダイバーシティモード設定 0: アンテナダイバーシティFAST モードを使用しない 1: アンテナダイバーシティFAST モードを使用する ※FAST モード設定時、SEARCH_TIME1([2DIV_SEARCH1: B1 0x49(6-0)])での ANT サーチで取得した ED 値が[2DIV_FAST_LVL: B1 0x4B]を超えていた場合、以降のサーチはせず、ANT を確定します。 |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | 2DIV_ED_AVG [1:0] | 001 | R/W | アンテナダイバーシティ時の ED 値算出時の平均回数設定 000: 1 回平均 001: 2 回平均 010: 4 回平均 011: 8 回平均 100: 16 回平均 101: 32 回平均 上記以外: 16 回平均 |

【説明】

1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

0x49【2DIV_SEARCH1】

機能:アンテナダイバーシティサーチ時間設定

アドレス:0x49 (BANK1)

初期値:0x8E

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|----------|-----|--|
| 7 | SEARCH_TIME_SET | 1 | R/W | アンテナダイバーシティサーチ時間分解能設定 0: 16μsec 1: 256μsec ※bit6-0 の SEARCH_TIME1 および[2DIV_SEARCH2]レジスタ bit6-0(SEARCH_TIME2)にて設定するダイバーシティサーチ時間の時間分解能を設定します。 |
| 6:0 | SEARCH_TIME1[6:0] | 000_1110 | R/W | アンテナダイバーシティサーチ時間設定 1 サーチ時間 = (設定値+1)×サーチ時間時間分解能 ※最初の同期検出までの ANT1 または ANT2 のサーチ時間を設定します。 |

【説明】

1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

0x4A【2DIV_SEARCH2】

機能:アンテナダイバーシティサーチ時間設定

アドレス:0x4A (BANK1)

初期値:0x0E

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|----------|-----|---|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:0 | SEARCH_TIME2[6:0] | 000_1110 | R/W | アンテナダイバーシティサーチ時間設定 2 サーチ時間 = 設定値×サーチ時間時間分解能 ※同期検出後、直前の ANT とは異なる ANT でのサーチ時間を設定します。 |

【説明】

1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

0x4B【2DIV_FAST_LVL】

機能:アンテナダイバーシティ FAST モードの ED 閾値設定

アドレス:0x4B (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|-----------------------------|
| 7:0 | 2DIV_FAST_LVL[7:0] | 0000_0000 | R/W | アンテナダイバーシティ FAST モードの ED 閾値 |

0x4C【Reserved】

機能:予約

アドレス:0x4C (BANK1)

初期値:0x06

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0110 | R/W | 予約 |

0x4D【VCO_CAL_MIN_I】

機能:VCO キャリブレーション下限周波数設定(I カウンタ)

アドレス:0x4D (BANK1)

初期値:0x2A

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|---------|-----|-------------------------------|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:0 | VCO_CAL_MIN_I[5:0] | 10_1010 | R/W | VCO キャリブレーション下限周波数設定 (I カウンタ) |

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 400kHz 低い値を設定してください。

0x4E【VCO_CAL_MIN_FH】

機能:VCO キャリブレーション下限周波数設定(F カウンタ上位 4 ビット)

アドレス:0x4E (BANK1)

初期値:0x01

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------------------|------|-----|--|
| 7:4 | Reserved | 0000 | R/W | 予約 |
| 3:0 | VCO_CAL_MIN_F[19:16] | 0001 | R/W | VCO キャリブレーション下限周波数設定 (F カウンタ上位 4 ビット) |

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 400k Hz 低い値を設定してください。

0x4F【VCO_CAL_MIN_FM】

機能:VCO キャリブレーション下限周波数設定(F カウンタ中位 8 ビット)

アドレス:0x4F (BANK1)

初期値:0xA0

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------------|-----------|-----|--|
| 7:0 | VCO_CAL_MIN_F[15:8] | 1010_0000 | R/W | VCO キャリブレーション下限周波数設定 (F カウンタ中位 8 ビット) |

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 400kHz 低い値を設定してください。

0x50【VCO_CAL_MIN_FL】

機能:VCO キャリブレーション下限周波数設定(F カウンタ下位 8 ビット)

アドレス:0x50 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|-----------|-----|--|
| 7:0 | VCO_CAL_MIN_F[7:0] | 0000_0000 | R/W | VCO キャリブレーション下限周波数設定 (F カウンタ下位 8 ビット) |

【説明】

1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】

1. 下限周波数は、実際に運用する周波数に対して 400kHz 低い値を設定してください。

0x51【VCO_CAL_MAX_N】

機能: VCO キャリブレーションの上限周波数設定

アドレス: 0x51 (BANK1)

初期値: 0x04

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|------|-----|--|
| 7:4 | Reserved | 0000 | R/W | 予約 |
| 3:0 | VCO_CAL_MAX_N[3:0] | 0100 | R/W | VCO キャリブレーション上限周波数範囲(下限周波数からの Δ F) 0000: 0MHz 0001: 0.75MHz 0010: 1.5MHz 0011: 3MHz 0100: 6 MHz 0101: 12 MHz 0110: 24 MHz 0111: 48MHz 上記以外: 設定禁止 |

【説明】

- VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
- 周波数の設定方法に関しては、「VCO 上限周波数の設定」を参照してください。

【ご注意】

- 上限値の設定は、実際に運用する周波数範囲が完全に含まれるように設定してください。

0x52【VCAL_MIN】

機能: 下限側 VCO キャリブレーション値表示と設定

アドレス: 0x52 (BANK1)

初期値: 0x40

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|----------|-----|--|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:0 | VCAL_MIN[6:0] | 100_0000 | R/W | 下限側 VCO キャリブレーション値 ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。 |

【説明】

- VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x53【VCAL_MAX】

機能: 上限側 VCO キャリブレーション値表示と設定

アドレス: 0x53 (BANK1)

初期値: 0x40

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|----------|-----|--|
| 7 | Reserved | 0 | R/W | 予約 |
| 6:0 | VCAL_MAX[6:0] | 100_0000 | R/W | 上限側 VCO キャリブレーション値 ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。 |

【説明】

- VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x54-0x55【Reserved】

機能: 予約

アドレス: 0x54-0x55 (BANK1)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x56【DEMOD_SET0】

機能: 復調器設定 0

アドレス: 0x56 (BANK1)

初期値: 0x50

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----|-----|--|
| 7 | CHFIL_WIDE_SYNC | 0 | R/W | 未同期時のチャンネルフィルタ広帯域設定 0: 常時に CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)])で設定した帯域 1: 未同期時に CHFIL_BW_ADJ で設定した帯域の 2 倍帯域 同期時は CHFIL_BW_ADJ で設定した帯域 |
| 6 | IQ_INV | 1 | R/W | IQ 反転機能 0: 反転しない 1: 反転する |
| 5 | Reserved | 0 | R/W | 予約 |
| 4 | STR_LIM_ON | 1 | R/W | シンボルタイミングリカバリリミッタ設定 0: リミッタを OFF にする 1: リミッタを ON にする |
| 3 | STR_HOLD_ON | 0 | R/W | シンボルタイミングリカバリ設定 0: シンボルタイミング追従を常時行う 1: SFD 検出後シンボルタイミングを保持する |
| 2 | AFC_LIM_OFF | 0 | R/W | AFC リミッタ設定 0: AFC リミッタを ON にする 1: AFC リミッタを OFF にする |
| 1 | AFC_HOLD_ON | 0 | R/W | AFC モード設定 0: AFC を常時行う 1: SFD 検出後 AFC を保持する |
| 0 | AFC_OFF_EN | 0 | R/W | AFC 制御 0: AFC を行う 1: AFC を行わない |

0x57【DEMOD_SET1】

機能:復調器設定 1

アドレス:0x57 (BANK1)

初期値:0x04

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|------|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5:4 | DEM_FIL2[1:0] | 00 | R/W | 復調器フィルタ設定 2 00: 平均なし 01: 2 回平均 10: 4 回平均 11: 8 回平均 |
| 3 | Reserved | 0 | R/W | 予約 |
| 2:0 | DEM_FIL[2:0] | 0100 | R/W | 復調器フィルタ帯域幅設定 000: マスタークロック周波数/8×(1/120) 001: マスタークロック周波数/8×(1/100) 010: マスタークロック周波数/8×(7/600) 011: マスタークロック周波数/8×(1/75) 100: マスタークロック周波数/8×(3/200) 101: マスタークロック周波数/8×(1/60) 110: マスタークロック周波数/8×(1/30) 111: マスタークロック周波数/8×(1/30) |

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x58【DEMOD_SET2】

機能:復調器設定 2

アドレス:0x58 (BANK1)

初期値:0x01

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|--------|-----|-----------------------------|
| 7:3 | Reserved | 0_0000 | R/W | 予約 |
| 2:0 | DEM_GAIN[2:0] | 001 | R/W | 復調器ゲイン設定 ゲイン = (設定値+1)/2 |

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x59【DEMOD_SET3】

機能:復調器設定 3

アドレス:0x59 (BANK1)

初期値:0x14

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|------------|
| 7:0 | DEM_4FSK_TH[7:0] | 0001_0100 | R/W | 4FSK 時閾値設定 |

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x5A-0x5B【Reserved】

機能:予約

アドレス:0x5A-0x5B (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x5C【DEMODO_SET6】

機能:復調器設定 6

アドレス:0x5C (BANK1)

初期値:0x12

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|------------------|-----------|-----|--|
| 7:0 | RXDEV_RANGE[7:0] | 0001_0010 | R/W | 受信周波数偏位範囲設定 設定値 = 受信周波数偏位範囲[Hz]*512 / {マスタークロック周波数 [Hz]/8/CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)])} |

【ご注意】

1. 「初期設定レジスタ」で指定する値を推奨します。

0x5D【DEMODO_SET7】

機能:復調器設定 7

アドレス:0x5D (BANK1)

初期値:0x0D

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|--|
| 7:0 | AFC_LIM[7:0] | 0000_1101 | R/W | AFC 追従レンジ設定 設定値 = 設定追従レンジ[Hz]*1024 / {マスタークロック周波数 [Hz]/8/CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)])} * 復調器ゲイン(DEM_GAIN([DEMODO_SET: B1 0x58(2-0)])) ※AFC_LIM_OFF([DEMODO_SET0: B1 0x56(2)])を 0b0 に設定した場合本設定が有効となります。 |

【ご注意】

1. 「初期設定レジスタ」で指定する値を推奨します。

0x5E【DEMODO_SET8】

機能:復調器設定 8

アドレス:0x5E (BANK1)

初期値:0x05

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|--------|-----|------------------|
| 7:3 | Reserved | 0_0000 | R/W | 予約 |
| 2:0 | PLL_AFC_SHIFT[2:0] | 101 | R/W | PLL-AFC 倍率調整設定 1 |

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x5F【DEMOD_SET9】

機能:復調器設定 9

アドレス:0x5F (BANK1)

初期値:0x6C

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|-----------|-----|------------------|
| 7:0 | PLL_AFC_CO[7:0] | 0110_1100 | R/W | PLL-AFC 倍率調整設定 2 |

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x60【DEMOD_SET10】

機能:復調器設定 10

アドレス:0x60 (BANK1)

初期値:0x06

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------------|--------|-----|-----------------|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4:0 | STR_PB_LEN[4:0] | 0_0110 | R/W | 復調器プリアンブル検出閾値設定 |

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x61【DEMOD_SET11】

機能:復調器設定 11

アドレス:0x61 (BANK1)

初期値:0x08

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------------|--------|-----|---------------------------|
| 7:5 | Reserved | 000 | R/W | 予約 |
| 4:0 | STR_PB_LEN_DIV[4:0] | 0_1000 | R/W | 復調器プリアンブル検出閾値設定(ダイバーシティ時) |

【ご注意】

1. 「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x62【ADDR_CHK_CTR_H】

機能:アドレスチェックカウンタの表示(上位 3 ビット)

アドレス:0x62 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------------|--------|-----|---|
| 7:3 | Reserved | 0_0000 | R/W | 予約 |
| 2:0 | ADDR_CHK_CTR[10:8] | 000 | R | Field チェックでのアドレス不一致パケット数表示(上位 3 ビット) ※[ADDR_CHK_CTR_L:B1 0x63]レジスタの 8 ビットと共に全 11 ビットで表示します。 ※最大 2047 個までカウントできます。本レジスタをクリアする場合は、STATE_CLR4([STATE_CLR: B0 0x16(4)])のアドレスチェックカウンタクリアを実行してください。 |

【説明】

1. アドレスフィルタ機能の詳細に関しては、「Field チェック機能」を参照してください。

0x63【ADDR_CHK_CTR_L】

機能:アドレスチェックカウンタの表示(下位バイト)

アドレス:0x63 (BANK1)

初期値:0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------------|-----------|-----|--|
| 7:0 | ADDR_CHK_CTR[7:0] | 0000_0000 | R | Field チェックでのアドレス不一致パケット数表示(下位バイト) ※詳細は、[ADDR_CHK_CTR_H: B1 0x62]をご参照ください。 |

【説明】

1. アドレスフィルタ機能の詳細に関しては、「Field チェック機能」を参照してください。

0x64【WHT_INIT_H】

機能:Whiteing 初期状態設定(上位 1 ビット)

アドレス:0x64 (BANK1)

初期値:0x01

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-------------|----------|-----|---------------------------|
| 7:1 | Reserved | 000_0000 | R/W | 予約 |
| 0 | WHT_INIT[8] | 1 | R/W | Whiteing 初期状態設定(上位 1 ビット) |

【説明】

1. 詳細は、「DataWhitening 機能」を参照してください。

0x65【WHT_INIT_L】

機能: Whiteing 初期状態設定((下位バイト)

アドレス: 0x65 (BANK1)

初期値: 0xFF

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|-----------|-----|------------------------|
| 7:0 | WHT_INIT[7:0] | 1111_1111 | R/W | Whiteing 初期状態設定(下位バイト) |

【説明】

1. 詳細は、「DataWhitening 機能」を参照してください。

0x66【WHT_CFG】

機能: Whiteing 生成多項式設定

アドレス: 0x66 (BANK1)

初期値: 0x08

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|--------------|-----------|-----|------------------|
| 7:0 | WHT_CFG[7:0] | 0000_1000 | R/W | Whiteing 生成多項式設定 |

【説明】

1. 詳細は、「DataWhitening 機能」を参照してください。

0x67-0x7B【Reserved】

機能: 予約

アドレス: 0x67-0x7B (BANK1)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x7F【ID_CODE】(対象機種: ML7345)

機能:ID コード表示

アドレス:0x7F (BANK1)

初期値:0x57

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------|-----------|-----|--------|
| 7:0 | ID[7:0] | 0101_0111 | R | ID コード |

0x7F【ID_CODE】(対象機種: ML7345D)

機能:ID コード表示

アドレス:0x7F (BANK1)

初期値:0x90

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------|-----------|-----|--------|
| 7:0 | ID[7:0] | 1001_0000 | R | ID コード |

●レジスタ BANK2

0x00【BANK_SEL】

【説明】

[BANK_SEL:B0 0x00]を参照ください。

0x01-0x3F【Reserved】

機能: 予約

アドレス: 0x01-0x3F(BANK2)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x40【VTUNE_COMP_ON】

機能: VCO 調整電圧閾値比較結果表示イネーブル

アドレス: 0x40 (BANK2)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|---------------|--------|-----|--|
| 7:6 | Reserved | 00 | R/W | 予約 |
| 5 | VTUNE_COMP_ON | 0 | R/W | VCO 調整電圧比較イネーブル設定 1: VCO 調整電圧閾値比較結果表示イネーブル 0: VCO 調整電圧閾値比較結果表示ディセーブル |
| 4:0 | Reserved | 0_0000 | R/W | 予約 |

【説明】

1. 本レジスタを使用した VCO 調整電圧閾値比較結果表示の詳細は、「VCO の調整」を参照してください。

0x41-0x7F【Reserved】

機能: 予約

アドレス: 0x41-0x7F(BANK2)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

●レジスタ BANK3

0x00【BANK_SEL】

【説明】

[BANK_SEL:B0 0x00]を参照ください。

0x01-0x22【Reserved】

機能: 予約

アドレス: 0x01-0x22(BANK3)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

0x23【2MODE_DET】

機能: ModeT/C 同時受信設定

アドレス: 0x23 (BANK3)

初期値: 0x00

| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|-----------|----------|-----|---|
| 7:1 | Reserved | 000_0000 | R/W | 予約 |
| 0 | 2MODE_DET | 0 | R/W | ModeT/C(Wireless M-Bus)同時受信モード設定 0: Mode C パケットのみ受信する 1: ModeT と ModeC の両パケットを受信する ※RX_ON 状態での受信モード切替えは禁止です。受信モードを切替える場合、必ず TRX_OFF 状態にしてください。 |

0x24-0x7F【Reserved】

機能: 予約

アドレス: 0x24-0x7F(BANK2)

初期値: 0x00

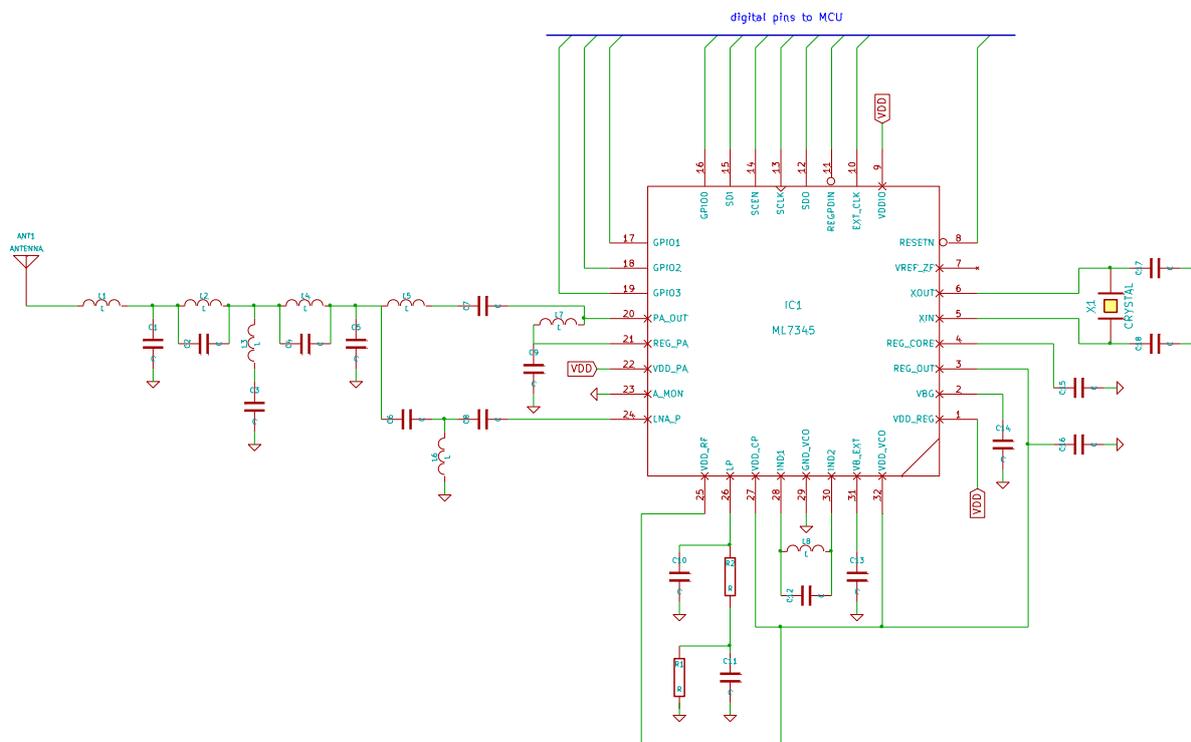
| Bit | ビット名 | 初期値 | R/W | 説明 |
|-----|----------|-----------|-----|----|
| 7:0 | Reserved | 0000_0000 | R/W | 予約 |

■応用回路例

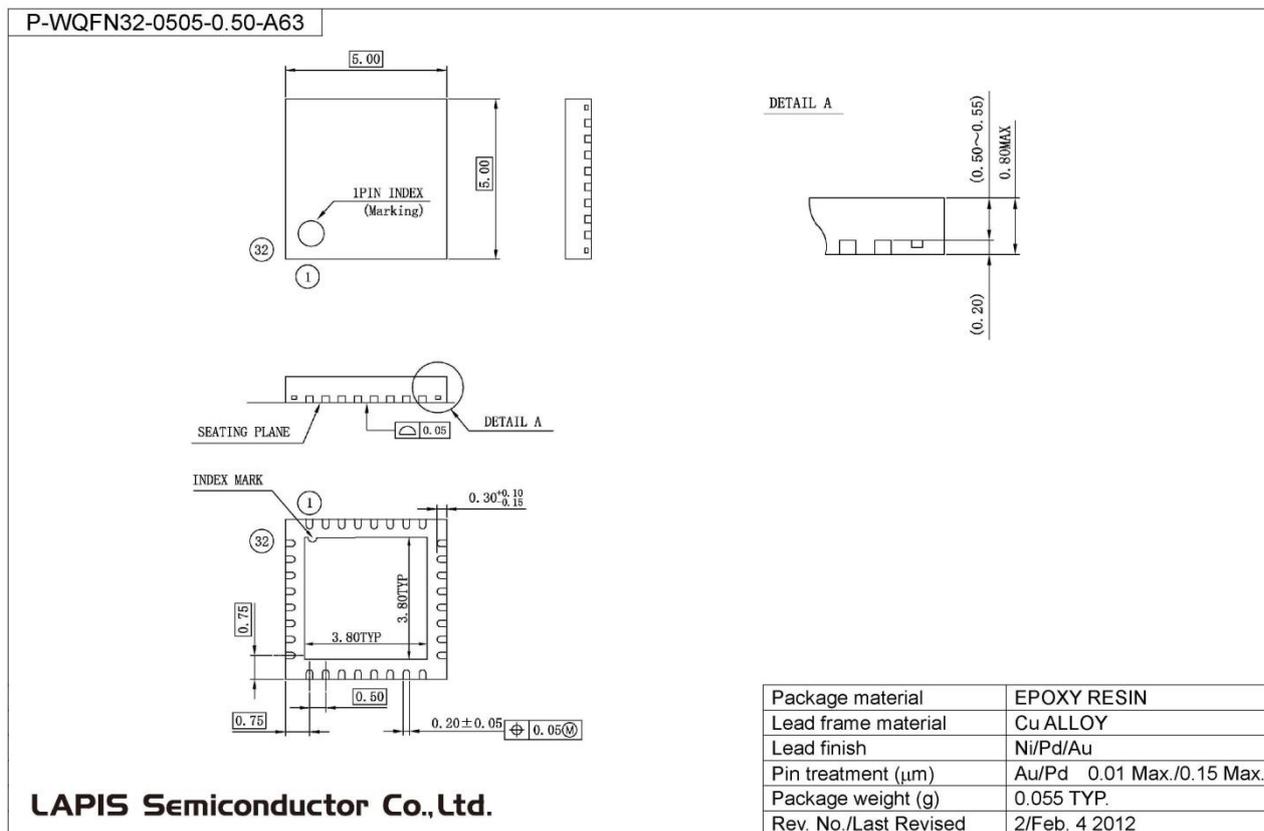
下図において、LSI の電源ピンに必要なパスコンは記載しておりません。

3. 3V の電源電圧を印可する端子は共通接続とし、10 μ F のパスコンを挿入してください。

インダクタは、MURATA LQW15 シリーズを推奨いたします。



■パッケージ寸法図

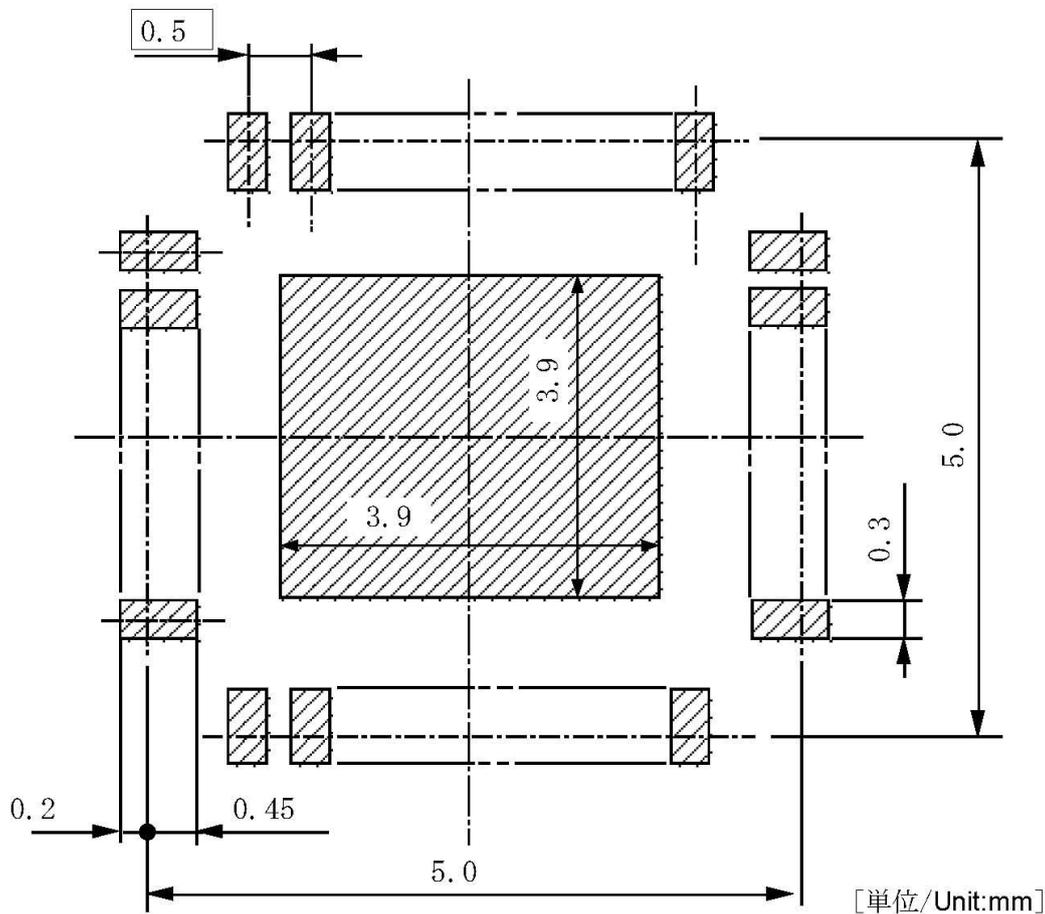


表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件(リフロー方法、温度、回数)、保管条件などをセールスオフィスまで必ずお問い合わせください。

■半田付け部端子存在範囲図(参考データ)

P-WQFN32-0505-0.50-A63



実装基板のフットパターンの設計の際には、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことなどを十分に考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従って、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

■改版履歴

| ドキュメント No. | 発行日 | ページ | | 変更内容 |
|---------------|------------|--|-------|---|
| | | 改版前 | 改版後 | |
| FJDL7345-01 | 2015.09.17 | - | - | 初版発行 |
| FJDL7345_D-02 | 2016.10.21 | 1 | 1 | 表題を変更。ML7345D を追加。 |
| | | 1 | 1 | 概要。ML7345 の対応規格に、Wireless M-Bus R モードを追加。 |
| | | 1 | 1 | 概要。ML7345D を追加。 |
| | | 2 | 2 | 特長。ML7345D 追加。 |
| | | 2 | 2 | 特長。ML7345 の対応規格に ARIB STD-T108 を追加。 |
| | | 2 | 2 | 特長。ML7345D のパケットモードとして Format D を追加 |
| | | 3 | 3 | 特長。ML7345 の受信時動作電流に 100kbps 時を追加。 |
| | | 7-9 | 7-9 | 端子説明。リセット時定義の更新。 |
| | | 11-23 | 11-25 | 電気的特性。ML7345D を追加。 |
| | | 12 | 12 | 推奨動作条件。V _{DDIO} に説明を記載。 |
| | | 15 | 16 | RF 特性 チャンネル間隔を更新。 |
| | | 17 | 19 | 受信特性 169MHz Band 受信ブロッキングイメージ周波数修正。 変更前:-187.5Hz 変更後:-187.5kHz |
| | | 18 | 20 | 受信特性 433MHz Band 受信ブロッキングイメージ周波数修正。 変更前:-187.5Hz 変更後:-187.5kHz |
| | | 30 | 32 | パケットハンドリング機能。ML7345D を追加。 |
| | | 30 | 32 | パケットハンドリング機能。パケットフォーマットに Format D を追加。 |
| | | 32 | 35 | パケットハンドリング機能。ML7345 について。Format A の CI-field=0x8D の場合の注意事項を記載。 |
| | | 40 | 43 | パケットハンドリング機能。パケットフォーマット Format C の文中の CRC-field の説明を修正。 変更前:0/1/2 バイト選択可 変更後:0/1/2/4 バイト選択可 |
| | | - | 44 | パケットハンドリング機能。パケットフォーマット Format D の構成を追加。 |
| | | 41 | 46 | CRC 機能。ML7345 について。注意事項を記載。 |
| | | 42 | 47 | DataWhitening 機能。パケットフォーマットに Format D を追加。 |
| | | 43 | 48 | SyncWord 検出機能。パケットフォーマットに Format D を追加。 |
| | | 45 | 50 | Field チェック機能。パケットフォーマットに Format D を追加。 |
| | | - | 52 | Field チェック機能。パケットフォーマット Format D のチェック機能の説明を追加。 |
| | | 48 | 54 | FIFO 制御機能。パケットフォーマット Format D を追加。 |
| | | 63 | 69 | チャンネル#0 周波数設定。f _{ref} の説明を修正。 |
| | | 64 | 70 | チャンネル間隔の設定。f _{ref} の説明を修正。 |
| | | 65 | 71 | GFSK 変調の設定。f _{ref} の説明を修正。 |
| | | 66 | 72 | 変調の設定。2FSK の場合の周波数偏位設定方法の記載ページを変更。 |
| | | 67 | 73 | 変調の設定。4FSK の場合の周波数偏位設定方法の変更。 |
| | | 100 | 106 | VCO 下限周波数の設定。f _{ref} の説明を修正。 |
| | | 101 | 107 | VCO 上限周波数の設定。f _{ref} の説明を修正。 |
| | | 104 | 110 | 送受信周波数の調整。f _{ref} の説明を修正。 |
| | | 105 | 111 | その他の設定。ML7345D を追加。 |
| 145-150 | 151-156 | レジスタ。レジスタ一覧に ML7345D を追加。 | | |
| 155 | 161 | レジスタ。ML7345 について。レジスタ PKT_CTRL1 のビット EXT_PKT_MODE にご注意を追加。 | | |
| 155 | 162 | レジスタ。ML7345D について。レジスタ PKT_CTRL1 を他機種と別に記載。 | | |

| ドキュメント No. | 発行日 | ページ | | 変更内容 |
|------------|-----|-----|-----|---|
| | | 改版前 | 改版後 | |
| | | 156 | 163 | レジスタ。ML7345 について。レジスタ PKT_CTRL2 のビット TX_CRC_EN に ご注意を追加。 |
| | | 156 | 164 | レジスタ。ML7345D について。レジスタ PKT_CTRL2 を他機種と別に記載。 |
| | | 205 | 213 | レジスタ。ML7345D について。レジスタ DEC_GAIN を他機種と別に記載。 |
| | | 207 | 216 | レジスタ。レジスタ PA_MODE。ML7345C に関する記載を削除。 |
| | | 207 | 217 | レジスタ。レジスタ PA_ADJ。ML7345C に関する記載を削除。 |
| | | 215 | 224 | レジスタ。ML7345D について。レジスタ TX_PKT_LEN_H を他機種と別に記 載。 |
| | | 215 | 225 | レジスタ。ML7345D について。レジスタ TX_PKT_LEN_L を他機種と別に記 載。 |
| | | 222 | 233 | レジスタ。ML7345D について。レジスタ GC_CTRL_DIV を新規追加。 |
| | | 225 | 237 | レジスタ。ML7345 について。レジスタ AFC/GC_CTRL の説明を更新。 |
| | | 225 | 237 | レジスタ。ML7345D について。レジスタ AFC/GC_CTRL を他機種と別に記 載。 |
| | | 226 | 239 | レジスタ。レジスタ PLL_DIV_SET。ML7345C に関する記載を削除 |
| | | 246 | 259 | [DEMOD_SET7: B1 0x5D] 説明修正 算出式 変更前: 設定値 = 設定追従レンジ[Hz]*2048 / {マスタークロック周波数 [Hz]/8/CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)])} 変更後: 設定値 = 設定追従レンジ[Hz]*1024 / {マスタークロック周波数 [Hz]/8/CHFIL_BW_ADJ([CHFIL_BW: B0 0x54(6-0)])} * 復調器ゲイン (DEM_GAIN([DEMOD_SET: B1 0x58(2-0)])) |
| | | 251 | 264 | レジスタ。ML7345D について。レジスタ ID_CODE を他機種と別に記載。 |

| ドキュメント No. | 発行日 | ページ | | 変更内容 |
|---------------|------------|---|----------|--|
| | | 改版前 | 改版後 | |
| FJDL7345_D-03 | 2017.05.23 | 102 | 102 | IQ の調整の[IQ_ADJ_TARGET: B0 0x5F]レジスタ設定値を更新 |
| | | 102 | 102 | IQ の調整の説明文4に補足説明を追加 |
| | | 137 | 138 | Sync エラー発生時の処理における注意事項追加 |
| | | 179 | 181 | [TXFIFO_THRL: B0 0x18]の制限事項追加 |
| | | 1 | 1 | 概要。ML7345D の対応 RF 周波数下限を 315MHz に変更 |
| | | 2 | 2 | 特長。ML7345D の対応規格に F モード、RCR STD-30(Ⅲ型、Ⅳ型)、ARIB STD-T67 を追加 |
| | | 2 | 2 | 特長。ML7345D の対応 RF 周波数下限を 315MHz に変更 |
| | | 2 | 2 | 特長。ML7345D のパワー制御機能に 10mW/1mW を追加 |
| | | 2 | 2 | 特長。パケットモード機能搭載に欧州特許広告番号を追加 |
| | | 3 | 3 | 特長。消費電流。ML7345D に送信電流(10mW/1mW)を追加 |
| | | 12 | 12 | 推奨動作条件。ML7345D の RF 周波数に 433MHz 帯を追加 |
| | | 13 | 13 | 電源電流特性。ML7345D の受信電流(DR=9.6kbps)を追加 |
| | | 13 | 13 | 電源電流特性。ML7345D の送信電流(10mW/1mW)を追加 |
| | | 13 | 13 | 電源電流特性。ML7345D の送信電流(20mW)の条件に(*5)を記載 |
| | | 16 | 16 | RF 特性。条件欄の分周モードに関する記載を削除 |
| | | 16 | 16 | RF 特性。ML7345D の RF 周波数に 433MHz 帯を追加 |
| | | 17 | 17 | 送信特性。433MHz 帯の対象機種に ML7345D を追加 |
| | | 18 | 18 | 送信特性。ML7345D の 868MHz Band の全項目を削除 |
| | | 18 | 18 | 送信特性。868MHz Band を 868/920MHz Band に変更 |
| | | 18 | 18 | 送信特性。868/920MHz Band の対象機種に ML7345D を追加 |
| | | 20 | 20 | 受信特性。433MHz 帯の対象機種に ML7345D を追加 |
| | | 21 | 21 | 受信特性。868MHz Band を 868/920MHz Band に変更 |
| | | 67 | 67 | チャンネル周波数の設定。(*1)を記載 |
| | | 67 | 67 | チャンネル周波数の設定。PLL 分周設定表の項目名を変更 |
| | | 63 | 63 | ウェイクアップタイマ。ご注意を追加 |
| | | 65 | 65 | ウェイクアップタイマ。(2) ①のタイミングチャートの[SLEEP/WU_SET: B0 0x2D(7-4)]の設定値を修正 |
| | | 66 | 66 | ウェイクアップタイマ。(3) ②のタイミングチャートの[SLEEP/WU_SET: B0 0x2D(7-4)]の設定値を修正 |
| | | 106 | 107 | VCO の調整。VCO 下限周波数の設定の例)のレジスタのアドレスを修正 |
| 190 | 192 | レジスタ。レジスタ GT_SET。ML7345D の制限事項追加 | | |
| 239 | 241 | レジスタ。レジスタ PLL_DIV_SET。ML7345D では設定禁止を記載 | | |
| FJDL7345_D-04 | 2018.8.20 | 12 | 12,13 | 電気的特性-推奨動作条件 VDD_PA 電圧における標準的な送信電力出力値追加 |
| | | 29 | 30 | 機能説明-LSI 状態制御-LSI 状態遷移図 リセット状態追加 |
| | | 63,65,66 | 64,67,68 | 機能説明-ウェイクアップタイマ機能-ウェイクアップタイマ ウェイクアップタイマによる TX 遷移時の説明修正 (2)1 ショット動作 ①受信時説明追加 (3)高速電波チェックモードとの組合せ ②1 ショット動作説明追加 |
| | | 70 | 72 | 機能説明-周波数設定機能-IF 周波数の設定 ML7345D 用説明追加 |
| | | 75 | 77 | 機能説明-受信関連機能-チャンネルフィルタ帯域可変機能 ML7345D 用説明追加 |
| | | 105 | 107 | LSI 調整項目と調整方法-VCO の調整 VTUNE_COMP_ON 有効化設定の説明追加 |
| | | 110 | 112 | LSI 調整項目と調整方法-発振回路の調整 説明内容見直し |
| | | 115 | 117 | フローチャート-電源投入時-初期化フロー TCXO 使用時のフローをタイムチャート-起動時に合わせて修正 |
| | | 168 | 170 | RX_FSK_POL([DATA_SET1: B0 0x07(5)])レジスタ説明誤記修正 |
| | | 210 | 212 | [CHFIL_BW: B0 0x54] 禁止説明内容変更 |
| | | 216 | 218 | [IF_FREQ: B0 0x61] ML7345D 用説明追加 |
| | | 217 | 219 | [OSC_ADJ1: B0 0x62]および[OSC_ADJ2: B0 0x63]の説明変更 |
| | | - | 222 | [CHFIL_BW_CCA: B0 0x6A] ML7345D 用説明追加 |
| | | 267 | 270 | [VTUNE_COMP_ON: B2 0x40]の説明を追加 |

| ドキュメント No. | 発行日 | ページ | | 変更内容 |
|---------------|-----------|-----|---------|---|
| | | 改版前 | 改版後 | |
| FJDL7345_D-05 | 2019.4.5 | 8 | 8 | [端子説明]-[レギュレータ端子] 詳細(*1)削除 |
| | | 25 | 25 | [電気的特性]-[リセット特性] RSETN 立上り時間削除 |
| | | 57 | 57 | [機能説明]-[パケットハンドリング機能]-[FIFO 制御機能] 注意事項 4 追加 |
| | | 110 | 110 | [LSI 調整項目と調整方法]-[VCO の調整] VCO 上限周波数設定範囲修正 (76.5, 96MHz 削除) |
| | | 138 | 138-140 | [フローチャート]-[SLEEP] TCXO 使用時の SLEEP 解除フロー修正 (FJDL7345_D-04_errata_rev1_0 より) |
| | | 152 | 154-155 | [タイムチャート]-[SLEEP から IDLE への移行] TCXO 使用時の SLEEP 解除フロー修正 (FJDL7345_D-04_errata_rev1_0 より) |
| | | 204 | 207 | [SYNC_CONDITION1: B0 0x45] 説明追加 |
| | | 261 | 264 | [VCO_CAL_MAX_N: B1 0x51] VCO キャリブレーション上限周波数設定修正 (76.5, 96MHz 削除) |
| FJDL7345_D-06 | 2023.11.1 | 2 | 2 | 用途の追加 |
| | | 282 | 282 | ご注意の更新 |
| | | 2 | 2 | 製品名の追加 |
| FJDL7345_D-07 | 2024.1.10 | 282 | 282 | ご注意の更新 |

(注意) 誤記、表現の変更および修正は含まれません。

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(*)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされていません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2015 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>