



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしく願いいたします。

2024年4月1日
ローム株式会社

ML7386/ML7386B

特定小電力無線送信専用 IC

■概要

ML7386/ML7386B は、426MHz 帯特定小電力無線通信向けに RF 部・MOD 部・HOST インタフェース部を 1 チップに集積した送信専用 IC です。RCR STD-30(小電力セキュリティシステムの無線局)や ARIB-STD-T67(特定小電力無線システム)

の用途でご利用いただけます。ML7386 は 10mW モード限定、ML7386B は 10mW/1mW の 2 つのパワーモードに対応したものです。

●製品名 ML7386GD ML7386BGD

●用途 リモートコントロール
 ホーム、ビルセキュリティ
 センサーネットワーク

■特長

- 426MHz 帯 小電力セキュリティシステム(RCR-STD-30)対応
- 426MHz 帯 特定小電力無線システム(ARIB-STD-T67)対応
- 周波数設定可能範囲 200MHz~972MHz (※1)
- 変調方式: 2 値 FSK/MSK
- NRZ、マンチェスタ符号化をサポート
- ボーレート 2,400/4,800/7,200 bps (NRZ 時)
 ボーレート拡張機能での設定可能範囲 1.2kbps~100kbps(NRZ 時) (※1)
 マンチェスタ符号化モードを使用した場合、ホストインタフェースは NRZ の 1/2 となります。
- 変調周波数偏位可変機能搭載 $\pm 0.6\text{kHz} \sim \pm 100\text{kHz}$ (※1)
- 極性反転機能搭載
- 周波数微調整機能搭載(フラクショナル N PLL の採用により、周波数の微調整が可能)
- 水晶発振回路(18~36MHz 対応) (※1)
- TCXO(18~36MHz)直接入力可能 (※1)
- 送信データインタフェースを搭載
- 同期式シリアルペリフェラルインタフェース(SPI)搭載
- 送信パワーモード
 10mW 限定: ML7386
 10mW/1mW: ML7386B
- 送信パワー調整機能搭載
- テストパタンジェネレータ搭載 (PN9、CW、01 パターン、ALL"1"、ALL"0")
- 電源電圧 2.0V ~ 3.6V (10mW モード時)
 1.8V ~ 3.6V (1mW モード時)
- 特性温度 $-25^{\circ}\text{C} \sim 85^{\circ}\text{C}$
- 消費電流

ディープスリープモード時	0.03 μA (Typ.)	(レジスタ値を非保持)
スリープモード時	0.3 μA (Typ.)	(レジスタ値を保持)
アイドルモード時	0.25 mA (Typ.)	(レジスタ値を設定、発振回路停止)
ストップモード時	0.65 mA (Typ.)	(発振回路起動、送信停止)
送信時 (@10mW)	23.8 mA (Typ.)	(TCXO モード)
送信時 (@1mW)	6.4 mA (Typ.)	(TCXO モード)

- パッケージ
28ピン WQFN P-WQFN28-0404-0.40-63
鉛フリー RoHS 準拠

※1. LSI 機能上の設定可能範囲を示すものです。特性保証は、12 ページ記載の【特性保証条件】に限定致します。
特性保証条件の範囲外での使用については、お客様責任での動作確認が必要となります。

■表記方法について

1) 数値表記

0xnn の形式は、16 進を示します。0bnn の形式は、2 進を示します。

(例) 0x11= 17(10 進), 0b11= 3(10 進)

2) レジスタ表記

レジスタは以下のように表記します。

[<レジスタ名称>: <レジスタアドレス>]

(例) [RF_MODE: 0x00]

レジスタ名称: RF_MMODE

レジスタアドレス: 0x00

3) ビット名表記

ビット名は以下のように表記します。

<ビット名称>[<レジスタ名称>: <レジスタアドレス>(<ビット位置>)]

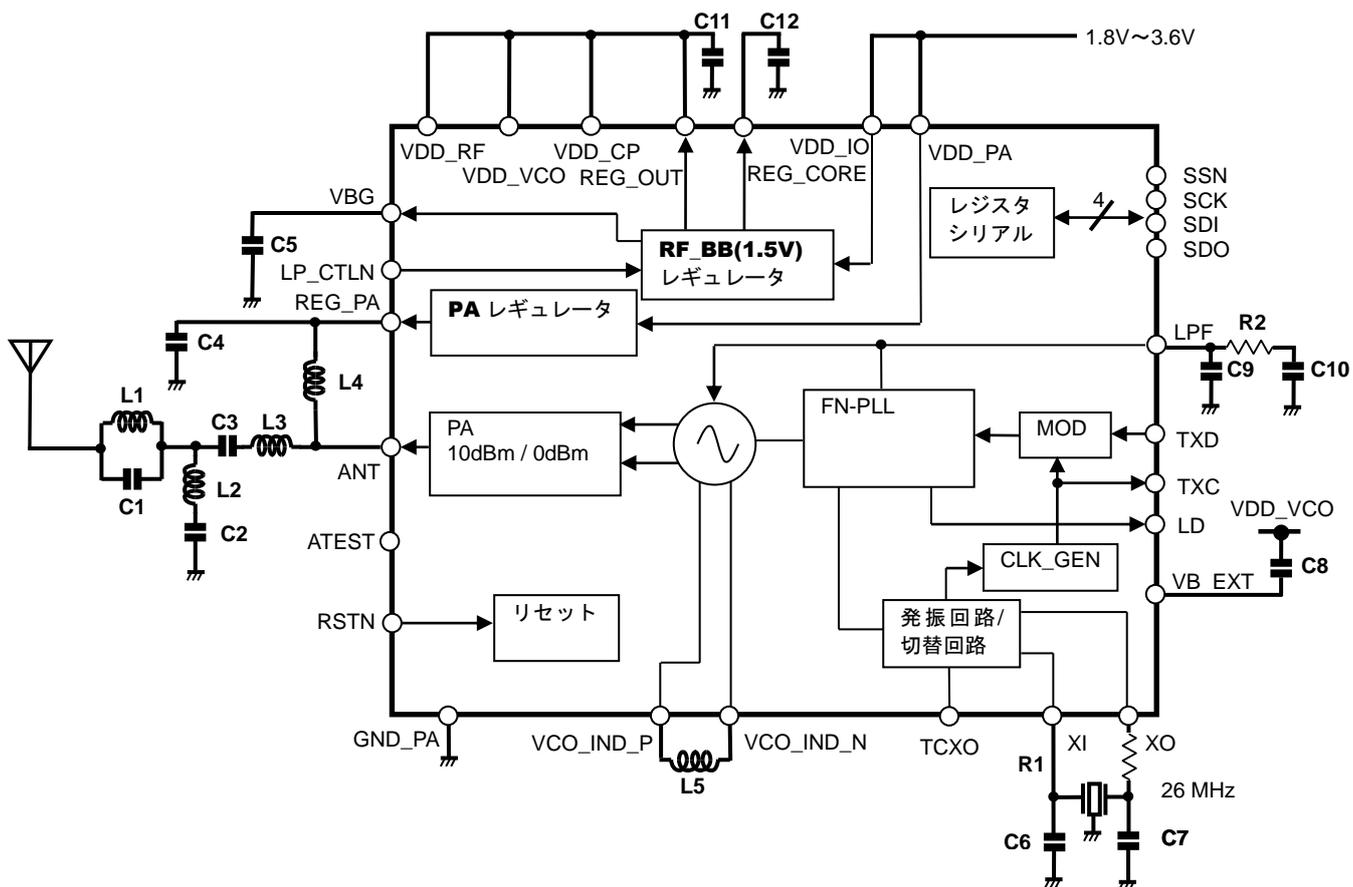
(例) txttest_en([TXD_SEL:0x02(3)])

レジスタ名称: TXD_SEL

レジスタアドレス: 0x02

bit: ビット 3

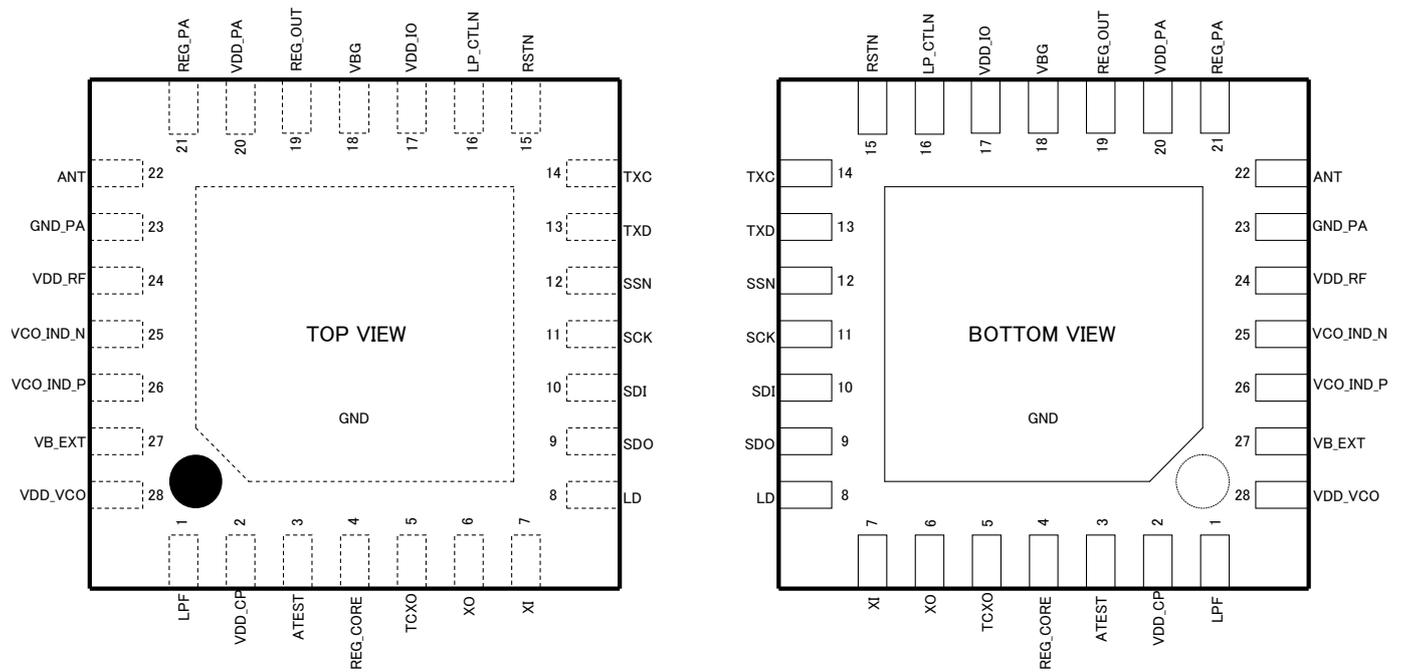
■ブロック図



電源用パスコンは除いてあります。

■端子配置

28ピン WQFN



ご注意:チップ中央の GND は裏面(名称:背面 GND)です。

■ 端子説明

I/O 定義	IRF	: RF 入力端子
	ORF	: RF 制御出力端子
	IA	: アナログ入力端子
	IOSC	: 発振回路入力端子
	OOSC	: 発振回路出力端子
	I	: デジタル入力端子
	O	: デジタル出力端子
IS	: シュミットトリガ入力端子	

● RF 関連・アナログ端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
1	LPF	—	IRF	—	PLL 使用時のループフィルタ端子
3	ATEST	O	ORF	—	アナログテスト端子
22	ANT	O	ORF	—	アンテナ接続端子
25	VCO_IND_N	—	—	—	PLL 使用時のタンク L 接続端子 N
26	VCO_IND_P	—	—	—	PLL 使用時のタンク L 接続端子 P
27	VB_EXT	—	—	—	ローカル安定化 C 接続端子(10nF)

端子説明(続き)

●SPI 関連端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
9	SDO	L	O	—	シンクロナスコミュニケーションインタフェース データ出力端子
10	SDI	I	I	—	シンクロナスコミュニケーションインタフェース データ入力端子
11	SCK	I	Is	P	シンクロナスコミュニケーションインタフェース クロック入力端子 立ち上がりエッジで SDI を取り込みます。 立ち下がりエッジで SDO を出力します。
12	SSN	I	Is	L	シンクロナスコミュニケーションインタフェース チップイネーブル端子 L: イネーブル H: ディセーブル

●送信データ端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
13	TXD	I	I	—	送信データ入力端子
14	TXC	L	O	P	送信クロック出力端子 ※立上りエッジでデータを取り込みます。

●レギュレータ端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
4	REG_CORE	—	—	—	デジタルコア部用電源モニタ端子 (typ.1.5V) C 接続(10uF)
18	VBG	—	—	—	C 接続端子(0.1uF)
19	REG_OUT	—	—	—	レギュレータ出力(1.5V) C 接続(6.8uF)
21	REG_PA	—	—	—	PA 専用レギュレータ出力(1.5V~2.0V) C 接続(1uF)

端子説明(続き)

●その他の端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
5	TCXO	I	IA	—	外部クロック(TCXO)入力端子 ※振動子使用時は GND に接続して下さい
6	XO	O	Oosc	—	発振回路出力端子 ※外部クロック使用時は GND に接続して下さい
7	XI	I	Iosc	—	発振回路入力端子 ※外部クロック使用時は GND に接続して下さい
8	LD	L	O	H	ロック検出端子 L: PLL アンロック状態 H: PLL ロック状態 ※[RF_MODE:x00]レジスタに 0x18 を書き込んだ時に有効
15	RSTN	I	Is	L	リセット端子 L: 初期化、停止 H: 動作 ※本端子を L レベルにすると LSI 内部が全て初期化されます。
16	LP_CTLN	I	I	L	ローパワー制御端子 L: Deep Sleep モード H: Deep Sleep モード解除

●電源端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
2	VDD_CP	—	—	—	チャージポンプ用電源端子 (REG_OUT を接続 typ.1.5V)
17	VDD_IO	—	—	—	デジタル IO 部用電源端子 (入力電圧 1.8~3.6V)
20	VDD_PA	—	—	—	PA 用電源端子 (入力電圧 1.8~3.6V)
23	GND_PA	—	—	—	PA 用 GND 端子
24	VDD_RF	—	—	—	RF 用電源端子 (REG_OUT を接続 typ.1.5V)
28	VDD_VCO	—	—	—	VCO 用電源端子 (REG_OUT を接続 typ.1.5V)

●未使用端子の処理

端子未使用時の処理方法を示します。ML7386/ML7386B の基本動作を損なう端子処理は含まれません。

未使用端子の処理

端子名称	推奨端子処理
XI	GND
XO	GND
TCXO	GND
ATEST	オープン

【ご注意】

ハイインピーダンス入力設定で、端子をオープン状態のままにしておくと消費電流が過大になる恐れがありますので、未使用の入力端子及び入出力端子はオープンにならないように処理を行って下さい。

■電気的特性

●絶対最大定格

項目	記号	条件	定格値	単位
電源電圧 (I/O) (*1)	VDDIO	Ta=-40 to +85°C GND=0V	-0.3~+4.6	V
電源電圧 (RF) (*2)	VDDRF		-0.3~+2.0	V
デジタル入力電圧	VDIN		-0.3~VDDIO+0.3	V
RF 入力電圧	VRFIN		-0.3~VDDRF+0.3	V
アナログ入力電圧	VAIN		-0.3~VDDIO+0.3	V
アナログ入力電圧 2(*3)	VAIN2		-0.3~VDDRF+0.3	V
デジタル出力電圧	VDO		-0.3~VDDIO+0.3	V
RF 出力電圧	VRFO		-0.3~VDDRF+0.3	V
アナログ出力電圧	VAO		-0.3~VDDIO+0.3	V
アナログ出力電圧 2(*4)	VAO2		-0.3~VDDRF+0.3	V
デジタル入力電流	ID1		-10~+10	mA
RF 入力電流	IRF		-2~+2	mA
アナログ入力電流	IA1		-2~+2	mA
アナログ入力電流 2(*3)	IA12		-2~+2	mA
デジタル出力電流	IDO		-10~+10	mA
RF 出力電流	IRFO		-2~+2	mA
アナログ出力電流	IAO		-2~+2	mA
アナログ出力電流 2(*4)	IAO2		-2~+2	mA
許容損失	Pd	Ta=+25°C	500	mW
保存温度	Tstg	—	-55~+125	°C

(*1) VDD_IO 端子, VDD_PA 端子

(*2) VDD_RF 端子, VDD_VCO 端子, VDD_CP 端子

(*3) XI 端子

(*4) XO 端子

●推奨動作条件

項目	記号	条件	最小	標準	最大	単位
電源電圧 (I/O)	VDDIO	VDD_IO 端子, VDD_PA 端子	1.80	2.70	3.60	V
電源電圧 (RF)	VDDRF	VDD_RF 端子, VDD_VCO 端子, VDD_CP 端子	1.45	1.50	1.55	V
RF 特性保証温度	T _a	—	-25	+25	+85	°C
動作温度	T _a	—	-40	+25	+85	°C
デジタル入力立上り時間	T _{IR}	デジタル入力端子 (*1)	—	—	20	ns
デジタル入力立下り時間	T _{IF}	デジタル入力端子 (*1)	—	—	20	ns
デジタル出力負荷	CDL	全デジタル出力端子	—	—	50	pF
マスタークロック 1	FMCK1	XI 端子, XO 端子 (*2)	-4 ppm	26	+4 ppm	MHz
マスタークロック 2	FMCK2	TCXO 端子 (*2)	-4 ppm	26	+4 ppm	MHz
クロック出力周波数	FCLKOUT	TXC 端子	-400ppm -200ppm -200ppm	7200 4800 2400	+400ppm +200ppm +200ppm	Hz
クロック出力 ・デューティ比	DCLKOUT	TXC 端子	40	50	60	%
SPI クロック入力周波数	FSCLK	SCK 端子	0.1	2	8	MHz
SPI クロック入力 ・デューティ比	DSCLK	SCK 端子	45	50	55	%
RF チャネル周波数	FRF1	ANT 端子 12.5kHz 間隔	426.2500	-	426.8375	MHz

(*1) 端子説明の I/O に、I, IS とある端子。

(*2) 周波数精度の許容値は規格毎に異なりますので、ARIB T-67, RCR STD-30 などの規格を参照してください。

●電源電流特性

(動作電源電圧: $V_{DDIO}=1.8V\sim 3.6V$, $T_a=-40\sim +85^{\circ}C$, $F_{MCK}=26MHz$)

項目	記号	条件	最小	標準(*2)	最大	単位
電源電流 (*1)	I _{DDS1}	ディープスリープ 待機時状態 (レジスタ非保持)	-	0.03	15.0	μA
	I _{DDS2}	スリープ 待機時状態 (レジスタ保持)	-	0.3	30.0	μA
	I _{DD1}	アイドル状態 (SPI アクセス、 発振回路停止) (*3)	-	0.25	1.5	mA
	I _{DD2}	ストップ状態 (発振回路起動、 送信停止)	-	0.65	3.0	mA
	I _{DD3}	10mW-送信状態 (*4), (*5)	-	23.8	52.0	mA
	I _{DD4}	1mW-送信状態 (*4), (*5)	-	6.4	20	mA

(*1) 電源電流は、全電源端子の合算値です。

(*2) 標準は $V_{DDIO}=2.7V$ 、 $25^{\circ}C$ 条件下の中心値です。

(*3) アクセススピード 8MHz 時の各消費電流条件に加算される電流値です。

(*4) SPI インタフェースクロック SCK が 2MHz、データ転送速度が 4800bps の時。

(*5) TCXO 使用時。発振回路使用時は標準状態で 0.3mA 増加します。

●直流特性

(動作電源電圧: $V_{DDIO}=1.8V\sim 3.6V$, $V_{DDRF}=1.45V\sim 1.55V$, $T_a=-40\sim +85^{\circ}C$, $F_{MCK}=26MHz$)

項目	記号	条件	最小	標準	最大	単位
高レベル入力電圧	VIH1	(*1)(*2)	V_{DDIO} *0.77	—	V_{DDIO}	V
	VIH2	XI 端子	V_{DDRF} *0.9	—	V_{DDRF}	V
低レベル入力電圧	VIL1	(*1)(*2)	0	—	V_{DDIO} *0.18	V
	VIL2	XI 端子	0	—	V_{DDRF} *0.1	V
入力電圧	VI	TCXO 端子	0.8	—	V_{DDRF}	V _{p-p}
シュミットトリガ 高レベル判定閾値	VT+	(*2)	—	1.2	V_{DDIO} *0.77	V
シュミットトリガ 低レベル判定閾値	VT-	(*2)	V_{DDIO} *0.18	0.8	—	V
入力リーク電流	IIH1	VIH= V_{DDIO} (*1)(*2)	-2	—	2	μA
	IIL1	VIL=0V (*1)(*2)	-2	—	2	μA
高レベル出力電圧	VOH1	IOH=-4mA (*3)	V_{DDIO} * 0.78	—	V_{DDIO}	V
低レベル出力電圧	VOL1	IOL=4mA (*3)	0	—	0.3	V
レギュレータ 出力電圧	REG_CORE	SLEEP 時	—	1.3	—	V
		上記以外	—	1.5	—	V
	REG_OUT	SLEEP 以外	—	1.5	—	V
入力容量	CIN	入力端子 (*1)(*2)	—	6	—	pF
	COUT	出力端子 (*3)	—	9	—	pF
	CRFI	RF 入力端子 (*4)	—	9	—	pF
	CRFO	RF 出力端子 (*5)	—	9	—	pF
	CAI	アナログ入力端子 (*6)	—	9	—	pF

(*1) 端子説明の I/O に、I とある端子。

(*2) 端子説明の I/O に、IS とある端子。

(*3) 端子説明の I/O に、O とある端子。 XO 端子は除く

(*4) 端子説明の I/O に、IRF とある端子。

(*5) 端子説明の I/O に、ORF とある端子。

(*6) 端子説明の I/O に、IA とある端子。

●RF 特性

【特性保証条件】

変調速度	: 2400 / 4800 / 7200 bps
変調方式	: 2 値 FSK / MSK
チャンネル間隔	: 12.5kHz / 25.0kHz
周波数範囲	: 426.0250~426.8375MHz
	※RCR STD-30 により使用が禁止されている周波数あります。
入力電圧	: 1.8V~3.6V (条件変更がある場合は別途定義)
温度条件	: -25°C~85°C (条件変更がある場合は別途定義)
マスタクロック	: 26MHz (条件変更がある場合は別途定義)

【送信起動時間】

項目	条件	最小	標準	最大	単位
レギュレータ起動時間	LP_CTLN=H	—	600	1500	μs
水晶発振起動時間(注 1)		—	715	1115	μs
送信起動時間(注 2)	PLL+PA 起動時間 (TCXO 使用: IDLE モード) (OSC 使用: STOP モード)	—	1460	1600	μs
PLL ロック時間(注 3)	周波数設定信号入力後	—	50	100	μs

【送信特性】

項目	条件	最小	標準	最大	単位
送信出力電力 10mW モード (注 4)	[PA_ADJ:0x10]=0xnn	5	—	12	mW
送信出力電力 1mW モード (注 4) (注 7)	[PA_ADJ:0x10]=0xnn [PA_BIAS:0x16]=0xnn	0.5	—	1.2	mW
送信時隣接チャンネル漏洩電力 [ACPR] (注 5)	12.5kHz offset ± 4.25kHz 帯域 Rate=4800bps, NRZ, PN9 pattern Fdev=2.1kHz	—	-48	-40	dBc
送信時占有帯域幅 [OBW]	99% Rate=4800bps, NRZ, PN9 pattern Fdev=2.1kHz	4.0	—	8.5	kHz
周波数偏位可変範囲(注 6) [Fdev]		±0.6	—	±4.2	kHz
変調指数	MSK 時 (Rate=4800bps, NRZ, PN9 pattern Fdev=1.2kHz)	0.49	0.5	0.51	-
送信時スプリアスレベル	CW @ 10mW モード	—	-32	-26	dBm
送信時近傍スプリアスレベル	PN9 @ 10mW モード ±112.5kHz offset ± 50kHz 帯域 Rate=4800bps, NRZ, PN9 pattern Fdev=2.1kHz	—	-32	-26	dBm

- (注 1) 水晶発振起動時間は発振回路パワーダウンレジスタビット解除を基点として、発振回路の内部クロック出力に矩形波が出力し始めるまでの時間です。
- (注 2) 送信起動時間はアイドルモードから **RF_MODE** コマンド (レジスタアドレス **0x00**) にて、アクティブモードに切り替える際、**SCK** 信号の最後のクロックエッジを起点として、周波数が設定周波数 $\pm 10\text{kHz}$ に収束するまでの時間です。LD 端子は PLL 収束前に立ち上がります。
- (注 3) PLL ロック時間はある送信周波数 f_0 で送信をしている状態から、周波数設定レジスタ (**PLL_NA/PLL_FL/PLL_FM/PLL_FH**) のみを変更し、そのコマンドの最後のクロックエッジを基点として設定された周波数 $f_1 \pm 10\text{kHz}$ に収束するまでの時間です。
- (注 4) 実装部品の素子バラツキや基板により、**PA_ADJ** 値及び **PA_BIAS** 値が異なりますので調整願います。
また温度変動や電源電圧変動などにより、送信出力電力が変動いたします。必要に応じて規格値を満足するよう **PA_ADJ** 値 (レジスタアドレス **0x10**) を変更して使用してください。
- (注 5) **ACPR** 特性は LSI の送信キャリア周波数を、チャンネル周波数 $\pm 0.25\text{ppm}$ 以内に調整後の規格です。
- (注 6) 周波数偏位可変範囲は設定可能な範囲で全ての特性を保証するものではありません。
- (注 7) **1mW** モードは **ML7386B** 限定となります。

■ タイミング

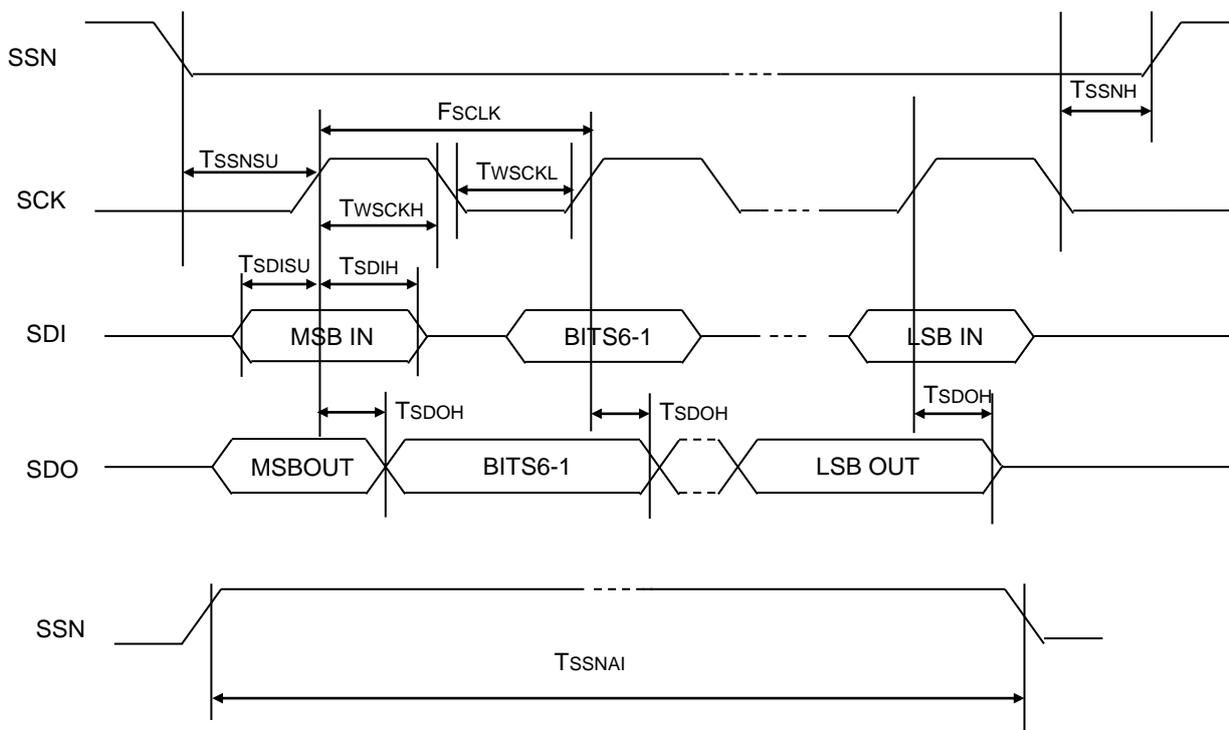
● SPI

(動作電源電圧: VDDIO=1.8V~3.6V, Ta=-40~+85°C)

項目	記号	条件	最小	標準	最大	単位
SCK クロック周波数	FSCLK	負荷容量 CL=50pF	0.1	2	8	MHz
SSN 入力セットアップ時間	TSSNSU		125	—	—	ns
SSN 入力ホールド時間	TSSNH		20	—	—	ns
SCK ハイパルス幅	TWSCKH		56	—	—	ns
SCK ローパルス幅	TWSCKL		56	—	—	ns
SDI 入力セットアップ時間	TSDISU		5	—	—	ns
SDI 入力ホールド時間	TSDIH		15	—	—	ns
SSN アサート間隔	TSSNAI		125	—	—	ns
SDO 出力ホールド時間	TSDOH		SCK ハイパルス幅	—	—	—

(特記)

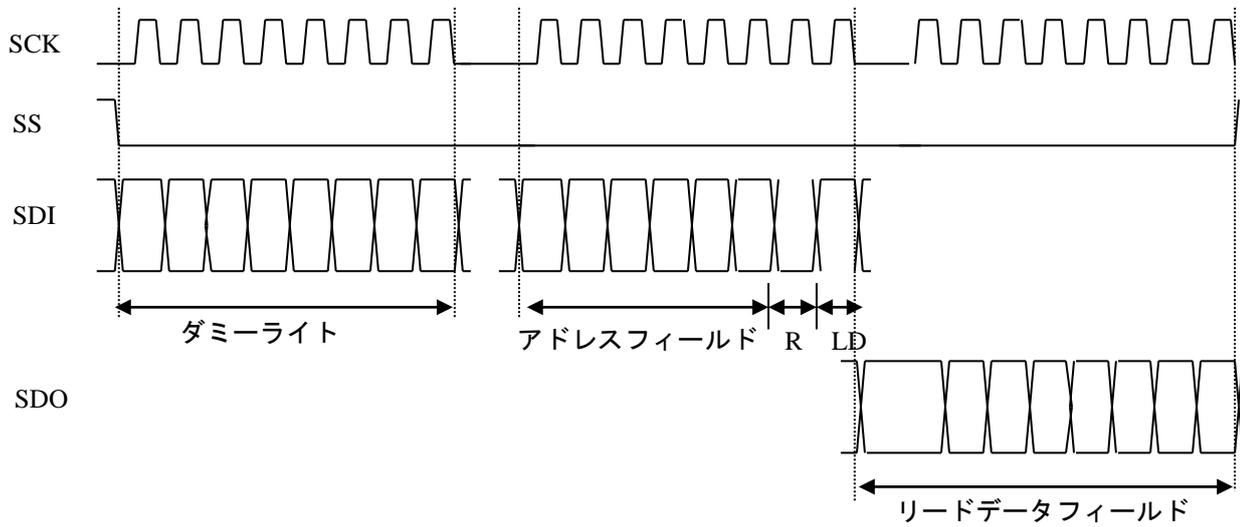
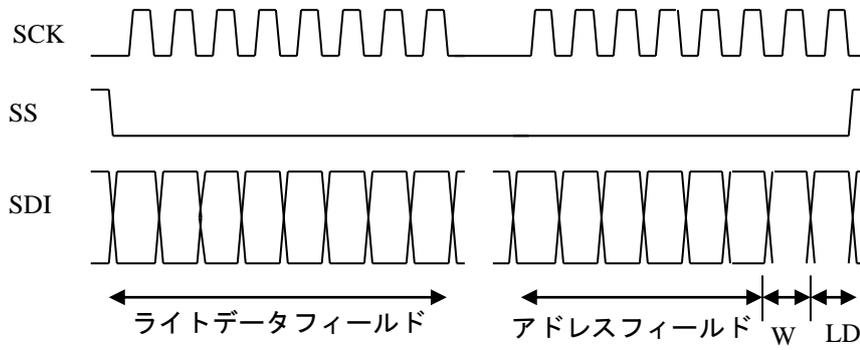
全てのタイミングの測定点は、VDDIO * 20% と VDDIO * 80% のレベルです。



【ご注意】

SCK は非アクティブ時、L レベルとして下さい。

SPI データフォーマット



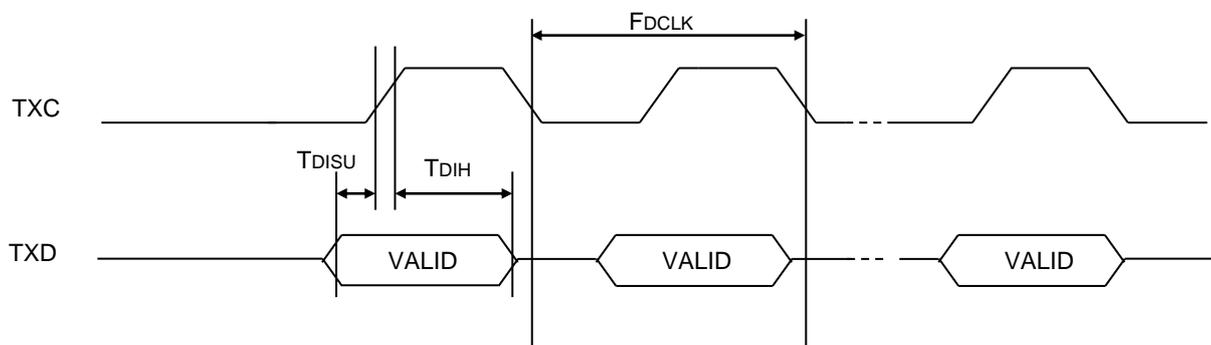
●送信データ

(動作電源電圧: VDDIO=1.8V~3.6V, Ta=-40~+85°C)

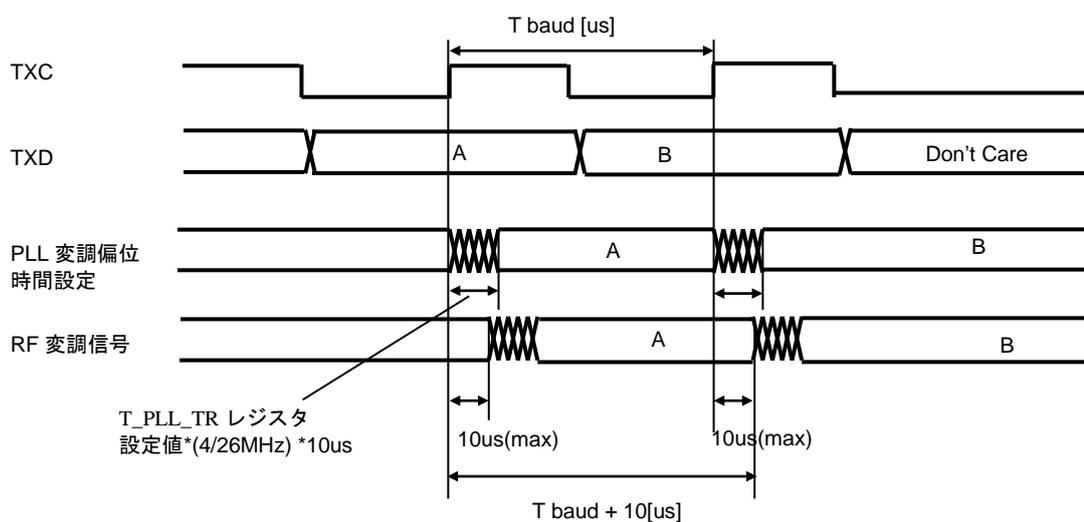
項目	記号	条件	最小	標準	最大	単位
TXD 入力セットアップ時間	TDISU	負荷容量 CL=50pF	5	—	—	μs
TXD 入力ホールド時間	TDIH		5	—	—	μs
TXC クロック周波数	FDCLK		-400ppm -200ppm -200ppm	7200 4800 2400	+400ppm +200ppm +200ppm	Hz

(特記)

全てのタイミングの測定点は、VDDIO * 20% と VDDIO * 80% のレベルです。



RF 変調信号遅延



【ご注意】

TXD でデータ送信が終了した後も変調遅延により最大 10[us]は、有効な信号が実際の RF 上で送出されています。[RF_MODE: 0x00]レジスタでアクティブモードから抜ける場合は、この遅延時間を考慮してください。

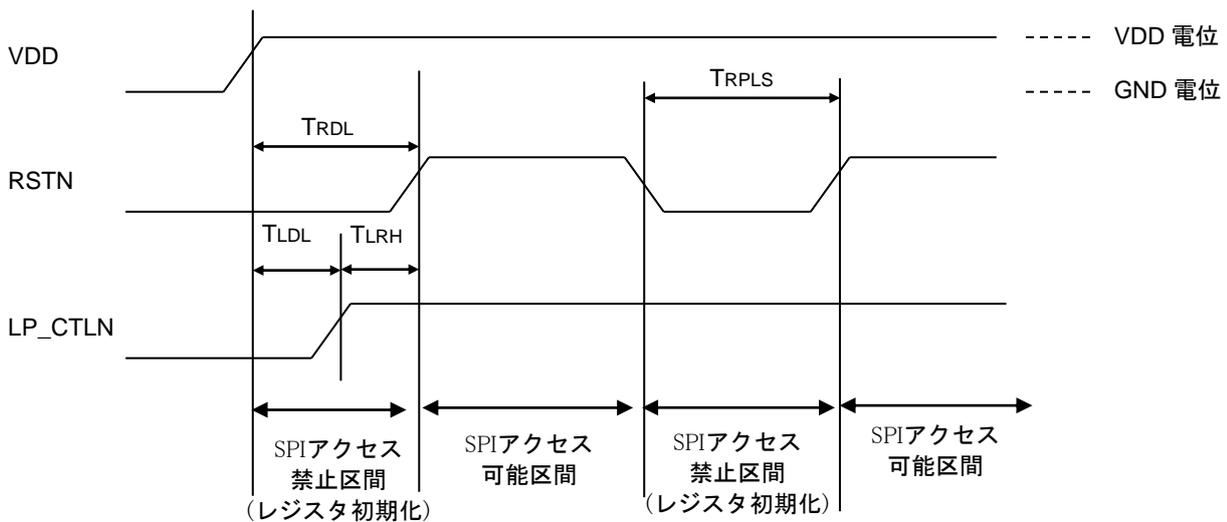
●電源起動

(動作電源電圧: VDDIO=1.8V~3.6V, Ta=-40~+85°C)

項目	記号	条件	最小	標準	最大	単位
RSTN 遅延時間 (パワーオン時)	TRDL	全電源端子 Power On 後	1.6	—	—	ms
RSTN パルス時間	TRPLS		200	—	—	ns
LP_CTLN 遅延時間 (パワーオン時)	TLDL	全電源端子 Power On 後	100	—	—	μs
LP_CTLN 立ち上り遅延時間	TLRH	VDD “H”	1.5	—	—	ms

(特記)

全てのタイミングの測定点は、VDDIO * 20% と VDDIO * 80% のレベルです。



【ご注意】

LP_CTLN=L の区間はデジタル端子の I/O 状態は不定です。

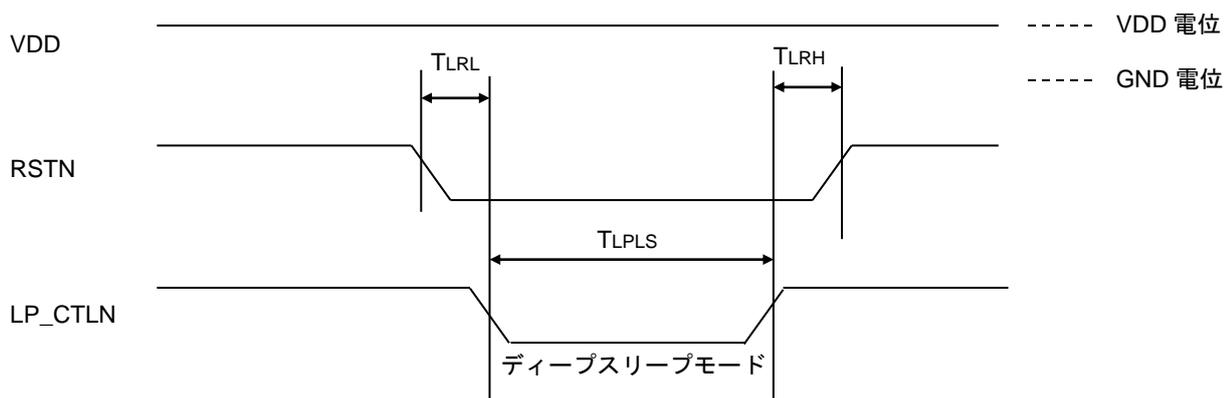
●ローパワー制御

(動作電源電圧: VDDIO=1.8V~3.6V, Ta=-40~+85°C)

項目	記号	条件	最小	標準	最大	単位
LP_CTLN 立下り遅延時間	TLRL	VDD “H”	0	—	—	us
LP_CTLN パルス時間	TLPLS	VDD “H”	1200	—	—	us
LP_CTLN 立上り遅延時間	TLRH	VDD “H”	1.5	—	—	ms

(特記)

全てのタイミングの測定点は、VDDIO * 20% と VDDIO * 80% のレベルです。



●状態遷移

ML7386/ML7386B は 5 つの動作モードを持っています。ディープスリープ(DEEP SLEEP)を除く、4つの動作モードは、[RF_MODE:0x00]レジスタにより移行可能です。

- ・ ディープスリープ(DEEP SLEEP) : LSI を完全にシャットダウンし、電流を最小化します。
- ・ スリープ(SLEEP) : レジスタ値を保持したまま、電流を最小化します。
- ・ アイドル(IDLE) : レジスタアクセスが可能な状態で、水晶発振回路が停止している状態
- ・ ストップ(STOP) : レジスタアクセスが可能な状態で、水晶発振回路が動作している状態
- ・ アクティブ(ACT) : RF 回路起動状態

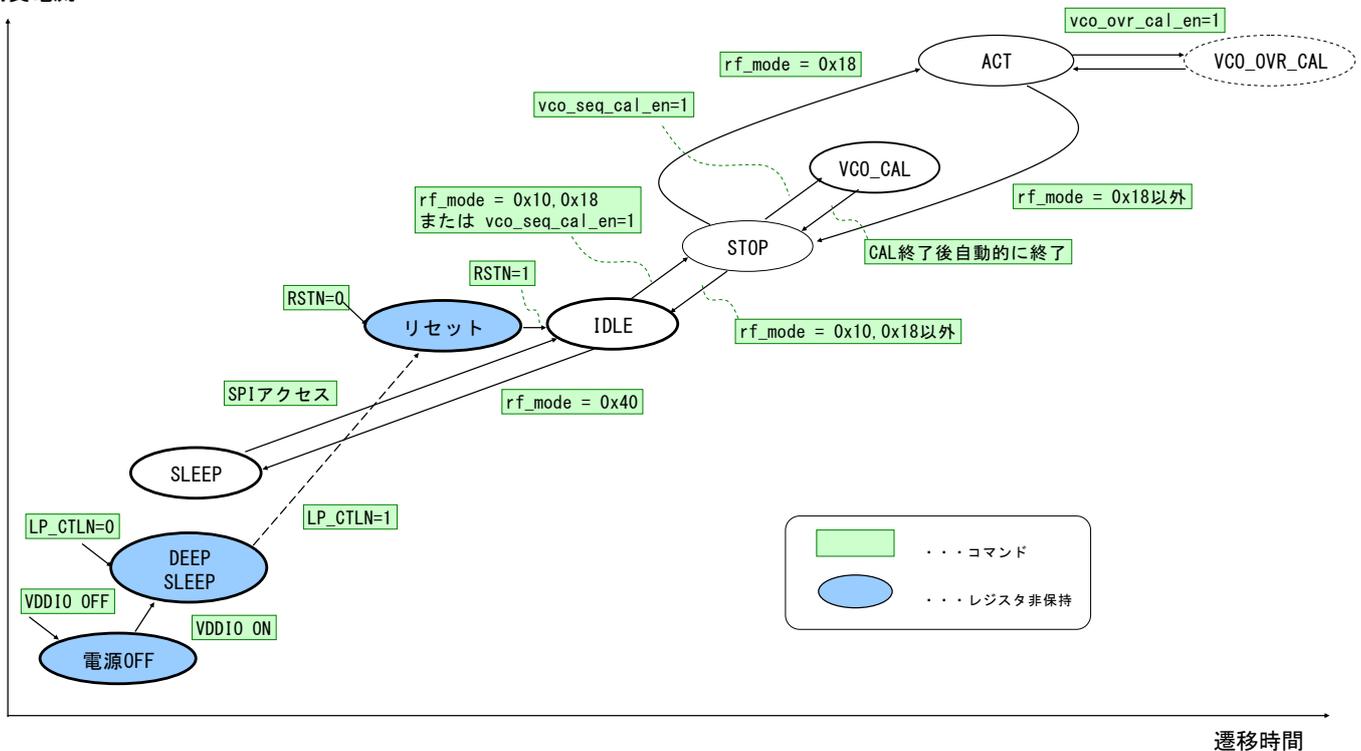
各モードでの回路状態は下の表のようになります。

モード	レジスタ値	SPI アクセス	発振回路	RF 回路	TYP 電流
DEEP SLEEP	非保持	不可	停止	停止	0.03uA
SLEEP	保持	不可(※)	停止	停止	0.3uA
IDLE	保持	可	停止	停止	0.25mA
STOP	保持	可	起動	停止	0.65mA
ACT	保持	可	起動	起動	23.8mA(10mW 時) 6.4mA(1mW 時)

※スリープ時はアイドルモードへの移行コマンドのみ、実行可能となります。

状態遷移図を下に示します。

消費電流



各モードから移行時に必要とされる最小 WAIT 時間

No.	現在のモード	移行されるモード	動作	RF_MODE 設定(x00)	移行時の WAIT 時間[ms] (※2)
1	SLEEP	IDLE	可能	0x00	1.5
2	SLEEP	STOP	可能	0x10	2.3
3	SLEEP	ACT	不可能(※1)	0x18	-
4	IDLE	SLEEP	可能	0x40	0.1
5	IDLE	STOP	可能	0x10	0.8
6	IDLE	ACT	可能	0x18	2.715
7	STOP	SLEEP	可能	0x40	0.1
8	STOP	IDLE	可能	0x00	0.1
9	STOP	ACT	可能	0x18	1.6
10	ACT	SLEEP	可能	0x40	0.12
11	ACT	IDLE	可能	0x00	0.1
12	ACT	STOP	可能	0x10	0.1

※1.SLEEP → ACT への移行は不可です。一旦、IDLE を経由するようお願いします。

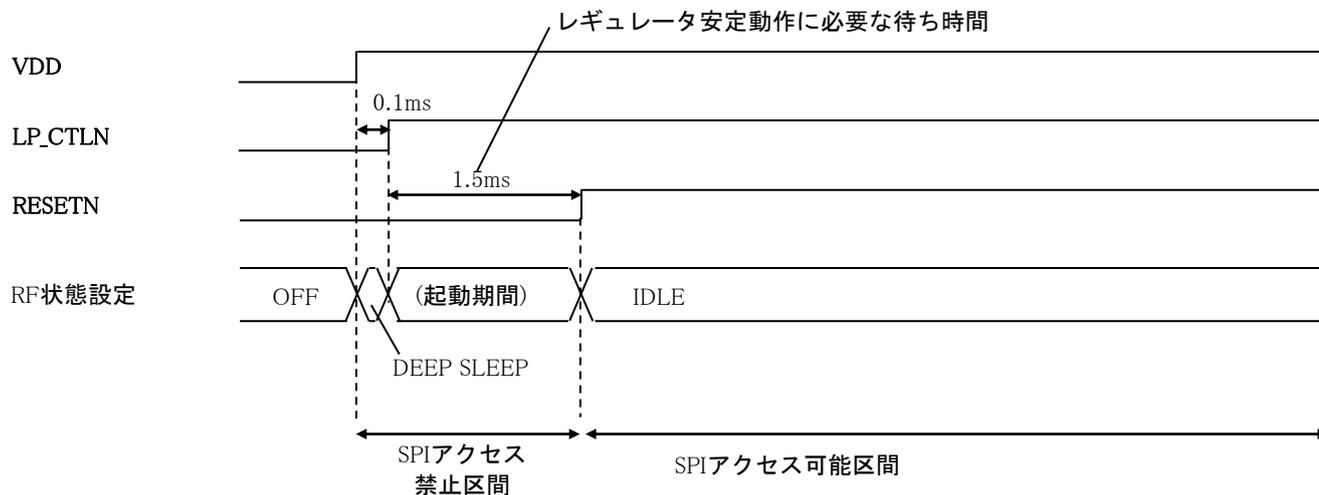
この場合、SLEEP から ACT への移行時間は、 $1.5\text{ms} + 2.715\text{ms} = 4.215\text{ms}$ となります。

※2.上記の"移行時の WAIT 時間"で示される移行期間は以下のレジスタアクセスは禁止となります。

[RF_MODE:0x00]、[CLK_SEL:0x0E]、[VCO_CAL_EN:0x12]

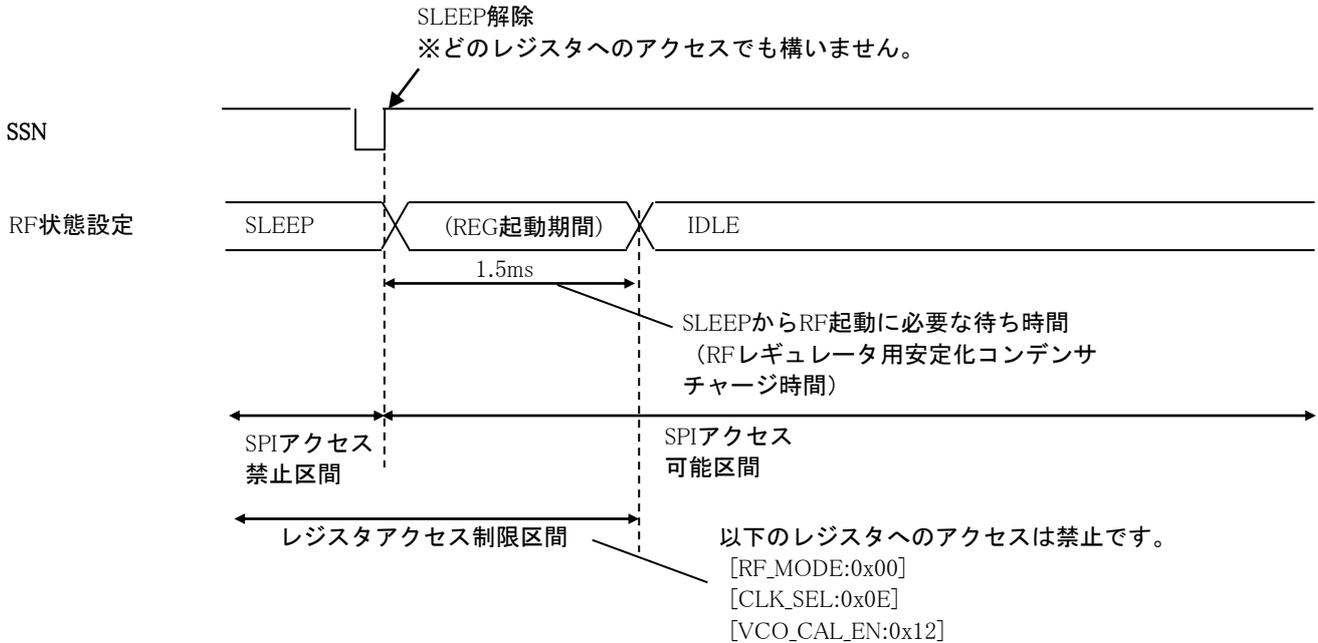
OFF → IDLE

電源 OFF から IDLE(アイドルモード)への移行タイミングを示します。



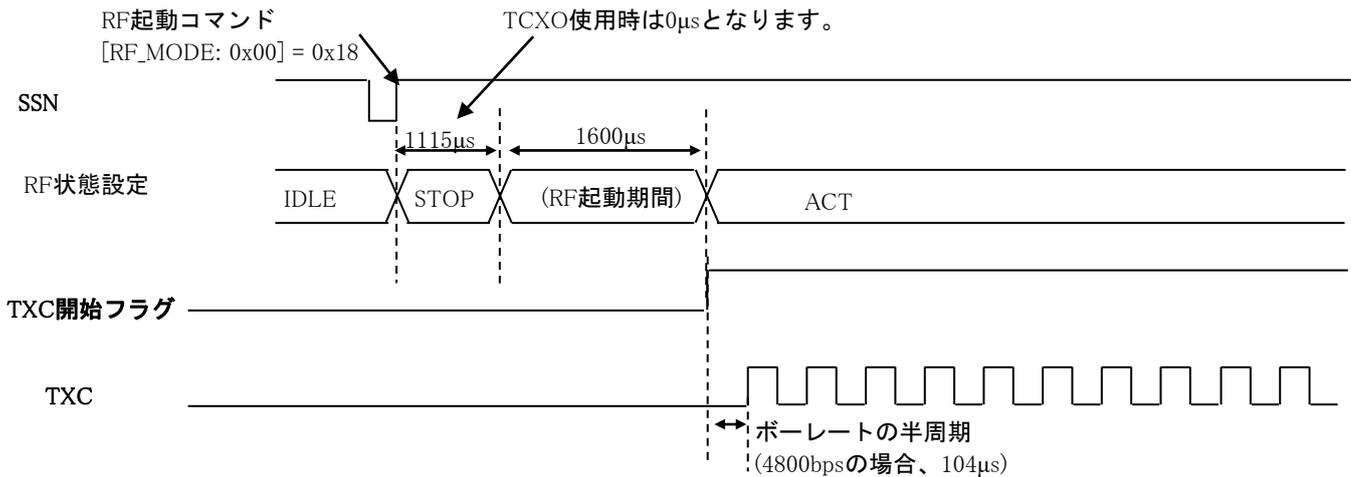
SLEEP → IDLE

SLEEP(スリープモード)から IDLE(アイドルモード)への移行タイミングを示します。



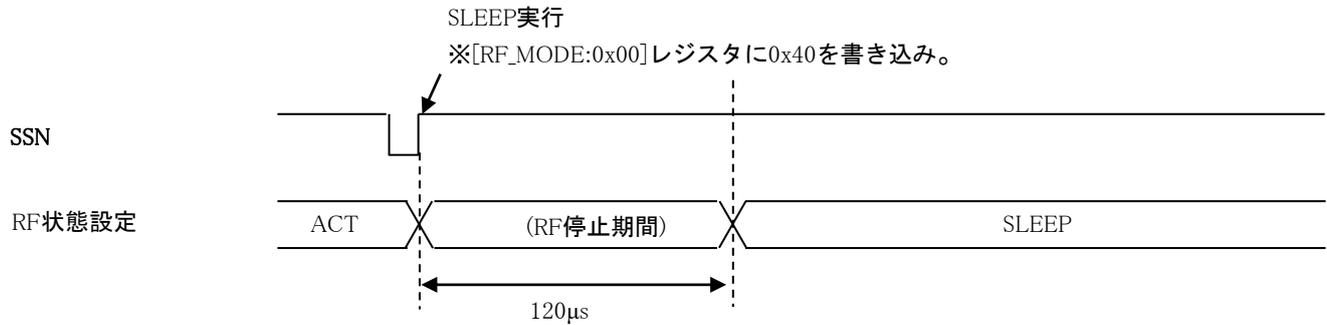
IDLE → ACT

IDLE(アイドルモード)から ACT(アクティブモード)への移行タイミングを示します。



ACT → SLEEP

ACT(アクティブモード)から SLEEP(スリープモード)への移行タイミングを示します。



●VCO キャリブレーション

VCO キャリブレーションとは、部品ばらつき等による VCO の発振周波数のずれを校正するための機能です。詳細は”ML7386/ML7386B アプリケーションマニュアル”を参照下さい。

■レジスタ

●レジスタ設定フロー

電源起動後から送信するまでのレジスタ設定フローの一例を示します。

この例では、内部のテストパタンを使って送信しています。

レジスタ設定方法については、別紙(ML7386Family_Register_Tool20150106.xls)を参照下さい。

順番	レジスタ	設定値	内容
1	0x0E	0x00	CLK の選択 (Xtal の場合=>"00", TCXO の場合=>"01")
2	0x01	0x00	ボーレート設定
3	0x02	0x08	TXD パタンの選択 ("PN9=>"08", CW=>"0C", 1010=>"09")
4	0x03	0x10	チャンネル周波数設定 (426.250MHz)
5	0x04	0xC4	
6	0x05	0x4E	
7	0x06	0x06	
VCO キャリブレーション実行 (※詳細は"ML7386/ML7386B アプリケーションマニュアル"を参照下さい。)			
8	0x08	0x1A	変調周波数偏位設定 (2.1kHz)
9	0x09	0x31	
10	0x0A	0x44	
11	0x0B	0x50	
12	0x0C	0x54	変調偏位時間設定 (2400bps 用)
13	0x0D	0xFF	
14	0x10	0x02	送信パワーレベルの調整 1
15	0x16	0x55	送信パワーレベルの調整 2
16	0x17 *1	0x00	PA の選択 (1mW=>"00", 10mW=>"01")
17	0x2A *1	0x02	PA レギュレータ設定 (1mW=>"02", 10mW=>"07")
18	0x00	0x18	送信開始
WAIT=2.715ms 後、データ送信開始			
19	0x00	00	データ送信完了後、アイドルモードへ移行

*1: ML7386B でサポートしているレジスタです。

●レジスタ一覧

表中ビット配置のグレーのハッチング箇所は LSI に非搭載または予約ビットとなります。網掛け部は固定値入力が必要となる箇所を示します。

アドレス	名称	機能概要	ビット配置								初期値	
			7	6	5	4	3	2	1	0		
0x00	RF_MODE	RF モード設定										0x00
0x01	BR	ポーレート設定										0x00
0x02	TXD_SEL	送信データ種別設定										0x00
0x03	PLL_N	PLL 整数分周比設定										0x10
0x04	PLL_FL	PLL 分数分周比設定 (下位ビット)										0xC4
0x05	PLL_FM	PLL 分数分周比設定 (中位ビット)										0x4E
0x06	PLL_FH	PLL 分数分周比設定 (上位ビット)										0x06
0x07	PLL_FIT	PLL 周波数補正值設定										0x00
0x08	F_DEV0	周波数偏位設定 0										0x1A
0x09	F_DEV1	周波数偏位設定 1										0x32
0x0A	F_DEV2	周波数偏位設定 2										0x44
0x0B	F_DEV3	周波数偏位設定 3										0x52
0x0C	F_DEV4	周波数偏位設定 4										0x54
0x0D	T_PLL_TR	PLL 変調遷移時間設定										0x86
0x0E	CLK_SEL	クロック選択										0x00
0x0F	SRST	ソフトリセット	w	w	w	w	w	w	w	w	w	0x00
0x10	PA_ADJ	PA 送信電力調整										0x77
0x11	VCO_CAL	VCO_CAL 読み出し/設定										0x20
0x12	VCO_CAL_EN	VCO_CAL イネーブル										0x00
0x13	PLL_CPI	PLL チャージポンプ電流設定										0x0F
0x14	BR_FLEX_SET_L	ポーレート可変設定 (下位ビット)										0x28
0x15	BR_FLEX_SET_H	ポーレート可変設定 (上位ビット)										0x15
0x16	PA_BIAS	PA バイアス調整(送信出力調整用)										0x55
0x17	PA_SEL	PA 切替え制御										0x01
0x1A	F_DEV_RESO	F_DEV 分解能調整										0x00
0x2A	PA_REG	PA レギュレータ設定										0x07

レジスタ詳細

- ※ レジスタの設定方法は SPI を参照願います。
- ※ RSTN 入力が“H”の状態ですべてのレジスタへのアクセスが可能となります。
- ※ ビット配置の空白は R/W レジスタを示します。

0x00【RF_MODE】

機能:RF モード設定

アドレス:0x00

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	rf_mode[7:0]	RF モード設定 0x40: SLEEP スリープモード(発振回路停止、レギュレータ停止) 0x18: ACT アクティブモード(送信開始) 0x10: STOP ストップモード(発振回路起動) 0x00: IDLE アイドルモード(発振回路停止)	0000_0000	R/W

【詳細】

- 上記以外の値での設定は IDLE 状態へ移行します。
- アクティブモードで VCO キャリブレーションを実施する場合には、アクティブモードコマンド発行後、2.8ms 以上の時間を待ってから VCO キャリブレーション実行コマンド ([VCO_CAL_EN:0x12] =01) を送出してください。
- モード移行に必要な最小 WAIT 時間はタイミングの状態遷移の項を参照下さい。
この期間中は移行期間は以下のレジスタアクセスは禁止となります。
[RF_MODE:0x00]、[CLK_SEL:0x0E]、[VCO_CAL_EN:0x12]

0x01【BR】

機能:ボーレート設定

アドレス:0x01

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-3	Reserve	予約	0000_0	R/W
2-0	baud_rate[2:0]	ボーレート設定 0b000: 2400 bps 0b001: 4800 bps 0b010: 予備 0b011: 7200 bps 0b100: 予備 0b101: 予備 0b11*: [BR_FLEX_SET_L/H: 0x14/15]レジスタによる	000	R/W

【ご注意】 マスタークロックに 26MHz を使っている場合に設定が有効です。26MHz 以外のマスタークロックを使用する場合は、baud_rate[2:0]=0b11*を設定して、データレートを[BR_FLEX_SET_L/H:0x14/15] レジスタで設定してください。

0x02【TXD_SEL】

機能:送信データ種別設定

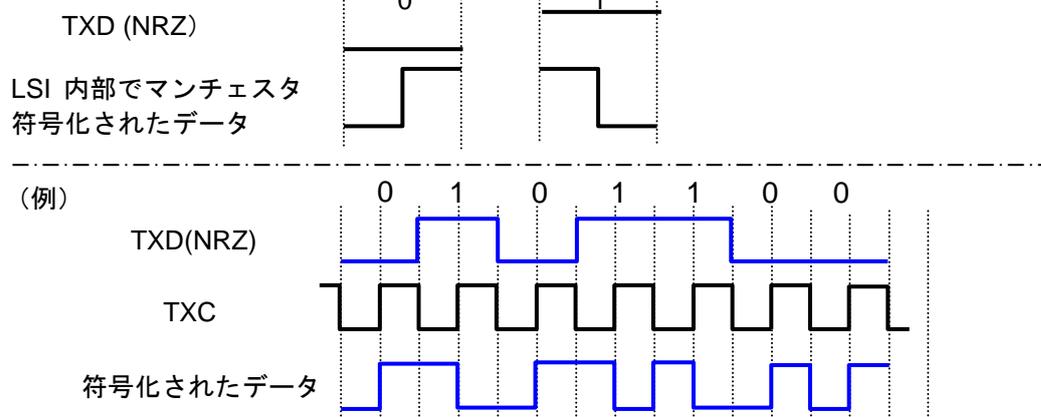
アドレス:0x02

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	txdinv	送信データの変調時周波数遷移極性を反転します。 0: 正極性(変調データ TXD=1 で高周波側に周波数偏位) 1: 負極性(変調データ TXD=1 で低周波側に周波数偏位)	0	R/W
6	manchester_en	符号化設定 0: NRZ 1:マンチェスタ	0	R/W
5-4	Reserve	予約	00	R/W
3	txtest_en	送信信号選択 0:外部入力(TXD 端子への入力データを送信) 1:テストパターン	0	R/W
2-0	txtest_sel[1:0]	送信データ種別を設定します。 0b000:PN9(LSI 内部でパターン生成) 0b001:0101 連続送信 0b010:0 連続送信 0b011:1 連続送信 0b1xx:CW(チャンネル周波数センターで CW を出力) xx は don't care	000	R/W

マンチェスタ符号化

マンチェスタ符号化モード時、ML7386/ML7386B へ入力される送信データ(TXD)と無線回線上伝送されるマンチェスタ符号化されたデータの対応は以下のとおり。



注) 上記関係より、ボーレート設定が 2400bps の場合、TXC は 1200 clock/sec で出力されます。

0x03【PLL_N】

機能:PLL 整数分周比設定

アドレス:0x03

初期値:0x10 426.2500MHz(Xtal 周波数 26MHz)

ビット	レジスタ名	説明	初期値	R/W
7-5	Reserve	予約	000	-
4-0	pll_set[24:20]	整数分周比設定	1_0000	R/W

[補足] 周波数の設定方法は、”搬送波周波数(チャンネル周波数)の設定”を参照してください。

0x04【PLL_FL】

機能:PLL 分数分周比設定 (下位ビット)

アドレス:0x04

初期値:0xC4 426.2500MHz(Xtal 周波数 26MHz)

ビット	レジスタ名	説明	初期値	R/W
7-0	pll_set[7:0]	PLL 分数分周比設定(bit7～bit0) {PLL_FH, PLL_FM, PLL_FL}の20ビットでPLL 分数分周比を設定します。	1100_0100	R/W

[補足] 周波数の設定方法は、”搬送波周波数(チャンネル周波数)の設定”を参照してください。

0x05【PLL_FM】

機能:PLL 分数分周比設定 (中位ビット)

アドレス:0x05

初期値:0x4E 426.2500MHz(Xtal 周波数 26MHz)

ビット	レジスタ名	説明	初期値	R/W
7-0	pll_set[15:8]	PLL 分数分周比設定(bit15～bit8) {PLL_FH, PLL_FM, PLL_FL}の20ビットでPLL 分数分周比を設定します。	0100_1110	R/W

[補足] 周波数の設定方法は、”搬送波周波数(チャンネル周波数)の設定”を参照してください。

0x06【PLL_FH】

機能:PLL 分数分周比設定 (上位ビット)

アドレス:0x06

初期値:0x06 426.2500MHz(Xtal 周波数 26MHz)

ビット	レジスタ名	説明	初期値	R/W
7-4	Reserve	予約	0000	R/W
3-0	pll_set[19:16]	PLL 分数分周比設定(bit19~bit16) {PLL_FH, PLL_FM, PLL_FL}の20ビットでPLL 分数分周比を設定します。	0110	R/W

[補足] 周波数の設定方法は、“搬送波周波数(チャンネル周波数)の設定”を参照してください。

0x07【PLL_FIT】

機能:PLL 周波数補正值設定

アドレス:0x07

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	pll_fit[7]	符号 0: +側に補正 1: -側に補正	0	R/W
6-0	pll_fit[6:0]	補正データ 0~127 [設定値]*25Hz 補正	000_0000	R/W

設定例)

設定 0 の場合 : 周波数補正值 無し

設定 1 の場合 : 周波数補正值 25Hz

設定 2 の場合 : 周波数補正值 50Hz

.

.

設定 127 の場合 : 周波数補正值 3.175kHz

0x08【F_DEV0】

機能:周波数偏位設定 0

アドレス:0x08

初期値:0x1A

ビット	レジスタ名	説明	初期値	R/W
7-0	f_dev0[7:0]	データ送信時の周波数偏位#0 を設定	0001_1010	R/W

[補足] 設定方法は、“FSK 変調の設定”を参照してください。

0x09【F_DEV1】

機能:周波数偏位設定 1

アドレス:0x09

初期値:0x32

ビット	レジスタ名	説明	初期値	R/W
7-0	f_dev1[7:0]	データ送信時の周波数偏位#1 を設定	0011_0010	R/W

[補足] 設定方法は、「FSK 変調の設定」を参照してください。

0x0A【F_DEV2】

機能:周波数偏位設定 2

アドレス:0x0A

初期値:0x44

ビット	レジスタ名	説明	初期値	R/W
7-0	f_dev2[7:0]	データ送信時の周波数偏位#2 を設定	0100_0100	R/W

[補足] 設定方法は、「FSK 変調の設定」を参照してください。

0x0B【F_DEV3】

機能:周波数偏位設定 3

アドレス:0x0B

初期値:0x52

ビット	レジスタ名	説明	初期値	R/W
7-0	f_dev3[7:0]	データ送信時の周波数偏位#3 を設定	0101_0010	R/W

[補足] 設定方法は、「FSK 変調の設定」を参照してください。

0x0C【F_DEV4】

機能:周波数偏位設定 4

アドレス:0x0C

初期値:0x54

ビット	レジスタ名	説明	初期値	R/W
7-0	f_dev4[7:0]	データ送信時の周波数偏位#4 を設定	0101_0100	R/W

[補足] 設定方法は、”FSK 変調の設定”を参照してください。

0x0D【T_PLL_TR】

機能:PLL 変調遷移時間設定

アドレス:0x0D

初期値:0x86

ビット	レジスタ名	説明	初期値	R/W
7-0	tim_plltr[7:0]	変調動作時、ステップ状に遷移する周波数の時間幅を設定します。 [設定値]×0.154us (0.154us=4/26MHz) 初期値(0x86)は 20.6us	1000_0110	R/W

【詳細】

1. 設定方法は、”FSK 変調の設定”を参照してください。
2. ボーレート設定レジスタ([BR:0x01])毎の T_PLL_TR の設定値を示します。ボーレートに応じて変更して下さい。

ボーレート [bps]	[BR:0x01] register baud_rate[2:0]	Tim_plltr[7:0]
2400	0b000	0xFF
4800	0b001	0x87
7200	0b011	0x5A

0x0E【CLK_SEL】

機能:クロック選択

アドレス:0x0E

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserve	予約	0000_00	R/W
1	-	固定値	0	R/W
0	srcck_sel	クロック入力選択 0:OSC 1:TCXO	0	R/W

0x0F【SRST】

機能:ソフトリセット

アドレス:0x0F

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	srstn[7:0]	ソフトリセット 0x46 ライト時: RF デジタルブロック個別リセット (VCO_CAL 部、LD 端子を初期化) 0xA7 ライト時: 全体リセット(レジスタを初期化) 当該データのライトアクセスを検出し動作します。	0000_0000	W

【ご注意】[VCO_CAL:0x11]レジスタは、0xA7 をライトしレジスタリセットを行っても、内部ステータスが反映されリセットされていないように見える場合があります。内部では一度初期化され、直後に内部ステータスを取得する動作を行っています。

0x10【PA_ADJ】

機能:PA 送信電力調整

アドレス:0x10

初期値:0x77

ビット	レジスタ名	説明	初期値	R/W
7-4	pa_adj[3:0]	PA 送信電力調整レジスタ(10mW モード) 0b0000: 送信電力最小 0b1111: 送信電力最大	0111	R/W
3-0	pa_adj0[3:0]	PA 送信電力調整レジスタ(1mW モード) 0b0000: 送信電力最小 0b1111: 送信電力最大	0111	R/W

[補足] 詳しい調整フローは”10mW 送信パワーの調整”または”1mW 送信パワーの調整”を参照してください。

0x11【VCO_CAL】

機能:VCO_CAL 読み出し/設定

アドレス:0x11

初期値:0x20

ビット	レジスタ名	説明	初期値	R/W
7	b_vcoovr_cal	レジスタ設定値オーバーライドイネーブル 1 : b_vco_cal[6:0]設定値をオーバーライドします。 0 : VCO CAL 値を読み出せます。	0	R/W
6	Reserve	予約	0	R/W
5-0	b_vco_cal[5:0]	Bit7=1 の時、このビットに書き込まれた値が VCO に与えられます。Bit7=0 の時、VCO CAL 実行結果の読み出しが可能となり、この値が VCO に与えられます。 最大値 : 0b11_1111 (最高周波数) 最小値 : 0b00_0000 (最低周波数)	10_0000	R/W

0x12【VCO_CAL_EN】

機能:VCO_CAL イネーブル

アドレス:0x12

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserve	予約	0000_00	R/W
1	vco_seq_cal_en	1を設定するとアイドルモードでのVCO CALを実行します。 CALが完了するとIdle状態に戻り、0となります。	0	R/W
0	vco_ovr_cal_en	アクティブモードで1を設定するとVCO CALを実行します。CALが完了するとアクティブモードに戻り、0となります。	0	R/W

[補足] 詳細は“VCO キャリブレーション”を参照してください。

0x13【PLL_CPI】

機能:PLL チャージポンプ電流設定

アドレス:0x13

初期値:0x0F

ビット	レジスタ名	説明	初期値	R/W
7-4	Reserve	予約	0000	R/W
3	-	固定値	1	R/W
2-0	cp_cal[2:0]	チャージポンプ電流調整 (PLL ループ帯域の調整のために使用します。) 0b111: 150μA 0b000: 10μA 1LSB 当たり 20uA 変化します。	111	R/W

0x14【BR_FLEX_SET_L】

機能:ボーレート可変設定(下位バイト)

アドレス:0x14

初期値:0x28

ビット	レジスタ名	説明	初期値	R/W
7-0	br_flex_set[7:0]	ボーレート可変設定(下位バイト) 下記で算出される値を、[BR_FLEX_H:0x15]レジスタの 8ビットと共に全 16bit で設定します。 設定値 = (入力クロック周波数 / ボーレート / 2) - 1	0010_1000	R/W

【ご注意】

1. [BR:0x01]=0x06 または 0x07 に設定している場合に本レジスタが有効となります。
2. 本レジスタを使用した場合、お客様責任での動作確認が必要になります。

0x15【BR_FLEX_SET_H】

機能:ボーレート可変設定(上位バイト)

アドレス:0x15

初期値:0x15

ビット	レジスタ名	説明	初期値	R/W
7-0	br_flex_set[15:8]	ボーレート可変設定(上位バイト) 詳細は、[BR_FLEX_L:0x14]を参照してください。	0001_0101	R/W

設定例) 26MHz クロックにてボーレートを 32.768kbps にする場合
 $(26,000,000(\text{Hz}) / 32.768(\text{kbps}) / 2(\text{固定値})) - 1(\text{固定値}) = 395.7 = 0x018b$
 よって設定は以下となります。
 [BR_FLEX_SET_L:0x14] = 0x8b
 [BR_FLEX_SET_H:0x15] = 0x01

0x16【PA_BIAS】

機能:PA バイアス調整

アドレス:0x16

初期値:0x55

ビット	レジスタ名	説明	初期値	R/W
7	-	固定値	0	R/W
6	local_bias_	10mW 用ローカルバッファ調整 0b1 : 大 (最大送信パワー) 0b0 : 小	1	R/W
5-4	pa_bias[1:0]	10mW 用 PA バイアス調整 0b11 : 最大 (最大送信パワー) 0b00 : 最小 (最小送信パワー)	01	R/W
3		固定値	0	R/W
2	local_bias0	1mW 用ローカルバッファ調整 0b1 : 大 (最大送信パワー) 0b0 : 小	1	R/W
1-0	pa_bias0[1:0]	1mW 用 PA バイアス調整 0b11 : 最大 (最大送信パワー) 0b00 : 最小 (最小送信パワー)	01	R/W

0x17【PA_SEL】

機能:PA 切り替え制御

アドレス:0x17

初期値:0x01

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserve	予約	0000_00	R/W
1	pa_off	PA の状態制御 0:通常動作 1:停止	0	R/W
0	pa_sel	使用する PA を設定します。 0:1mW モード 1:10mW モード	1	R/W

0x1A【F_DEV_RESO】

機能:F_DEV 分解能調整

アドレス:0x1A

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-4	Reserve	予約	0000	R/W
3-0	dev_reso[3:0]	F_DEV 分解能 (設定範囲 0~4) 分解能は下記の式で求められます。 $2^y * (f_{ref} / 2^{20})$ [Hz] f _{REF} : マスタークロック	0000	R/W

【ご注意】本レジスタを使用した場合、お客様責任での動作確認が必要となります。

設定値と分解能の関係は下記のようになります。(f_{REF} = 26MHz の場合)

dev_reso[3:0]	分解能 [Hz]	最大周波数偏位 [kHz]
0b0000	25	6.3
0b0001	50	12.7
0b0010	99	25.3
0b0011	198	50.6
0b0100	396	101.2

0x2A【PA_REG】

機能:PA レギュレータ設定

アドレス:0x2A

初期値:0x07

ビット	レジスタ名	説明	初期値	R/W
7-3	Reserve	予約	0000_0	R/W
2-0	pa_reg[2:0]	レギュレータ出力電圧設定 0b010:1mW モード用 0b111:10mW モード用 その他:予約	111	R/W

【ご注意】使用するパワーモードに応じて設定してください。

■ RF の調整

● 送信パワーの調整

ML7386B は 10mW モードと 1mW モードの 2 種類のパワーアンプ(PA)を内蔵しており、使用するパワーレベルに応じて、どちらかを選択して使用します。この章では各々のパワーモードにおける送信電力の調整方法について説明致します。

※それぞれのパワーモードに応じて、最適な RF マッチング回路を設計することを推奨致しています。10mW モード用に設計された RF マッチング回路で、1mW モード PA を選択すると RF 特性は動作は保証されませんのでご注意ください。1mW モード回路で、10mW モード PA を選択した場合も同様です。

●10mW 送信パワーの調整

送信パワーは[PA_ADJ:0x10]レジスタ及び[PA_BIAS:0x16]レジスタによって調整することができます。10mW に調整する場合の調整フロー例を示します。

調整の管理幅は調整値±5%より大きくなるように設定してください。

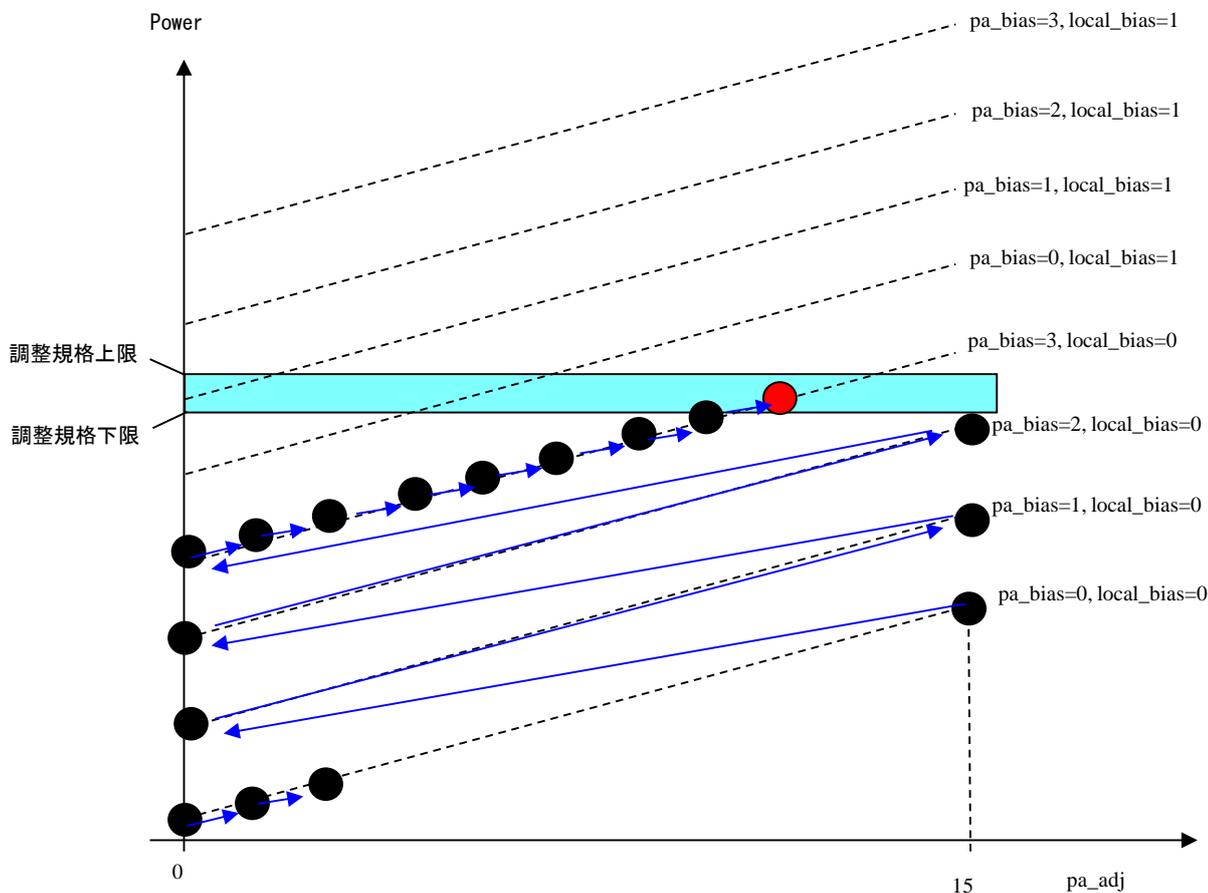
下記のフローでは、管理幅を±10%とし、調整上限値を 11mW、調整下限値を 9mW としています。

表記について

pa_sel : 【PA_SEL:0x17】BIT0 を表します。
 pa_adj : 【PA_ADJ:0x10】BIT7-4 を表します。
 local_bias : 【PA_BIAS:0x16】BIT6 を表します。
 pa_bias : 【PA_BIAS:0x16】BIT5-4 を表します。
 pa_reg : 【PA_REG:0x2A】BIT2-0 を表します

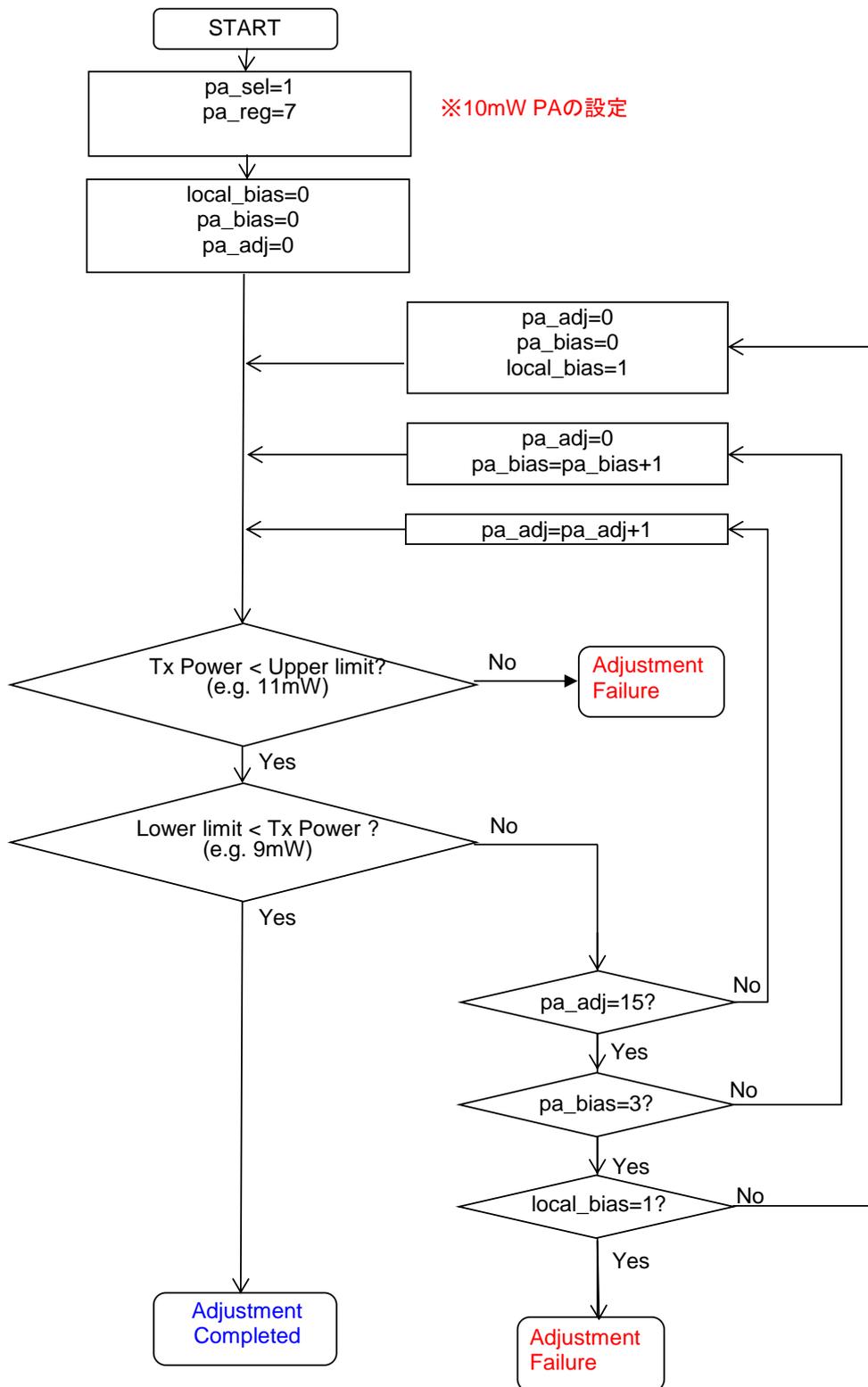
【10mW モードサーチフロー】

- ①pa_bias=0,local_bias=0,pa_adj=0 に設定。
 - ②Power > 調整規格下限となるまで pa_adj を 1 ずつ上げる。
 - ③pa_adj=15 まで到達したら、下図の手順のように pa_bias と local_bias を設定し、pa_adj=0 に設定する。
 - ④pa_adj を 1 ずつ上げていき、Power > 調整規格下限となったら、調整完了。
- このフローで調整できない場合、調整規格を広げる必要があります。



【10mW モードパワー調整フローチャート】

以下のフローで、使われる数値は 10 進数で表記されています。



●1mW 送信パワーの調整

送信パワーは[PA_ADJ:0x10]レジスタ及び[PA_BIAS:0x16]レジスタによって調整することができます。

1mW に調整する場合の調整フロー例を示します。

調整の管理幅は調整値±5%より大きくなるように設定してください。

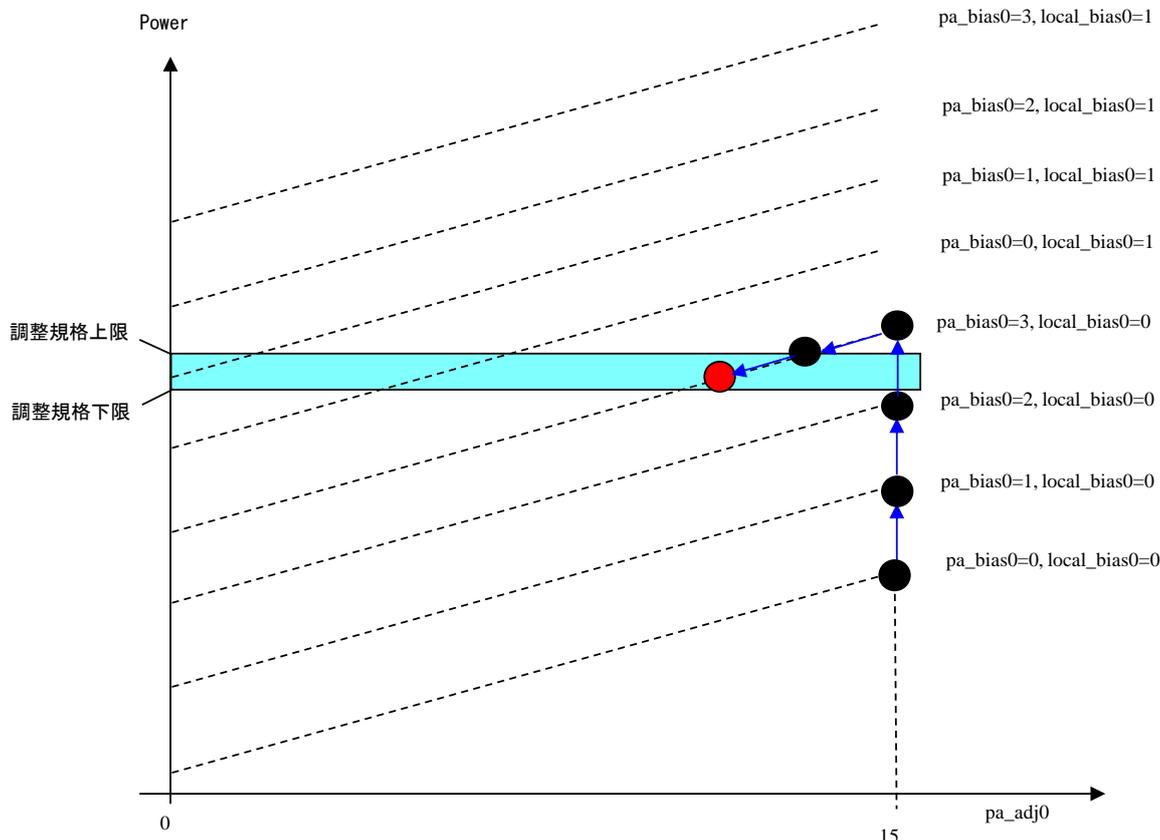
下記のフローでは、管理幅を±10%とし、調整上限値を 1.1mW、調整下限値を 0.9mW としています。

表記について

pa_sel :【PA_SEL:0x17】BIT0 を表します。
 pa_adj0 :【PA_ADJ:0x10】BIT3-0 を表します。
 local_bias0 :【PA_BIAS:0x16】BIT2 を表します。
 pa_bias0 :【PA_BIAS:0x16】BIT1-0 を表します。
 pa_reg :【PA_REG:0x2A】BIT2-0 を表します
 以下のフローでは使われる数値は 10 進数で表記されています。

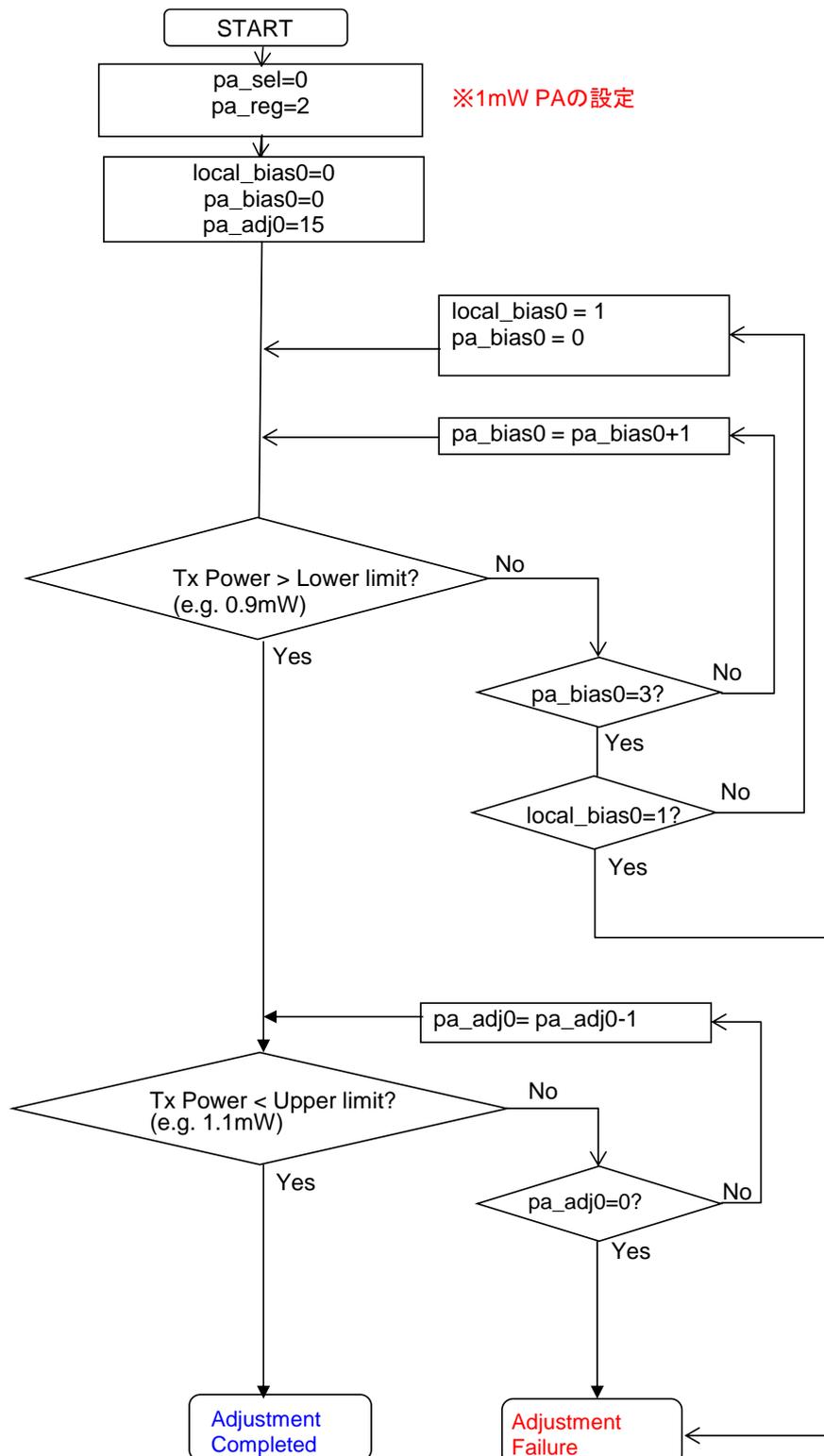
【1mW モードサーチフロー】

- ①pa_bias=0,local_bias=0,pa_adj0=15 に設定。
- ②Power > 調整規格下限となるまで
 pa_bias0,及び local_bias0 を図の手順で、1 ずつ上げる。
 Power < 調整規格上限のとき、調整完了。
- ③power> 調整規格上限のとき
 pa_adj0 を1ずつ下げて行き、次の条件を満足したら完了。
 調整規格下限 < Power < 調整規格上限
 このフローで調整できない場合、調整規格を広げる必要があります。



【1mW モードパワー調整フローチャート】

以下のフローで、使われる数値は 10 進数で表記されています。



●搬送周波数(チャンネル周波数)の設定

[PLL_N:0x03]、[PLL_FL:0x04]、[PLL_FM:0x05]、[PLL_FH:0x06]レジスタ (x03-x06)レジスタにて、搬送周波数を設定できます。レジスタ設定値は次式にて求められます。

$$f = f_{\text{REF}} * \{N + F/2^{20}\}$$

f : PLL 発振周波数

freal : 目標周波数

ferr : 目標周波数からの周波数誤差 (freal - f)

fREF : マスタークロック周波数

N : 分周比設定(整数部)

F : 分周比設定(小数部)

その時、各周波数レジスタの設定は以下になります。

$$N = \text{int}[f / f_{\text{REF}}] \quad \dots \text{分周比の整数部}$$

$$F = \text{int}[(f / f_{\text{REF}} - N) * 2^{20}] \quad \dots \text{分周比の小数部}$$

よって周波数誤差は $f_{\text{err}} = \text{freal} - [f_{\text{REF}} * (N + F/2^{20})]$ になります。

例) $f=426.2500\text{MHz}$ $f_{\text{REF}}=26\text{MHz}$ の場合、以下の様になります。

$$N = \text{int}[426.2500\text{M} / 26\text{M}] = 16 \quad (0x10)$$

$$F = \text{int}[(426.2500\text{M} / 26\text{M} - 16) * 2^{20}] = 413380 \quad (0x064\text{EC}4)$$

$$[\text{PLL_N}:0x03] = 0x10$$

$$[\text{PLL_FL}:0x04] = 0xC4$$

$$[\text{PLL_FM}:0x05] = 0x4E$$

$$[\text{PLL_FH}:0x06] = 0x06$$

この時の誤差 f_{err} は $426.2500\text{M} - [26\text{M} * \{16 + 413380 / 2^{20}\}] = +22.9\text{Hz}$ になります。

※ 周波数分解能はマスタークロック周波数に依存し、 $f_{\text{REF}}=26\text{MHz}$ の場合には、約 25Hz に相当します。

【RCR-STD-30 用 設定周波数一覧】

(マスタークロック=26MHz の場合)

CH 番号	周波数 [MHz]	PLL_N (0x03)	PLL_FL (0x04)	PLL_FM (0x05)	PLL_FH (0x06)	Ferr [Hz]
1	426.2500	10	C4	4E	06	22.9
2	426.2625	10	BD	50	06	1.1
3	426.2750	10	B5	52	06	4.2
4	426.2875	10	AD	54	06	7.2
5	426.3000	10	A5	56	06	10.3
6	426.3125	10	9D	58	06	13.4
7	426.3250	10	95	5A	06	16.4
8	426.3375	10	8D	5C	06	19.5
9	426.3500	10	85	5E	06	22.5
10	426.3625	10	7E	60	06	0.8
11	426.3750	10	76	62	06	3.8
12	426.3875	10	6E	64	06	6.9
13	426.4000	10	66	66	06	9.9
14	426.4125	10	5E	68	06	13.0
15	426.4250	10	56	6A	06	16.0
16	426.4375	10	4E	6C	06	19.1
17	426.4500	10	46	6E	06	22.1
18	426.4625	10	3F	70	06	0.4
19	426.4750	10	37	72	06	3.4
20	426.4875	10	2F	74	06	6.5
21	426.5000	10	27	76	06	9.5
22	426.5125	10	1F	78	06	12.6
23	426.5250	10	17	7A	06	15.6
24	426.5375	10	0F	7C	06	18.7
25	426.5500	10	07	7E	06	21.7
26	426.5625	10	00	80	06	0.0
27	426.5750	10	F8	81	06	3.1
28	426.5875	10	F0	83	06	6.1
29	426.6000	10	E8	85	06	9.2
30	426.6125	10	E0	87	06	12.2
31	426.6250	10	D8	89	06	15.3
32	426.6375	10	D0	8B	06	18.3
33	426.6500	10	C8	8D	06	21.4
34	426.6625	10	C0	8F	06	24.4
35	426.6750	10	B9	91	06	2.7
36	426.6875	10	B1	93	06	5.7

【RCR-STD-30 用 設定周波数一覧続き】

(マスタークロック=26MHz の場合)

CH 番号	周波数 [MHz]	PLL_N (0x03)	PLL_FL (0x04)	PLL_FM (0x05)	PLL_FH (0x06)	Ferr [Hz]
37	426.7000	10	A9	95	06	8.8
38	426.7125	10	A1	97	06	11.8
39	426.7250	10	99	99	06	14.9
40	426.7375	10	91	9B	06	17.9
41	426.7500	10	89	9D	06	21.0
42	426.7625	10	81	9F	06	24.0
43	426.7750	10	7A	A1	06	2.3
44	426.7875	10	72	A3	06	5.3
45	426.8000	10	6A	A5	06	8.4
46	426.8125	10	62	A7	06	11.4
47	426.8250	10	5A	A9	06	14.5
48	426.8375	10	52	AB	06	17.5

【ARIB-STD-T67 用 設定周波数一覧】

(マスタークロック=26MHz の場合)

CH 番号	周波数 [MHz]	PLL_N (0x03)	PLL_FL (0x04)	PLL_FM (0x05)	PLL_FH (0x06)	Ferr [Hz]
1	426.0250	10	52	2B	06	17.55
2	426.0375	10	4A	2D	06	20.60
3	426.0500	10	42	2F	06	23.65
4	426.0625	10	3B	31	06	1.91
5	426.0750	10	33	33	06	4.96
6	426.0875	10	2B	35	06	8.01
7	426.1000	10	23	37	06	11.06
8	426.1125	10	1B	39	06	14.11
9	426.1250	10	13	3B	06	17.17
10	426.1375	10	0B	3D	06	20.22

●(参考)マスタークロックと周波数設定範囲例

マスター クロック[MHz]	PLL 周波数設定範囲		周波数 分解能[Hz]
	最小周波数 [MHz]	最大周波数 [MHz]	
18	200	486	17
19	211	513	18
20	222	540	19
21	233	567	20
22	244	594	21
23	255	621	22
24	266	648	23
25	278	675	24
26	289	702	25
27	300	729	26
28	311	756	27
29	322	783	28
30	333	810	29
31	344	837	30
32	355	864	31
33	366	891	31
34	377	918	32
35	389	945	33
36	400	972	34

●FSK 変調の設定

[F_DEV0:0x08]から[F_DEV4;0x0C]レジスタおよび[T_PLL_TR:0x0D]レジスタで各パラメータを設定します。OBW やスプリアス規格を満たすために、[F_DEV0]から[F_DEV4]レジスタは所望する周波数偏位に応じて、また[T_PLL_TR]レジスタは設定しているボーレートに応じて下表の値を設定してください。

下記はマスタークロック周波数=26MHz の設定表となります。26MH 以外のマスタークロックを使用する場合には、別紙(ML7386Family_Register_Tool20150106.xls)にて設定値を算出できます。その際、お客様責任での動作確認が必要になります。

「F_DEV0」から「F_DEV4」の設定(マスタークロック=26MHz の場合)

Fdev [kHz]	F_DEV0 (0x08)	F_DEV1 (0x09)	F_DEV2 (0x0A)	F_DEV3 (0x0B)	F_DEV4 (0x0C)	備考
0.6	07	0E	13	16	18	
0.7	08	10	16	1A	1C	
0.8	0A	13	1A	1E	20	
0.9	0B	15	1D	22	24	
1.0	0C	17	20	26	28	
1.1	0D	1A	23	2A	2C	
1.2	0F	1C	27	2D	30	
1.3	10	1E	2A	31	34	
1.4	11	21	2D	35	38	
1.5	12	23	31	39	3C	
1.6	14	26	34	3D	40	
1.7	15	28	37	41	44	
1.8	16	2A	3A	44	48	
1.9	17	2D	3E	48	4C	
2.0	19	2F	41	4C	50	
2.1	1A	31	44	50	54	初期値
2.2	1B	34	47	54	58	
2.3	1C	36	4B	58	5C	
2.4	1E	39	4E	5B	60	
2.5	1F	3B	51	5F	64	
2.6	20	3D	54	63	68	
2.7	21	40	58	67	6C	
2.8	23	42	5B	6B	70	
2.9	24	45	5E	6F	74	
3.0	25	47	62	72	78	

「F_DEV0」から「F_DEV4」の設定(続き)

Fdev [kHz]	F_DEV0 (0x08)	F_DEV1 (0x09)	F_DEV2 (0x0A)	F_DEV3 (0x0B)	F_DEV4 (0x0C)	備考
3.1	26	49	65	76	7D	
3.2	28	4C	68	7A	81	
3.3	29	4E	6B	7E	85	
3.4	2A	50	6F	82	89	
3.5	2B	53	72	86	8D	
3.6	2D	55	75	89	91	
3.7	2E	58	78	8D	95	
3.8	2F	5A	7C	91	99	
3.9	30	5C	7F	95	9D	
4.0	32	5F	82	99	A1	
4.1	33	61	85	9D	A5	
4.2	34	63	89	A0	A9	

「T_PLL_TR」の設定(マスタークロック=26MHz の場合)

ポーレート [bps]	T_PLL_TR (0x0D)	備考
2400	0xFF	
4800	0x87	
7200	0x5A	

●フラクショナルスピリアスの回避

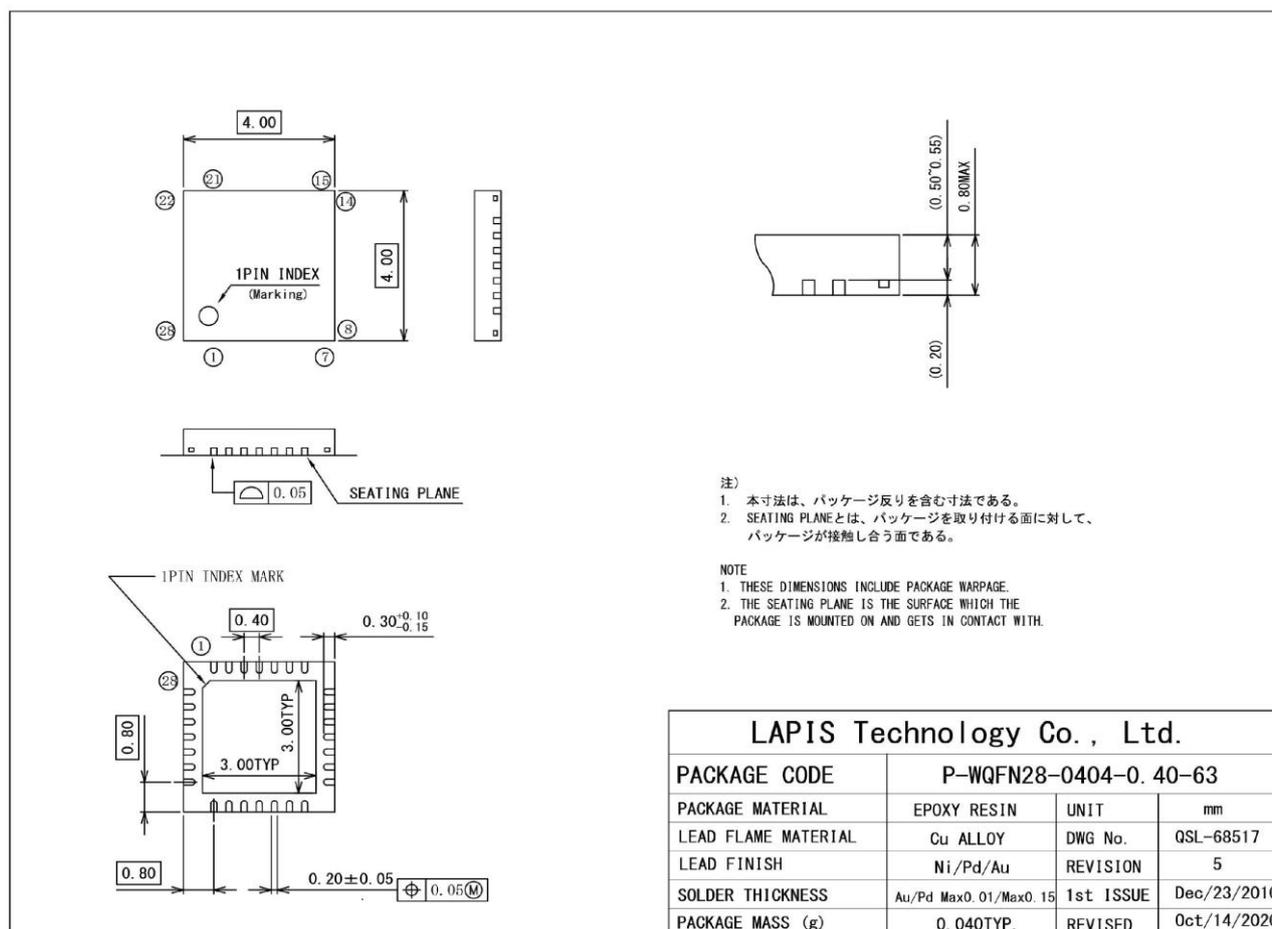
フラクショナル N スピリアスが下の2式のいずれかで計算されるオフセット周波数で発生します。このスピリアスが搬送波周波数に対して±200kHz 以内に発生する場合は著しくスピリアスが放射され、減衰することができません。このような設定となる周波数は使用しないでください。

- ① $(\text{搬送波周波数} / \text{マスタークロック周波数})$ の小数部 \times リマスタークロック周波数
- ② $(1 - (\text{搬送波周波数} / \text{マスタークロック周波数}))$ の小数部 \times マスタークロック周波数

フラクショナルスピリアスで使用できなくなる搬送周波数は、マスタークロック(26MHz) * n の±200kHz の範囲となります。ML7386/ML7386B の周波数設定範囲では、下記の帯域に相当します。

分周数 n	スピリアス周波数 [MHz]	スピリアス周波数 下限[MHz]	スピリアス周波数 上限[MHz]
n=8	208	207.8	208.2
n=9	234	233.8	234.2
n=10	260	259.8	260.2
n=11	286	285.8	286.2
n=12	312	311.8	312.2
n=13	338	337.8	338.2
n=14	364	363.8	364.2
n=15	390	389.8	390.2
n=16	416	415.8	416.2
n=17	442	441.8	442.2
n=18	468	467.8	468.2
n=19	494	493.8	494.2
n=20	520	519.8	520.2
n=21	546	545.8	546.2
n=22	572	571.8	572.2
n=23	598	597.8	598.2
n=24	624	623.8	624.2
n=25	650	649.8	650.2
n=26	676	675.8	676.2
n=27	702	701.8	702.2
n=28	728	727.8	728.2
n=29	754	753.8	754.2
n=30	780	779.8	780.2
n=31	806	805.8	806.2
n=32	832	831.8	832.2
n=33	858	857.8	858.2
n=34	882	881.8	882.2
n=35	908	907.8	908.2
n=36	934	933.8	934.2
n=37	960	959.8	960.2

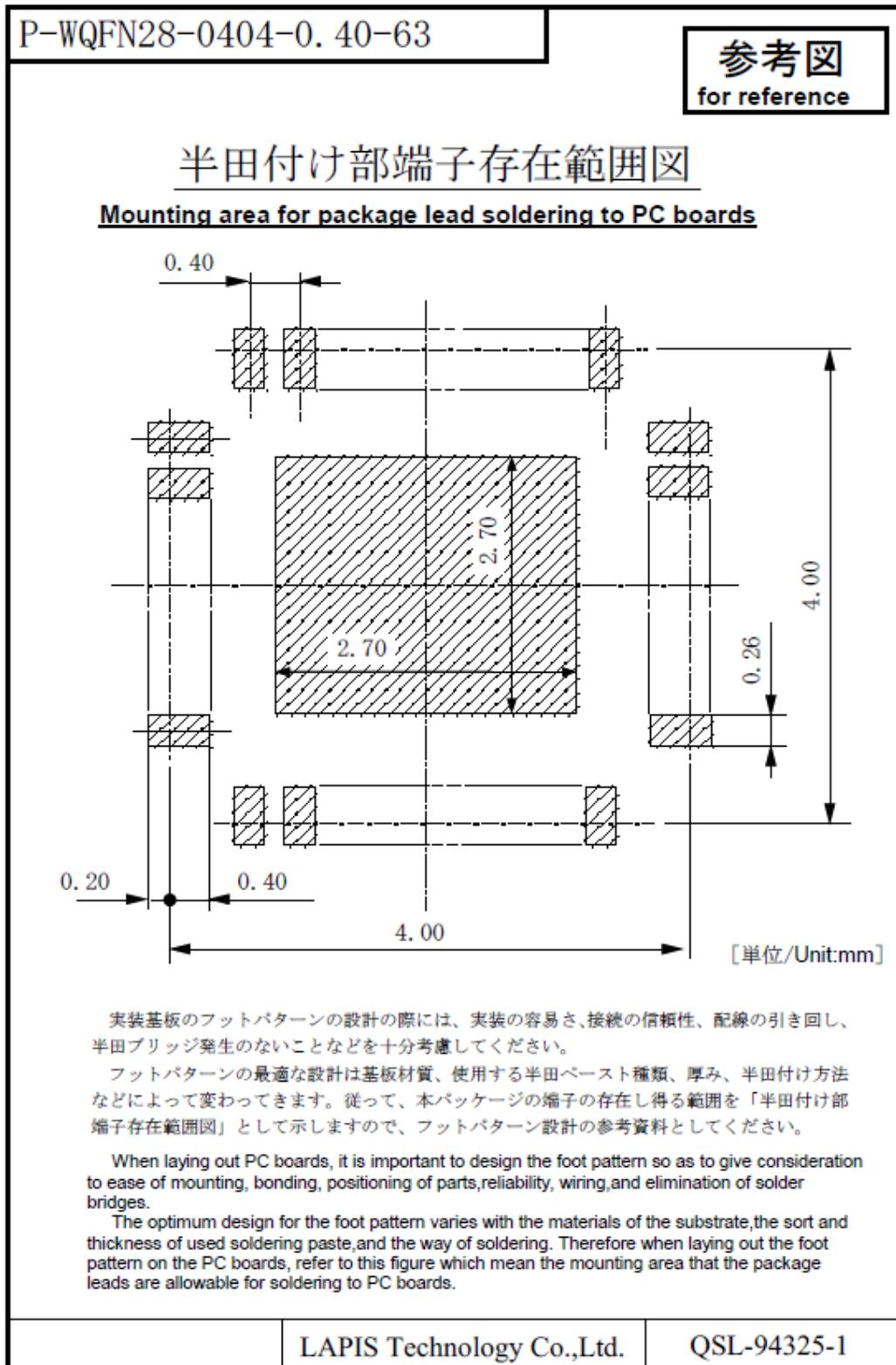
■ パッケージ寸法図



表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などを弊社担当営業まで必ずお問い合わせ下さい。

■半田付け部端子存在範囲図



■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7386B-01	2012.12.3	-	-	初版発行
FJDL7386B-02	2013.1.7	17	17	送信データインターフェース特性の説明追加
		35	35	x2A: PA_REG についての記載を追加
FJDL7386B-03	2013.2.18	1	1	周波数設定可能範囲の記載を追加
		1	1	マスタークロック入力周波数範囲の記載を追加
		1	1	ボーレート設定可能範囲の記載を追加
		1	1	変調周波数偏位設定可能範囲の記載を追加
		12	12	特性保証条件の記載を明確化
		14-23	14-23	タイミングについての記載を追加
		34	34	BR_FLEX_SET_HL のレジスタ説明追加
		36	36	F_DEV_RESO のレジスタ説明追加
		47	47	マスタークロックと周波数設定範囲例の記載追加
		50	50	フラクショナルスプリアスの回避の記載変更
FJDL7386B-04	2013.6.11		37	PLL_CPI レジスタの記載追加
FJDL7386B-05	2013.9.27		8	絶対最大定格の修正
			24	レジスタ設定フローの追加
FJDL7386B-06	2014.3.13	13	13	周波数範囲変更
FJDL7386B-07	2014.4.16	27	27	txdinv の極性を修正
FJDL7386B-08	2020.3.06	23	23	VCO キャリブレーションの記述修正
		24	24	レジスタ設定フローの記述修正
		35	35	0x17 【PA_SEL】 レジスタの記述修正
		24,46	24,46	レジスタ設定ツールの更新 (ML7386Family_Register_Tool20150106.xls)
FJDL7386B-09	2023.11.1	全	全	社名変更
		18	18	起動時の注意事項を追加
		1	1	用途の追加
		1	1	製品名の追加
		53	53	ご注意の更新
FJDL7386B-10	2024.1.10	53	53	ご注意の更新

(ご注意) 誤記、表現の変更および修正は含まれません。

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(※1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起これないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(※1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2012 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>