

ML7396A/B/E/D

868MHz 帯/915MHz 帯/920MHz 帯 特定小電力無線通信 IC

■概要

ML7396 ファミリ(ML7396A(915MHz 帯)、ML7396B/ML7396D(920MHz 帯)、ML7396E(868MHz帯))は、特定小電力無線通信向けに RF 部・IF 部・MODEM 部・HOST インタフェース部を 1 チップに集積した送受信 IC です。FCC PART15、ARIB STD-T108(特定小電力無線局 920MHz 帯 テレメータ用、テレコントロール用及びデータ伝送用無線設備局)、ETSI EN 300 220 対応無線局にご利用いただけ、IEEE802.15.4d および IEEE802.15.4g のパケットの送受信機能が使用できます。

ML7396D は ML7396B よりも受信感度を改善しています。同一機能を有し同一規格にご使用いただけます。

●製品名 ML7396DGD

●用途 リモートコントロール
ホーム、ビルセキュリティ
センサーネットワーク
スマートメータ

■特長

- ARIB STD-T108 の規格に準拠(ML7396B/ML7396D)
- FCC PART15 の規格に準拠(ML7396A)
- ETSI EN 300 220 の規格に準拠(ML7396E)
- フラクショナルN型 PLL の直接 GFSK 変調方式により、高精度変調を実現
- 変調方式: GFSK/GMSK、FSK/MSK
(MSK は、変調度 $m=0.5$ の FSK 送信を示します。)
- データ転送スピード 10 / 20 / 40 / 50 / 100 / 150 / 200 kbps および 400kbps(オプション)をサポート
- NRZ、マンチェスタ符号化をサポート
- データ転送スピードに応じた適用チャネルフィルタを搭載
- 周波数偏位可変機能搭載
- 送信/受信データの極性反転機能搭載
- 36MHz発振回路内蔵
- TCXO(36MHz)直接入力可能
- 発振回路端子の負荷容量調整機能搭載
- 周波数微調整機能搭載(フラクショナル N 型 PLL の採用により、周波数の微調整ができます。)
- 同期式シリアルペリフェラルインタフェース(SPI)搭載
- 送信 PA を内蔵し、パワー制御機能搭載 (20mW / 10mW / 1mW 切り替え機能及び微調機能搭載)
- 外付け PA 制御機能搭載
- 受信電界強度(RSSI)通知機能および閾値判定機能搭載
- 受信時の AFC 機能搭載
- 2 ダイバーシティ機能搭載
- テストパタンジェネレータ搭載(PN9、CW、01 パターン、ALL"1"、ALL"0")
- FEC 機能搭載
- CRC32 機能 (オリジナル仕様)
- IEEE802.15.4d/g サポート機能を搭載
 - 送受信バッファ 2 面内蔵(256Byte)
 - 最大パケット長 2047Byte (IEEE 802.15.4g モード設定時)
 - 検出プリアンプルパターン設定機能(設定 1Byte 検出最大 15Byte)
 - 送信プリアンプル長設定機能(最大 255Byte)
 - SFD 設定機能搭載(最大 4Byte 送受信適用)
 - CRC 設定機能搭載(CRC16-IBM, CRC16, CRC8, CRC 無し)

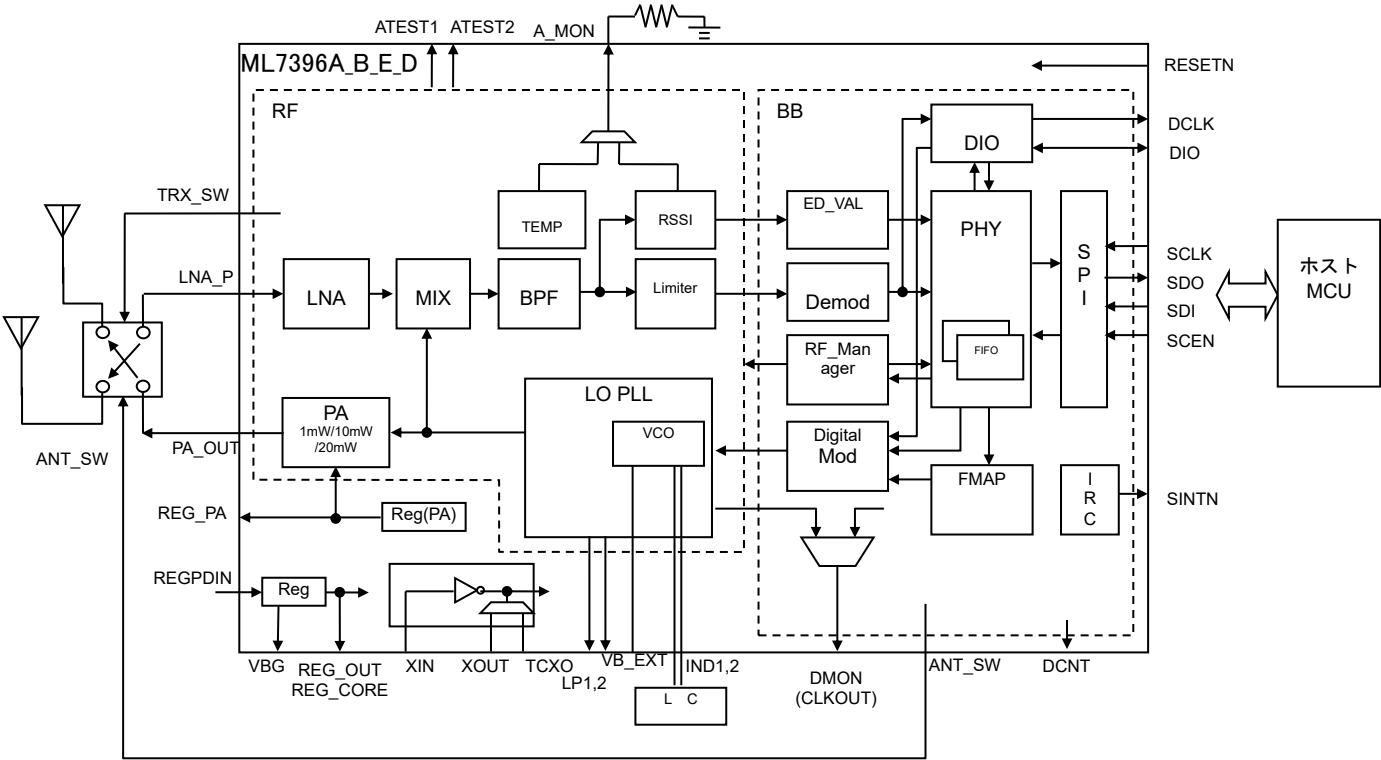


- Whitening 機能搭載
- アドレスフィルタ機能搭載
- AutoAck (Ack 送信/受信補助)機能搭載
- FEC 機能搭載(IEEE802.15.4g モード設定時のみ)
注意: インターリーブモードは IEEE802.15.4g 準拠仕様ではありません。

- 電源電圧 1.8V ~ 3.6V (送信電力 1mW モード設定時)
 2.3V ~ 3.6V (送信電力 10mWモード設定時)
 2.6V ~ 3.6V (送信電力 20mW モード設定時)
- 動作温度 -40℃ ~ 85℃
- 消費電流(920MHz 時)

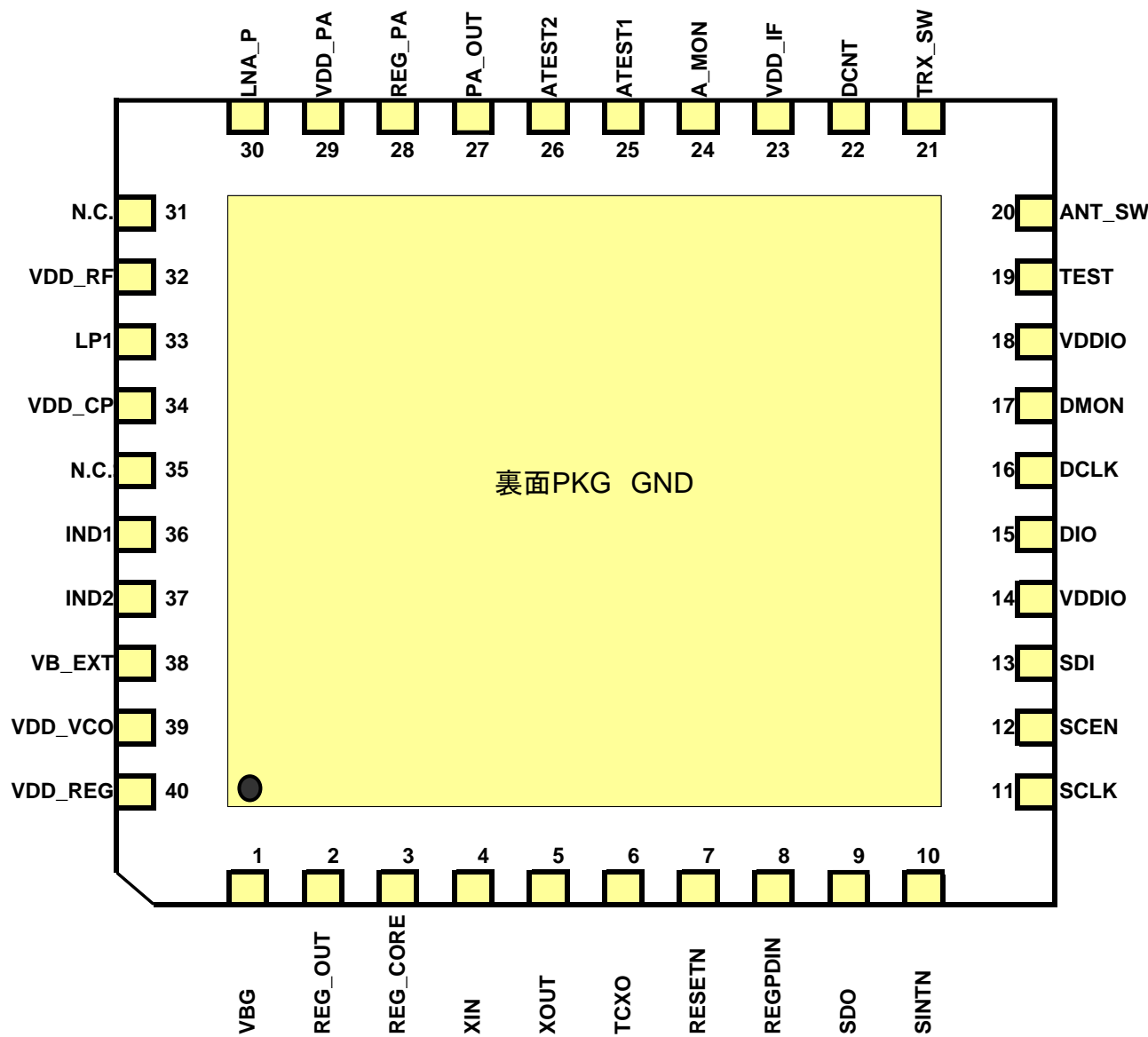
スリープモード時	0.6 μA (Typ.)	(レジスタ値を保持)
アイドルモード時	1.4 mA (Typ.)	
送信時 20mW	32 mA (Typ.)	
10mW	24 mA (Typ.)	
1mW	13 mA (Typ.)	
受信時	15 mA (Typ.)	(@100kbps、ML7396A/B)
	16 mA (Typ.)	(@100kbps、ML7396D/E)
- パッケージ
40ピン WQFN P-WQFN40-0606-0.50
鉛フリー RoHS 準拠

■ブロック図



■端子配置

40ピン WQFN



ご注意:チップ中央の GND は裏面(名称:裏面 GND)です。

■端子説明

I/O 定義	IRF	:	RF 入力端子
	ORF	:	RF 出力端子
	IA	:	アナログ入力端子
	IOS	:	発振回路入力端子
	OOS	:	発振回路出力端子
	I	:	デジタル入力端子
	O	:	デジタル出力端子
	I/O	:	デジタル入出力端子
	Is	:	シュミットトリガ入力端子

●RF 関連・アナログ端子

端子 番号	端子名称	リセット時	I/O	Active Level	端子機能
30	LNA_P	I	IRF	—	RF アンテナ入力端子
27	PA_OUT	O	ORF	—	RF アンテナ出力端子
36	IND1	—	—	—	VCO タンク インダクタ接続端子
37	IND2	—	—	—	VCO タンク インダクタ接続端子
33	LP1	—	—	—	ループフィルタ接続端子
38	VB_EXT	—	—	—	内部バイアス平滑容量接続端子
25	ATEST1	Hi-Z	ORF	—	アナログ回路テスト端子 (通常動作時はオープンとしてください)
26	ATEST2	Hi-Z	ORF	—	アナログ回路テスト端子 (通常動作時はオープンとしてください)
24	A_MON	Hi-Z	ORF	—	アナログモニタ端子 (*1)

【詳細】

*1 アナログモニタ端子に出力する信号は[RSSI/TEMP_OUT]レジスタ(B1 0x03)で設定できます。初期設定では出力設定されていません。

端子説明(続き)

●SPI 関連端子

端子 番号	端子名称	リセット時	I/O	Active Level	端子機能
9	SDO	O/L	O	H or L	SPI データ出力端子
13	SDI	I	Is	H or L	SPI データ入力端子
11	SCLK	I	Is	P or N	SPI クロック入力端子
12	SCEN	I	Is	L	SPI チップイネーブル端子 L: イネーブル H: ディセーブル
10	SINTN	O/H	O	L	SPI 割り込み出力端子 L: 割り込み通知有 H: 割り込み通知無

●送受信データ端子

端子 番号	端子名称	リセット時	I/O	Active Level	端子機能
15	DIO	O/L	I/O	H or L	データ入出力端子
16	DCLK	O/L	O	P or N	データクロック出力端子

●レギュレータ端子

端子 番号	端子名称	リセット時	I/O	Active Level	端子機能
2	REG_OUT	—	—	—	レギュレータ出力 (typ. 1.5V) C 接続(10uF) ※スリープ状態では 0V 出力となります。
3	REG_CORE	—	—	—	デジタルコア部用電源モニタ端子(typ.1.5V) C 接続(10uF)
1	VBG	—	—	—	C 接続端子(0.1pF)
8	REG_PDIN	I	I	H	レギュレータパワーダウン制御信号 入力端子 通常動作時は、“L”固定入力としてください。
28	REG_PA	—	—	—	PA 用レギュレータ出力端子 ※スリープ状態では 0V 出力となります。

端子説明(続き)

●その他の端子

端子 番号	端子名称	リセット時	I/O	Active Level	端子機能
7	RESETN	I	Is	L	リセット端子 L: 初期化、停止 H: 動作 ※本端子を”L”とすると LSI 内部が全て初期化されます。
4	XIN	I	Ios	P or N	36MHz 水晶振動子接続端子 1 ※外部クロック使用時は GND に接続してください
5	XOUT	O	Oos	P or N	36MHz 水晶振動子接続端子 2 ※外部クロック使用時は GND に接続してください
6	TCXO	I	Ia	—	外部クロック(TCXO)入力端子 ※振動子使用時は GND に接続してください
20	ANT_SW	O/L	O	H or L or OD	ダイバーシティ切り替え信号出力端子
21	TRX_SW	O/L	O	H or L or OD	送受信切り替え信号出力端子
19	TEST	I	I	H	テストモード設定端子 通常動作時は、”L”固定入力としてください。
17	DMON	O	O	H	デジタルモニタ端子 (*1) 1 次機能: クロック出力(6MHz) 初期値 2 次機能: PLL ロック信号出力 3 次機能: FIFO トリガ出力
22	DCNT	O/L	O	H or L or OD	外付け PA 制御端子
31,35	N.C.	—	—	—	未接続端子

【詳細】

*1 DMON 端子は下記の設定で出力機能が選択できます。初期設定ではクロック出力となっています。但し、TCXO 使用時は、TCXO_EN([CLK_SET]レジスタ(B0 0x02)の bit6)をイネーブルにするまでは DMON 端子からクロックは出力されません。
クロック出力を使用しない場合は、DMON 端子に別の機能に割り付けクロック出力を停止してください。詳細は各設定レジスタを参照してください。
複数の機能が出力設定された場合は、1 次機能側より優先して出力されます。

DMON 出力の設定

機能名(出力信号名)	設定レジスタ名称	アドレス	設定 bit (bit 名称)
クロック出力	CLK_SET	B0 0x02	bit4 (CLKOUT_EN)
PLL ロック信号	PLL_MON/DIO_SEL	B0 0x69	bit4 (PLL_LD)
FIFO トリガ	CRC_AREA/FIFO_TRG	B0 0x77	bit0 (FIFO_TRG_EN)

●電源端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
14,18	VDDIO	—	—	—	デジタル IO 用電源端子 (入力電圧 1.8~3.6V)
40	VDD_REG	—	—	—	レギュレータ電圧供給端子 (入力電圧 1.8~3.6V)
29	VDD_PA	—	—	—	PA 用電源端子 (入力電圧 1.8~3.6V 送信出力モードによる)
32	VDD_RF	—	—	—	RF 用電源端子 (REG_OUT を接続 typ.1.5V)
23	VDD_IF	—	—	—	IF 用電源端子 (REG_OUT を接続 typ.1.5V)
34	VDD_CP	—	—	—	チャージポンプ用電源端子 (REG_OUT を接続 typ.1.5V)
39	VDD_VCO	—	—	—	VCO 用電源端子 (REG_OUT を接続 typ.1.5V)
EL	—	—	—	—	グランド端子 (パッケージ裏面)

●未使用端子の処理

端子未使用時の処理方法を示します。本 LSI の基本動作を損なう端子処理は含まれません。

未使用端子の処理

端子名称	端子番号	推奨端子処理
XIN	4	GND (TCXO を使用する場合)
XOUT	5	GND (TCXO を使用する場合)
TCXO	6	GND (振動子を使用する場合)
ATEST1	25	オープン
ATEST2	26	オープン
A_MON	24	オープン
ANT_SW	20	オープン
DMON	17	オープン (*1)
DCNT	22	オープン

< 注意 >

- *1. DMON 端子は初期値でクロック出力となっています。本端子を使用しない場合は、[CLK_SET]レジスタ(B0 0x02)の bit4(CLKOUT_EN)に 0b0 を設定してクロックを止めてください。
CLK 出力の状態のままオープンにすると感度劣化を招く恐れがあります。
- *2 ハイインピーダンス入力設定で、端子をオープン状態のままにしておくと消費電流が過大になる恐れがありますので、未使用の入力端子及び入出力端子はオープンとならないように処理を行ってください。

■電気的特性

●絶対最大定格

項目	記号	条件	定格値	単位
電源電圧 (I/O) (*1)	VDDIO	Ta=-40 to +85°C GND=0V	-0.3~+4.6	V
電源電圧 (RF) (*2)	VDDRF		-0.3~+2.0	V
デジタル入力電圧	VDIN		-0.3~VDDIO+0.3	V
RF 入力電圧	VRFIN		-1.0~+2.0	V
アナログ入力電圧	VAIN		-0.3~VDDIO+0.3	V
アナログ入力電圧 2 (*3)	VAIN2		-0.3~VDDRF+0.3	V
TCXO 入力電圧	VTXO		-0.3~+1.75	V
デジタル出力電圧	VDO		-0.3~VDDIO+0.3	V
RF 出力電圧	VRFO		-0.3~VDDRF+1.9	V
アナログ出力電圧	VAO		-0.3~VDDIO+0.3	V
アナログ出力電圧 2 (*4)	VAO2		-0.3~VDDRF+0.3	V
デジタル入力電流	ID1		-10~+10	mA
RF 入力電流	IRF		-2~+2	mA
アナログ入力電流	IA1		-2~+2	mA
アナログ入力電流 2 (*3)	IA12		-2~+2	mA
TCXO 入力電流	ITXO		-2~+2	mA
デジタル出力電流	IDO		-8~+8	mA
RF 出力電流	IRFO		-2~+60	mA
アナログ出力電流	IAO		-2~+2	mA
アナログ出力電流 2 (*4)	IAO2		-2~+2	mA
許容損失	Pd	Ta= +25°C	300	mW
保存温度	Tstg	—	-55~+150	°C

*1 VDD_IO 端子、VDD_REG 端子、VDD_PA 端子

*2 VDD_RF 端子、VDD_IF 端子、VDD_VCO 端子、VDD_CP 端子

*3 XIN 端子、TCXO 端子

*4 XOUT 端子

●推奨動作条件

項目	記号	条件	最小	標準	最大	単位
電源電圧 (I/O)	VDDIO	VDDIO 端子および VDD_REG 端子 (*1)	1.8	3.3	3.6	V
電源電圧 (PA)	VDDPA	VDD_PA 端子 送信出力 +1mW モード	1.8	3.3	3.6	V
		VDD_PA 端子 送信出力 +10mW モード	2.3	3.3	3.6	V
		VDD_PA 端子 送信出力 +20mW モード	2.6	3.3	3.6	V
電源電圧 (RF) (*2)	VDDRF	VDD_RF 端子、 VDD_IF 端子、 VDD_VCO 端子および VDD_CP 端子	1.4	1.5	1.6	V
動作温度	Ta	—	-40	+25	+85	°C
デジタル入力立ち上がり時	TIR	デジタル入力端子 (*1)	—	—	20	ns
デジタル入力立ち下がり時	TIF	デジタル入力端子 (*1)	—	—	20	ns
デジタル出力負荷	CDL	全デジタル出力端子	—	—	20	pF
マスタークロック 1 水晶振動子	FMCK1	XIN 端子,XOUT 端子	-20 ppm (*3)	36	+20 ppm (*3)	MHz
マスタークロック 2 TCXO	FMCK2	TCXO 端子	-20 ppm (*3)	36	+20 ppm (*3)	MHz
TCXO 入力電圧	VTCXO	DC カット	0.8	-	1.5	Vpp
SPI クロック入力周波数	FSCLK	SCK 端子	0.032	2	16	MHz
SPI クロック入力 デューティ比	DSCLK	SCK 端子	45	50	55	%
RF チャネル周波数	FRF	LNA_P, PA_OUT 端子	863	-	960	MHz

*1 端子説明の I/O 欄に I または Is の表示がある端子

*2 本 LSI の REG_OUT 出力を使用してください。

*3 10kbps 設定時は最大+10ppm、最小-10ppm となります。

【注意】

電気特性は特記事項がない場合、上記の推奨動作条件での特性となります。

※以下、標準として規定している値は、代表的な中心値を示します。IC のばらつきを考慮した保証値ではありません。

●電源電流特性

項目	記号	条件	最小	標準(*2)	最大	単位
電源電流 (*1)	IDD1	スリープ 待機時状態（レジスタ保持）	-	0.6	3.0 (*3)	μA
	IDD2	アイドル状態	-	1.4	3.0	mA
	IDD3	受信状態 (*4) ML7396A/B	-	15.0	20.0	mA
		受信状態 (*4) ML7396D/E	-	15.8	20.0	mA
	IDD4	送信状態（1mW）(*4)	-	13.0	20.0	mA
	IDD5	送信状態（10mW）(*4)	-	24.0	35.0	mA
	IDD6	送信状態（20mW）(*4)	-	32.0	43.0	mA

- *1 電源電流は、全電源端子の合算値です。
- *2 標準は VDDIO =3.3V、25℃の代表的な中央値です。
- *3 本最大値のみ、標準状態での最大値となります。
- *4 データレートが 100kbps、周波数が 920MHz の時の電流値です。
- *5 「応用回路例(920MHz)」の回路でアンテナコネクタ端で当該出力を出したときの電流となります。

●直流特性

項目	記号	条件	最小	標準	最大	単位
高レベル入力電圧	VIH1	デジタル入力/入出力端子	$V_{DDIO} \times 0.75$	—	V_{DDIO}	V
	VIH2	XIN 端子	$V_{DDRF} \times 0.9$	—	V_{DDRF}	V
低レベル入力電圧	VIL1	デジタル入力/入出力端子	0	—	$V_{DDIO} \times 0.18$	V
	VIL2	XIN 端子	0	—	$V_{DDRF} \times 0.1$	V
シュミットトリガ 高レベル判定閾値	VT+	RESETN 端子 SDI、SCLK、SCEN 端子	—	1.2	$V_{DDIO} \times 0.75$	V
シュミットトリガ 低レベル判定閾値	VT-	RESETN 端子 SDI、SCLK、SCEN 端子	$V_{DDIO} \times 0.18$	0.8	—	V
入力リーク電流	IIH1	デジタル入力/入出力端子	-1	—	1	μA
	IIH2	XIN 端子	-0.3	—	0.3	μA
	IIL1	デジタル入力/入出力端子	-1	—	1	μA
	IIL2	XIN 端子	-0.3	—	0.3	μA
トライステート 出力リーク電流	IOZH	デジタル入出力端子	-1	—	1	μA
	IOZL	デジタル入出力端子	-1	—	1	μA
高レベル出力電圧	VOH	$IOH=-4mA/-2mA$ (*1)	$V_{DDIO} \times 0.8$	—	V_{DDIO}	V
低レベル出力電圧	VOL	$IOL=4mA/2mA$ (*1)	0	—	0.3	V
レギュレータ 出力電圧	REG_CORE (*2)	スリープ状態	0.95	1.3	1.65	V
		スリープ状態以外	1.40	1.5	1.60	V
入力容量	CIN	入力端子	—	6	—	pF
	COUT	出力端子	—	9	—	pF
	CRFIO	RF 入出力端子	—	9	—	pF
	CAI	アナログ入力端子	—	9	—	pF

*1 $IOH=-2mA/2mA$ の端子は DMON 端子となります。

*2 REG_CORE 端子 および REG_OUT 端子。スリープ状態時は REG_OUT は 0V 出力となります。

●RF 特性

変調速度 : 10kbps/ 20kbps/ 40kbps/ 50kbps / 100kbps / 150kbps/ 200 kbps/ 400kbps
変調方式 : 2 値 GFSK
チャンネル間隔 : 200kHz / 400kHz / 600kHz
設定周波数範囲: 外付け回路の定数変更により、750MHzから 1GHz の周波数に設定できます。
特性測定点は、推奨回路のアンテナ端となります。
本特性に記載されない特性および 400kbps(オプション)の諸特性は参考データとして別途用意いたします。

【送信特性】

項目	条件	最小	標準	最大	単位
送信出力電力	20mW(13dBm)モード調整時	9	13	15	dBm
	10mW(10dBm)モード調整時	6	10	12	dBm
	1mW(0dBm)モード調整時	-4	0	2	dBm
周波数偏位調整範囲 [Fdev] (*1)		—	—	2,250	kHz
920MHz 帯 (920.5MHz～928.1MHz)					
占有帯域幅	n: 単位チャンネル数 (n=1,2,3,4 または 5)			200 *n	kHz
無線チャンネル両端における電力	20mW モード(920.5MHz～922.3MHz)	—	—	-7	dBm
	10mW モード	—	—	-10	dBm
	1mW モード	—	—	-20	dBm
隣接チャンネル漏洩電力 [ACP]	20mW モード ±1CH、帯域幅 200kHz)	—	-33	-15	dBm
	10mW モード ±1CH、帯域幅 200kHz)	—	-39	-18	dBm
	1mW モード ±1CH、帯域幅 200kHz)	—	-47	-26	dBm
不要発射レベル (20mW モード)	710MHz 以下 100kHz 帯域	—	-79	-36	dBm
	710MHzを超え 900MHz以下 1MHz 帯域	—	-70	-55	dBm
	900MHz を超え 915MHz 以下 100kHz 帯域	—	-72	-55	dBm
	915MHz を超え 930MHz 以下 100kHz 帯域 (チャンネル周波数上下 200+100x _n kHz 以内を除く。 ただし、920.5MHz 以上 922.3MHz 以下は 100+100x _n kHz 以内を除く。n は同時使用チャンネル数)	—	-51	-36	dBm
	930MHz を超え 1000MHz 以下 100kHz 帯域	—	-70	-55	dBm
	1000MHz を超え 1215MHz 以下 1MHz 帯域	—	-75	-45	dBm
	1215MHz を超えるもの 1MHz 帯域 (第 2 高調波以上)	—	-40	-30	dBm
915MHz 帯 (902MHz～928MHz)					
6dB 帯域幅	周波数偏移=171kHz	500	—	—	kHz
パワースペクトラム密度	20mW モード、周波数偏移=171kHz、3kHz 帯域	—	—	8	dBm
不要発射レベル (20mW モード)	900MHz 以下	—	-65	-56	dBm
	960MHz を超えるもの (第 2 高調波以上)	—	-50	-41	dBm
868MHz 帯 (863MHz～870MHz) (*2)					
不要発射レベル (10mW モード)	1000MHz を超えるもの (第 2 高調波以上)	—	-35	-30	dBm

*1 調整範囲は上記の通りですが、使用する RF チャンネル周波数によって設定できる最大値が変わります。
RF チャンネル周波数±周波数偏移が 36MHz の倍数 (864MHz, 900MHz, 936MHz など) をまたがないように設定する必要があります。
例 902MHz の場合 2,000kHz まで設定可能です。

*2 863.5MHz～866,2MHz は使用できません。詳細は「チャンネル周波数の設定」を参照してください。

【受信特性】

項目	条件	最小	標準	最大	単位
920MHz 帯 (920.5MHz～928.1MHz)					
最小受信感度 BER<0.1% ML7396B	50kbps モード (*1)		-107	-102	dBm
	100kbps モード (*1)		-105	-100	dBm
	200kbps モード (*1)		-102	-97	dBm
最小受信感度 BER<0.1% ML7396D	50kbps モード (*1)		-109	-104	dBm
	100kbps モード (*1)		-107	-102	dBm
	200kbps モード (*1)		-104	-99	dBm
受信最大入力レベル	50kbps モード、100kbps モード、200kbps モード	0	—	—	dBm
受信 C/I 隣接妨害	50kbps モード	20	35	—	dB
	100kbps モード	20	35	—	dB
	200kbps モード	20	35	—	dB
受信 C/I 次隣接妨害	50kbps モード	30	45	—	dB
	100kbps モード	30	45	—	dB
	200kbps モード	30	45	—	dB
最小電力検出 (ED 値) レベル		—	—	-100	dBm
電力検出範囲	ダイナミックレンジ	60	70	—	dB
電力検出精度		-6	—	+6	dB
副次発射レベル ARIB T108 測定条件 915.9MHz～916.9MHz 920.5MHz～929.7MHz	710MHz 以下 100kHz 帯域	—	<-93	-54	dBm
	710MHzを超え 900MHz以下 1MHz 帯域	—	<-83	-55	dBm
	900MHz を超え 915MHz 以下 100kHz 帯域	—	<-93	-55	dBm
	915MHz を超え 930MHz 以下 100kHz 帯域	—	-63	-54	dBm
	930MHz を超え 1000MHz 以下 100kHz 帯域	—	<-93	-55	dBm
	1000MHz を超えるもの 1MHz 帯域	—	-57	-47	dBm
915MHz 帯 (902MHz～928MHz)					
最小受信感度 BER<0.1%	100kbps モード (変調指数=1) (*1)	—	-105	-99	dBm
	150kbps モード (変調指数=0.5) (*1)	—	-102	-96	dBm
	200kbps モード (変調指数=1) (*1)	—	-102	-96	dBm
	100kbps モード (周波数偏移: 171kHz)	—	-100	-87	dBm
	150kbps モード (周波数偏移: 171kHz)	—	-97.5	-84	dBm
	200kbps モード (周波数偏移: 171kHz)	—	-96.5	-83	dBm
868MHz 帯 (863MHz～870MHz) (*2)					
最小受信感度 BER<0.1% ML7396E	50kbps モード (*1)	—	-109	-104	dBm
	100kbps モード (*1)	—	-107	-102	dBm
	200kbps モード (*1)	—	-104	-99	dBm
副次発射レベル	1000MHz 以下 (ローカル周波数)	—	-63	-57	dBm
	1000MHz を超えるもの	—	-57	-47	dBm

*1 通常帯域モード(NBO_SEL=0)設定時。[DATA_SET]レジスタ(B0 0x47)を参照してください。

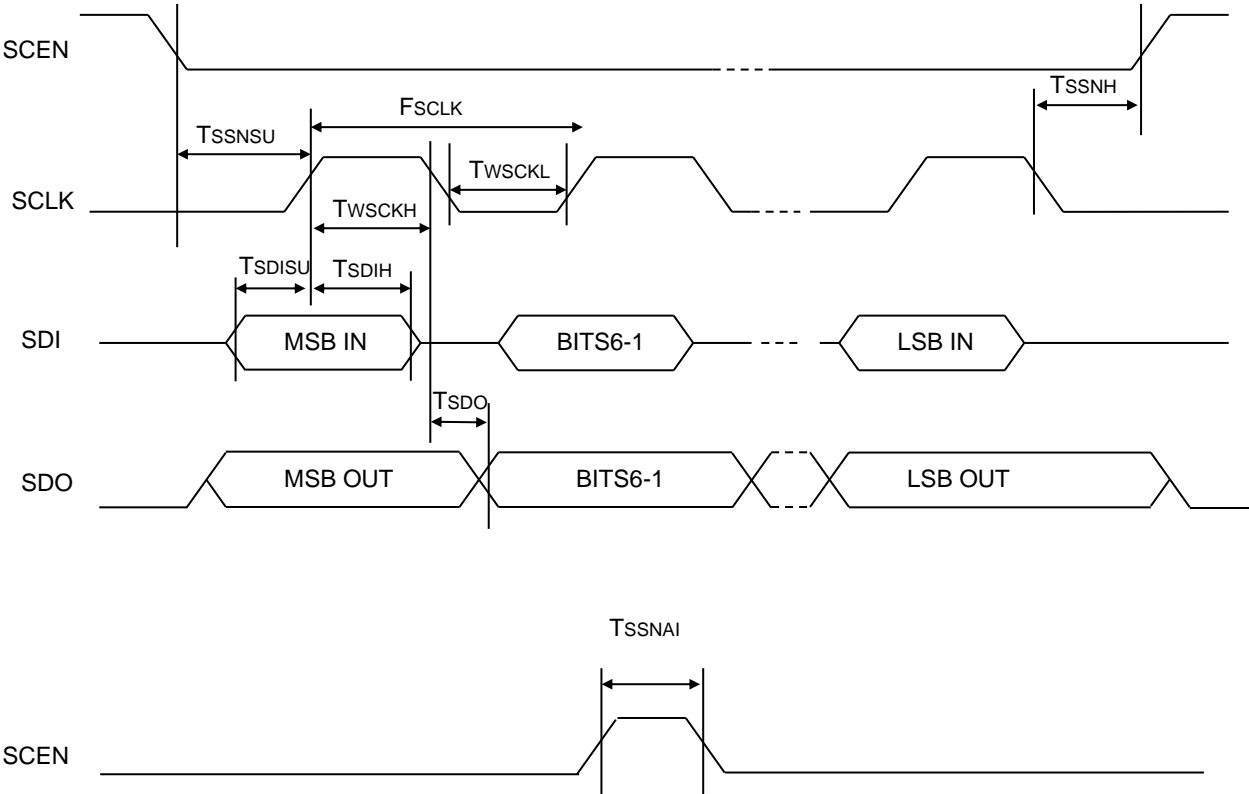
*2 863.5MHz～866.2MHz は使用できません。詳細は「チャンネル周波数の設定」を参照してください。

●SPI 特性

項目	記号	条件	最小	標準	最大	単位
SCLK クロック周波数	F _{SCLK}	負荷容量 CL=20pF	0.032	2	16	MHz
SCEN 入力セットアップ時間	T _{SSNSU}		30	—	—	ns
SCEN 入力ホールド時間	T _{SSNH}		30	—	—	ns
SCK ハイパルス幅	T _{WSCKH}		28	—	—	ns
SCK ローパルス幅	T _{WSCKL}		28	—	—	ns
SDI 入力セットアップ時間	T _{SDISU}		5	—	—	ns
SDI 入力ホールド時間	T _{SDIH}		15	—	—	ns
SCEN ネゲート間隔	T _{SSNAI}		60	—	—	ns
SDO 出力遅延時間	T _{SDO}		—	—	22	ns

【注意】

全てのタイミング測定点は、V_{DDIO}* 20%と V_{DDIO}*80%のレベルです。



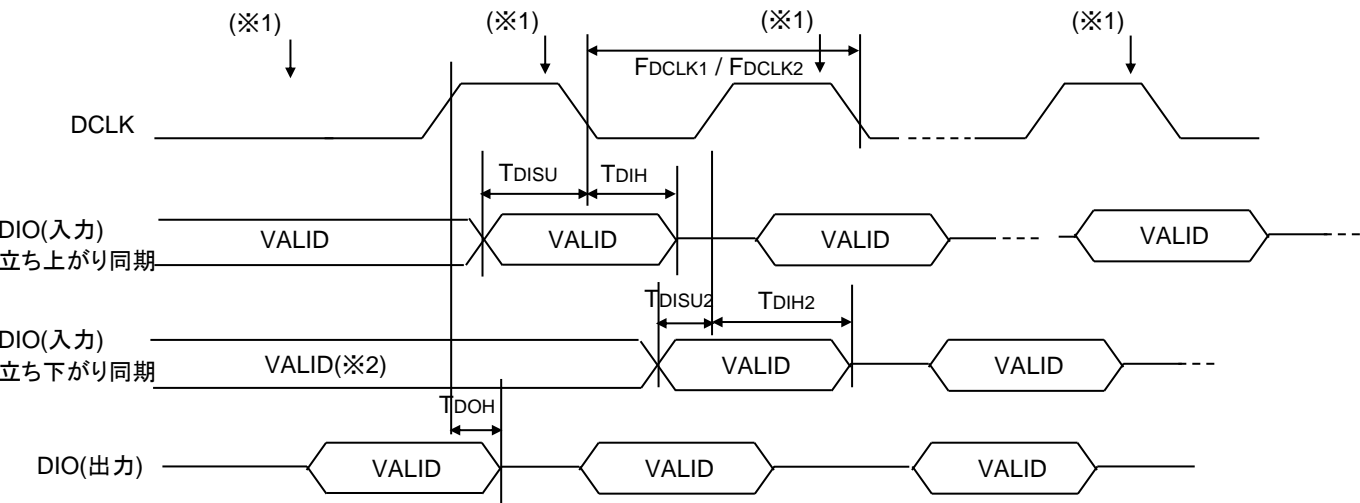
●送受信データインタフェース特性

項目	記号	条件	最小	標準	最大	単位
DIO 入力セットアップ時間 (DCLK 立ち上がり同期)	T _{DISU}	負荷容量 CL=20pF	1	—	—	us
DIO 入力セットアップ時間 (DCLK 立ち下がり同期)	T _{DISU2}		0	—	—	us
DIO 入力ホールド時間 (DCLK 立ち上がり同期)	T _{DIH}		0	—	—	ns
DIO 入力ホールド時間(*3) (DCLK 立ち下がり同期)	T _{DIH2}		10 5 2.5	—	—	us
DIO 出力ホールド時間	T _{DOH}		20	—	—	ns
DCLK 周波数 (*1) (*3) 送信時	F _{DCLK1}		-20ppm	50 100 200	+20ppm	kHz
DCLK 周波数 (*2) (*3) 受信時	F _{DCLK2}		-4%	50 100 200	+4%	kHz
DCLK 出力デューティ比 送信時	D _{DCLK}		—	50	-	%
DCLK 出力デューティ比 受信時	D _{DCLK}		40	—	60	%

*1 送信時の DCLK 周波数の最大および最小値は、クロック周波数の偏差を示し、マスタークロック偏差に依存します。
*2 受信時の DCLK 周波数の最大および最大値は、受信信号に応じて生成される再生クロックのジッタ量（安定追従時）を示します。
*3 特性は[DATA_SET]レジスタ(B0 0x47)の bit2-0(RATE[2:0])でのデータレートの設定に依存します。
(上段: 50kbps、中段: 100kbps、下段: 200kbps)

【注意】

全てのタイミング測定点は、V_{DDIO}* 20%と V_{DDIO}*80%のレベルです。



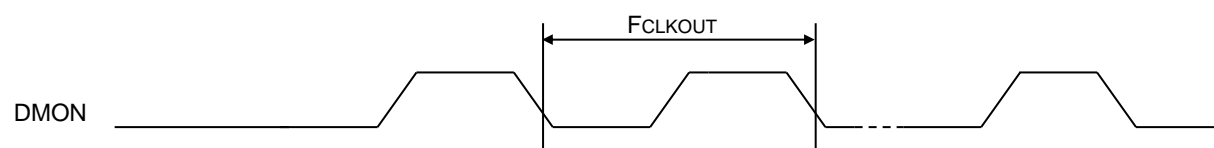
(※1) 本 LSI がDIO入力を内部に取り込むタイミングです。
(※2) 立ち下がり同期の場合は DIO から入力するデータの先頭 2 ビットは同じデータが取り込まれます。
詳細は「送信時(DIO モード)」を参照してください。

●クロック出力特性

[CLK_SET]レジスタ(B0 0x02)で出力可否を設定でき(初期値 出力設定)、DMON 端子より出力されます。

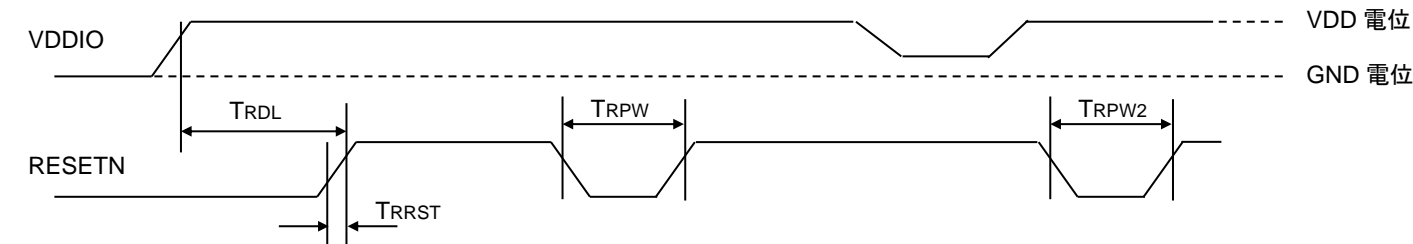
項目	記号	条件		最小	標準	最大	単位
クロック出力周波数	FCLKOUT	負荷容量 CL=20pF	-	0.0088	6	36	kHz
クロック出力デューティ比 (*1)	DCLKOUT		12MHz	30	-	70	%
			上記以外	48	50	52	%

*1 12MHz に設定されたときのみ、デューティ比が H:L = 1:2 となります。[CLK_OUT]レジスタ(B0 0x03)を参照してください。



●リセット特性

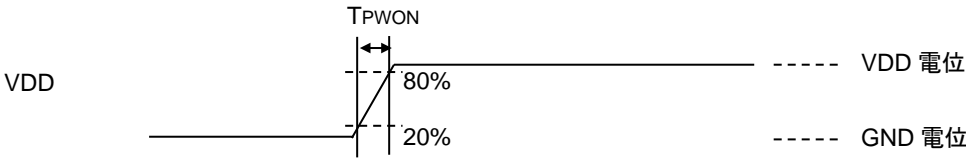
項目	記号	条件	最小	標準	最大	単位
RESETN 遅延時間 (パワーオン時)	TRDL	全電源端子 Power On 後	1.5	—	—	ms
RESETN パルス時間 (VDDIO=0V からの起動時)	TRPW		200	—	—	ns
RESETN パルス時間 2(*1) (VDDIO≠0V からの起動時)	TRPW2	VDD>1.8V	1.5	—	—	ms
RESTN 立ち上がり時間	TRRST		—	—	1	ms



(*1) VDDIO≠0V からの起動時は VDDIO が 1.8V を超えてから RESETN 信号にパルスを入力してください。

●パワーオン・パワーダウン特性

項目	記号	条件	最小	標準	最大	単位
パワーオン時間差	TPWON	パワーオン時 (全電源端子)	—	—	5	ms



■レジスタ

●レジスタ一覧

BANK0、BANK1、BANK3 の 3 バンク構成です。各バンクのレジスタ配置アドレス範囲は 0x00－0x7F の合計 128 バイトです。表中ビット配置のグレーのハッチング箇所は LSI に非搭載または予約ビットとなります。予約ビットの中には非公開機能のビットを含むため、予約ビットへの書き込みは、必ず初期値を設定してください。また名称が“Reserved”と記載されているアドレスについても非公開レジスタが含まれているため、誤動作につながる可能性があるためアクセス（書き込み）は行わないでください。また、VCO キャリブレーション実行中も同様にアクセスは行わないでください。

各 BANK には、[BANK_SEL]レジスタ（B0 0x00, B1 0x00, B2 0x00）の bit7 (TST_ACEN)に 0b1 を書き込みアクセスを許可しないとアクセスできないレジスタが存在します。このレジスタは、レジスタ一覧でレジスタ名の前に#をつけてあらわします。初期設定を書き込むためや、テストモードを設定するために TST_ACEN の設定は必要になりますが、通常動作では誤設定を防ぐ為に TST_ACEN に 0b0 を設定してお使いください。

別紙の“ML7396 ファミリ”初期化設定レジスタ”ファイルで設定値が指示されているレジスタは、ファイルの値を設定し変更しないでください。

BANK0

アドレス	名称 (# テストレジスタ)	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
0x00	BANK_SEL	BANK 切り替え								
0x01	RST_SET	リセット制御								
0x02	CLK_SET	クロック制御								
0x03	CLKOUT	外部クロック出力設定								
0x04	RATE_SET1	データレート変換設定 1								
0x05	RATE_SET2	データレート変換設定 2								
0x06-0x07	Reserved	予約								
0x08	# ADC_CLK_SET	RSSI 用 ADC のクロック設定								
0x09-0x0a	Reserved	予約								
0x0b	# OSC_ADJ	発信回路端子の負荷容量調整								
0x0c	# RF_TEST_MODE	RF テストパターン設定								
0x0d-0x0e	Reserved	予約								
0x0f	# PHY_STATE	PHY ステート表示								
0x10	#FIFO_BANK	FIFO 面表示								
0x11	# PLL_LOCK_DETECT	PLL ロック判定パラメータ設定								
0x12	CCA_IGNORE_LEVEL	CCA の判定除外 ED レベル設定								
0x13	CCA_LEVEL	CCA の閾値レベル設定								
0x14	CCA_ABORT	Auto_Ack 時の CCA 動作の強制終了時間設定								
0x15	CCA_CNTRL	CCA 制御設定および結果読み出し								
0x16	ED_RSLT	ED(電力検出)値の読み出し								
0x17	IDLE_WAIT_L	CCA 時の IDLE 判定継続時間設定(下位 8 ビット)								
0x18	IDLE_WAIT_H	CCA 時の IDLE 判定継続時間設定(上位 2 ビット)								
0x19	CCA_PROG_L	CCA 時の IDLE 判定経過時間表示(下位 8 ビット)								
0x1a	CCA_PROG_H	CCA 時の IDLE 判定経過時間表示(上位 2 ビット)								
0x1b	ED_CNTRL	ED(電力検出)値の設定								
0x1c	GAIN_MtoL	中間ゲインから低ゲイン切り替えの閾値設定								
0x1d	GAIN_LtoM	低ゲインから中間ゲイン切り替えの閾値設定								
0x1e	GAIN_HtoM	ゲイン更新設定および 高ゲインから中間ゲイン切り替えの閾値設定								
0x1f	GAIN_MtoH	中間ゲインから高ゲイン切り替えの閾値設定								
0x20	RSSI_ADJ_M	中間ゲインでの RSSI オフセット値設定								
0x21	RSSI_ADJ_L	低ゲインでの RSSI オフセット値設定								
0x22	RSSI_STABLE_TIME	ゲイン切り替え後のRSSI安定化時間設定								
0x23	RSSI_VAL_ADJ	ED 変換用の乗除算値設定								
0x24	INT_SOURCE_GRP1	グループ 1 割り込み表示								
0x25	INT_SOURCE_GRP2	グループ 2 割り込み表示								
0x26	INT_SOURCE_GRP3	グループ 3 割り込み表示								
0x27	INT_SOURCE_GRP4	グループ 4 割り込み表示								
0x28	PD_DATA_REQ	送信データ要求								
0x29	PD_DATA_IND	受信データ通知								
0x2a	INT_EN_GRP1	グループ 1 割り込みイネーブル設定								
0x2b	INT_EN_GRP2	グループ 2 割り込みイネーブル設定								
0x2c	INT_EN_GRP3	グループ 3 割り込みイネーブル設定								
0x2d	INT_EN_GRP4	グループ 4 割り込みイネーブル設定								
0x2e	CH_EN_L	下位 8 チャンネル(CH0-7)の有効設定								
0x2f	CH_EN_H	上位 8 チャンネル(CH8-15)の有効設定								
0x30	IF_FREQ_AFC_H	AFC モードの IF 周波数設定(上位 8 ビット)								
0x31	IF_FREQ_AFC_L	AFC モードの IF 周波数設定(下位 8 ビット)								
0x32	BPF_AFC_ADJ_H	AFC モードの BPF 設定(上位 2 ビット)								
0x33	BPF_AFC_ADJ_L	AFC モードの BPF 設定(下位 8 ビット)								
0x34	AFC_CNTRL	AFC モードの設定								
0x35	TX_ALARM_LH	送信 FIFO 残量告知レベル設定 (L→H)								
0x36	TX_ALARM_HL	送信 FIFO 残量告知レベル設定 (H→L)								
0x37	RX_ALARM_LH	受信 FIFO 残量告知レベル設定 (L→H)								

BANK0(続き)

アドレス	名称 (# テストレジスタ)	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
0x38	RX_ALARM_HL	受信 FIFO 残量告知レベル設定 (H→L)								
0x39	PREAMBLE_SET	プリアンブルパターン設定								
0x3a	SFD1_SET1	SFD パターン 1 面目の設定 (1 st バイト)								
0x3b	SFD1_SET2	SFD パターン 1 面目の設定 (2 nd バイト)								
0x3c	SFD1_SET3	SFD パターン 1 面目の設定 (3 rd バイト)								
0x3d	SFD1_SET4	SFD パターン 1 面目の設定 (4 th バイト)								
0x3e	SFD1_SET1	SFD パターン 2 面目の設定 (1 st バイト)								
0x3f	SFD2_SET2	SFD パターン 2 面目の設定 (2 nd バイト)								
0x40	SFD2_SET3	SFD パターン 2 面目の設定 (3 rd バイト)								
0x41	SFD2_SET4	SFD パターン 2 面目の設定 (4 th バイト)								
0x42	TX_PR_LEN	送信プリアンブル長設定								
0x43	RX_PR_LEN / SFD_LEN	プリアンブル比較長設定 / SFD 長設定								
0x44	SYNC_CONDITION	プリアンブル及び SFD 検出の誤り許容値設定								
0x45	PACKET_MODE_SET	パケットモードの各種設定								
0x46	FEC/CRC_SET	送信パケットの FEC と CRC 設定								
0x47	DATA_SET	送受信データの各種設定								
0x48	CH0_FL	チャネル#0 周波数設定(下位 8 ビット)								
0x49	CH0_FM	チャネル#0 周波数設定(中位 8 ビット)								
0x4a	CH0_FH	チャネル#0 周波数設定(上位 4 ビット)								
0x4b	CH0_NA	PLL N カウンタ、A カウンター設定								
0x4c	CH_SPACE_L	チャネル間隔設定(下位 8 ビット)								
0x4d	CH_SPACE_H	チャネル間隔設定(上位 8 ビット)								
0x4e	F_DEV_L	GFSK 周波数偏位設定(下位 8 ビット)								
0x4f	F_DEV_H	GFSK 周波数偏位設定(上位 8 ビット)								
0x50	ACK_TIMER_L	Auto_Ack 用 Ack タイマー設定(下位 8 ビット)								
0x51	ACK_TIMER_H	Auto_Ack 用 Ack タイマー設定(上位 8 ビット)								
0x52	ACK_TIMER_EN	Ack タイマー設定								
0x53	ACK_FRAME1	Ack パケットのパターン設定 (下位 8 ビット)								
0x54	ACK_FRAME2	Ack パケットのパターン設定 (上位 8 ビット)								
0x55	AUTO_ACK_EN	Auto_Ack の設定								
0x56-x58	Reserved	予約								
0x59	GFIL00 / FSK_FDEV1	ガウシアンフィルタ設定 1 FSK 変調時の第一周波数偏位設定								
0x5a	GFIL01 / FSK_FDEV2	ガウシアンフィルタ設定 2 FSK 変調時の第二周波数偏位設定								
0x5b	GFIL02 / FSK_FDEV3	ガウシアンフィルタ設定 3 FSK 変調時の第三周波数偏位設定								
0x5c	GFIL03 / FSK_FDEV4	ガウシアンフィルタ設定 4 FSK 変調時の第四周波数偏位設定								
0x5d	GFIL04	ガウシアンフィルタ設定 5								
0x5e	GFIL05	ガウシアンフィルタ設定 6								
0x5f	GFIL06	ガウシアンフィルタ設定 7								
0x60	GFIL07	ガウシアンフィルタ設定 8								
0x61	GFIL08	ガウシアンフィルタ設定 9								
0x62	GFIL09	ガウシアンフィルタ設定 10								
0x63	GFIL10	ガウシアンフィルタ設定 11								
0x64	GFIL11	ガウシアンフィルタ設定 12								
0x65	FSK_TIME1	FSK 周波数偏位タイミング設定(FDEV3)								
0x66	FSK_TIME2	FSK 周波数偏位タイミング設定(FDEV2)								
0x67	FSK_TIME3	FSK 周波数偏位タイミング設定(FDEV1)								
0x68	FSK_TIME4	FSK 周波数偏位タイミング設定(偏位 0)								

BANK0 (続き)

アドレス	名称 (# テストレジスタ)	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
0x69	PLL_MON/DIO_SEL	PL ロック信号出力設定、DIO モード設定、								
0x6a	FAST_TX_SET	FATS_TX モードの送信開始トリガ設定								
0x6b	CH_SET	送受信チャンネル設定								
0x6c	RF_STATUS	RF 部動作状態の設定と確認								
0x6d	2DIV_ED_AVG	2 ダイバーシティ時の ED 算出平均回数設定								
0x6e	2DIV_GAIN_CNTRL	ゲイン制御モード設定								
0x6f	2DIV_SEARCH	2 ダイバーシティ時のサーチモードとサーチ 時間設定								
0x70	2DIV_FAST_LV	2 ダイバーシティ時の FAST モードの閾値設定								
0x71	2DIV_CNTRL	2 ダイバーシティの各種設定								
0x72	2DIV_RSLT	2 ダイバーシティ結果読み出し、強制設定								
0x73	ANT1_ED	ANT1 の ED 読み出し								
0x74	ANT2_ED	ANT2 の ED 値読み出し								
0x75	RF_CNTRL_SET	RF 制御端子の強制出力設定								
0x76	Reserved	予約								
0x77	CRC_AREA/FIFO_TRG	CRC 対象範囲および FIFO トリガ出力設定								
0x78	RSSI_MON	RSSI のデジタル読み出し								
0x79	TEMP_MON	温度のデジタル読み出し								
0x7a	PN9_SET_L	PN9 の初期値設定/PN9 乱数読み出し (bit 8~bit 0)								
0x7b	PN9_SET_H	PN9 の初期値設定(bit 9)/乱数読み出し及び制御								
0x7c	RD_FIFO_LAST	FIFO の残量またはアドレスの表示								
0x7d	Reserved	予約								
0x7e	WR_TX_FIFO	送信 FIFO								
0x7f	RD_RX_FIFO	受信 FIFO								

BANK1

アドレス	名称 (# テストレジスタ)	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
0x00	BANK_SEL	BANK 切り替え								
0x01	DEMOD_SET	復調器調整								
0x02	RSSI_ADJ	RSSI 調整								
0x03	RSSI/TEMP_OUT	RSSI と温度情報の出力設定								
0x04	PA_ADJ1	PA 調整レジスタ 1 の設定								
0x05	PA_ADJ2	PA 調整レジスタ 2 の設定								
0x06	PA_ADJ3	PA 調整レジスタ 3 の設定								
0x07	PA_CNTRL	外部 PA 制御および PA モードの設定								
0x08	SW_OUT/RAMP_ADJ	SW 信号の出力設定と PA 立ち上がり時間調整								
0x09	PLL_CP_ADJ	送受信時の PLL チャージポンプ電流値調整								
0x0a	IF_FREQ_H	IF 周波数設定 (上位 8 ビット)								
0x0b	IF_FREQ_L	IF 周波数設定 (下位 8 ビット)								
0x0c	IF_FREQ_CCA_H	CCA 時の IF 周波数設定 (上位 8 ビット)								
0x0d	IF_FREQ_CCA_L	CCA 時の IF 周波数設定 (下位 8 ビット)								
0x0e	BPF_ADJ_H	BPF 容量設定(上位 2 ビット)								
0x0f	BPF_ADJ_L	BPF 容量設定(下位 8 ビット)								
0x10	BPF_CCA_ADJ_H	CCA 時の BPF 容量設定(上位 2 ビット)								
0x11	BPF_CCA_ADJ_L	CCA 時の BPF 容量設定(下位 8 ビット)								
0x12	RSSI_LPF_ADJ	RSSI の出力時定数調整								
0x13	PA_REG_FINE_ADJ	PA 用レギュレータの微調整								
0x14	IQ_MAG_ADJ	IF の I/Q 振幅バランス調整								
0x15	IQ_PHASE_ADJ	IF の I/Q 位相バランス調整								
0x16	VCO_CAL_MIN_FL	VCO キャリブレーション用下限周波数設定 (下位 8 ビット)								

BANK1 (続き)

アドレス	名称 (# テストレジスタ)	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
0x17	VCO_CAL_MIN_FM	VCO キャリブレーション用下限周波数設定 (中位 8 ビット)								
0x18	VCO_CAL_MIN_FH	VCO キャリブレーション用下限周波数設定 (上位 4 ビット)								
0x19	VCO_CAL_MAX_N	VCO キャリブレーション用上限周波数設定								
0x1a	VCO_CAL_MIN	下限側 VCO キャリブレーション値の表示と設定								
0x1b	VCO_CAL_MAX	上限側 VCO キャリブレーション値の表示と設定								
0x1c	VCO_CAL	現在のキャリブレーション値の表示と設定								
0x1d	VCO_CAL_START	VCO キャリブレーションの実行								
0x1e	BPF_ADJ_OFFSET	BPF 調整オフセット値表示								
0x1f-0x2a	Reserved	予約								
0x2b	# ID_CODE	LSI の ID コード読み出し								
0x2c-0x32	Reserved	予約								
0x33	# PA_REG_ADJ1	PA 用レギュレータの調整 1								
0x34	# PA_REG_ADJ2	PA 用レギュレータの調整 2								
0x35	# PA_REG_ADJ3	PA 用レギュレータの調整 3								
0x36-0x39	Reserved	予約								
0x3a	# PLL_CTRL	RF 調整								
0x3b-0x3e	Reserved	予約								
0x3f	# RX_ON_ADJ2	RX_ON 調整レジスタ 2								
0x40-0x48	Reserved	予約								
0x49	# LNA_GAIN_ADJ_M	中間ゲイン時の LNA ゲイン調整								
0x4a	# LNA_GAIN_ADJ_L	低ゲイン時の LNA ゲイン調整								
0x4b-0x4c	Reserved	予約								
0x4d	# MIX_GAIN_ADJ_H	高ゲイン時のミキサーゲイン調整								
0x4e	# MIX_GAIN_ADJ_M	中間ゲイン時のミキサーゲイン調整								
0x4f	# MIX_GAIN_ADJ_L	低ゲイン時のミキサーゲイン調整								
0x50-0x54	Reserved	予約								
0x55	#TX_OFF_ADJ1	TX_OFF 調整レジスタ 1								
0x56-0x59	Reserved	予約								
0x5a	# RSSI_SLOPE_ADJ	RSSI の傾き調整								
0x5b 以降	Reserved	予約								

BANK2

アドレス	名称 (# テストレジスタ)	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
0x00	BANK_SEL	BANK 切り替え								
0x01-0x11	Reserved	予約								
0x12	# SYNC_MODE	ビット同期のモード設定								
0x13-0x1d	Reserved	予約								
0x1e	# PA_ON_ADJ	PA_ON 信号のタイミング調整								
0x1f	#DATA_IN_ADJ	DATA イネーブル信号のタイミング調整								
0x20-0x21	Reserved	予約								
0x22	# RX_ON_ADJ	RX_ON 信号のタイミング調整								
0x23	Reserved	予約								
0x24	# RXD_ADJ	RXD 信号のタイミング調整								
0x25-0x29	Reserved	予約								
0x2a	#RATE_ADJ1	拡張データレート用復調器調整(下位 8 ビット)								
0x2b	#RATE_ADJ2	拡張データレート用復調器調整(上位 2 ビット)								
0x2c	#RAMP_CNTRL	ランプ制御イネーブル設定								
0x2d-0x5f	Reserved	予約								
0x60	ADDFILCNTRL	アドレスフィルタ機能の設定								
0x61	PANID_L	アドレスフィルタ PANID 設定 (下位 8 ビット)								
0x62	PANID_H	アドレスフィルタ PANID 設定 (上位 8 ビット)								
0x63	64ADDR1	64 ビットアドレス設定 (1 st バイト:最下位)								
0x64	64ADDR2	64 ビットアドレス設定 (2 nd バイト)								
0x65	64ADDR3	64 ビットアドレス設定 (3 rd バイト)								
0x66	64ADDR4	64 ビットアドレス設定 (4 th バイト)								
0x67	64ADDR5	64 ビットアドレス設定 (5 th バイト)								
0x68	64ADDR6	64 ビットアドレス設定 (6 th バイト)								
0x69	64ADDR7	64 ビットアドレス設定 (7 th バイト)								
0x6a	64ADDR8	64 ビットアドレス設定 (8 th バイト:最上位)								
0x6b	SHT_ADDR0_L	ショートアドレス 0 の設定 (下位 8 ビット)								
0x6c	SHT_ADDR0_H	ショートアドレス 0 の設定 (上位 8 ビット)								
0x6d	SHT_ADDR1_L	ショートアドレス 1 の設定 (下位 8 ビット)								
0x6e	SHT_ADDR1_H	ショートアドレス 1 の設定 (上位 8 ビット)								
0x6f	DISCARD_COUNT_L	廃棄パケット数の表示 (下位 8 ビット)								
0x70	DISCARD_COUNT_H	廃棄パケット数の表示 (上位 8 ビット)								
0x71 以降	Reserved	予約								

●レジスタ BANK0

0x00【BANK_SEL】

機能:レジスタアクセス先選択

アドレス:0x00

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	TST_ACEN	テストレジスタアクセスイネーブル (*2) 0: アクセス禁止 1: アクセス許可	0	R/W
6-2	Reserved	予約	000_00	R/W
1-0	BANK[1:0]	BANK 切り替え BANK[1:0]=0b00: BANK0 アクセス 0b01: BANK1 アクセス 0b10: BANK2 アクセス 0b11: 設定禁止 (*1)	00	R/W

【注意】

- *1 0b11 を設定した場合、本レジスタにて正しい BANK に切り替えることができます。その他のレジスタには書き込みおよび読み出しは出来ません。
- *2 本ビットで許可する必要があるレジスタは、「レジスタ一覧」で確認してください。

0x01【RST_SET】

機能:ソフトリセット設定

アドレス:0x01

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	RST3_EN	リセットイネーブル設定 0: 該当リセット禁止 1: 該当リセット許可	0	R/W
6	RST2_EN		0	R/W
5	RST1_EN		0	R/W
4	RST0_EN		0	R/W
3	RST_3	PHY 機能リセット (1 でリセット実行)	0	R/W
2	RST_2	RF 機能リセット(1 でリセット実行)	0	R/W
1	RST_1	MODEM 機能リセット(1 でリセット実行)	0	R/W
0	RST_0	SPI 機能リセット(1 でリセット実行) (*1) [CLK_SET]レジスタ(B0 0x02)の bit6(TCXO_EN)を除く全レジスタ値は初期値にもどります。	0	R/W

【詳細】

- イネーブルビット(bit7 から bit4)と実行ビット(bit3 から bit0))は同時に設定してください。
リセット実行後は状態を保持せず、自動的に各ビットは 0b0 に上書きされます。
- 実行ビット(bit3 から bit0)書き込み後、2μs 以内にリセットが終了します。ただし、SLEEP 中(SLEEP_EN([CLK_SET]レジスタ(B0 0x02)の bit5)=0b1 時)にリセット実行設定した場合、SLEEP 解除後のクロック安定化終了割込み(グループ 1 の INT[00])発生時にリセットが実行され、各ビットが 0b0 に上書きされます。リセット実行までに設定状態を変更した場合、変更後の設定が有効となります。

各状態における各ソフトリセットの動作を下表に示します。

	送受信状態	SLEEP 状態	IDLE 状態
RST_3:PHY	FIFO ポインタクリアされます。 一旦 IDLE 状態に遷移した後、再度 RF 起動し SET_TRX の設定値が示す状態に遷移します。 CCA やダイバーサーチ実行中の場合、初期化された後、再実行されます。 送信中は RST_3 を投入しないで下さい。	SLEEP 解除後（内部クロック供給後）、FIFO ポインタクリアされます。	FIFO ポインタクリアされます。 VCO_CAL 中の場合、初期化され再実行されます。
RST_2:RF	PLL 回路がクリアされ、PLL ロックが解除されます。 送受信中は RST_2 を投入しないで下さい。	SLEEP 解除後（内部クロック供給後）、PLL 回路がクリアされます。（動作に影響ありません。）	PLL 回路がクリアされます。（動作に影響ありません。）
RST_1:MODEM	受信時は同期が解除されます。 送信時は無変調出力されます。 送受信中は RST_1 を投入しないで下さい。	SLEEP 解除後（内部クロック供給後）、変復調回路がクリアされます。（動作に影響ありません。）	変復調回路がクリアされます。（動作に影響ありません。）
RST_0:SPI	全レジスタが初期化されます。(※1) RF_STATUS レジスタも初期化されるため、TRX_OFF します。	SLEEP 解除後（内部クロック供給後）、全レジスタが初期化されます。(※1)	全レジスタが初期化されます。(※1)

※1：[CLK_SET]レジスタ(B0 0x02)の bit6(TCXO_EN)のみソフトリセットでは初期化されません。

0x02【CLK_SET】

機能:クロック設定
アドレス:0x02
初期値:0x9F

ビット	レジスタ名	説明	初期値	R/W
7	CLK_Done	クロック安定化フラグ 0: 起動中または停止状態 1: 安定動作	1	R
6	TCXO_EN (*2)	TCXO 入力制御 0: ディセーブル 1: イネーブル	0	R/W
5	SLEEP_EN (*1)	スリープモード制御 0: 通常動作 1: スリープモードに入る	0	R/W
4	CLKOUT_EN	CLKOUT 出力制御 0: クロック停止 1: クロック出力	1	R/W
3	CLK3_EN	RF 機能 クロック制御 0: クロック停止 1: クロック供給	1	R/W
2	CLK2_EN	送信機能 クロック制御 0: クロック停止 1: クロック供給	1	R/W
1	CLK1_EN	受信機能 クロック制御 0: クロック停止 1: クロック供給	1	R/W
0	CLK0_EN	PHY 機能 クロック制御 0: クロック停止 1: クロック供給	1	R/W

【詳細】

1. SPI アクセスは、CLK_Done ビットが 0b0 でも実行できますが、RF動作は必ず CLK_Done ビットが 0b1 であることを確認した後に実行してください。また VCO キャリブレーション実行中はBANK1 のレジスタにアクセスしないでください。

【注意】

- *1: TCXO をお使いになる場合は、TCXO_EN ビットを 0b1 に設定してください。
スリープモード(ビット 4 に 0b1)に設定する場合は、ビット 3-0(CLK3_EN～CLK0_EN)は 0b0 に設定しないでください。
(クロックを止めると、ML7396 はスリープモードに入れません。)
- *2: TCXO をお使いになる場合は、本ビットを最初に設定してください。途中でイネーブル設定(本ビット設定前に他のレジスタ設定)をした場合でも、その他レジスタ設定値は初期化されません。

0x03【CLK_OUT】

機能:CLKOUT の出力クロック周波数設定
アドレス:0x03
初期値:0x04

ビット	レジスタ名	説明	初期値	R/W
7-0	CLK_DIV	出力クロック周波数設定	0000_0100	R/W

【詳細】

[CLK_SET]レジスタ(B0 0x02)の bit4(CLKOUT_EN)に 0b1 を設定した時に DMON ピン(#17)より以下の設定に対応する出力周波数が出力されます。

設定値	出力周波数
0x00	36 MHz
0x01	18 MHz
0x02	12 MHz (*1)
0x03	9 MHz
0x04	6 MHz (初期値)
0x05	4.5 MHz
0x06	3.6 MHz
0x07	1.2 MHz
0x08	600 kHz
0x09	246.5 kHz

0x09 以降の設定では、下記の計算式で出力されます。

出力周波数=36 / (16 * 設定値 +2) (MHz)

0x09 の場合は、
36 / (16 x 9 +2) = 0.2465MHz となります。

【注意】

*1 12MHz 設定時には、デューティ比が High:Low = 1:2 となります。

0x04【RATE_SET1】

機能:データレート変換設定 1
アドレス:0x04
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	RATE_SET1	データレート乗数設定	0000_0000	R/W

【詳細】

[RATE_SET2]レジスタ(B0 0x05)と組み合わせて任意のデータレートを設定いたします。
10kbps、20kbps、40kbps、150kbps は本機能を用いて設定します。また、データレート変換についての詳細は[RATE_SET2]レジスタ(B0 0x05)説明を参照願います。50kbps、100kbps、200kbps、400kbps の設定は、[DATA_SET]レジスタ(B0 0x47)のビット 2-0 の説明をご参照ください。
50kbps より低いデータレート使用時、本レジスタおよび[RATE_SET2]レジスタ(B0 0x05)は VCO キャリブレーション完了後に設定してください。

0x05【RATE_SET2】

機能:データレート変換設定 2
アドレス:0x05
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	RATE_SET2	データレート除数設定	0000_0000	R/W

【詳細】

[RATE_SET1]レジスタ(B0 0x04)と組み合わせて任意のデータレートを設定いたします。
10kbps、20kbps、40kbps、150kbps は本機能を用いて設定します。また、データレート変換についての詳細は[RATE_SET2]レジスタ(B0 0x05)説明を参照願います。50kbps、100kbps、200kbps、400kbps の設定は、[DATA_SET]レジスタ(B0 0x47)のビット 2-0(RATE[2:0])の説明をご参照ください。

●データレート変換
[DATA_SET]レジスタ(B0 0x47)のビット 2-0 が対応していないデータレートは、本機能を用いて設定します。
データレートは下記に示す計算式にて算出されます。

$$\text{データレート} = (\text{RATE}[2:0]\text{設定}) * (\text{RATE_SET1} + 1) / (\text{RATE_SET2} + 1) \quad (\text{RATE_SET2} > \text{RATE_SET1})$$

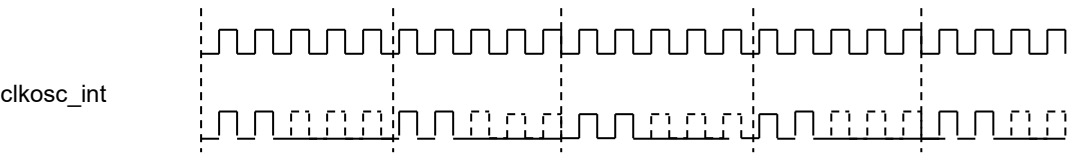
【設定例】

32.768kbps が必要な場合、50kbps 設定に対して 40／61 倍いたします。
設定値 = [RATE[2:0]=0b000 [RATE_SET1:B0 0x04]=0x27, [RATE_SET2:B0 0x05]=0x3C
このとき得られる転送レートは 50 * 40 ÷ 61 =32.787kbps となります。
このときの誤差は 32.787 ÷ 32.768 = 1.00058(0.058%) となります。

【注意】PLL での制御ではないのでジッタが発生します。最大ジッタ=RATA_SET2 期間－RATE_SET1 期間となります。

【タイムチャート例】

[RATE_SET1:B0 0x04]=0x01
[RATE_SET2:B0 0x05]=0x04



“RATE_SET2+1”カウンタを配置し、“RATE_SET1+1”のカウント値までをクロック配信します。

例:150kbps が必要な場合の設定
RATE[2:0] ([DATA_SET:B0 0x47(2:0)])=0b010 (200kbps)
[RATE_SET1:B0 0x04]=0x02
[RATE_SET2:B0 0x05]=0x03

例:40kbps が必要な場合の設定
RATE[2:0] ([DATA_SET:B0 0x47(2:0)])=0b010 (200kbps)
[RATE_SET1:B0 0x04]=0x00
[RATE_SET2:B0 0x05]=0x04

例:20kbps が必要な場合の設定
RATE[2:0] ([DATA_SET:B0 0x47(2:0)])=0b010 (200kbps)
[RATE_SET1:B0 0x04]=0x00
[RATE_SET2:B0 0x05]=0x09

0x08【ADC_CLK_SET】

機能:RSSI 用ADCのクロック設定
アドレス:0x08
初期値:0xC3

ビット	レジスタ名	説明	初期値	R/W
7-6	OSC_W_SET	発振安定待ち時間 00 : 2ms 01 : 1.3ms 10 : 1ms 11 : 0.6ms	11	R/W
5	Resereved	予約	0	
4	ADC_CLK_SET	RSSI 用 ADC のクロック設定 0: 1.8 MHz 1: 2.0 MHz	0	R/W
3-0	Reserved	予約	0011	R/W

0x09-0A【Reserved】

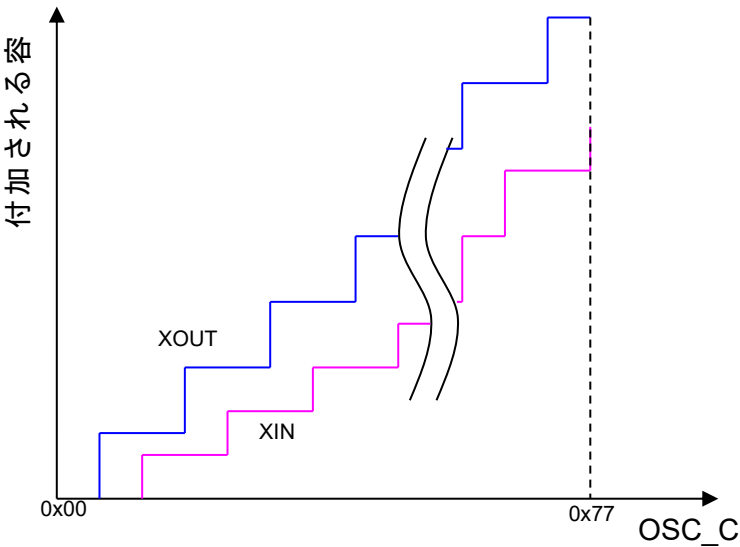
0x0B【OSC_ADJ】

機能:発信回路端子の負荷容量調整
アドレス:0x0B
初期値:0x40

ビット	レジスタ名	説明	初期値	R/W
7	Reserved	予約	0	R/W
6-0	OSC_C	容量負荷調整 (*1) (調整範囲 0x00 ~ 0x77)	100_0000	R/W

【詳細】

1. 発信回路の XIN 端子(ピン#4)と XOUT 端子(ピン#5)に付く負荷容量を調整します。
- *1 XIN 端子では、0.02pF / 2step、XOUT 端子では、0.03pF / 2stepで、下図のように交互に容量が増減していきます。



0x0C【RF_TEST_MODE】

機能:RF の送信テストパターン設定
アドレス:0x0c
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	TEST7	BER 計対応 PN9 出力 (1 で選択されます) (*1)	0	R/W
6	TEST6	Reserved	0	R/W
5	TEST5	CW 出力 (1 で選択されます)	0	R/W
4	TEST4	“01”パターン出力 (1 で選択されます)	0	R/W
3	TEST3	ALL”0”出力 (1 で選択されます)	0	R/W
2	TEST2	ALL “1”出力 (1 で選択されます)	0	R/W
1	TEST1	PN9 出力 (1 で選択されます)	0	R/W
0	TEST_EN	テストモードイネーブル制御 0: テスト設定を無効にする。 1: テスト設定を有効にする。	0	R/W

【詳細】

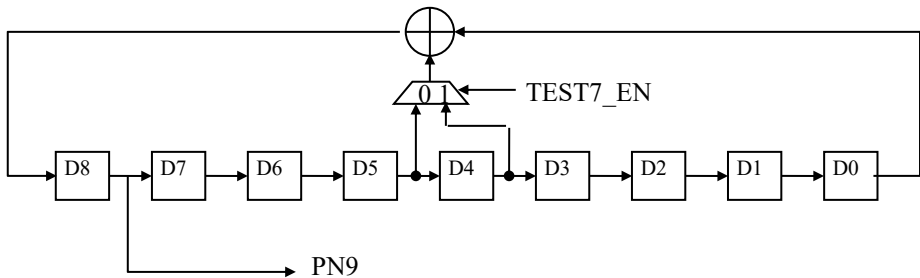
1.

通常動作時には、必ず本レジスタの全てのビットを 0b0 にしてください。
2.

複数のテストパターンが有効に設定された場合は、ビット番号の低い設定が有効となります。
3.

データレートは、[DATA_SET]レジスタ(B0 0x47)の bit[2:0](RATE[2:0])の設定値が適用されます。
- *1

市販 BER 計の多くで対応している PN9 出力は、IEEE で規定される PN9 出力と生成方法が異なります。
TSET7 に 0b1 を書き込むと、下図のD4の出力で EX_OR を取り出力します。



0x0D-0E【Reserved】

0x0F【PHY_STATE】

機能:PHY ステート表示/Preamble 検出状態表示(デバッグ用)
アドレス:0x0f
初期値:0xC0

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	11	R/W
5	PB_DET	プリアンブル検出状態表示 (*1) 0: 未検出 1: 検出	0	R/W
4-0	PHY_STATE	PHY ステート表示 (*2)	0_0000	R/W

【詳細】

- *1 プリアンブル検出状態を表示します。[SYNC_CONDITION]レジスタ(B0 0x44)の bit3-0(PR_SYNC)の設定によらず、[PREAMBLE_SET]レジスタ(B0 0x39)で設定した PR[7:0]値と全一致または全不一致のときプリアンブル検出状態は 1 を示します。
- *2 PHY ステートマシンの状態を表示します。本ビットは[RF_STATUS]レジスタ(B0 0x6c)に連動します。

PHY_STATE[4:0]	ステート名称	説明	備考
0x00	IDLE	送信・受信命令待ちステート	TRX_OFF 時はこのステートになります。 PHY リセット実行後はこのステートになります。
0x01	TX_TXD	送信データ待ちステート	
0x02	TX_PB	プリアンブル送信ステート	
0x03	TX_SFD	SFD 送信ステート	
0x04	TX_LEN	Length 送信ステート	
0x05	TX_DATA	DATA 送信ステート	
0x06	TX_CRC	CRC 送信ステート	
0x07	TX_WAIT	送信待機ステート	送信完了後はこのステートになります。
0x08	TX_OFF	送信 OFF ステート	
0x09	TX_DIO	DIO 送信ステート	
0x0B	TX_MOD	送信完了待ちステート	
0x11	RX_RXD	受信 SFD 検出待ちステート	
0x14	RX_LEN	Length 受信ステート	
0x15	RX_DATA	DATA 受信ステート	
0x16	RX_CRC	CRC 受信ステート	
0x17	RX_RXD2	受信待機ステート	受信完了後はこのステートになります。
0x18	RX_OFF	受信 OFF ステート	
0x19	RX_DIO	DIO 受信ステート	
0x1C	RX_DIV1	ダイバーシティサーチステート 1	
0x1D	RX_DIV2	ダイバーシティサーチステート 2	
0x1F	RX_FEC_WAIT	FEC 用処理待ちステート	

【注意】本レジスタ(PHY_STATE)はデバッグ用ですので、通常は使用しないでください。
また、デバッグ用途で使用した際、上記にない PHY_STATE 値が読み出された場合は、再度読み直してください。

0x10【FIFO_BANK】

機能:FIFO 面表示
アドレス:0x10
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-4	Reserved	予約	0000	R
3	SPI_TX_B	SPI-FIFO ライト面モニタ 0: FIFO0 1: FIFO1	0	R
2	SPI_RX_B	SPI-FIFO リード面モニタ 0: FIFO0 1: FIFO1	0	R
1	PHY_TX_B	PHY-FIFO ライト面モニタ 0: FIFO0 1: FIFO1	0	R
0	PHY_RX_B	PHY-FIFO リード面モニタ 0: FIFO0 1: FIFO1	0	R

【詳細】
上記ビットは以下の条件のとき”0”(FIFO0 面)から”1”(FIFO1 面)、または”1”(FIFO1 面) から”0”(FIFO0 面)へ遷移します。初期値はいずれも”0”(FIFO0 面)となります。

- SPI_TX_B …SPI から FIFO への送信データ書き込みにおいて、Length 分のデータ書き込みを完了したとき
SPI_RX_B …SPI が FIFO からの受信データ読み出しにおいて、Length 分のデータ読み出しを完了したとき
PHY_TX_B …PHY が FIFO への受信データ書き込みにおいて、Length 分のデータを書き込み完了したとき
PHY_RX_B …PHY が FIFO からの送信データ読み出しにおいて、Length 分のデータ読み出しを開始したとき

0x11【PLL_LOCK_DETECT】

機能:PLLのロック判定のパラメータ設定
アドレス:0x11
初期値:0x83

ビット	レジスタ名	説明	初期値	R/W
7	PLL_LD_EN (*1)	PLL ロック外れ検出切り替え 0: ロック外れ検出を行わない。 1: ロック外れ検出を行う。	1	R/W
6-0	TIM_PLL_LD[6:0]	PLL ロック判定時間調整 判定時間 = 本設定値 * 8.88 μs + 8.88μs デフォルト = 3 * 8.88 + 8.88 = 35.52μs	000_0011	R/W

【詳細】
*1: ロック外れ検出を行い、ロック外れを検出した時の動作は下記のようになります。
受信状態: 割り込みグループ4の INT[25]を発生させ、受信状態を継続します。
送信状態: 割り込みグループ4の INT[25]を発生させ、IDLE 状態へ強制移行します。

【注意】
1. ロック外れ検出により送信状態から IDLE 状態へ強制移行した場合は、次の送受信を行うまえに[RST_SET]レジスタ(B0 0x01)で PHY リセット(0x88 書き込み)を行うとともに、[INT_SOURCE_GRP4]レジスタ(B0 0x2d)の bit1 (INT[25])のクリアを必ず行ってください。
2. [RF_STATUS]レジスタへは PLL アンロック検出後 5μs 以上経過してからアクセスしてください。

0x12【CCA_IGNORE_LEVEL】

機能:CCA の判定除外 ED レベル値の設定
アドレス:0x12
初期値:0xFE

ビット	レジスタ名	説明	初期値	R/W
7-0	IGNORE_LV[7:0]	CCA の移動平均判定から除外する ED レベルの設定	1111_1110	R/W

【詳細】

- 1. CCA の詳細動作は「CCA(Clear Channel Assessment)機能」を参照してください。
- 2. ED 値が、本レジスタ設定値を超えた場合[ED_CNTRL]レジスタ(B0 0x1B)の bit2-0(ED_AVG[2:0])で設定される平均化から除外され、新たに平均回数に達する ED 値を取得するまで CCA 結果を判定せず[CCA_CNTRL]レジスタ(B0 0x15)の bit1-0(CCA_RST[1:0])に 0b11(判定中)を設定します。

0x13【CCA_LEVEL】

機能:CCA の閾値設定
アドレス:0x13
初期値:0x08

ビット	レジスタ名	説明	初期値	R/W
7-0	CCA_TH_LV[7:0]	CCA の閾値レベル設定 (0~255 まで設定可能)	0000_1000	R/W

【詳細】

- 1. CCA の詳細動作は「CCA(Clear Channel Assessment)機能」を参照してください。
- 2. ED 値が本レジスタの設定値を超えると[CCA_CNTRL]レジスタ(B0 0x15)の bit1-0(CCA_RSLT)に 0b01(キャリアあり)が立ちます。

0x14【CCA_ABORT】

機能:AUTO_ACK 時の CCA 動作の強制終了時間設定
アドレス:0x14
初期値:0xFF

ビット	レジスタ名	説明	初期値	R/W
7-0	CCA_ABORT[6:0]	強制終了時間の設定 (設定値 0-255)	1111_1111	R/W

【詳細】

- 1. Auto_Ack での Ack パケットの送信が CCA のキャリアあり判定のために、ずっと待ち続けるのを防ぐためのタイムアウト値を設定します。CCA の詳細動作は「CCA(Clear Channel Assessment)機能」を参照してください。
- 2. 本レジスタの設定値 * 17.8 μ s の期間 CCA を実行したら IDLE 判定を終了し、パケットを破棄して RF 状態は TRX_OFF に移ります。
(注意:時間は、[ADC_CLK_SET]レジスタ(B0 0x08)で初期値の 1.8MHz が設定されているときの時間で、2MHz を選択した場合は、設定値 * 16 μ s となります。)

0x15【CCA_CNTRL】

機能:CCA の制御設定および結果通知
アドレス:0x15
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	CCA_AUTO_EN	AUTO_ACK 時の CCA 実行命令 (1 で実行します)	0	R/W
6	CCA_LOOP_STOP	CCA ループを停止させます。(1 で停止します)	0	R/W
5	CCA_LOOP_START	CCA ループを実行します。(1 で実行します)(*1)	0	R/W
4	CCA_EN	CCA 実行命令 (1 で実行します)(*2)	0	R/W
3	CCA_IDLE_EN	CCA アイドル検出モード設定 0: アイドル検出を行わない。 1: アイドル検出を行う。	0	R/W
2	CCA_DONE	CCA 完了フラグ (*4) 0: CCA 実行中 (未実行) 1: CCA 完了	0	R
1-0	CCA_RSLT[1:0]	CCA 結果フラグ (*3) CCA_RSLT[1:0] = 11:CCA 判定中 (判定除外の ED 値取得) 10:CCA 判定中 (IDLE 判定中) 01:キャリアあり 00:キャリアなし	00	R

【詳細】

- CCA の詳細動作は「CCA(Clear Channel Assessment)機能」を参照してください。
- *1 CCA_LOOP が実行されると、CCA_LOOP_STOP ビットで停止されるまで繰り返します。
- *2 CCA_EN ビットは、CCA が完了すると、自動的に 0b0 に戻ります。
- *3 CCA_RSLT[1:0]は自動クリアされません。CCA でキャリアありで判定される毎に 0b00 を書き込みクリアする必要があります。書き込みは 0b00 のみ有効です。
- *4 CCA_DONE は、[INT_SOURCE_GRP2]レジスタ(B0 0x25)bit0 と連動します。
CCA_RSLT[1:0]が 0b00 または 0b01 のときのみ bit2 が 0b1(CCA 完了)となります。

【注意】

- CCA_AUTO_EN をイネーブルにした場合は CCA キャリアなし判定後、[RF_STATUS]レジスタが 0x99 になるまで、レジスタへのライトアクセスしないでください。(自動遷移中の制御禁止)

0x16【ED_RSLT】

機能:ED(電力検出)値の読み出し
アドレス:0x16
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	ED_Value[7:0]	取得 ED 値	0000_0000	R

【詳細】

- 1. ED 値の取得動作の詳細は、「電力検出値(ED 値)取得機能」を参照してください。
- 2. ED 値は、RX_ON 状態に遷移すると更新されます。RX_ON 状態に遷移するには、[RF_STATUS]レジスタ(B0 0x6c)のbit[3:0](SET_TRX[3:0])に 0b0110(RX_ON) を書き込みます。

0x17【IDLE_WAIT_L】

機能:CCA 時の IDLE 継続時間設定(下位 8 ビット)
アドレス:0x17
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	IDLE_WAIT[7:0]	IDLE 判定の最大待ち時間設定 (下位 8 ビット)	0000_0000	R/W

【詳細】

- 1. CCA の Idle 判定で、長い Idle 期間の判定を行う場合に使用します。[IDLE_WAIT_H]レジスタ(B0 0x18)の 2 ビットと共に全 10 ビットから算出されます。
CCA の詳細動作は「CCA(Clear Channel Assessment)機能」を参照してください。
- 2. ED 値平均化(初期値 8 回)時間(142.4μs)+(設定値 * 17.8 μs)の期間 CCA を実行しながら IDLE 判定を待ちます。
(注意:時間は、[ADC_CLK_SET]レジスタ(B0 0x08)で初期値の 1.8MHz が設定されているときの時間で、2MHz を選択した場合は、ED 値平均化(初期値値 8 回)時間(128μs) + 設定値 * 16 μs となります。)

0x18【IDLE_WAIT_H】

機能:CCA 時のIDLE継続時間設定(上位 2 ビット)
アドレス:0x18
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserved	予約	0000_00	R/W
1-0	IDLE_WAIT[9:8]	IDLE 判定の最大待ち時間設定(上位 2 ビット)	00	R/W

【詳細】

- 1. 本レジスタについては、[IDLE_WAIT_L]レジスタ(B0 0x17)の説明を参照してください。

0x19【CCA_PROG_L】

機能:CCA 時の IDLE 判定の経過時間表示(下位 8 ビット)
アドレス:0x19
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	CCA_PROG [7:0]	CCA 時の IDLE 判定の経過時間表示 (下位 8 ビット)	0000_0000	R

【詳細】

- CCA 判定の経過時間を示します。[CCA_PROG_H]レジスタ(B0 0x1A)の 2 ビットと共に全 10 ビットから算出されます。CCA の詳細動作は「CCA(Clear Channel Assessment)機能」を参照してください。
- ED 値平均化(初期値 8 回)時間(142.4μs)+(設定値 * 17.8 μs)の期間、IDLE 判定が実行されたことを示します。
(注意:時間は、[ADC_CLK_SET]レジスタ(B0 0x08)で初期値の 1.8MHz が設定されているときの時間で、2MHz を選択した場合は、ED 値平均化(初期値 8 回)時間(128μs) + [設定値] * 16 μs となります。)

0x1A【CCA_PROG_H】

機能:CCA 時の IDLE 判定の経過時間表示(上位 2 ビット)
アドレス:0x1a
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserved	予約	0000_00	R
1-0	CCA_PROG[9:8]	CCA 時の IDLE 判定の経過時間表示(上位 2 ビット)	00	R

【詳細】

- 本レジスタについては、[CCA_PROG_L]レジスタ(B0 0x19)の説明を参照してください。

0x1B【ED_CNTRL】

機能:ED(電力検出)値の設定
アドレス:0x1b
初期値:0x83

ビット	レジスタ名	説明	初期値	R/W
7	ED_CALC_EN	ED 値算出の設定 0: ED 値算出を行わない。 1: ED 値算出を行う。	1	R/W
6-5	Reserved	予約	00	R/W
4	ED_DONE	ED 値算出完了フラグ 0: ED 値算出実行中 (未完了) 1: ED 値算出完了	0	R
3	Reserved	予約	0	R/W
2-0	ED_AVG[2:0]	ED 値算出時の平均回数設定 (*1)	011	R/W

【詳細】

1. ED 値の取得動作の詳細は、「電力検出値(ED 値)取得機能」を参照してください。
- *1 ED_AVG[2-0]で、下記の表のようにED算出の平均母数を設定できます。

ED_AVG[2:0]	平均回数
0b000	1
0b001	2
0b010	4
0b011 (初期値)	8
0b100	15
0b101	16
上記以外	8

【注意】ED_AVG[2:0]はED 値算出停止中 (TRX_OFF 状態または TX_ON 状態または ED_CALC_EN=0 時) に設定して下さい。

0x1C【GAIN_MtoL】

機能:中間ゲインから低ゲインへの切り替え閾値設定
アドレス:0x1c
初期値:0x1E

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-0	GC_TRIM_ML[5:0]	ゲイン切り替え閾値	01_1110	R/W

【詳細】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN_LtoM]レジスタで設定される値の関係が、
GC_TRIM_ML[5:0] > GC_TRIM_LM[5:0] の関係になるように設定してください。

0x1D【GAIN_LtoM】

機能:低ゲインから中間への切り替え閾値設定
アドレス:0x1d
初期値:0x03

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-0	GC_TRIM_LM[5:0]	ゲイン切り替え閾値	00_0011	R/W

【詳細】

- 1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
- 2. 本レジスタの設定値と[GAIN_MtoL]レジスタで設定される値の関係が、
GC_TRIM_ML[5:0] > GC_TRIM_LM[5:0] の関係になるように設定してください。

0x1E【GAIN_HtoM】

機能:ゲイン更新設定および高ゲインから中間ゲインへの切り替え閾値設定
アドレス:0x1e
初期値:0x9E

ビット	レジスタ名	説明	初期値	R/W
7	GC_FIX_EN	ゲイン切り替え設定 0: 常時更新 1: DEMOD で受信信号の同期確立後にゲインを固定する。	1	R/W
6	Reserved	予約	00	R/W
5-0	GC_TRIM_HM[5:0]	ゲイン切り替え閾値	1_1110	R/W

【詳細】

- 1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
- 2. 本レジスタの設定値と[GAIN_MtoH]レジスタで設定される値の関係が、
GC_TRIM_HM[5:0] > GC_TRIM_MH[5:0] の関係になるように設定してください。

*1 BER 測定時には、bit7(GC_FIX_EN)を 0b0 に設定してください。

0x1F【GAIN_MtoH】

機能: 中間ゲインから高ゲインへの切り替え閾値設定
 アドレス: 0x1f
 初期値: 0x03

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-0	GC_TRIM_MH[5:0]	ゲイン切り替え閾値	00_0011	R/W

【詳細】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と[GAIN_HtoM]レジスタで設定される値の関係が、
 GC_TRIM_HM[5:0] > GC_TRIM_MH[5:0] の関係になるように設定してください。

0x20【RSSI_ADJ_M】

機能: 中間ゲインでのRSSIオフセット値設定
 アドレス: 0x20
 初期値: 0x19

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-0	RSSI_OFFSET_M[5:0]	中間ゲイン使用時の RSSI オフセット値	01_1001	R/W

【詳細】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x21【RSSI_ADJ_L】

機能: 低ゲインでのRSSIオフセット値設定
 アドレス: 0x21
 初期値: 0x37

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-0	RSSI_OFFSET_L[5:0]	低ゲイン使用時の RSSI オフセット値	11_0111	R/W

【詳細】

1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x22【RSSI_STABLE_TIME】

機能:ゲイン切り替え後の RSSI 安定化時間設定
アドレス:0x22
初期値:0x03

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-4	AD_MASK_SET[1:0]	RSSI 収束待ち設定 (*2)	00	R/W
3-0	RSSI_STABLE[3:0]	ゲイン切り替え後の RSSI 安定時間 (設定範囲 1~15) (*1)	0011	R/W

【詳細】

- *1 本レジスタで設定された期間は、ゲイン切り替えに伴う RSSI の収束、安定の時間とし、この期間内の RSSI 値は ED 値算出で使用しません。RSSI 安定時間は(設定値+1) * AD 変換区間(17.8μs[1.8MHz 時]または 16μs[2MHz 時])となります。)
本機能は、ED 値取得、ダイバーシティ時には機能しますが、CCA 時には機能しません。
- *2 ゲイン切替時に、RSSI 回路から出力される RSSI 値が収束するまで次のゲイン切替を行わず、ウェイトする時間となります。ウェイト時間はゲイン切替から(設定値+2) * AD 変換区間(17.8μs[1.8MHz 時]または 16μs[2MHz 時])となります。

【注意】

- 1. 本レジスタへは 0x00 を設定しないでください。また「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x23【RSSI_VAL_ADJ】

機能:ED 値変換用の RSSI の乗除算値設定
アドレス:0x23
初期値:0x50

ビット	レジスタ名	説明	初期値	R/W
7-4	RSSI_VAL_M[3:0]	RSSI 乗算値設定 0-15 倍まで設定できます。(初期値 5 倍)	0101	R/W
3	RSSI_VAL_D3	RSSI 除算値 1/8 設定 (1 で適用)	0	R/W
2	RSSI_VAL_D2	RSSI 除算値 1/4 設定 (1 で適用)	0	R/W
1	RSSI_VAL_D1	RSSI 除算値 1/2 設定 (1 で適用)	0	R/W
0	RSSI_VAL_D0	RSSI 除算値 1/1 設定 (1 で適用)	0	R/W

【注意】

- 1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。
- 2. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
- 3. 乗算と異なり除数設定の bit3 から bit0 は 1 ビットのみが選択できます。複数ビットを有効に設定した場合は MSB 側が有効になります。(例 bit3 と bit1 に 0b1 が書き込まれている場合は、1/8 設定となります。
- 4. 乗算と除算に設定されると複合した結果で計算されます。但し、bit[3:0] = 0b0000 の場合も 1 倍が設定されます。(bit[7:4] = 0b0100 (4 倍) と bit1=0b1 (1/2)が設定された場合は、結果 2 倍の計算となります。)
- 5. 本レジスタに 0x00 が書き込まれた場合は、1 倍設定となります。

0x24【INT_SOURCE_GRP1】

機能:FIFO クリア設定および INT00 から INT05 の割り込み表示

アドレス:0x24

初期値:0x01

ビット	レジスタ名	説明	初期値	R/W
7	FIFO_CLR1	受信時 FIFO 1 面クリア設定 (*1) 0: クリアデータなし (クリア実行) 1: クリアデータあり	0	R/W
6	FIFO_CLR0	受信時 FIFO 0 面クリア設定 (*2) 0: クリアデータなし (クリア実行) 1: クリアデータあり	0	R/W
5	INT[05]	FIFO_FULL 割り込み (*3) 0: 割り込みなし 1: 割り込みあり	0	R/W
4	INT[04]	FIFO_EMPTY 割り込み (*4) 0: 割り込みなし 1: 割り込みあり	0	R/W
3	INT[03]	アドレスフィルタ機能によるパケット破棄完了割り込み (*5) 0: 割り込みなし 1: 割り込みあり	0	R/W
2	INT[02]	VCO キャリブレーション終了割り込み 0: 割り込みなし 1: 割り込みあり	0	R/W
1	INT[01]	予約	0	R/W
0	INT[00]	CLK 安定化終了割り込み 0: 割り込みなし 1: 割り込みあり	1	R/W

【詳細】

- *1 クリアを行うと FIFO1 面データがクリアされ、次の受信データを FIFO1 面へ格納し、SPI で 1 面より読み出しを開始します。本面より読み出しをはじめると本ビットに“1”がたち、“0”書き込みでクリアされます。
- *2 クリアを行うと FIFO0 面データがクリアされ、次の受信データを FIFO0 面へ格納し、SPI で 0 面より読み出しを開始します。本面より読み出しをはじめると本ビットに“1”がたち、“0”書き込みでクリアされます。
(本クリア機能を使用することにより、CRC エラーなどにおいて受信パケットの全データを SPI で読み出すことなく破棄し次のデータ処理へ移行することが可能となります。)
- *3 送信または受信 FIFO の残量が[TX_ALARM_LH]または[RX_ALARM_LH]レジスタ(B0 0x35, 0x37)で設定される閾値を越えた場合に割り込みを発生します。
- *4 送信または受信 FIFO の残量が[TX_ALARM_HL]または[RX_ALARM_HL]レジスタ(B0 0x36, 0x38)で設定される閾値を下回った場合に割り込みを発生します。また、FIFO_FULL 割り込み検出後に、FIFO データ受信完了した場合にも受信完了割り込み (INT[18]または INT[19]) 前に本割り込みが発生します。
- *5 アドレスフィルタ機能によりパケットが破棄された場合、破棄完了後に割り込みを発生します。

【注意】

- [INT_EN_GRP1]レジスタ(B0 0x2a)の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
- bit7(FIFO_CLR1)および bit6(FIFO_CLR0)は、[INT_EN_GRP1]レジスタの設定とは無関係です。また割り込み通知機能はありません。
- 正常に FIFO リードを完了した場合は、bit7(FIFO_CLR1)または bit6(FIFO_CLR0)に 0b0 を書き込まないでください。また、2 パケットを受信して CRC エラー割り込み (グループ 3 の INT[20]/[21]) が通知された場合、FIFO はクリアせずに、CRC エラー判定されたパケットのデータも読み出し(読み捨て)てください。
- マスクされていない割り込み要因がひとつでも発生していると、SINTN (ピン#10) は Low 出力し続けます。

0x25【INT_SOURCE_GRP2】

機能:INT8 から INT15 の割り込み表示

アドレス:0x25

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	INT[15]	送信 FIFO アクセスエラー割り込み (*1) 0: 割り込みなし 1: 割り込みあり	0	R/W
6	INT[14]	受信 FIFO アクセスエラー割り込み (*2) 0: 割り込みなし 1: 割り込みあり	0	R/W
5	INT[13]	送信 Length エラー割り込み (*3) 0: 割り込みなし 1: 割り込みあり	0	R/W
4	INT[12]	受信 Length エラー割り込み (*4) 0: 割り込みなし 1: 割り込みあり	0	R/W
3	INT[11]	SFD 検出割り込み (*5) 0: 割り込みなし 1: 割り込みあり	0	R/W
2	INT[10]	RF 状態遷移完了割り込み (*6) 0: 割り込みなし 1: 割り込みあり	0	R/W
1	INT[09]	ダイバーシティ検出完了割り込み 0: 割り込みなし 1: 割り込みあり	0	R/W
0	INT[08]	CCA 検出完了割り込み 0: 割り込みなし 1: 割り込みあり	0	R/W

【詳細】

- *1 送信時に FIFO のオーバーラン (FIFO サイズ(256byte)を超える書き込み時)、アンダーラン (FIFO に送信すべきデータがなくなった時)、または 2 面の FIFO が送信未完了の時に 3 パケット目を書き始めた時に割り込みが発生します。
- *2 受信時に、FIFO のオーバーラン (SPI からの読み出し不足により、PHY が FIFO サイズを超える書き込みを行った時)、アンダーラン (空の FIFO からデータを読み出す時)、または 2 面の FIFO に受信データがある状態で 3 パケット目の受信が行われた時に割り込みが発生します。
- *3 本割り込みは、[PACKET_MODE_SET]レジスタ(B0 0x45)の bit1(IEEE_MODE)で 0b0 (IEEE802.15.4d) の設定時のみ有効となり、送信時の Llength フィールド設定に 129byte 以上が設定されると割り込みが発生します。
- *4 本割り込みは、[PACKET_MODE_SET]レジスタで bit1(IEEE_MODE)で 0b0 (IEEE802.15.4d) の設定時のみ有効となり、受信時の Length フィールド値に 129byte 以上が設定されていると割り込みが発生します。
- *5 プリアンブルデータと SFD フィールド検出において[SYNC_CONDITION]レジスタ(B0 0x44)で設定した誤り許容内のデータを検出した場合に割り込みが発生します。
- *6 [RF_STATUS]レジスタ(B0 0x6c)の bit[3:0] (SET_TRX[3:0])で設定された状態遷移が完了すると割り込みを発生します。

【ご注意】 FEC モード動作時、ダイバーシティモード動作時およびダイバーシティ中の CCA 動作時は、不要な RF 状態遷移完了割り込みが通知されます。また RF 状態設定コマンドを設定しても RF 状態遷移完了割り込みが通知されない場合があります。それぞれの対応方法について以下に示します。

- ① RF 状態設定コマンド設定前に RF 状態遷移完了割り込みが通知された場合
不要な割り込みのため、RF 状態遷移完了割り込みをクリアしてください。
- ② RF 状態設定コマンドを設定しても RF 状態遷移完了割り込みが通知されない場合
GET_TRX ([RF_STATUS]レジスタ(B0 0x6c)の bit[7:4]が設定した RF 状態設定コマンドの状態となっていることを確認してください。RX_ON で 0b0110、TX_ON で 0b1001、TRX_OFF/Force_TRX_OFF で 0b1000 を表示します。

【注意】

1. [INT_EN_GRP2]レジスタ(B0 0x2b)の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。

0x26【INT_SOURCE_GRP3】

機能:INT16 から INT23 の割り込み表示

アドレス:0x26

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	INT[23]	FIFO1 データ送信要求 受付完了割り込み (*1) 0: 割り込みなし 1: 割り込みあり	0	R/W
6	INT[22]	FIFO0 データ送信要求 受付完了割り込み (*2) 0: 割り込みなし 1: 割り込みあり	0	R/W
5	INT[21]	FIFO1 受信データ CRC エラー検出割り込み (*3) 0: 割り込みなし 1: 割り込みあり	0	R/W
4	INT[20]	FIFO0 受信データ CRC エラー検出割り込み (*4) 0: 割り込みなし 1: 割り込みあり	0	R/W
3	INT[19]	FIFO1 データ受信 完了割り込み (*5) 0: 割り込みなし 1: 割り込みあり	0	R/W
2	INT[18]	FIFO0 データ受信 完了割り込み (*6) 0: 割り込みなし 1: 割り込みあり	0	R/W
1	INT[17]	FIFO1 データ送信 完了割り込み (*7) 0: 割り込みなし 1: 割り込みあり	0	R/W
0	INT[16]	FIFO0 データ送信 完了割り込み (*8) 0: 割り込みなし 1: 割り込みあり	0	R/W

【詳細】

- *1 FIFO1 へ送信データを設定 Length 分格納した場合に割り込みが発生します。
[PD_DATA_REQ]レジスタの bit5 (PD_DATA_REQ1)に 0b0 を書き込みクリアすると、本ビットもクリアされます。
- *2 FIFO0 へ送信データを設定 Length 分格納した場合に割り込みが発生します。
[PD_DATA_REQ]レジスタの bit1 (PD_DATA_REQ0)に 0b0 を書き込みクリアすると、本ビットもクリアされます。
- *3 FIFO0 に格納された受信データの CRC 結果がエラーの場合に割り込みが発生します。
[PD_DATA_IND]レジスタ(B0 0x29)の bit4 (CRC_RSLT1)に 0b0 を書き込みクリアすると、本ビットもクリアされます。
また、SFD 以降のデータ受信中に電波強度の急激な変動等によりビット同期が外れた場合も、本割り込みにて通知します。
- *4 FIFO1 に格納された受信データの CRC 結果がエラーの場合に割り込みが発生します。
[PD_DATA_IND]レジスタの bit0 (CRC_RSLT0)に 0b0 を書き込みクリアすると、本ビットもクリアされます。また、SFD 以降のデータ受信中に電波強度の急激な変動等によりビット同期が外れた場合も、本割り込みにて通知します。
- *5 受信時に FIFO1 に受信データが格納完了すると割り込みが発生します。
[PD_DATA_IND]レジスタの bit5(PD_DATA_IND1)に 0b0 を書き込みクリアすると、本ビットもクリアされます。
- *6 受信時に FIFO0 に受信データが格納完了すると割り込みが発生します。
[PD_DATA_IND]レジスタの bit1 (PD_DATA_IND0)に 0b0 を書き込みクリアすると、本ビットもクリアされます。
- *7 FIFO1 に格納したデータの送信が完了すると割り込みを発生します。
[PD_DATA_REQ]レジスタの bit4 (PD_DATA_CFM1)に 0b0 を書き込みクリアすると、本ビットもクリアされます。
- *8 FIFO0 に格納したデータの送信が完了すると割り込みを発生します。
[PD_DATA_REQ]レジスタの bit0 (PD_DATA_CFM0)に 0b0 を書き込みクリアすると、本ビットもクリアされます。

【注意】

1. [INT_EN_GRP3]レジスタ(B0 0x2c)の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。

0x27【INT_SOURCE_GRP4】

機能:INT24 と INT25 の割り込み表示
アドレス:0x27
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserved	予約	0000_00	R/W
1	INT[25]	PLL ロック外れ割り込み (*1) 0: 割り込みなし 1: 割り込みあり (PLL ロック外れ)	0	R/W
0	INT[24]	Auto_Ack 準備完了割り込み (*2) 0: 割り込みなし 1: 割り込みあり	0	R/W

【詳細】

- *1 送受信中に PLL のロックが外れると割り込みが発生します。
- *2 [AUTO_ACK_SET レジスタ(B0 0x55)の bit4(AUTO_ACK_EN)に 0b1 を書き込み Auto_Ack を設定したときに有効になり、Ack 要求パケットを受信時に、送信 Ack パケットの準備が完了し、さらに内部的に TX_ON を行い送信準備が完了すると割り込みが発生します。

【注意】

- 1. [INT_EN_GRP4]レジスタ(B0 0x2d)の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。

0x28【PD_DATA_REQ】

機能:データ送信要求の状態表示
アドレス:0x28
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5	PD_DATA_REQ1	FIFO1 内のデータ送信要求 (1 で送信要求あり) (*1)	0	R/W
4	PD_DATA_CFM1	FIFO1 内のデータ送信完了表示 0: 未送信または送信中 1: 送信完了	0	R/W
3-2	Reserved	予約	00	R/W
1	PD_DATA_REQ0	FIFO0 内のデータ送信要求 (1 で送信要求あり) (*1)	0	R/W
0	PD_DATA_CFM0	FIFO0 内のデータ送信完了表示 0: 未送信または送信中 1: 送信完了	0	R/W

【注意】

- *1 該当 FIFO への送信データの書き込みが終了すると PD_DATA_REQ ビットは自動的に 1 に設定されます。

本レジスタの各ビットは全て 0 書き込みのみ有効です。

0x29【PD_DATA_IND】

機能:データ受信通知
アドレス:0x29
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5	PD_DATA_IND1	FIFO 1 のデータ受信完了通知 *1 0: 受信中または受信なし 1: 受信完了	0	R/W
4	CRC_RSLT1	FIFO1 内の受信データの CRC 結果表示 *2 0: CRC エラー 1: CRC OK	0	R/W
3-2	Reserved	予約	00	R/W
1	PD_DATA_IND0	FIFO0 のデータ受信完了通知求 *1 0: 受信中または受信なし 1: 受信完了	0	R/W
0	CRC_RSLT0	FIFO0 内の受信データの CRC 結果表示 *2 0: CRC エラー 1: CRC OK	0	R/W

【注意】

- *1 MCU より FIFO 内の受信データを全部読み出しても自動クリアされません。受信完了時に本ビットに 0b0 を書き込みクリアしてください。0b1 の書き込みは無視されます。
- *2 本ビットは自動クリアされません。次の受信データを FIFO に格納した際に CRC 演算結果が上書きされますので、毎パケット受信後に本ビットに 0b0 を書き込みクリアしてください。0b1 の書き込みは無視されます。本ビットをクリアしても、[INT_SOURCE_GRP3]レジスタ(B0 0x26)の bit5-4 の CRC エラー割込み表示は保持されます。[INT_SOURCE_GRP3]レジスタの CRC エラー割込み表示もクリアしてください。

0x2A【INT_EN_GRP1】

機能:割り込み要因 00 から割り込み要因 05 の許可設定
アドレス:0x2a
初期値:0xFF

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	11	R/W
5-0	INT_EN [05:00]	割り込み要因 05 から割り込み 00 の許可設定 0: 割り込み通知を行わない。 1: 割り込み通知を行う。	11_1111	R/W

【詳細】

- 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 各割り込みの詳細は[INT_SOURCE_GRP1]レジスタ(B0 0x24)を参照してください。

0x2B【INT_EN_GRP2】

機能:割り込み要因 08 から割り込み要因 15 の許可設定
アドレス:0x2b
初期値:0xFF

ビット	レジスタ名	説明	初期値	R/W
7-0	INT_EN[15:08]	割り込み要因 15 から割り込み 08 の許可設定 0: 割り込み通知を行わない。 1: 割り込み通知を行う。	1111_1111	R/W

【詳細】

- 1. 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 2. 各割り込みの詳細は【INT_SOURCE_GRP2】レジスタ(B0 0x25)を参照してください。

0x2C【INT_EN_GRP3】

機能:割り込み要因 16 から割り込み要因 23 の許可設定
アドレス:0x2c
初期値:0xFF

ビット	レジスタ名	説明	初期値	R/W
7-0	INT_EN[23:16]	割り込み要因 23 から割り込み 16 の許可設定 0: 割り込み通知を行わない。 1: 割り込み通知を行う。	1111_1111	R/W

【詳細】

- 1. 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 2. 各割り込みの詳細は【INT_SOURCE_GRP3】レジスタ(B0 0x26)を参照してください。

0x2D【INT_EN_GRP4】

機能:割り込み要因 24 と割り込み要因 25 の許可設定
アドレス:0x2d
初期値:0x03

ビット	レジスタ名	説明	初期値	R/W
7-2	Reservef	予約	0000_00	R/W
1	INT_EN[25]	割り込み要因 25 の許可設定 0: 割り込み通知を行わない。 1: 割り込み通知を行う。	1	R/W
0	INT_EN[24]	割り込み要因 24 から割り込み 16 の許可設定 0: 割り込み通知を行わない。 1: 割り込み通知を行う。	1	R/W

【詳細】

- 1. 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
- 2. 各割り込みの詳細は【INT_SOURCE_GRP4】レジスタ(B0 0x27)を参照してください。

0x2E【CH_EN_L】

機能: 下位 8 チャンネルの有効設定
アドレス: 0x2e
初期値: 0xFF

ビット	レジスタ名	説明	初期値	R/W
7	CH7_EN	チャンネル 7 イネーブル (1 で有効)	1	R/W
6	CH6_EN	チャンネル 6 イネーブル (1 で有効)	1	R/W
5	CH5_EN	チャンネル 5 イネーブル (1 で有効)	1	R/W
4	CH4_EN	チャンネル 4 イネーブル (1 で有効)	1	R/W
3	CH3_EN	チャンネル 3 イネーブル (1 で有効)	1	R/W
2	CH2_EN	チャンネル 2 イネーブル (1 で有効)	1	R/W
1	CH1_EN	チャンネル 1 イネーブル (1 で有効)	1	R/W
0	CH0_EN	チャンネル 0 イネーブル (1 で有効)	1	R/W

【詳細】

- 1. 本レジスタの使用方法は、「チャンネル周波数の設定」を参照してください。
- 2. 送受信で使用するチャンネルは[CH_SET]レジスタ(B0 0x6b)で設定します。

0x2F【CH_EN_H】

機能: 上位 8 チャンネルの有効設定
アドレス: 0x2f
初期値: 0xFF

ビット	レジスタ名	説明	初期値	R/W
7	CH15_EN	チャンネル 15 イネーブル (1 で有効)	1	R/W
6	CH14_EN	チャンネル 14 イネーブル (1 で有効)	1	R/W
5	CH13_EN	チャンネル 13 イネーブル (1 で有効)	1	R/W
4	CH12_EN	チャンネル 12 イネーブル (1 で有効)	1	R/W
3	CH11_EN	チャンネル 11 イネーブル (1 で有効)	1	R/W
2	CH10_EN	チャンネル 10 イネーブル (1 で有効)	1	R/W
1	CH9_EN	チャンネル 9 イネーブル (1 で有効)	1	R/W
0	CH8_EN	チャンネル 8 イネーブル (1 で有効)	1	R/W

【詳細】

- 1. 本レジスタの使用方法は、「チャンネル周波数の設定」を参照してください。
- 2. 送受信で使用するチャンネルは、[CH_SET]レジスタ(B0 0x6b)で設定します。

0x30【IF_FREQ_AFC_H】

機能:AFC モードの IF 周波数設定の設定(上位 8 ビット)
アドレス:0x30
初期値:0x1C

ビット	レジスタ名	説明	初期値	R/W
7-0	IF_FREQ_AFC[15:8]	AFC モードの IF 周波数設定 (bit15～bit8)	0001_1100	R/W

【詳細】

- AFC 引き込み時に使用する IF 周波数を[IF_FREQ_AFC_L]レジスタ(B0 0x31)の 8 ビットと共に全 16 ビットから設定します。[AFC_CNTRL]レジスタ(B0 0x34)の bit0(AFC_EN)に 0b1 を書き込み AFC を有効にしたときのみ適用されれます。
- AFC 引き込み後は[IF_FREQ_H]および[IF_FREQ_L]レジスタ(B1 0x0a, 0x0b)で設定される IF 周波数が適用されます。
- [DATA_SET]レジスタ(B0 0x47)の bit2-0(RATE[2:0])で設定されるデータレートに従いデータレートに応じての IF 周波数は、自動的に変更されます。

【注意】

- IF 周波数の設定方法は、「IF 周波数の設定」を参照してください。

0x31【IF_FREQ_AFC_L】

機能:AFC モードの IF 周波数設定の設定(下位 8 ビット)
アドレス:0x31
初期値:0x71

ビット	レジスタ名	説明	初期値	R/W
7-0	IF_FREQ_AFC[7:0]	AFC モードの IF 周波数設定 (bit7～bit0)	0111_0001	R/W

【詳細】

- 本レジスタについては、[IF_FREQ_AFC_H]レジスタ(B0 0x30)の説明を参照してください。

0x32【BPF_AFC_ADJ_H】

機能:AFC モードのバンドパスフィルタの容量調整(上位 2 ビット)
アドレス:0x32
初期値:0x01

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserved	予約	0000_00	R/W
1-0	BPF_C_AFC[9:8]	AFC モードのバンドパスフィルタの容量調整値(bit9,bit8)	01	R/W

【詳細】

- AFC 時のバンドパスフィルタ容量を[BPF_AFC_ADJ_L]レジスタ(B0 0x33)の 8 ビットと共に全 10 ビットで調整します。[AFC_CNTRL]レジスタ(B0 0x34)の bit0(AFC_EN)に 0b1 を書き込み AFC を有効にしたときのみ適用されれます。
- AFC 引き込み時に使用する BPF 帯域を調整され、引き込み後は[BPF_ADJ_H]と[BPF_ADJ_L]レジスタ(B1 0x0e,0x0f)で設定される BPF 帯域が適用されます。

【注意】

- 本レジスタへの設定方法は、「BPF 帯域の設定」を参照してください。

0x33【BPF_AFC_ADJ_L】

機能:AFC モードのバンドパスフィルタの容量調整(下位 8 ビット)
アドレス:0x33
初期値:0x9c

ビット	レジスタ名	説明	初期値	R/W
7-0	BPF_C_AFC[7:0]	AFC モードのバンドパスフィルタの容量調整 (bit7～bit0)	1001_1100	R/W

【詳細】

1. 本レジスタについては、[BPF_AFC_ADJ_H]レジスタ(B0 0x32)の説明を参照してください。

0x34【AFC_CNTRL】

機能:AFC モードの設定
アドレス:0x34
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	Reserved	予約	0	R/W
6	AFC_UPDATE_EN	AFC の更新設定設定 0: AFC の更新を行わない。 1: AFC の更新を行う。	0	R/W
5-4	UPDATE_TERM[1:0]	AFC の更新間隔設定 (*1) UPDATE_TERM[1:0] = 00: 8 シンボル 01: 16 シンボル 10: 32 シンボル 11: 64 シンボル	00	R/W
3-1	Reserved	予約	000	R/W
0	AFC_EN	AFC モードの設定 0: AFC モードを使用しない。 1: AFC モードを使用する。	0	R/W

【詳細】

- *1 更新時間は、[DATA_SET]レジスタ(B0 0x47)で設定されるデータレートにより異なります。

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x35【TX_ALARM_LH】

機能:送信 FIFO の残量告知レベルを設定します。(空き残量が少ない時の告知)

アドレス:0x35

初期値:0xF0

ビット	レジスタ名	説明	初期値	R/W
7-0	TX_ALARM_LH[7:0]	送信 FIFO の残量告知レベル設定 (L→H) 0-255 byte の範囲で設定できます。(初期値 240 バイト)	1111_0000	R/W

【詳細】

1. 本レジスタは[TX_ALARM_HL]レジスタとともに使用されます。詳細な使い方は「送信 FIFO の残量告知機能の使用方法」を参照してください。
1. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値を越えた場合割り込みグループ1の INT[05]を発生させ、SINTN(ピン#10)の出力を Low にして通知します。

0x36【TX_ALARM_HL】

機能:送信 FIFO の残量告知レベルを設定します。(空き残量が多い時の告知)

アドレス:0x36

初期値:0x0F

ビット	レジスタ名	説明	初期値	R/W
7-0	TX_ALARM_HL[7:0]	受信 FIFO の残量告知レベル設定(H→L) 0-255 byte の範囲で設定できます。(初期値 31 バイト)	0000_1111	R/W

【詳細】

1. 本レジスタは[TX_ALARM_LH]レジスタとともに使用されます。詳細な使い方は「送信 FIFO の残量告知機能の使用方法」を参照してください。
2. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値を下回る場合割り込みグループ1の INT[04]を発生させ、SINTN(ピン#10)の出力を Low にして通知します。

0x37【RX_ALARM_LH】

機能:受信 FIFO の残量告知レベルを設定します。(空き残量が少ない時の告知)

アドレス:0x37

初期値:0x05

ビット	レジスタ名	説明	初期値	R/W
7-0	RX_ALARM_LH[7:0]	受信 FIFO の残量告知レベル設定 (L→H) 0-255 byte の範囲で設定できます。(初期値 5 バイト)	000_0101	R/W

【詳細】

1. 本レジスタは[RX_ALARM_HL]レジスタとともに使用されます。詳細な使い方は「受信 FIFO の残量告知機能の使用方法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値を超えた場合割り込みグループ1の INT[05]を発生させ、SINTN(ピン#10)の出力を Low にして通知します。

0x38【RX_ALARM_HL】

機能:受信 FIFO の残量告知レベルを設定します。(空き残量が多い時の告知)
 アドレス:0x38
 初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	RX_ALARM_HL[6:0]	受信 FIFO の残量告知レベル設定(H→L) 0-255 byte の範囲で設定できます。(初期値 0 バイト)	000_0000	R/W

【詳細】

1. 本レジスタは[RX_ALARM_HL]レジスタとともに使用されます。詳細な使い方は「受信 FIFO の残量告知機能の使用手法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値を超えた場合割り込みグループ1の INT[04]を発生させ、S INTN (ピン#10)の出力を Low にして通知します。

0x39【PREAMBLE_SET】

機能:送受信時のプリアンブルパターンを設定
 アドレス:0x39
 初期値:0x55

ビット	レジスタ名	説明	初期値	R/W
7-0	PR[7:0]	プリアンブルパターン(1 バイト固定)設定	0101_0101	R/W

【詳細】

1. プリアンブルパターンは無線同期用の信号であり繰り返しパターンである必要があります。設定値は、0xAA もしくは 0x55 のいずれかにしてください。IEEE802.15.4d/g で使用される場合は、0xAA の設定が必要です。
2. 無線経路上へは、bit 0 より送信されることになります。
3. 送信時のプリアンブルパターンの長さは[TX_PR_LEN]レジスタ(B0 0x42)で設定されます。
 受信時のプリアンブルパターン比較長は、[RX_PR_LEN/SFD_LEN]レジスタ(B0 0x43)で設定されます。

0x3A【SFD1_SET1】

機能:フレーム同期パターン(最大 4 バイト)1 面目の第 1 バイトの設定
 SFD: Start of Frame Delimiter
 アドレス:0x3a
 初期値:0xA7

ビット	レジスタ名	説明	初期値	R/W
7-0	SFD1[7:0]	フレーム同期パターン(最大 4 バイト長)の第 1 バイト 設定	1010_0111	R/W

【詳細】

1. 詳細動作および IEEE802.15.4g 使用時の推奨設定値に関しては、「SFD 検出機能」を参照してください。
2. SFD1面目は、[PACKET_MODE_SET]レジスタ(B0 0x45)の bit6(MRFSKFSD)に 0b0 が書き込まれている場合に有効になります。
3. 無線経路上へは、本レジスタの bit 0 より送信されることになります。
4. SFD の有効長は[RX_PR_LEN/SFD_LEN]レジスタ(B0 0x43)で設定されます。

0x3B【SFD1_SET2】

機能:フレーム同期パターン(最大4バイト)1面目の第2バイトの設定

アドレス:0x3b

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SFD1[15:8]	フレーム同期パターン(最大4バイト長)の第2バイト設定	0000_0000	R/W

【詳細】

1. 詳細動作および IEEE802.15.4g 使用時の推奨設定値に関しては、「SFD 検出機能」を参照してください。
2. SFD1面目は、[PACKET_MODE_SET]レジスタ(B0 0x45)の bit6(MRFSKFSD)に 0b0 が書き込まれている場合に有効になります。
3. 無線経路上へは、[SFD1_SET1]レジスタの bit 0 より送信されることになります。
4. SFD の有効長は[RX_PR_LEN/SFD_LEN]レジスタ(B0 0x43)で設定されます。

0x3C【SFD1_SET3】

機能:フレーム同期パターン(最大4バイト)1面目の第3バイトの設定

アドレス:0x3c

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SFD1[23:16]	フレーム同期パターン(最大4バイト長)の第3バイト設定	0000_0000	R/W

【詳細】

1. 詳細動作および IEEE802.15.4g 使用時の推奨設定値に関しては、「SFD 検出機能」を参照してください。
2. SFD1面目は、[PACKET_MODE_SET]レジスタ(B0 0x45)の bit6(MRFSKFSD)に 0b0 が書き込まれている場合に有効になります。
3. 無線経路上へは、[SFD1_SET1]レジスタの bit 0 より送信されることになります。
4. SFD の有効長は[RX_PR_LEN/SFD_LEN]レジスタ(B0 0x43)で設定されます。

0x3D【SFD1_SET4】

機能:フレーム同期パターン(最大4バイト)1面目の第4バイトの設定

アドレス:0x3d

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SFD1[31:24]	フレーム同期パターン(最大4バイト長)の第4バイト設定	0000_0000	R/W

【詳細】

1. 詳細動作および IEEE802.15.4g 使用時の推奨設定値に関しては、「SFD 検出機能」を参照してください。
2. SFD1面目は、[PACKET_MODE_SET]レジスタ(B0 0x45)の bit6(MRFSKFSD)に 0b0 が書き込まれている場合に有効になります。
3. 無線経路上へは、[SFD1_SET1]レジスタの bit 0 より送信されることになります。
4. SFD の有効長は[RX_PR_LEN/SFD_LEN]レジスタ(B0 0x43)で設定されます。

0x3E【SFD2_SET1】

機能: フレーム同期パターン (最大 4 バイト) 2 面目の第 1 バイトの設定

SFD: Start of Frame Delimiter

アドレス: 0x3e

初期値: 0xA7

ビット	レジスタ名	説明	初期値	R/W
7-0	SFD2[7:0]	フレーム同期パターン (最大 4 バイト長) の第 1 バイト 設定	1010_0111	R/W

【詳細】

1. 詳細動作および IEEE802.15.4g 使用時の推奨設定値に関しては、「SFD 検出機能」を参照してください。
2. SFD2 面目は、[PACKET_MODE_SET] レジスタ (B0 0x45) の bit6 (MRFSKFSD) に 0b1 が書き込まれている場合に有効になります。
3. 無線経路上へは、本レジスタの bit 0 より送信されることになります。
4. SFD の有効長は [RX_PR_LEN/SFD_LEN] レジスタ (B0 0x43) で設定されます。

0x3F【SFD2_SET2】

機能: フレーム同期パターン (最大 4 バイト) 2 面目の第 2 バイトの設定

アドレス: 0x3f

初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SFD2[15:8]	フレーム同期パターン (最大 4 バイト長) の第 2 バイト 設定	0000_0000	R/W

【詳細】

1. 詳細動作および IEEE802.15.4g 使用時の推奨設定値に関しては、「SFD 検出機能」を参照してください。
2. SFD2 面目は、[PACKET_MODE_SET] レジスタ (B0 0x45) の bit6 (MRFSKFSD) に 0b1 が書き込まれている場合に有効になります。
3. 無線経路上へは、[SFD2_SET1] レジスタの bit 0 より送信されることになります。
4. SFD の有効長は [RX_PR_LEN/SFD_LEN] レジスタ (B0 0x43) で設定されます。

0x40【SFD2_SET3】

機能: フレーム同期パターン (最大 4 バイト) 2 面目の第 3 バイトの設定

アドレス: 0x40

初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SFD2[23:16]	フレーム同期パターン (最大 4 バイト長) の第 3 バイト 設定	0000_0000	R/W

【詳細】

1. 詳細動作および IEEE802.15.4g 使用時の推奨設定値に関しては、「SFD 検出機能」を参照してください。
2. SFD2 面目は、[PACKET_MODE_SET] レジスタ (B0 0x45) の bit6 (MRFSKFSD) に 0b1 が書き込まれている場合に有効になります。
3. 無線経路上へは、[SFD2_SET1] レジスタの bit 0 より送信されることになります。
4. SFD の有効長は [RX_PR_LEN/SFD_LEN] レジスタ (B0 0x43) で設定されます。

0x41【SFD2_SET4】

機能: フレーム同期パターン (最大 4 バイト) 2 面目の第 4 バイトの設定
アドレス: 0x41
初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SFD2[31:24]	フレーム同期パターン (最大 4 バイト長) の第四バイト 設定	0000_0000	R/W

【詳細】

- 1. 詳細動作および IEEE802.15.4g 使用時の推奨設定値に関しては、「SFD 検出機能」を参照してください。
- 2. SFD2 面目は、[PACKET_MODE_SET]レジスタ(B0 0x45)の bit6(MRFSKFSD)に 0b1 が書き込まれている場合に有効になります。
- 3. 無線経路上へは、[SFD2_SET1]レジスタの bit 0 より送信されることになります。
- 4. SFD の有効長は[RX_PR_LEN/SFD_LEN]レジスタ(B0 0x43)で設定されます。

0x42【TX_PR_LEN】

機能: 送信プリアンブル長 (最大 255 バイト) の設定
アドレス: 0x42
初期値: 0x04

ビット	レジスタ名	説明	初期値	R/W
7-0	TXPR_LEN[7:0]	送信時のプリアンブル長(最大 255 バイト)設定 0-255 byte を設定できます。(初期値 4 バイト長)	0000_0100	R/W

【注意】

IEEE 802.15.4g 規格書では、phyFSKPreambleRepetitions パラメータが 4 からとなっていますので、本レジスタに 0x03 以下の値を設定しないでください。

ダイバーシティ使用時は本設定値をデータレートの設定に応じて変更する必要があります。データレートに対応する設定値には「初期設定レジスタ」を参照してください。

0x43【RX_PR_LEN / SFD_LEN】

機能:受信時のプリアンプル比較長の設定 及び SFD 長設定

アドレス:0x43

初期値:0x02

ビット	レジスタ名	説明	初期値	R/W
7-4	RX_PR_LEN[3:0] (*3)	受信時のプリアンプル比較長設定 [設定範囲: 4 byte まで] (ただし、初期値 0b0000 は 1 バイト長設定となります。 また、0b0101 以上の設定値は 4 バイト長設定となります。)	0000	R/W
3	2PB_DET_EN (*2)	受信プリアンプル 2 面待ち設定ビット 0: [PREAMBLE_SET] レジスタ (B0 0x39) で設定されるパター ンにて SFD 検出 1: 0xAA パターンまたは 0x55 パターンのどちらのパターンで あっても SFD 検出	0	R/W
2-0	SFD_LEN[2:0] (*1)	SFD 長設定 0b001: SFD[7:0]が適用 bit0 より送信 0b010: SFD[15:0]が適用 bit0 より送信 (初期設定) 0b011: SFD[23:0]が適用 bit0 より送信 0b100: SFD[31:0]が適用 bit0 より送信	010	R/W

【注意】

- *1 SFD_LEN を上記以外の値で設定した場合は、送信時の SFD 付加機能及び受信時の SFD 比較機能は無効となります。
- *2 2 面待ち設定した場合、[SYNC_CONDITION]レジスタ(B0 0x44)の bit3-0(PB_SYNC[3:0])のプリアンプル検出時の誤り許容ビット数設定は無効となり、誤り許容ビット数設定は 0 とみなし動作します。また、RX_PR_LEN[3:0]には 2 バイト以下を設定してください。
- *3 [AFC_CNTRL]レジスタ(B0 0x34)の bit0(AFC_EN)を 0b1 に設定した場合、AFC 収束時間(最大 24 ビット)が必要です。RX_PR_LEN[3:0]で設定するプリアンプル比較範囲が AFC 収束時間と重なった場合、SFD 検出できなくなります。本設定値は[TRX_PR_LEN]レジスタ(B0 0x42)の TXPR_LEN[7:0]への設定値から AFC 収束時間(3 バイト)を引いたバイト数以下の値を設定してください。

0x44【SYNC_CONDITION】

機能:受信時のプリアンプル検出及び SFD 検出の誤り許容値の設定(最大 15 ビット)

アドレス:0x44

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	SFD_SYNC[3]	SFD 検出時の誤り許容ビット数設定 0 から 15bit を設定できます。	0	R/W
6	SFD_SYNC[2]		0	R/W
5	SFD_SYNC[1]		0	R/W
4	SFD_SYNC[0]		0	R/W
3	PR_SYNC[3]	プリアンプル検出時の誤り許容ビット数設定 0 から 15bit を設定できます。	0	R/W
2	PR_SYNC[2]		0	R/W
1	PR_SYNC[1]		0	R/W
0	PR_SYNC[0]		0	R/W

【注意】

1. [DATA_SET]レジスタ(B0 0x47)でマンチェスターコードが選択されている時は、本設定は無視されます。

0x45【PACKET_MODE_SET】

機能:パケットモード(FIFO 使用時)の各種設定

アドレス:0x45

初期値:0x1B

ビット	レジスタ名	説明	初期値	R/W
7	FIFO_ADR_EN	FIFO のアドレス表示機能設定 (*1) 0: アドレス表示しない。 1: アドレス表示機能を有効にする。	0	R/W
6	MRFSKSFD	MRFSKSFD グループ設定 (*2) 0: SFD1 を選択する。 1: SFD2 を選択する。	0	R/W
5	ADDFIL_NG_SET	アドレスフィルタ機能の NG 判定後の動作設定 0: NG 判定後、直ちにデータを破棄する。 1: NG 判定後、データ受信完了時にデータを破棄する。	0	R/W
4	WHITENING	Whitening 設定 (*6) 0: Whitening をしない。 1: Whitening を行う。	1	R/W
3	ED_NOTICE	受信時の ED 値追加設定 0: 受信パケットに ED 値を付けない。 1: 受信パケットに ED 値(1byte)を付加する。	1	R/W
2	AUTO_TX	自動送信機能設定 (*4) 0: 自動送信を行わない。 1: 自動送信を行う。	0	R/W
1	IEEE_MODE	IEEE 802.15.4 のパケット種設定 (*5) 0: IEEE802.15.4d パケットを使用する。 1: IEEE802.15.4g パケットを使用する。	1	R/W
0	ADDFIL_IDLE_DET	アドレスフィルタ機能の NG 判定後の IDLE 検出設定 (*3) 0: データ破棄後に、IDLE 検出をせずに割り込みを通知 1: データ破棄後に、IDLE 検出をしたら割り込みを通知	1	R/W

【詳細】

- *1 [RD_FIFO_LAST]レジスタ(B0 0x7c)の FIFO 残量表示を次に書き込むアドレスの表示に変更します。
- *2 詳細は「SFD 検出機能」を参照してください。
- *3 動作詳細は「アドレスフィルタ機能」を参照してください。
- *4 [RF_STATUS]レジスタ(B0 0x6c)の bit[3:0] (SET_TRX)に 0b1001(TX_ON)を設定せずに FIFO に送信データ格納完了時に送信を開始する機能です。以下の場合に自動送信されます。
 - ① Length 分の送信データを FIFO へ書き込み完了した時
 - ② [FAST_TX_SET]レジスタ(B0 0x6A)で送信開始トリガを設定し、FIFO への書き込みデータ量が送信開始トリガ以上となった時 (FIFO への書き込みデータ量に Length 分が含まれます)
 送信完了後、直ちに RF 状態を RX_ON または TRX_OFF へ切替える場合、以下の 2 通りの方法があります。
 - ① 信開始後に RX_ON または TRX_OFF 命令発行および本ビット(AUTO_TX_EN)に 0b0 をに設定します。
 - ② 本ビット(AUTO_TX_EN)に 0b1、および TX_DONE_RX([ACK_TIMER_EN]レジスタ(B0 0x52)の bit5)または TX_DONE_OFF([ACK_TIMER_EN]レジスタ(B0 0x52)の bit4)を 1 に設定します。
TX_DONE_RX/TX_DONE_OFF については[ACK_TIMER_EN]レジスタ(B0 0x52)をご参照ください。
- *5 パケットモード(FIFO 動作)選択時のみ有効です。パケットモードの選択は[PLL_MON/DIO_SEL]レジスタ(B0 0x69)で設定します。(初期設定はパケットモード)
- *6 データ Whitening は以下の場合に行われます。
 - ・IEEE802.15.4d モード(bit1=0b0)のとき、本ビットのイネーブル設定のみでデータ Whitening が実行されます。
 - ・IEEE802.15.4g モード(bit1=0b1)のとき、本ビットのイネーブル設定かつ PHR のデータ Whitening ビットが 1 のときデータ Whitening が実行されます。但し、FEC 機能を使用している時の受信時は、PHR のデータ Whitening ビットに関わらず本ビットのイネーブル設定で Dewhitening を実行します。

【注意】

1. bit2(AUTO_TX)をイネーブルにした場合は FIFO ライト完了後 150μs 以上経過してから[RF_STATUS]レジスタ(B0 0x6c)へのライトアクセスしてください。

0x46【FEC/CRC_SET】

機能: FEC および CRC 設定
アドレス:0x46
初期値:0x03

ビット	レジスタ名	説明	初期値	R/W
7	INTLV_EN	インターリーブの設定 (*1) 0: インターリーブを設定しない。 1: インターリーブを設定する。	0	R/W
6	FEC_EN	FEC の設定 0: FEC を設定しない。 1: FEC を設定する	0	R/W
5	FEC_SCHEME	FEC 方式設定 0: NRNSC 方式 1: RSC 方式	0	R/W
4	CRC_INIT	CRC 初期演算値設定 0: All “0” 1: All “1”	0	R/W
3	CRC_EN	IEEE 802.15.4g の受信パケットで Frame Control Field 内の FCS Length 情報の使用許可設定 (*3) 0: FCS Length Field 情報を適用する。 1: CRC_MODE[1:0]設定を強制的に使用する。	0	R/W
2-1	CRC_MODE[1:0]	CRC モード設定 (*2) 00: 8 ビット CRC 01: 16 ビット CRC (初期値) 10: 32 ビット CRC (オプション機能) 11: 16 ビット CRC (CRC-IBM)	01	R/W
0	CRC_DONE	演算実行許可設定 (1 で送受信時に演算を実行します)	1	R/W

【詳細】

- [PACKET_MODE_SET]レジスタ(B0 0x45)の bit1(IEEE_MODE)が 0b1 で IEEE802.15.4g が選択された場合、送信時は本レジスタの bit[2:1](CRC_MODE)で設定された CRC で演算されます。
受信時は本レジスタの bit3(CRC_EN)=0b0 の場合、受信パケットの Feame Control Field 内の FCS Length 情報で CRC 演算が行われ、0b1 の場合は、bit[2:1](CRC_MODE)で設定された CRC で演算されます。
FCS Length については IEEE 802.15.4g 6.3.2a 章を参照してください。
- [PACKET_MODE_SET]レジスタの bit1(IEEE_MODE)が 0b0 で IEEE802.15.4d が選択された場合、本レジスタの bit2-11(CRC_MODE)で設定された CRC で送受信とも演算されます。

各 CRC の生成多項式を書きに示します。

CRC8 = $X^8 + X^2 + X + 1$

CRC16 = $X^{16} + X^{12} + X^5 + 1$

CRC16-IBM= $X^{16} + X^{12} + X^2 + 1$

CRC32 = $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$

CRC 設定一覧を示します。

IEEE_MODE[PACKET_MODE_SET] レジスタ(B0 0x45) ビット 1	CRC_DONE	CRC_EN	CRC_MODE [1:0]	CRC 動作説明
1 (4g モード)	1	0	00/01/10/11	FCSLength 設定情報にて CRC 演算実行します。 FCS Length = 0b0・・・CRC32 FCS Length = 0b1・・・CRC16
		1	00/01/10/11	CRC_MODE[1:0]に従いCRC 演算実行します。
	0	0/1	00/01/10/11	CRC 演算せず、パケットへの CRC も付加しません。
0 (4d モード)	1	0/1	00/01/10/11	CRC_MODE[1:0]に従いCRC 演算実行します。
	0	0/1	00/01/10/11	CRC 演算せず、パケットへの CRC も付加しません。

【注意】

- *1 bit6(FEC_EN)が 0b1 で有効の場合のみ、本ビットが有効になります。
- *2 [AUTO_ACK_SET]レジスタ(B0 0x55)の bit4(AUTO_ACK_EN)に 0b1 が設定され AutoAck 機能を有効にした場合、Ack パケット送信前に本レジスタの bit3(CRC_EN)および bit0(CRC_DONE)を 0b1 とし、bit2-1(CRC_MODE[1:0])にて CRC 長を設定願います。
- *3 CRC_EN=0b0 と設定しパケットの FCS Length 設定情報にて CRC 演算を行う場合、送信・受信の CRC 設定は以下のときに有効となります。ただし、CRC_EN=0b1 のときは下記対応は不要です。

送信:

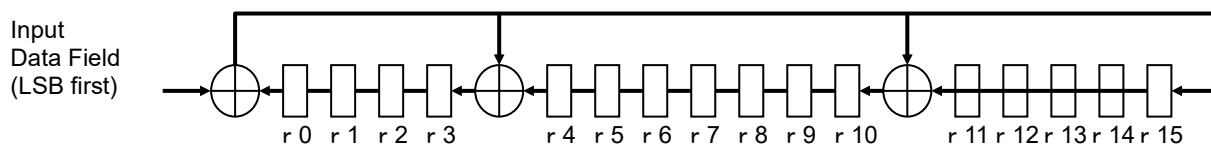
送信データに対する CRC 設定は SET_TRX[3:0] ([RF_STATUS]レジスタ(B0 0x6c)の bit3-0)が 0x6 以外のときのみ有効となります。従いまして、①受信状態の場合は TRX_OFF/Force_TRX_OFF 後送信データを FIFO に書き込む、または②TX_ON 後送信データを FIFO に書き込みを行ってください。ただし、[FAST_TX_SET]レジスタ(B0 0x6a)で FAST_TX を有効にしている場合は、本対応は不要です。

受信:

受信データに対する CRC 設定は SET_TRX[3:0] ([RF_STATUS]レジスタ(B0 0x6c)の bit3-0)が 0x6 のときのみ有効となります。従いまして、受信状態(TRX_OFF/Force_TRX_OFF 命令発行前)にて受信データを FIFO からすべて読み出してください。また、TRX_OFF/Force_TRX_OFF 命令発行後に読み出す場合は、CRC_EN=1 および CRC_MODE[1:0]にて CRC 設定を行い読み出してください。

- *4 32 ビット CRC を設定した場合、最小 Length は 4 バイトとなるため、IEEE802.15.4g モードのとき、Ack パケットは受信できません。Ack パケット受信においては FCS (CRC)=16 ビット設定とするか、CRC チェックを無効設定にてご使用ください。

参考: CRC16 回路構成



CRC データは送信時、CRC-MODE[1:0]ビットで設定されている CRC 方式にて Length 情報から PSDU 領域を判定して CRC 演算を実行し、送信データの最後に結果を付加します。この際設定する Length 情報には、CRC 長を含んだ長さを設定する必要があります。受信時は CRC_EN ビットの設定によらず Length および PSDU 領域を自動計算し、受信パケットの FCS フィールドの CRC データとの一致確認を行い、結果を[PD_DATA_IND]レジスタ(B0 0x29)の bit4(CRC_RSLT1) および bit0 (CRC_RSLT0)に格納します。

0x47【DATA_SET】

機能:送受信データの各種設定
アドレス:0x47
初期値:0x11

ビット	レジスタ名	説明	初期値	R/W
7	NBO_SEL	帯域設定 (*1) 0: 通常帯域設定 1: 狭帯域設定 (オプション機能)	0	R/W
6	TX_POL	送信データ極性設定 0: “1” = +ΔF 1: “1” = -ΔF	0	R/W
5	RX_POL	受信データ極性設定 0: “1” = +ΔF 1: “1” = -ΔF	0	R/W
4	GFSK_EN	ガウシアンフィルタ設定 0: 無効 (FSK) 1: 有効 (GFSK)	1	R/W
3	FORMAT	符号化設定 0: NRZ 符号 1: マンチェスタ符号 (*2)	0	R/W
2-0	RATE[2:0]	データレートの設定 000: 50 kbps 001: 100 kbps (初期値) 010: 200 kbps 011: 400 kbps その他: 予約	001	R/W

【注意】

- *1. 本ビットを 0b1 に設定した場合、RF関連のレジスタ設定を変更する必要があります。詳細は「狭帯域オプション変更時の設定」を参照してください。

Bit7(NBO_SEL) と bit[2:0] (RATE)の設定におけるチャンネルの占有帯域の関係を下記に示します。

NBO_SEL	50 kbps	100 kbps	150 kbps	200 kbps	400 kbps
“0”	200 kHz	400 kHz (初期値)	400 kHz (初期値)	600 kHz	800 kHz
“1”	200 kHz	200 kHz	-	400 kHz	-

150kbps に設定する場合は下記レジスタを以下の通り設定願います。

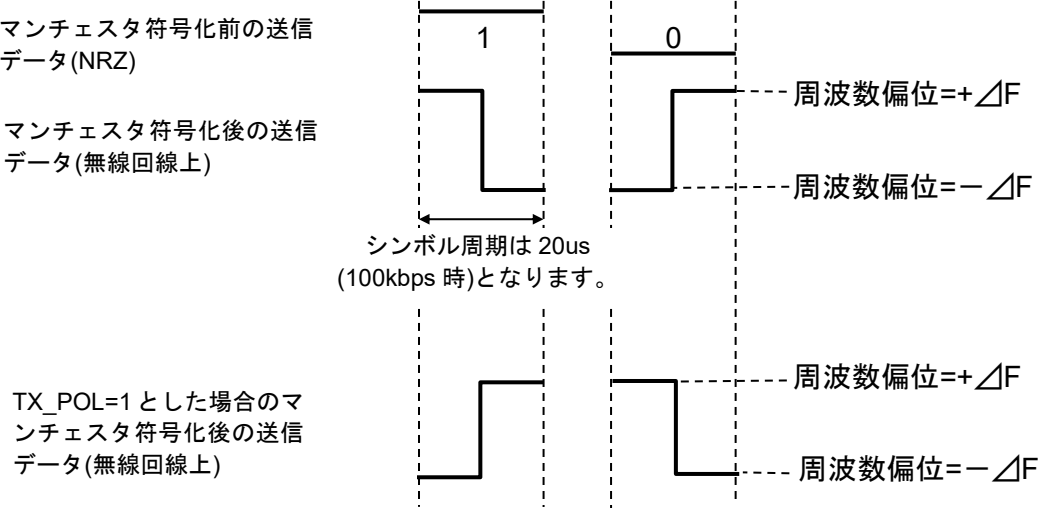
レジスタ またはビット名	設定値
RATE_SET1(B0 0x04)	0x02
RATE_SET2(B0 0x05)	0x03
DRATE[2:0] (B0 0x47 bit2-0)	0b010

10kbps/20kbps/40kbps につきましては、「初期設定レジスタ」をご参照ください。

- *2. マンチェスタ符号化はプリアンプル以降のデータ(SFD/Length/ユーザデータ(PSDU)/CRC 領域)に対して行われます。詳細は「パケットフォーマット」をご参照ください。マンチェスタ符号化方法につきましては、本レジスタ説明下部の“マンチェスタ符号化について”をご参照ください。Manchester コードは、AutoAck 時の ACK パケットに適用されません。FEC 機能は Manchester コードをサポートしていません。

マンチェスタ符号化について

FORMAT=0b1(マンチェスタ符号設定)の時、送信データと無線回線上传送されるマンチェスタ符号化データとの対応関係は以下の通りです。また、マンチェスタ符号では無線回線上の転送レートは設定転送レート(RATE[2:0])の 1/2 となります。100kbps(RATE[2:0]=0b001)の場合、無線回線上の転送レートは 50kbps となります。マンチェスタ符号化データの極性を判定させる場合は、送信側では TX_POL(ビット 6)=0b1、受信側では RX_POL(ビット 5)=0b1 とすることで極性反転が可能です。



0x48【CH0_FL】

機能:チャンネル#0 の周波数設定(下位 8 ビット)

アドレス:0x48

初期値:0x44 (923.100MHz (Xtal 周波数 36MHz))

ビット	レジスタ名	説明	初期値	R/W
7-0	CH0_F[7:0]	チャンネル 0 周波数設定値(bit7～bit0)	0100_0100	R/W

【詳細】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x49【CH0_FM】

機能:チャンネル#0 の周波数設定(中位 8 ビット)

アドレス:0x49

初期値:0x44 (923.100MHz (Xtal 周波数 36MHz))

ビット	レジスタ名	説明	初期値	R/W
7-0	CH0_F[15:8]	チャンネル 0 周波数設定値(bit15～bit8)	0100_0100	R/W

【詳細】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x4A【CH0_FH】

機能:チャンネル#0 の周波数設定(上位 4 ビット)
アドレス:0x4a
初期値:0x0A (923.100MHz (Xtal 周波数 36MHz))

ビット	レジスタ名	説明	初期値	R/W
7-4	Reserved	予約	0000	R/W
3-0	CH0_F[19:16]	チャンネル 0 周波数設定値(bit19～bit16)	1010	R/W

【詳細】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x4B【CH0_NA】

機能:チャンネル 0 N 及び A カウンタ設定
アドレス:0x4b
初期値:0x61 (923.100MHz (Xtal 周波数 36MHz))

ビット	レジスタ名	説明	初期値	R/W
7-4	CH0_N[3:0]	N カウンタ	0110	R/W
3-2	Reserved	予約	00	R/W
1-0	Ch0_A[1:0]	A カウンタ	01	R/W

【詳細】

1. 本レジスタの設定方法は、「チャンネル#0 周波数の設定」を参照してください。

0x4C【CH_SPACE_L】

機能:次チャンネルとの周波数差の設定(下位 8 ビット)
アドレス:0x4c
初期値:0x82 (チャンネル間隔 = 400 kHz)

ビット	レジスタ名	説明	初期値	R/W
7-0	CH_SP_F[7:0]	チャンネル間隔設定値(bit7～bit0)	1000_0010	R/W

【詳細】

1. チャンネル間隔を、[CH_SPACE_H]レジスタ(B0 0x4D)の 8 ビットと共に全 16 ビットで設定します。
2. チャンネル間隔の設定方法は、「チャンネル間隔の設定」を参照してください。

0x4D【CH_SPACE_H】

機能:次チャンネルとの周波数差の設定(上位 8 ビット)
アドレス:0x4d
初期値:0x2D (チャンネル間隔 = 400 kHz)

ビット	レジスタ名	説明	初期値	R/W
7-0	CH_SP_F[15:8]	チャンネル間隔設定値(bit15～bit8)	0010_1101	R/W

- 【詳細】
1. 本レジスタについては、[CH_SPACE_L]レジスタ(B0 0x4C)の説明を参照してください。

0x4E【F_DEV_L】

機能:GFSK 変調の周波数偏位設定(下位 8 ビット)
アドレス:0x4e
初期値:0xB0 (Fdev=50 kHz)

ビット	レジスタ名	説明	初期値	R/W
7-0	F_DEV[7:0]	送信時の周波数偏位を設定(下位ビット)	1011_0000	R/W

- 【詳細】
1. GFSK 時の周波数偏位を[F_DEV_L] レジスタの 8 ビットと共に全 16 ビットで設定します。
 2. 周波数偏位の設定方法は、「GFSK 周波数偏位の設定」を参照してください。

- 【注意】
1. FSK 変調時の周波数偏位は、[FSK_FDEV1]から[FSK_FDEV4]レジスタの設定で決まります。
 2. データレートを 400kbps 及び、[DATA_SET]レジスタ(B0 0x47)の bit7(NBO_SEL)=0b1 に設定して 100kbps または 200kbps に設定する場合は変調指数を 0.6 以下に設定してください。

0x4F【F_DEV_H】

機能:GFSK 変調の周波数偏位設定(上位 8 ビット)
アドレス:0x4f
初期値:0x05 (Fdev=50 kHz)

ビット	レジスタ名	説明	初期値	R/W
7-0	F_DEV[15:8]	送信時の周波数偏位を設定(上位ビット)	0000_0101	R/W

- 【詳細】
1. 本レジスタについては、[F_DEV_L]レジスタ(B0 0x4E)の説明を参照してください。

0x50【ACK_TIMER_L】

機能:Auto_Ack 用 Ack タイマーの設定(下位 8 ビット)
アドレス:0x50
初期値:0x08

ビット	レジスタ名	説明	初期値	R/W
7-0	ACK_TIMER[7:0]	Ack タイマー設定(下位ビット)	0000_1000	R/W

【詳細】

- 1. [ACK_TIMER_H]レジスタ(B0 0x51)の 8 ビットと共に全 16 ビットで設定します。
[ACK_TIMER_EN]レジスタ(B0 0x52)の bit0 (ACK_TIMER_EN)に 0b1 が書かれている時に有効になります。
- 2. AUTO_ACK の動作詳細は、「AUTO_ACK 機能」を参照してください。
- 3. Ack タイマーが使用する基準クロック周波数は、設定されたデータレートにより異なります。

データレート	タイマークロック
10kbps	0.18 MHz
20kbps	0.36 MHz
40kbps	0.72 MHz
50kbps	0.9 MHz
100kbps	1.8 MHz
150kbps	2.7 MHz
200kbps	3.6 MHz
400kbps	7.2 MHz

例) 100kbps モードで、ACK_TIMER[15:0] = 0x0708 (初期値=1800)
 $1800 / 1.8\text{MHz} = 1\text{ms}$

0x51【ACK_TIMER_H】

機能:Auto_Ack 用 Ack タイマーの設定(上位 8 ビット)
アドレス:0x51
初期値:0x07

ビット	レジスタ名	説明	初期値	R/W
7-0	ACK_TIMER[15:0]	Ack タイマー設定(下位ビット)	0000_0111	R/W

【詳細】

- 1. 本レジスタについては、[ACK_TIMER_L]レジスタ(B0 0x50)の説明を参照してください。

0x52【ACK_TIMER_EN】

機能:Ack タイマーの設定
アドレス:0x52
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5	TX_DONE_RX	送信完了後 RX 設定イネーブル (*1~*4) 0:ディセーブル 1:イネーブル 本ビットに 1 が設定されているとき、送信完了後に自動的に RX_ON 状態へ遷移します。	0	R/W
4	TX_DONE_OFF	送信完了後 TRX_OFF 設定イネーブル (*1~*4) 0:ディセーブル 1:イネーブル 本ビットに 1 が設定されているとき、送信完了後に自動的に TRX_OFF 状態へ遷移します。	0	R/W
3-1	Reserved	予約	000	R/W
0	ACK_TIMER_EN	Ack タイマー設定 0: Ack タイマーを使用しない。 1: Ack タイマーを使用する。	0	R/W

【詳細】

- 1. AUTO_ACK の動作詳細は、「AUTO_ACK 機能」を参照してください。
- 2. [AUTO_ACK_SET]レジスタ(B0 0x55)の bit4(AUTO_ACK_EN)に 0b1 が書き込まれかつ、ACK_TIMER_EN を有効にすると、ACK パケットの送信準備完了後、[ACK_TIMER_L]および[ACK_TIMER_H]レジスタ(B0 0x50,0x51)で設定された時間を経過すると Ack パケットを送信します。

【注意】

- *1. bit5(TX_DONE_RX)と bit4(TX_DONE_OFF)の両方に 0b1 が設定されている場合は、bit5 の設定が優先されます。
- *2. bit5(TX_DONE_RX)および bit4(TX_DONE_OFF)と送信中に RF 状態設定コマンド([RF_STATUS]レジスタ(B0 0x6c)の bit3-0 (SET_TRX)を発行した場合の動作、優先度は以下の通りとなります。送信完了割込後、bit5 または bit4 による RF 状態遷移完了した後では RF 状態設定コマンド(SET_TRX)が有効となります。
優先度 : Force_TRX_OFF > TRX_DONE_RX > TX_DONE_OFF > (TRX_OFF/TX_ON/RX_ON)

TX_DONE_RX	TX_DONE_OFF	SET_TRX (RF_STATUS)	送信完了後の動作
0	1	Force_TRX_OFF	Force_TRX_OFF コマンド発行後、直ちに TRX_OFF します。
		TRX_OFF	TRX_OFF します。
		TX_ON	TRX_OFF します。
		RX_ON	TRX_OFF します。
1	0	Force_TRX_OFF	Force_TRX_OFF コマンド発行後、直ちに TRX_OFF します。
		TRX_OFF	RX_ON します。
		TX_ON	RX_ON します。
		RX_ON	RX_ON します。
1	1	Force_TRX_OFF	Force_TRX_OFF コマンド発行後、直ちに TRX_OFF します。
		TRX_OFF	RX_ON します。
		TX_ON	RX_ON します。
		RX_ON	RX_ON します。

- *3. bit5(TX_DONE_RX)をイネーブルにした場合は送信完了後、[RF_STATUS]レジスタ(B0 0x6C)が 0x66 になってから、ライトアクセス(SET_TRX[3:0])をしてください。
- *4. bit4(TX_DONE_OFF)をイネーブルにした場合は送信完了後、[RF_STATUS]レジスタ(B0 0x6C)が 0x88 になってからライトアクセス(SET_TRX[3:0])をしてください。

0x53【ACK_FRAME1】

機能:Ack パケットの Frame Control Field (2byte) の設定(下位バイト)
アドレス:0x53
初期値:0x02

ビット	レジスタ名	説明	初期値	R/W
7-0	ACK_FRAME[7:0]	Frame Control Field (下位ビット)	0000_0010	R/W

【詳細】

1. [ACK_FRAME2]レジスタ(B0 0x54)の 8 ビットと共に全 16 ビットで設定します。
ACK_FRAME[15:0]の bit0 より送信されます。
2. AUTO_ACK の動作詳細は、「AUTO_ACK 機能」を参照してください。
3. Ack パケットの詳細に関しては、IEEE 802.15.4iを参照してください。

Frame Control Field のフォーマットは以下となります。

レジスタ	ビット	Ack フレーム
ACK_FRAME2	7-6	Source Addressing Mode
	5-4	Frame Version
	3-2	Dest Addressing Mode
	1-0	Reserved
ACK_FRAME1	7	Reserved
	6	PAN ID Compression
	5	Ack Request
	4	Frame Pending
	3	Security Enabled
	2-0	Frame Type

※Ack 送信フレームにおいて FrameControl フィールド(2byte)は本レジスタ設定値を適用し、SequenceNumber フィールド(1byte)は取得したデータを適用し、FCS(2byte)は自動計算します。

0x54【ACK_FRAME2】

機能:Ack パケットの Frame Control Field (2byte) の設定(上位バイト)
アドレス:0x54
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	ACK_FRAME[15:8]	Frame Control Field 設定(上位ビット)	0000_0000	R/W

【詳細】

1. 本レジスタについては、[ACK_FRAME1]レジスタ(B0 0x53)の説明を参照してください。

0x55【AUTO_ACK_SET】

機能: Auto_Ack 機能の設定
アドレス: 0x55
初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7	RX_ACK_CANCEL	ACK パケット強制破棄 (*4) 0: 受信した ACK パケットを破棄しない。 1: 受信した ACK パケットを破棄する。	0	R/W
6	AUTO_RX_EN	ACK 自動受信設定 (*1),(*4) 0: 自動受信を実行しない。 1: 自動受信を実行する。	0	R/W
5	Reserved	予約	0	R/W
4	AUTO_ACK_EN	ACK 機能設定 (*2) 0: Auto_Ack を実行しない。 1: Auto_Ack を実行する。	0	R/W
3-2	Reserved	予約	00	R/W
1	ACK_SEND	ACK パケットの送信実行 (1 で送信する。)(*3)	0	R/W
0	ACK_STOP	Ack パケットの破棄/受信停止設定(1 で停止する) (*3)	0	R/W

【詳細】

1. AUTO_ACK 機能の動作詳細は、「AUTO_ACK 機能」を参照してください。

- *1 Ack 要求パケットを送信完了後に、自動的に Ack パケットを受けるために RX_ON を実行する機能。
- *2 Ack 要求パケットを受信した場合に、Ack パケットの送信準備(自動)TX_ON)を行う機能。
- *3 最終動作は、ACK_SEND または、ACK_STOP のどちらかで選択されます。
ACK_SEND に 0b1 が書き込まれた場合;
送信時: 準備されたACKパケットを送信します。
ACK_STOP に 0b1 が書き込まれた場合
送信時: 準備された ACK パケットは送信されず、破棄します。RF_STATUS は変化しません。
受信時: ACK 用の受信動作を停止します。RF_STATUS は TRX_OFF に自動的に変化します。
- *4 ACK パケット検知のため、アドレスフィルタ機能を有効にする必要があります、アドレスフィルタ機能を有効にするには、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit4-0 のいずれかに 0b1 を設定してください。bit6(AUTO_RX_EN)に 0b1 を設定している場合を含み各動作は下表のようになります。受信、破棄にアドレス一致は関係しません。

Bit7 (RX_ACK_CANCEL)	Bit6 (AUTO_RX_EN)	動作
0b1	0b1	ACK 要求ビットを有効にしたパケットを送信した直後の受信パケットが ACK パケットの場合のみ受信する。
0b1	0b0	受信した ACK パケットを全て破棄する。
0b0	any	ACK パケットを全て受信する。

【注意】

1. bit1(ACK_SEND)か bit0 (ACK_STOP)のどちらか一方のみに 0b1 を設定してください。
両方に、0b1 が書き込まれた場合は、ACK_STOP が優先されます
2. bit6(AUTO_RX_EN)をイネーブルにした場合は送信完了後、RF 状態設定(RF_STATUS)が 0x66 になってからレジスタライトアクセスしてください。
3. bit4(AUTO_ACK_EN)をイネーブルにした場合は受信完了後、RF 状態設定(RF_STATUS)が 0x99 になってからレジスタライトアクセスしてください。
4. AutoAck 機能を使用する場合は、Ack パケット送信前に送信 FIFO の残量告知レベル([TX_ALARM_LH]レジスタ (B0 0x35)に 0x00 設定してください。

0x56-58【Reserved】

0x59【GFIL00/FSK_FDEV1】

機能: ガウシアンフィルタの設定 1 / FSK 変調時の第一周波数偏位設定
アドレス: 0x59
初期値: 0x00 (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL001[7:0] FSK_FDEV1[7:0]	ガウシアンフィルタ設定 0 FSK 変調時の第一周波数偏位を設定 [設定値 * 33.4 * 2 (Hz)] が設定されます。	0000_0000	R/W

【詳細】

- 1. [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合はガウシアンフィルタ設定となり、0b0 が設定されている場合は FSK 変調設定となります。
GFSK 設定時の詳細設定については、「ガウシアンフィルタの設定」を参照してください。
- 2. FSK 変調設定の場合は、中心周波数からの偏位量を設定します。
変調動作の詳細については、「FSK 変調の設定」を参照してください。

0x5A【GFIL01/FSK_FDEV2】

機能: ガウシアンフィルタの設定 1 / FSK 変調時の第二周波数偏位設定
アドレス: 0x5a
初期値: 0x00 (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL01[7:0] FSK_FDEV2[7:0]	ガウシアンフィルタ設定 1 送信変調時の第二周波数偏位を設定 (*2) [設定値 * 33.4 * 2 (Hz)] が設定されます。	0000_0000	R/W

【詳細】

- 1. [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合はガウシアンフィルタ設定となり、0b0 が設定されている場合は FSK 変調設定となります。
GFSK 設定時の詳細設定については、「ガウシアンフィルタの設定」を参照してください。
- 2. FSK 変調設定の場合は、[FSK_FDEV1]レジスタでの設定値からの偏位量を設定します。
変調動作の詳細については、「FSK 変調の設定」を参照してください。

0x5B【GFIL02/FSK_FDEV3】

機能: ガウシアンフィルタの設定 2 / FSK 変調時の第三周波数偏位設定
アドレス: 0x5b
初期値: 0x10 (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL02[7:0] FSK_FDEV3[7:0]	ガウシアンフィルタ設定 2 送信変調時の第三周波数偏位を設定 [設定値 * 33.4 * 2 (Hz)] が設定されます。	0001_0000	R/W

【詳細】

- 1. [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合はガウシアンフィルタ設定となり、0b0 が設定されている場合は FSK 変調設定となります。
GFSK 設定時の詳細設定については、「ガウシアンフィルタの設定」を参照してください。
- 2. FSK 編量設定の場合は、[FSK_FDEV2]での設定値からの偏位量を設定します。
変調動作詳細に関しては、「FSK 変調の変調」を参照してください。

0x5C【GFIL03/FSK_FDEV4】

機能: ガウシアンフィルタの設定 3 / FSK 変調時の第四周波数偏位設定
アドレス: 0x5c
初期値: 0x01 (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL03[7:0] F_DEV3[7:0]	ガウシアンフィルタ設定 3 送信変調時の第四周波数偏位を設定 [設定値 * 33.4 * 2 (Hz)] が設定されます。	0000_0001	R/W

【詳細】

- [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合はガウシアンフィルタ設定となり、0b0 が設定されている場合は FSK 変調設定となります。
詳細設定については、「ガウシアンフィルタの設定」を参照してください。
- FSK 変調設定の場合は、[FSK_FDEV3]での設定値からの偏位量を設定します。
変調動作詳細に関しては、「FSK 変調の設定」を参照してください。

0x5D【GFIL04】

機能: ガウシアンフィルタの設定 4
アドレス: 0x5d
初期値: 0x03 (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL04[7:0]	ガウシアンフィルタ設定 4	0000_0011	R/W

【詳細】

- [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合に本設定は有効です。
- 詳細設定については、「ガウシアンフィルタの設定」を参照してください。

0x5E【GFIL05】

機能: ガウシアンフィルタの設定 5
アドレス: 0x5e
初期値: 0x05 (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL05[7:0]	ガウシアンフィルタ設定 5	0000_0101	R/W

【詳細】

- [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合に本設定は有効です。
- 詳細設定については、「ガウシアンフィルタの設定」を参照してください。

0x5F【GFIL06】

機能:ガウシアンフィルタの設定 6
アドレス:0x5f
初期値:0x09 (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL06[7:0]	ガウシアンフィルタ設定 6	0000_1001	R/W

【詳細】

- 1. [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合に本設定は有効です。
- 2. 詳細設定については、「ガウシアンフィルタの設定」を参照してください。

0x60【GFIL07】

機能:ガウシアンフィルタの設定 7
アドレス:0x60
初期値:0x0F (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL07[7:0]	ガウシアンフィルタ設定 7	0000_1111	R/W

【詳細】

- 1. [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合に本設定は有効です。
- 2. 詳細設定については、「ガウシアンフィルタの設定」を参照してください。

0x61【GFIL08】

機能:ガウシアンフィルタの設定 8
アドレス:0x61
初期値:0x15 (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL08[7:0]	ガウシアンフィルタ設定 8	0001_0101	R/W

【詳細】

- 1. [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合に本設定は有効です。
- 2. 詳細設定については、「ガウシアンフィルタの設定」を参照してください。

0x62【GFIL09】

機能:ガウシアンフィルタの設定 9
アドレス:0x62
初期値:0x1A (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL09[7:0]	ガウシアンフィルタ設定 9	0001_1010	R/W

【詳細】

- 1. [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合に本設定は有効です。
- 2. 詳細設定については、「ガウシアンフィルタの設定」を参照してください。

0x63【GFIL10】

機能:ガウシアンフィルタの設定 10
アドレス:0x63
初期値:0x1F (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL10[7:0]	ガウシアンフィルタ設定 10	0001_1111	R/W

【詳細】

- 1. [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合に本設定は有効です。
- 2. 詳細設定については、「ガウシアンフィルタの設定」を参照してください。

0x64【GFIL11】

機能:ガウシアンフィルタの設定 11
アドレス:0x64
初期値:0x20 (GFSK 変調 BT=0.5)

ビット	レジスタ名	説明	初期値	R/W
7-0	GFIL11[7:0]	ガウシアンフィルタ設定 11	0010_0000	R/W

【詳細】

- 1. [DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)が 0b1 に設定されている場合に本設定は有効です。
- 2. 詳細設定については、「ガウシアンフィルタの設定」を参照してください。

0x65【FSK_TIME1】

機能:FSK 変調時の第 3 周波数偏位(FDEV3)の保持時間設定
アドレス:0x65
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	FDEV_TIME1[7:0]	変調時の FDEV3 偏位の保持時間設定 [設定値 * clk (4MHz)] 期間保持します。	0000_0000	R/W

【詳細】

- 1. [FSK_FDEV3]レジスタ(B0 0x5b)で設定される周波数偏位での保持時間を設定します。
- 2. 変調動作の詳細については、「FSK 変調の設定」を参照してください。

0x66【FSK_TIME2】

機能:FSK 変調時の第 2 周波数偏位(FDEV2)の保持時間設定
アドレス:0x66
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	FDEV_TIME2[7:0]	変調時の FDEV2 偏位の保持時間設定 [設定値 * clk (4MHz)] 期間保持します。	0000_0000	R/W

【詳細】

- 1. [FSK_FDEV2]レジスタ(B0 0x5a)で設定される周波数偏位での保持時間を設定します。
- 2. 変調動作の詳細については、「FSK 変調の設定」を参照してください。

0x67【FSK_TIME3】

機能:FSK 変調時の第 1 周波数偏位(FDEV1)の保持時間設定
アドレス:0x67
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	FDEV_TIME3[7:0]	変調時の FDEV1 偏位の保持時間設定 [設定値 * clk (4MHz)] 期間保持します。	0000_0000	R/W

【詳細】

- 1. [FSK_FDEV1]レジスタ(B0 0x59)で設定される周波数偏位での保持時間を設定します。
- 2. 変調動作の詳細については、「FSK 変調の設定」を参照してください。

0x68【FSK_TIME4】

機能:FSK 変調時の無変調周波数偏位 (キャリア周波数) の保持時間設定
アドレス:0x68
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	FDEV_TIME4[7:0]	変調時の無偏位(キャリア周波数)の保持時間設定 [設定値 * clk (4MHz)] 期間保持します。	0000_0000	R/W

【詳細】

- 1. 無偏位の保持時間を設定します。
- 2. 変調動作の詳細については、「FSK 変調の設定」を参照してください。

0x69【PLL_MON/DIO_SEL】

機能:PLL ロック信号出力設定および DIO モードの設定
アドレス:0x69
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	Reserved	予約	0	R/W
6	INT_TIM_CTRL	アドレスフィルタ機能使用時の割り込み通知タイミング切り替え (*4) 0: ML7396 と同じタイミングで割り込み通知する。 1: ML7396B で規定するタイミングで割り込み通知する。	0	R/W
5	Reserved	予約	0	R/W
4	PLL_LD	PLL ロック信号の DMON 端子からの出力設定 (*1) 0: 出力しない。 1: 出力する。	0	R/W
3-2	Reserved	予約	00	R/W
1	DIO_EN	DIO モード設定 (*2) 0: パケットモードで使用する。(FIFO 動作) 1: DIO モードで使用する。	0	R/W
0	RX_FIFO_MON	受信データのビット出力設定 (*3) 0: ビット出力しない。 1: ビット出力する。	0	R/W

【詳細】

- *1 PLL ロック信号を DMON 端子(ピン#17)から出力する場合は、[CLK_SET]レジスタ(B0 0x02)の bit4(CLKOUT_EN)に 0b0 を書き込む必要があります。
- *2 DIO モードとは、送受信 FIFO を用いずに、DIO インタフェース(DCLK 端子(ピン#16)と DIO 端子(ピン#15))を用いてデータの送受信を行うモードです。DIO モードでは、プリアンプル(B0 0x39 で設定)及び SFD (B0 0x3A～0x41 で設定)の処理は LSI で行い、SFD フィールドに続くデータの入出力を行います。本 LSI の DCLK 端子から出力されるデータレートに応じたクロックに同期して、DIO 端子でデータの入出力を行ってください。
なお、送信時 DCLK を出力させるために FIFO へのダミーライトが必要となります。詳細は「送信時フローチャート(DIO 使用時)」を参照願います。
本ビットをディセーブル設定にすると FIFO 動作を行います。このときのみ IEEE モード設定([PACKET_MODE_SET] レジスタ(B0 0x45)の bit1)が有効になります。
- *3 本ビットを 0b1 に設定した場合、復調された受信データを DIO インタフェースより出力させます。但し DIO_EN =0b1 に設定している場合は、SFD 検出後のパケットのデータ部から出力されます。
BER 測定時は DIO_EN=0b0、RX_FIFO_MON=0b1 にそれぞれ設定してください。
- *4 割り込み発生タイミングの詳細は「アドレスフィルタ機能」を参照してください。

0x6A【FAST_TX_SET】

機能:FAST_TX モードの送信開始トリガ設定
アドレス:0x6a
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	FAST_TX_TRG[7:0]	FAST_TX モード送信開始トリガ設定。 [7]=0b1: 128byte [6]=0b1: 64byte [5]=0b1: 32byte [4]=0b1: 16byte [3]=0b1: 8byte [2]=0b1: 4byte [1]=0b1: 2byte [0]=0b1: 1byte 0x00: FAST_TX モードを使用しない。	0000_0000	R/W

【詳細】

- 1. FAST_TX モードとは、FIFO モード時に通常は Length 分のデータ書き込み後に送信を開始する動作を、本レジスタの設定値分のデータ書き込み後に送信を開始するモードです。
- 2. [PACKET_MODE_SET]レジスタ(B0 0x45)の bit2(AUTO_TX)を 0b1 を書き込み有効にしている場合は、本レジスタで設定したサイズのデータを FIFO に書き込むと自動的に送信されます。0b0 に設定している場合は、FAST_TX モードは無効となります。

【注意】

- 1. 256 バイト以上のデータ送信を行う場合は、本レジスタに 0x00 以外の値を設定し、FAST_TX モードを使用する必要があります。
- 2. 本機能を使用する場合は、FIFO empty を避けるため、データレート以上で FIFO へ書き込みする必要があります。
- 3. 本機能を使用する場合は、設定値には Length 分が含まれます。
- 4. 本レジスタに複数のビットを設定した場合は、最上位のビットが有効になります。
- 5. FAST_TX モードを使用する場合、FAST_TX の送信開始(送信トリガ分のデータ書き込み完了)から残りのデータ書き込み完了(SCEN ネゲート)までの時間を 150μs 以上確保して下さい。SCEN ネゲートタイミングがこの条件を満たさない場合、PLL アンロックまたはスプリアス発生を引き起こす可能性があります

0x6B【CH_SET】

機能:送受信チャネル設定
アドレス:0x6b
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-4	Reserved	予約	0000	R/W
3-0	RF_CH[3:0]	送受信を行うチャネルを設定します。 0 – 15CH が設定できます。	0000	R/W

【注意】

- 1. [CH_EN_L]および[CH_EN_H]レジスタで有効にしたチャネルから選択してください。

0x6C【RF_STATUS】

機能:RF 部動作状態の設定と確認
アドレス:0x6c
初期値:0x88

ビット	レジスタ名	説明	初期値	R/W
7-4	GET_TRX[3:0]	RF 部動作状態を確認 0110: RX_ON (受信状態) 1000: TRX_OFF (RF 部 OFF 状態) 1001: TX_ON (送信状態) その他: 予約	1000	R
3-0	SET_TRX[3:0]	RF 部動作状態の設定 0011: Force_TRX_OFF (強制 RF OFF) 0110: RX_ON (受信設定) (*1) 1000: TRX_OFF (RF OFF 設定) (*2) 1001: TX_ON (送信設定) (*3) その他: 設定無効で状態変更をしない。	1000	R/W

- 【詳細】
- *1 パケット送信中の受信設定も可能です。その場合は送信完了後に RX_ON へ遷移します。
 - *2 TRX_OFF を設定した場合、送信または受信完了時点で RF 部を OFF にします。
Force_TRX_OFF を設定した場合、送信中または受信中でも強制的に RF 部を OFF にします。
 - *3 パケット受信中の送信設定も可能です。その場合は受信完了後に TX_ON へ遷移します。
自動送信設定を使用する場合は、AUTO_TX([PACKET_MODE_SET]レジスタ(B0 0x45)の bit2)のレジスタ説明を合わせて参照願います。

- 【注意】
- 1 TRX_OFF 状態遷移中に SFD 検出した場合、自動で RX_ON を継続します。

0x6D【2DIV_ED_AVG】

機能:2 ダイバーシティ時の ED(電力検出)算出の平均回数設定
アドレス:0x6d
初期値:0x01

ビット	レジスタ名	説明	初期値	R/W
7-3	Reserved	予約	0000_0	R/W
2-0	2DIV_ED_AVG[2:0]	2 ダイバーシティ時の ED 値算出時の平均回数設定 (*1)	001	R/W

- 【詳細】
- *1 2DIV_ED_AVG[2-0]で、下記の表のように ED 算出の平均母数を設定できます。

2DIV_ED_AVG[2:0]	平均回数
0b000	1
0b001 (初期値)	2
0b010	4
0b011	8
0b100	15
0b101	16
上記以外	8

0x6E【2DIV_GAIN_CNTRL】

機能:ゲイン制御モード設定
アドレス:0x6e
初期値:0x02

ビット	レジスタ名	説明	初期値	R/W
7-2	TIM_TX_OFF2[5:0]	TX_ON から続けて RX_ON へ遷移する際のランプダウ ンタイミング調整 (*2) (設定値+1) * 2.22μs	0000_00	R/W
1-0	2DIV_GAIN[1:0]	ゲイン制御モード設定 (*1) 2DIV_GAIN[1:0] = 00: H ゲイン固定 01: H ⇄ M ゲイン遷移有効 10: H ⇄ M ⇄ L ゲイン遷移有効 11: H ゲイン固定	10	R/W

【詳細】

- *1 各モードのゲイン切り替えのレベルは[GAIN_MtoL]、[GAIN_LtoM]、[GAIN_HtoM]および[GAIN_MtoH]レジスタ(B0 0x1C-0x1F)で設定された値が適用されます。
- *2 [RAMP_CNTRL]レジスタ(B2 0x2C)の bit4 (TXOFF_RAMP_EN)に 0b1 が設定されているときに有効です。
詳細は「ランプ制御機能」を参照してください。

【注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x6F【2DIV_SEARCH】

機能:2 ダイバーシティ時のサーチモードとサーチ時間の設定
アドレス:0x6f
初期値:0x20

ビット	レジスタ名	説明	初期値	R/W
7	SEARCH_MODE	2 ダイバーシティサーチモードの設定 0: 通常モード 1: FAST モード	0	R/W
6-0	SEARCH_TIME[6:0]	2 ダイバーシティサーチ時間設定 (*1) [(設定値+1)* 1bit]の時間プリアンプルをサーチします。	010_0000	R/W

【詳細】

- 1. 通常モードでは、必ずアンテナ 1 とアンテナ 2 の 2 つのアンテナにて ED 値を取得し、アンテナを選択します。
FAST モードでは、[2DIV_FAST_LV]レジスタ(B0 0x70)での設定値以上の ED 値を取得した場合、そのアンテナで固
定しもう一方のアンテナでのサーチを行いません。
- 2. 初期値の 0x20 (=32) は、100kbps 設定時で 330μs となります。
- 3. 詳しくは「ダイバーシティ機能」を参照してください。

【注意】

- *1 SEARCE_TIME[6:0]には 0b010110(22 bit)以上を設定してください。また送信側のプリアンプル長は最低 12 byte
以上が必要になります(いずれも 100kbps モード時)。 ダイバーシティ使用時は本設定値をデータレートの設定に応じ
て変更する必要があります。「初期設定レジスタ」を参照してデータレートに対応する設定をしてください。

0x70【2DIV_FAST_LV】

機能:2 ダイバーシティ時のFASTモードの閾値設定
アドレス:0x70
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	2DIV_FAST_LV[7:0]	2 ダイバーシティの FAST モードの閾値設定 (0~255 まで設定可能)	0000_0000	R/W

【詳細】

- 1. [2DIV_SEARCH]レジスタの bit7(SEARCH_MODE)に 0b1 が設定されると本レジスタは有効となります。
- 2. 取得した ED 値が本レジスタの設定値以上の場合、その時選択されていたアンテナを選択し、他のアンテナのサーチを行いません。

0x71【2DIV_CNTRL】

機能:2 ダイバーシティの各種設定
アドレス:0x71
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5	ANT_CTRL1	ANT 制御ビット 1	0	R/W
4	ANT_CTRL0	ANT 制御ビット 0	0	R/W
3	INV_ANT_SW	ANT_SW 極性の設定 0: 正論理 1: 負論理	0	R/W
2	INV_TRX_SW	TRX_SW 極性の設定 0: 正論理 1: 負論理	0	R/W
1	2PORT_SW	ANT_SW 設定 0: SPDT スイッチを使用する。 1: DPDT スイッチを使用する。	0	R/W
0	2DIV_EN	2 ダイバーシティ設定 0: ダイバーシティを行わない。 1: ダイバーシティを行う。	0	R/W

【詳細】

- 1. 本レジスタの設定の使用方法に関しては、「ダイバーシティ機能」を参照してください。

TRX_SW(ピン#21)および ANT_SW(ピン#20)の出力制御は以下の通りです。

INV_TRX_SW (bit2)	2PORT_SW (bit1)	RF 状態	TX_ANT_EN=0 設定 ※1		TX_ANT_EN=1 設定 ※1	
			TRX_SW 端子	ANT_SW 端子	TRX_SW 端子	ANT_SW 端子
0b0	0b0 (SPDT)	RX(CCA 中)	L	2DIV_RSLT ※3	L	TX_ANT ※2
		0(CCA 以外)				2DIV_RSLT ※3
		TX	H	H		
	0b1 (DPDT)	RX(CCA 中)	ANT_SW の 反転	2DIV_RSLT ※3	ANT_SW の 反転	TX_ANT ※2
		RX(CCA 以外)				2DIV_RSLT ※3
		TX		2DIV_RSLT の反転		2DIV_RSLT の反転
0b1	0b0 (SPDT)	RX(CCA 中)	H	2DIV_RSLT ※3	H	TX_ANT ※2
		RX(CCA 以外)				2DIV_RSLT ※3
		TX	L	L		
	0b1 (DPDT)	RX(CCA 中)	ANT_SW の 反転	2DIV_RSLT の反転	ANT_SW の 反転	TX_ANT ※2
		RX(CCA 以外)				2DIV_RSLT の反転
		TX		2DIV_RSLT ※3		2DIV_RSLT ※3

- ※1: [2DIV_RSLT]レジスタ(B0 0x72)の bit5 を参照願います。
※2: [2DIV_RSLT]レジスタ(B0 0x72)の bit4 の設定に従います。
※3: [2DIV_RSLT]レジスタ(B0 0x72)の bit1-0 の結果で選択された論理を示します。ANT1 が選択された場合は“L”を ANT2 が選択された場合は“H”となります。

ダイバーシティにより決定したアンテナは以下の条件①～③のいずれかを満たしたときクリアされます。

- ① パケット受信後に受信完了割り込み(INT[18]または、INT[19])クリア時
- ② ダイバーシティ完了割り込み(INT[09])クリア時
- ③ ダイバーシティが完了後、そのアンテナで同期が取れずびダイバーシティサーチを開始した時

よって、ダイバーシティイネーブル時はパケット受信完了後、受信完了割り込みおよびダイバーシティ完了割り込みをクリアしてください。ダイバーシティの結果をリードする場合は受信完了割り込みおよびダイバーシティ検出完了割り込みクリア前にリードを行ってください。受信完了割り込みクリア前にダイバーシティディセーブル設定(2DIV_EN=0b0)した場合は、アンテナはダイバーシティの結果を保持した状態となります。TRX_OFF 命令発行によりアンテナは上表の RX(CCA 以外)の状態に戻ります。

ビット 5-3 設定により ANT_SW、TRX_SW および DCNT 端子の機能を以下の通り切替えます。

ANT_CTRL[0] (bit4)	DCNT 端子
0	外付け PA 制御信号(デフォルト機能)
1	ANT 制御信号(ant_sw 内部信号)

ANT_CTRL[1] (bit5)	TRX_SW 端子	ANT_SW 端子
0	デフォルト機能(上記表参照)	デフォルト機能(上記表参照)
1	ANT 制御信号 (内部信号 trx_sw と ant_sw の 排他的論理和)	ANT 制御信号 (ant_sw 内部信号)

詳細は「ダイバーシティ機能」の「アンテナスイッチ制御」を参照願います。

【注意】

ダイバーシティをイネーブルにして RX_ON した場合は SFD 検出割り込み([INT_SOURCE_GRP2]レジスタの bit3(INT[11]))発生するまで、本レジスタへライトアクセスしないでください。

0x72【2DIV_RSLT】

機能:2 ダイバーシティの結果表示と強制アンテナ設定
アドレス:0x72
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	2DIV_DONE	2 ダイバーシティ完了フラグ 0: 実行中 (未実行) 1: 完了	0	R
6	Reserved	予約	0	R/W
5	TX_ANT_EN	CCA/送信アンテナ設定イネーブル (*1) 0:ディセーブル 1:イネーブル	0	R/W
4	TX_ANT	CCA/送信アンテナ設定 (*1) 0:アンテナ 1 1:アンテナ 2	0	R/W
3-2	Reserved	予約	00	R/W
1	2DIV_RSLT2	アンテナ 2 結果 / アンテナ 2 選択 (*2) 選択されると”1”が立ちます	0	R/W
0	2DIV_RSLT1	アンテナ 1 結果 / アンテナ 1 選択 (*2) 選択されると”1”が立ちます	0	R/W

【注意】

- *1 TX_ANT_EN に 0b1 を設定すると TX_ON 時または CCA 実行時のアンテナを TX_ANT ビットの設定で固定します。本アンテナ固定機能は TX_ON 時または CCA_EN=0b1(CCA_CNTRL レジスタ(B0 0x15))による CCA 実行時のみ有効ですが、AutoAck 機能により TX_ON した場合、および AutoAck やアドレスフィルタ後の CCA 自動実行では無効となります。この無効状態は AUTO_ACK_EN=0b0 ([AUTO_ACK_SET]レジスタ(B0 0x55))を設定することで解除されます。
- *2 2DIV_RSLT[2-1]について
ダイバーシティ時のアンテナの状態を表示 (Read only)、またはアンテナ指定(Write only)を行います。
2DIV_RSLT2 に任意の値を書込むと ANT_SW 端子は設定したアンテナを指定します (強制設定)。強制設定についての詳細は後述の“ANT_SW 端子および TRX_SW 端子の強制設定について”を参照下さい。本レジスタにて強制設定した場合はその設定値を読み出すことはできません。ご注意願います。

強制設定しない場合のアンテナ状態は下表“各動作状態におけるアンテナ表示”に示す通りとなります。

各動作状態におけるアンテナ表示

2DIV_EN (B0 0x71)	TX_ANT_EN	RF 動作状態	アンテナ表示内容
0b0	0b0	受信(CCA 以外)	受信アンテナ(デフォルト:アンテナ 1)
		受信(CCA 中)	受信アンテナ(デフォルト:アンテナ 1)
		送信	送信アンテナ(デフォルト:アンテナ 1)
	0b1	受信(CCA 以外)	受信アンテナ(デフォルト:アンテナ 1)
		受信(CCA 中)	TX_ANT により設定したアンテナ
		送信	TX_ANT により設定したアンテナ
0b1	0b0	受信(CCA 以外)	ダイバーシティ結果で選択されているアンテナ
		受信(CCA 中)	ダイバーシティ結果で選択されているアンテナ
		送信	送信アンテナ(デフォルト:アンテナ 1)
	0b1	受信(CCA 以外)	ダイバーシティ結果で選択されているアンテナ
		受信(CCA 中)	TX_ANT により設定したアンテナ
		送信	TX_ANT により設定したアンテナ

ここで、2DIV_RSLT[2-1]で示す ANT1 または ANT2 の定義は下記アンテナスイッチ真理値表となり、[2DIV_CNTRL]レジスタ(B0 0x71)の bit2(INV_TRX_SW)=0b0、bit3(INV_ANT_SW)=0b0、bit5(ANT_CTRL1)=0b0 設定を前提としています。

SPDT スイッチ

ANT_SW 端子	アンテナ
0	ANT1
1	ANT2

DPDT スイッチ

TRX_SW 端子	ANT_SW 端子	ANT1⇔LNA_P	ANT1⇔PA_OUT	ANT2⇔LNA_P	ANT2⇔PA_OUT	送受信アンテナ
0	1	ON	OFF	OFF	ON	受信:ANT1 送信:ANT2
1	0	OFF	ON	ON	OFF	受信:ANT2 送信:ANT1

ANT_SW 端子および TRX_SW 端子の強制設定について

強制的に ANT_SW 端子および TRX_SW を制御する場合は、まず[2DIV_CNTRL]レジスタ(B0 0x71)の bit0(2DIV_EN)を 0b0 に設定してダイバーシティはオフにしてください。次に使用している RF_SW の種類によらず bit1(2PORT_SW)を 0b0 に設定してください。また、[INT_SOURCE_GRP2]レジスタ(B0 0x25)の bit1(INT[09])を 0b0 に設定してください。本状態において、以下の強制設定を定義します。

ANT_SW 端子出力は、下表のように bit5(TX_ANT_EN)と bit1(2DIV_RSLT2)で設定できます。

ANT_SW 強制設定(2DIV_EN=0b0、2PORT_SW=0b0、INT[09]=0b0 設定時)

TX_ANT_EN	2DIV_RSLT2 (*1)	ANT_SW 端子(Pin#20)
0b0	0b0	L
	0b1	H
0b1	0b0	L/ TX_ANT (bit4)の設定値(送信時または CCA 実行時)
	0b1	H/ TX_ANT (bit4)の設定値(送信時または CCA 実行時)

(*1) bi0(2DIV_RSLT1)への書き込みは本設定に影響しません。

TRX_SW 端子出力は、下表のように[2DIV_CNTRL]レジスタ(B0 0x71)の bit2(INV_TRX_SW)で設定できます。

TRX_SW 強制設定(2DIV_EN=0b0、2PORT_SW=0b0、INT[09]=0b0 設定時)

INV_TRX_SW (B0 0x71)	TRX_SW 端子 (Pin #21)
0	L
1	H

強制設定は[RF_CNTRL_SET]レジスタ(B0 0x75)を使用することも可能です。ただし、[2DIV_CNTRL]レジスタ(B0 0x71)の bit1(2PORT_SW)に 0b1 が設定されていると強制設定機能は無効となります。強制設定の優先順位は以下の通りです。

RF_CNTRL_SET(B0 0x75) > INV_TRX_SW(B0 0x71) > TX_ANT_EN/TX_ANT(送信時または CCA) > 2DIV_RSLT2

【注意】

ダイバーシティを有効(2DIV_EN=0b1)にしている場合でも 2DIV_RSLT2 に書き込むことは可能ですが、ダイバーシティサーチ完了後の受信中に書き込みを行うとダイバーシティサーチにより決定されたアンテナが変更されます。受信中の 2DIV_RSLT2 への書き込みは行わないで下さい。

0x73【ANT1_ED】

機能:アンテナ1の取得 ED 値の読み出し
アドレス:0x73
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	ED_ANT1[7:0]	アンテナ 1 の取得 ED 値	0000_0000	R

【詳細】

- 1. [2DIV_CONTL]レジスタ(B0 0x71)の 2DIV_EN ビットに 0b1 が書き込まれている必要があります。
- 2. 本レジスタはダイバーシティ検出完了割り込みクリア、またはダイバーシティ自動再実行時にクリアされます。

0x74【ANT2_ED】

機能:アンテナ 2 の取得 ED 値の読み出し
アドレス:0x74
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	ED_ANT2[7:0]	アンテナ 2 の取得 ED 値	0000_0000	R

【詳細】

- 1. [2DIV_CONTL]レジスタ(B0 0x71)の 2DIV_EN ビットに 0b1 が書き込まれている必要があります。
- 2. 本レジスタはダイバーシティ検出完了割り込みクリア、またはダイバーシティ自動再実行時にクリアされます。

0x75【RF_CNTRL_SET】

機能:RF 制御端子(ANT_SW、TRX_SW、DCNT)の強制出力設定

アドレス:0x75

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	Reserve	予約	0	R/W
6	DCNT_SET	DCNT 端子の強制出力値設定 0: “L” を出力する。 1: ”H” を出力する。	0	R/W
5	ANT_SW_SET	ANT_SW 端子の強制出力値設定 0: “L” を出力する。 1: ”H” を出力する。	0	R/W
4	TRX_SW_SET	TRX_SW 端子の強制出力値設定 0: “L” を出力する。 1: ”H” を出力する。	0	R/W
3	Reserve	予約	0	R/W
2	DCNT_EN	DCNT 端子の強制出力設定許可 (1 で強制出力許可)	0	R/W
1	ANT_SW_EN	ANT_SW 端子の強制出力設定許可 (1 で強制出力許可)	0	R/W
0	TRX_SW_EN	TRX_SW 端子の強制出力設定許可 (1 で強制出力許可)	0	R/W

【詳細】

1. 本レジスタでは、ANT_SW 端子(ピン#20)、TRX_SW 端子(ピン#21)および DCNT(ピン#22)の出力値を強制的に設定します。本レジスタによる強制設定が最大優先度を持っており、他の端子制御機能は働きません。
2. DCNT 端子の強制出力を使用するには、[PA_CNTRL]レジスタ(B1 0x07)の bit5(EXT_PA_OUT)を 0b0(CMOS 出力:初期値)である必要があります。
3. ANT_SW 端子の強制出力を使用するには、[SW_OUT/RAMP_ADJ]レジスタ(B1 0x08)の bit7 (ANTSW_OUT)を 0b0 (CMOS 出力:初期値)である必要があります。
4. TRX_SW 端子の強制出力を使用するには、[SW_OUT/RAMP_ADJ]レジスタ(B1 0x08)の bit6 (TRXSW_OUT)を 0b0(CMOS 出力:初期値)である必要があります。

0x76【Reserved】

0x77【CRC_AREA/FIFO_TRG】

機能:CRC 演算範囲および FIFO トリガ出力設定

アドレス:0x77

初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserve	予約	0000_00	R/W
1	CRC_AREA	CRC 対象範囲設定 (*1) 0: Length 以降 (PHR は含まない) 1: SFD 以降 (PHR を含む)	0	R/W
0	FIFO_TRG_EN	FIFO トリガの DMON 端子からの出力設定 0: 出力しない。 1: 出力する。	0	R/W

【注意】

- *1 IEEE802.15.4d モードで使用する場合は、0b1 に設定する必要があります。
- *2 FIFO トリガを DMON 端子(ピン#17)から出力する場合は、[CLK_SET]レジスタの bit4(CLKOUT_EN)に 0b0 を書き込む必要があります。

0x78【RSSI_MON】

機能:RSSI のデジタル出力読み出し
アドレス:0x78
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R
5-0	RSSI[5:0]	RSSI の A/D 変換値	00_0000	R

【注意】

- 1. ADC を温度取得と共用しているため、温度情報を取得中は本レジスタ値は不定です。
- 2. データの更新周期は 17.8 μs となります。
(時間は、[ADC_CLK_SET]レジスタ(B0 0x08)で初期値の 1.8MHz が設定されているときの時間で、2MHz を選択した場合は、更新間隔は 16 μs となります。)

0x79【TEMP_MON】

機能:温度情報のデジタル出力読み出し
アドレス:0x79
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	TEMP[7:0]	温度の A/D 変換値	0000_0000	R

【注意】

- 1. 温度表示機能を使用する場合は、A_MON 端子(Pin#24)に 75kΩ の抵抗を接続し、[RSSI/TEMP_OUT]レジスタ(B1 0x03)の bit5(TEMP_ADC_OUT)に 0b1 を設定します。
- 2. 温度情報はスリープ以外のいずれの状態で取得できます。

0x7A【PN9_SET_L】

機能: PN9 の初期値設定/生成乱数読み出し (下位 8ビット)
アドレス:0x7a
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	PN9[7:0]	PN9 初期値設定 (bit7 ~ bit0)	0000_0000	R/W

【詳細】

[PN9_SET_H]レジスタ(B0 0x7b)を参照してください。

0x7B【PN9_SET_H】

機能: PN9 の初期値設定/生成乱数読み出し (上位 1 ビット) およびイネーブル設定
アドレス:0x7b
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	PN9_EN	PN9 イネーブル設定設定 0: PN9 停止 1: PN9 実行	0	R/W
6-1	Reserved	予約	000_000	R
0	PN9[8]	PN9 初期値設定 (bit8)	0	R/W

【詳細】

- 1. PN9_EN に 0b1 が設定されている場合、PHY_CLK に同期して PN9 回路は乱数生成器として使用できます。
(PHY_CLK は CLK0_EN([CLK_SET]レジスタ(B0 0x02)のビット 0 に 0b1 を設定することによりイネーブルになります。)
- 2. 生成乱数(PN9[8:0])を読み出すときはバーストリードしてください。 (“SPI”を参照してください。)

【注意】

- 1. Whitening 動作では IEEE802.15.4g 規定に従い初期値(=0x1FF)から開始され、本レジスタの設定は不要です。
但し、PN9_EN=b0 状態で、これらのレジスタに初期値書き込むとその値を初期値として Whitening 動作します
- 2. Whitening 機能と回路を共用します。よって乱数発生機能を使用する場合は、Whitening 機能動作時を避けて、PN9_EN=0b1 に設定してください。

0x7C【RD_FIFO_LAST】

機能:FIFO の残量表示または、アドレス表示
アドレス:0x7c
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	FIFO_LAST[7:0]	FIFO の残量 (255 まで)または FIFO のアドレス	0000_0000	R

【詳細】

- 1. パケット長(2byte)も FIFO を使って読み書きしますが、本 LSI 内部でデータ FIFO (256byte)とは別に格納されるため、残量表示には影響しません。
- 2. [PACKET_MODE_SET]レジスタ(B0 0x45)の bit7 (FIFO_ADR_EN)に 0b1 が設定されると本レジスタはアドレス表示に切り替わります。
- 3. アドレス表示の場合、送信時には次に書き込む FIFO のアドレスを、受信時には次に読み出す FIFO のアドレスを表示します。
- 4. 送信時の FIFO 残量表示および FIFO アドレス表示は、データ送信中のみ有効となります。また、受信時の FIFO 残量表示および FIFO アドレス表示はデータ受信中のみ有効となります。

【注意】

- 1. 256byte 以上のデータ受信でデータの一部を読み出す場合、FIFO の残量として 1 バイト(本レジスタ表示が 0x01)以上となるように制御願います。データ受信完了後は本制御は不要です。

0x7D【Reserved】

0x7E【WR_TX_FIFO】

機能:送信 FIFO
アドレス:0x7e
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	TX_FIFO[7:0]	送信 FIFO (bit7 ~ bit0)	0000_0000	W

【注意】

1. 本 LSI は 256 byte の FIFO を 2 面もっていますが有効サイズは、[PACKET_MODE_SET]レジスタ(B0 0x45)の bit1 (IEEE_MODE)で指定され、0b0 で IEEE 802.15.4d モードが選択されると 128 byte となり、FIFO に空き容量があっても書き込みできなくなります。
2. 最初の書き込みは FIFO0 より始まります。以後は空いている FIFO を本 LSI が内部回路で判別し空いている方の FIFO への書き込み動作を開始します。
3. 本 LSI に格納できる送信データはパケット長に関係なく最大 2 パケットまでとなります。2 面ともデータが格納されている場合、次の書き込み動作で FIFO は上書きされ、送信 FIFO アクセスエラー割り込み(INT[15])が発生します。アクセスエラーが発生した場合、FIFO データは両面とも破棄してください。
4. データ受信中に書き込みを行った場合は、受信データで書き込んでいる FIFO 面とは別の FIFO 面に書き込まれます。

0x7F【RD_RX_FIFO】

機能:受信 FIFO
アドレス:0x7f
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	RX_FIFO[7:0]	受信 FIFO (bit7 ~ bit0)	0000_0000	R

【注意】

1. 本 LSI は 256 byte の FIFO を 2 面もっていますが有効サイズは、[PACKET_MODE_SET]レジスタ(B0 0x45)の bit1 (IEEE_MODE)で指定され、0b0 で IEEE 802.15.4d モードが選択されると 128 byte となり、FIFO に空き容量があっても書き込みはされません。
2. 最初の書き込みは FIFO0 より始まります。以後は空いている FIFO を本 LSI が内部回路で判別し空いている方の FIFO への書き込み動作を開始します。
3. 本 LSI に格納できる受信データはパケット長に関係なく最大 2 パケットまでとなります。2 面ともデータが格納されている場合、次の書き込み動作(受信データ格納)で FIFO は上書きされ、受信 FIFO アクセスエラー割り込み(INT[14])が発生します。アクセスエラーが発生した場合、FIFO データは両面とも破棄してください。

●レジスタ BANK1

0x00【BANK_SEL】

機能:レジスタアクセス先選択
アドレス:0x00
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	TST_ACEN	テストレジスタアクセスイネーブル (*2) 0: アクセス禁止 1: アクセス許可	0	R/W
6-2	Reserved	予約	000_00	R/W
1-0	BANK[1:0]	BANK 切り替え BANK[1:0]=0b00: BANK0 アクセス 0b01: BANK1 アクセス 0b10: BANK2 アクセス 0b11: 設定禁止 (*1)	00	R/W

【注意】

- *1 0b11 を設定した場合、本レジスタにて正しい BANK に切り替えることができます。その他のレジスタには書き込みおよび読み出しは出来ません。
- *2 本ビットで許可する必要があるレジスタは、「レジスタ一覧」で確認してください。

0x01【DEMOD_SET】

機能:復調器の調整
アドレス:0x01
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	BER_MODE_ON	BER 測定モード設定 0: 通常受信モード 1: BER 測定モード	0	R/W
6-4	Reserved	予約	000	R/W
3	STR_HOLD_ON	シンボルタイミングリカバリ設定 0: シンボルタイミング追従を継続する。 1: SFD 検出後シンボルタイミング保持する。	0	R/W
2	AFC_LIM_OFF	AFC リミッタ設定 0: AFC リミッタを ON にする。 1: AFC リミッタを OFF にする。	0	R/W
1	AFC_HOLD_ON	AFC モード設定 0: AFC 追従を継続する。 1: SFD 検出後 AFC を保持する。	0	R/W
0	AFC_OFF	AFC_OFF 制御 0: AFC_OFF を行わない。(AFC を行う) 1: AFC_OFF を行う。	0	R/W

0x02【RSSI_ADJ】

機能:RSSI 値の調整
アドレス:0x02
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	RSSI_ADD	RSSI 調整 0: -に設定する。 1: +に設定する。	0	R/W
6-5	Reserved	予約	00	R/W
4-0	RSSI_ADJ[4:0]	RSSI 補正值設定	0_0000	R/W

【詳細】

1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。

0x03【RSSI/TEMP_OUT】

機能:RSSI と温度情報の出力設定
アドレス:0x03
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5	TEMP_ADC_OUT	温度情報のデジタル出力設定 (*1) 0: デジタル出力しない。 1: デジタル出力する。	0	R/W
4	TEMP_OUT	温度情報のアナログ出力設定 (*2) 0: 出力しない。 1: 出力する。	0	R/W
3-1	Reserved	予約	000	R/W
0	RSSI_OUT	RSSI の A_MON 端子への出力設定 (*2) 0: 出力しない。 1: 出力する。	0	R/W

【詳細】

- *1 出力するを選んだ場合、出力値は[TEMP_MON]レジスタ(B0 0x79)に出力されます。また、受信は正常にできません。受信時には出力しないを設定してください。
- *2 出力するを選んだ場合、出力は A_MON 端子(ピン#24)より出力されます。

【注意】

- 1. 複数同時に 0b1 を設定しないでください。正しい値が出力されません。

0x04【PA_ADJ1】

機能:PA 調整レジスタ1の設定
アドレス:0x04
初期値:0x77

ビット	レジスタ名	説明	初期値	R/W
7-4	PA_ADJ1_H[4:0]	20mW 出力回路用の調整値設定	0111	R/W
3-0	PA_ADJ1_L[4:0]	1mW 出力回路用の調整値設定	0111	R/W

【詳細】

- 1. 本レジスタの使用方法は、「PA の調整」を参照してください。
- 2. [PA_CNTRL]レジスタ(B1 0x07)の bit1-0(PA_ADJ_SEL[1:0])で 0b01 が設定されている場合に本レジスタが有効となります。
- 3. 本レジスタでは、20mW 出力回路調整では、1 ステップあたり 0.1dB～0.7dB でトータル 2.5～3.5dBの範囲内で出力調整ができ、1mW 出力回路調整では、1 ステップあたり 0.3～1.2dB でトータル 10dBの範囲内で出力調整ができます。また 0.5dB 程度の粗い調整は[PA_REG_ADJ1]レジスタ(B1 0x33)で、0.1dB 未満の細かいステップの調整は [PA_REG_FINE_ADJ]レジスタ(B1 0x013)でできます。
- 4. 本レジスタでの調整幅は、[PA_REG_ADJ1]レジスタでの電圧設定に依存します。

0x05【PA_ADJ2】

機能:PA 調整レジスタ2の設定
アドレス:0x05
初期値:0x77

ビット	レジスタ名	説明	初期値	R/W
7-4	PA_ADJ2_H[4:0]	20mW 出力回路用の調整値設定	0111	R/W
3-0	PA_ADJ2_L[4:0]	1mW 出力回路用の調整値設定	0111	R/W

【詳細】

1. 本レジスタの使用方法は、「PA の調整」を参照してください。
2. [PA_CNTRL]レジスタ(B1 0x07)の bit1-0(PA_ADJ_SEL[1:0])で 0b10 が設定されている場合に本レジスタが有効となります。
3. 本レジスタでは、20mW 出力回路調整では、1 ステップあたり 0.1dB～0.7dB でトータル 2.5～3.5dBの範囲内で出力調整ができ、1mW 出力回路調整では、1 ステップあたり 0.3～1.2dB でトータル 10dBの範囲内で出力調整ができます。また 0.5dB 程度の粗い調整が[PA_REG_ADJ2]レジスタ(B1 0x34)で、0.1dB 未満の細かいステップの調整は [PA_REG_FINE_ADJ]レジスタ(B1 0x013)でできます。
4. 本レジスタでの調整幅は、[PA_REG_ADJ2]レジスタでの電圧設定に依存します。

0x06【PA_ADJ3】

機能:PA 調整レジスタ 3 の設定
アドレス:0x06
初期値:0x77

ビット	レジスタ名	説明	初期値	R/W
7-4	PA_ADJ3_H[4:0]	20mW 出力回路用の調整値設定	0111	R/W
3-0	PA_ADJ3_L[4:0]	1mW 出力回路用の調整値設定	0111	R/W

【詳細】

1. 本レジスタの使用方法は、「PA の調整」を参照してください。
2. [PA_CNTRL]レジスタ(B1 0x07)の bit1-0(PA_ADJ_SEL[1:0])で 0b11 が設定されている場合に本レジスタが有効となります。
3. 本レジスタでは、20mW 出力回路調整では、1 ステップあたり 0.1dB～0.7dB でトータル 2.5～3.5dBの範囲内で出力調整ができ、1mW 出力回路調整では、1 ステップあたり 0.3～1.2dB でトータル 10dBの範囲内で出力調整ができます。また 0.5dB 程度の粗い調整が[PA_REG_ADJ1]レジスタ(B1 0x35)で、0.1dB 未満の細かいステップの調整は [PA_REG_FINE_ADJ]レジスタ(B1 0x013)でできます。
4. 本レジスタでの調整幅は、[PA_REG_ADJ3]レジスタでの電圧設定に依存します。

0x07【PA_CNTRL】

機能:外部 PA 制御および PA モードの設定
アドレス:0x07
初期値:0x13

ビット	レジスタ名	説明	初期値	R/W
7	EXT_PA_CNT	DCNT 出力信号タイミングの切り替え 0: TX_ON タイミングに同期 1: PA_ON タイミングに同期	0	R/W
6	EXT_PA_INV	DCNT 出力極性の設定 (*1) 0: 正論理 1: 負論理	0	R/W
5	EXT_PA_OUT	DCNT 端子の出力タイプ設定 0: CMOS ロジック出力 1: Open Drain 出力	0	R/W
4	PA_SEL	PA 回路切り替え (*2) 0: 1mW 出力回路を選択する。 1: 20mW 出力回路を選択する。	1	R/W
3-2	Reserved	予約	00	R/W
1-0	PA_ADJ_SEL[1:0]	PA 調整レジスタの選択 (*2) 0b00: 使用禁止 0b01: PA_ADJ1/PA_REG_ADJ1 レジスタの値を使用する。 0b10: PA_ADJ2/PA_REG_ADJ2 レジスタの値を使用する。 0b11: PA_ADJ3/PA_REG_ADJ3 レジスタの値を使用 する。	11	R/W

【詳細】

1. 外部 PA 制御信号は、DCNT 端子 (ピン#22) より出力されます。

- *1 [SW_OUT/RAMP_ADJ]レジスタ(B1 0x08)の bit4(EXT_PA_EN)で示される論理に対しての設定です。
*2 PA_SEL および PA_ADJ_SEL[1:0]の使用方法は、「PAの調整」を参照してください。

0x08【SW_OUT/RAMP_ADJ】

機能:ANT_SW/TRX_SW 信号の出力タイプ切り替えおよび PA 立ち上がり時間調整
アドレス:0x08
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	ANTSW_OUT	ANT_SW 端子の出力制御 0: CMOS 出力 1: Open Drain 出力	0	R/W
6	TRXSW_OUT	TRX_SW 端子の出力制御 0: CMOS 出力 1: Open Drain 出力	0	R/W
5	Reserved	予約	0	R/W
4	EXT_PA_EN	DCNT 端子の制御 0: 常に”L”を出力する。 1: EXT_PA として動作する。 送信時: “H”出力、その他の時は”L”出力	0	R/W
3-0	RAMP_ADJ[3:0]	PA 立ち上がり時間調整設定 (*1) 0b0000: OFF(9μs) 0b0001: +10.1 μs ~ 0b1111: +25.1 μs	0000	R/W

【詳細】
*1 PA の Rump Up 時間を調整します(約 1.1μs/step)。初期値ではあらかじめ定められた立ち上がり時間(9μs)となり、設定値を大きくすると RAMP 時間は長くなります。

0x09【PLL_CP_ADJ】

機能:送受信時の PLL のチャージポンプ電流値調整
アドレス:0x09
初期値:0x44

ビット	レジスタ名	説明	初期値	R/W
7	Reserved	予約	0	R/W
6-4	PLL_CP_TX[2:0]	送信時の PLL チャージポンプ電流値設定	100	R/W
3	Reserved	予約	0	R/W
2-0	PLL_CP_RX[2:0]	受信時の PLL チャージポンプ電流値設定	100	R/W

0x0A【IF_FREQ_H】

機能:受信時の IF 周波数設定の設定(上位 8 ビット)
アドレス:0x0a
初期値:0x14 (IF 周波数:178.22kHz)

ビット	レジスタ名	説明	初期値	R/W
7-0	IF_FREQ[15:8]	IF 周波数設定 (bit15～bit8)	0001_0100	R/W

【詳細】

- 1. IF 周波数を[IF_FREQ_L] レジスタ(B1 0x0B)の 8 ビットと共に全 16 ビットから設定します。
- 2. [DATA_SET]レジスタ(B0 0x47)の bit2-0(RATE[2:0])で設定されるデータレートに従い自動的に倍率変更されます。
詳細な設定方法は「IF周波数の設定」を参照してください。

【注意】

- 1. 50kbps/100kbps/200kbps 以外のデータレートでの NBO_SEL([DATA_SET:B0 0x47(7)])=0b1 設定は使用不可です。

0x0B【IF_FREQ_L】

機能:受信時の IF 周波数設定の設定(下位 8 ビット)
アドレス:0x0b
初期値:0x47 (IF 周波数:178.22kHz)

ビット	レジスタ名	説明	初期値	R/W
7-0	IF_FREQ[7:0]	IF 周波数設定 (bit7～bit0)	0100_0111	R/W

【詳細】

- 1. 本レジスタについては、[IF_FREQ_H] レジスタ(B1 0x0A)の説明を参照してください。

0x0C【IF_FREQ_CCA_H】

機能:CCA 時の IF 周波数設定の設定(上位 8 ビット)
アドレス:0x0c
初期値:0x14

ビット	レジスタ名	説明	初期値	R/W
7-0	IF_FREQ_CCA[15:8]	CCA 時の IF 周波数設定 (bit15～bit8)	0001_0100	R/W

【詳細】

- 1. CCA 時に使用する IF 周波数を[IF_FREQ_CCA_L] レジスタ(B1 0x0D)の 8 ビットと共に全 16 ビットから設定します。
- 2. [DATA_SET]レジスタ(B0 0x47)の bit2-0(RATE[2:0])で設定されるデータレートに従い自動的に倍率変更されます。
詳細な設定方法は「IF周波数の設定」を参照してください。

0x0D【IF_FREQ_CCA_L】

機能:CCA 時の IF 周波数設定の設定(下位 8 ビット)
アドレス:0x0d
初期値:0x47

ビット	レジスタ名	説明	初期値	R/W
7-0	IF_FREQ_CCA[7:0]	CCA 時の IF 周波数設定 (bit7～bit0)	0100_0111	R/W

【注意】

1. 本レジスタについては、[IF_FREQ_CCA_H] レジスタ(B1 0x0C)の説明を参照してください。

0x0E【BPF_ADJ_H】

機能:バンドパスフィルタの帯域調整(上位 2 ビット)
アドレス:0x0e
初期値:0x02

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserved	予約	0000_00	R/W
1-0	BPF_C[9:8]	バンドパスフィルタの帯域調整値 (bit9,bit8)	10	R/W

【詳細】

1. 通常動作時のバンドパスフィルタ容量を[BPF_ADJ_L] レジスタ(B1 0x0F)の 8 ビットと共に全 10 ビットで調整します。
詳細な設定方法は、「BPF 帯域の設定」を参照してください。

【注意】

1. 50kbps/100kbps/200kbps 以外のデータレートでの NBO_SEL([DATA_SET:B0 0x47(7)])=0b1 設定は使用不可です。

0x0F【BPF_ADJ_L】

機能:バンドパスフィルタの帯域調整(下位 8 ビット)
アドレス:0x0f
初期値:0x04

ビット	レジスタ名	説明	初期値	R/W
7-0	BPF_C[7:0]	バンドパスフィルタの帯域調整値 (bit7～bit0)	0000_0100	R/W

【詳細】

1. 本レジスタについては、[BPF_ADJ_H] レジスタ(B1 0x0E)の説明を参照してください。

0x10【BPF_CCA_ADJ_H】

機能:CCA 時のバンドパスフィルタの帯域調整(上位 2 ビット)
アドレス:0x10
初期値:0x01

ビット	レジスタ名	説明	初期値	R/W
7-2	Reserved	予約	0000_00	R/W
1-0	BPF_C_CCA[9:8]	CCA 時のバンドパスフィルタの帯域調整値 (bit9, bit8)	01	R/W

【詳細】

- 1. CCA 時のバンドパスフィルタ容量を[BPF_CCA_ADJ_L] レジスタ(B1 0x11)の 8 ビットと共に全 10 ビットで調整します。
詳細な設定方法は、「BPF 帯域の設定」を参照してください。

【注意】

- 1. 50kbps/100kbps/200kbps 以外のデータレートでの NBO_SEL([DATA_SET:B0 0x47(7)])=0b1 設定は使用不可です。

0x11【BPF_CCA_ADJ_L】

機能:CCA 時のバンドパスフィルタの帯域調整(下位 8 ビット)
アドレス:0x11
初期値:0x10

ビット	レジスタ名	説明	初期値	R/W
7-0	BPF_C_CCA[7:0]	CCA 時のバンドパスフィルタ帯域調整値 (bit7～bit0)	0001_0000	R/W

【注意】

- 1. 本レジスタについては、[BPF_CCA_ADJ_H] レジスタ(B1 0x10)の説明を参照してください。

0x12【RSSI_LPF_ADJ】

機能:RSSI の出力時定数調整
アドレス:0x12
初期値:0x1F

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-0	RSSI_LPF_R[5:0]	RSSI 出力のローパスフィルタの抵抗調整値	01_1111	R/W

0x13【PA_REG_FINE_ADJ】

機能:PA 用レギュレータの微調整
アドレス:0x13
初期値:0x10

ビット	レジスタ名	説明	初期値	R/W
7-5	Reserved	予約	0	R/W
4-0	PA_REG_ADJ[4:0]	PA 用レギュレータの出力電圧微調整	001_0000	R/W

【詳細】

1. 本レジスタで PA 用レギュレータの出力を 0.1dB 未満のステップで調整することができます。PA 出力の固体ばらつきを高精度で抑えることができます。
2. 1 ステップで約 14mV の調整ができます。

0x14【IQ_MAG_ADJ】

機能:IF の I/Q 振幅バランス調整
アドレス:0x14
初期値:0x08

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5	IQ_CAL_LNA_EN	LNA への IQ キャリブレーション用テスト信号設定 0: 動作なし 1: 動作させる	0	R/W
4	IQ_CAL_MIX_EN	ミキサへの IQ キャリブレーション用テスト信号設定 0: 動作なし 1: 動作させる	0	R/W
3-0	MAG_TRM[3:0]	ミキサー部 IQ 信号の振幅バランス調整	1000	R/W

【詳細】

1. MAG_TRM[4:0]でイメージ除去比を調整することができます。調整の詳細は[I/Q の調整]を参照してください。

0x15【IQ_PHASE_ADJ】

機能:IF の I/Q 位相バランス調整
アドレス:0x15
初期値:0x20

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-0	PHASE_TRM[5:0]	バンドパスフィルタの IQ 位相バランス調整	10_0000	R/W

【詳細】

1. 本レジスタでイメージ除去比を調整することができます。調整の詳細は[I/Q の調整]を参照してください。

0x16【VCO_CAL_MIN_FL】

機能:VCO キャリブレーションの下限周波数設定(下位 8 ビット)
 アドレス:0x16
 初期値:0x55

ビット	レジスタ名	説明	初期値	R/W
7-0	VCO_CAL_MIN_F[7:0]	VCO キャリブレーション下限周波数設定 (bit7～bit0)	0101_0101	R/W

【詳細】

1. VCO キャリブレーションの下限周波数を[VCO_CAL_MIN_FM] レジスタ(B1 0x17)と[VCO_CAL_MIN_FH] レジスタ (B1 0x18)の 4 ビットと共に全 20 ビットから設定します
2. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
3. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【注意】

1. 下限周波数は、実際に運用する周波数に対して 2MHz 低い値を設定してください。

0x17【VCO_CAL_MIN_FM】

機能:VCO キャリブレーションの下限周波数設定(中位 8 ビット)
 アドレス:0x17
 初期値:0x55

ビット	レジスタ名	説明	初期値	R/W
7-0	VCO_CAL_MIN_F[15:8]	VCO キャリブレーション下限周波数設定 (bit15～bit8)	0101_0101	R/W

【詳細】

1. 本レジスタについては、[VCO_CAL_MIN_FL] レジスタ(B1 0x16)の説明を参照してください。

0x18【VCO_CAL_MIN_FH】

機能:VCO キャリブレーションの下限周波数設定(上位 4 ビット)
 アドレス:0x18
 初期値:0x09

ビット	レジスタ名	説明	初期値	R/W
7-4	Reserved	予約	0000	R/W
3-0	VCO_CAL_MIN_F[19:16]	VCO キャリブレーション下限周波数設定(bit19～bit16)	1001	R/W

【詳細】

1. 本レジスタについては、[VCO_CAL_MIN_FL] レジスタ(B1 0x16)の説明を参照してください。

0x19【VCO_CAL_MAX_N】

機能: VCO キャリブレーションの上限周波数設定
アドレス: 0x19
初期値: 0x07

ビット	レジスタ名	説明	初期値	R/W
7-5	Reserved	予約	000	R/W
4-0	VCO_CAL_MAX_N[4:0]	VCO キャリブレーション上限周波数範囲 (ΔF) (*1) 0b0_0000 : 1.125 MHz 0b0_0001 : 2.25 MHz 0b0_0011 : 4.5 MHz 0b0_0111 : 9 MHz 0b0_1111 : 18 MHz 0b1_1111 : 36MHz (*2) 上記以外 : 0 MHz	0_0111	R/W

- 【詳細】
- VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
 - 周波数の設定方法に関しては、「VCO 上限周波数の設定」を参照してください。
- 【注意】
- *1. 上限値の設定は、実際に運用する周波数範囲が完全に含まれるように設定してください。
 - *2. VCO_CAL_MIN_FL (B1 0x16), VCO_CAL_MIN_FM(B1 0x17),VCO_CAL_MIN_FH(B1 0x18)の設定が all "0x00" (36MHz x n 倍設定) の時のみ使用できます。

0x1A【VCO_CAL_MIN】

機能: 下限側 VCO キャリブレーション値の表示と設定
アドレス: 0x1a
初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7	Reserved	予約	0	R/W
6-0	VCO_CAL_MIN[6:0]	下限側 VCO キャリブレーション値	000_0000	R/W

- 【詳細】
- VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
 - [VCO_CAL_START]レジスタ(B1 0x1d)でキャリブレーションを行うと、値が自動的に保存されます。

0x1B【VCO_CAL_MAX】

機能: 上限側 VCO キャリブレーション値の表示と設定
アドレス: 0x1b
初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7	Reserved	予約	0	R/W
6-0	VCO_CAL_MAX[6:0]	上限側 VCO キャリブレーション値	000_0000	R/W

- 【詳細】
- VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
 - [VCO_CAL_START]レジスタ(B1 0x1d)でキャリブレーションを行うと、値が自動的に保存されます。

0x1C【VCO_CAL】

機能:現在の VCO キャリブレーション値の表示と設定
アドレス:0x1c
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	CAL_WR_EN	CAL 値の強制書き込み 0: 自動設定モード 1: 強制モード	0	R/W
6:0	VCO_CAL[6:0]	現在の VCO キャリブレーション値	000_0000	R/W

【詳細】

- 1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
- 2. 自動設定モードでは、現在適用されている VCO キャリブレーション値が表示されます。VCO_CAL[6:0]の値は、[RF_STATUS] レジスタ(B0 0x6C)で TX_ON または RX_ON を実行後に更新されます
- 3. 強制モード(CAL_WR_EN=0b1)では、VCO_CAL[6:0]に書き込んだ値が強制的に適用されます。(CAL_WR_EN に 0b0 を設定して書き込んだ場合は、値は反映されません。)

0x1D【VCO_CAL_START】

機能:VCO キャリブレーションの実行
アドレス:0x1d
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-1	Reserved	予約	0000_000	R/W
0	VCO_CAL_START	VCO キャリブレーションの実行 0: 実行完了 1: 実行開始	0	R/W

【詳細】

- 1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x1E【BPF_ADJ_OFFSET】

機能:BPF の調整オフセットデータ
アドレス:0x1e
初期値:0xxx

ビット	レジスタ名	説明	初期値	R/W
7	BPF_OFFSET_POL	BPF 調整オフセットの設定方向表示 0: - に設定する。 1: + に設定する。	x	R
6:0	BPF_OFFSET[6:0]	BPF 調整オフセット	xxx_xxxx	R

【詳細】

- 1. 本 LSI の個体調整に設定された BPF の調整オフセット値を読みだせます。
- 2. 本レジスタの値を使用した調整方法は、「BPF 帯域の設定」を参照してください。

0x1F-2A【Reserved】

0x2B【ID_CODE】

機能:ID コードの読み出し
アドレス:0x2b
初期値:0x11 (ML7396) / 0x12 (ML7396A/B) / 0x13 (ML7396D/E)

ビット	レジスタ名	説明	初期値	R/W
7-0	LSI_ID[7:0]	LSI の ID コード読みだし 0x11: ML7396 0x12: ML7396B、ML7396A 0x13: ML7396D、ML7396E	0001_0001 0001_0010 0001_0011	R

0x2C-32【Reserved】

0x33【PA_REG_ADJ1】

機能:PA 用レギュレータの調整 1
アドレス:0x33
初期値:0x07

ビット	レジスタ名	説明	初期値	R/W
7-3	Reserved	予約	0000_0	R/W
2-0	PA_REG_ADJ1 [2:0]	PA レギュレータの調整 1	111	R/W

- 【詳細】
- 1. 本レジスタの使用方法は、「PA の調整」を参照してください。
 - 2. [PA_CNTRL]レジスタ(B1 0x07)の bit1-0(PA_ADJ_SEL[1:0])で 0b01 が設定されている場合に本レジスタが有効となります。
 - 3. 本レジスタで PA 出力を約 0.5dB ステップで調整することができます。
 - 4. REG_PA 端子(ピン#28)出力が約 0.1V ステップで調整されます。
- 【注意】
- 1. 送信出力を維持出来る電源電圧の下限は、“REG_PA 出力電圧+0.3V”となります。

0x34【PA_REG_ADJ2】

機能:PA 用レギュレータの調整 2
アドレス:0x34
初期値:0x07

ビット	レジスタ名	説明	初期値	R/W
7-3	Reserved	予約	0000_0	R/W
2-0	PA_REG_ADJ2 [2:0]	PA レギュレータの調整 2	111	R/W

- 【詳細】
- 1. 本レジスタの使用方法は、「PA の調整」を参照してください。
 - 2. [PA_CNTRL]レジスタ(B1 0x07)の bit1-0(PA_ADJ_SEL[1:0])で 0b10 が設定されている場合に本レジスタが有効となります。
 - 3. 本レジスタで PA 出力を約 0.5dB ステップで調整することができます。
 - 4. REG_PA 端子(ピン#28)出力が約 0.1V ステップで調整されます。
- 【注意】
- 1. 送信出力を維持出来る電源電圧の下限は、“REG_PA 出力電圧+0.3V”となります。

0x35【PA_REG_ADJ3】

機能:PA 用レギュレータの調整 3
アドレス:0x35
初期値:0x07

ビット	レジスタ名	説明	初期値	R/W
7-3	Reserved	予約	0000_0	R/W
2-0	PA_REG_ADJ3 [2:0]	PA レギュレータの調整 3	111	R/W

【詳細】

1. 本レジスタの使用方法は、「PA の調整」を参照してください。
2. [PA_CNTRL]レジスタ(B1 0x07)の bit1-0(PA_ADJ_SEL[1:0])で 0b11 が設定されている場合に本レジスタが有効となります。
3. 本レジスタで PA 出力を約 0.5dB ステップで調整することができます。
4. REG_PA 端子(ピン#28)出力が約 0.1V ステップで調整されます。

【注意】

1. 送信出力を維持出来る電源電圧の下限は、“REG_PA 出力電圧+0.3V”となります。

0x36-39【Reserved】

0x3A【PLL_CTRL】

機能:PLL 設定
アドレス:0x3a
初期値:0x9F

ビット	レジスタ名	説明	初期値	R/W
7-5	Reserved	予約	100	R/W
4	PLL_SD_PS	PLL の周波数設定取り込みタイミング切り替え 0: VCO 分周出力の立ち下がりエッジ 1: VCO 分周出力の立ち上がりエッジ	1	R/W
3-0	Reserved	予約	1111	R/W

【注意】

1. ARIB STD-T108 で規定する 1 単位チャンネル(200kHz)使用の場合は ACP 特性を向上させるために 0b0 を設定してください。2 単位チャンネル以上での使用の場合は 0b0 もしくは 0b1 のどちらの設定を使用しても問題ありません。

0x3B-3E【Reserved】

0x3F【RX_ON_ADJ2】

機能:RX_ON 調整レジスタ 2 の設定
アドレス:0x3f
初期値:0x02

ビット	レジスタ名	説明	初期値	R/W
7	Reserved	予約	0	R/W
6-4	TIM_RX_ON2[2:0]	TX_ON から続けて RX_ON へ遷移する際の受信切り替えタイミング調整 (設定値+1) * 8.88μs	000	R/W
3-0	Reserved	予約	0010	R/W

【詳細】

- 1. 詳細は「ランプ制御機能」を参照してください。

【注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x40-48【Reserved】

0x49【LNA_GAIN_ADJ_M】

機能:中間ゲイン時の LNA ゲイン調整
アドレス:0x49
初期値:0x0E

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-0	LNA_MGAIN[5:0]	中間ゲイン時の LNA ゲイン調整	00_1110	R/W

【注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x4A【LNA_GAIN_ADJ_L】

機能:低ゲイン時の LNA ゲイン調整
アドレス:0x4a
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5-0	LNA_LGAIN[5:0]	低ゲイン時の LNA ゲイン調整	00_0000	R/W

【注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x4B-4C【Reserved】

0x4D【MIX_GAIN_ADJ_H】

機能: 高ゲイン時のミキサーゲイン調整

アドレス: 0x4d

初期値: 0xFF

ビット	レジスタ名	説明	初期値	R/W
7-0	MIX_HGAIN[7:0]	高ゲイン時のミキサーゲイン調整	1111_1111	R/W

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x4E【MIX_GAIN_ADJ_M】

機能: 中間ゲイン時のミキサーゲイン調整

アドレス: 0x4e

初期値: 0xFF

ビット	レジスタ名	説明	初期値	R/W
7-0	MIX_MGAIN[7:0]	中間ゲイン時のミキサーゲイン調整	1111_1111	R/W

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x4F【MIX_GAIN_ADJ_L】

機能: 低ゲイン時のミキサーゲイン調整

アドレス: 0x4f

初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	MIX_LGAIN[7:0]	低ゲイン時のミキサーゲイン調整	0000_0000	R/W

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x50-54【Reserved】

0x55【TX_OFF_ADJ1】

機能:TX_OFF 調整レジスタ 1 の設定
アドレス:0x55
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	TIM_TX_OFF1[7:0]	TX_ON から TX_OFF へ遷移する際のランプダウンタイミング調整 (設定値+1) * 2.22μs	0000_0000	R/W

【詳細】

- 1. [RAMP_CNTRL]レジスタ(B2 0x2C)の bit4 (TXOFF_RAMP_EN)に 0b1 が設定されているときに有効です。
- 2. 詳細は「ランプ制御機能」を参照してください。

【注意】

- 1. 本レジスタへは「初期レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x56-59【Reserved】

0x5A【RSSI_SLOPE_ADJ】

機能:RSSI の傾き調整
アドレス:0x5a
初期値:0x07

ビット	レジスタ名	説明	初期値	R/W
7-4	Reserved	予約	0000	R/W
3-0	RSSI_SLOPE[3:0]	RSSI 傾き調整	0111	R/W

【注意】

- 1. 本レジスタへは「初期レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x5B-7F【Reserved】

●レジスタ BANK2

0x00【BANK_SEL】

機能:レジスタアクセス先選択
アドレス:0x00
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7	TST_ACEN	テストレジスタアクセスイネーブル (*2) 0: アクセス禁止 1: アクセス許可	0	R/W
6-2	Reserved	予約	000_000	R/W
1-0	BANK[1:0]	BANK 切り替え BANK[1:0]=0b00: BANK0 アクセス 0b01: BANK1 アクセス 0b10: BANK2 アクセス 0b11: 設定禁止 (*1)	0	R/W

【注意】

- *1 0b11 を設定した場合、本レジスタにて正しい BANK に切り替えることができます。その他のレジスタには書き込みおよび読み出しは出来ません。
- *2 本ビットで許可する必要があるレジスタは、「レジスタ一覧」で確認してください。

0x01-11【Reserved】

0x12【SYNC_MODE】

機能:ビット同期のモードを設定します。
アドレス:0x12
初期値:0x04

ビット	レジスタ名	説明	初期値	R/W
7-3	Reserved	予約	0000_0	R/W
2	SYNC_MODE	ビット同期のモード設定 (*1) 0: BER 測定時/ダイバーシティ使用時 1: ダイバーシティ未使用時	1	R/W
1-0	Reserved	予約	00	R/W

【詳細】

- *1 BER 測定時やダイバーシティサーチ時には十分なプリアンブル長が確保できないため、ビット同期方法を変更させる必要があり、必ず本ビットに 0b0 を設定してください。
ダイバーシティ未使用時に SYNC_MODE に 0b0 を設定していた場合でも、本 LSI 内部で 0b1 に自動で切り替えます。

0x13-1D【Reserved】

0x1E【PA_ON_ADJ】

機能:PA_ON 信号のタイミング調整
アドレス:0x1e
初期値:0x0A

ビット	レジスタ名	説明	初期値	R/W
7-0	PA_ON_ADJ[7:0]	PA_ON 信号のタイミング調整 (設定値+1) * 8.88μs	0000_1010	R/W

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x1F【DAT_IN_ADJ】

機能:DATA イネーブル信号のタイミング調整
アドレス:0x1f
初期値:0x1A

ビット	レジスタ名	説明	初期値	R/W
7-0	DAT_IN_ADJ[7:0]	データイネーブル信号のタイミング調整 (設定値+1) * 1.11μs	0001_1010	R/W

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。400kbps 時のみ必要です。

0x20-21【Reserved】

0x22【RX_ON_ADJ】

機能:RX_ON 信号のタイミング調整
アドレス:0x22
初期値:0x01

ビット	レジスタ名	説明	初期値	R/W
7-0	RX_ON_ADJ[7:0]	RX_ON 信号のタイミング調整 (設定値+1) * 8.88μs	0000_0001	R/W

【注意】

1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x23【Reserved】

0x24【RXD_ADJ】

機能:RXD 信号のタイミング調整
アドレス:0x24
初期値:0x59

ビット	レジスタ名	説明	初期値	R/W
7-0	RXD_ADJ[7:0]	RXD 信号のタイミング調整 (設定値+1) * 1.11μs	0101_1001	R/W

【注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

0x25-29【Reserved】

0x2A【RATE_ADJ1】

機能:拡張データレート(50/100/200/400kbps 以外)用復調器調整(下位 8 ビット)
アドレス:0x2a
初期値:0x01

ビット	レジスタ名	説明	初期値	R/W
7-0	RATE_ADJ[7:0]	拡張データレート設定用復調器設定(下位 8 ビット)	0000_0001	R/W

【詳細】

- 1. 拡張データレート使用時の復調器設定を[RATE_ADJ2]レジスタ(B1 0x11)の 2 ビットと共に全 10 ビットで調整します。
- 2. [RATE_ADJ2]レジスタ(B2 0x2B)の bit4 (RATE_ADJ_EN)に 0b1 が設定されているときに有効です。
- 3. 150kbps 時は以下の通り設定してください。

受信状態	RATE_ADJ[9:0]
CCA 以外	0x2BE
CCA 時	0x17C

【注意】

- 1. 本レジスタへは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。
- 2. 10kbps/20kbps/40kbps につきましては、「初期設定レジスタ」をご参照ください。

0x2B【RATE_ADJ2】

機能:拡張データレート(50/100/200/400kbps 以外)用復調器調整(上位 2 ビット) とイネーブル設定
アドレス:0x2b
初期値:0x01

ビット	レジスタ名	説明	初期値	R/W
7-5	Reserved	予約	000	R/W
4	RATE_ADJ_EN	拡張データレート用復調器設定のイネーブル設定 0: 無効 1: 有効	0	R/W
3-2	Reserved	予約	11	R/W
1-0	RATE_ADJ[9:8]	拡張データレート用復調器調整(上位 2 ビット)	11	R/W

【詳細】

- 1. 本レジスタについては、[RATE_ADJ1] レジスタ(B2 0x2a)の説明を参照してください。

0x2C【RAMP_CNTRL】

機能:ランプ制御イネーブル設定
アドレス:0x2c
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-6	Reserved	予約	00	R/W
5	Reserved	予約	0	R/W
4	TXOFF_RAMP_EN	ランプ制御イネーブル 0:ディセーブル 1:イネーブル	0	R/W
3-0	Reserved	予約	0000	R/W

【詳細】

- bit4 (TXOFF_RAMP_EN)に 0b1 を設定すると、送信後のランプダウンタイミングは、[2DIV_GAIN_CNTRL]レジスタ (B0 0x6e)の bit7-2(TIM_TX_OFF2[5:0])および[TX_OFF_ADJ1]レジスタ(B1 0x55)の bit7-0(TIM_TX_OFF1[7:0])で設定されるタイミングとなります。
- 詳細は「ランプ制御機能」を参照してください。

0x2D-5F【Reserved】

0x60【ADDFIL_CNTRL】

機能:アドレスフィルタ機能の設定
アドレス:0x60
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-5	MASK_SET[2:0]	64 ビットアドレスモード時のバイトマスク設定 (*1) [設定値 * 1byte]を下位バイトよりマスクします。	000	R/W
4	SHT_ADD1_EN	ショートアドレス 1 の検出設定 (*2) 0: 検出しない。 1: 検出する。	0	R/W
3	SHT_ADD0_EN	ショートアドレス 0 の検出設定 (*3) 0: 検出しない。 1: 検出する。	0	R/W
2	EXT_ADD_EN	64 ビットアドレスの検出設定 (*4) 0: 検出しない。 1: 検出する。	0	R/W
1	PANID_EN	PANID の検出設定 (*5) 0: 検出しない。 1: 検出する。	0	R/W
0	IGB_EN	I/G ビットの検出設定 (*6) 0: 検出しない 1: 検出する	0	R/W

【詳細】

1. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。
- *1 MASK_SET[2:0]は、EXT_ADD_EN に 0b1 (64ビットアドレス検出) に設定されているときのみ有効で、64ビットアドレスの下位バイトより、設定されたバイト数分をマスクし、アドレス判定から除外します。

*2 ショートアドレスの検出を行う場合は、PANID_EN の検出も同時に行う必要があります。この時[SHT_ADDR1_L]と[SHT_ADDR1_H]レジスタ (B2 0x6d, 0x6e)で設定されるショートアドレスが、受信データの宛先アドレスに設定されているデータのみ受信します。

*3 ショートアドレスの検出を行う場合は、PANID_EN の検出も同時に行う必要があります。この時[SHT_ADDR0_L]と[SHT_ADDR0_H]レジスタ (B2 0x6b, 0x6c)で設定されるショートアドレスが、受信データの宛先アドレスに設定されているデータのみ受信します。

*4 64 ビットアドレス検出が選択され、[64ADDR1]から[64ADDR8]レジスタ (B2 0x63～0x6a)で設定される 64 ビットアドレスが、受信データの宛先アドレスに設定されているデータのみ受信します。
下位バイトは MASK_SET[2:0]でマスクし、判定から除外する事が可能です。

*5 [PANID_L]と[PANID_H]レジスタ (B2 0x61,0x62)で設定される PANID と一致するデータのみ受信します。
ショートアドレスの検出とともにお使いください。
(注意: PANID=0xFFFF(ブロードキャスト)の場合は、受信をおこないます。)

*6 EXT_ADD_EN に 0b1 (64 ビットアドレス検出) に設定されているときのみ有効で、I/G ビットに 0b1(マルチキャスト)が設定されているデータの受信を行います。

【参考】

1. I/G ビットの詳細は、IEEE802.3 を参照してください。 I/G は Individula/Group の略。
2. I/G ビットは、MAC アドレスの OUI の第一オクテットの bit0 (64 ビットの場合、57 ビット目)に割り当てられていて、続く MAC アドレスがユニキャスト用か、マルチキャスト用かを識別するために用いられます。

0x61【PANID_L】

機能:アドレスフィルタ機能の比較 PANID の設定(下位 8 ビット)
アドレス:0x61
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	PANID[7:0]	PANID の設定 (bit7～bit0)	0000_0000	R/W

【詳細】

- 1. アドレスフィルタ機能で使用する PANID を[PANID_H] レジスタ(B2 0x62)の 8 ビットと共に全 16 ビットで設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit1(PANID_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x62【PANID_H】

機能:アドレスフィルタ機能の比較 PANID の設定(上位 8 ビット)
アドレス:0x62
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	PANID[7:0]	PANID の設定 (bit15～bit8)	0000_0000	R/W

【詳細】

- 1. 本レジスタについては、[PANID_L]レジスタ(B2 0x61)の説明を参照してください。

0x63【64ADDR1】

機能:アドレスフィルタ機能の比較 64 ビットアドレスの設定(第1バイト:最下位)
アドレス:0x63
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	64ADDR[7:0]	64 ビットアドレスの設定 (bit7～bit0)	0000_0000	R/W

【詳細】

- 1. 比較判定する 64 ビットアドレスの第一バイト(最下位バイト)を設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit2(EXT_ADD_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x64【64ADDR2】

機能:アドレスフィルタ機能の比較 64 ビットアドレスの設定(第 2 バイト)
アドレス:0x64
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	64ADDR[15:8]	64 ビットアドレスの設定 (bit15～bit8)	0000_0000	R/W

【詳細】

- 1. 比較判定する 64 ビットアドレスの第2バイトを設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit2(EXT_ADD_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x65【64ADDR3】

機能:アドレスフィルタ機能の比較 64 ビットアドレスの設定(第 3 バイト)
アドレス:0x65
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	64ADDR[23:16]	64 ビットアドレスの設定 (bit23～bit16)	0000_0000	R/W

【詳細】

- 1. 比較判定する 64 ビットアドレスの第3バイトを設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit2(EXT_ADD_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x66【64ADDR4】

機能:アドレスフィルタ機能の比較 64 ビットアドレスの設定(第 4 バイト)
アドレス:0x66
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	64ADDR[31:24]	64 ビットアドレスの設定 (bit31～bit24)	0000_0000	R/W

【詳細】

- 1. 比較判定する 64 ビットアドレスの第 4 バイトを設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit2(EXT_ADD_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x67【64ADDR5】

機能:アドレスフィルタ機能の比較 64 ビットアドレスの設定(第 5 バイト)
アドレス:0x67
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	64ADDR[39:32]	64 ビットアドレスの設定 (bit39～bit32)	0000_0000	R/W

【詳細】

- 1. 比較判定する 64 ビットアドレスの第 5 バイトを設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit2(EXT_ADD_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x68【64ADDR6】

機能:アドレスフィルタ機能の比較 64 ビットアドレスの設定(第 6 バイト)
アドレス:0x68
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	64ADDR[47:40]	64 ビットアドレスの設定 (bit47～bit40)	0000_0000	R/W

【詳細】

- 1. 比較判定する 64 ビットアドレスの第 6 バイトを設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit2(EXT_ADD_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x69【64ADDR7】

機能:アドレスフィルタ機能の比較 64 ビットアドレスの設定(第 7 バイト)
アドレス:0x69
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	64ADDR[55:47]	64 ビットアドレスの設定 (bit55～bit48)	0000_0000	R/W

【詳細】

- 1. 比較判定する 64 ビットアドレスの第 7 バイトを設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit2(EXT_ADD_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x6A【64ADDR8】

機能:アドレスフィルタ機能の比較 64 ビットアドレスの設定(第 8 バイト:最上位)
アドレス:0x6a
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	64ADDR[63:56]	64 ビットアドレスの設定 (bit63～bit56)	0000_0000	R/W

【詳細】

- 1. 比較判定する 64 ビットアドレスの第 7 バイトを設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit2(EXT_ADD_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x6B【SHT_ADDR0_L】

機能:アドレスフィルタ機能の比較ショートアドレス0(16bit)の設定(下位 8 ビット)
アドレス:0x6b
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SHT_ADDR0[7:0]	ショートアドレス 0 の設定 (bit7～bit0)	0000_0000	R/W

【詳細】

- 1. アドレスフィルタ機能で使用するショートアドレス 0 を[SHT_ADDR0_H] レジスタ(B2 0x6C)の 8 ビットと共に全 16 ビットで設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit3(SHT_ADD0_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x6C【SHT_ADDR0_H】

機能:アドレスフィルタ機能の比較ショートアドレス0(16bit)の設定(上位 8 ビット)
アドレス:0x6c
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SHT_ADDR0[15:8]	ショートアドレス 0 の設定 (bit15～bit8)	0000_0000	R/W

【詳細】

- 1. 本レジスタについては、[SHT_ADDR0_L] レジスタ(B2 0x6B)の説明を参照してください。

0x6D【SHT_ADDR1_L】

機能:アドレスフィルタ機能の比較ショートアドレス 1(16bit)の設定(下位 8 ビット)
アドレス:0x6d
初期値:0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SHT_ADDR1[7:0]	ショートアドレス 1 の設定 (bit7～bit0)	0000_0000	R/W

【詳細】

- 1. アドレスフィルタ機能で使用するショートアドレス 1 を[SHT_ADDR1_H] レジスタ(B2 0x6E)の 8 ビットと共に全 16 ビットで設定します。
- 2. 本レジスタは、[ADDFIL_CNTRL]レジスタ(B2 0x60)の bit4(SHT_ADD1_EN)に 0b1 が設定されているときのみ有効です。
- 3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x6E【SHT_ADDR1_H】

機能: アドレスフィルタ機能の比較ショートアドレス 1(16bit)の設定(上位 8 ビット)
 アドレス: 0x6e
 初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	SHT_ADDR1[15:8]	ショートアドレス 1 の設定 (bit15～bit8)	0000_0000	R/W

【詳細】

1. 本レジスタについては、[SHT_ADDR1_L] レジスタ(B2 0x6d)の説明を参照してください。

0x6F【DISCARD_COUNT_L】

機能: アドレスフィルタ機能による破棄パケット数の表示(下位 8 ビット)
 アドレス: 0x6f
 初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	DISCARD[7:0]	パケット破棄数の表示 (bit7～bit0)	0000_0000	R

【詳細】

1. アドレスフィルタ機能で破棄されたパケット数を[DISCARD_COUNT_H] レジスタ(B2 0x70)の 8 ビットと共に全 16 ビットで表示します。最大 1023 個までカウントできます。
2. 本レジスタをクリアする場合は、[RST_SET]レジスタ (b0 0x01)の RST_3(PHY リセット)を実行してください。またアドレスフィルタをディセーブル([ADDFIL_CTRL] レジスタ(B2 0x60)に 0x00 を設定)にすると本レジスタは 0 クリアされます。
3. アドレスフィルタ機能の詳細に関しては、「アドレスフィルタ機能」を参照してください。

0x70【DISCARD_COUNT_H】

機能: アドレスフィルタ機能による破棄パケット数の表示(上位 8 ビット)
 アドレス: 0x70
 初期値: 0x00

ビット	レジスタ名	説明	初期値	R/W
7-0	DISCARD[15:8]	パケット破棄数の表示 (bit15～bit8)	0000_0000	R

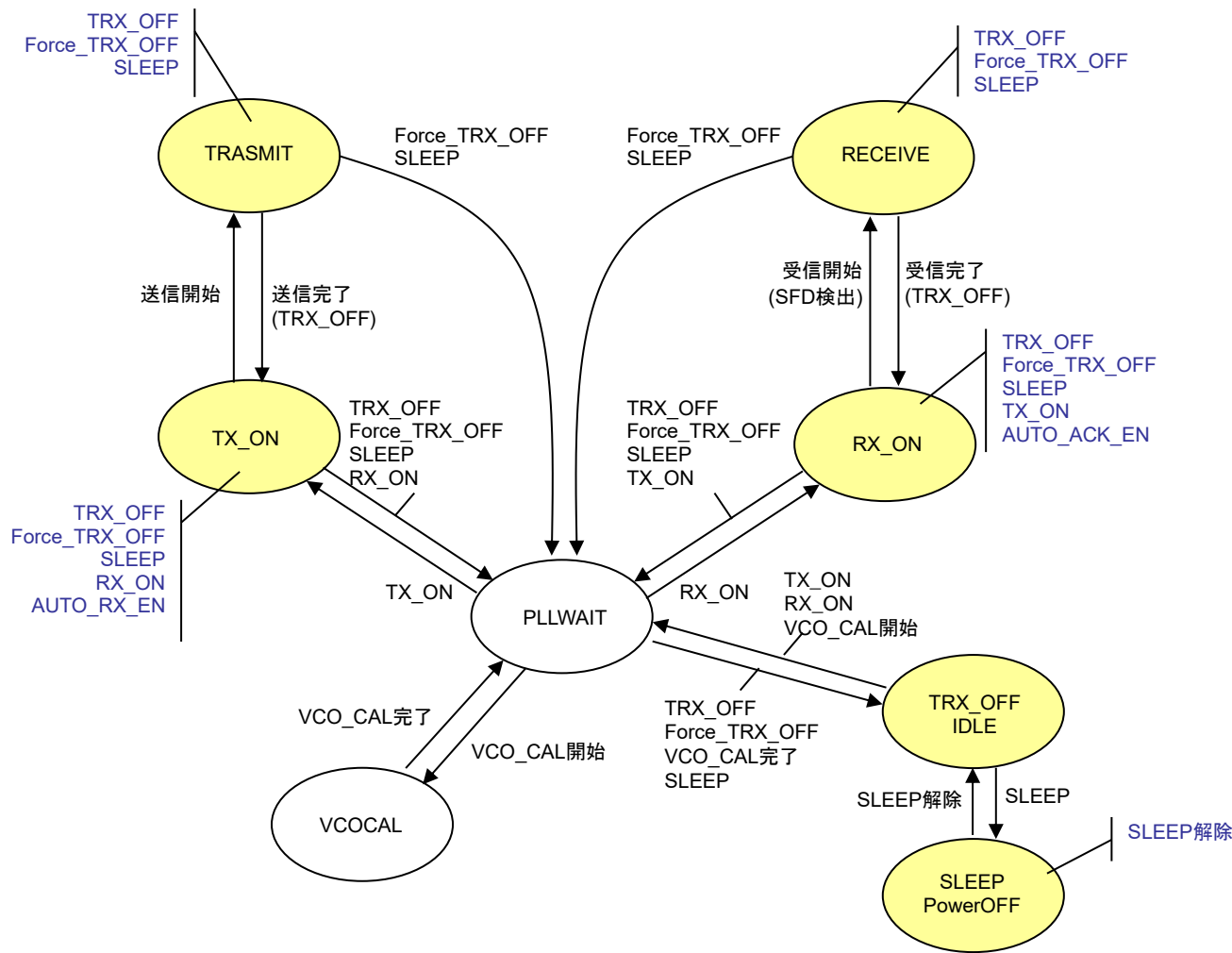
【詳細】

1. 本レジスタについては、[DISCARD_COUNT_L] レジスタ(B2 0x6f)の説明を参照してください。

0x71-7F【Reserved】

■状態遷移図

本 LSI の状態遷移を下記に示します。



- 【状態】
- SLEEP/PowerOFF :スリープ
 - TRX_OFF/IDLE :アイドル(送受信起動待ち)
 - PLL_WAIT :PLL起動待ち
 - TX_ON :送信準備完了(送信データ待ち)
 - TRANSMIT :送信中
 - RX_ON :受信準備完了(受信データ待ち)
 - RECEIVE :受信中
 - VCO_CAL :VCOキャリブレーション中

- | ステート遷移命令
- ← 通常シーケンス
(遷移時動作)
- 上位層からの命令
受付ステート
- ML7396自立遷移
ステート

■機能説明

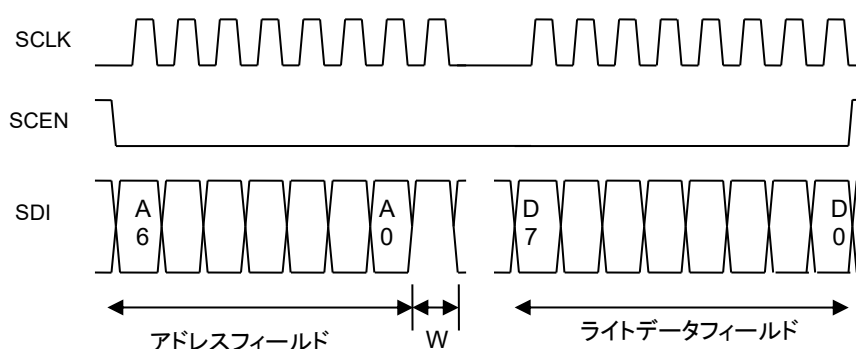
●SPI

本 LSI はシリアルペリフェラルインタフェース(以下 SPI)を有しています。本 LSI の SPI はスレーブモードのみをサポートしており、ホスト MCU よりクロックを入力して本 LSI のレジスタと FIFO の読み書きを行います。またバーストアクセス、シングルアクセスに対応しています。

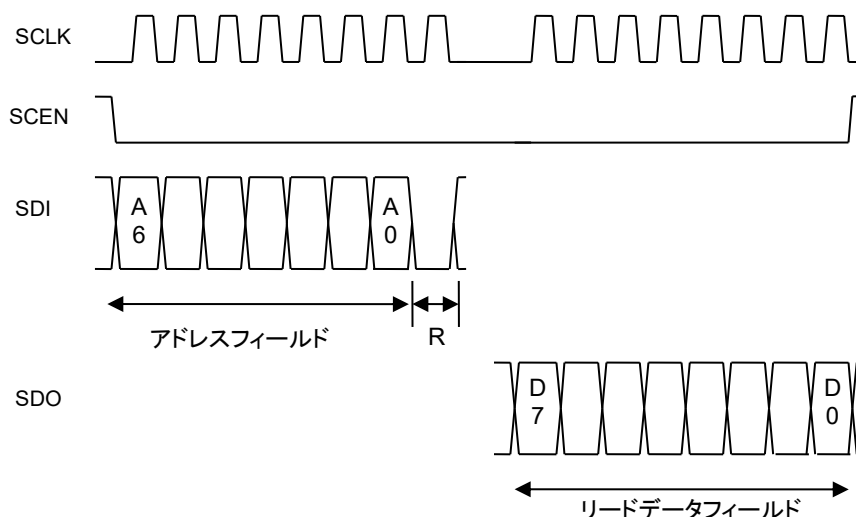
【シングルアクセス タイムチャート】

ライト時は、D0 を取り込むクロックの立ち上がりを検出して内部回路に書き込みます。書き込み途中に SCEN を”H”にするとレジスタには書き込まれません。

ライト時



リード時



【注意】

IEEE802.15.4d モード時に FIFO リードする場合のみ Length+1 バイトの読み出しが必要になります。Length 分を読み出した後に、再度[RD_RX_FIFO] レジスタ(B0 0x7F)をリードしてください。(最終 1 バイトは無効データであり、FIFO 面を正常に切り替えるために必要です)。

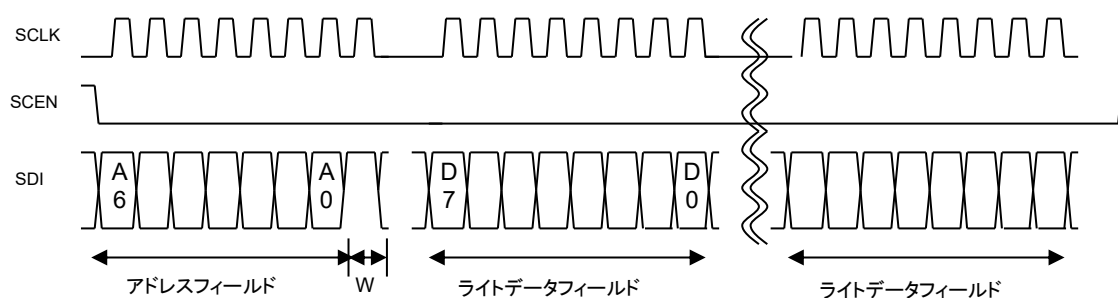
【バーストアクセス タイムチャート】

SCEN を”L”に維持することで、バーストモードに移行します。バーストモードの解除は SCEN を”H”にすることで行われます。バーストモードでは、アドレスの自動インクリメントが実効され必要なデータ分 SCLK を入力することで連続して読み書きができます。D0 を取り込むクロックが入力される前に SCEN を”H”にした場合、当該データは破棄されます。

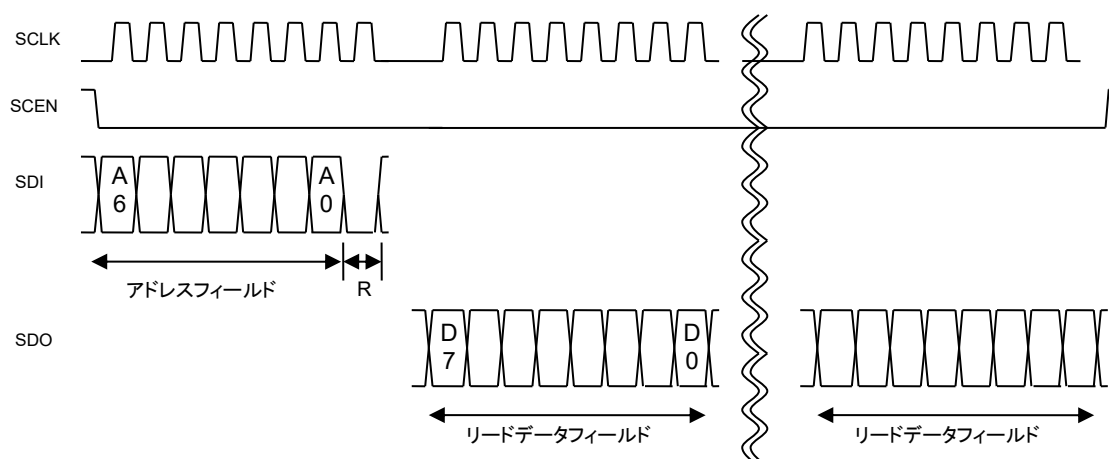
【注意】

アクセス先が[WR_TX_FIFO]、[RD_RX_FIFO]レジスタ(B0 0x7e, 0x7f)の場合、アドレスのインクリメントが行われず連続して当該 FIFO の読み書きができます。

ライト時



リード時



【注意】

IEEE802.15.4d モード時に FIFO リードする場合のみ Length+1 バイトの読み出しが必要になります(最終 1 バイトは無効データであり、FIFO 面を正常に切り替えるために必要です)。

●AFC 機能

本 LSI は受信時の AFC 機能を持っています。送信相手と本 LSI 内部のローカル信号のそれぞれの周波数偏差(最大 $\pm 20\text{ppm}$)を本機能で補正します。本機能により周波数偏差内で一定の受信感度や妨害波特性が得られます。本機能は、[AFC_CNTRL]レジスタ(B0 0x34)の bit0(AFC_EN)に 0b1 を書き込むことで有効にできます。50/100/150/200/400kbps 時以外のデータレート設定ではサポート外のため、[AFC_CNTRL]レジスタ(B0 0x34)の bit0(AFC_EN)に 0b0 としてご使用ください。

●FIFO

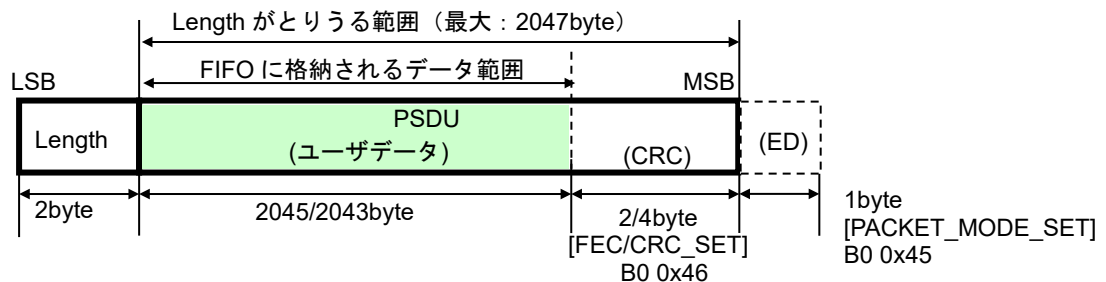
本 LSI は送受信バッファとして 256Byte の FIFO を 2 面有しています。ただし、1 つのパケットに対して FIFO は 1 面のみ使用可能です(1 パケットに対して FIFO を 2 面使用することはできません)。

受信時は RF より受信したデータをバイト単位で格納し、SPI 経由でホスト MCU より読み出します。送信時はホスト MCU より受信したデータをバイト単位で格納し、RF 経由で送信します。

FIFO への格納データフォーマットを以下に示します。

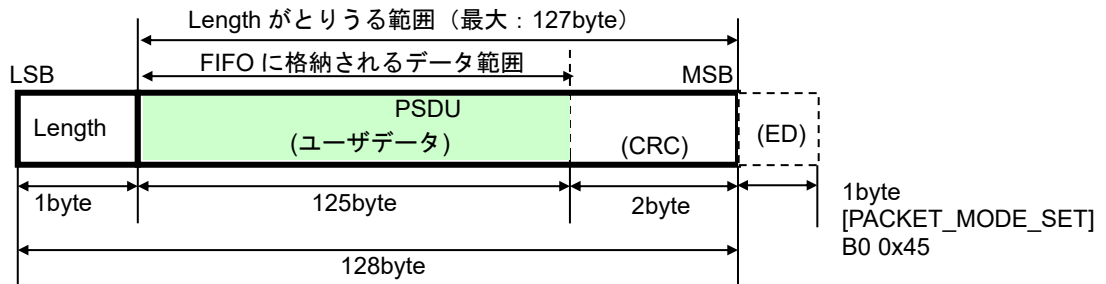
[PACKET_MODE_SET]レジスタ(B0 0x45)の bit1(IEEE_MODE)の設定によって FIFO への入力データが異なります。モードに関わらずプリアンプル、SFD の固定データは含まれません。

【IEEE802.15.4g モード時】 [PACKET_MODE_SET]レジスタ(B0 0x45)の bit1(IEEE_MODE)=0b1



※Length、CRC および ED 値は FIFO 以外のデータ格納領域に保持されます。

【IEEE802.15.4d モード時】 [PACKET_MODE_SET]レジスタ(B0 0x45)の bit1(IEEE_MODE)=0b0



※Length、CRC および ED 値は FIFO 以外のデータ格納領域に保持されます。

FIFO への書き込み読み出しは SPI からのバーストアクセスにて行います。送信時は[WR_TX_FIFO]レジスタ(B0 0x7e)へ書き込み、受信時は [RD_RX_FIFO]レジスタ(B0 0x7f)へ読み出しを連続して行うことで FIFO 内部カウンタが自動インクリメントしデータを保存、出力いたします。書き込み、読み出し途中でバーストアクセスを中止すると、パケットの処理が完了するまでアドレスは保持されます。

2 面の FIFO (0 面、1 面)は交互にアクセスされますが、受信中に送信データをセットした場合、受信 FIFO としては 1 面動作となります。アクセス先の切り替えは LSI 内部で自動に行います。FIFO の状態は[PD_DATA_REQ]レジスタ(B0 0x28)または [PD_DATA_IND]レジスタ(B0 0x29)で確認が出来ます、

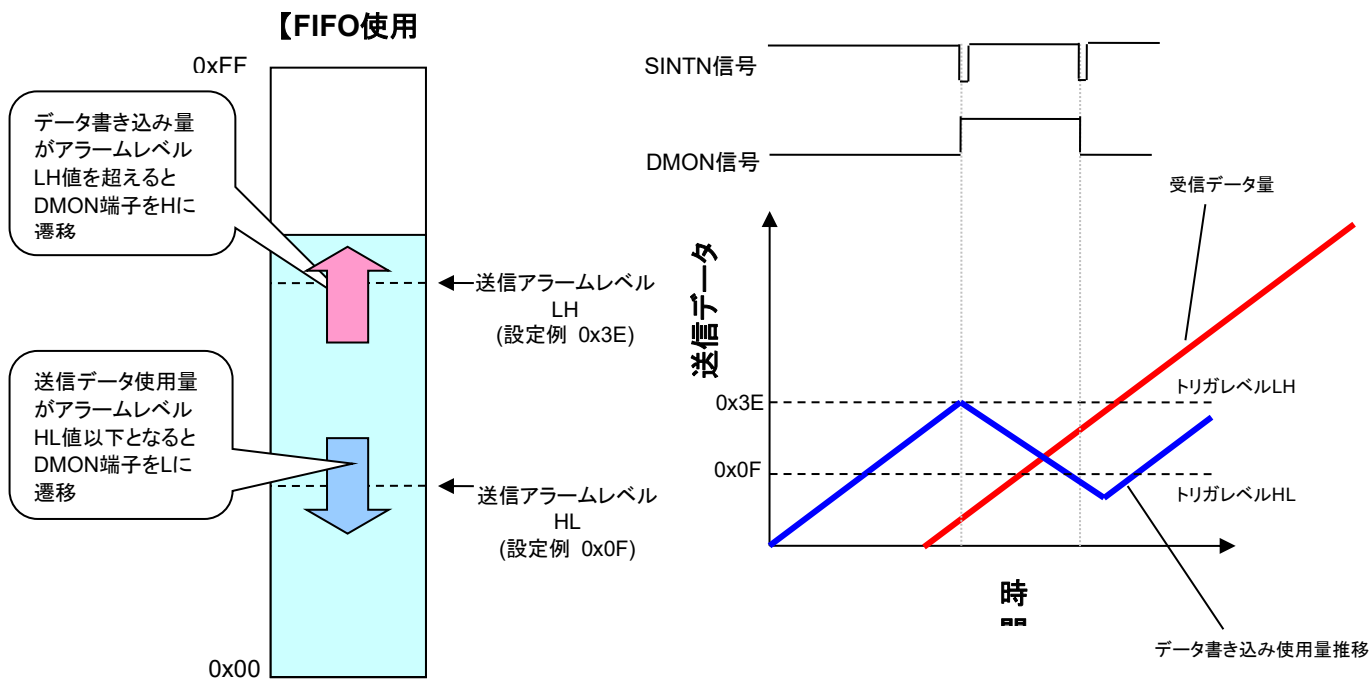
【注意】

1. IEEE 802.15.4d モードで受信をする場合、Length+1 バイトの読み出しが必要になります(最終 1 バイトは無効データであり、FIFO 面を正常に切り替えるために必要です)。
2. 送受信ともに設定する Length は、CRC を含む PSDU 長になります (Length 設定値に ED は含みません)。但し送信時の FIFO 書き込みでは CRC を除いた PSDU を書き込むことになります。受信時は、Length、ユーザデータ、CRC の順に読み出しできます。

○送信 FIFO の使用量告知機能の使用方法

本機能は、送信 FIFO の未送信データ量(FIFO 使用量)を SINT 端子(ピン#10)または DMON 端子(ピン#17)を使用して MCU に通知する機能です。送信 FIFO の未送信データ量(FIFO 使用量)が、[TX_ALARM_LH]レジスタ(B0 0x35)で設定した閾値レベルを超えると SINTN 端子を”L”または DMON 端子を”H”にし、また MCU が本 LSI がデータを送信し、送信 FIFO の使用量が[TX_ALARM_HL]レジスタ(B0 0x36)で設定した閾値以下となった時に SINT 端子を”L”または DMON 端子を”L”にします。

ただし、複数回 FIFO-Full トリガ割り込みを通知させる場合は、その前に必ず FIFO 使用量が[TX_ALARM_HL]レジスタ(B0 0x36)の値以下となるよう FIFO 使用量を制御してください。FIFO-Empty トリガについても同様に、複数回 FIFO-Empty トリガ割り込みを通知させる場合はその前に必ず FIFO 使用量が[TX_ALARM_LH]レジスタ(B0 0x35)を超えるように FIFO 使用量を制御してください。



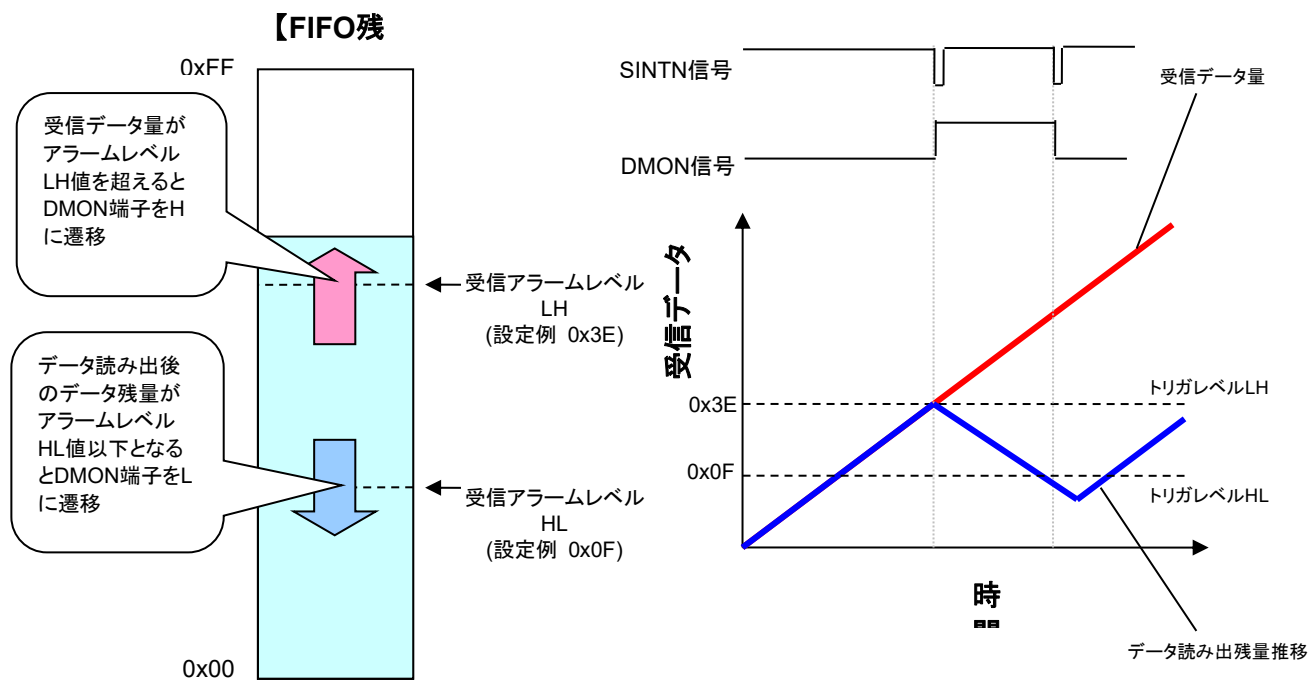
【注意】

1. DMON 端子(ピン#17)は、初期値では CLKOUT となっています。本機能を使用するには、[CLK_SET]レジスタ(B0 0x02)の bit4(CLKOUT_EN)に 0b0 を設定し CLKOUT を停止するとともに[CRC_AREA/FIFO_TRG]レジスタ(B0 0x77)の bit0(FIFO_TRG_EN)に 0b1 を設定してください。
2. [TX_ALARM_LH]と[TX_ALARM_HL]レジスタの告知レベルを同じ値に設定せず、必ず [TX_ALARM_LH]レジスタ > [TX_ALARM_HL]レジスタとなるよう設定してください。

○受信 FIFO の残量告知機能の使用手法

本機能は、受信 FIFO の未読み出し量(FIFO 残量)を SINT 端子(ピン#10)または DMON 端子(ピン#17)を使用して MCU に通知する機能です。受信 FIFO の未読み出し量(FIFO 残量)が、[RX_ALARM_LH]レジスタ(B0 0x37)で設定した閾値レベルを超えると SINTN 端子を”L”または DMON 端子を”H”にし、また MCU が本 LSI がデータを受信し、受信 FIFO の残量が[RX_ALARM_HL]レジスタ(B0 0x38)で設定した閾値以下となった時に SINT 端子を”L”またはDMON端子を”L”にします。

ただし、複数回 FIFO-Full トリガ割り込みを通知させる場合は、その前に必ず FIFO 残量が[RX_ALARM_HL]レジスタ(B0 0x38)以下となるように FIFO 残量を制御してください。FIFO-Empty トリガについても同様に、複数回 FIFO-Empty トリガ割り込みを通知させる場合はその前に必ず FIFO 残量が[RX_ALARM_LH]レジスタ(B0 0x37)を超えるように FIFO 残量を制御してください。

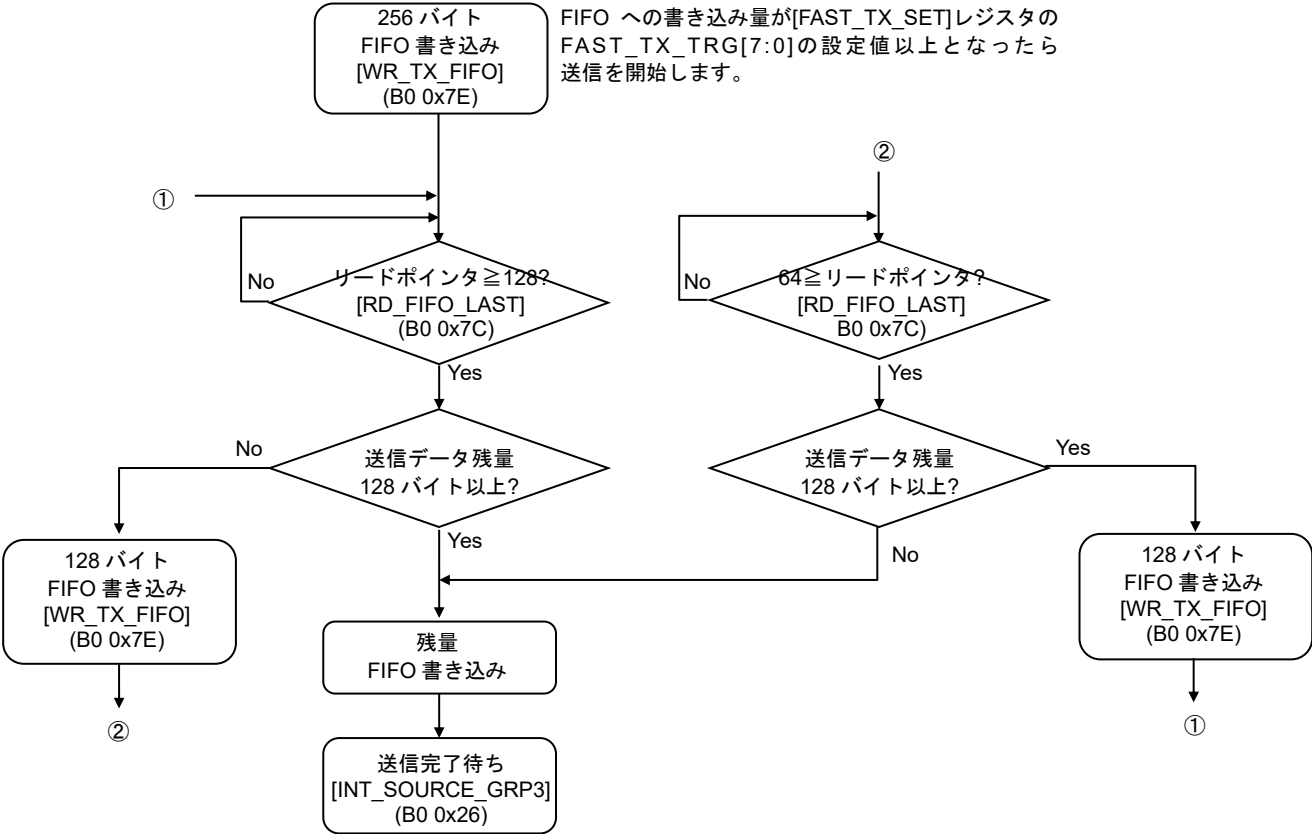


【注意】

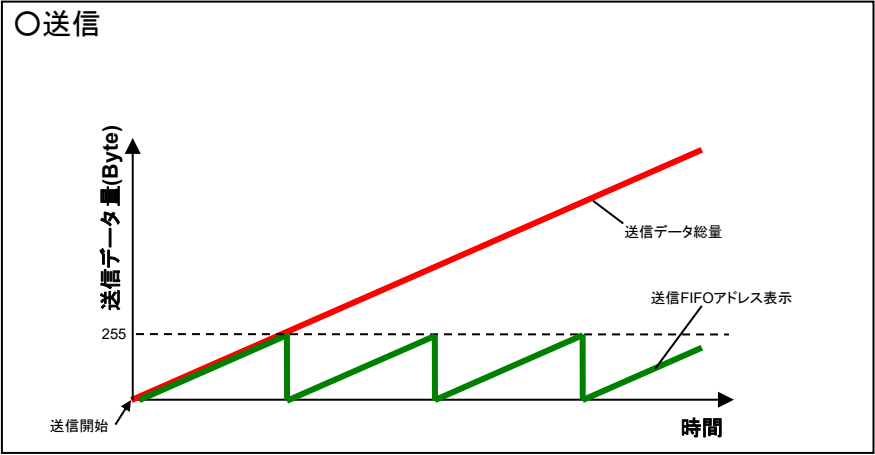
1. DMON 端子(ピン#17)は、初期値では CLKOUT となっています。本機能を使用するには、[CLK_SET]レジスタ(B0 0x02)の bit4(CLKOUT_EN)に 0b0 を設定し CLKOUT を停止するとともに[CRC_AREA/FIFO_TRG]レジスタ(B0 0x77)の bit0(FIFO_TRG_EN)に 0b1 を設定してください。
2. [RX_ALARM_LH]と[RX_ALARM_HL]レジスタの告知レベルを同じ値に設定せず、必ず [RX_ALARM_LH]レジスタ > [RX_ALARM_HL]レジスタとなるよう設定してください。
3. データ受信中に一部 FIFO を読み出す(SPI 分割リード)場合、FIFO の残量として 1 バイト([RD_FIFO_LAST]レジスタ(B0 0x7c)の bit7-0 表示が 0x01)以上となるように制御願います。データ受信完了後のみ FIFO を読み出す場合は本制御は不要です。
4. 本機能はデータ受信中のみ有効です。受信完了後が FIFO EMPTY 割り込み(グループ 1 の INT[04])は通知されません。

OFIFO アドレス表示を使用した場合の FIFO 制御方法

- (1) 送信時([PACKET_MODE_SET]レジスタ(B0 0x45) の bit2(AUTO_TX)=0b1 設定 / FIFO へ 128 バイト単位でアクセスした場合)
- ①[FAST_TX_SET]レジスタ(B0 0x6a)、[PACKET_MODE_SET] レジスタ(B0 0x45)の bit7(FIFO_ADR_EN)をそれぞれ設定します。
 - ②SPI から[WR_TX_FIFO]レジスタ(B0 0x7e)へデータ(256byte)書き込みます。
※書き込み量が[FIFO_TX_SET]レジスタ(B0 0x6a)に到達すると送信開始されます。
 - ③[RD_FIFO_LAST]レジスタ(B0 0x7c)を読み出し、FIFO アドレス表示 (以降 リードポインタ) が 128 以上となり、そのときの送信データ残量が 128 バイト以上であった場合、FIFO に 128 バイト書き込みます。送信データ残量が 128byte より小さい場合は、⑥へ進みます。
 - ④[RD_FIFO_LAST]レジスタ(B0 0x7c)を読み出し、リードポインタが 64 以下となり、そのときの送信データ残量が 128 バイト以上であった場合、FIFO に 128 バイト書き込みます。送信データ残量が 128byte より小さい場合は、⑥へ進みます。
 - ⑤必要なデータ送信量まで③、④の制御を繰り返します。
 - ⑥残データすべてをFIFIFO へ書き込み、送信完了割り込み([INT_SOURCE_GRP3](B0 0x26)の bit0 (INT[16]) / bit1 (INT[17]))を確認します。

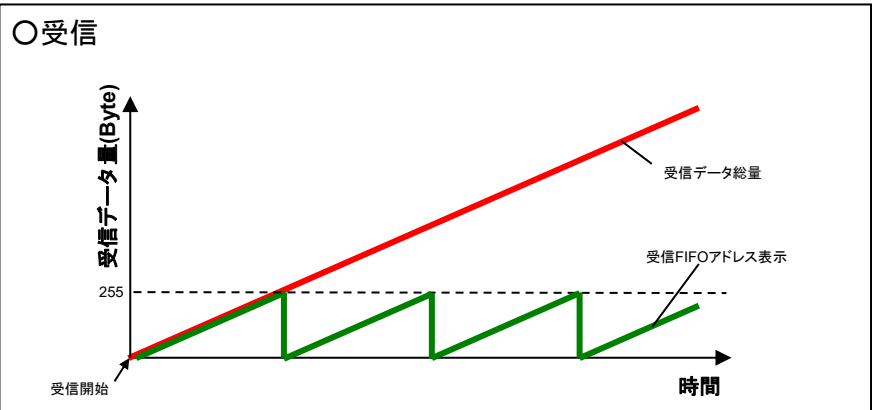
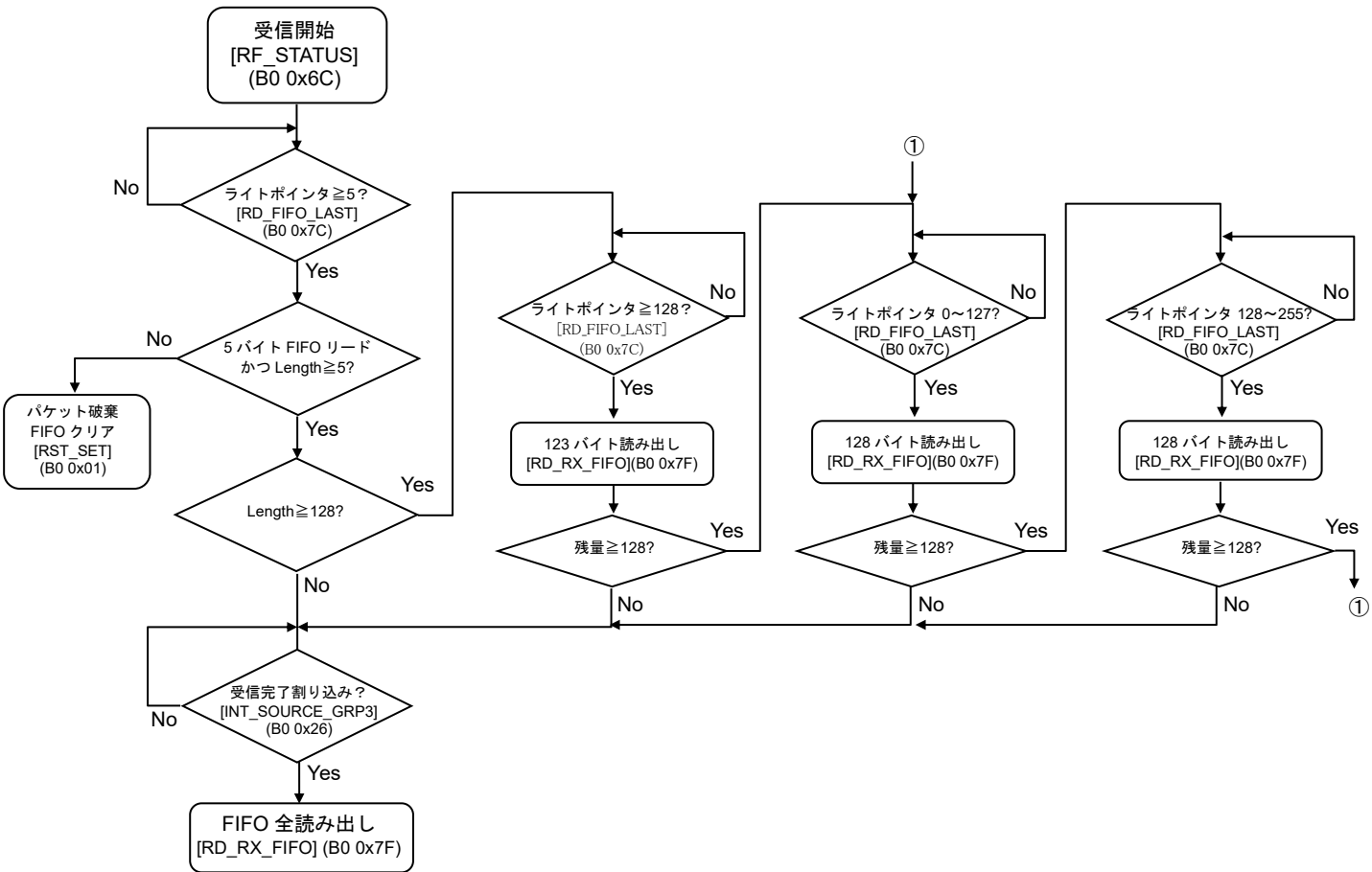


○送信



データ送信開始後、送信FIFOアドレス表示 (リードポインタ) はインクリメントし、256byte目を送信すると、アドレス表示は 0に戻り、再度インクリメント致します。

- (2) 受信時(FIFO へ 128 バイト単位でアクセスした場合)
- ①[PACKET_MODE_SET]レジスタ(B0 0x45)の bit7(FIFO_ADR_EN)を設定し、RX_ON([RF_STATUS]レジスタの bit3-0(SET_TRX))を設定します(受信開始)。
 - ②[RD_FIFO_LAST]レジスタ(B0 0x7c)を読み出し、FIFO アドレス表示 (以降 ライトポインタ) が 5 以上となった場合、FIFO を 5 バイトリード([RD_RX_FIFO]レジスタ(B0 0x7f))します。このとき Length が 5 未満であれば IEEE802.15.4 のパケット最小 Length より小さいためパケットを破棄します。5 以上かつ 128 未満であった場合、受信完了を待ち残量を FIFO から読み出します。※IEEE802.15.4 以外のオリジナルのパケットフォーマットを使用する場合はこの限りではありません。
 - ③②の Length が 128 以上であった場合、ライトポインタが 128 以上となったとき、FIFO から 123 バイト読み出します。その後、読み出し残量が 128 未満となった場合、⑦へ進みます。
 - ④③の残量が 128 以上であった場合、ライトポインタが 0~127 となったとき、FIFO から 128 バイト読み出します。その後、読み出し残量が 128 未満となった場合、⑦へ進みます。
 - ⑤④の残量が 128 以上であった場合、ライトポインタが 128~255 となったとき、FIFO から 128 バイト読み出します。その後、読み出し残量が 128 未満となった場合、⑦へ進みます。
 - ⑥必要なデータ受信量まで④、⑤の制御を繰り返します。
 - ⑦受信完了割り込み([INT_SOURCE_GRP3](B0 0x26)の bit2(INT[18])/bit3(INT[19]))を確認し、受信データ残量を FIFO から読み出します。



データ受信開始後、受信FIFOアドレス表示(ライトポインタ)はインクリメントし、256byte目を受信すると、アドレス表示は0に戻り、再度インクリメント致します。

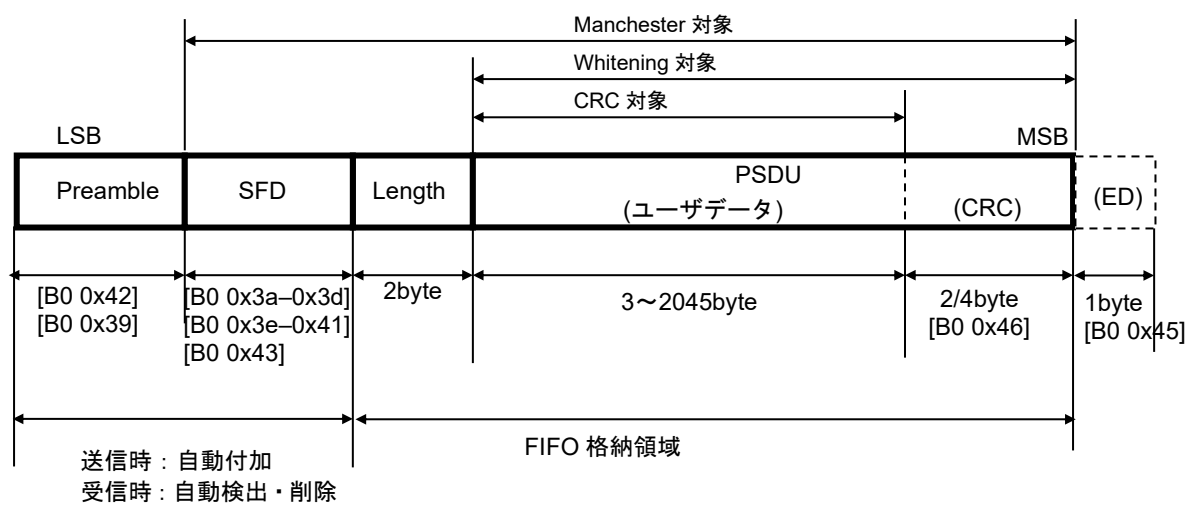
●パケットフォーマット

本 LSI はパケットモード(FIFO 動作)時に下記に示すパケットフォーマットをサポートします。(DIO モード時のパケットフォーマットは Preamble、SFD+DIO データとなります)

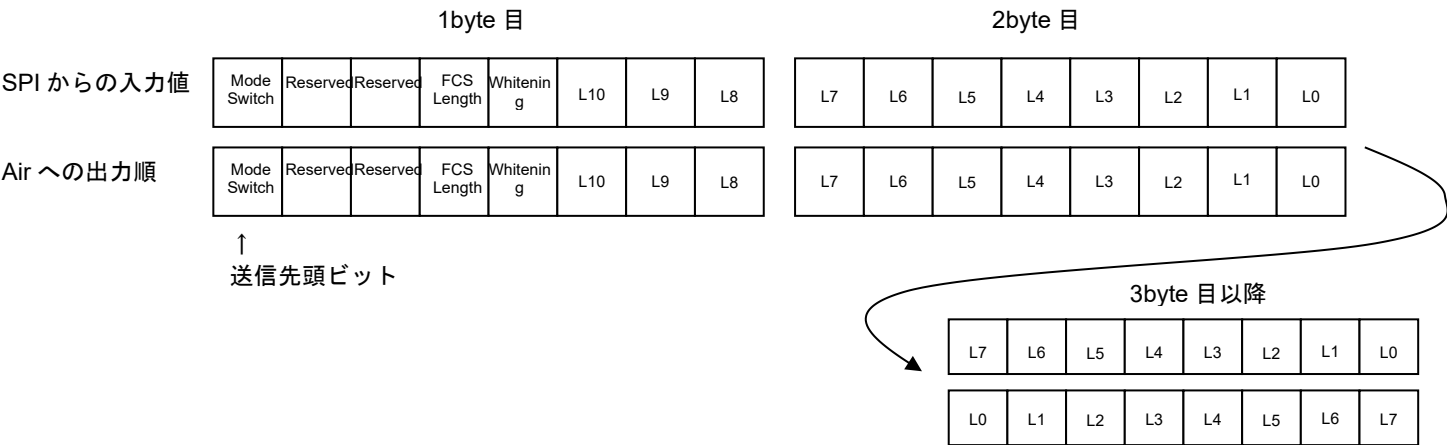
パケット先頭にはプリアンプルパタン、SFD パタンが配置されますが送受信時に LSI にて自動付加(送信時)、自動検出(受信時)、自動削除(受信時)を行いますので、上位 MCU では当該データのハンドリングについての考慮は不要です。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。

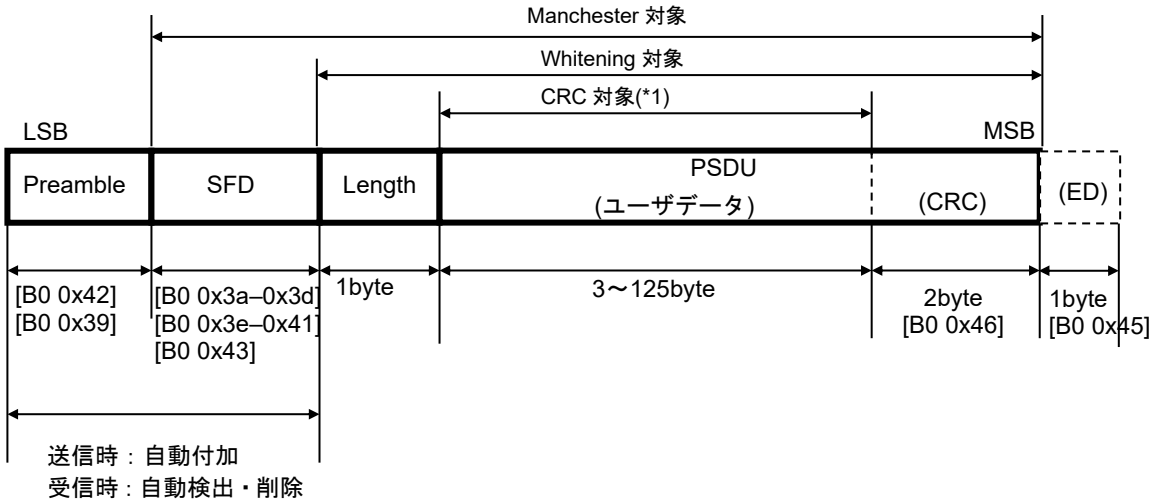
【IEEE802.15.4g モード時】
[PACKET_MODE_SET]レジスタ(B0 0x45)の bit1(IEEE_MODE)=0b1



- 【注意】
- 1. CRC32 設定時の最小ユーザデータ長は 4 バイトとなります。3 バイトデータを送受信する場合は CRC16 をご使用願います。また CRC32 設定時、ACK パケットは受信できません。
 - 2. IEEE 802.15.4g における Length フィールド(PHR)の設定については、以下のビットアサインとなり、IEEE 802.15.4d における Length フィールドのビットアサインと異なります。ユーザデータ(3 バイト目以降)は LSB ファーストになります。



【IEEE802.15.4d モード時】
[PACKET_MODE_SET]レジスタ(B0 0x45)の bit1(IEEE_MODE)=0b0



- 【注意】
- *1. IEEE802.15.4d モードにて、[CRC_AREA/FIFO_TRG]レジスタ(B0 0x77)の bit1 (CRC_AREA)に 0b1 を設定した場合は、CRC 対象範囲が Length まで(Length+PSDU)拡張されます。
1. IEEE 802.15.4d における Length フィールド(PHR)の設定については、以下のビットアサインとなり、IEEE 802.15.4g における Length フィールドのビットアサインと異なります。ユーザデータ(2 バイト目以降)は LSB フェーストになります。

SPI からの入力値	L7	L6	L5	L4	L3	L2	L1	L0
Air への出力順	L0	L1	L2	L3	L4	L5	L6	L7

↑
送信先頭ビット

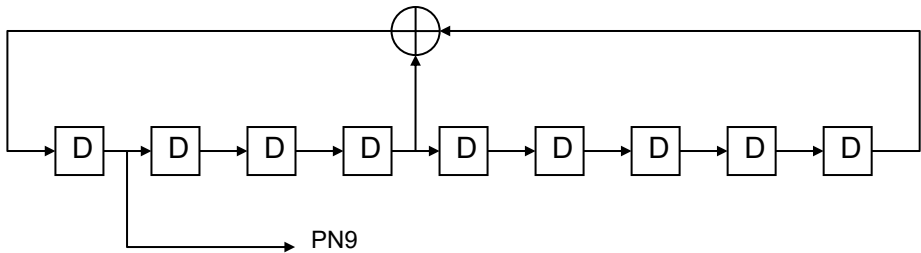
●ホワイトニング機能

本 LSI は、IEEE 802.15.4g で規定される送受信のデータのスクランブル機能(Date Whitening)をサポートしています。パタンジェネレータは下記のように構成され送受信データの PSDU 領域に対して PN9 パターンを XOR します。
[PN9_SET_L]レジスタ(B0 0x7a)および[PN9_SET_H]レジスタ(B0 0x7b)の PN9[8:0]で初期値を設定します。 またパターンジェネレータを乱数生成器として使用する場合は、[PN9_SET_H]レジスタの bit7(PN9_EN)ビットに 0b1 を設定してください。
[PACKET_MODE_SET]レジスタ(B0 0x45)の bit4(WHITENING) に 0b1 が書き込まれている場合は、bit1(IEEE_MODE)設定によって Whitening の条件が設定されます。Whitening 適用領域は「パケットフォーマット」をご参照願います。
・IEEE802.15.4d モードのとき、送受信毎にデータ Whitening が実行されます。
・IEEE802.15.4g モードのとき、PHR のデータ Whitening ビットが 0b1 のとき送受信データに Whitening が実行されます。

- 【注意】
1. PN9 パターンジェネレータは乱数発生機能と Whitening 機能で共用しています。Whitening 機能動作時には必ず [PN9_SET_H]レジスタの PN9_EN を 0b0 に設定してください。

送信時: $E_n = R_n \oplus PN9_n$
受信時: $R_n = REn \oplus PN9_n$

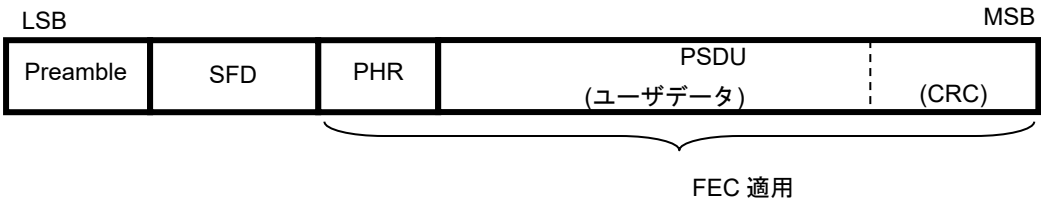
En : Whitening されたデータビット
Rn : データビット
REn : Whiitening された受信データ
PN9n : PN9 パターン(初期値 111111111)



●FEC 機能

本 LSI は、FEC 機能を持っています。FEC の適用範囲は下記の PHR と PSDU です。

【FEC の適用範囲】



- 【注意】
1. PHR の Length フィールドには、FEC 適用前の Length を設定する必要があります。
 2. Whitening 機能と同時に使用する場合、FEC による符号化後のデータに対し Whitening が適用されます。Whitening 適用領域は「パケットフォーマット」をご参照願います。
 3. インターリーブモードは IEEE802.15.4g 準拠仕様ではありません。
 4. インターリーブモードは 255 バイト長以下(CRC 除く)のパケットでご使用願います。255 バイトを超えるパケットで送信した場合は、送信完了割込みが発生しなくなります。
 5. インターリーブモードはパケット受信後に PHY リセット([RST_SET]レジスタ(B0 0x03))を実行願います。PHY リセットを実行しない場合は、受信後の送信データの先頭バイトが正しく送信されなくなります。

●電力検出値(ED 値)取得機能

本 LSI は受信電解強度(RSSI)を電力検出値(以降 ED 値)として表示する機能を持っています。
ED 値の取得は、[ED_CNTRL]レジスタ(B0 0x1b)の bit7(ED_CALC_EN)に 0b1 に書き込み RX_ON 状態に設定すると、自動的に ED 値の取得を開始し、取得した ED 値は[ED_RESULT]レジスタ(B0 0x16)で表示します。ED 値は、RX_ON かつ ED_CALC_EN=0b1 の時に、常に最新の値に更新されます。但し、CCA 実行中またはダイバーシティサーチ中には、ED 値は更新されず、動作完了後に更新されます。

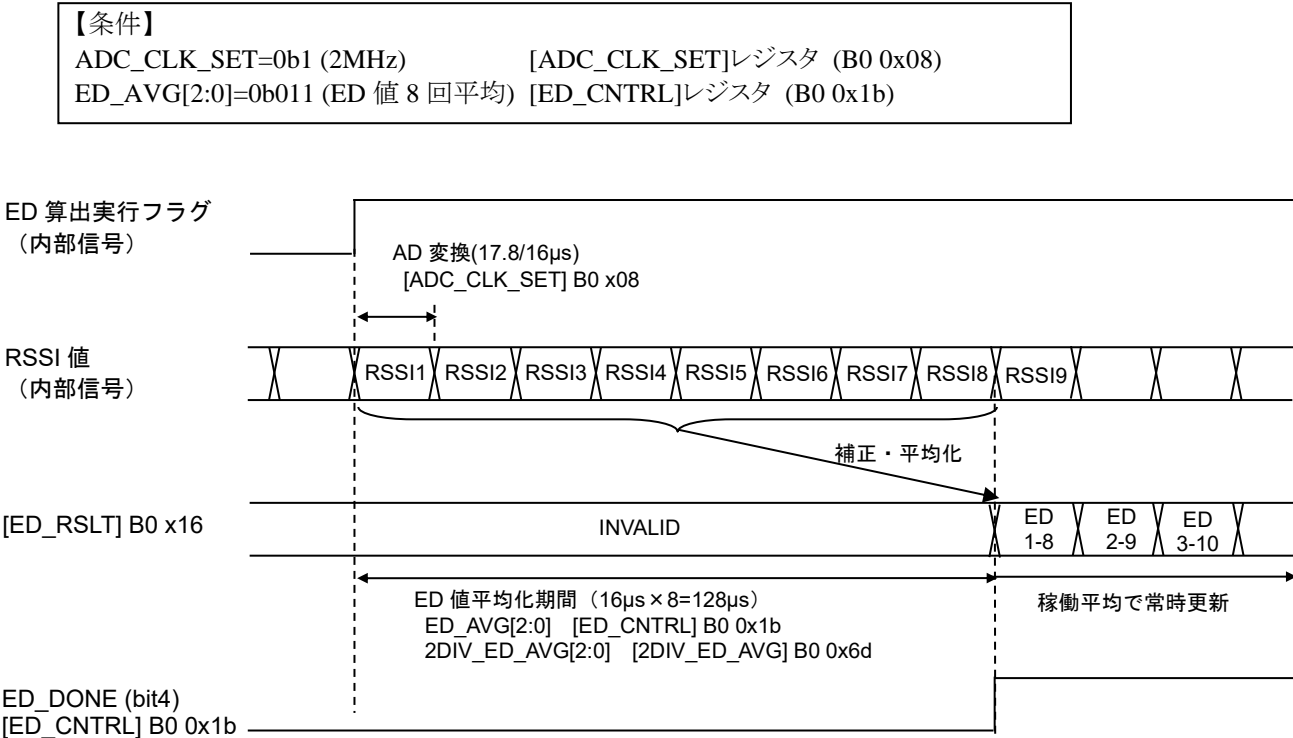
ED 値は、ある瞬間の RSSI 値ではなく平均化された値で表示されます。平均化する回数は[ED_CNTRL]レジスタ(B0 0x1b)の bit2-0 (ED_AVG[2:0])で設定されます。また、ダイバーシティの時は[2DIV_ED_AVG]レジスタ(B0 0x6d)の bit2-0 (2DIV_ED_AVG[2:0])で設定されます。平均化回数分 ED 値を取得した時点で[ED_CNTRL]レジスタの bit4(ED_DONE)に 0b1 が設定されるとともに、[ED_RSLT]レジスタが更新されます。

ED_DONE ビットは、以下のいずれかの条件が成立するとクリアされます。

- ① ゲインが切り替わった場合
- ② 一度 ED 値取得を停止し、再開した場合
- ③ アンテナが切り替わった場合 (ダイバーシティ時)

ED 値の算出開始から、ED 値が表示されまでにかかる時間は
ED 値平均化時間 = AD 変換時間(17.8μs/16μs) * ED 値平均回数
(AD 変換時間は、[ADC_CLK_SET]レジスタ(B0 0x08)の設定で決まります。初期値は 1.8MHz となり AD 変換時間は 17.8μs となります。)

以下に、タイミングチャートを示します。



○ED 値変換式について

入力レベルと ED 値の関係は標準的には以下の式で表されます。CCA 実行時には BPF 設定を変更しているため通常時より ED 値は大きくなります。そのため、通常時の ED 値に対して補正値を加える必要があります。

なお、ここでの入力レベルは応用回路例のアンテナ端子でのレベルになります。またアンテナスイッチのロスは 0.5dB となります。

[200kbps 以下]

$$\text{ED 値} = 255/70 * (107 + \text{入力レベル[dBm]} - \text{バラツキ} - \text{その他損失}) + \text{CCA 時補正}$$

[400kbps]

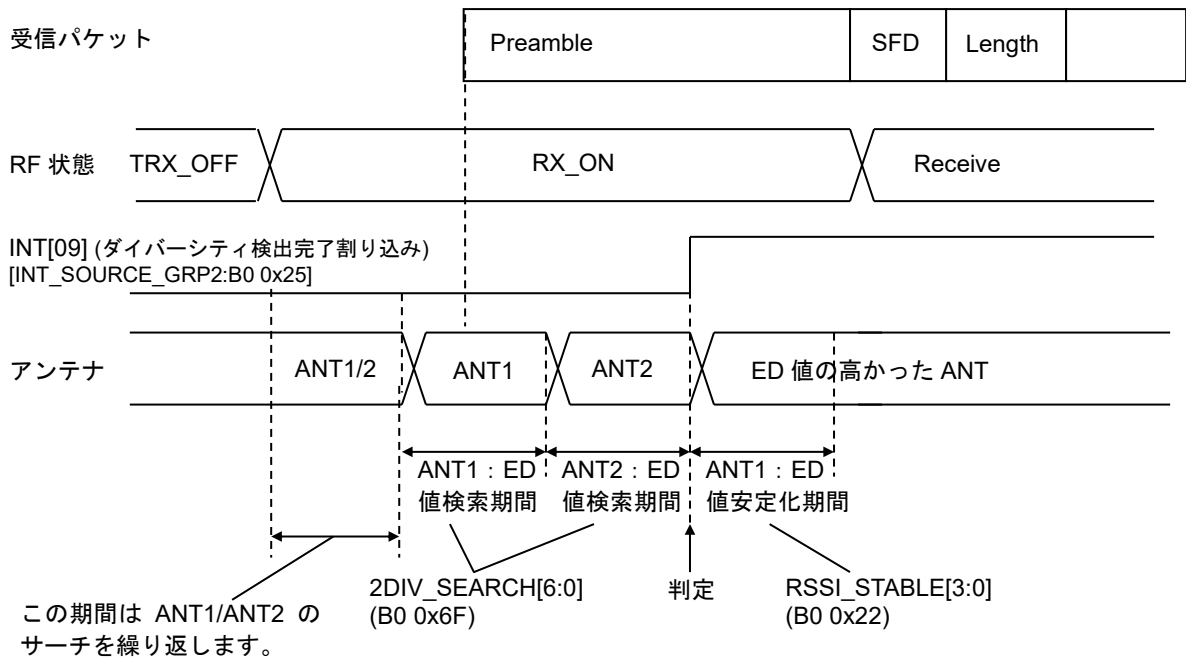
$$\text{ED 値} = 255/62 * (99 + \text{入力レベル[dBm]} - \text{バラツキ} - \text{その他損失})$$

項目	値
バラツキ(固体、温度)	6dB
その他損失	アンテナ、整合回路等の損失
CCA 時補正	12@100kbps, 16@200kbps, 0@その他レート ※ML7396D はどの条件でも 0

●ダイバーシティ機能

本 LSI は 2 アンテナダイバーシティ機能を搭載しています。
[2DIV_CNTRL]レジスタ(B0 0x71)の bit0(2DIV_EN)を 0b1 にセットした状態で RF を受信状態(RX_ON)に設定するとダイバーシティモードが起動いたします。ダイバーシティモードが起動すると、受信データ検出時にアンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナを使用するよう制御します。ダイバーシティ機能はプリアンプルデータの ED 値を取得するため送信側のプリアンプルデータ長は十分に長い値である必要があります。プリアンプルデータ長が短いと正確な ED 値の取得が出来ませんのでご注意願います。

以下にタイムチャートを示します。



ダイバーシティにより取得した ED 値([ANT1_ED]レジスタ(B0 0x73)または[ANT2_ED]レジスタ(B0 0x74))およびダイバーシティアンテナ結果([2DIV_RSLT]レジスタ(B0 0x72))はダイバーシティ検出完了割り込み(グループ 2 の INT[09])クリア、受信完了割り込み(グループ 3 の INT[18]/INT[19]の両ビット)クリア時またはダイバーシティ誤完了判定によるアンテナサーチ再自動実行時にクリアされます。よって、ダイバーシティで取得した ED 値およびダイバーシティアンテナ結果は受信完了割り込みクリア前にリードしてください。また、データ受信中にダイバーシティ検出完了割り込みをクリアすると、再度ダイバーシティ動作に入るためデータ受信を誤ります。ダイバーシティ検出完了割り込みは、受信完了割り込みと一緒にクリアしてください。

本 LSI は熱雑音などによる誤り検出からの回復機能があります。ダイバーシティ検出完了後 ANT サーチタイマ満了時までにはプリアンプルを検出できない場合には、最初のプリアンプル検出が誤検出から引き起こされた誤ったダイバーシティ検出完了であると判断し、アンテナサーチを再自動実行いたします。本動作に対する上位 MCU からのレジスタ設定は不要です。次パケット受信のためダイバーシティを行う場合には、上位 MCU は受信完了後に受信完了割り込みおよびダイバーシティ検出完了割り込みをクリアしてください。

【ご注意】

- 熱雑音による誤検出から引き起こされた誤ったダイバーシティ完了の場合、ML7396 はアンテナサーチを再自動実行しますが、誤検出判定までの間に希望波を受信した場合、[ANT1_ED]レジスタ(B0 0x73)または[ANT2_ED]レジスタ(B0 0x74)で取得した ED 値は、実際の入力レベルとは異なる低い ED 値を表示する場合があります。本事象の発生した場合の実際の希望派の ED 値は SFD 検出割り込み(グループ 2 の INT[11])発生後に[ED_RSLT: B0 0x16]レジスタを読み出すことで取得できます。
- ダイバーシティ誤完了発生直後に[RF_STATUS]レジスタ(B0 0x6c)にて送信に切替えた場合、次の受信時ではアンテナサーチは完了していると判断し、アンテナサーチは実行されません。この場合、次の受信開始前までにダイバーシティ検出完了割り込み(グループ 2 の INT[09])をクリアしてください。

○アンテナスイッチ制御

[2DIV_CNTRL]レジスタ(B0 0x71)の bit1～bit3 および[RF_CNTRL_SET]レジスタ(B0 0x75)にて、2 種類のアンテナスイッチ (SPDT スイッチ/DPDT スイッチ)制御が可能です。それぞれのアンテナスイッチ制御時の ANT_SW 端子(#20)および TRX_SW 端子(#21)の出力状態と[2DIV_CNTRL]レジスタ(B0 0x71)の bit1-2 との関係を以下に示します。

① DPDT スイッチ使用時

2PORT_SW([2DIV_CNTRL]レジスタ(B0 0x71)の bit1)を 0b1 に、ANT_CTRL1([2DIV_CNTRL]レジスタ(B0 0x71)の bit5)を 0b0 に設定します。アイドル、送信時、受信時での ANT_SW 端子、TRX_SW 端子は以下の通り出力されます(デフォルト設定)。INV_TRX_SW([2DIV_CNTRL]レジスタ(B0 0x71)の bit2)を 0b1 に設定した場合、ANT_SW 端子(#20)と TRX_SW 端子(#21)の極性が反転します。

送受信状態	INV_TRX_SW=0b0 (デフォルト設定)		INV_TRX_SW=0b1 (極性反転時)		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	H	L	L	H	アイドル時の状態です。
送信時	L	H	H	L	送信時の状態です。
受信時	H	L	L	H	ダイバーシティディセーブル([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b1 に設定)時のダイバーシティ開始時は本状態となります。
	L/H	H/L	H/L	L/H	ダイバーシティイネーブル ([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b1 に設定)時は、サーチ中(ANT_SW=H、TRX_SW=L)と(ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

② SPDT スイッチ使用時

2PORT_SW([2DIV_CNTRL]レジスタ(B0 0x71)の bit1)を 0b0 に、ANT_CTRL1([2DIV_CNTRL]レジスタ(B0 0x71)の bit5)を 0b0 に設定します。アイドル、送信時、受信時での ANT_SW 端子、TRX_SW 端子は以下の通り出力されます(デフォルト設定)。INV_TRX_SW([2DIV_CNTRL]レジスタ(B0 0x71)の bit2)を 0b1 に設定した場合、TRX_SW 端子(#21)の極性が反転します。

送受信状態	INV_TRX_SW=0b0 (デフォルト設定)		INV_TRX_SW=0b1 (極性反転時)		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	L	L	L	H	アイドル時の状態です。
送信時	L	H	L	L	送信時の状態です。
受信時	L	L	L	H	ダイバーシティディセーブル([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b1 に設定)時のダイバーシティ開始時は本状態となります。
	H/L	L	H/L	H	ダイバーシティイネーブル ([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b1 に設定)時は、サーチ中(ANT_SW=H、TRX_SW=L)と(ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

上記デフォルト設定に対し、INV_ANT_SW([2DIV_CNTRL]レジスタ(B0 0x71)の bit3)を 0b1、ANT_CTRL1([2DIV_CNTRL]レジスタ(B0 0x71)の bit5)を 0b1 に設定することにより、ANT_SW 端子(#20)の極性が反転します。

送受信状態	INV_ANT_SW=0b0 ANT_CTRL1=0b0/0b1 (デフォルト設定)		INV_ANT_SW=0b1 ANT_CTRL1=0b1		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	L	L	H	L	アイドル時の状態です。
送信時	L	H	H	H	送信時の状態です。
受信時	L	L	H	L	ダイバーシティディセーブル([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b1 に設定)時のダイバーシティ開始時は本状態となります。
	H/L	L	L/H	L	ダイバーシティイネーブル ([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b1 に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L) と (ANT_SW=L、TRX_SW=L)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

○アンテナスイッチ強制設定

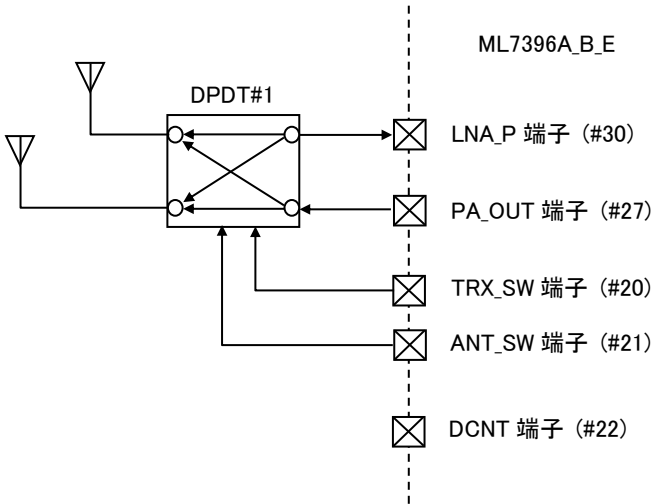
ANT_SW 端子(#20)と TRX_SW 端子(#21)の出力は、[RF_CNTRL_SET]レジスタ(B0 0x75)または、ダイバーシティ未使用時には、[2DIV_RSLT]レジスタ(B0 0x72)の bit1(2DIV_RSLT2)と[2DIV_CNTRL]レジスタ(B0 0x71) の bit2(INV_TRX_SW)により強制設定が可能です。

- ① [RF_CNTRL_SET]レジスタ(B0 0x75)を用いた強制設定
ANT_SW 端子・・・bit1(ANT_SW_EN)を 0b1 に設定することにより bit5(ANT_SW_SET)の設定値が出力されます。
TRX_SW 端子・・・bit0(TRX_SW_EN)を 0b1 に設定することにより bit4(TRX_SW_SET)の設定値が出力されます。
- ② ダイバーシティ未使用時(2DIV_EN([2DIV_CNTRL]レジスタ(B0 0x71)の bit0 を 0b0)の 2DIV_RSLT2とINV_TRX_SWによる強制設定
ANT_SW 端子・・・2DIV_RSLT2 を 0b0 に設定すると ANT_SW 端子は L、0b1 に設定すると ANT_SW 端子は H に設定できます。
TRX_SW 端子・・・INV_TRX_SW を 0b0 に設定すると TRX_SW 端子は L、0b1 に設定すると TRX_SW 端子は H に設定できます。

本強制設定は[RF_CNTRL_SET]レジスタ(B0 0x75)による強制設定が最優先されます。
2DIV_EN([2DIV_CNTRL]レジスタ(B0 0x71)の bit0)を 0b1 に設定した場合には②の設定は無効となります。また、RECEIVE 状態では同期外れを避けるため、全てのアンテナ切り替え設定は禁止となります。

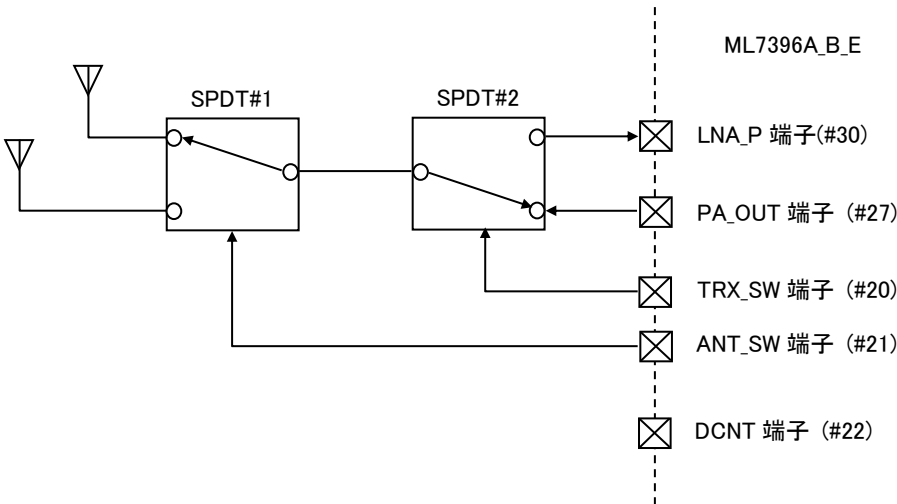
なお、アンテナスイッチ制御信号を以下のように使用することができます。

- 使用例 1) DPDT スイッチ 1 個を使用する場合
2PORT_SW([2DIV_CNTRL]レジスタ(B0 0x71)の bit1)を 0b1 に設定してください。



- (※)外部 PA 制御(DCNT 端子)と同時使用可能です。
(※)LNA_P 端子および PA_OUT 端子とアンテナスイッチ(DPDT#1)間の外付け回路は省略しています。

- 使用例 2) SPDT スイッチ 2 個使用した場合
2PORT_SW([2DIV_CNTRL]レジスタ(B0 0x71)の bit1)を 0b0 に設定してください。



- (※)外部 PA 制御(DCNT 端子)と同時使用可能です。
(※)LNA_P 端子および PA_OUT 端子とアンテナスイッチ(SPDT#2)間の外付け回路は省略しています。

●CCA(Clear Channel Assessment)機能

本 LSI には CCA 機能を持っています。CCA はある周波数チャネルを受信して、そのチャネルが現在使用されているか、空いているかを判定する機能です。本 LSI では通常モード、無限実効モードと IDLE 検出モードの 3 種類のモードがあります。3 種類のモードは下記により設定できます。

【CCA モードの設定】

通常時

CCA モード	[CCA_CNTRL]レジスタ (B0 0x15)		
	Bit4 (CCA_EN)	Bit3 (CCA_IDLE_EN)	Bit5 (CCA_LOOP_START)
通常モード	0b1	0b0	0b0
無限実効モード	0b1	0b0	0b1
IDLE 検出モード	0b1	0b1	0b0

AUTO_ACK 設定時

CCA モード	[AUTO_ACK_SET]レジスタ (B0 0x55)	[CCA_CNTRL]レジスタ (B0 0x15)
	Bit4 (AUTO_ACK_EN)	Bit7 (CCA_AUTO_EN)
IDLE 検出モード	0b1	0b1

アドレスフィルタ設定時

CCA モード	[ADDFIL_CNTRL]レジスタ (B2 0x60)	[PACKET_MODE_SET]レジスタ (B0 0x45)
	Bit4-0	Bit0 (ADDFIL_IDLE_DET)
IDLE 検出モード	いずれかのビットに 0b1 設定	0b1

○通常モード

通常モードは IDLE/BUSY を判定するモードです。CCA_EN ビット=0b1、CCA_IDLE_EN ビット=0b0 かつ CCA_LOOP_START ビット=0b0 を設定している状態で RX_ON をすることで CCA (通常モード)が実行されます。

CCA の判定は[ED_RSLT レジスタ(B0 0x16)]で表示される ED 値の平均値と[CCA_LEVEL]レジスタ(B0 0x13)で設定される CCA の閾値との大小比較で行われます。ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、[CCA_CNTRL]レジスタの CCA_RSLT[1:0] (bit1,0)に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L]、[IDLE_WAIT_H]レジスタ(B0 0x17,0x18) の IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

BUSY または IDLE を検出すると、[CCA_CNTRL]レジスタの CCA_DONE ビット(bit2)に 0b1 が表示されるとともに、CCA 完了割り込み(割り込みグループ 2 の INT[08])が通知され、CCA_EN ビットが 0b0 に自動クリアされます。

CCA 完了割り込みをクリアすると、CCA_RSLT[1:0]は初期化(0b00)されます。CCA_RSLT[1:0]は CCA 完了割り込みをクリアする前に読み出して下さい。

ED 値が[CCA_IGNORE_LEVEL]レジスタ(B0 0x12)で設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が CCA 閾値を超えた場合は BUSY 判定して CCA を完了しますが、ED 値の平均値が CCA_LEVEL よりも小さい場合は IDLE 判定せずに CCA_RSLT[1:0]に 0b11 を表示し、BUSY 判定されるまたは対象の ED 値が平均化対象から外れて IDLE 判定されるまで CCA を継続します。ED 値が CCA_IGNORE_LEVEL を越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

CCA 実行指示してから CCA 完了するまでの時間は下式で算出されます。

[IDLE 判定の場合]

CCA 実行時間 = (ED 値平均回数 + IDLE_WAIT 設定) * AD 変換期間 + フィルタ安定化期間 (AD 変換期間*2)

[BUSY 判定の場合]

CCA 実行時間 = ED 値平均回数 * AD 変換期間 + フィルタ安定化期間 (AD 変換期間*2)

※ 上式は CCA_IGNORE_LEVEL による IDLE 判定除外を考慮しておりません。CCA_IGNORE_LEVEL 動作詳細は”強入力発生時の IDLE 判定除外について”をご参照下さい。

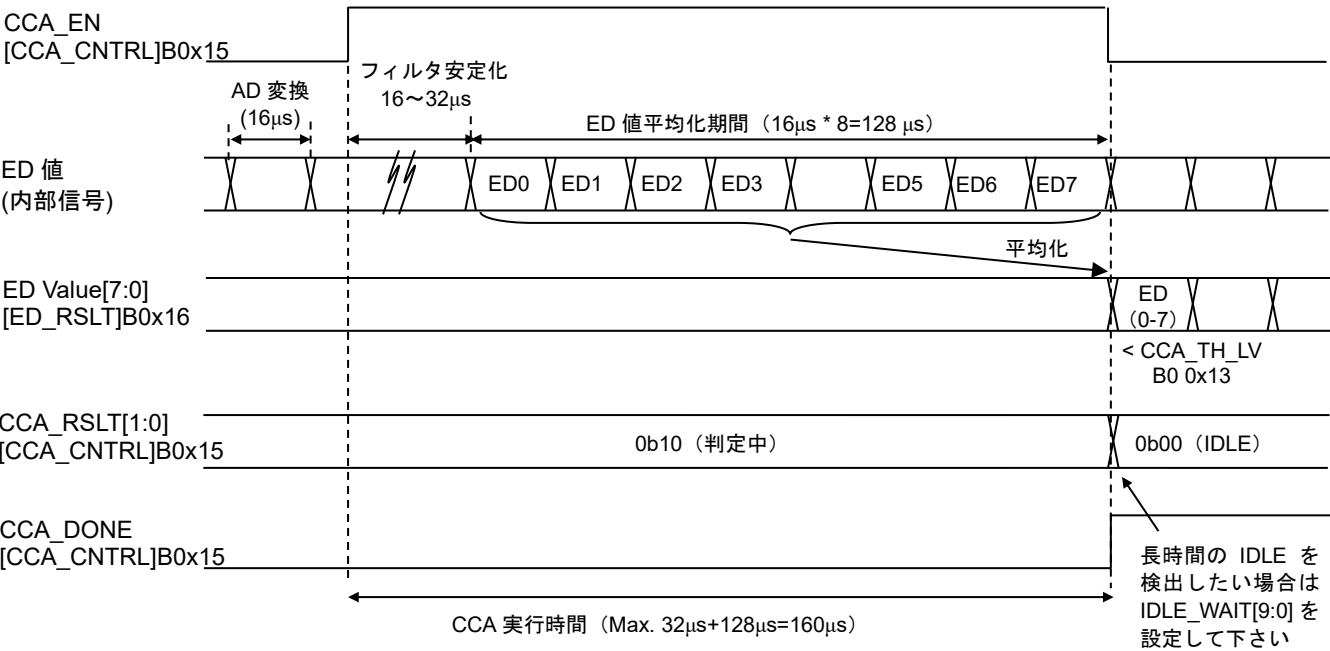
※ AD 変換期間は[ADC_CLK_SET]レジスタ(B0 0x08)の bit4(ADC_CLK_SET)で切替可能です。

ADC_CLK_SET=0b0: 17.8μs , 0b1: 16μs

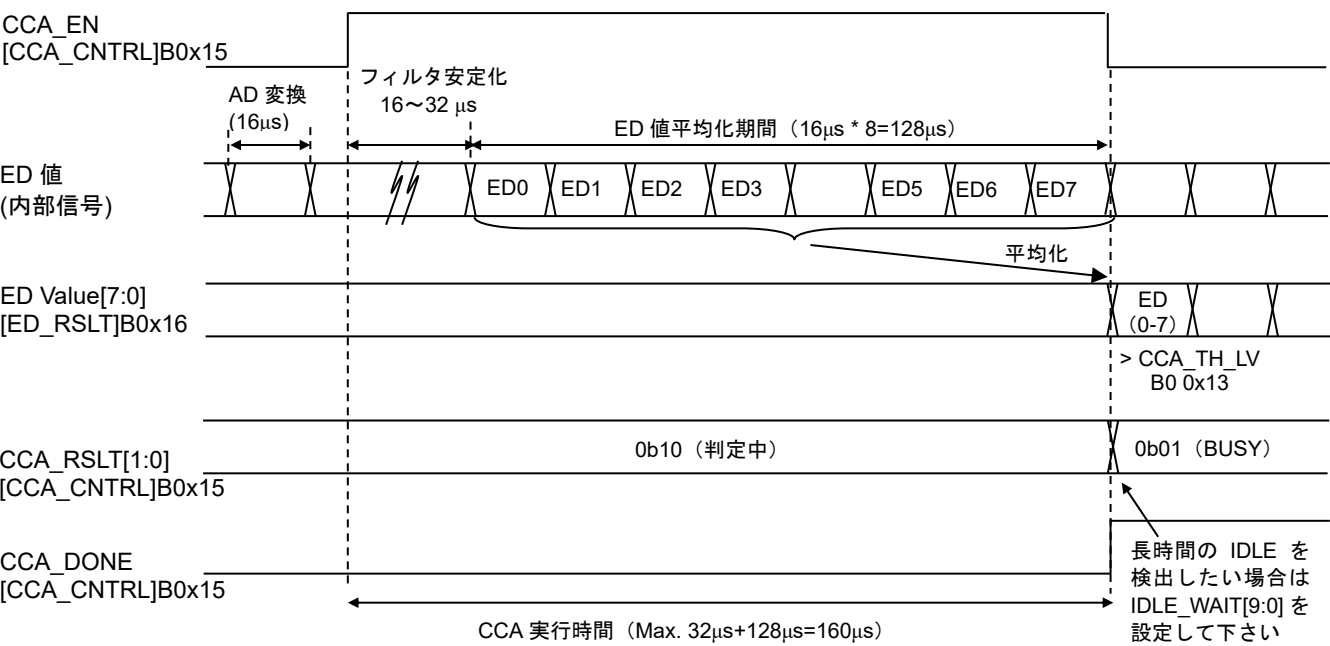
以下に通常モード時のタイムチャートを示します。

【条件】	
ADC_CK_SEL=0b1 (2MHz)	[ADC_CLK_SET]レジスタ (B0 0x08)
ED_AVG[2:0]=0b011 (ED 値 8 回平均)	[ED_CNTRL]レジスタ (B0 0x1b)
IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs)	[IDLE_WAIT_L], [IDLE_WAIT_H]レジスタ (B0 0x17,0x18)

[IDLE 判定したケース]



[BUSY 判定したケース]



【注意】

- CCA 実行時、内部的に無入力状態へ遷移します。無入力状態はフィルタ安定化後、解除されます。
- 無入力から-80dBm まで入力状態が変化したとき、-80dBm の ED 値を表示するのに約 32μs 要します。

○無限実効モード

無限実効モードはホスト CPU からの停止命令があるまで CCA を継続するモードです。CCA_EN ビット=0b1、CCA_IDLE_EN ビット=0b0 かつ CCA_LOOP_START ビット=0b1 を設定している状態で RX_ON をすることで CCA (無限実行モード)が実行されます。

通常モードと同様に CCA の判定は[ED_RSLTレジスタ(B0 0x16)]で表示される ED 値の平均値と[CCA_LEVEL]レジスタ(B0 0x13)で設定される CCA の閾値との大小比較で行われます。ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、[CCA_CNTRL]レジスタの CCA_RSLT[1:0] (bit1,0)に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L]、[IDLE_WAIT_H]レジスタ(B0 0x17,0x18) の IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

ED 値が[CCA_IGNORE_LEVEL]レジスタ(B0 0x12)で設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が CCA_LEVEL よりも大きい場合は BUSY 判定して CCA_RSLT[1:0]に 0b01 を設定しますが、ED 値の平均値が CCA_LEVEL よりも小さい場合は IDLE 判定せずに CCA_RSLT[1:0]に 0b11 を設定します。ED 値が CCA_IGNORE_LEVEL を越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

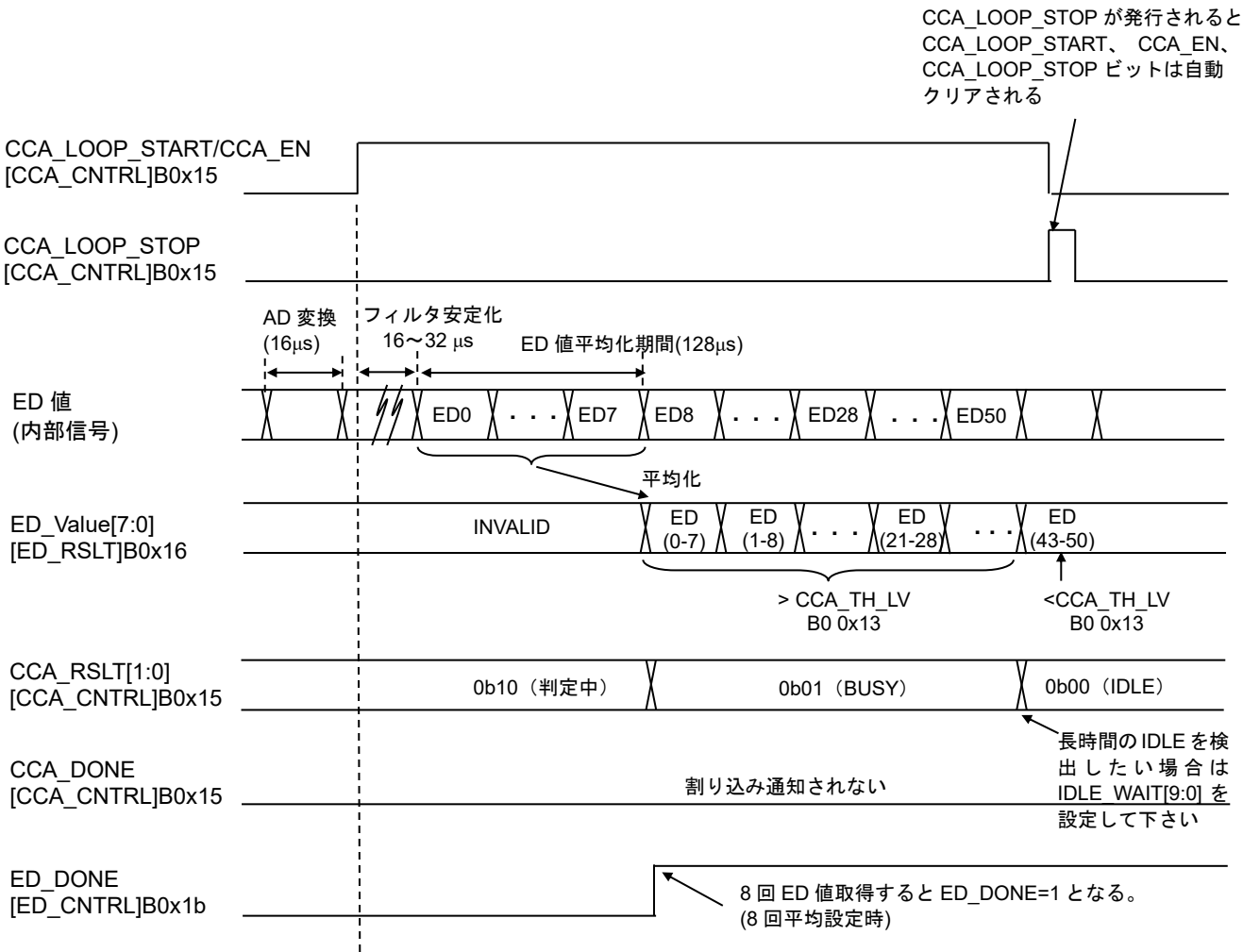
無限実行モードでは、BUSY または IDLE を検出しても自動停止せず、[CCA_CNTRL]レジスタ(B0 0x15)の CCA_LOOP_STOPビット(bit6)に 0b1 が書き込まれるまで CCA 動作を継続し、結果は ED 値取得される度に更新されます。また、CCA_DONE ビット(bit2)は、0b1 にならず、CCA 完了割り込み(割り込みグループ 2 の INT[08])も通知されません。

以下に無限実行モード時のタイムチャートを示します。

【条件】

ADC_CK_SEL=0b1 (2MHz)	[ADC_CLK_SET]レジスタ (B0 0x08)
ED_AVG[2:0]=0b011 (ED 値 8 回平均)	[ED_CNTRL]レジスタ (B0 0x1b)
IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs)	[IDLE_WAIT_L], [IDLE_WAIT_H]レジスタ (B0 0x17,0x18)

[BUSY→IDLE と遷移し、STOP で終了するケース]



【注意】

- CCA 実行時、内部的に無入力状態へ遷移します。無入力状態はフィルタ安定化後、解除されます。
- 無入力から-80dBm まで入力状態が変化したとき、-80dBm の ED 値を表示するのに約 32μs 要します。

○IDLE 検出モード

IDLE 検出モードはIDLEを検出するまでCCAを継続するモードです。CCA_ENビット=0b1、CCA_IDLE_ENビット=0b1かつCCA_LOOP_STARTビット=0b0を設定している状態でRX_ONをすることでCCA(IDLE 検出モード)が実行されます。

また、[AUTO_ACK_SET]レジスタ(B0 0x55)のAUTO_ACK_ENビット=0b1を設定してAUTO_ACK機能を有効にしている場合は、CCA_AUTO_ENビット=0b1に設定することで、ACKパケット送信前にCCA(IDLE 検出モード)が実行されます。さらに、[ADDFIL_CNTRL]レジスタ(B2 0x60)のbit4-0のいずれかに0b1が設定されてアドレスフィルタ機能を有効にしている場合は、[PACKET_MODE_SET]レジスタ(B0 0x45)のADDFIL_IDLE_ENビット=0b1に設定することで、アドレスNG判定後にCCA(IDLE 検出モード)が実行されます。

通常モードと同様にCCAの判定は[ED_RSLT]レジスタ(B0 0x16)で表示されるED値の平均値と[CCA_LEVEL]レジスタ(B0 0x13)で設定されるCCAの閾値との大小比較で行われます。ED値の平均値がCCA閾値を超えた場合はBUSYと判定し、[CCA_CNTRL]レジスタのCCA_RSLT[1:0](bit1,0)に0b01を設定します。ED値の平均値がCCA閾値以下の状態が、[IDLE_WAIT_L]、[IDLE_WAIT_H]レジスタ(B0 0x17,0x18)のIDLE_WAIT[9:0]で設定されるIDLE検出期間継続した場合、IDLEと判定し、CCA_RSLT[1:0]に0b00を設定します。IDLE_WAIT[9:0]の詳細動作は”長時間のIDLE検出について”をご参照下さい。

IDLE 検出モードでは、IDLEを検出した場合のみ[CCA_CNTRL]レジスタのCCA_DONEビット(bit2)に0b1が表示されるとともに、CCA完了割り込み(割り込みグループ2のINT[08])が通知されます。また、CCA_EN設定によりCCAを実行した場合は、IDLE検出後にCCA_ENビットおよびCCA_IDLE_ENビットが0b0に自動クリアされます。

IDLE 検出モードでは、BUSYを検出している間は、CCA完了割り込みを通知せず、IDLE検出を継続します。ただし、AutoAck設定時は、[CCA_ABORT]レジスタ(B0 0x14)で設定される期間が経過すると、CCA_RSLT[1:0](bit1,0)に0b01を設定し、CCA完了割り込みが通知されます。

CCA完了割り込みをクリアすると、CCA_RSLT[1:0]は初期化(0b00)されます。CCA_RSLT[1:0]はCCA完了割り込みをクリアする前に読み出して下さい。

ED値が[CCA_IGNORE_LEVEL]レジスタ(B0 0x12)で設定される値を越えた場合、対象のED値が平均化対象である間はIDLE判定を行いません。この時、ED値の平均値がCCA_LEVELよりも小さい場合においてもIDLE判定せず、CCA_RSLT[1:0]に0b11を表示し、対象のED値が平均化対象から外れてIDLE判定されるまでCCAを継続します。ED値がCCA_IGNORE_LEVELを越えた場合の詳細動作は”強入力発生時のIDLE判定除外について”をご参照下さい。

以下に IDLE 検出モード時のタイムチャートを示します。

[BUSY 検出後、CCA 継続して IDLE 判定したケース]

【条件】

ADC_CK_SEL=0b1 (2MHz)

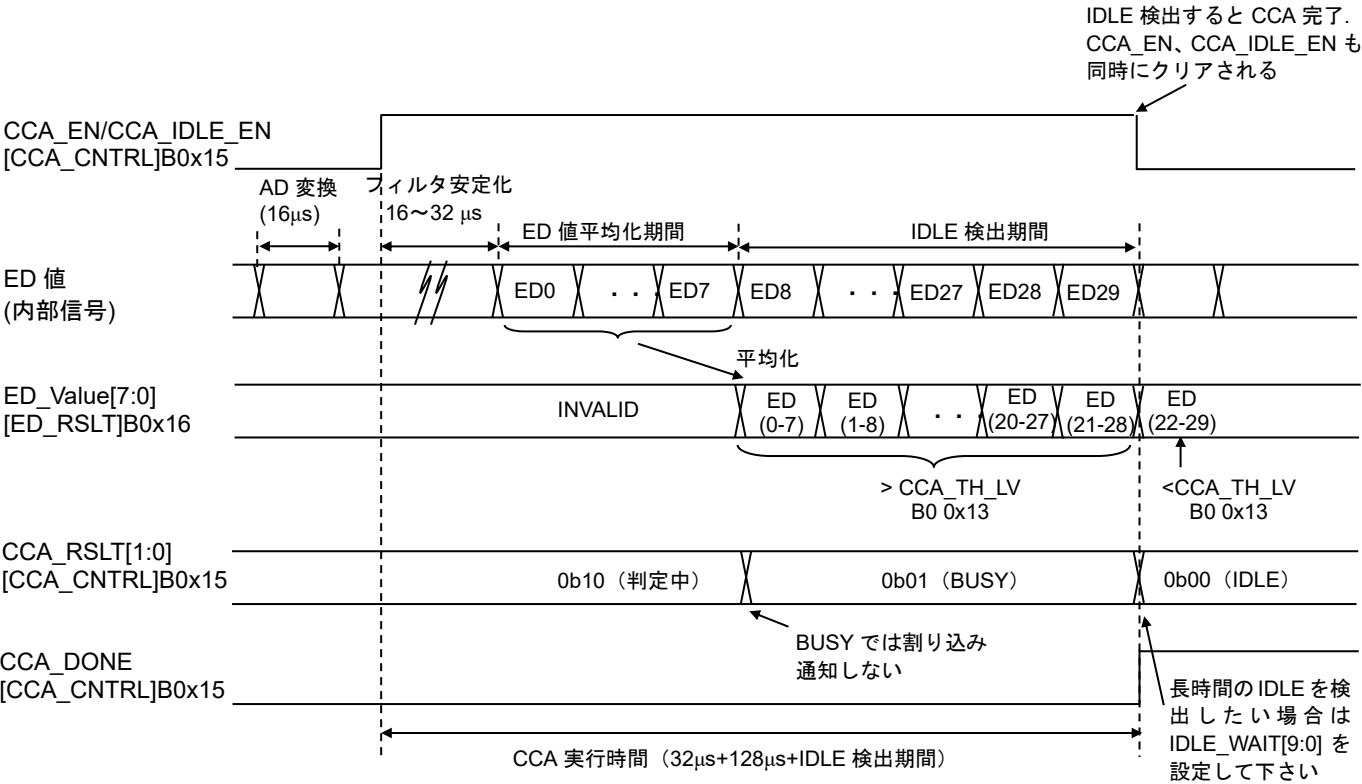
ED_AVG[2:0]=0b011 (ED 値 8 回平均)

IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs)

[ADC_CLK_SET]レジスタ (B0 0x08)

[ED_CNTRL]レジスタ (B0 0x1b)

[IDLE_WAIT_L], [IDLE_WAIT_H]レジスタ (B0 0x17,0x18)



【注意】

- CCA 実行時、内部的に無入力状態へ遷移します。無入力状態はフィルタ安定化後、解除されます。
- 無入力から-80dBm まで入力状態が変化したとき、-80dBm の ED 値を表示するのに約 32μs 要します。

○強入力発生時の IDLE 判定除外について

取得した ED 値が、[CCA_IGNORE_LEVEL]レジスタ(B0 0x12)で設定される値を超えた場合は、そのED値が平均化対象である間は IDLE 判定を行いません。この強入力の ED 値を含む[ED_RSLT レジスタ(B0 0x16)で表示される ED 値の平均値が[CCA_LEVEL]レジスタ(B0 0x13)で設定される CCA 閾値を超えた場合は”キャリアあり(BUSY)”と判定し、[CCA_CNTRL]レジスタの CCA_RSLT[1:0] (bit1,0)に 0b01 を設定します。また、この ED 値の平均値が CCA 閾値以下の場合、”判定中(判定除外の ED 値取得)”とし、CCA_RSLT[1:0]に 0b11 を設定します。

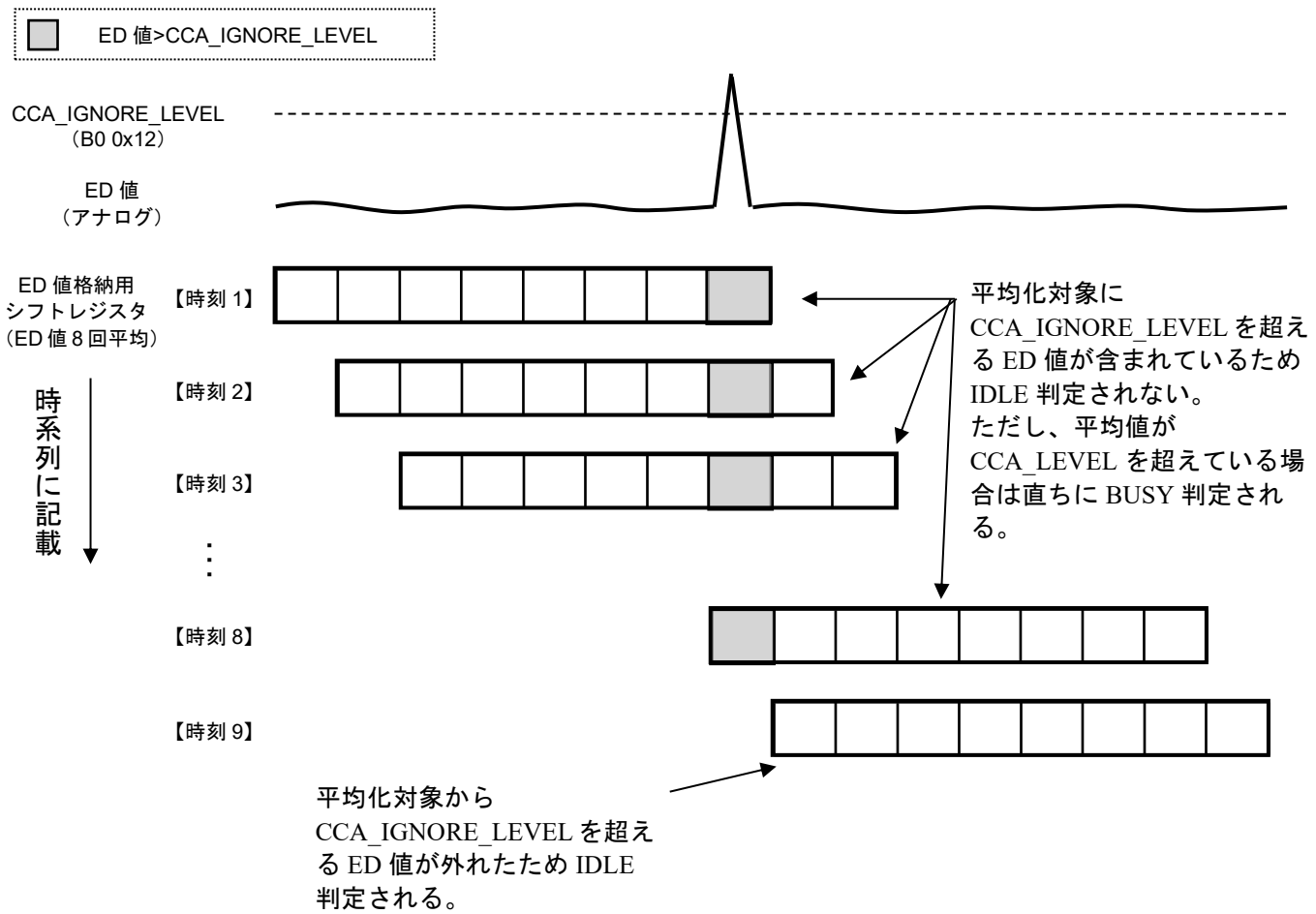
ED 値の移動平均値が[CCA_LEVEL]レジスタ(B0 0x13)以下の場合でも、その移動平均化対象の ED 値に [CCA_IGNORE_LEVEL]レジスタ(B0 0x12)を超えるものが含まれていた場合、IDLE 判定を行いません。この時、[CCA_CNTRL]レジスタの CCA_RSLT[1:0] (bit1,0)には 0b11(判定中)を表示し、IDLE または BUSY 判定されるまで CCA を継続します。(IDLE 検出モードの場合は IDLE 判定されるまで、無限実行モードの場合は CCA_LOOP_STOP が発行されるまで CCA を継続します。)

ED 値の移動平均値が CCA_LEVEL を超えている場合は CCA_IGNORE_LEVEL の比較結果に関わらず直ちに BUSY 判定します。

【注意】

CCA 完了割込みは CCA 結果が IDLE または BUSY 判定された場合にのみ通知されます。従いまして、CCA_IGNORE_LEVEL を超えるデータが断続的に入力されるような環境下においては、IDLE とも BUSY とも判定されずに CCA が継続されることがあります。

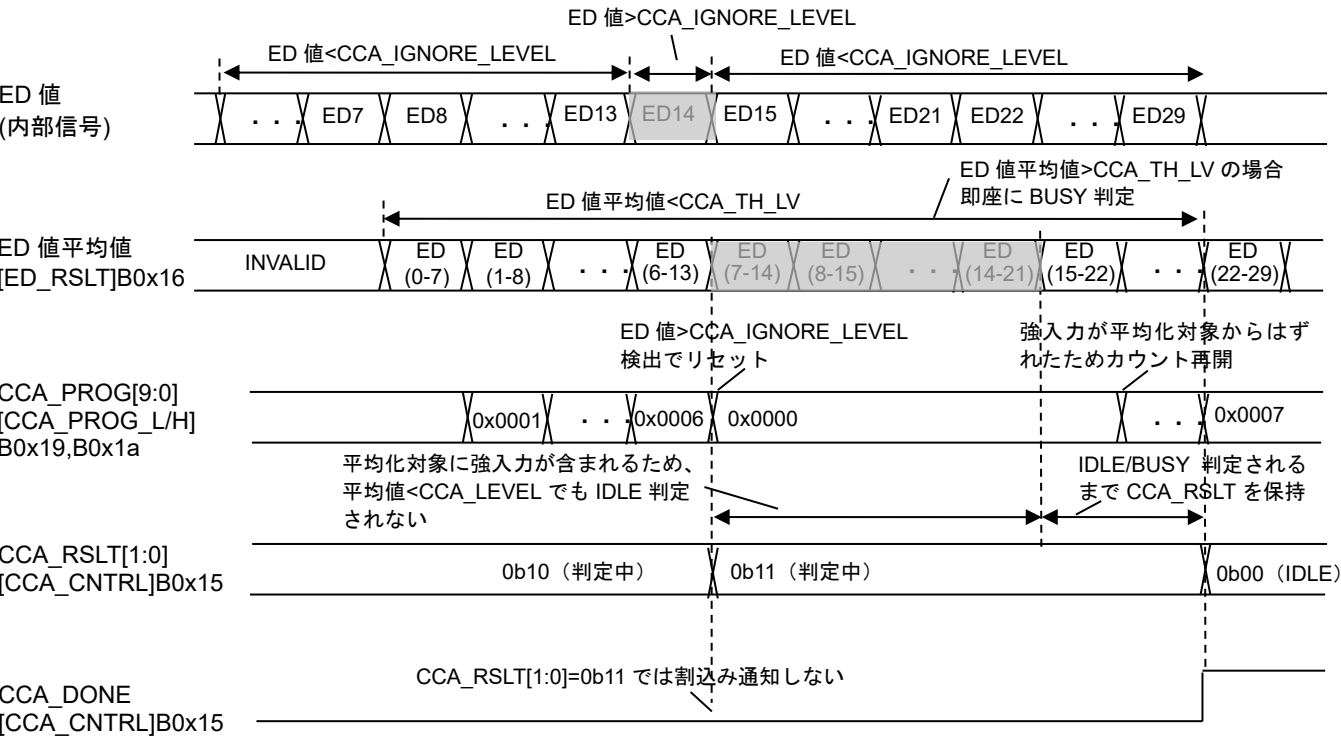
[強入力 ED 値取得時のイメージ図]



以下に強入力ED値取得時のタイムチャートを示します。

[IDLE_WAIT カウント中に強入力検出し、平均化対象から強入力が外れた後に IDLE 判定したケース]

【条件】	
CCA モード	通常モード
ADC_CLK_SEL=0b1 (2MHz)	[ADC_CLK_SET]レジスタ (B0 0x08)
ED_AVG[2:0]=0b011 (ED 値 8 回平均)	[ED_CNTRL]レジスタ (B0 0x1b)
IDLE_WAIT[9:0]=0b00_0000_0111 (IDLE 検出期間 112μs)	[IDLE_WAIT_L]、[IDLE_WAIT_H]レジスタ (B0 0x17,0x18)



【注意】

- CCA 実行時、内部的に無入力状態へ遷移します。無入力状態はフィルタ安定化後、解除されます。
- 無入力から-80dBm まで入力状態が変化したとき、-80dBm の ED 値を表示するのに約 32μs 要します。

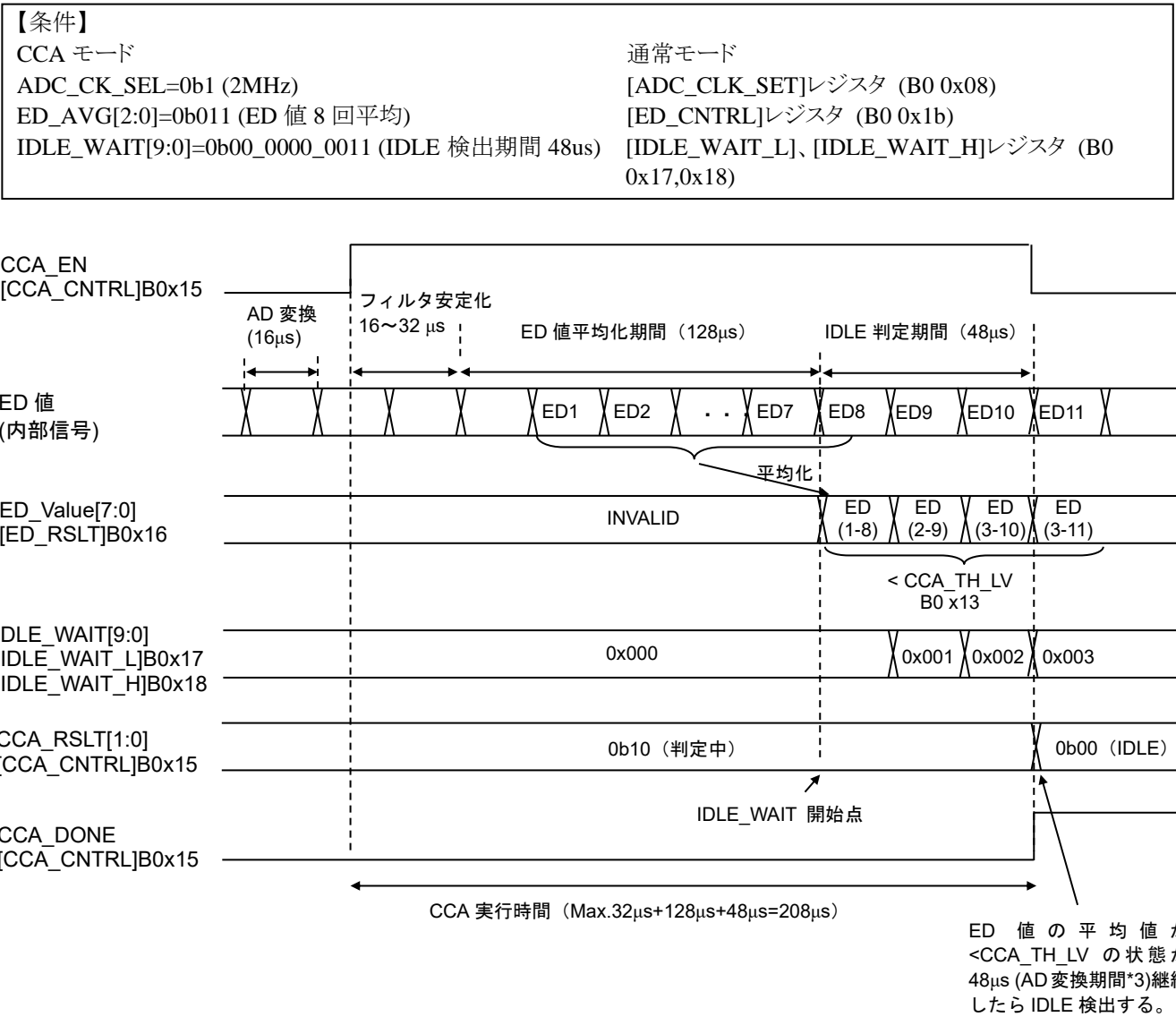
○長時間のIDLE 検出について

長時間でCCAのIDLE判定を行う場合は、[IDLE_WAIT_L]、[IDLE_WAIT_H]レジスタ(B0 0x17,0x18)のIDLE_WAIT [9:0]で設定することができます。

[IDLE_WAIT_L]、[IDLE_WAIT_H]レジスタ(B0 0x17,0x18)のIDLE_WAIT [9:0]を使用することで、平均化期間(AD変換 16μs、8回平均設定の場合 128μs)よりも長い期間のIDLEを検出することが可能です。本機能は、ED値の移動平均値が[CCA_LEVEL]レジスタ(B0 0x13)以下の状態が何度継続したかカウントし、継続回数がIDLE_WAIT [9:0]以上となった場合にIDLE判定する機能です。本機能を使用している場合でも、ED値の移動平均値がCCA_LEVELを越えた場合はIDLE_WAIT [9:0]期間を待たずに直ちにBUSY判定します。

以下にIDLE_WAIT[9:0]を設定した時のタイムチャートを示します。

[ED値8回平均でIDLE判定したケース]

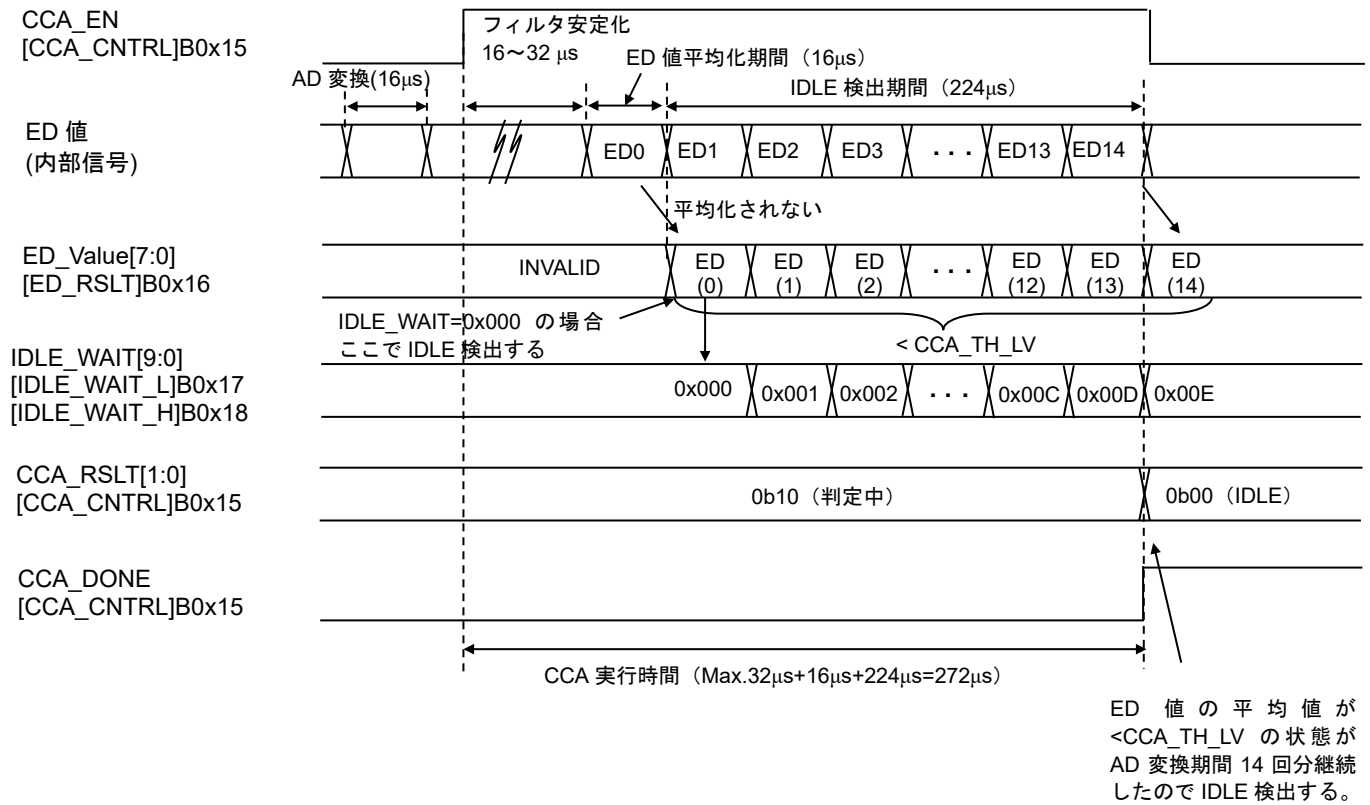


【注意】

- CCA実行時、内部的に無入力状態へ遷移します。無入力状態はフィルタ安定化後、解除されます。
- 無入力から-80dBmまで入力状態が変化したとき、-80dBmのED値を表示するのに約32μs要します。

[ED 値 1 回平均で IDLE 判定したケース]

【条件】	
CCA モード	通常モード
ADC_CK_SEL=0b1 (2MHz)	[ADC_CLK_SET]レジスタ (B0 0x08)
ED_AVG[2:0]=0b000 (ED 値 1 回平均)	[ED_CNTRL]レジスタ (B0 0x1b)
IDLE_WAIT[9:0]=0b00_0000_1110 (IDLE 検出期間 224μs)	[IDLE_WAIT_L]、[IDLE_WAIT_H]レジスタ (B0 0x17,0x18)



【注意】

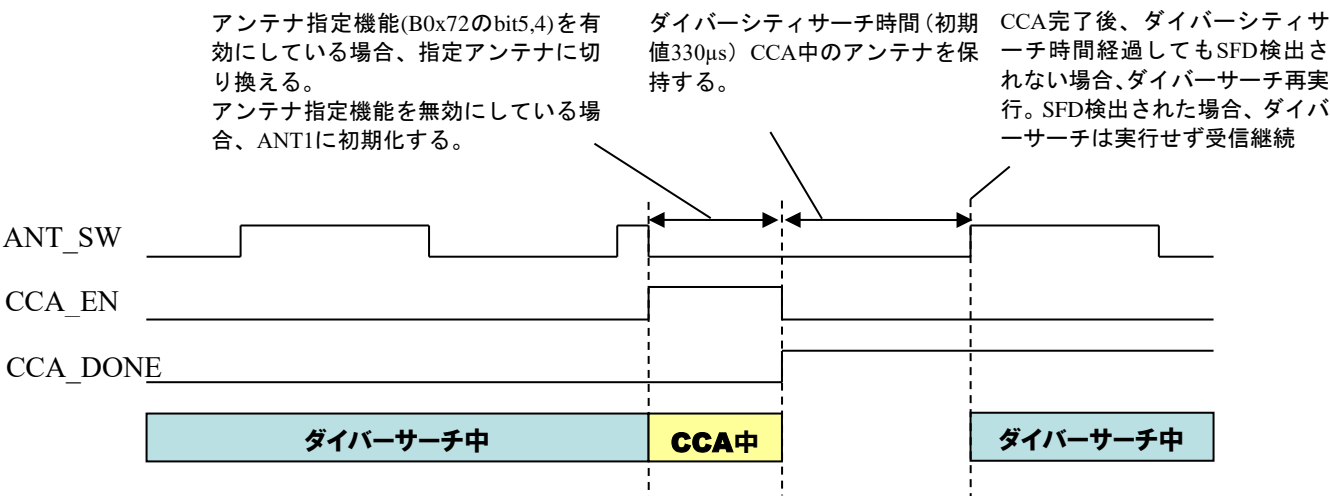
- CCA 実行時、内部的に無入力状態へ遷移します。無入力状態はフィルタ安定化後、解除されます。
- 無入力から -80dBm まで入力状態が変化したとき、-80dBm の ED 値を表示するのに約 32μs 要します。

○ダイバーシティ使用時の CCA 実行について

(1)ダイバーサーチ中の CCA 実行動作

ダイバーサーチ中に CCA 実行指示した場合、ダイバーサーチを中止し、CCA が動作します。
CCA が動作すると、アンテナは初期値(※1)に固定され、次にダイバーサーチされるまで保持されます。ただし、TX_ANT_EN ([2DIV_RSLT]レジスタ(B0 0x72)の bit5)を有効にしている場合はTX_ANT ([2DIV_RSLT]レジスタ(B0 0x72)の bit4)で指定したアンテナに固定され、次にダイバーサーチされるまで保持されます。
CCA 完了後、[2DIV_SEARCH]レジスタ(B0 0x6f)の bit6-0 で設定されるダイバーシティサーチ時間分 (default 約 330 μs) 経過しても SFD 検出されない場合、ダイバーサーチが再実行されます。CCA 中または CCA 完了後に SFD 検出された場合は RECEIVE 状態を継続し、ダイバーサーチは実行されません。

※1：“ダイバーシティ機能”の“アンテナスイッチ制御”の各表“受信時”欄上段の設定になります。



【注意】

ダイバーサーチ中に CCA 実行する場合、CCA 完了割り込み待ちにタイムアウトを設定してください。ダイバーサーチ完了と CCA 実行のタイミングが重なった場合、CCA 完了割り込み(割り込みグループ 2 の INT[08])が通知されないことがあります。タイムアウトした場合は CCA 結果([CCA_CNTRL]レジスタ(B0 0x15)の bit1-0(CCA_RSLT))には最新の結果が格納されています。CCA を再実行する場合は CCA_LOOP_STOP([CCA_CNTRL]レジスタ(B0 0x15)の bit6)に 0b1 を設定後、CCA 実行して下さい。

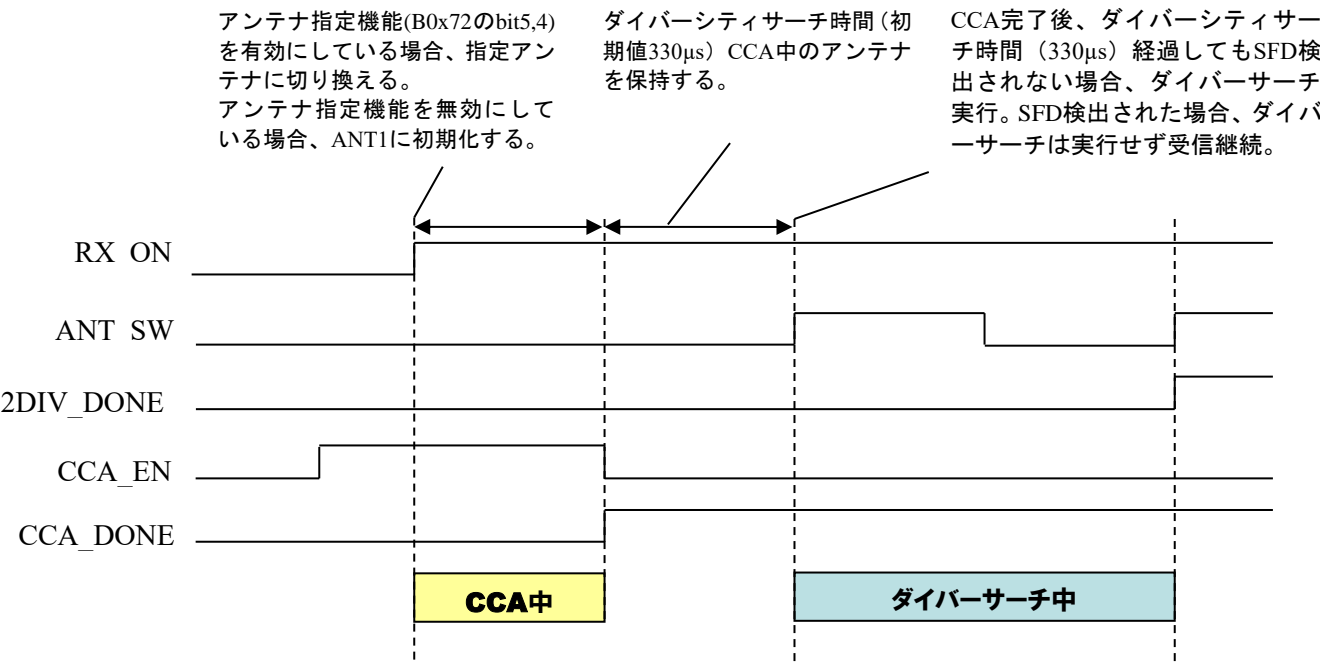
タイムアウト時間につきましては、“通常モード”に記載の CCA 実行時間を参照し、適切な時間を設定して下さい。
ダイバーシティ使用時の CCA 実行フローについては、フローチャートの”2 ダイバーシティ動作中の CCA 実行”をご参照下さい。

なお、CCA 中は受信動作が並行していますので、CCA_DONE が通知されない場合でも、SFD 検出割り込み(割り込みグループ 2 の INT[11])、受信 FIFO アクセスエラー割り込み(割り込みグループ 2 の INT[14])、FIFO-Full 割り込み(割り込みグループ 1 の INT[05])、受信完了割り込み(割り込みグループ 3 の INT[18]/INT[19])、CRC 検出エラー割り込み(割り込みグループ 3 の INT[20]/INT[21])が通知されることがあります。

ダイバーシティ機能詳細につきましては、“ダイバーシティ機能”をご参照下さい。

(2) ダイバーシティ ON 時、RX_ON 前に CCA 実行設定した場合の動作

RX_ON 遷移前にダイバーシティ ON 設定および CCA 実行設定した場合、RX_ON 遷移後、ダイバーサーチ動作せずに CCA が動作します。
CCA 完了後、[2DIV_SEARCH]レジスタ(B0 0x6f)の bit6-0 で設定されるダイバーシティサーチ時間分(default 約 330μs)経過しても SFD 検出されない場合、ダイバーサーチが実行されます。CCA 中または CCA 完了後に SFD 検出された場合は RECEIVE 状態を継続し、ダイバーサーチは実行されません。



●SFD 検出機能

本 LSI は、フレーム同期パターンの検出機能を持っています。2 面の SFD パターン格納エリアを持つことにより、IEEE 802.15.4g で定義される”MRFSKSFD”および、”FEC の有無”で可変する SFD パターンを検出することができます。詳細は IEEE 802.15.4g 規格書を参照してください。

【注意】

SFD の初期値(B0 0x3A~0x41)は、2 面とも、IEEE 802.15.4d の SFD (1byte: 0xA7)となっています。

IEEE 802.15.4g では、phyMRFSKSFD パラメータで定められる SFD グループと、FEC の有無 (coded: FEC あり、uncoded: FEC なし) で選択される 2byte で構成される 4 種類の SFD が定義されています。

本 LSI では、[PACKET_MODE_SET]レジスタ(B0 0x45)の bit6(MRFSKSFD)および[FEC/CRC_SET]レジスタ(B0 0x46)の bit6(FEC_EN)の組み合わせにより送信時に付加される SFD パターン、受信で待ち受ける SFD パターンが[SFD1_SET1]から[SFD1_SET4]レジスタ(B0 0x3a - 0x3d)で設定する 4 バイトの SFD1 データ、および[SFD2_SET1]から[SFD2_SET4]レジスタ(B0 0x3e - 0x41)で設定する 4 バイトの SFD2 データから下記のように選択されます。

1)送信時

① SFD 長が 2 バイト以下の場合 (IEEE 802.15.4g フォーマット)

FEC_EN	MRFSKSFD	
	0	1
0	SFD1[15:0]	SFD2[15:0]
1	SFD1[31:16]	SFD2[31:16]

② SFD 長が 3 バイト以上の場合 (独自フォーマット)

FEC_EN	MRFSKSFD	
	0	1
0/1	SFD1[31:0]	SFD2[31:0]

2)受信時

SFD 長が 2 バイト以下で FEC_EN=0b1 の場合は、SFD パターンの 2 面待ちを行い、SFD が一致したパターンに従い FEC 処理を行います。それ以外の場合は 1 面待ちを行い uncoded として SFD 以降のデータ処理を行います。

① SFD 長が 2 バイト以下の場合 (IEEE 802.15.4g フォーマット)

FEC_EN	MRFSKSFD	SFD パターン		SFD 検出	SFD 以降のデータ処理
		uncoded	coded		
1	0	SFD1[15:0]	SFD1[31:16]	2 面待ち	uncoded と一致した場合は FEC 復号しません coded と一致した場合は FEC 復号します
1	1	SFD2[15:0]	SFD2[31:16]	2 面待ち	uncoded と一致した場合は FEC 復号しません coded と一致した場合は FEC 復号します
0	0	SFD1[15:0]	-	1 面待ち	uncoded として処理
0	1	SFD2[15:0]	-	1 面待ち	uncoded として処理

② SFD 長が 3 バイト以上の場合 (独自フォーマット)

FEC_EN	MRFSKSFD	SFD パタン		SFD 検出	SFD 以降のデータ処理
		uncoded	coded		
1	0	SFD1[31:0]	-	1 面待ち	uncoded として処理
1	1	SFD2[31:0]	-	1 面待ち	uncoded として処理
0	0	SFD1[31:0]	-	1 面待ち	uncoded として処理
0	1	SFD2[31:0]	-	1 面待ち	uncoded として処理

従いまして IEEE 802.15.4g で標準 2 バイトの SFD で使用する場合の推奨設定値は下記ようになります。:

レジスタ名	アドレス (Bank 0)	設定値
SFD1_SET1	0x3a	0x09
SFD1_SET2	0x3b	0x72
SFD1_SET3	0x3c	0xF6
SFD1_SET4	0x3d	0x72
SFD2_SET1	0x3e	0x5E
SFD2_SET2	0x3f	0x70
SFD2_SET3	0x40	0xC6
SFD2_SET4	0x41	0xB4

●AUTO_ACK 機能

本 LSI は、Ack 付きパケットの送受信において、上位 MCU の Ack パケット送信を補助する機能を持っています。以下にその機能概要を説明いたします。

【AUTO_ACK 使用時の注意点】

1. FEC 機能と併用することはできません。[FEC/CRC_SET]レジスタ(B0 0x46)の bit6(FEC_EN)を 0b0(FEC ディセーブル)に設定してご使用ください。AutoAck 機能を使用せず、MCU が Ack パケットを送信する場合には FEC 機能は使用可能です。
2. 受信パケットと送信パケットの FCS 長が異なる場合は以下を注意ください。例えば受信データを読み切る前に Ack パケットを送信すると、格納されている読み出し待ちの受信データに送信パケットの FCS 長が適用され正しくデータを読み出せなくなります。Ack パケット送信後に再度データ読み出しを続ける場合には、受信 FIFO から読み出しを始める前に[FEC/CRC_SET:B0 0x45]レジスタを使って、受信パケットの FCS 長に強制設定しておく必要があります。本 LSI では、32bit 長 FCS の Ack パケットをサポートしていないため、データ送信に 32bit 長 FCS を適用し、Ack パケットに 16bit 長 FCS を適用するような場合に上記の状況が発生します。

*Ack 送信時 (MCU から Ack パケット送信を要求)

- 1) 本 LSI は受信データの FrameControl フィールドを解析し、Ack 要求ビットに 0b1 がセットされていると後続の受信データより Sequence Number を取得します。
- 2) 本 LSI は受信完了後、CRC 解析を行い FCS が OK だった場合、Ack パケットの送信準備のため TX_ON 状態へ自動的に移行します。(このとき MCU に対して受信完了割り込み(割り込みグループ 3 の INT[18]または INT[19])を通知します)
- 3) MCU は受信データのアドレスフィールドと Pending データを解析し、Ack 送信要を判断したら、[ACK_FRAME1] と [ACK_FRAME2]レジスタ(B0 0x53/54)に Ack パケットを設定します。
(注意) Ack 送信可否は、MAC ヘッダーまでの解析で分かるので、受信完了前に Ack パケット設定を行っても構いません。
Pending データありの場合は、[ACK_FRAME1]レジスタ(B0 0x53)の Frame Pending ビットを 0b1 に設定する必要があります。
- 4) 本 LSI は、TX_ON 完了後、Ack 送信準備完了割り込み(割り込みグループ 4 の INT[24])を通知されます。Ack 送信準備完了確認後、[AUTO_ACK_SET]レジスタ(B0 0x55)の bit1(ACK_SEND)に 0b1 を設定してください。
- 5) 本 LSI は Ack パケットの送出を開始します。
送出する Ack パケットの Frame Control Field には [ACK_FRAME1]および[ACK_FRAME2]レジスタ(B0 0x53, 0x54)の設定値が適用され、Sequence Number Field には、取得した Sequence Number を自動付加いたします。
- 6) 本 LSI は Ack パケット送出完了後、MCU に対して送信完了割り込み(割り込みグループ 3 の INT[16]またはINT[17])を通知します。
(注意) RF 状態は TX_ON のままなので、IDLE 状態に戻るには、[RF_STATUS]レジスタ(B0 0x6c)で bit[3:0] (SET_TRX)に 0b1000 (TRX_OFF)を設定する必要があります。

*Ack 送信時 (MCU から Ack パケット送信停止を要求)

- 1) 本 LSI は受信データの FrameControl フィールドを解析し、Ack 要求ビットに 0b1 がセットされていると後続の受信データより Sequence Number を取得します。
- 2) 本 LSI は受信完了後、CRC 解析を行い FCS が OK だった場合、Ack パケットの送信準備(TX_ON 制御)へ移行します。(このとき MCU に対して受信完了割り込み(割り込みグループ 3 の INT[18]または INT[19])を通知します)
- 3) 本 LSI は TX_ON 完了後、Ack 送信準備完了割り込み(割り込みグループ 4 の INT[24])を通知し、Ack 送信要求を待ちます。
- 4) MCU は受信データのアドレスフィールドと Pending データを解析し、Ack 送信が不要と判断したら、[RST_SET]レジスタ(B0 0x03)で PHY リセット(bit3)実行後に[AUTO_ACK_SET]レジスタ(B0 0x55)の bit0(ACK_STOP)に 0b1 を設定してください。Ack パケットを破棄し、RF 状態を TRX_OFF に戻します。

5) ACK_STOP を 0b0 に戻してください。また、Ack 送信準備完了割り込みが上がっている場合はクリアしてください。

*Ack 送信時 (タイマー送信を使う):

条件) [ACK_TIMER_EN]レジスタの bit0(AUTO_TIMER_EN)に 0b1 が書き込まれている。

- 1) 本 LSI は受信データの FrameControl フィールドを解析し、Ack 要求ビットに 1 がセットされていると後続の受信データより Sequence Number を取得します。
 - 2) 本 LSI は受信完了後、CRC 解析を行い FCS が OK だった場合、Ack パケットの送信準備(TX_ON 制御)へ移行します。
(このとき上位に対して受信完了割り込み(割り込みグループ 3 の INT[18]または INT[19])を通知します)
 - 3) 本 LSI は TX_ON 完了後、Ack タイマーのカウントが開始され、Ack 送信準備完了割り込み(割り込みグループ 4 の INT[24])を通知し、Ack 送信要求を待ちます。
 - 4) [ACK_TIMER_L]および[ACK_TIMER_H]レジスタ(B0 0x50, 0x51)で設定される時間が経過した後、本 LSI は準備した Ack パケットの送出を開始します。
 - 5) 本 LSI は Ack パケット送出完了後、MCU に対して送信完了割り込み(割り込みグループ 3 の INT[16]または INT[17])を通知します。
- 注意: RF 状態は TX_ON のままなので、IDLE 状態に戻るには、[RF_STATUS]レジスタ(B0 0x6C)で bit[3:0] (SET_TRX) に 0b1000 (TRX_OFF)を設定する必要があります。

【補足機能】

- ・ [CCA_CNTRL]レジスタ(B0 0x15)の bit7(CCA_AUTO_EN)に 0b1 を設定することで、Ack 送信用の CCA を自動実行する機能 (ON/OFF 可)を持っています。

*Ack パケット受信時

条件) [AUTO_ACK_SET]レジスタ(B0 0x55)の bit6(AUTO_RX_EN)に 0b1 が書き込まれている。

- 1) MCU より Ack 要求付のデータパケットを送出完了後、MCU に対して送信完了割り込み(割り込みグループ 3 の INT[16]または INT[17])を通知し、RF 状態を RX_ON にして Ack パケットを待ち受けます。
 - 2) Ack パケット受信完了後、MCU に対して受信完了割り込み(割り込みグループ 3 の INT[18]または INT[19])を通知します。
- 注意: RF 状態は RX_ON のままなので、IDLE 状態に戻るには、[RF_STATUS]レジスタ(B0 0x6C)で bit[3:0] (SET_TRX) に 0b1000 (TRX_OFF)を設定する必要があります。

*Ack パケット受信時 (Ack パケット待ち受けを停止する時)

条件) [AUTO_ACK_SET]レジスタ(B0 0x55)の bit6(AUTO_RX_EN)に 0b1 が書き込まれている。

- 1) MCU より Ack 要求付のデータパケットを送出完了後、MCU に対して送信完了割り込み(割り込みグループ 3 の INT[16]または INT[17])を通知し、RF 状態を RX_ON にして Ack パケットを待ち受けます。
- 2) [AUTO_ACK_SET]レジスタ(B0 0x55)の bit0(ACK_STOP)に 0b1 が書き込み停止要求を発行する。
本 LSI は待ち受けをやめ、RF 状態を TRX_OFF に戻します。

●アドレスフィルタ機能

本 LSI は下記に示す MAC ヘッダー (IEEE802.15.4) の黄色部に特定のデータ列を含むパケットのみを受信する機能を持っています。比較検出するのは、PANID、64bit アドレス、16bit ショートアドレスと I/G ビットで、[ADDFIL_CNTRL] レジスタ(B2 0x20)で設定できます。それぞれの特定データ列は[PANID_L]から[SHT_ADDR1_H]レジスタ(B2 0x61-0x6E)で設定します。宛先のアドレスのみ解析し、送信元のアドレスは解析対象外となります。

【MAC ヘッダーおよびフレームコントロールフィールドの詳細】

Byte : 2	1	0 / 2	0/2/8	0 / 2	0/2/8	variable	2
Frame Control	Sequence Number	Destination PAN identifier	Destination Address	Source PAN identifier	Source address	Frame payload	Frame Chack sequence
Addressing fields							
MAC header						MAC payload	MAC footer

Bits : 0-2	3	4	5	6	7-9	10-11	12-13	14-15
Frame type	Security enabled	Frame pending	Ack. req.	PAN-ID Compression	Reserved	Dest. addressing mode	Frame Version	Source addressing mode

- Destination Addressing Mode: (宛先のアドレスモードを表示します)
- 00: Beacon もしくは Ack パケットを表示 (Beacon は無条件受信します。Ack は受信可否を設定可能です。)
 - 01: 予約 (無条件で破棄します。IEEE802.15.4e で規定する 8bit simple address モードはサポート外です。)
 - 10: 16 ビットアドレス
 - 11: 64 ビットアドレス
- Destination.PAN-ID: (宛先が加入する PAN-ID を表示します。)
- 0xFFFF の場合: ブロードキャスト通信のため無条件で受信 (アドレスモードによらず本条件を優先します。)
 - 16 ビットアドレスモードの場合: 自分の加入している PAN-ID (レジスタにて設定) のみ受信
 - 64 ビットアドレスモードの場合: 本領域は無視します。
- Destination Address: (宛先のアドレスを表示します。)
- 16 ビットアドレスモードの場合: 自分のアドレス (レジスタにて設定) のみ受信
 - 64 ビットアドレスモードの場合: 自分のアドレス (レジスタにて設定) およびマルチキャスト送信 (I/G ビットに 1 が設定) 時のみ受信

【参照】

アドレスフィルタ機能を有効にすることで、パケット解析が実行されます。RX_ACK_CANCEL ([AUTO_ACK_SET:B0 0x55(7)]) で ACK パケットの判定を行う機能では、本機能を有効にする必要があります。(詳細は、[AUTO_ACK_SET] レジスタ(B0 0x55)を参照してください。)

[PACKET_MODE_SET]レジスタ(B0 0x45)の bit5 (ADDFIL_NG_SET) で合致しないデータパケットの処理方法と bit0 (ADDFIL_IDLE_DET)でアドレスフィルタ機能によるパケット破棄完了割り込み(割り込みグループ1の INT[03])のタイミングを設定することが可能です。

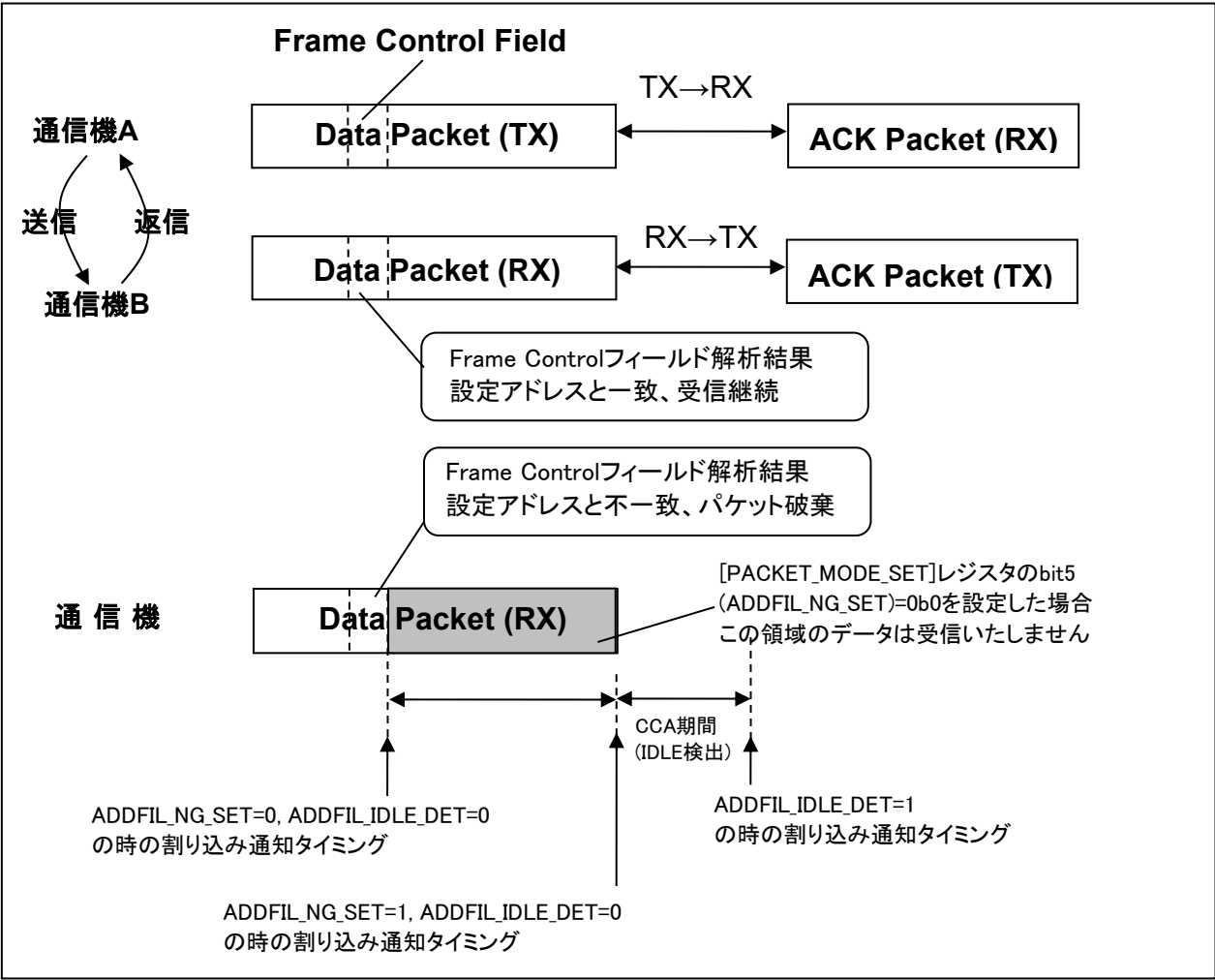
- bit5 (ADDFIL_NG_SET)
- 1: NG 判定後、データ受信完了時にデータを破棄する。
 - 0: NG 判定後、直ちにデータを破棄する。

- bit0 (ADDFIL_IDLE_DET)
- 1: データ破棄後に、IDLE 検出をしたら割り込みを通知
 - 0: データ破棄後に、IDLE 検出をせずに割り込みを通知

データが破棄された場合、MCU に対してアドレスフィルタ機能によるパケット破棄完了割り込みが通知され、破棄されたパケット総数は、[DISCARD_COUNT0]および[DIACARD_COUNT1]レジスタ (B2 0x6f, 0x70)を使って最大 1023 個までカウントできます。

【注意】
FEC 機能を有効にした状態で、アドレスフィルタを使用している場合、アドレスフィルタ機能による破棄割り込みが通知された場合は、必ず[RSET_SET]レジスタ(B0 0x01)で PHY リセットを実行してください。PHY リセットを実行しない場合、その後の正常(自分宛て)パケットを受信できなくなります。

【動作概要】



【割り込み通知タイミング切り替えについて】

[PLL_MON/DIO_SEL]レジスタ(B0 0x69)の bit6(INT_TIM_CTRL)を使って、アドレスフィルタ機能使用時の割り込みタイミングを選択できます。

ADDFIL_NG_SET と ADDFIL_IDLE_DET の設定、CRC 正誤で各 Case を割り振り、各 Case でのアドレスフィルタ破棄割り込み①、CRC エラー割り込み②、CCA 完了割り込み③の発生タイミングを下記に記します。

	設定	設定レジスタ	設定 1		設定 2		設定 3		設定 4	
			Case1	Case2	Case3	Case4	Case5	Case6	Case7	Case8
入力	アドレス不一致後破棄	ADDFIL_NG_SET =0b0 (B0 0x45 bit5)	○	○	-	-	○	○	-	-
	アドレス不一致後、受信完了で破棄	ADDFIL_NG_SET =0b1 (B0 0x45 bit5)	-	-	○	○	-	-	○	○
	アドレス不一致後、CCA 実行	ADDFIL_IDLE_DET=0b1 (B0 0x45 bit0)	-	-	-	-	○	○	○	○
	CRC_OK	-	○	-	○	-	○	-	○	-
	CRC_NG	-	-	○	-	○	-	○	-	○
割り込み結果	アドレスフィルタ破棄割り込み	INT[3] [INT_SOURCE_GRP1]	○	○	○	○	○	○	○	○
	CRC エラー検出割り込み	INT[21/20] [INT_SOURCE_GRP3]	○	○	-	○	○	○	-	○
	CCA 検出完了割り込み	INT[8] [INT_SOURCE_GRP2]	-	-	-	-	○	○	○	○

(1)INT_TIM_CTRL=0b0 設定時 (ML7396 と互換性を持つタイミング)

	PHY HDR	MAC HDR	DATA	CCA (IDLE 検出期間)	
設定 1	Case1		①②		①⇒②:1111ns
	Case2		①②		①⇒②:1111ns
設定 2	Case3			①	
	Case4			①②	①, ②同時
設定 3	Case5		②		③⇒①:555ns
	Case6		②		③⇒①:555ns
設定 4	Case7				③⇒①:555ns
	Case8			②	③⇒①:555ns

(2)INT_TIM_CTRL=0b1 設定時

設定 1	Case1		①		②:1111ns
	Case2		①		①⇒②:1111ns
設定 2	Case3			①	
	Case4			①②	①, ②同時
設定 3	Case5			①	③
	Case6			①	③
設定 4	Case7			①	③
	Case8			①②	③

●割り込み通知機能

本 LSI は割り込み通知機能を持っています。割り込みが発生すると SINTN (ピン#10) の出力を Low にして通知します。割り込み要因は[INT_SOURCE_GRP1]から[INT_SOURCE_GRP4]レジスタ(B0 0x24-0x27) の 4 つのグループに分かれています。また、各割り込みは[INT_EN_GRP1]から[INT_EN_GRP4]レジスタ(B0 0x2A-0x2D)]の各レジスタでマスクすることができます。

【注意】
マスクされていない割り込み要因がひとつでも発生していると、SINTN 端子は Low 出力し続けます。

○割り込み要因表

各グループの割り込み要因を下記にまとめます。

グループ	割り込み名	機能
INT_SOURCE_GRP4	INT[25]	PLL ロック外れ割り込み
	INT[24]	Auto_Ack 準備完了割り込み
INT_SOURCE_GRP3	INT[23]	FIFO1 データ送信要求 受付完了割り込み
	INT[22]	FIFO0 データ送信要求 受付完了割り込み
	INT[21]	FIFO1 受信データ CRC エラー検出割り込み
	INT[20]	FIFO0 受信データ CRC エラー検出割り込み
	INT[19]	FIFO1 データ受信 完了割り込み
	INT[18]	FIFO0 データ受信 完了割り込み
	INT[17]	FIFO1 データ送信 完了割り込み
	INT[16]	FIFO0 データ送信 完了割り込み
INT_SOURCE_GRP2	INT[15]	送信 FIFO アクセスエラー割り込み
	INT[14]	受信 FIFO アクセスエラー割り込み
	INT[13]	送信 Length エラー割り込み
	INT[12]	受信 length エラー割り込み
	INT[11]	SFD 検出割り込み
	INT[10]	RF 状態遷移完了割り込み
	INT[09]	ダイバーシティ検出完了割り込み
	INT[08]	CCA 検出完了割り込み
INT_SOURCE_GRP1	-	
	-	
	INT[05]	FIFO_FULL 割り込み
	INT[04]	FOFO_EMPTY 割り込み
	INT[03]	アドレスフィルタ機能の packets 破棄完了割り込み
	INT[02]	VCO キャリブレーション終了割り込み
	INT[01]	予約
	INT[00]	CLK 安定化終了割り込み

○割り込み発生タイミング

各割り込み通知において、各基点から割り込み発生までの時間、または割り込み発生タイミングを以下に示します。割り込み通知待ちのタイムアウト処理は以下を参照願います。

【注意】

(1)下表中の数値は 100kbps 時の値となります。50kbps、200kbps、400kbps 時は下表中のシンボル時間と記載される数値が、20 (50kbps)、5 (200kbps)、2.5 (400kbps) に置き換えた数値となります。

(2)下表中の数値は下記フォーマットの送受信データを用いた場合です。

10 バイト	2 バイト	2 バイト	24 バイト	2 バイト
プリアンブル	SFD	Length	ユーザデータ	CRC

(3)各割り込み通知をマスク設定した場合でも本 LSI 内部に割り込みを保持した状態となります。よって、割り込みをクリアせずに割り込み通知のマスク設定を解除した場合は割り込みが通知されます。

割り込み通知		基点	基点から割り込み発生までの時間 または、割り込み発生タイミング
INT[0]	CLK 安定化終了	RESETN 解除 (電源投入時)	660μs
		SLEEP 解除 (SLEEP 復帰時)	660μs
INT[1]	予約		
INT[2]	VCO キャリブレーション 終了	VCO キャリブレーション実行開始	230μs
INT[3]	アドレスフィルタ機能のパ ケット破棄完了	SFD 検出	(1)アドレスフィルタ NG 判定時、直ちに破棄通知設定 NG 判定時 (2)データ受信完了後に破棄通知設定 (FEC ディセーブル時) 28byte (Length~CRC) * 8bit * 10(シンボル時間) + 内部遅延(5.55us)= 2245.55μs (FEC イネーブル時) 28byte (Length~CRC) * 2 * 8bit * 10(シンボル時間) + 内部遅延(315.55us) =4795.55μs
INT[4]	FIFO-EMPTY	(送信) TX_ON 命令 (※1)	Emptyトリガレベルを 0x02 と設定していた場合 (FEC ディセーブル時) 37byte(プリアンブル~データ 23 バイト) * 8bit *10(シンボル時間) =2960μs (FEC イネーブル時) (12byte(プリアンブル~SFD) + 25byte(Length~データ 23 バイト) * 2) * 8bit * 10(シンボル時間) + RF 起動・内部遅延(106μs) =5066μs
		(受信)	FIFO リードにより FIFO 残量がトリガレベルを超した時
INT[5]	FIFO-FULL	(送信)	FIFO ライトにより FIFO 残量がトリガレベルを超した時
		(受信)SFD 検出	Fullトリガレベルを 0x05 と設定していた場合 (FEC ディセーブル時) 8byte (Length+データ 6 バイト) * 8bit * 10(シンボル時間))=640μs (FEC イネーブル時) 8byte (Length+データ 6 バイト) * 2 * 8bit * 10(シンボル時間) + (内 部遅延(305μs) =1585μs
(INT[6])	-		
(INT[7])	-		

割込み通知		基点	基点から割込み発生までの時間 または、割込み発生タイミング
INT[8]	CCA 検出完了	CCA 実行開始	<p>(1)通常モード (ED 値平均回数+ IDLE_WAIT[9:0]設定(BB 0x17/18)+2(フィルタ安定化)) * AD 変換期間</p> <p>(2) IDLE 検出モード ○IDLE 判定の場合 (ED 値平均回数+ IDLE_WAIT[9:0]設定(B0 0x17/18)+2(フィルタ安定化)) * AD 変換期間</p> <p>○BUSY 判定の場合 (ED 値平均回数+2(AD 安定化期間)) * AD 変換期間 (※)AD 変換期間は ADC_CLK_SET レジスタ(B0 0x08)の bit4(ADC_CLK_SET)で切替可です。 AD 変換期間=17.7μs (1.8MHz) , 16μs (2.0MHz)となります。 【注意】ダイバーシティ中に CCA を実行する場合は、CCA 検出完了通知にアボートタイマを設定願います。ダイバーシティ中に CCA を実行した場合、稀に CCA 検出完了が通知されない場合があります。</p>
INT[9]	ダイバーシティ検出完了	-	ダイバーシティサーチ完了時
INT[10]	RF 状態遷移完了	TX_ON 命令	(IDLE 時)122μs (受信時)89us
		RX_ON 命令	(IDLE 時) 136μs (送信時)142μs
		TRX_OFF 命令	(送信時)410μs (受信時)11μs
		Force_TRX_OFF 命令	(送信時)410μs (受信時)10μs
INT[11]	SFD 検出	-	SFD 検出時
INT[12]	受信 Length エラー	SFD 検出	80us
INT[13]	送信 Length エラー	-	送信データの FIFO ライト時
INT[14]	受信 FIFO アクセスエラー	-	<p>(1)FIFO0 と FIFO1 にデータが残っている状態で 3 番目のパケット受信を行った時</p> <p>(2)FIFO の読み出しが足らずにオーバーフローが発生した時</p> <p>(3)FIFO を読み出し過ぎアンダーフローが発生した時</p>
INT[15]	送信 FIFO アクセスエラー	-	<p>(1)FIFO0 と FIFO1 にデータが残っている状態で 3 番目のパケット書きこみを行った時</p> <p>(2)FIFO の書き足し時にオーバーフローが発生した時</p> <p>(3)送信中に送信すべきデータがなくなった時</p>
INT[16/17]	FIFO0/FIFO1 データ送信完了	TX_ON 命令 (※1)	<p>(FEC ディセーブル時) 40byte (プリアンプル～CRC) * 8bit * 10(シンボル時間) + RF 起動/ 内部遅延(154μs) = 3354μs</p> <p>(FEC イネーブル時) {12byte (プリアンプル～SFD) + 28byte (Length～CRC) * 2} * 10(シンボル時間) + RF 起動/内部遅延(224μs) = 5664μs</p>

(※1)FIFO に Length 分の送信データを書き込み完了した後、TX_ON 命令を発行し送信する場合

割込み通知		基点	基点から割込み発生までの時間 または、割込み発生タイミング
INT[18/19]	FIFO0/FIFO1 データ受信完了	SFD 検出	(FEC ディセーブル時) 28byte (Length~CRC) * 8bit * 10(シンボル時間) + 内部遅延 (5μs) =2245μs (FEC イネーブル時) 28byte (Length~CRC) * 2 * 8bit * 10(シンボル時間) + 内部遅延 (315μs) =4795μs
INT[20/21]	FIFO0/FIFO1CRC エラー検出	SFD 検出	(FEC ディセーブル時) 28byte (Length~CRC) * 8bit * 10(シンボル時間) + 内部遅延 (5μs) = 2245μs (FEC イネーブル時) 28byte (Length~CRC) * 2 * 8bit * 10(シンボル時間) + 内部遅延 (315μs) =4795μs
INT[22/23]	FIFO0/FIFO1 データ送信要求受付完了	-	Length 分のデータを全て FIFO に書き込み完了時 (FAST_TXFIFOトリガを用いたデータ書き足し時は送信中となります)
INT[24]	AutoAck 準備完了	受信完了	92μs
INT[25]	PLL ロック外れ	-	(送信時)PA イネーブル以降の送信中 (送信時)RX イネーブル以降の受信中

○割り込みクリア条件

割り込み通知		割り込みクリア可能条件
INT[0]	CLK 安定化終了	割り込み発生後
INT[1]	予約	
INT[2]	VCO キャリブレーション終了	割り込み発生後
INT[3]	アドレスフィルタ機能の packets 破棄完了	割り込み発生後
INT[4]	FIFO-EMPTY	割り込み発生後 (次の EMPTY トリガ発生タイミングまでにクリア)
INT[5]	FIFO-FULL	割り込み発生後 (次の FULL トリガ発生タイミングまでにクリア)
INT[6]	-	
INT[7]	-	
INT[8]	CCA 検出完了	割り込み発生後 (次の CCA 実行までにクリア) ※ただし、割り込みクリアにより CCA 結果もクリアされます。
INT[9]	ダイバーシティ検出完了	データ受信完了通知 (INT[18/19]) 発生後、データ受信完了通知割り込みクリアとともにクリア ※データ受信中はクリア不可です。
INT[10]	RF 状態遷移完了	割り込み発生後
INT[11]	SFD 検出	割り込み発生後
INT[12]	受信 Length エラー	割り込み発生後
INT[13]	送信 Length エラー	割り込み発生後
INT[14]	受信 FIFO アクセスエラー	割り込み発生後
INT[15]	送信 FIFO アクセスエラー	割り込み発生後 (次の packets 送信前までにクリア)
INT[16/17]	FIFO0/FIFO1 データ送信完了	割り込み発生後 (次の packets 送信前までにクリア)
INT[18/19]	FIFO0/FIFO1 データ受信完了	割り込み発生後 (次の packets 受信前までにクリア)
INT[20/21]	FIFO0/FIFO1CRC エラー検出	割り込み発生後 ※ただし、割り込みクリアにより CRC 結果 (CRC_RSLT1/0) もクリアされます。
INT[22/23]	FIFO0/FIFO1 データ送信要求受付完了	データ送信完了通知 (INT[16/17]) 発生後 (次の packets 送信前までにクリア) ※データ送信中はクリア不可です。
INT[24]	AutoAck 準備完了	割り込み発生後
INT[25]	PLL ロック外れ	割り込み発生後 (次の packets 送受信前までにクリア)

●温度表示機能

本 LSI は、温度情報を取得する機能があります。この温度情報は A_MON 端子(ピン#24)でアナログ出力として、または [TEMP_MON]レジスタ (B0 0x79)でデジタル出力のどちらかで取得することができます。このアナログ出力とデジタル出力の切り替えは,[RSSI/TEMP_OUT]レジスタ(B1 0x03)で設定できます。

【注意】

1. [RSSI/TEMP_OUT]レジスタ(B1 0x03)の bit4 (TEMP_OUT)と bit5(TEMP_ADC_OUT)を同時に 0b1 に設定しないでください。正しい値が読めなくなります。
2. デジタル出力設定(TEMP_ADC_OUT=0b1)にすると正常に受信できなくなります。受信時には TEMP_ADC_OUT=0b0 に設定してください。

【アナログ出力】

本 LSI の内部に電流発生回路が搭載され、その電流は A_MON 端子(ピン#24)に接続した 75kΩ に流れます。このときの端子の電圧情報で温度情報が取得できます。

電源発生回路より発生する電流は、標準で 25℃の時に 10uA となり、ある温度における電流は次式で求められます。

$$I_{temp} = (273 + Temp) / (273 + 25) \times 10 \text{ (uA)}$$

従って、75kΩ に接続されている場合、A_MON 端子の電圧と温度の関係は次式のようになります。

$$V_{amon} = (273 + Temp) / (273 + 25) \times 10E-6 \times 75000$$

温度が -40℃～ 85℃の時には、Vamon は、0.59V～0.9V の値をとります。
また、取得した電圧値より、温度は次で求められます。

$$Temp = V_{amon} \times 397.3 - 273$$

【デジタル出力】

デジタル出力では、上記の電圧を 6bit の ADC で変換し内部で 4 サンプル分の加算して 8bit として [TEMP_MON]レジスタ(B0 0x79)で表示します。下位 2bit を除いた、上位 6bit で温度情報の平均値を示すことになります。
また、温度情報は約 17.8μs([ADC_CLK_SET]レジスタ(B0 0x08)で 2MHz が選択されている場合は 16 μs)毎に更新されます。

●ランプ制御機能

ランプ制御機能により送信停止時のスプリアス発射を低減します。送信停止時は送信状態から TRX_OFF 時と送信状態から 受信状態への切り替え時の 2 ケースについてランプ制御機能が動作します。

ランプ制御を行うためのレジスタは以下の通りです。

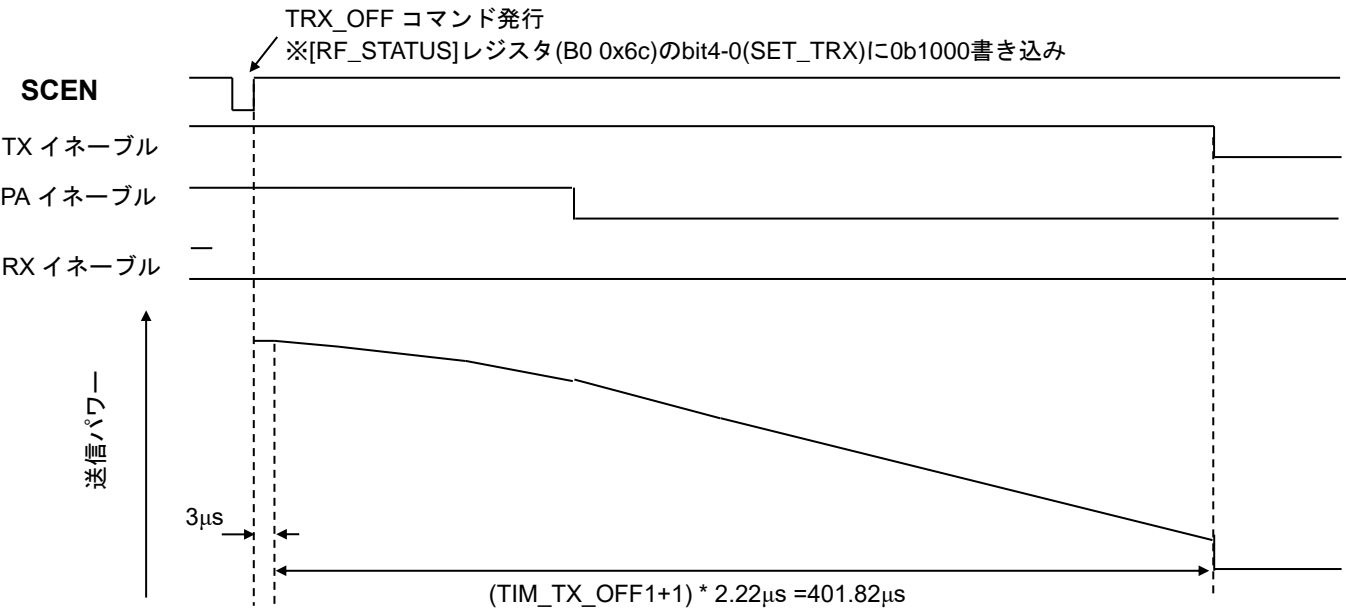
- [RAMP_CNTRL]レジスタ(B2 0x2c) bit4 (TXOFF_RAMP_EN)・・・ランプ制御イネーブル
- [TX_OFF_ADD1]レジスタ(B1 0x55) bit7-0 (TIM_TX_OFF1)・・・ランプダウンタイミング調整
(TX 状態から TRX_OFF 状態への遷移時)
- [RX_ON_ADJ2]レジスタ(B1 0x3f) bit6-4 (TIM_RX_ON2) ・・・RX_ON タイミング制御(TX 状態から RX 状態への遷移時)
- [2DIV_GAIN_CNTRL]レジスタ(B0 0x6e) bit7-2 (TIM_TX_OFF2) ・・・ランプダウンタイミング調整
(TX 状態から RX 状態への遷移時)

【動作概要】

(1)送信状態から TRX_OFF する場合のランプダウンタイミング

レジスタ設定

- [RAMP_CNTRL]レジスタ(B2 0x2c) bit4 (TXOFF_RAMP_EN) = 0b1
- [TX_OFF_ADD1]レジスタ(B1 0x55) bit7-0 (TIM_TX_OFF1) = 0xb4(400μs 設定)
- [RX_ON_ADJ2]レジスタ(B1 0x3f) bit6-4 (TIM_RX_ON2) = 0x011
- [2DIV_GAIN_CNTRL]レジスタ(B0 0x6e) bit7-2 (TIM_TX_OFF2) =0b1011_01



(2)送信状態から受信状態に切替える場合(ランプ制御イネーブル時)

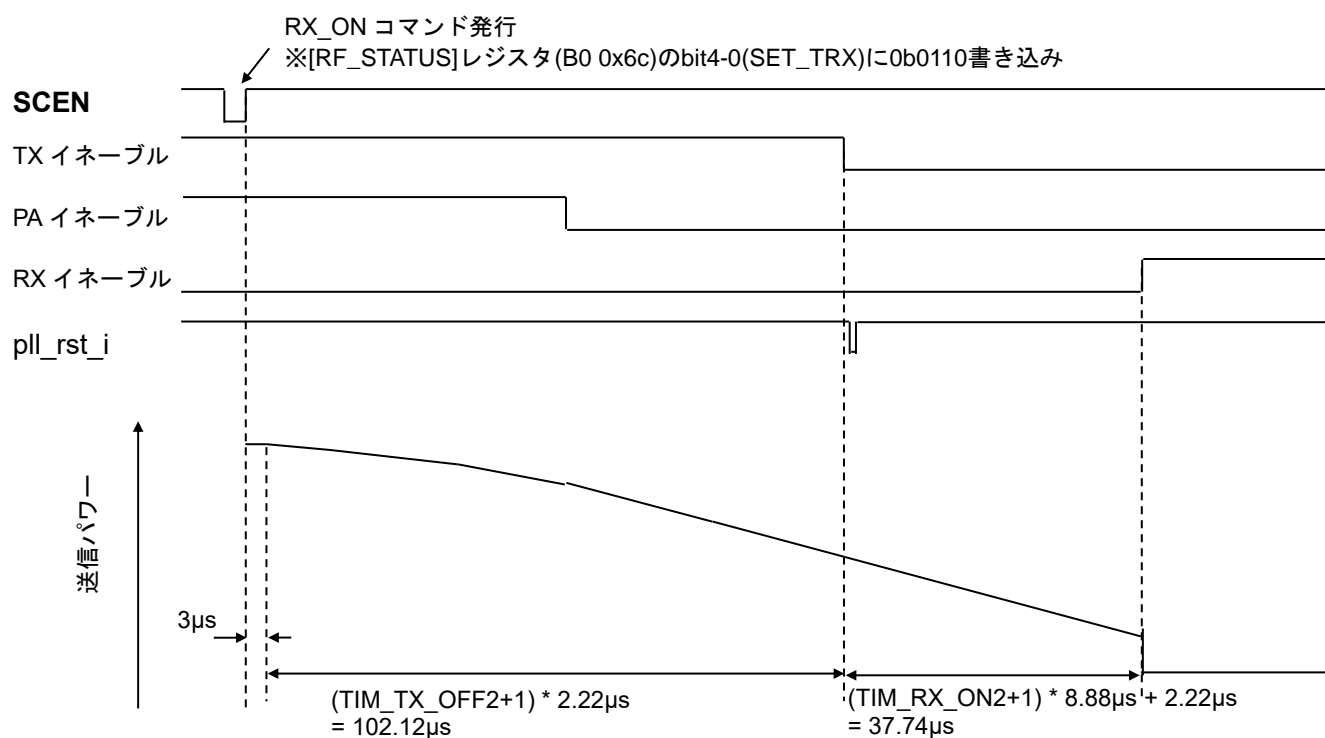
レジスタ設定

[RAMP_CNTRL]レジスタ(B2 0x2c) bit4 (TXOFF_RAMP_EN) =0b1

[TX_OFF_ADD1]レジスタ(B1 0x55) bit7-0 (TIM_TX_OFF1) = 0xb4(400 μ s 設定)

[RX_ON_ADJ2]レジスタ(B1 0x3f) bit6-4 (TIM_RX_ON2) =0b011

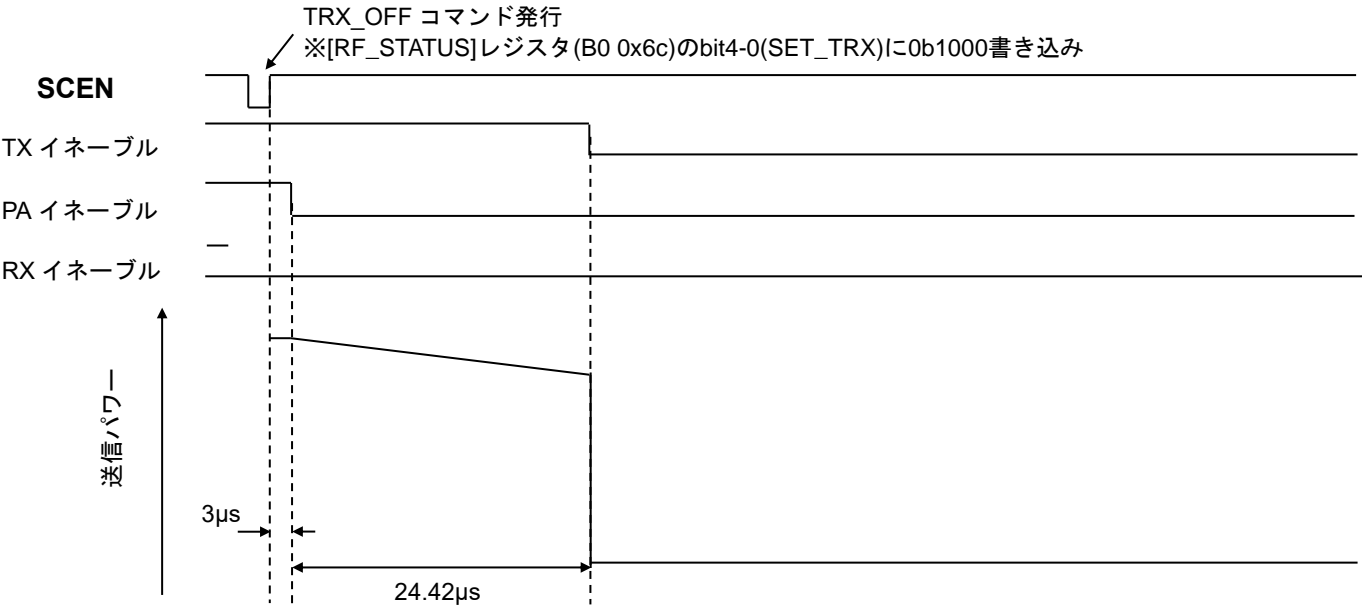
[2DIV_GAIN_CNTRL]レジスタ(B0 0x6e) bit7-2 (TIM_TX_OFF2) =0b1011_01



(3)送信状態から TRX_OFF する場合(ランプ制御ディセーブル時)

レジスタ設定

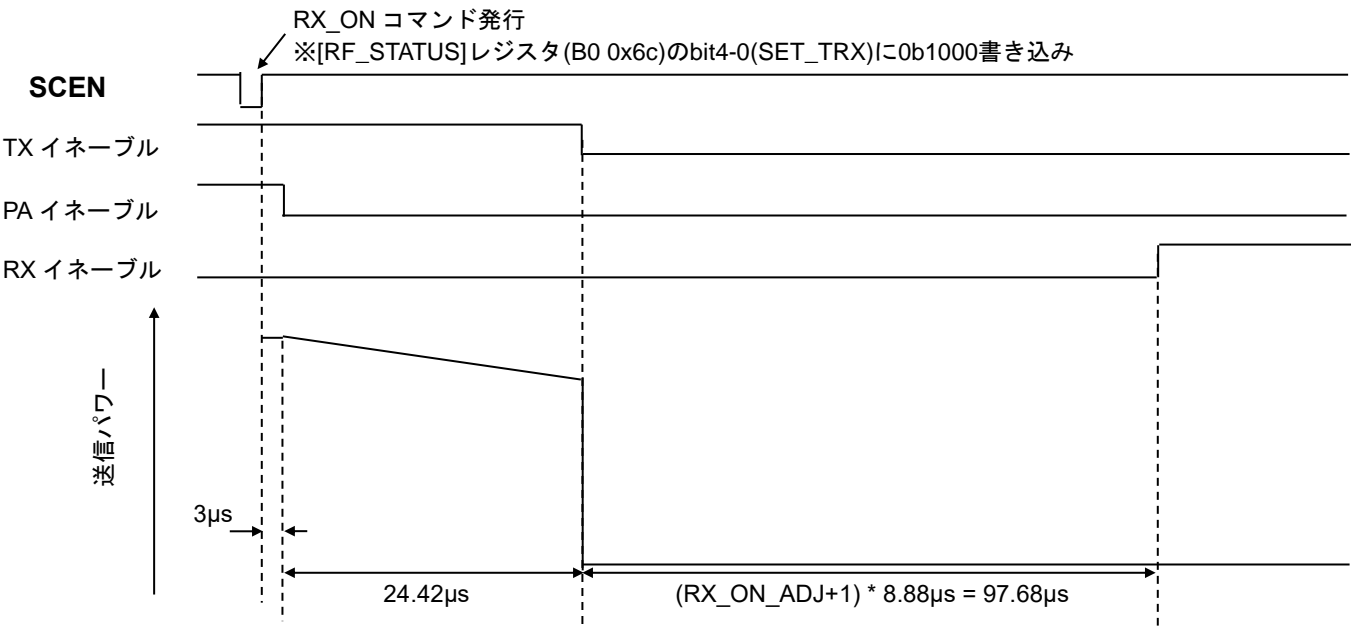
- [RAMP_CNTRL]レジスタ(B2 0x2c) bit4 (TXOFF_RAMP_EN) =0b0
- [TX_OFF_ADD1]レジスタ(B1 0x55) bit7-0 (TIM_TX_OFF1) =0xb4 (400μs 設定)
- [RX_ON_ADJ2]レジスタ(B1 0x3f) bit6-4 (TIM_RX_ON2) =0b011
- [2DIVGAIN_CNTRL]レジスタ(B0 0x6e) bit7-2 (TIM_TX_OFF2) =0b1011_01



(4)送信状態から受信状態に切替える場合(ランプ制御ディセーブル時)

レジスタ設定

- [RAMP_CNTRL]レジスタ(B2 0x2c) bit4 (TXOFF_RAMP_EN) =0b0
- [TX_OFF_ADD1]レジスタ(B1 0x55) bit7-0 (TIM_TX_OFF1) =0xb4(400μs 設定)
- [RX_ON_ADJ2]レジスタ(B1 0x3f) bit6-4 (TIM_RX_ON2) =0x3b011
- [2DIV_GAIN_CNTRL]レジスタ(B0 0x6e) bit7-2 (TIM_TX_OFF2) =0b1011_01
- [RX_ON_ADJ]レジスタ(B2 0x22) bit7-0 (RX_ON_ADJ) =0x0A



■RF の設定

●チャンネル周波数の設定

本 LSI では、CH#0 から CH#15 までの最大 16 個のチャンネル周波数を設定することができます。このチャンネル周波数は、[CH0_FL]、[CH0_FM]、[CH0_FH]および[CH0_NA]レジスタ(B0 0x48-0x4B)で設定される CH#0 の周波数と、[CH_SPACE_L]および[CH_SPACE_H]レジスタ(B0 0x4c,0x4d)で設定されるチャンネル間隔で決定されます。

この設定された 16 個の CH は、[CH_EN_L]および[CH_EN_H]レジスタ(B0 0x2e,0x2f)で有効、無効を設定することができます。また、実際に通信に使用する CH は、[CH_SET]レジスタ(B0 0x6b)で、CH 番号(#0～#15)として設定します。

【注意】

CH#0 の周波数から CH#15 までの周波数が、36MHz の倍数(例 900MHz, 936MHz)をまたぐ設定をしてはいけません。

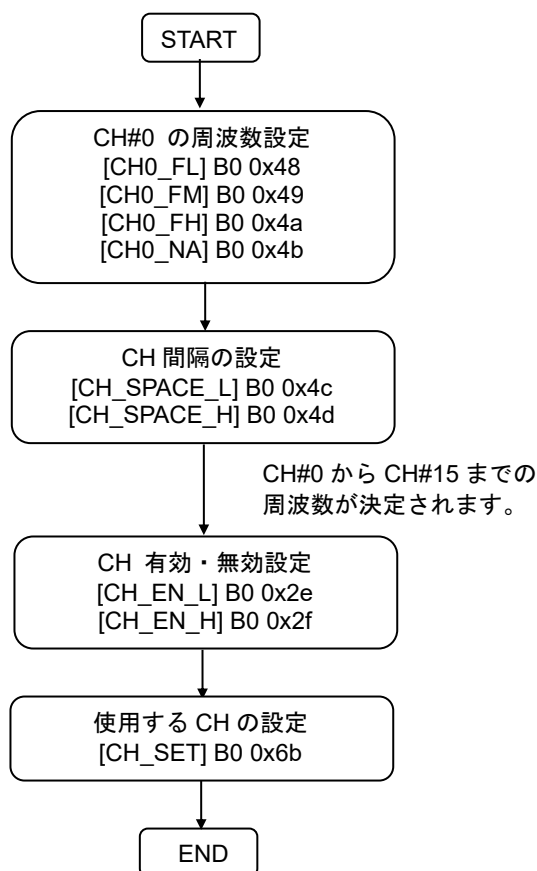
チャンネル周波数は次式を満足する必要があります。次式を満足しない場合はチャンネル#0 周波数設定

([CH0_FL],[CH0_FM],[CH0_FH],[CH0_NA])を変更してください。設定上やむをえずまたぐ場合は、超えてしまった方(高い側)の CH を[CH_EN_L],[CH_EN_H]レジスタを使って無効の設定にしてください。

$$36\text{MHz} * n + 2.2\text{MHz} \leq \text{使用チャンネル周波数} < 36\text{MHz} * (n+1) - 500\text{kHz} \quad ※n=\text{整数}$$

なお、満足しない状態では期待するチャンネル周波数とならない、または PLL がロックせず正常動作しませんのでご注意ください。

【チャンネル周波数設定のフロー】



○チャンネル#0 周波数の設定

[CH0_FL]、[CH0_FM]、[CH0_FH]および[CH_NA]レジスタ(B0 0x48-0x4b)を使用してチャンネル#0の周波数を設定することができます。

チャンネル#0 周波数の各レジスタの設定値は以下の式にて求められます。

$$N = f / f_{REF} \div P \text{ の整数部分}$$

$$A = f / f_{REF} - N * P \text{ の整数部分}$$

$$F = \{ f / f_{REF} - (N * P + A) \} * 2^{20} \text{ の整数部分} \dots \text{今回 20bit としている為 } 2^{20}$$

ここで、

f	: CH#0 周波数
f _{REF}	: PLL リファレンス周波数(入力クロック: 36MHz)
P	: デュアルモジュラス設定(4 固定)
N	: N カウンタ設定
A	: A カウンタ設定
F	: F カウンタ設定

また周波数誤差は以下の式で求められます。

$$ferr = f - [f_{REF} * \{(N * P + A) + F/2^{20}\}]$$

例) f=923.1MHz を設定する場合、f_{REF} = 36MHz により設定は以下のようになります。

$$N = (923.1M / 36M \div 4) \text{ の整数部分} = 6$$

$$A = (923.1M / 36M - 6 * 4) \text{ の整数部分} = 1$$

$$F = \{923.1M / 36M - (6 * 4 + 1)\} * 2^{20} \text{ の整数部分} = 672836 (0xA4444)$$

$$[CH0_FL] \text{レジスタ (B0 0x48)} = 0x44$$

$$[CH0_FM] \text{レジスタ (B0 0x49)} = 0x44$$

$$[CH0_FH] \text{レジスタ (B0 0x4a)} = 0x0A$$

$$[CH0_NA] \text{レジスタ (B0 0x4b)} = 0x61$$

となり各レジスタの初期値となっています。

この時の誤差 ferr は $923.1M - [36M * \{(6 * 4 + 1) + 672836 \div 2^{20}\}] = +31.7Hz$ になります。

○チャンネル間隔の設定

[CH_SPACE_L]と[CH_SPACE_H]レジスタ(B0 0x4c,0x4d)を使用してチャンネル間隔を設定することができます。

チャンネル間隔は、あるチャンネルの中心周波数とそのチャンネルと隣接するチャンネルの中心周波数の間隔です。

チャンネル間隔(CH_SP_F)は下記の式で求められます。

$$CH_SP_F = \{ f_{SP} / f_{REF} \} * 2^{20} \text{ の整数部分} \dots \text{今回 20bit としている為 } 2^{20}$$

ここで、

CH_SP_F	: CH#0 周波数
f _{SP}	: チャンネル間隔 [MHz]
f _{REF}	: PLL リファレンス周波数(入力クロック: 36MHz)

例) CH 間隔 400kHz の設定の場合、f_{REF} = 36MHz により設定値は以下のようになります。

$$CH_SP_F = \{0.4M / 36M\} * 2^{20} \text{ の整数部分} = 11650 (0x2D82)$$

$$[CH_SPACE_L] \text{レジスタ (B0 0x4c)} = 0x82$$

$$[CH_SPACE_H] \text{レジスタ (B0 0x4d)} = 0x2D$$

となり各レジスタの初期値となっています。

●IF 周波数の設定

本 LSI では、様々なデータレートに対して適切な受信フィルタ帯域へ適応させる機能があります。
この受信フィルタ帯域は、IF 周波数に対応して選択されます。

本 LSI では、[IF_FREQ_H]と[IF_FREQ_L]レジスタ(B1 x0A, 0B)で基本となる IF 周波数(初期値:178.22kHz)を設定すると、[DATA_SET]レジスタ(B0 0x47)の bit[2:0] (RATE[2:0]) で設定されるデータレート および bit7 (NBO_SEL) で設定されるバンドオプションに応じて IF 周波数を自動変更します。データレートとバンドオプションに応じて基本設定値に対して自動的に設定されるIF周波数値の関係は下記ようになります。

NBO_SEL	50kbps	100kbps	150kbps	200kbps	400kbps
0b0	x2	x4	x6	x6	x8
0b1	x2	x2	-	x4	-

各レートでの IF 周波数は以下の値になるように値を設定して下さい。

NBO_SEL	50kbps	100kbps	150kbps	200kbps	400kbps
0b0	500kHz	720kHz	900kHz	1300kHz	2100kHz
0b1	500kHz	720kHz	-	1300kHz	-

50kbps/100kbps/200kbps 以外のレートでの NBO_SEL=0b1 設定は使用不可です。
10kbps/20kbps/40kbps につきましては、「初期設定レジスタ」をご参照ください。

また AFC 機能を使用した時の引き込み開始時の IF 周波数を設定する[IF_FREQ_AFC_H]と[IF_FREQ_AFC_L]レジスタ (B0 0x30, 0x31)があります。AFC 機能を使用した時の基本設定と自動的に更新される値の関係は通常受信と同じです。

この他に、データ復調に最適な受信フィルタ帯域と、CCA としてチャネルの電力検出を行う場合に必要な受信フィルタ帯域が異なる場合が生じるために、CCA 時用の[IF_FREQ_CCA_H]と[IF_FREQ_CCA_L]レジスタ(B1 0x0c,0x0d)があります。CCA 時の基本設定値と自動的に設定される値の関係は、通常受信の時と異なり、次のようになります。

NBO_SEL	50kbps	100kbps	150kbps	200kbps	400kbps
0	x2	x6	x8	x8	x8
1	x2	x2	-	x6	-

各レートでの IF 周波数は以下の値になるように値を設定してください。

NBO_SEL	50kbps	100kbps	150kbps	200kbps	400kbps
0	500kHz	1500kHz	1450kHz	2000kHz	2100kHz
1	500kHz	720kHz	-	1500kHz	-

50kbps/100kbps/200kbps 以外のレートでの NBO_SEL=0b1 設定は使用不可です。
10kbps/20kbps/40kbps につきましては、「初期設定レジスタ」をご参照ください。

IF 周波数(IF_FREQ)は、下記の式で求められます。

$$IF_FREQ = \{f_{if} / f_{REF}\} * 2^{20} \text{ の整数部分} \quad \cdots \text{今回 20bit としている為 } 2^{20}$$

ここで、

- IF_FREQ :IF 周波数設定
- f_{IF} :IF 周波数 [MHz]
- f_{REF} :PLL リファレンス周波数(入力クロック: 36MHz)

例)

IF 周波数を 178.22kHz の設定の場合、f_{REF} = 36MHz により設定値は以下のようになります。
IF_FREQ= {0. 17822M / 36M} * 2²⁰ の整数部分 = 5191 (0x1447)

[IF_FREQ_H]レジスタ = 0x14
[IF_FREQ_L]レジスタ = 0x47
を設定することになります。

●BPF 帯域の設定

本 LSI では、通常時 (AFC 動作時を含む) と CCA 動作時用に BPF を設定する必要があります。また、個体バラツキを補正するための [BPF_ADJ_OFFSET] レジスタ (B1 0x1E) があり、本レジスタの値をオフセットとして BPF 帯域を設定することによって個体バラツキを抑えることが出来ます。

設定の方法は、[BPF_ADJ_OFFSET] のデータを読み出し、bit7 (BPF_OFFSET_POL) を符号 (0b1 の場合はプラス、0b0 の場合はマイナス) として bit[6:0] の値に対して下記に示す係数を掛け、通常基準値に加算して [BPF_ADJ_H/L] レジスタ (B1 0x0E, 0x0F) と [BPF_AFC_ADJ_H/L] レジスタ (B0 0x32, 0x33) に、CCA 用の基準値に加算して [BPF_CCA_ADJ_H/L]、レジスタ (B1 0x10, 0x11) に書き込みます。

設定する値は、[DATA_SET] レジスタ (B0 0x47) の bit[2:0] (RATE[2:0]) で設定されるデータレート、および bit7 (NBO_SEL) で設定されるバンドオプションに応じて下表のように設定値を変更する必要があります。

【NBO_SEL=0b0 通常帯域の場合】

データレート	RATE[2:0] [DATA_SET] レジスタ (B0 0x47)	通常時		CCA 用	
		係数	基準値	係数	基準値
50kbps	0b000	1.44	0x034B	1.44	0x034B
100kbps	0b001	1	0x024A	0.48	0x0119
150kbps	0b010	0.8	0x01D4	0.497	0x0122
200kbps	0b010	0.554	0x0144	0.36	0x00D2
400kbps	0b011	0.343	0x00C8	0.343	0x00C8

【NBO_SEL=0b1 狭帯域の場合】

データレート	RATE[2:0] [DATA_SET] レジスタ (B0 0x47)	通常時		CCA 用	
		係数	基準値	係数	基準値
50kbps	0b000	1.44	0x034B	1.44	0x034B
100kbps	0b001	1	0x024A	1	0x024A
150kbps	0b010	-	-	-	-
200kbps	0b010	0.554	0x0144	0.48	0x0119
400kbps	0b011	-	-	-	-

例) データレート 100kbps でかつ [BPF_ADJ_OFFSET] = 0x91 の場合

[BPF_ADJ_H][BPF_ADJ_L] = 0x024A + 1 * (0x11) = 0x025B を設定します。
[BPF_AFC_ADJ_H] [BPF_AFC_ADJ_L] = 0x024A + 1 * (0x11) = 0x025B を設定します。
[BPF_CCA_ADJ_H] [BPF_CCA_ADJ_L] = 0x0119 + 0.48 * (0x11) = 0x0121 を設定します。

10kbps/20kbps/40kbps につきましては、「初期設定レジスタ」をご参照ください。

●GFSK 変調の設定

本 LSI では、[DATA_SET]レジスタ(B0 0x47)の bit4(GHSK_EN)に 0b1 を設定すると GFSK モードになります。

○GFSK 周波数偏位の設定

[F_DEV_L]と[F_DEV_H]レジスタ(B0 0x4e,0x4f)を使用して GFSK 変調時の周波数偏位を設定することができます。
GFSK 変調時の周波数偏位は、下記の式で求められます。

$$F_DEV = \{ f_DEV / f_REF \} * 2^{20} \text{ の整数部分} \quad \cdots \text{今回 20bit としている為 } 2^{20}$$

ここで、

- F_DEC : 周波数偏位設定
- f_DEV : 周波数偏位 [MHz]
- f_REF : PLL リファレンス周波数(入力クロック: 36MHz)

例) 100kbps 使用時に周波数偏位を 50kHz に設定する場合、f_REF = 36MHz により設定値は以下のようになります。
$$F_DEV = \{ 0.05M \div 36M \} \times 2^{20} \text{ の整数部分} = 1456 (0x05B0)$$

[F_DEV_L]レジスタ (B0 0x4e)= 0xb0
[F_DEV_H]レジスタ (B0 0x4f)= 0x05
となり各レジスタの初期値となっています。

下記に、データレートに対応する周波数偏位の設定値を示します。

レジスタ名	50kbps (m=1)	100kbps (m=1)	150kbps (m=0.5)	200kbps (m=1)
F_DEV_L	0xD8	0xB0	0x44	0x60
F_DEV_H	0x02	0x05	0x04	0x0B

10kbps/20kbps/40kbps につきましては、「初期設定レジスタ」をご参照ください。

○ガウシアンフィルタの設定

[GFIL00]から[GFIL11]レジスタ(B0 0x59-0x64)の設定値を変えることで、ガウシアンフィルタの BT 値を設定することができます。代表的な BT 値に対する、各レジスタの設定値を以下に示します。

参考: ガウシアンフィルタ関連レジスタの初期値は 100kbps 時の BT=0.5 の設定となっています。

([DATA_SET]レジスタ(B0 0x47)の初期値は GFSK_EN が有効、データレート設定が 100kbps)

ガウシアンフィルタレジスタ設定(10kbps/20kbps/40kbps/50kbps/100kbps/150kbps/200kbps)

(HEX)

レジスタ名称	アドレス	bit	BT=1.0	BT=0.5	BT=0.4	BT=0.3	BT=0.25
GFIL00	B0 0x59	[1:0]	0	0	0	0	1
		[3:2]	0	0	0	0	1
		[5:4]	0	0	0	1	1
		[7:6]	0	0	0	1	2
GFIL01	B0 0x5a	[3:0]	0	0	0	1	3
		[7:4]	0	0	1	2	4
GFIL02	B0 0x5b	[3:0]	0	0	1	3	5
		[7:4]	0	1	2	5	6
GFIL03	B0 0x5c	[7:0]	00	01	03	06	07
GFIL04	B0 0x5d	[7:0]	00	03	05	08	09
GFIL05	B0 0x5e	[7:0]	00	05	08	0A	0A
GFIL06	B0 0x5f	[7:0]	00	09	0C	0C	0C
GFIL07	B0 0x60	[7:0]	03	0F	0F	0E	0D
GFIL08	B0 0x61	[7:0]	0B	15	13	10	0E
GFIL09	B0 0x62	[7:0]	1D	1A	17	13	0F
GFIL10	B0 0x63	[7:0]	35	1F	1A	14	10
GFIL11	B0 0x64	[7:0]	40	20	1A	14	12

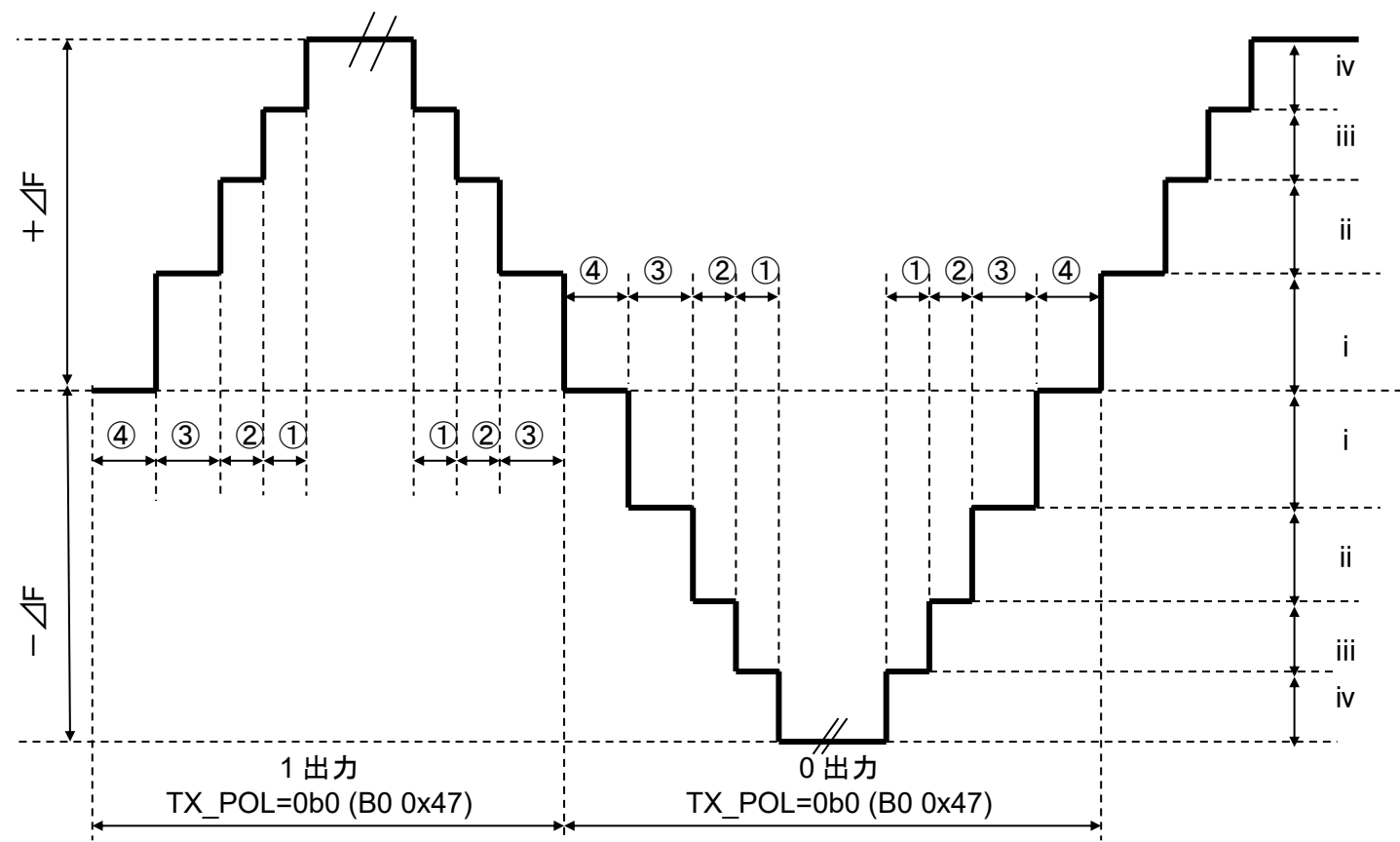
ガウシアンフィルタレジスタ設定(400kbps オプション)

(HEX)

レジスタ名称	アドレス	bit	BT=1.0	BT=0.5	BT=0.4	BT=0.3	BT=0.25
GFIL00	B0 0x59	[1:0]	0	0	0	0	0
		[3:2]	0	0	0	0	0
		[5:4]	0	0	0	0	0
		[7:6]	0	0	0	0	0
GFIL01	B0 0x5a	[3:0]	0	0	0	0	0
		[7:4]	0	0	0	0	0
GFIL02	B0 0x5b	[3:0]	0	0	0	0	0
		[7:4]	0	0	0	0	1
GFIL03	B0 0x5c	[7:0]	00	00	00	00	01
GFIL04	B0 0x5d	[7:0]	00	00	00	01	03
GFIL05	B0 0x5e	[7:0]	00	00	01	03	05
GFIL06	B0 0x5f	[7:0]	00	00	02	07	09
GFIL07	B0 0x60	[7:0]	00	03	07	0C	0F
GFIL08	B0 0x61	[7:0]	00	0B	10	14	15
GFIL09	B0 0x62	[7:0]	05	1D	1F	1D	1A
GFIL10	B0 0x63	[7:0]	3C	35	2D	24	1F
GFIL11	B0 0x64	[7:0]	7E	40	34	28	20

●FSK 変調の設定

本 LSI では、[DATA_SET]レジスタ(B0 0x47)の bit4(GFSK_EN)に 0b0 を設定すると FSK モードになります。また、[FSK_FDEV1]レジスタから[FSK_FDEV4]レジスタ(B0 0x59-0x5c)および、[FSK_TIME1]レジスタから[FSK_TIME4]レジスタ(B0 0x65-0x68)レジスタの設定値を変えることで、FSK の詳細なタイミングを設定できます。



記号	レジスタ名	アドレス	機能	記号	レジスタ名	アドレス	機能
i	FSK_FDEV1	B0 0x59	周波数変位 33.4x2(Hz)	①	FSK_TIME1	B0 0x65	変調タイミング 4MHz カウンタ値
ii	FSK_FDEV2	B0 0x5a		②	FSK_TIME2	B0 0x66	
iii	FSK_FDEV3	B0 0x5b		③	FSK_TIME3	B0 0x67	
iv	FSK_FDEV4	B0 0x5c		④	FSK_TIME4	B0 0x68	

【注意】

1. オプションの 400kbps は FSK 変調できません。GFSK のみ対応しています。

●データレート変更時の設定

本 LSI では、[DATA_SET]レジスタ(B0 0x47)の Bit2-0(RATE[2:0])で、50kbps、100kbps、200kbps および 400kbps からデータレートを選択できますが、データレートを変更した時には下記のレジスタ設定を変更する必要があります。

【注意】

変更前後のデータレートの関係より、設定値を変更する必要がない場合もありますが、ここでは関連する全レジスタを示します。設定値に関しては、「初期設定レジスタ」のそれぞれのデータレートの設定値を参照してください。

【BANK0】 ()はアドレスを示します。

[RATE_SET1]レジスタ	(0x04)	…150kbps 時のみ必要
[RATE_SET2]レジスタ	(0x05)	…150kbps 時のみ必要

[IF_FREQ_AFC_H]レジスタ	(0x30)
[IF_FREQ_AFC_L] レジスタ	(0x31)
[BPF_AFC_ADJ_H] レジスタ	(0x32)
[BPF_AFC_ADJ_L] レジスタ	(0x33)
[TX_PR_LEN]レジスタ	(0x42)
[CH_SPACE_FL] レジスタ	(0x4c)
[CH_SPACE_FH]レジスタ	(0x4d)
[F_DEV_L] レジスタ	(0x4e)
[F_DEV_H] レジスタ	(0x4f)
[2DIV_SERCH]レジスタ	(0x6f)

【BANK1】

[PLL_CFP_ADJ]レジスタ	(0x09)
[IF_FREQ_H]レジスタ	(0x0a)
[IF_FREQ_L]レジスタ	(0x0b)
[IF_FREQ_CCA_H]レジスタ	(0x0c)
[IF_FREQ_CCA_L]レジスタ	(0x0d)
[BPF_ADJ_H]レジスタ	(0x0e)
[BPF_ADJ_L]レジスタ	(0x0f)
[BPF_CCA_ADJ_H]レジスタ	(0x10)
[BPF_CCA_ADJ_L]レジスタ	(0x11)

【BANK2】

[RATE_ADJ1]レジスタ	(0x2A)	…150kbps 時のみ必要
[RATE_ADJ2]レジスタ	(0x2B)	…150kbps 時のみ必要

●狭帯域オプション変更時の設定

本 LSI では、[DATA_SET]レジスタ(B0 0x47)の bit7(NBO_SEL)で、狭帯域設定ができます。狭帯域とは、IEEE 802.15.4g において転送レート 100kbps 時のチャンネル間隔が 400kHz 間隔と定義されているのを 200kHz チャンネル間隔で使用するようになるためのモードです。この時、受信時の BPF 帯域を狭帯域化し受信します。狭帯域モードを設定した場合、以下のレジスタを設定変更する必要があります。

【BANK0】 ()はアドレスを示します。

[IF_FREQ_AFC_H]レジスタ	(0x30)
[IF_FREQ_AFC_L]レジスタ	(0x31)
[BPF_AFC_ADJ_H]レジスタ	(0x32)
[BPF_AFC_ADJ_L]レジスタ	(0x33)

【BANK1】

[PLL_CFP_ADJ]レジスタ	(0x09)
[IF_FREQ_H]レジスタ	(0x0a)
[IF_FREQ_L]レジスタ	(0x0b)
[IF_FREQ_CCA_H]レジスタ	(0x0c)
[IF_FREQ_CCA_L]レジスタ	(0x0d)
[BPF_ADJ_H]レジスタ	(0x0e)
[BPF_ADJ_L]レジスタ	(0x0f)
[BPF_CCA_ADJ_H]レジスタ	(0x10)
[BPF_CCA_ADJ_L]レジスタ	(0x11)

■RF の調整

●PA の調整

本 LSI では、1mW 用と 20mW 用(10mW 兼用)の出力回路を有しており、[PA_CNTRL]レジスタ(B1 0x07)の bit4(PA_SEL)で選択ができます。

おのこの出力回路は 16 階調(4bit)の調整ができ、[PA_ADJ1]、[PA_ADJ2]、[PA_ADJ3]レジスタ(B1 0x04-0x06)、および[PA_REG_ADJ1]、[PA_REG_ADJ2]、[PA_REG_ADJ3]レジスタ(B1 0x33-0x35)の調整レジスタにおいて、上位 4bit(bit7-4)が 20mW 回路用の調整値を、下位 4bit (bit3-0)が 1mW 回路用の調整値が保存できるようになっております。こうして各々の出力回路に対して 3 種類の設定値を保存することができます。

また、PA の出力調整に使用するレジスタの選択を[PA_CNTRL]レジスタの bit1-0(PA_ADJ_SEL[1:0])で切り替えることができます。

これにより、例えば装置が 10mW 出力と 20mW 出力を切り替える必要がある場合、10mW 設定における調整値を [PA_ADJ1]に、20mW 出力設定における調整値を[PA_ADJ2]に格納すると、[PA_CNTRL]レジスタの PA_ADJ_SEL[1:0]で調整レジスタを選択することで、送信パワーモードを切り替えることができますようになります。

調整レジスタは 3 個あるので、各出力回路にて最大 3 種類の送信パワーモードを設定できることになります。

【注意】

1mW 出力回路と、20mW 出力回路では経路がことなるので、PA_OUT 端子 (ピン#27) の出力インピーダンスが異なるためにそれぞれの最適マッチング回路は異なります。

PA 関連の選択ビットと、調整レジスタの有効調整値の関係を下記にします。

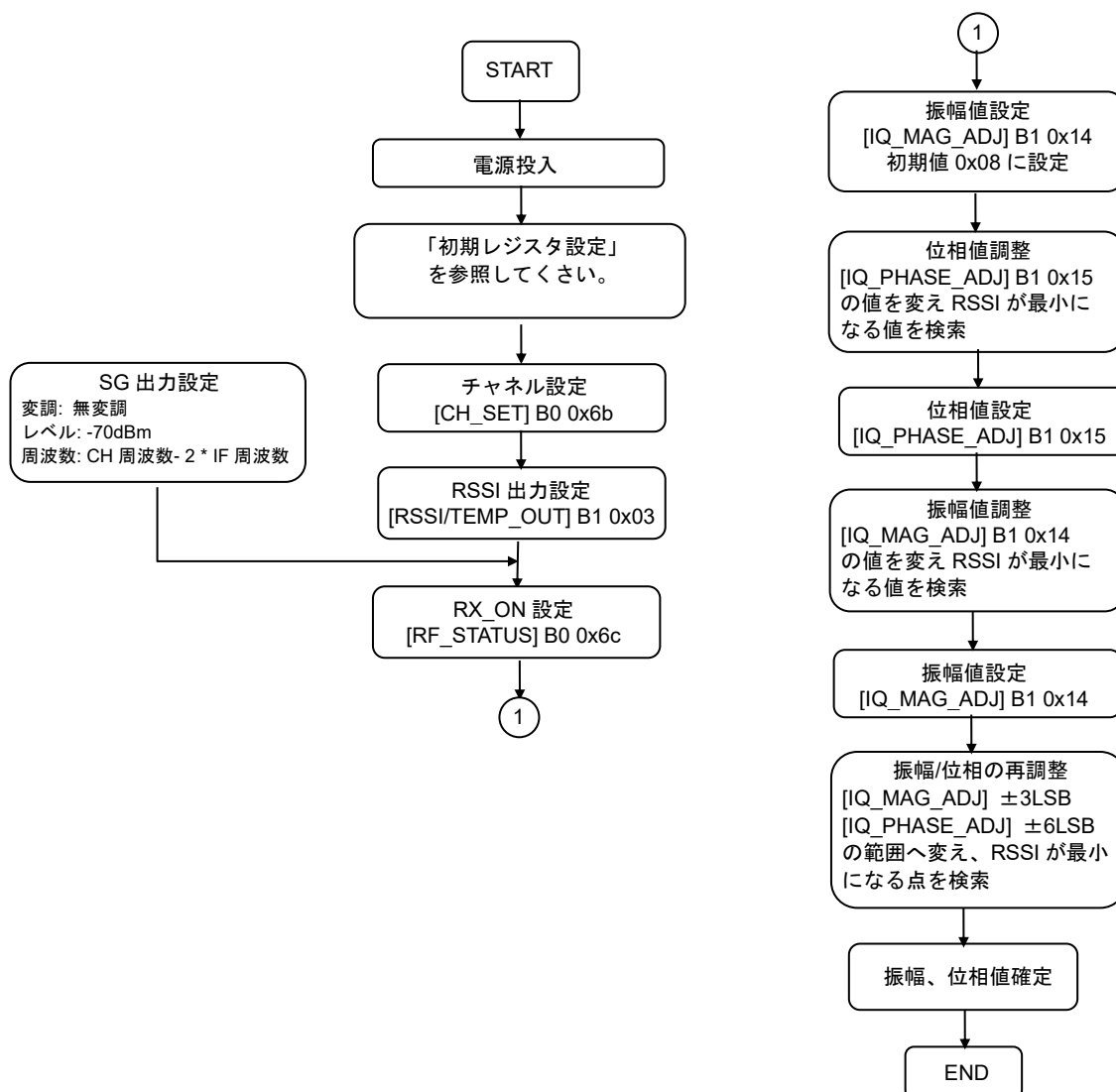
PA_SEL	PA_ADJ_SEL [1:0]	PA 調整レジスタ						PA 電圧調整レジスタ		
		PA_ADJ1		PA_ADJ2		PA_ADJ3		PA_REG_ADJ1	PA_REG_ADJ2	PA_REG_ADJ3
		[7:4]	[3:0]	[7:4]	[3:0]	[7:4]	[3:0]	[2:0]	[2:0]	[2:0]
0b0	0b01		有効					有効		
0b0	0b10				有効				有効	
0b0	0b11						有効			有効
0b1	0b01	有効						有効		
0b1	0b10			有効					有効	
0b1	0b11					有効				有効

●I/Q の調整

バンドパスフィルタへ入力する IQ 信号のバランスを調整することによりイメージ除去比を調整することができます。調整は以下の手順で実施することができます。

1. SG よりイメージ周波数の信号を ANT 端子(ピン#30)から入力します。
入力信号源: 無変調波
入力周波数: チャンネル周波数 $-2 * \text{IF 周波数}$
100kbps の通常モードでは IF 周波数は 720kHz (IF 周波数の設定を参照してください。)
入力レベル: -70dBm
2. [RSSI/TEMP_OUT]レジスタ(B1 0x03)の bit0(RSSI_OUT)に 0b1 を設定し、A_MON 端子(ピン#24)に RSSI を出力させます。
3. RX_ON 状態に設定して、[IQ_MAG_ADJ]レジスタ(B1 0x14)および[IQ_PHASE_ADJ]レジスタ(B1 0x15)を調整しながら RSSI 出力を測定し、RSSI 出力が最小になる設定値を探します。

【I/Q 調整フロー】



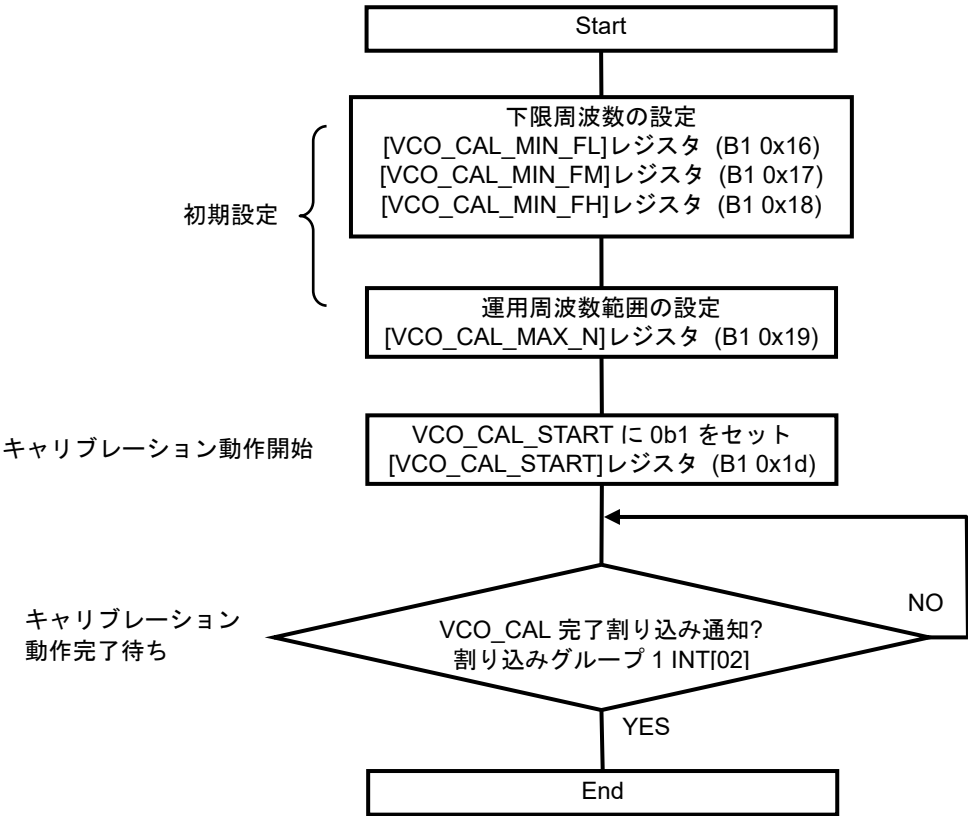
●VCO の調整

本 LSI では、VCO 動作マージンを補償するために、設定周波数毎に容量補正值を設定する必要があります。その容量補正值はキャリブレーションの実行により取得することができます。

この容量補正值は、運用周波数範囲の下限と上限での二つの容量補正值を起動時やリセット時にあらかじめ取得しておき、この補正值を元に運用時の設定周波数での最適値を内部で計算して使用します。

運用周波数の下限は、[VCO_CAL_MIN_FL]から[VCO_CAL_MIN_FH]レジスタ(B1 0x16～0x18)で設定され、上限は周波数範囲として[VCO_CAL_MAX_N]レジスタ(B1 0x19)で設定されます。

起動時およびリセット時の容量補正值の取得の流れを下記に示します。



容量補正值取得の流れ

VCO キャリブレーション実行には約 0.9ms から 4.2ms 必要で、完了後は
下限周波数での容量補正值が [VCO_CAL_MIN]レジスタ (B1 0x1a) に
上限周波数での容量補正值が [VCO_CAL_MAX]レジスタ (B1 0x1b)
に保存されます。

実際の運用時には、この二つの容量補正值から、設定された周波数(チャンネル)に最適な容量補正を計算して適用され、その値は、[VCO_CAL]レジスタ (B1 0x1c)で表示されます。

なお、事前の評価段階で以下のレジスタの値を MCU 側のメモリで保持し、起動時やリセット時に保持した値をレジスタに設定することで、キャリブレーション動作を省略することができます。

[保持しておくべきレジスタ]

[VCO_CAL_MIN_FL]	(B1 0x16)
[VCO_CAL_MIN_FM]	(B1 0x17)
[VCO_CAL_MIN_FH]	(B1 0x18)
[VCO_CAL_MAX_N]	(B1 0x19)
[VCO_CAL_MIN]	(B1 0x1a)
[VCO_CAL_MAX]	(B1 0x1b)

【注意】

1. 下限周波数には、実際に運用する下限周波数に対して 2MHz 低い値を設定してください。
2. 上限値の設定は、実際に運用する周波数範囲が完全に含まれるように設定してください。
3. 下限周波数と、上限の設定において、その表す周波数が範囲が 36MHz の倍数(例 900MHz、936MHz)をまたぐ設定をしてはいけません。
4. チャンネル設定の変更などで、キャリブレーション実行時に設定した周波数範囲と異なる場合は、再度適切な周波数範囲を設定して、キャリブレーションを再実行してください。

OVCO 下限周波数の設定

VCO 下限周波数は「チャンネル周波数の設定」で示した F パラメータのみを設定し、N パラメータ、A パラメータは [CH0_NA]レジスタ (B0 0x4b)の値がそのまま使用されます。

設定周波数=(下限周波数 -引数) / 36MHz * 2^{20} の整数部分
引数 = 144M * [N パラメータ] + 36MHz * [A パラメータ]

CH#0 を初期値の 923.1MHz で使用している場合、

[N パラメータ] = 6

[A パラメータ] = 1

のため、引数 = 900MHz となります。

(951.1MHz を CH#0 に設定する場合、[A パラメータ]=2 となり、引数は 936MHz となります。

【注意】

引数(例では 900MHz)以下の周波数に下限周波数は設定できません。

例) 実行下限周波数を 923.1MHz の場合、設定値は、2MHz 低くする必要があるので 921.1MHz を設定する。

$$F = (921.1\text{M} - 900\text{M}) / 36\text{M} * 2^{20} \text{ の整数部分} = 614582 (0x960B6)$$

それぞれのレジスタへの書き込み値は以下の通りです。

VCO_CAL_MIN_FL (B1 0x16)	= 0xb6
VCO_CAL_MIN_FM (B1 0x17)	= 0x60
VCO_CAL_MIN_FH (B1 0x18)	= 0x09

OVCO 上限周波数の設定

VCO 上限周波数は、[VCO_CAL_MAX_N]レジスタ(B1 0x19)を用いて周波数範囲をおこなうことにより、下記に示す計算式にて算出されます。

$$\text{VCOキャリブレーション上限周波数} = \text{VCOキャリブレーション下限周波数 (B1 0x16-0x18)} + \Delta F(\text{B1 0x19})$$

ΔF は、VCO_CAL_MAX_N[4:0]の関係は次のようになります。

VCO_CAL_MAX_N[4:0]	ΔF[MHz]
0b0_0000	1.125
0b0_0001	2.25
0b0_0011	4.5
0b0_0111	9
0b0_1111	18
0b1_1111	36
上記以外	0

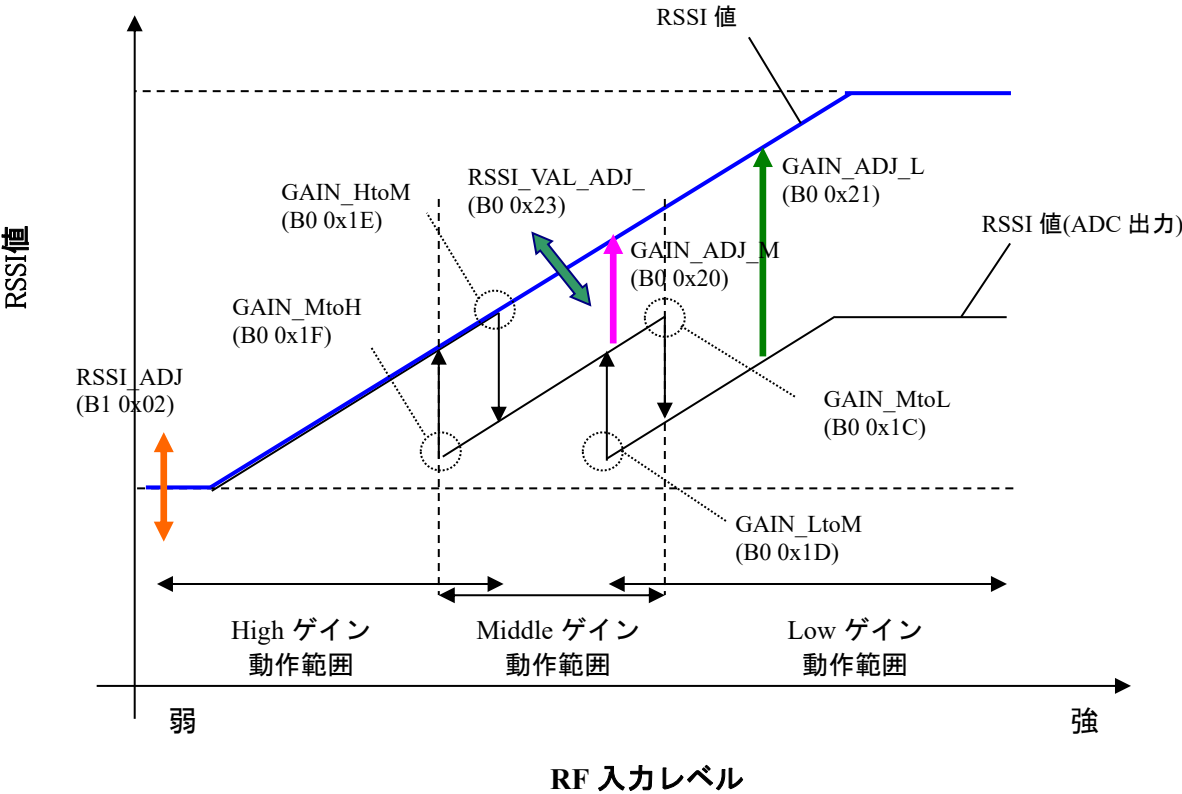
●電力検出値(ED 値)の調整

[ED 値の調整]

本 LSI では RF からの RSSI(アナログ信号)から、本節で説明する演算を行い、ED 値として算出致します。
本調整を行うことで、個体間のバラツキを補正することが可能となります。
ゲイン調整と関連するレジスタの関係を下記に示します。

本 LSI では広い入力レンジをカバーするために、ある入力レベルでゲインを切り替えを行います。[GAIN_MtoL]から [GAIN_MtoH]のレジスタはゲイン切り替えのポイントを設定し、[GAIN_ADJ_M]レジスタと[GAIN_ADJ_L]でゲイン切り替え時の線形性を保つために加算します。[RSSI_VAL_ADJ]レジスタは、RSSI の傾きを設定し、ED 値が 0x00(最小)から 0xFF(最大)の値を取るようしています。[GAIN_ADJ_M]、[GAIN_ADJ_L]を調整し固体バラツキによる線形性のずれを調整することができます。これらのレジスタは「初期設定レジスタ」で指定する値を設定し、調整用に設定を変えないでください。

[RSSI_ADJ]レジスタ(B1 0x02)では、同一入力レベルに対する上下バラツキを調整します。ただし、[RSSI_VAL_ADJ]による傾き設定前の値に対する補正となります。なお、正の値を設定すると低入力レベル時に ED 値が 0x00 まで下がらなくなります。また、負の値を設定すると高入力レベル時に 0xFF まで上がらなくなることがあります。



High ゲイン範囲で動作している場合・・・
Middle ゲイン範囲で動作している場合・・・
Low ゲイン範囲で動作している場合・・・

RSSI 値>GAIN_HtoM で Middle ゲインに遷移します。
RSSI 値>GAIN_MtoL で Low ゲインに遷移します。
GAIN_MtoH≥RSSI 値で High ゲインに遷移します。
GAIN_LtoM≥RSSI 値で Middle ゲインに遷移します。

■その他の設定

●BER 測定時の設定

本 LSI で BER を測定する際には、被試験器 (受信) 側で以下のレジスタを設定変更する必要があります。

【BANK 0】 () はアドレスを示します。

[PLL_MON/DIO_SEL] レジスタ (0x69) に 0x01 を書き込む

【BANK 1】

[DEMOD_SET] レジスタ (0x01) に 0x80 を書き込む

【BANK 2】

[SYNC_MODE] レジスタ (0x12) に 0x00 を書き込む

[DEMOD_SET2] レジスタ (0x0a) に 0x10 を書き込む

■フローチャート

●初期化フロー

初期化フローでは割り込み処理、レジスタ設定、VCO キャリブレーションが必要です。

(1) 割り込み処理

初期値では全割り込み通知はマスク解除設定となっております。ハードリセット解除後はクロック安定化待ち完了割り込みが通知されますので、本割り込みをクリアし、使用しない割り込みは割り込み通知設定を **OFF**(マスク設定)にしてください。

割り込み状態が残っていた場合、割り込み通知設定のマスク解除で割り込みが通知されます。

割り込みが発生した場合は、割り込み通知をマスク設定した後に割り込みクリアすることを推奨いたします。

(2) レジスタ設定(クロック出力停止含む)

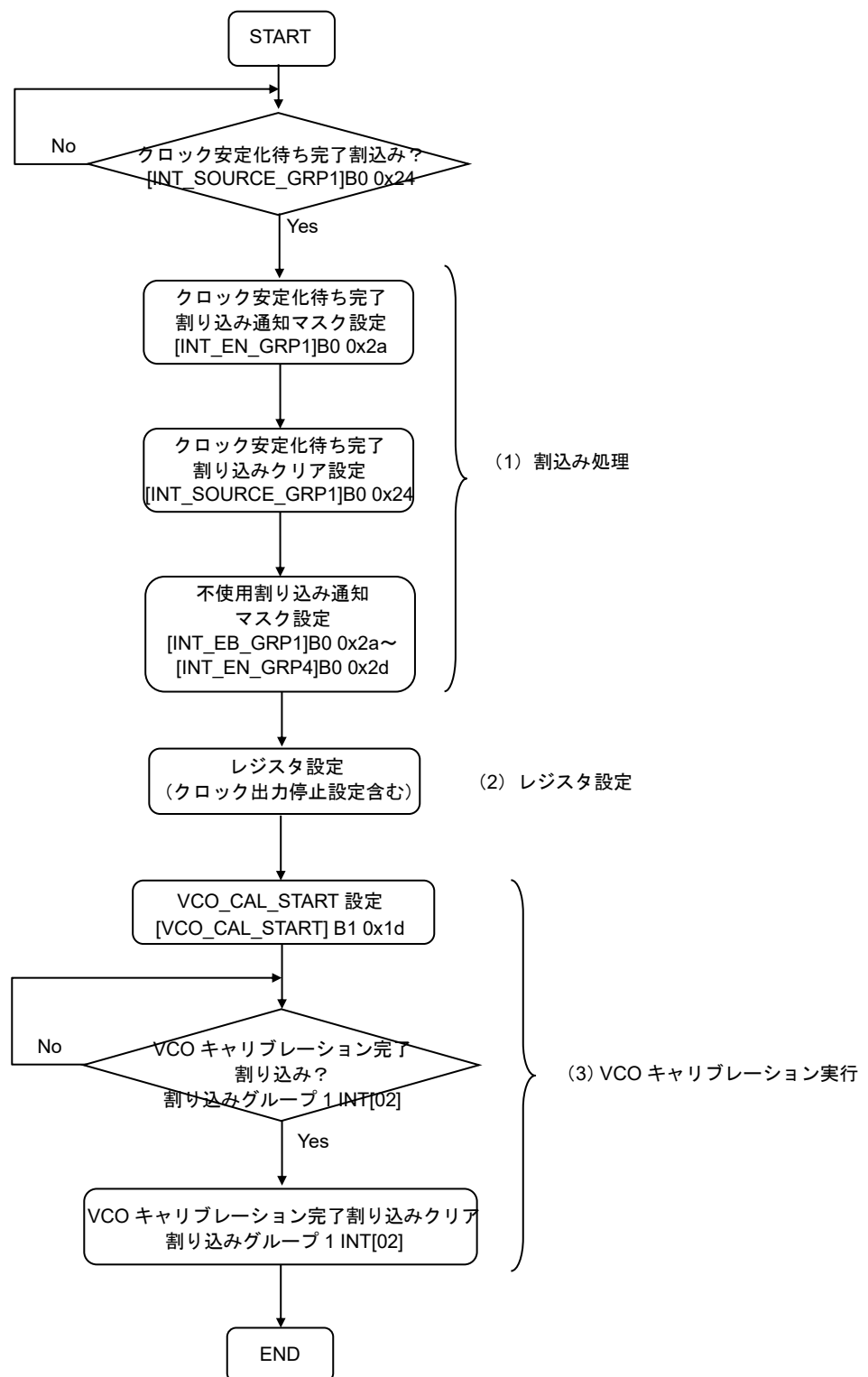
初期値では **DMON** 端子(ピン#17)よりクロック出力されます。クロック出力を使用しない場合は、**DMON** 端子に別の機能に割り付けクロック出力を停止させてください。

※ハードリセット解除後は、**FIFO** 関連と **BANK1** 以外のレジスタには前記(1)のクロック安定化待ち完了割り込み通知を待たずにレジスタアクセスが可能です。

(3) VCO キャリブレーション

運用周波数の下限周波数と上限周波数を設定し、VCO キャリブレーションを実行します。下限周波数および上限周波数設定では運用周波数を包含するように設定する必要があります。また、下限周波数および上限周波数設定により決定される周波数範囲外の周波数で送受信動作が必要になった場合は、下限周波数および上限周波数を再設定し VCO キャリブレーションを再実行して下さい。

VCO キャリブレーション実行中はレジスタアクセスしないでください。



●送信時(DIO モード)

DIO(送信)モードは、[PLL_MON/DIO_SEL]レジスタ(B0 0x69)の bit1(DIO_EN)=0b1 を書き込むことで設定できます。DIO(送信)モード中に TX_ON 命令を発行すると、DIO 端子(ピン#15)から入力されたデータを送信データとして出力します。入力するデータは SFD 以降のデータ (Length から) となり、DCLK 端子(ピン#16)より出力されるクロックに同期して入力してください。送信完了時は TRX_OFF 命令を発行します。

DIO(送信)にて送信する場合、データ送信要求完了割り込み(グループ 3 の INT[22]/[23])を発生させておく必要があり、TX_ON 命令前に FIFO ヘダミーの packets データを書き込んでください。

ダミーデータの最短例は下記になります。

[FEC/CRC_SEC]レジスタ(B0 0x46)の bit0 に 0b0 を設定し、[WR_TX_FIFO]レジスタ(B0 0x7e)に 00-01-02(3byte)を書き込む。

注意: DIO 送信時の 1 ビット目のデータについて、

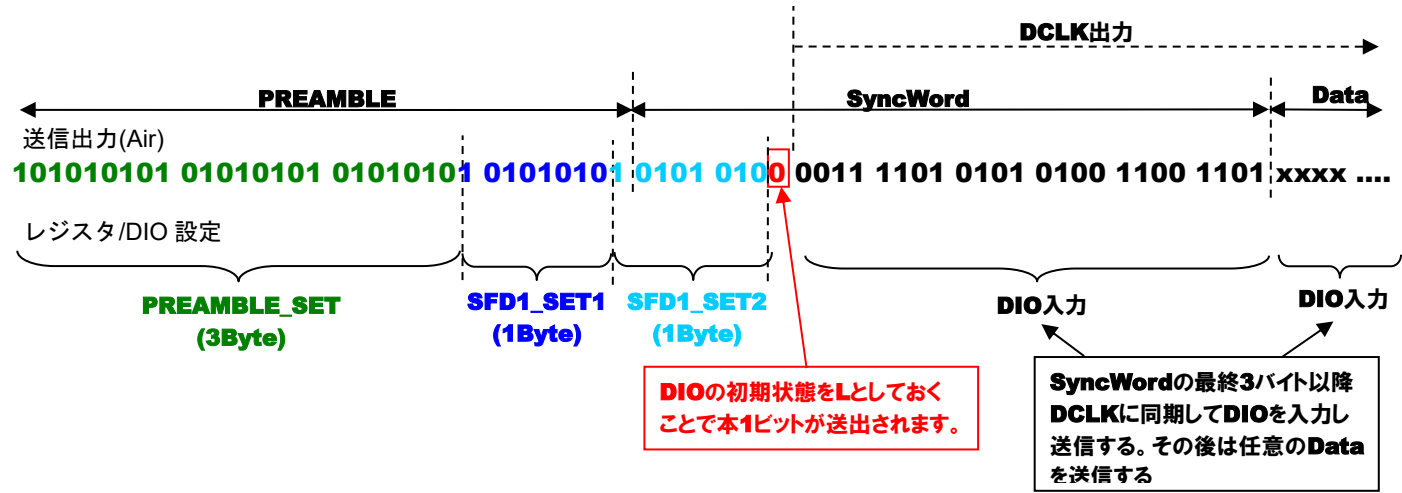
DCLK 出力は L から始まるため 1 ビット目に対し DCLK の立下りは発生しません。従いまして、1 ビット目のデータはダミーパケット書き込み前に予め DIO 端子へ入力(初期状態を)設定してください。詳しくは次ページの例を参照してください。

[PREAMBLE_SET]、[SFD1_SETx]各レジスタおよび DIO 入力設定と、送信パケットとの関係は以下となります。

例) prEN 13757-4rev Mode C FormatA パケットを送信する場合 (ML7396E)

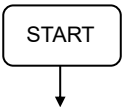
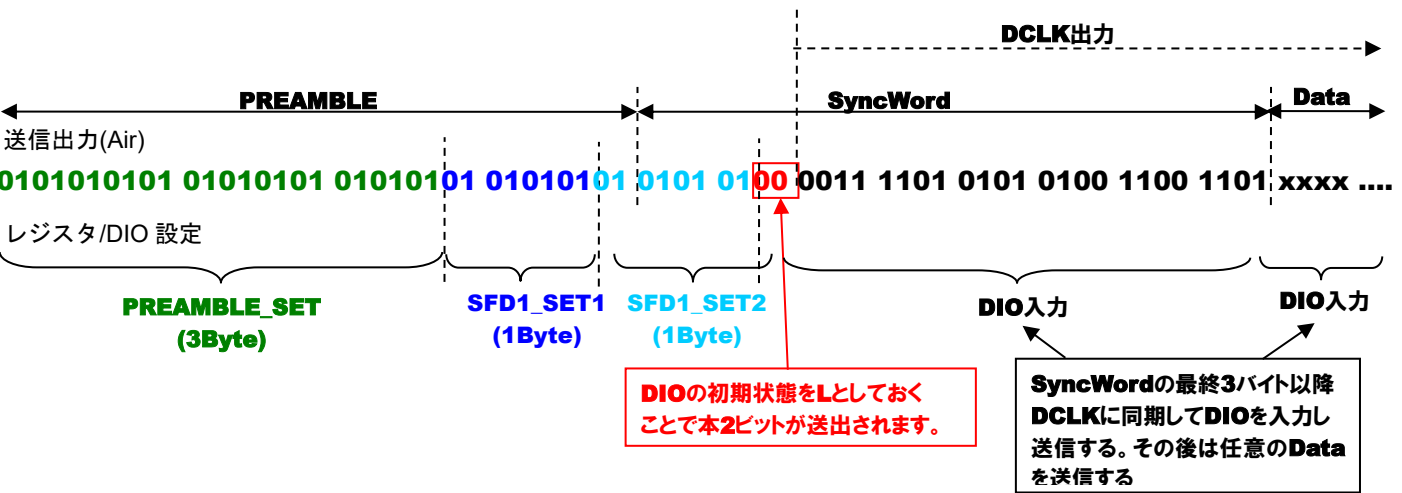
【DCLK の立ち上がりに同期して DIO から入力する場合】

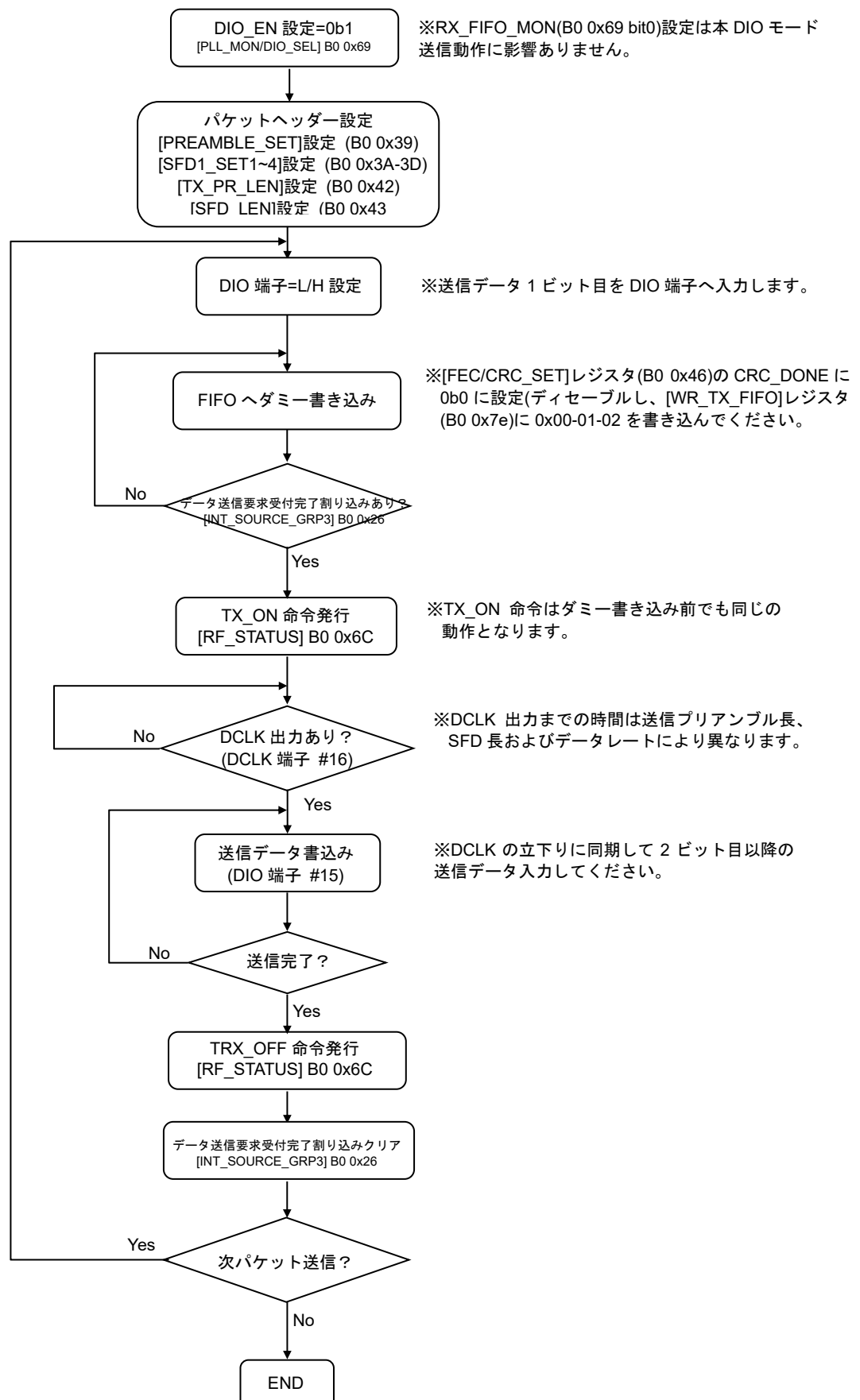
[PREAMBLE_SET]レジスタ(B0 0x39) = 0x55
[SFD1_SET1]レジスタ(B0 0x3A) = 0x55
[SFD1_SET2]レジスタ(B0 0x3B) = 0x55
[TX_PB_LEN]レジスタ(B0 0x42) = 0x03
[RX_PR_LEN/SFD_LEN]レジスタ(B0 0x43) = 0x02



【DCLK の立ち下がりに同期して DIO 入力する場合】

[PREAMBLE_SET]レジスタ(B0 0x39) = 0xAA
[SFD1_SET1]レジスタ(B0 0x3A) = 0xAA
[SFD1_SET2]レジスタ(B0 0x3B) = 0xAA
[TX_PB_LEN]レジスタ(B0 0x42) = 0x03
[RX_PR_LEN/SFD_LEN]レジスタ(B0 0x43) = 0x02

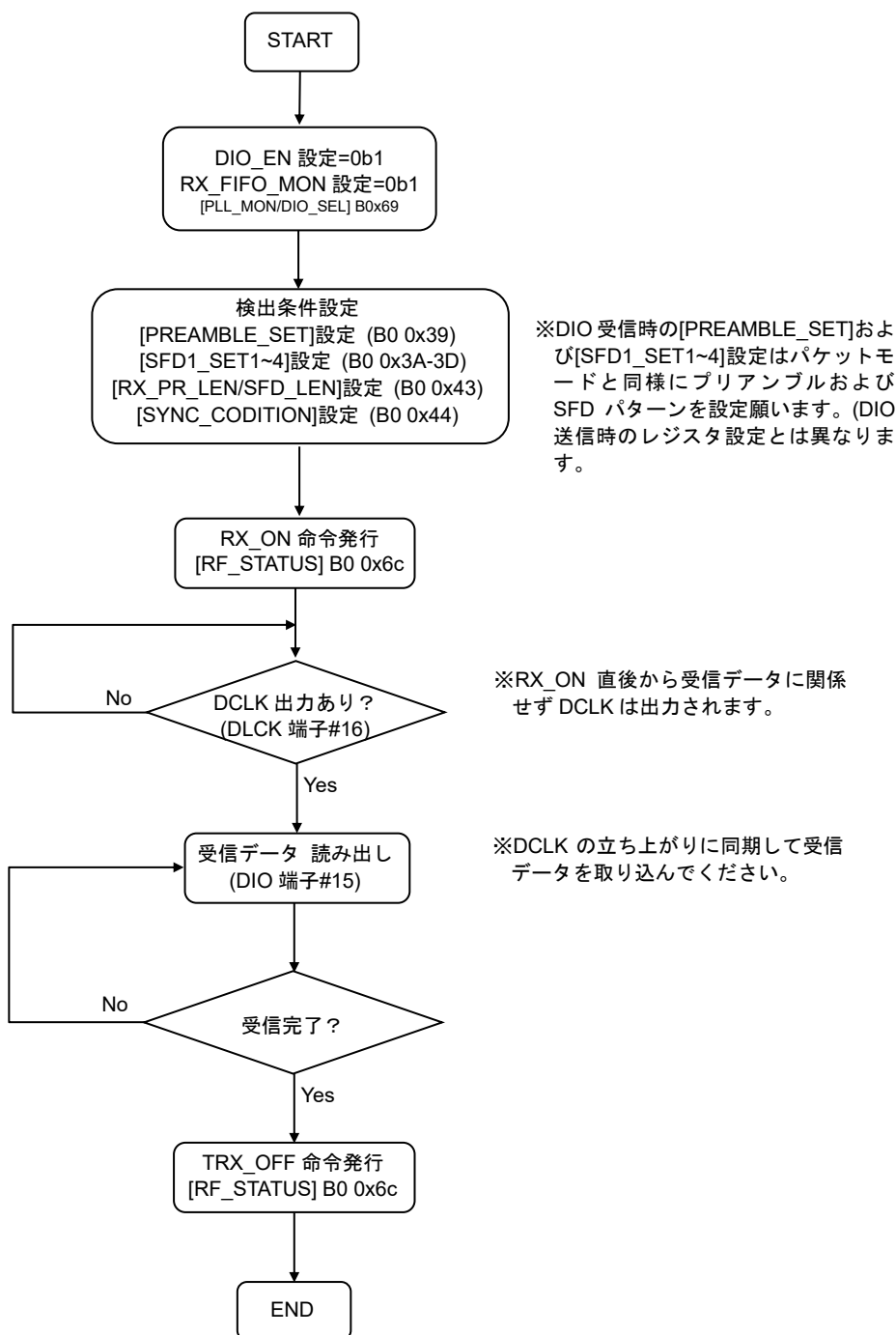




●受信時(DIO モード)

[PLL_MON/DIO_SEL]レジスタ(B0 0x69)の bit1(DIO_EN)=0b1 および bit0(RX_FIFO_MON)=0b1 を書き込むことで設定できます。DIO(受信)モード中にRX_ON状態に設定するとDeMOD(復調器)からの入力データからプリアンプルデータおよびSFDデータの検出が開始されます。プリアンプルおよびSFDの検出後、DIO端子(ピン#15)よりSFD以降の受信データが送出されます。DCLK端子(ピン#16)より出力されるクロックの立ち上がりに同期してデータを取り込んでください。受信完了時はTRX_OFF命令を発行します。

パケットモードと同様に、[PREAMBLE_SET]レジスタ(B0 0x39)、[SFD1_SET1]レジスタ(B0 0x3a)～[SFD1_SET4]レジスタ(B0 0x3d)、[RX_PR_LEN/SFD_LEN]レジスタ(B0 0x43)および[SYNC_CONDITION](B0 0x44)を設定によってSFD検出を行います。SFD検出後は、SFD検出完了割込み(グループ2のINY[11])を通知します。割込み通知後の最初のDCLK立ち上がりはSFD以降の最初の受信データとなります(100kbps設定時、SFD検出割込み通知から次のDCLK立ち上がりまでの時間は約9 μ sです)。

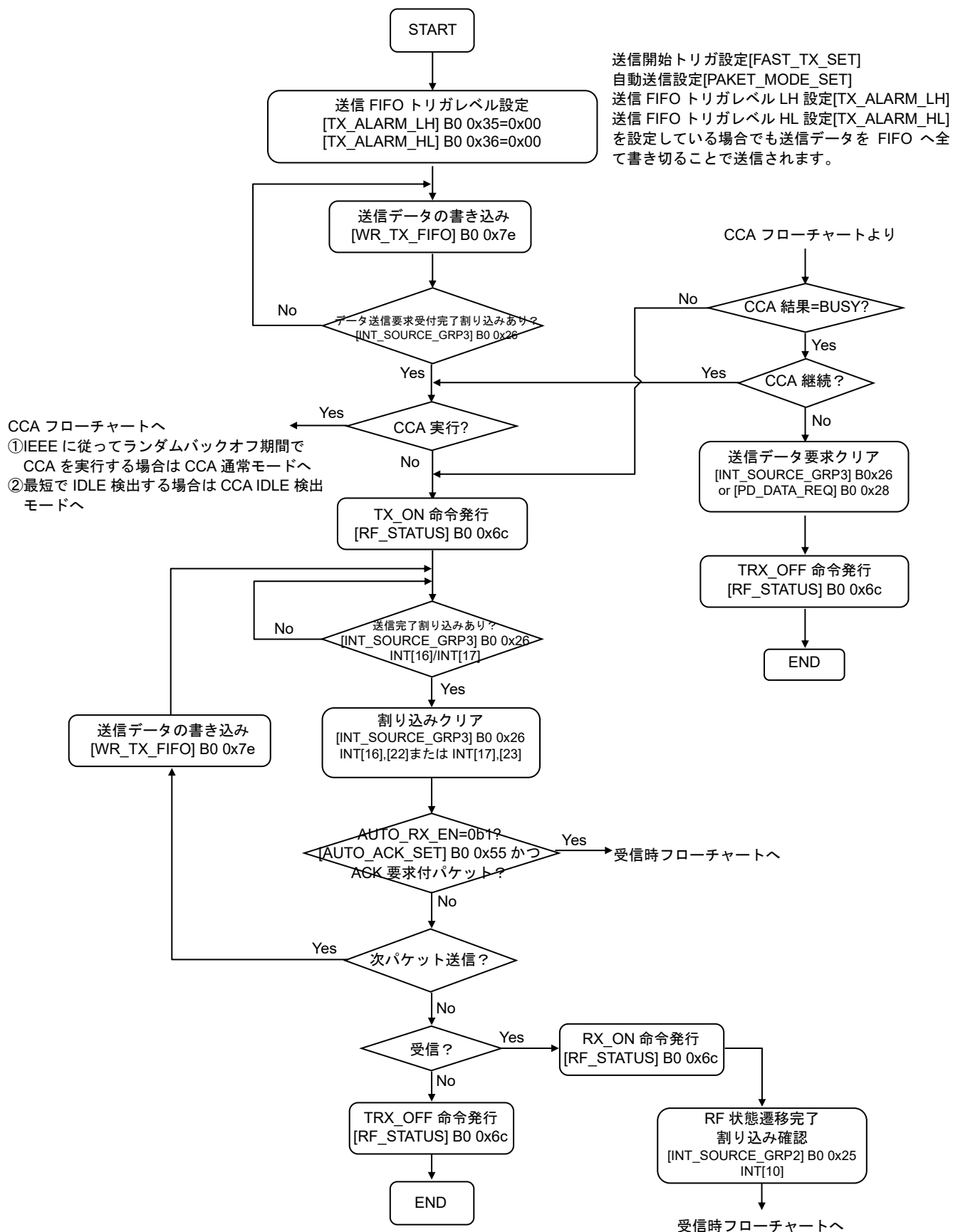


●送信時(パケットモード 256byte 以下の場合)

パケットモードは、[PLL_MON/DIO_SEL]レジスタ(B0 0x69)の bit1(DIO_EN)=0b0 を書き込むことで設定でき、パケットモードではパケット毎に[WR_TX_FIFO]レジスタ(B0 0x7e)で送信データを FIFO へ書き込みます。1 パケット分の送信データを FIFO へ書き込み、TX_ON 命令を発行します。PB (プリアンブル)、SFD を送出に続き、FIFO のデータが送信されます。CRC 設定がイネーブルの場合は自動で CRC 計算し CRC 算出結果は FCS フィールドに設定されて出力します

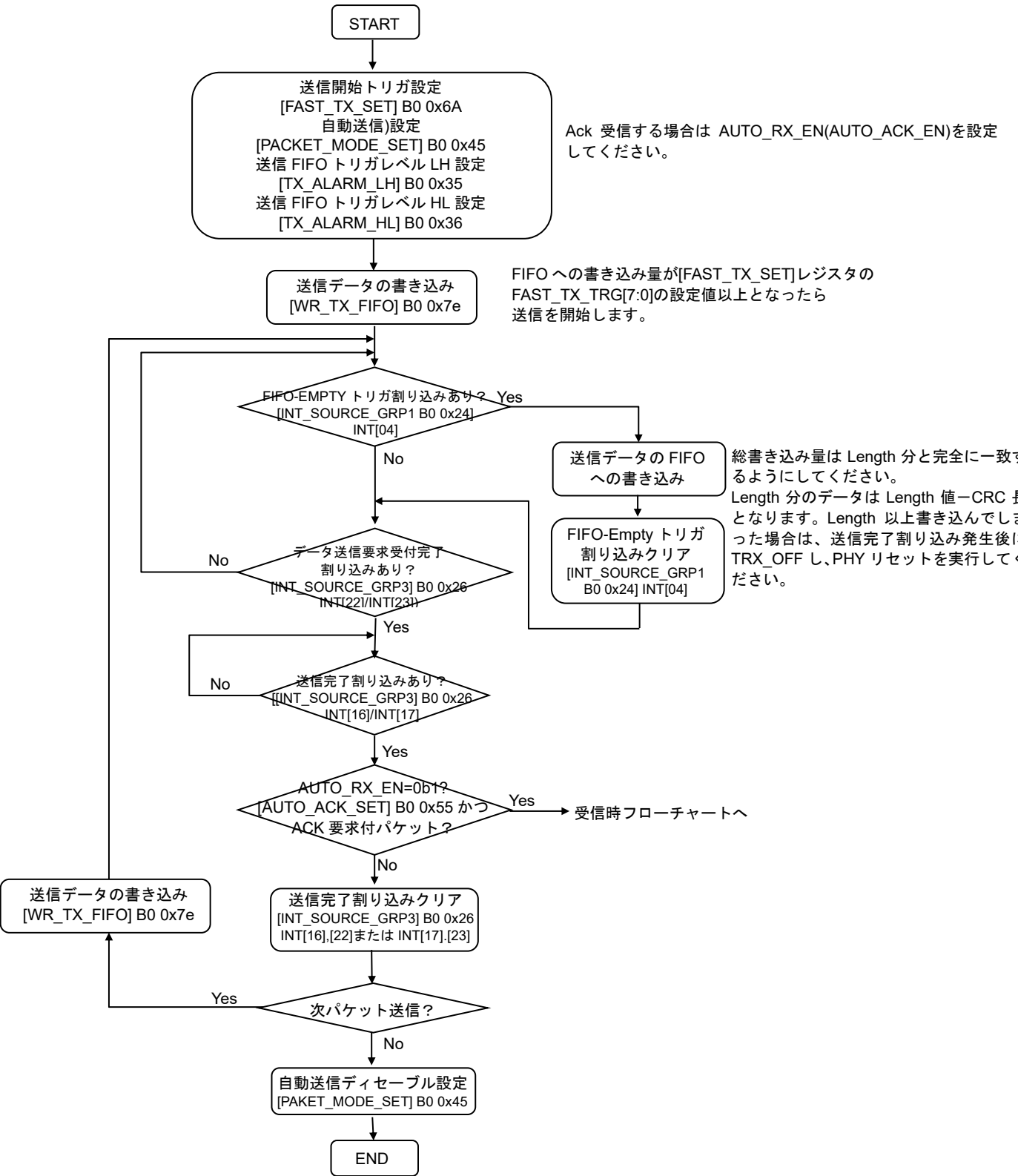
送信完了割り込み(グループ 3 の INT[16]/[17])があったら割り込みをクリアします。次の送信パケットを送信する場合は送信データを FIFO へ書き込みます。また、送信後に受信を行う場合は[RF_STATUS]レジスタ(B0 0x6c)で RX_ON 命令を発行します。送信を終了する場合は TRX_OFF を発行します。

FIFO0 と FIFO1 はパケット毎に切り替えられ、FIFO0⇒FIFO1⇒FIFO0⇒ と交互に使用されます。



●送信時(パケットモード 257byte 以上の場合)

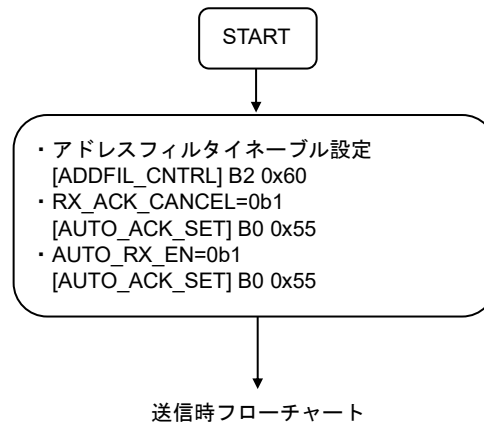
FIFO がオーバーランまたはアンダーランしないように FIFO-FULL 割り込みまたは FIFO-Empty 割り込み(グループ 1 の INT[5]/[4])を監視しながら FIFO へ送信データを書き込みます。その他動作はパケットモード 256byte 以下の場合と同様です。[PACKET_MODE_SET]レジスタ(B0 0x45)の bit2(AUTO_TX)に 0b1 を書き込み、かつ[FAST_TX_SET]レジスタ(B0 0x6a)の FAST_TX_TRG[7:0]で FAST_TX のトリガを設定してください。FIFO へのデータ書き込み量が、FAST_TX_TRG [7:0]で設定する値以上になると送信動作を開始します。



●送信時(アドレスフィルタ機能を用いた Ack 受信)

アドレスフィルタ機能有効時でも Ack パケット(または Beacon パケット)は受信しますが、Ack パケット強制破棄設定([AUTO_ACK_SET]レジスタ(B0 0x55)の bit7(RX_ACK_CANCEL)=0b1)を行うと Ack パケットを破棄することが可能です。

また、AutoRX 機能を有効([AUTO_ACK_SET]レジスタ(B0 0x55)の bit6(AUTO_RX_EN)=0b1)とすると、Ack 要求付データ送信直後に受信した Ack を1パケットのみ破棄せず受信します。



【注意】

アドレスフィルタ機能における ACK パケットの識別はフレームタイプでのみ行っています。したがって、アドレスフィルタ機能を用いた ACK 受信(RX_ACK_CANCEL=0b1 かつ AUTO_RX_EN=0b1)では、最初に受けた Ack パケットが自分宛でなくても受信します。

以降の処理は、受信した ACK パケットが

① 自分宛であった場合

RX_ACK_CANCEL=0b1 のまま継続することで、自動 RX_ON となってから 2 パケット目以降の ACK パケットを破棄します。

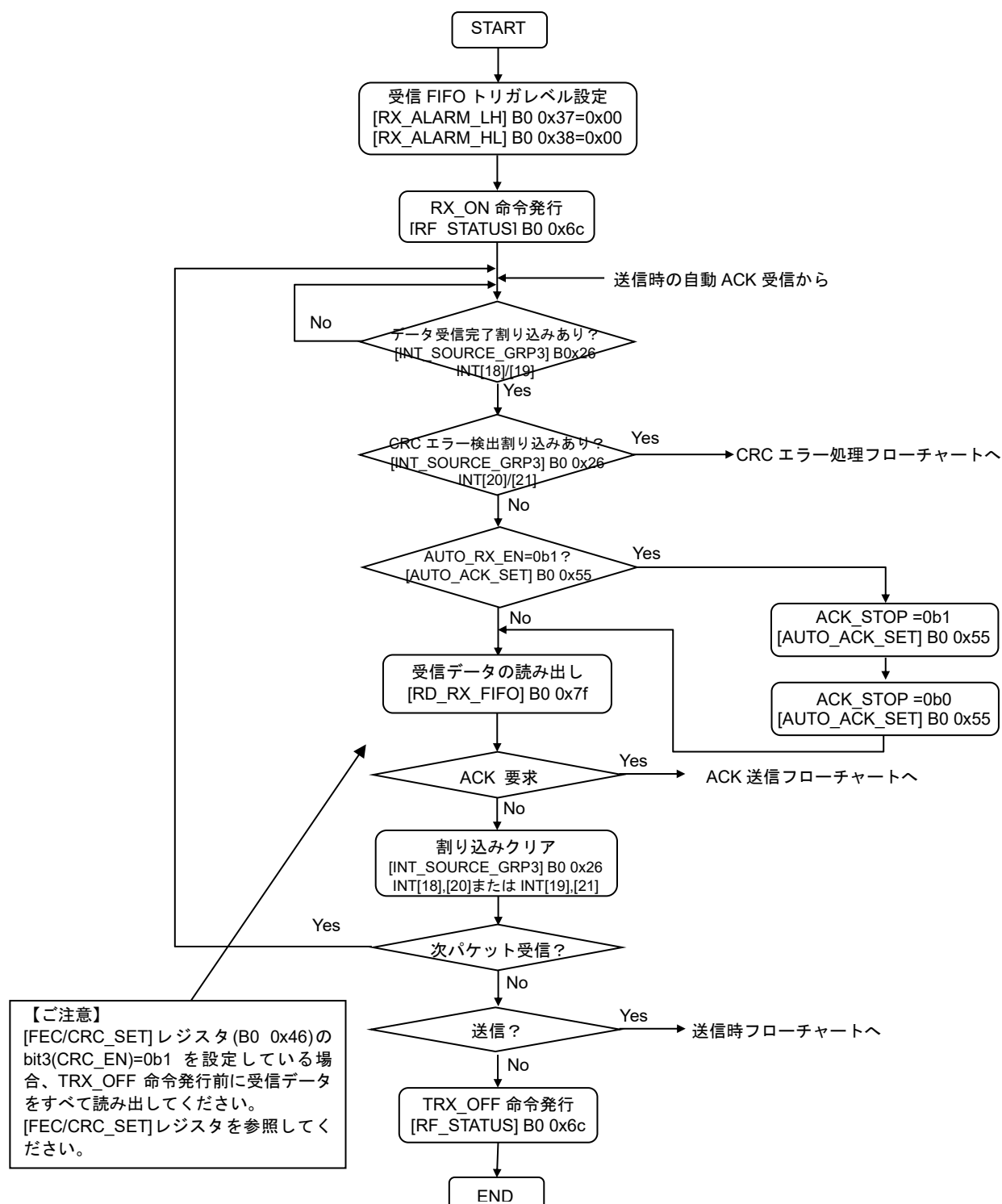
② 自分宛でなかった場合

RX_ACK_CANCEL=0b0 とすることで自分宛の ACK パケットを受けるまで受信を継続することが可能です。

●受信時(パケットモード 256byte 以下の場合)

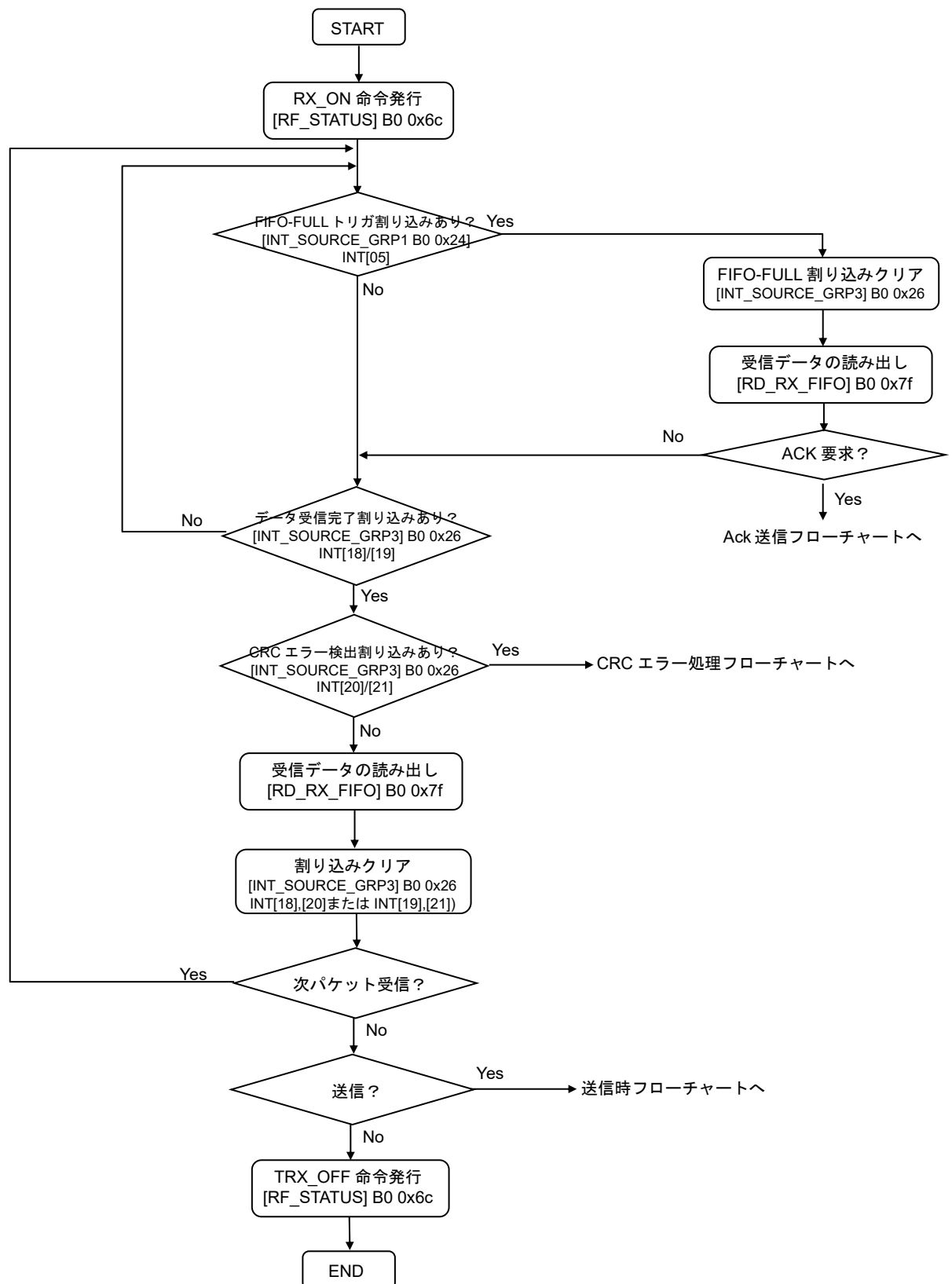
パケットモードは、[PLL_MON/DIO_SEL]レジスタの bit1(DIO_EN)=0b0 を書き込むことで設定でき、パケットモード中に受信状態に設定すると、プリアンプルデータおよび SFD データに合致するパタンが受信できた時点で、データの取り込みを開始し FIFO へ書き込みます。データ受信完了割り込み(グループ 3 の INT[18]/[19])があったら受信データを [RD_RX_FIFO]レジスタ(B0 0x7f)から読み出します。また、CRC エラー割り込み(グループ 3 の INT[20]/[21])があった場合は [INT_SOURCE_GRP1]レジスタの bit7(FIFO_CLR1)または bit6(FIFO_CLR0)に 0b0 を設定して FIFO をクリアできます。割り込みをクリアし後に、次のパケットを受信する場合はそのまま受信状態を継続し、次のデータ受信完了割り込みを待ちます。受信後に送信を行う場合は [RF_STATUS]レジスタ(B0 0x6c)で TX_ON 命令を発行します。受信を終了する場合は TRX_OFF を発行します。

受信 FIFO-Full トリガおよび FIFO-Empty トリガを使用しない場合は、[RX_ALARM_LH]レジスタ(B0 0x37)の受信 FIFO トリガレベル LH および [RX_ALARM_HL]レジスタ(B0x38)の受信 FIFO トリガレベル HL を 0x00 に設定して下さい。



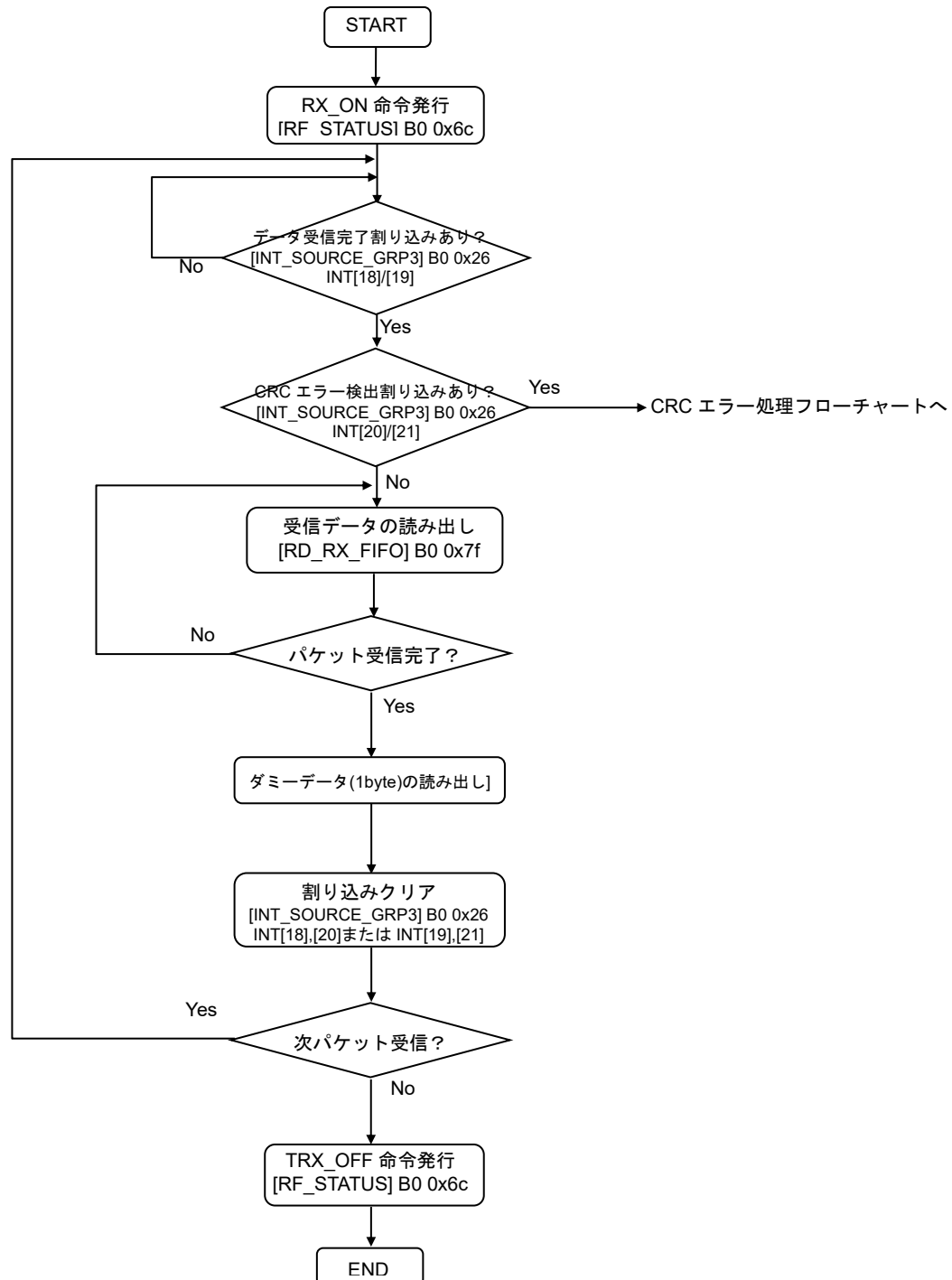
●受信時(パケットモード 257byte 以上の場合)

FIFO がオーバーランまたはアンダーランしないように FIFO-FULL 割り込みまたは FIFO-Empty 割り込みを監視しながら FIFO から受信データを読み出します。その他動作はパケットモード 256byte 以下の場合と同様です。



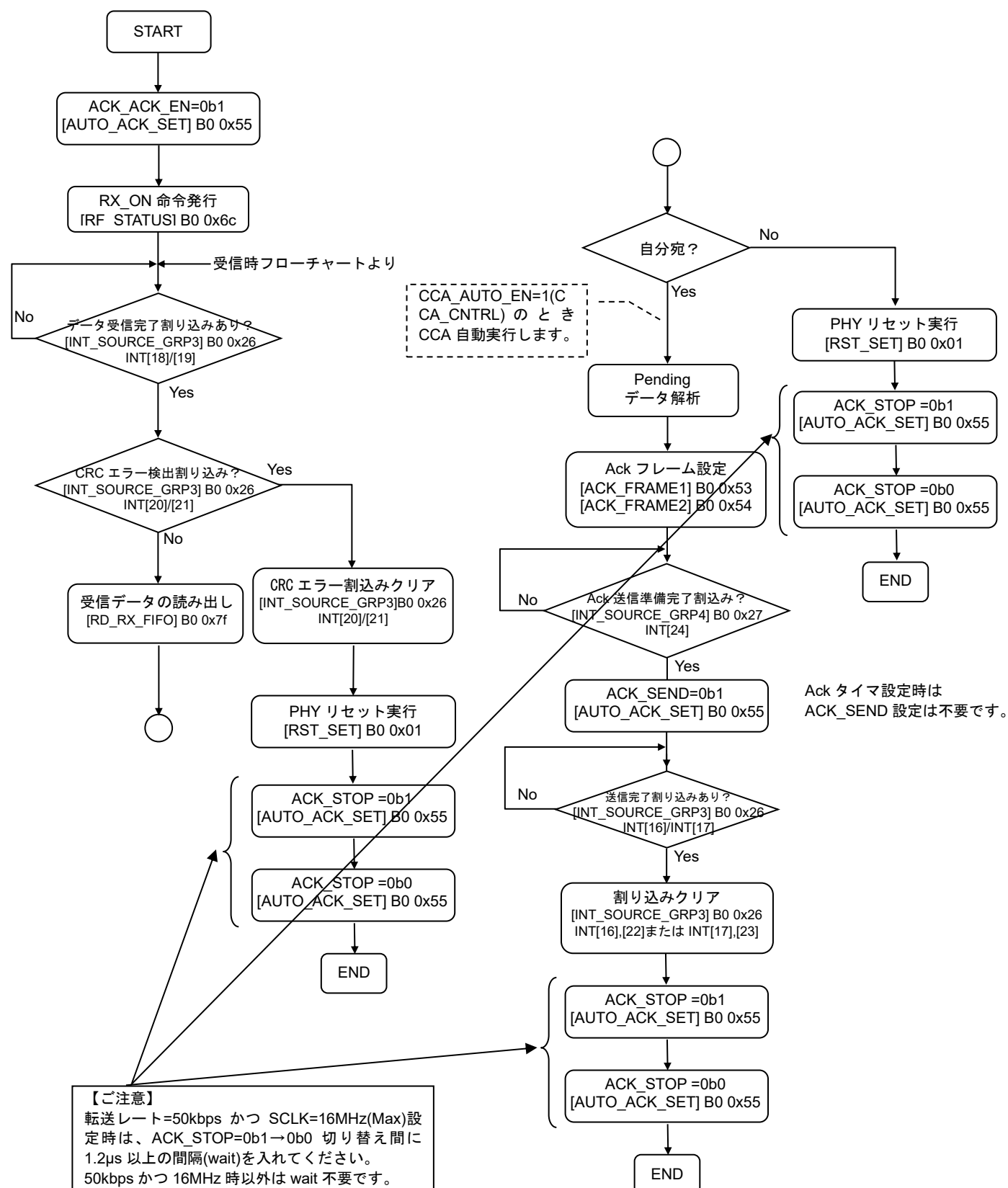
●受信時(IEEE 802.15.4d モードの場合)

[PACKET_MODE_SET]レジスタ(B0 0x45)の bit1(IEEE_MODE)に 0b0 が設定され IEEE802.15.4d モードが設定されている場合、基本のフローは IEEE802.15.4g モードと同じですが、Length で規定されるデータを読み出した後に 1byte 分のダミーデータの読み出しが必要になります。

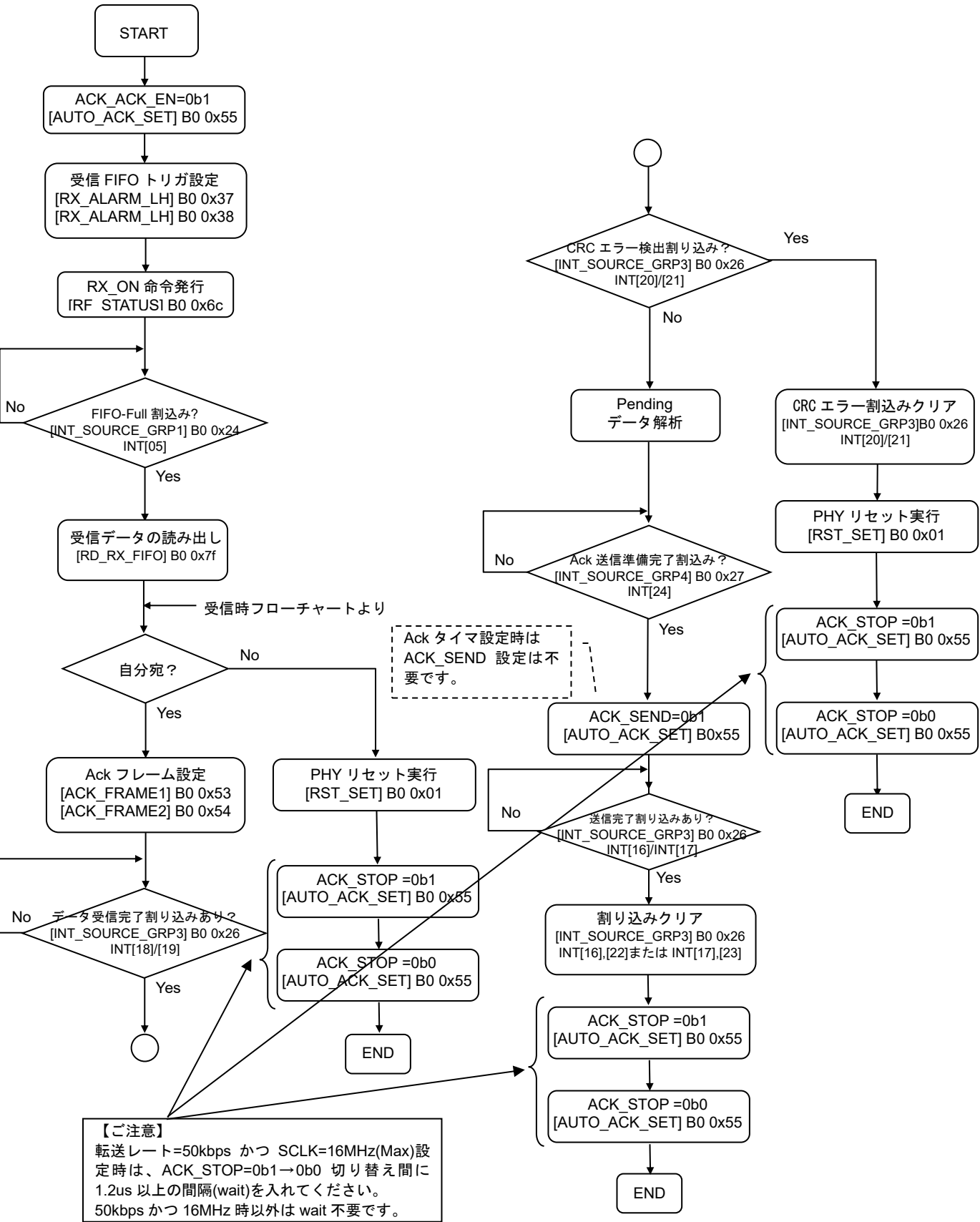


●ACK 送信 (AUTO ACK 使用 256byte 以下の場合)

[AUTO_ACK_SET]レジスタ(B0 0x55)の bit4(AUTO_ACK_EN)に 0b1 が設定され AUTO_ACK 機能が設定されている場合、Ack 要求付きデータを受信すると、Ack パケット送信準備(TX_ON) または自動で Ack パケット送信(Ack タイマー使用時)をします。

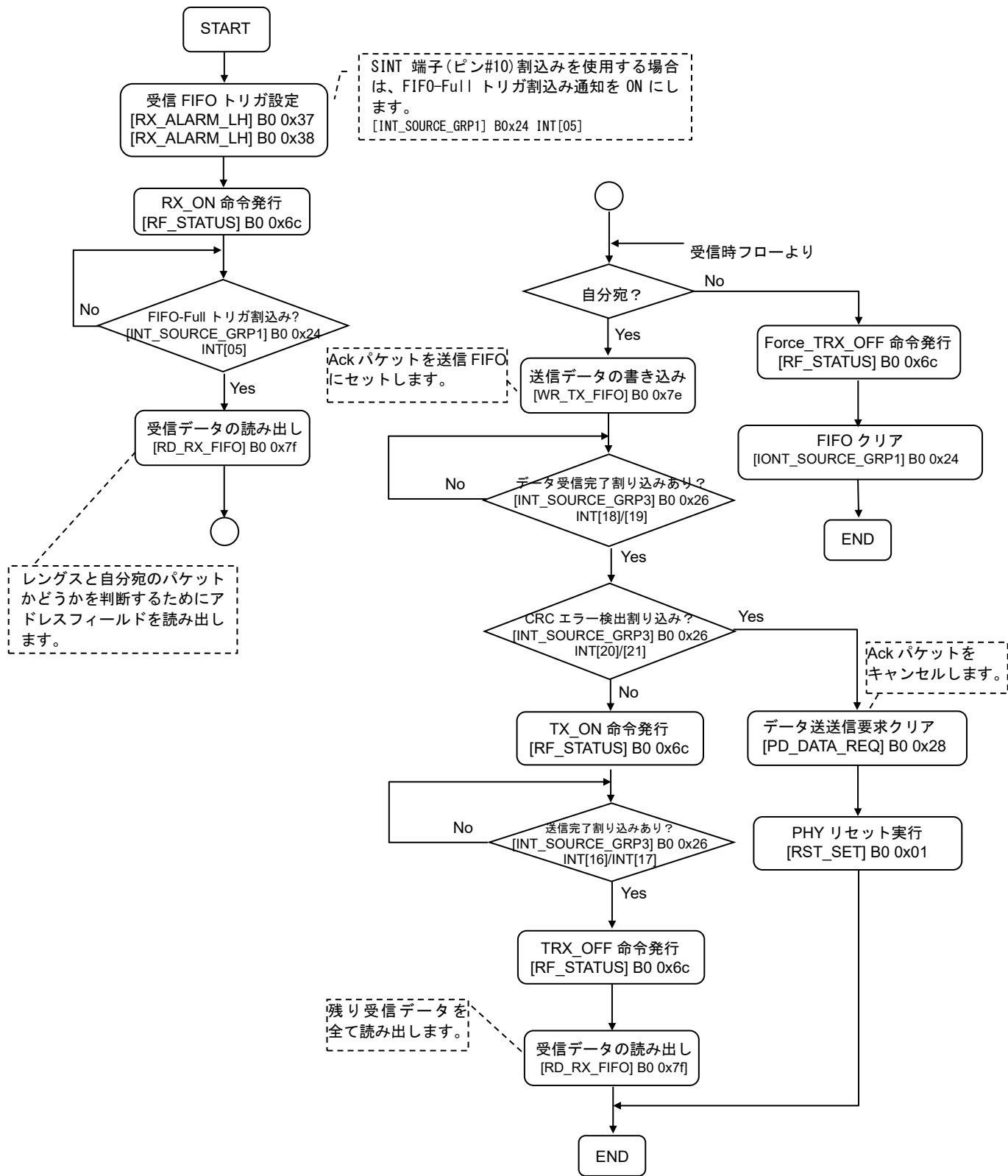


●ACK 送信（AUTO_ACK 使用 257byte 以上の場合）



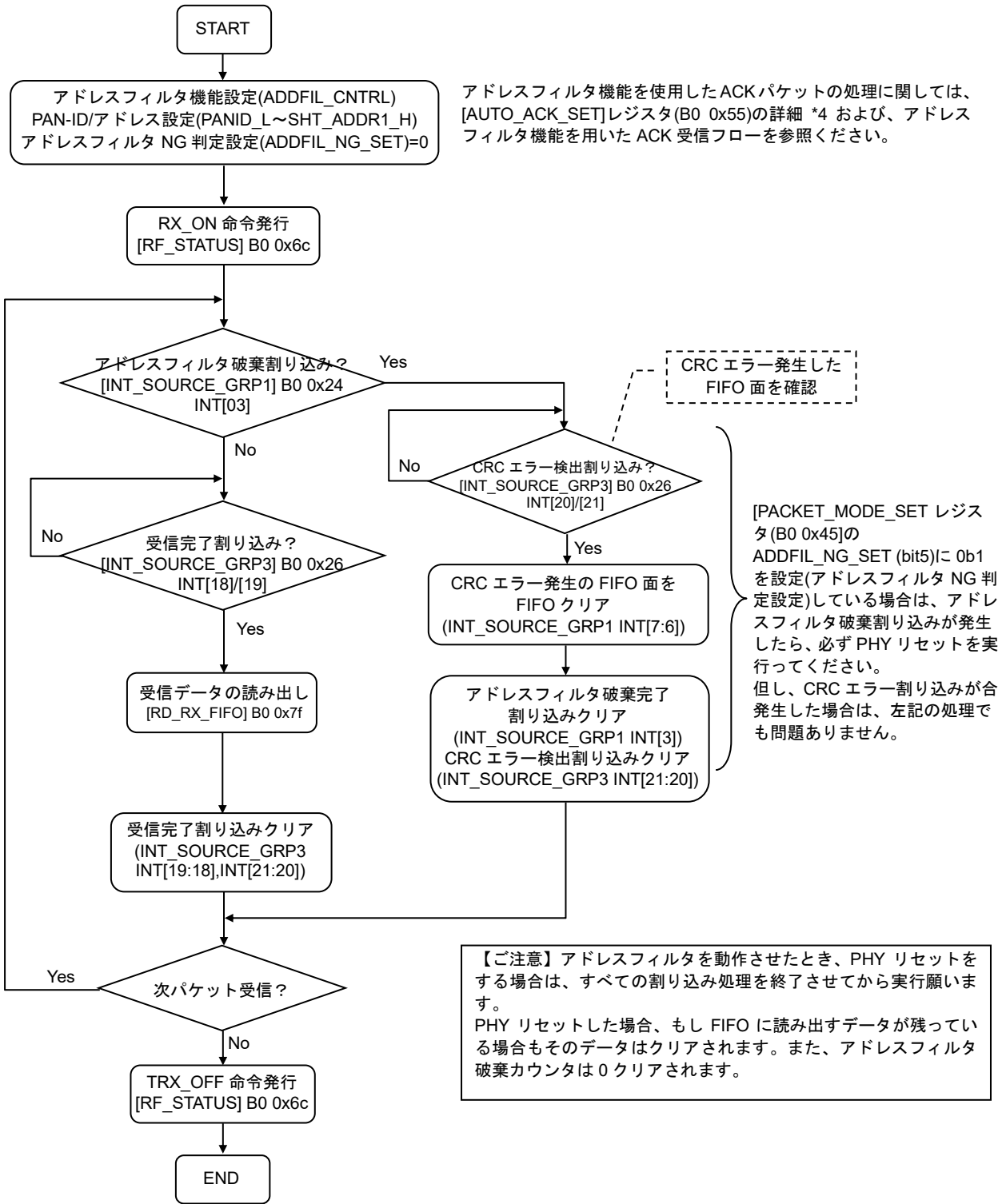
●ACK 送信（AUTO_ACK 未使用）

AutoAck を使用しない場合の Ack 送信フローを以下に示します。AutoAck を使用しない場合、受信時の FIFO-FULL 割り込み(グループ1の INT[05])を使用して受信中に送信 FIFO に Ack フレームをセットし、受信完了後、送信 FIFO にセットした Ack パケットを送信します。



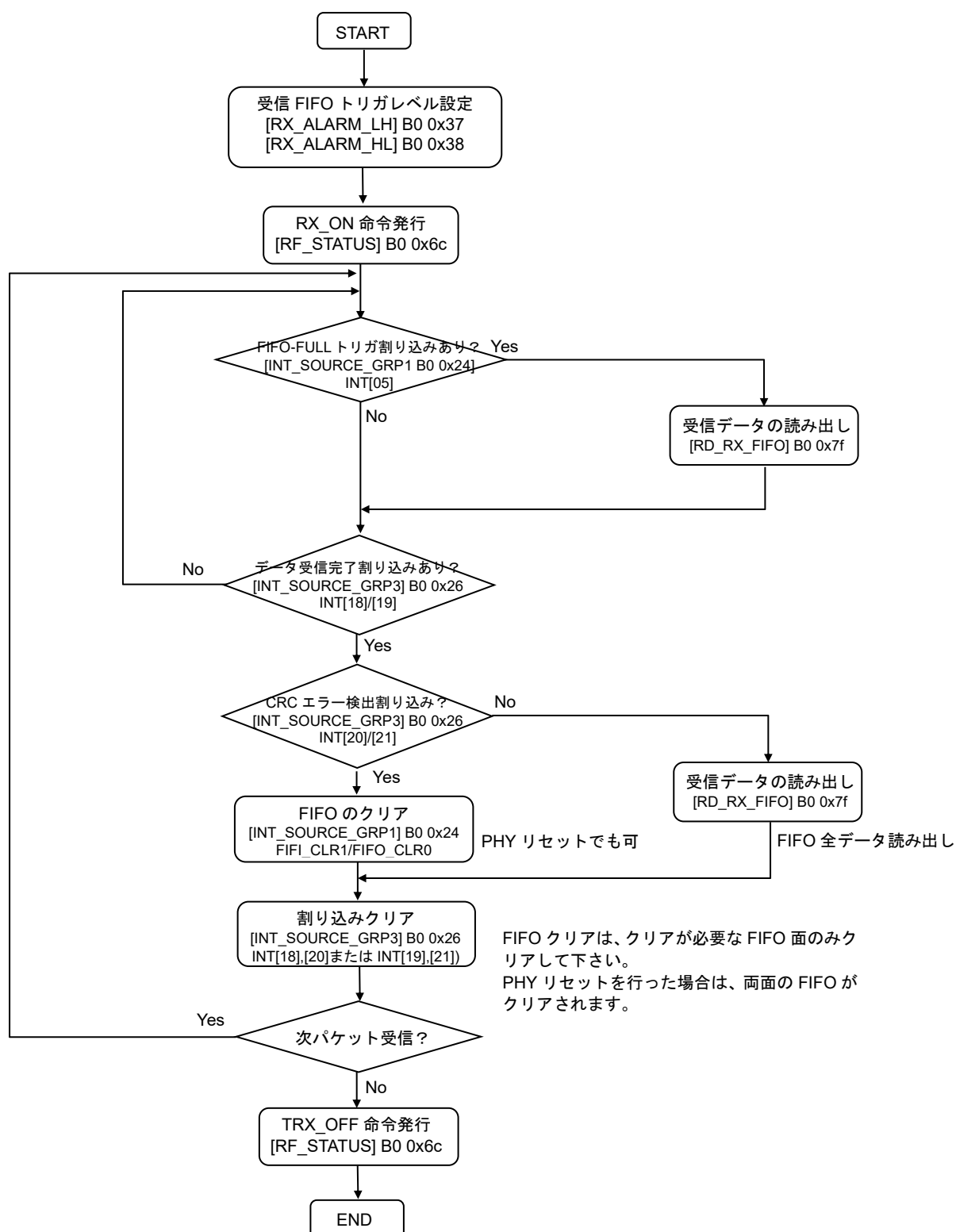
●アドレスフィルタ

アドレスフィルタ機能を使用しアドレス不一致パケットを受信した場合、アドレスフィルタ機能によるパケット破棄完了割り込み(グループ 1 の INT[03])が通知されます。ここで、アドレスフィルタ NG 判定設定([PACKET_MODE_SET]レジスタ(B0 0x45)の bit5(ADDFIL_NG_SET))を 0b0 に設定している場合は、不一致アドレス検出後直ちに破棄され、CRC エラー割込み(グループ 3 の INT[20/21])も同時に通知されます。(通知される割り込みの詳細は「アドレスフィルタ機能」の【割り込み通知タイミング切り替えについて】を参照してください。)パケット破棄完了割り込みおよび CRC エラー割込みが通知された場合には、次パケットを正しい FIFO 面に格納するために、INT_SOURCE_GRP1 レジスタ(B0 0x24)による FIFO クリアまたは Length 分の受信データを FIFO からリードする処理が必要になります。その後、アドレスフィルタ破棄完了割り込み/CRC エラー割込みをクリアし、次パケット受信待ちを行います。



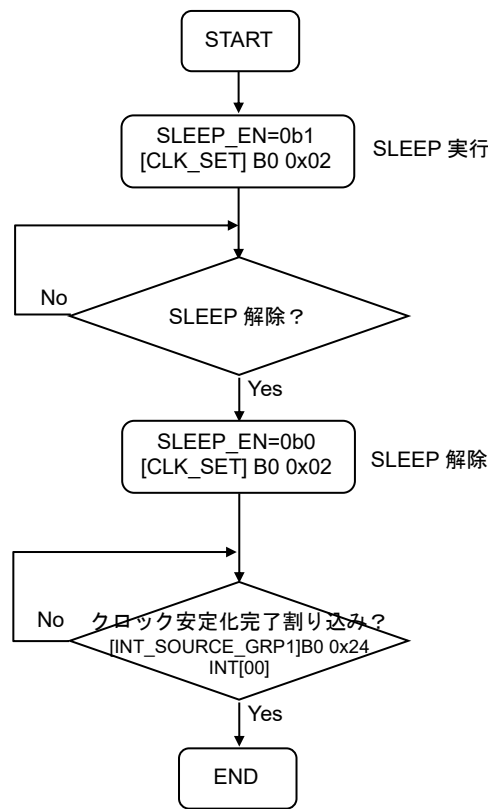
●FIFO のクリア(受信時)

データ受信完了割り込み(グループ3のINT[18]/[19])があがったときにCRCエラー割り込み(グループ3のINT[20]/[21])も通知された場合、残りのデータを読み出す必要がない時はFIFOクリア([INT_SOURCE_GRP1]レジスタ(B0 0x24)のbit7-6(FIFO_CLR1-0)に0b0 書込み)を行い、次にデータ受信完了割り込みとCRCエラー割り込みをクリアします。その後、次のパケットを受信する場合はそのまま受信状態を継続します。受信を終了する場合は[RF_STATUS]レジスタ(B0 0x6c)でTRX_OFF 命令を発行します。FIFO クリアは必ずクリアするFIFO 面に対してのみ行ってください。[RST_SET]レジスタ(B0 0x01)を使ったPHY リセット実行によるFIFO クリアも可能です。



●SLEEP

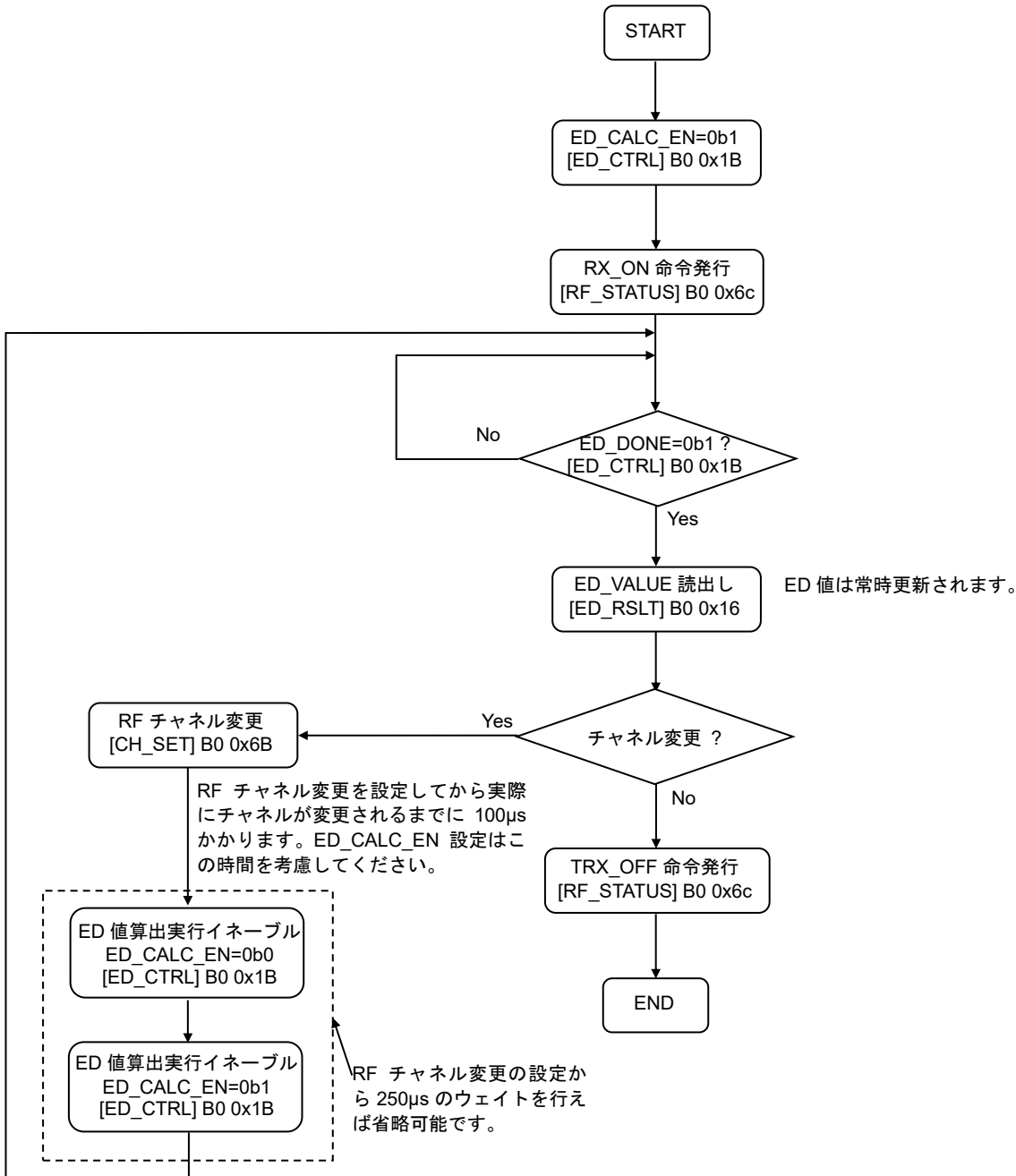
[CLK_SET]レジスタ(B0 0x02)の bit5 (SLEEP_EN)を 0b1 に設定することにより SLEEP が実行されます。また、SLEEP_EN を 0b0 に設定することにより SLEEP が解除されます。



●ED-SCAN

[ED_CNTRL]レジスタ(B0 0x1b)の bit7 (ED_CALC_EN)に 0b1 が設定されている状態で RX_ON 状態に設定すると、ED 値の自動取得を開始します。ED 値は RX_ON かつ ED_CALC_EN=0b1 の時、常に最新の値に更新されます。

RF チャンネル変更時のみ RF チャンネル変更後に ED_CALC_EN を 0b0 に設定し、再度 0b1 に設定してください。RF チャンネル変更時以外では ED_CALC_EN に 0b0 に設定しないでください。



●CCA の実行

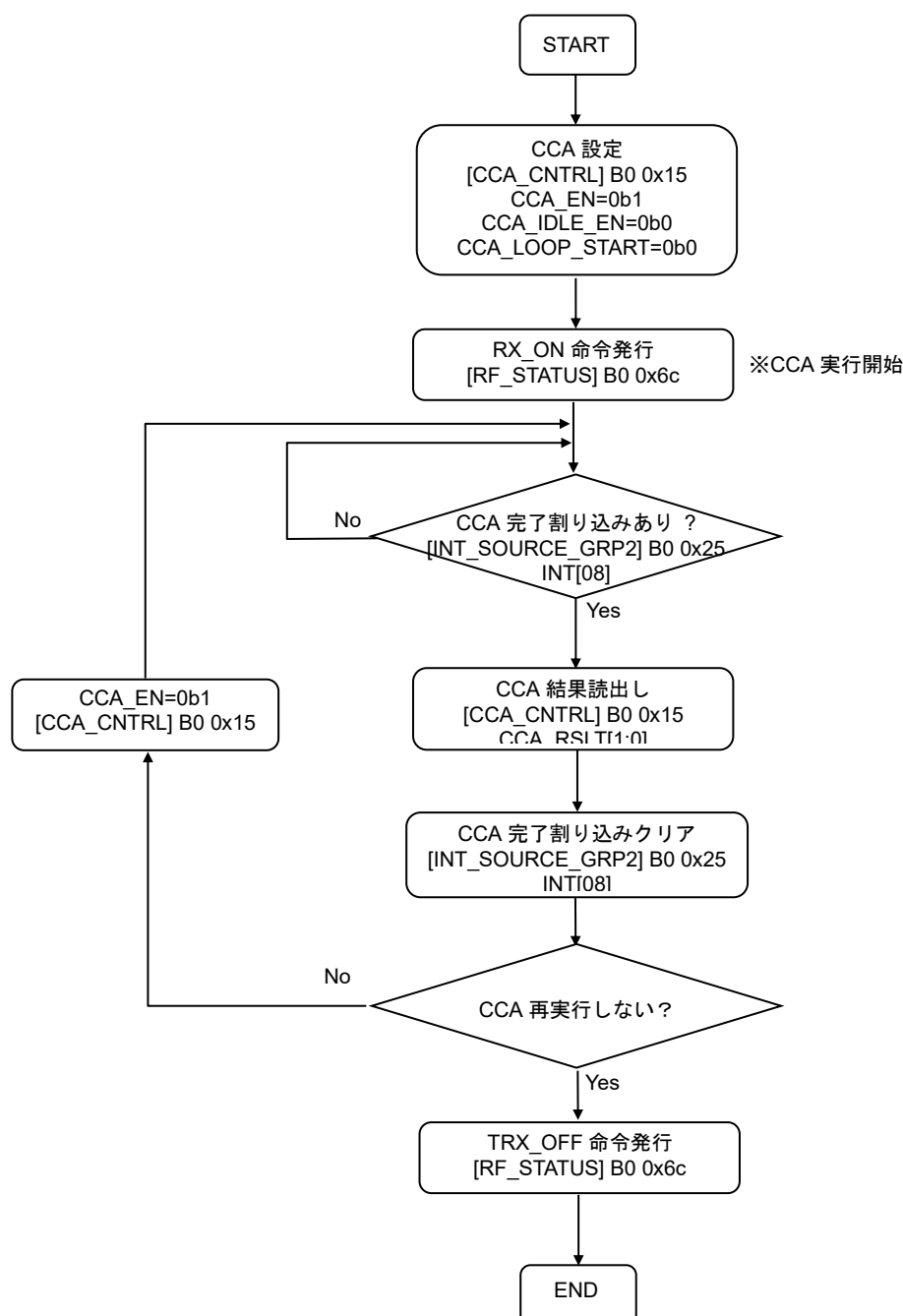
○通常モード

[CCA_CNTRL]レジスタ(B0 0x15)の bit4(CCA_EN)=0b1、bit3(CCA_IDLE_EN)=0b0、bit5(CCA_LOOP_START)=0b0を設定し、RX_ON 状態に設定すると取得した ED 値の平均値と[CCA_LEVEL]レジスタ(B0 0x13)に設定した CCA_閾値の大小比較を実行し、結果を通知します。CCA 実行後、CCA_EN ビットはディセーブルにセットされ RF は RX_ON を維持します。

RX_ON 状態で CCA_EN に 0b1 を設定した場合でも CCA 実行可能です。ただし、その場合はフィルタ安定化期間 16 μ s ~ 32 μ s (AD 変換 2 回分)の WAIT が CCA 実行前に自動で付加されます。(RX_ON 前に CCA_EN=0b1 を設定した場合は、フィルタ安定化期間が RF 状態遷移時間に包含されるため、付加されません。)

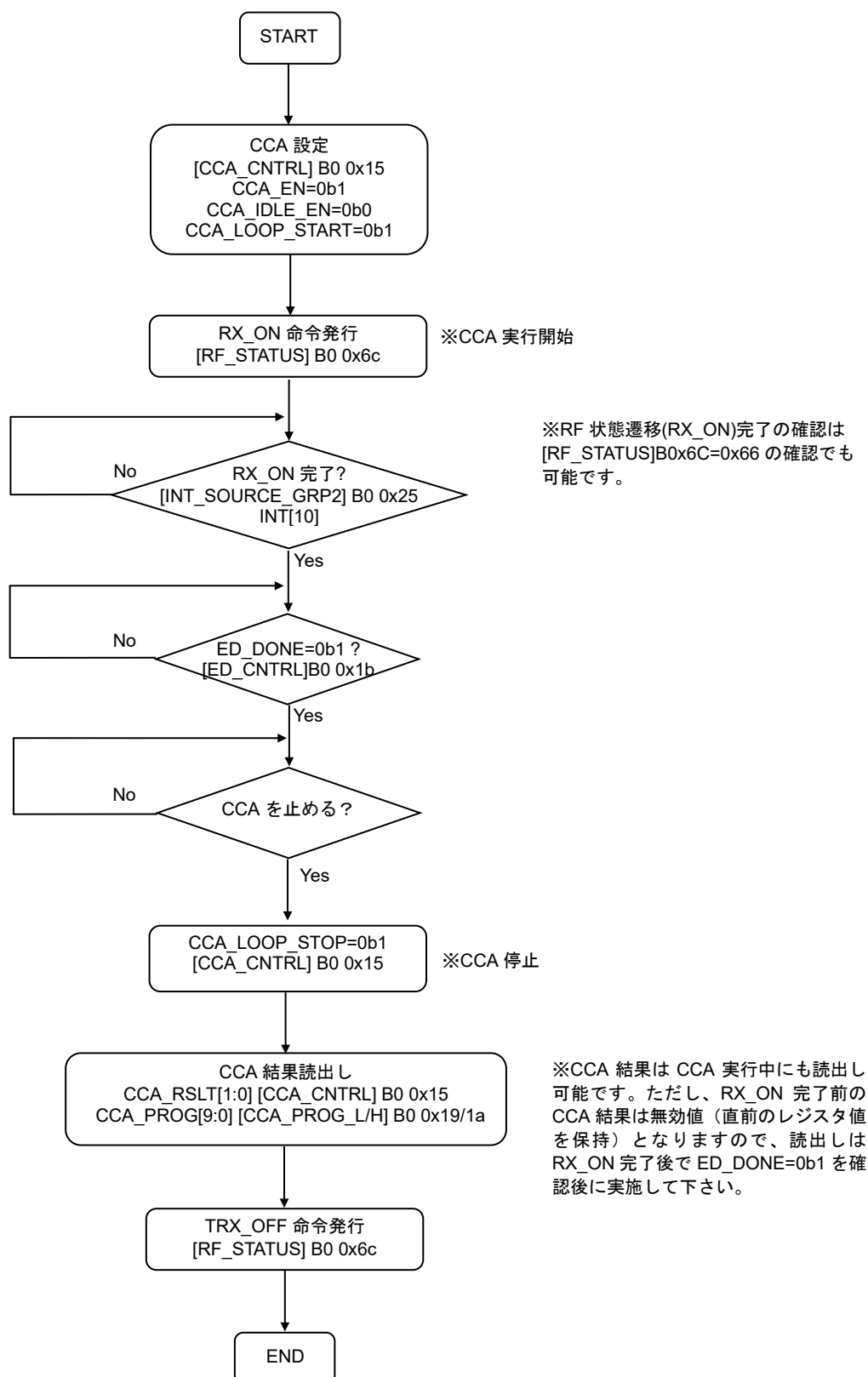
CCA 中に希望波を受信し同期を確立した場合、CCA 中の広い BPF 帯域幅のまま受信を継続します。また、同期確立中に CCA を実行した場合、通常の BPF 帯域幅で CCA を実行します。

ダイバーシティサーチ中も CCA 実行可能です。この場合、CCA 完了後、自動でダイバーシティサーチが再開します。



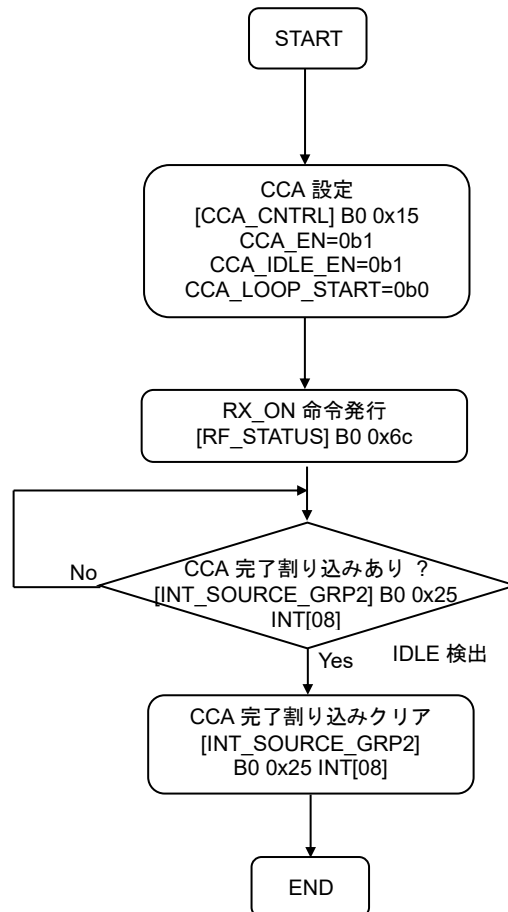
○無限実行モード

[CCA_CNTRL]レジスタ(B0 0x15)の bit4(CCA_EN)=0b1、bit3(CCA_IDLE_EN)=0b0、bit5(CCA_LOOP_START)=0b1を設定し、RX_ON 状態に設定すると CCA の無限実行モードが実行されます。本モードでは、自動停止せずに bit6(CCA_STOP)に 0b1 をセットするまで CCA 続きます。bit2(CCA_DONE)は 0b1 にならず、CCA 完了割り込み(グループ 2 の INT[08])も通知されません。CCA 実行中、bit1-0(CCA_RSLT[1:0])と[CCA_PROG_L/H] レジスタ(B0 0x19,0x1a)の CCA_PROG[9:0] は常に更新され、CCA_LOOP_STOP に 0b1 がセットされると値を保持します。



○IDLE 検出モード

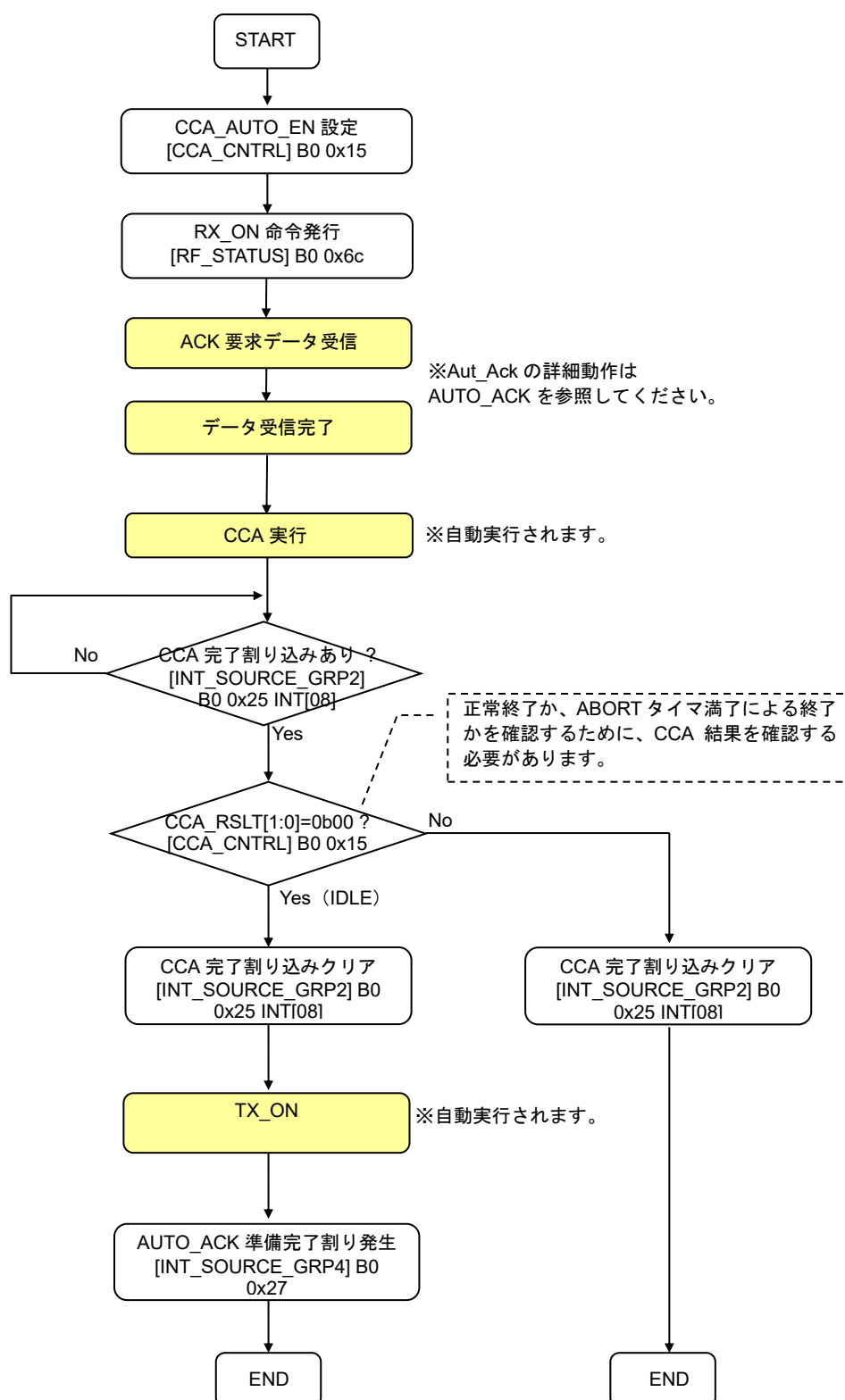
IDLE 検出するまで CCA を継続するモードです。[CCA_CNTRL]レジスタ(B0 0x15)の bit4(CCA_EN)=0b1、bit3(CCA_IDLE_EN)=0b1、bit5(CCA_LOOP_START)=0b0 を設定し、RF を受信状態(RX_ON)に設定すると CCA (IDLE 検出モード)が実行されます。



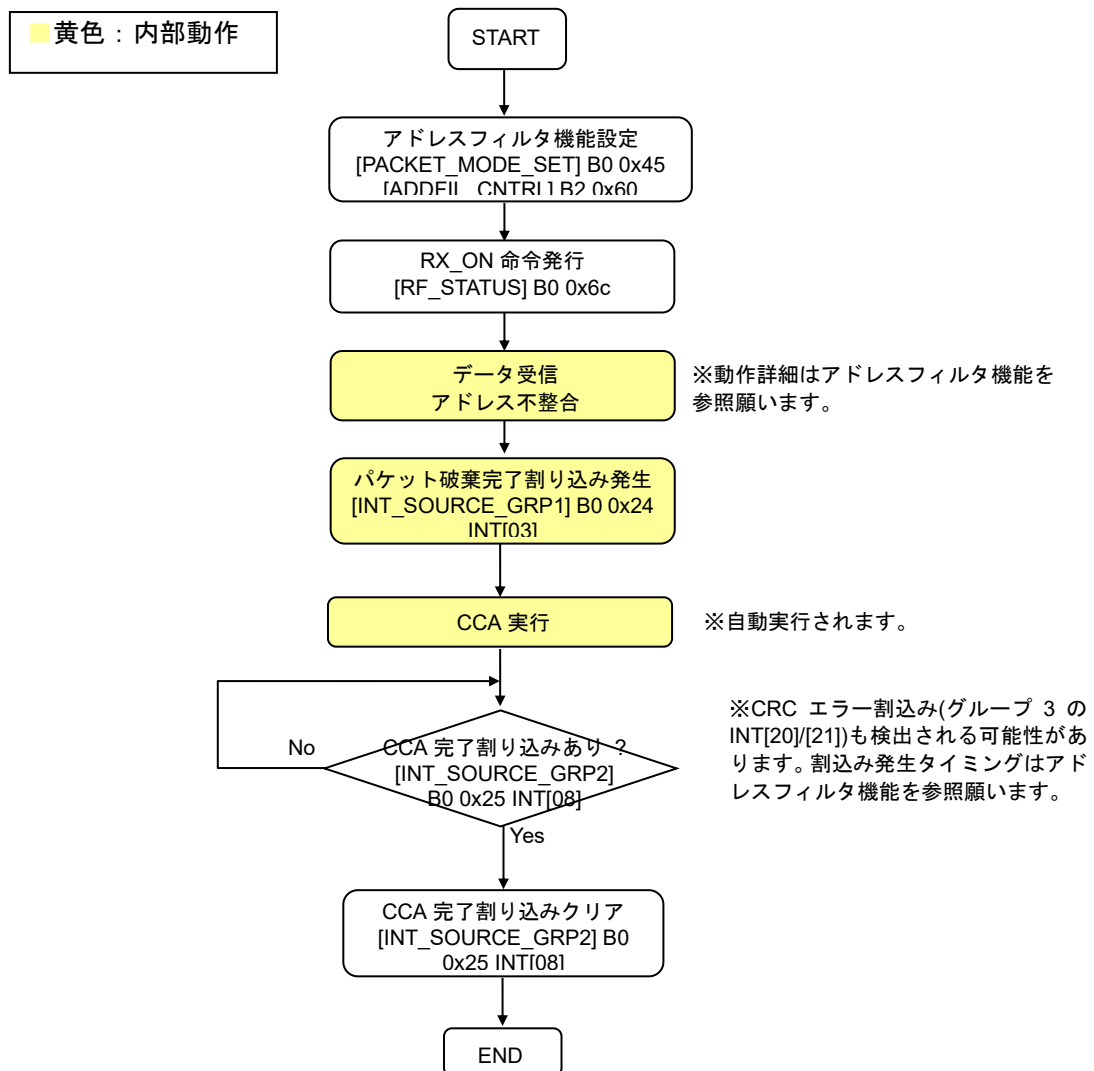
また、次の2ケースにおいても、CCA (IDLE 検出モード) が自動実行されます。

1. [CCA_CNTRL]レジスタ(B0 0x15)の bit7(CCA_AUTO_EN)に 0b1 が設定されていると、AutoAck 時に IDLE 検出モードで CCA 自動実行します。

■黄色：内部動作



2. [ADDFIL_CNTRL]レジスタ(B2 0x60)の bit4-0 のいずれかに 0b1 が設定されアドレスフィルタ機能が有効になっており、かつ[PACKET_MODE_SET]レジスタ(B0 0x45)の bit0(ADDFIL_IDLE_DET)に 0b1 が設定されていると、データ破棄後に IDLE 検出モードで CCA 自動実行します。

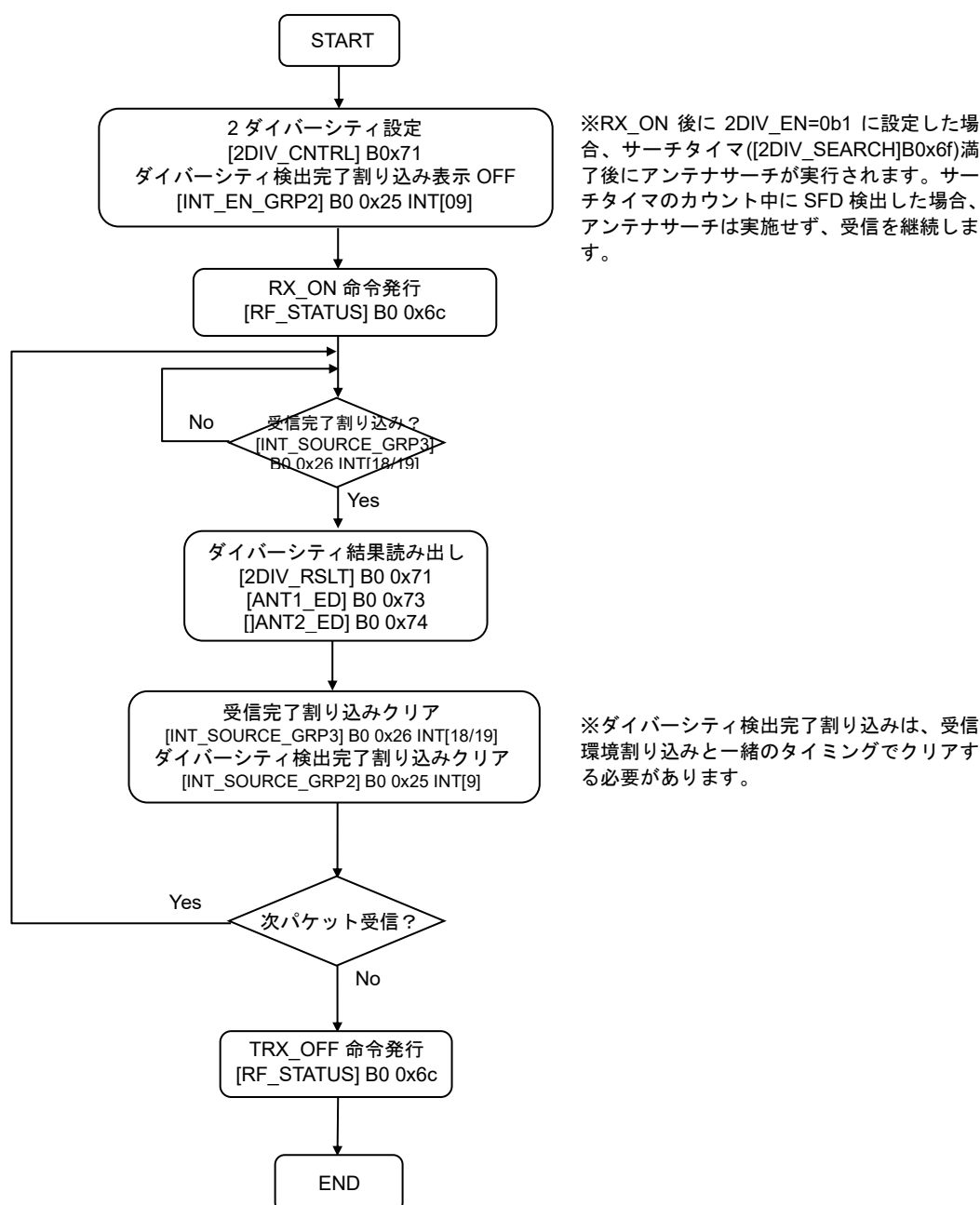


●2 ダイバーシティの実行

[2DIV_CNTRL]レジスタ(B0 0x71)の bit1 (2DIV_EN)に 0b1 が設定されている状態で RX_ON 状態に設定すると、受信データを検出時にアンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナを使用するよう制御します。

本 LSI は熱雑音などによる誤り検出からの回復機能があります。ダイバーシティ完了後、ANT サーチタイマ満了時までには、プリアンプル検出できない場合には、最初のプリアンプル検出が誤検出から引き起こされた誤ったダイバーシティ完了であると判断し、アンテナサーチを再自動実行いたします。本動作に対するレジスタ設定は不要です。従いまして、上位 MCU として熱雑音によるダイバーシティ誤完了を意識する必要はありません。次パケット受信のためダイバーシティを行う場合には、上位 MCU は受信完了後に受信完了割り込み(グループ 3 の INT[18]/INT[19])およびダイバーシティ検出完了割り込み(グループ 2 の INT[09])をクリアしてください。詳細は「ダイバーシティ機能」をご参照願います。

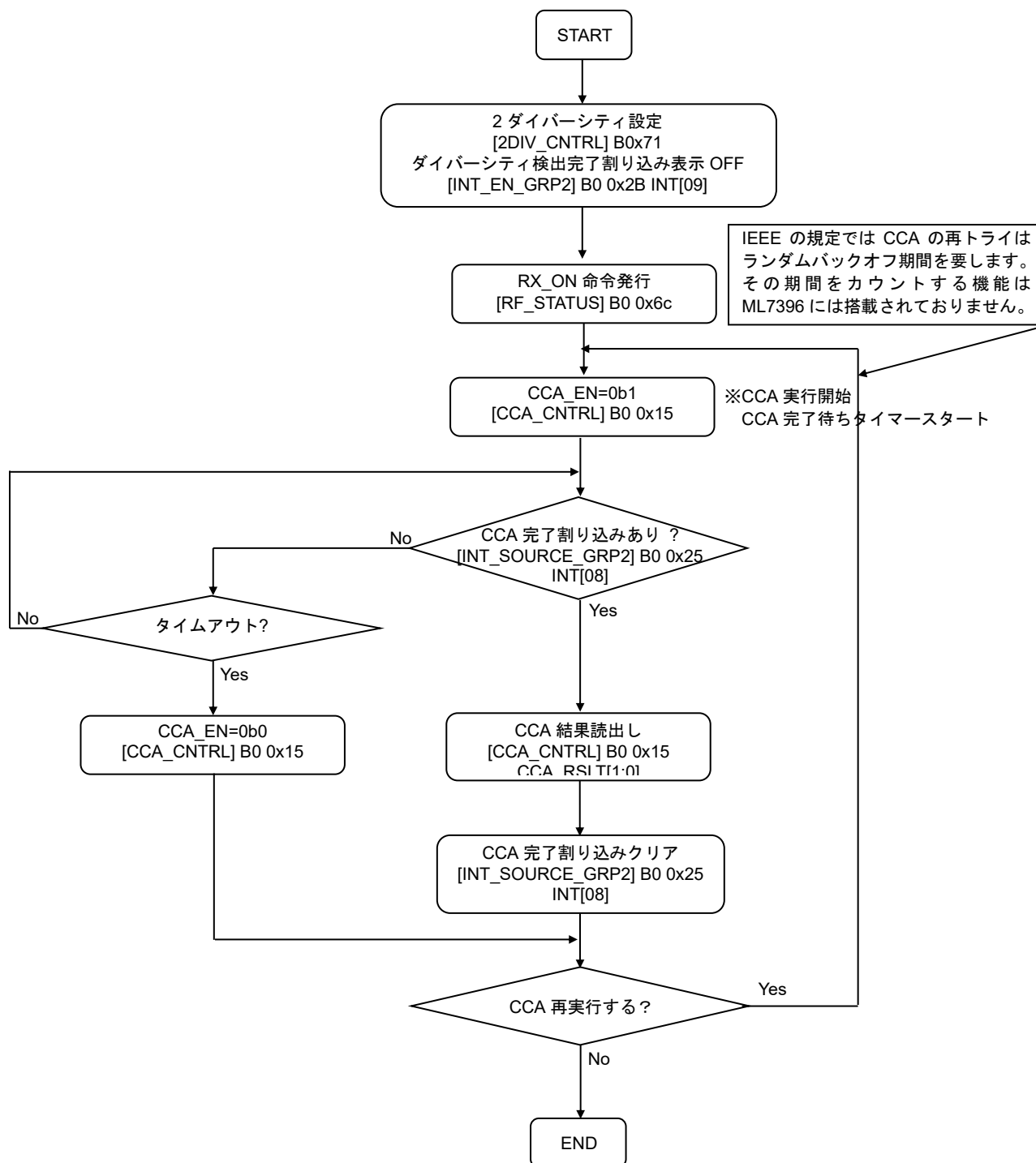
ダイバーシティにより取得した ED 値([ANT1_ED]/[ANT2_ED]レジスタ(B0 0x73/74))およびダイバーシティアンテナ結果([2DIV_RSLT]レジスタ(B0 x072)の bit1-0)はダイバーシティ検出完了割り込みクリア、受信完了割り込みクリア時、またはダイバーシティ誤完了判定によるアンテナサーチ再自動実行時にクリアされます。従いまして、ダイバーシティにより取得した ED 値およびダイバーシティアンテナ結果は受信完了割り込みクリア前に読み出してください。



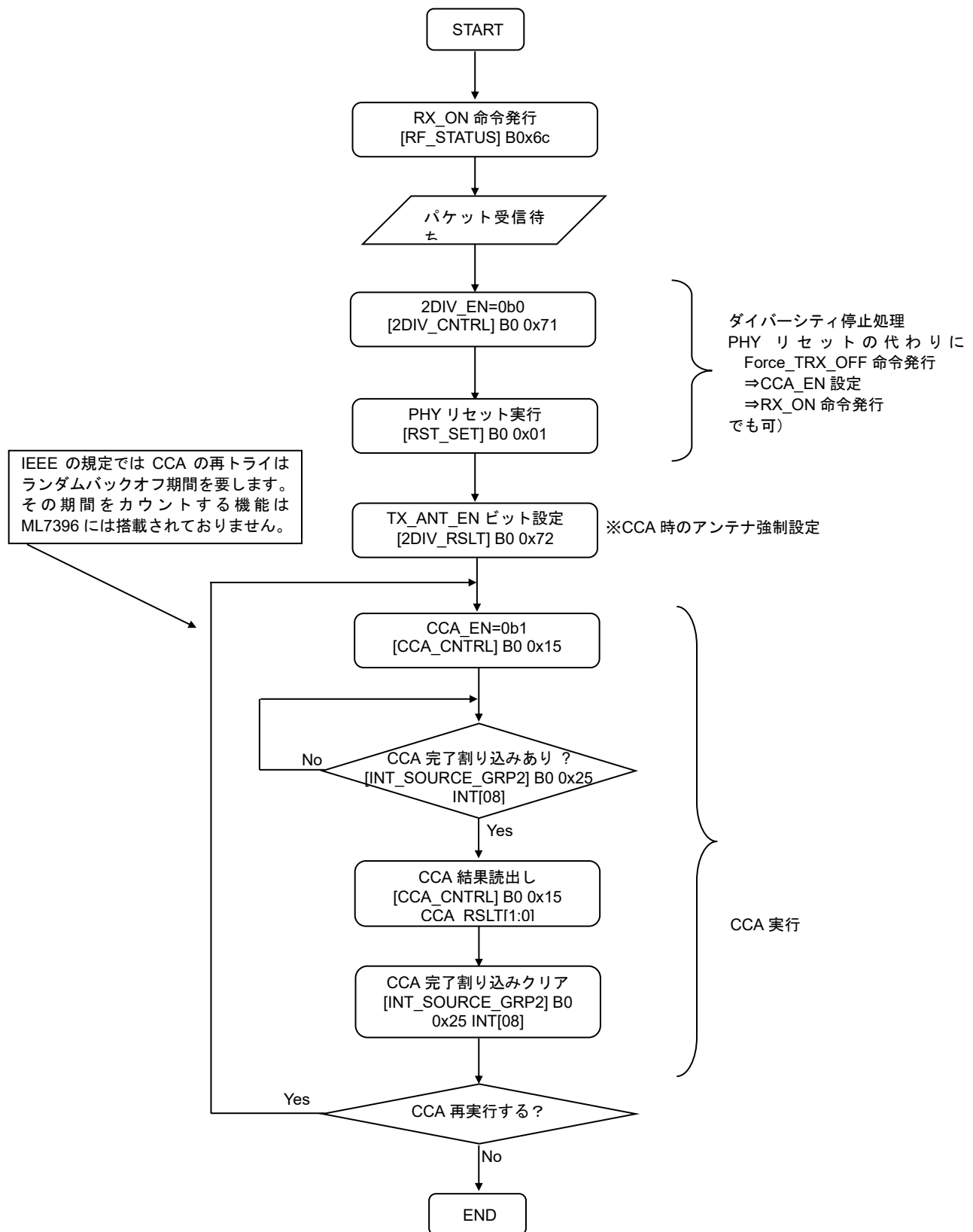
●2 ダイバーシティ動作中の CCA 実行

ダイバーシティ使用時に CCA を実行した場合、稀に[CCA_CNTRL]レジスタの(B0 0x15)CCA_DONE が通知されずに CCA を継続することがあります。そのため、ダイバーシティ使用時に CCA を実行する場合は、CCA 完了割り込み待ちにタイムアウト機能を設けるか(①)、ダイバーシティ設定を OFF してから CCA を実行して下さい(②)。

①タイムアウトを設定する場合



②ダイバーシティ設定を OFF してから CCA を実行する場合



●エラー発生時の処理

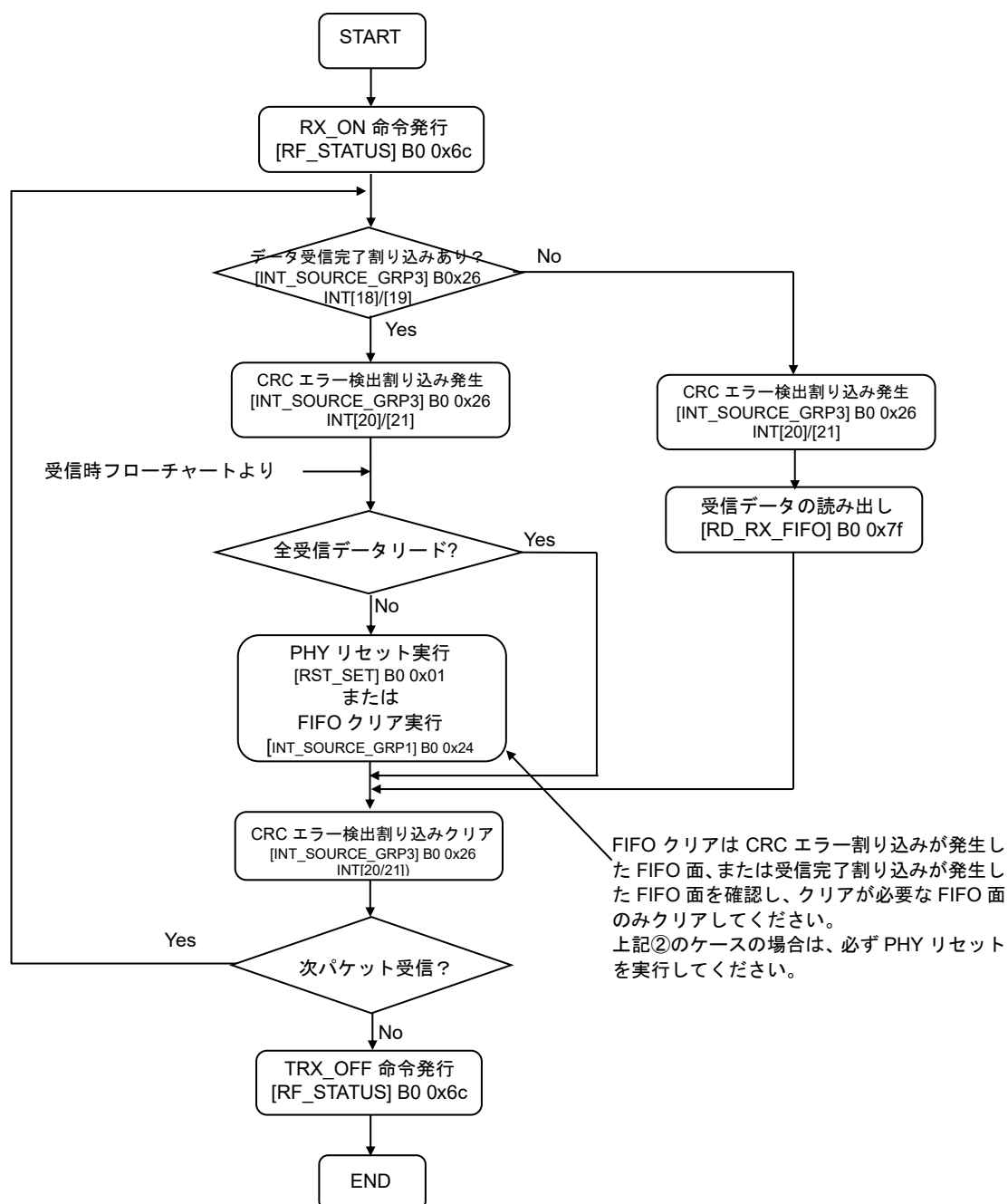
OCRC エラー

① 受信データに誤りがあり CRC エラーとなった場合

受信データが CRC エラーであった場合、全受信データを FIFO からリードせずに[RST_SET]レジスタ(B0 0x01)による PHY リセットまたは[INT_SOURCE_GRP1]レジスタ(B0 0x24)による FIFO クリアすることで受信動作を継続することができます。FIFO クリアについては FIFO クリアのフローチャートをご参照ください。

② SFD 検出後のデータ受信中に電波強度の急激な変動等により受信できなくなった場合

CRC エラー割り込み(グループ 3 の INT[20]/[21])として通知し、データ受信完了割り込み(グループ 3 の INT[18]/[19])は通知されません。データ受信完了割り込みが通知されず CRC エラー割り込みが通知された場合には Length 分の受信データを読み出し、CRC エラー検出割り込みをクリアしてください。SFD 検出後データ受信中とは、Length、データ、CRC 領域の受信中を指します。



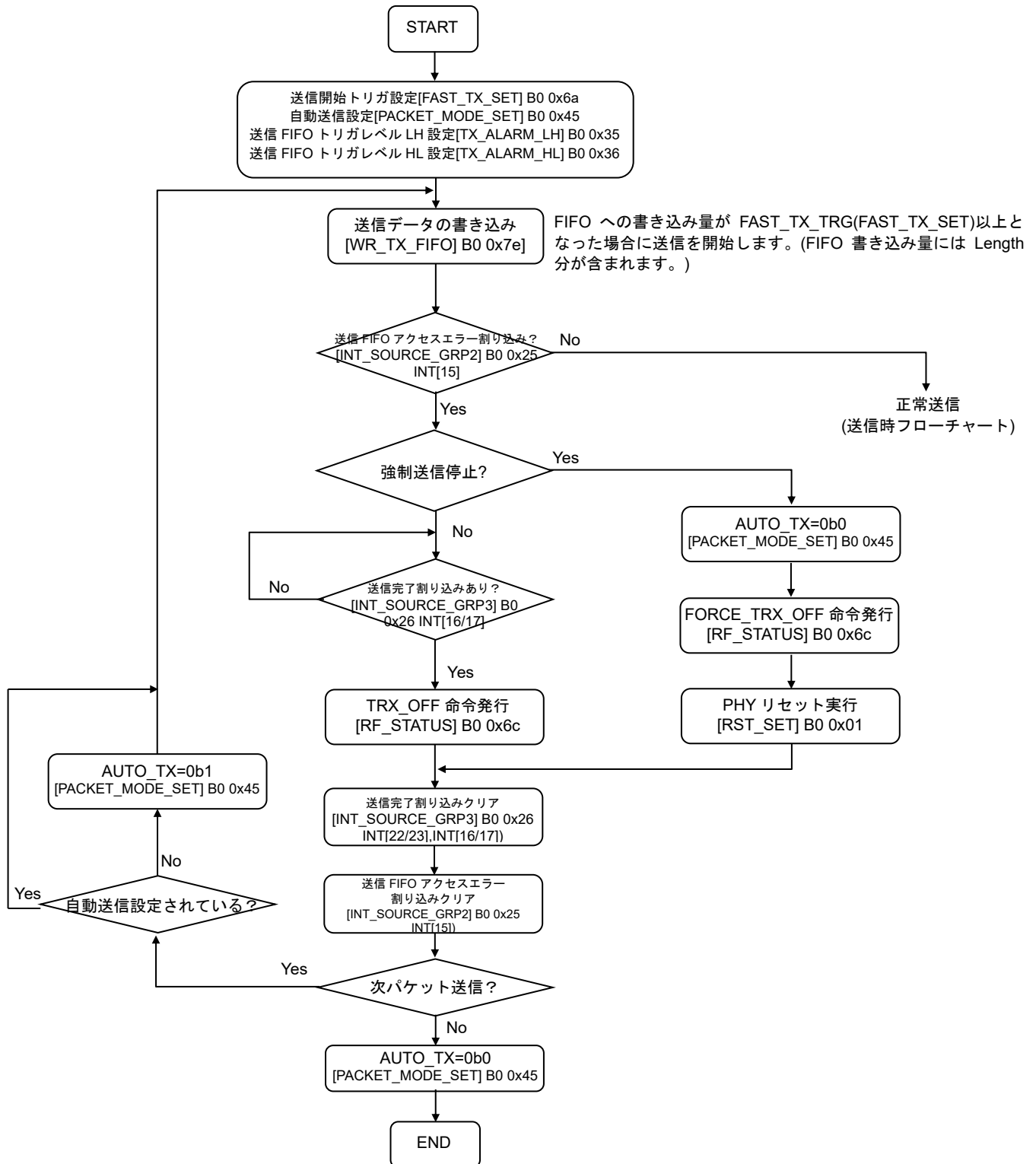
○送信 FIFO アクセスエラー

以下の条件を満たした時に送信 FIFO アクセスエラー割り込み(グループ 2 の INT[15])が発生します。

- 2面のFIFOが送信未完了の状態で、3パケット目を書き始めたとき
- FIFOに対してデータ書き込みによりオーバーフローが発生したとき
- 送信途中にFIFOに送信すべきデータがなくなったとき

このとき、データ送信完了割り込み(グループ3のINT[16]/[17])を待ってTRX_OFF命令を発行するか、送信完了割り込みを待たずにFORCE_TRX_OFFを実施し、データ送信要求受付完了割り込み(グループ3のINT[22/23])およびデータ送信完了割り込みをクリアしてください。

また、本LSIは送信FIFOアクセスエラーが発生した場合、その後の送信データを反転処理します。エラー発生時の処理方法として、送信完了割り込みを待ってTRX_OFF命令を発行する場合においても、受信側ではCRCエラーとなります。

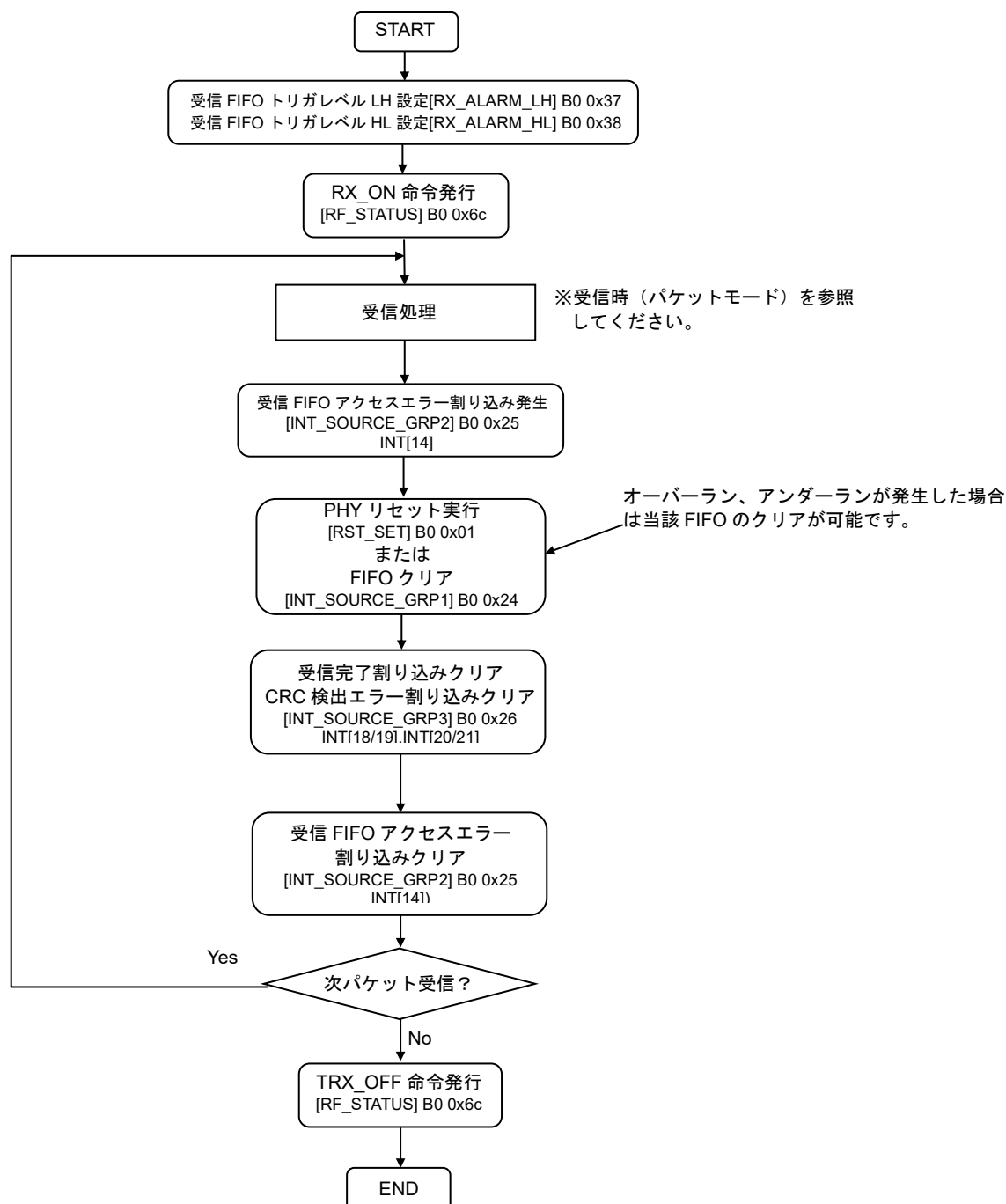


○受信 FIFO アクセスエラー

以下の条件を満たした時に受信 FIFO アクセスエラー割り込み(グループ 2 の INT[14])が発生します。

- 2 面の FIFO に受信データがある状態で 3 パケット目の受信が行われたとき
- 読み出し不足により FIFO に対してデータ受信によるオーバーフローが発生したとき
- FIFO に読み出すべきデータがない状態でデータを読み出したとき(アンダーラン)

このとき、受信完了割り込み(グループ 3 の INT[18]/[19])後に[RST_SET]レジスタ(B0 0x01)による PHY リセットまたは [INT_SOURCE_GRP1]レジスタ(B0 0x24)FIFO クリアを実施し受信完了割り込みをクリアしてください。2 面受信後、CLK1_EN([CLK_SET]レジスタの bit1)に 0b0 を設定することで、受信アクセスエラーを抑止できます。

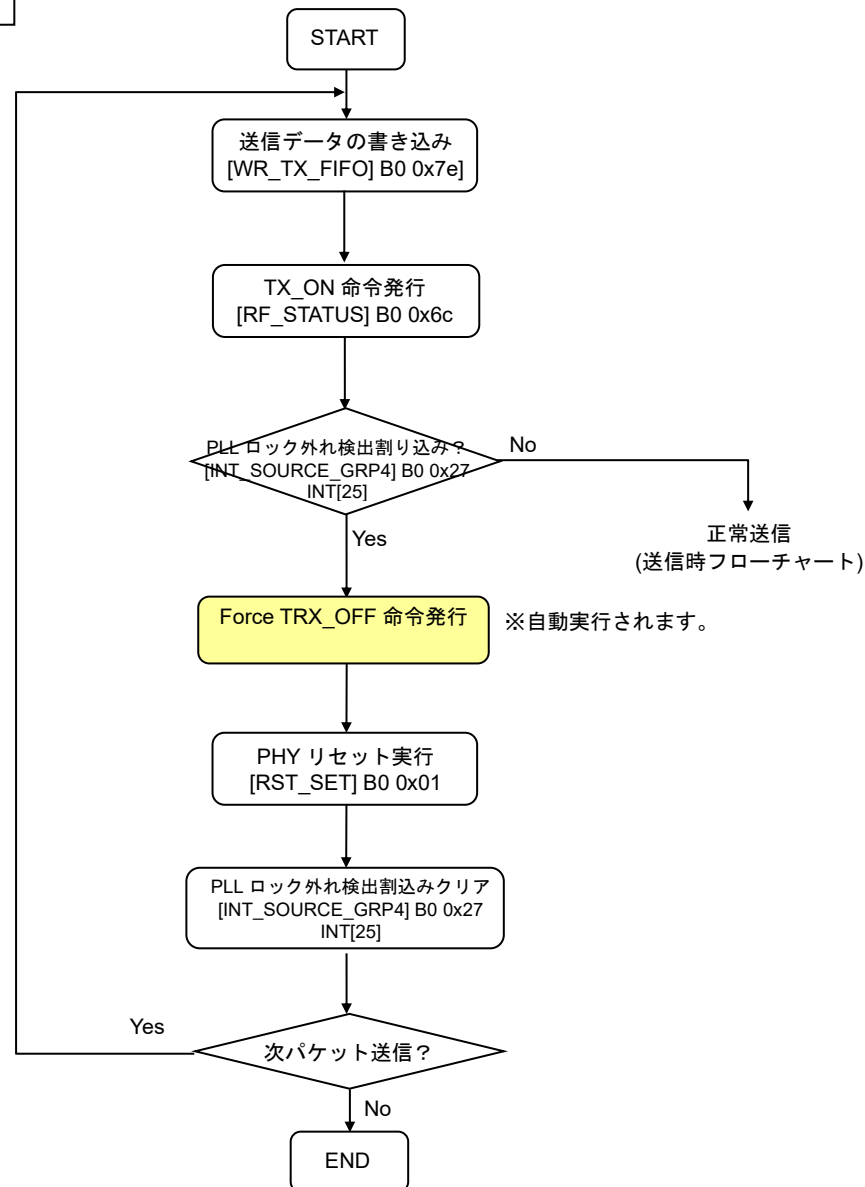


OPLL ロック外れ検出

送信時

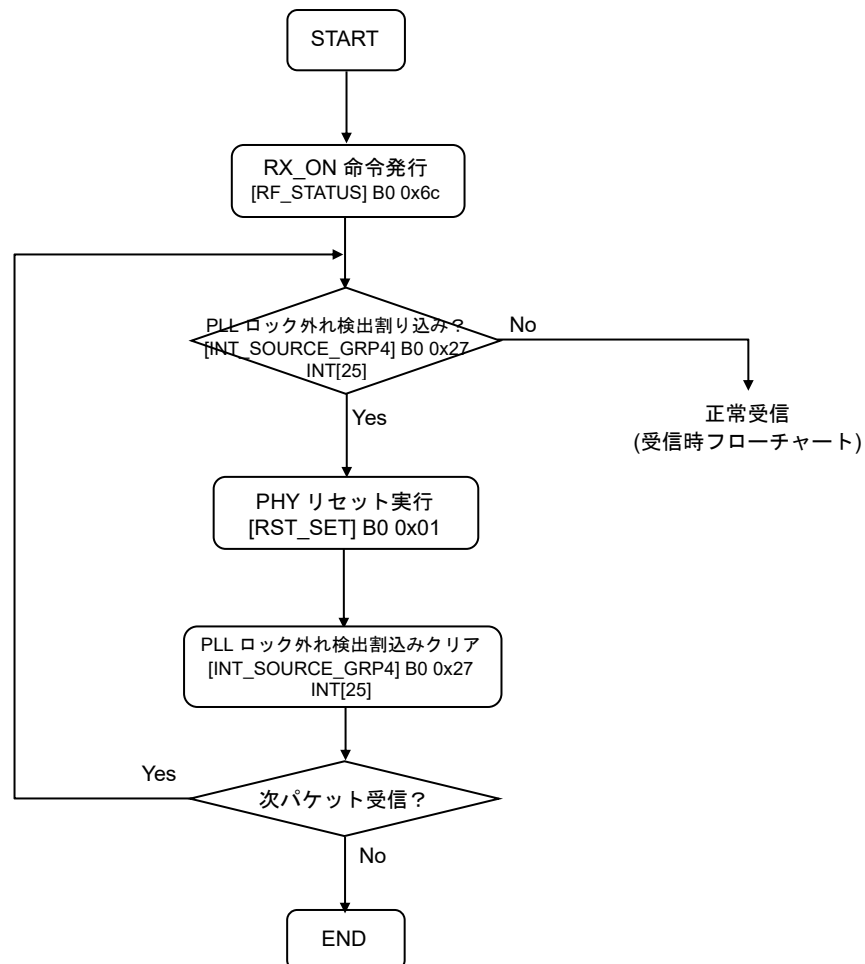
送信中に PLL ロック外れを検出した場合、PLL ロック外れ検出割り込み (グループ 4 の INT[25]) を発生します。また自動的に Force TRX_OFF 命令が発行され IDLE 状態へ強制移行します。この場合、次の送信を行う前に[RST_SET]レジスタ(B0 0x01)による PHY リセットおよび PLL ロック外れ検出割り込みをクリアしてください。

■ 黄色 : 内部動作



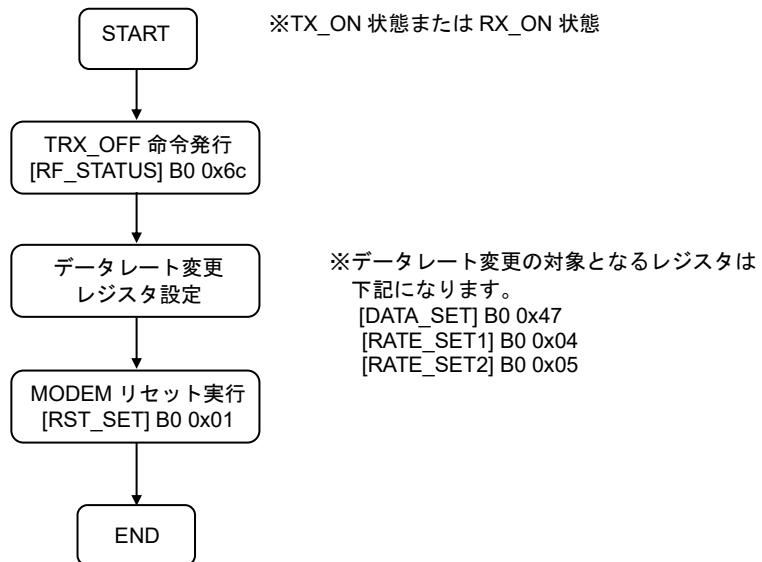
受信時

受信中に PLL ロック外れを検出した場合、PLL ロック外れ検出割り込み (グループ 4 の INT[25]) を発生します。また IDLE 状態へ強制移行せず、受信状態を継続します。この場合、次の受信を行う前に [RST_SET] レジスタ (B0 0x01) による PHY リセットと PLL ロック外れ検出割り込みをクリアしてください。



●データレート変更時

TRX_OFF 状態でデータレート変更のレジスタ設定実行後、[RST_SET]レジスタ(B0 0x01)で MODEMリセットをすることで、以降の送受信動作は新しいデータレートが適用されます。MODEMリセットをしない場合、正常に送受信できなくなります。



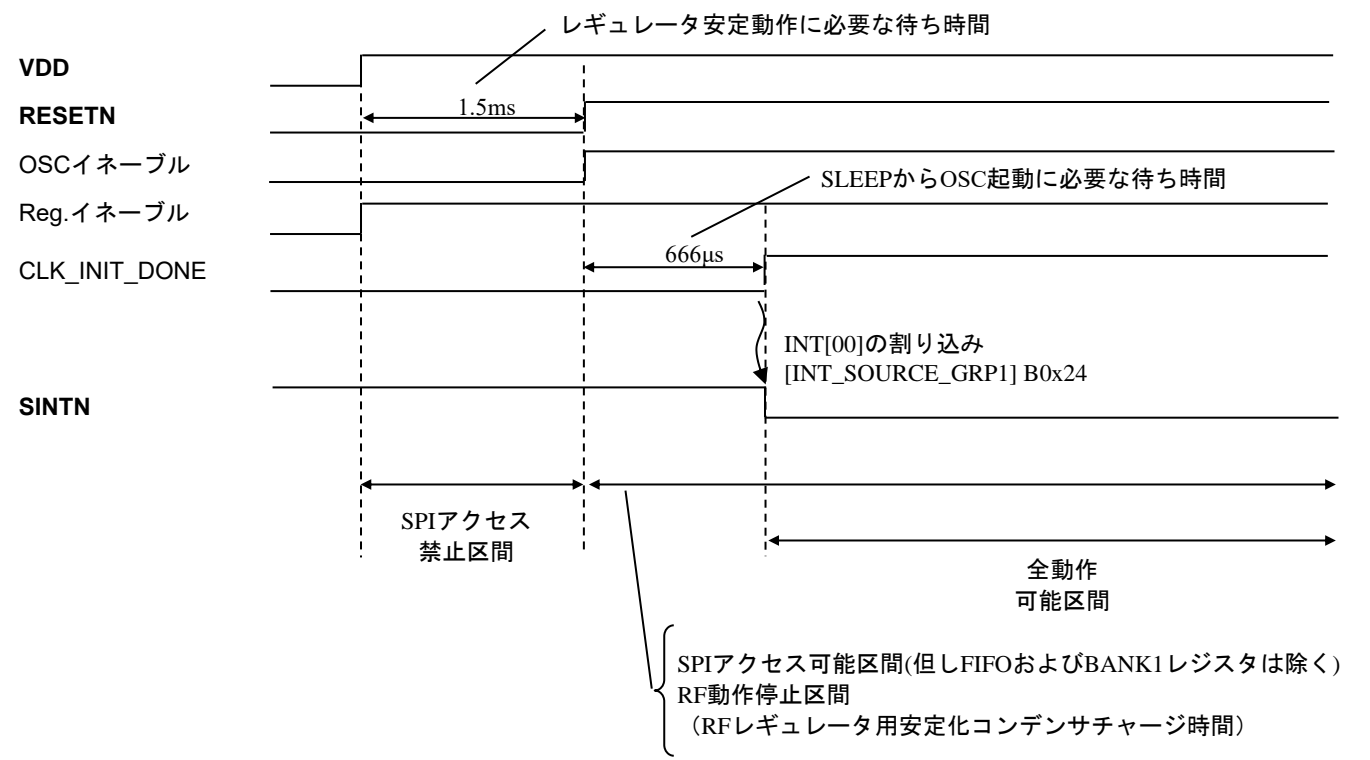
■ タイムチャート

本 LSI の主な動作タイミングを示します。太字はピン入出力関連を示します。

【注意】

太字の信号名は端子名を細字の信号名は内部信号または内部状態を示します。

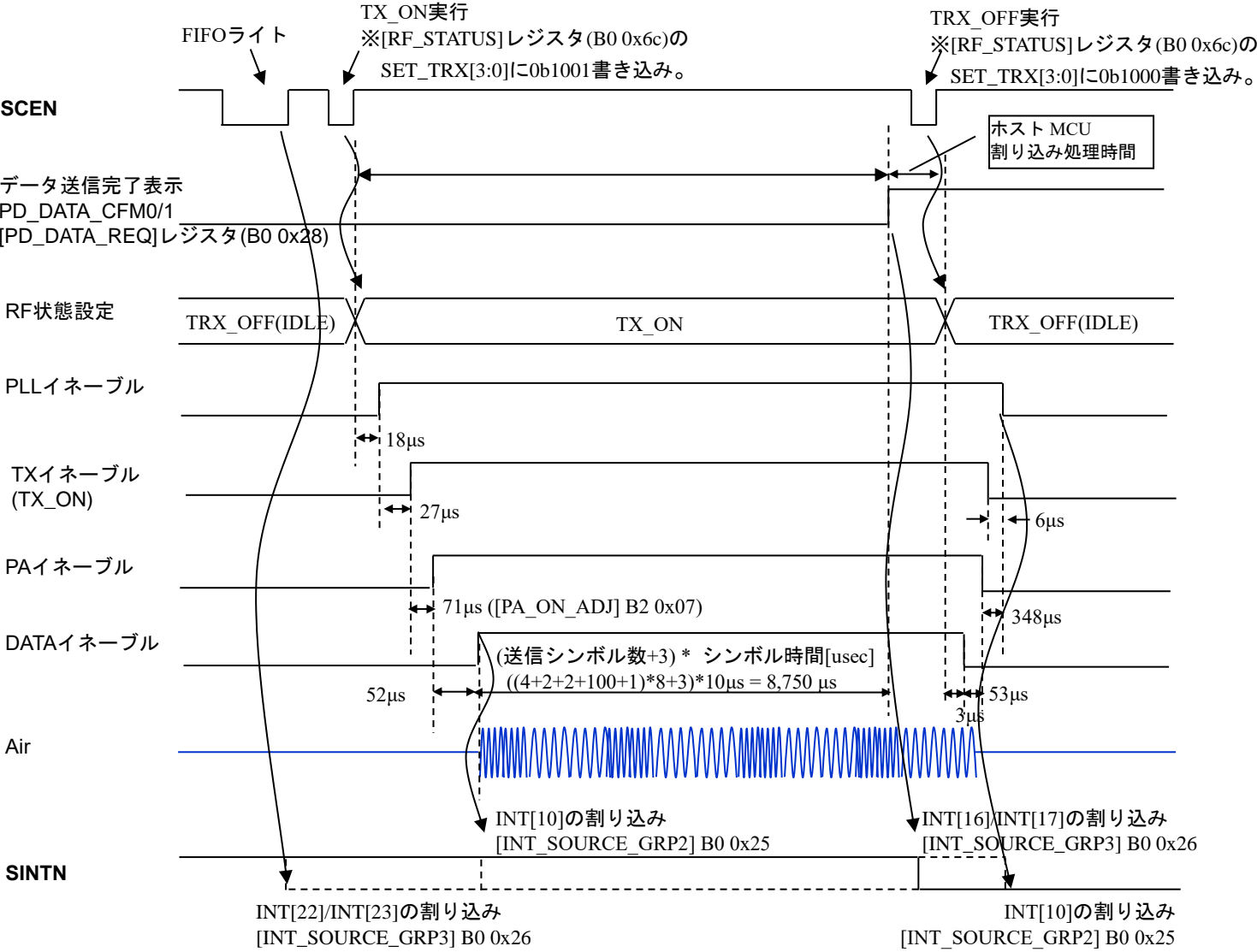
● 起動時



●送信時

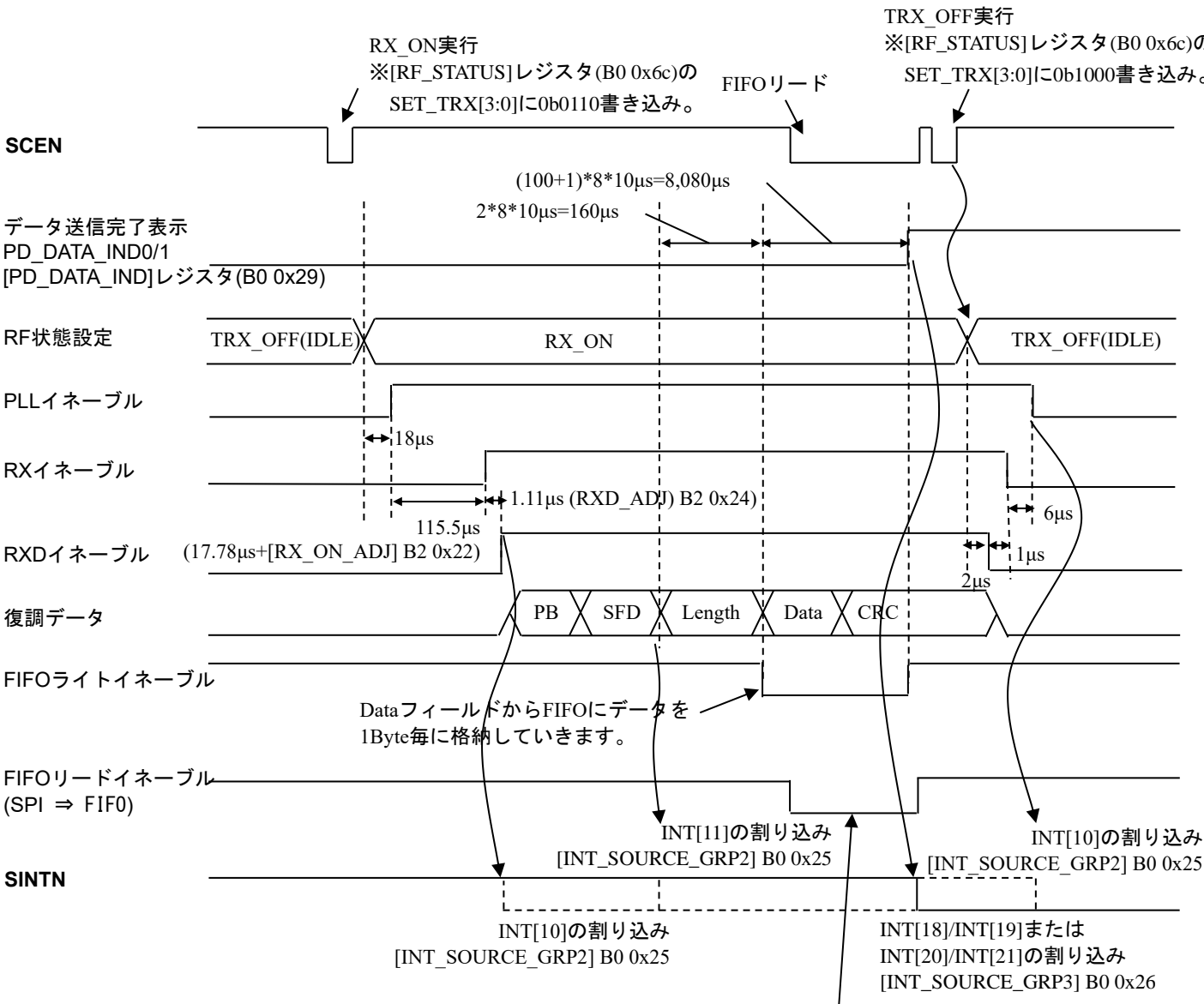
条件: シンボルレート	100 kbps
プリアンブル長	4 byte
SFD 長	2 byte
Length 長	2 byte
データ長	100 byte
CRC	8 bit
ランプ制御機能	オン

※ランプ制御タイミングは以下レジスタで調整可能です。
B0 0x6E/B1 0x3F/B1 0x55(詳細はランプ制御機能を参照願います。



●受信時(CCA なし)

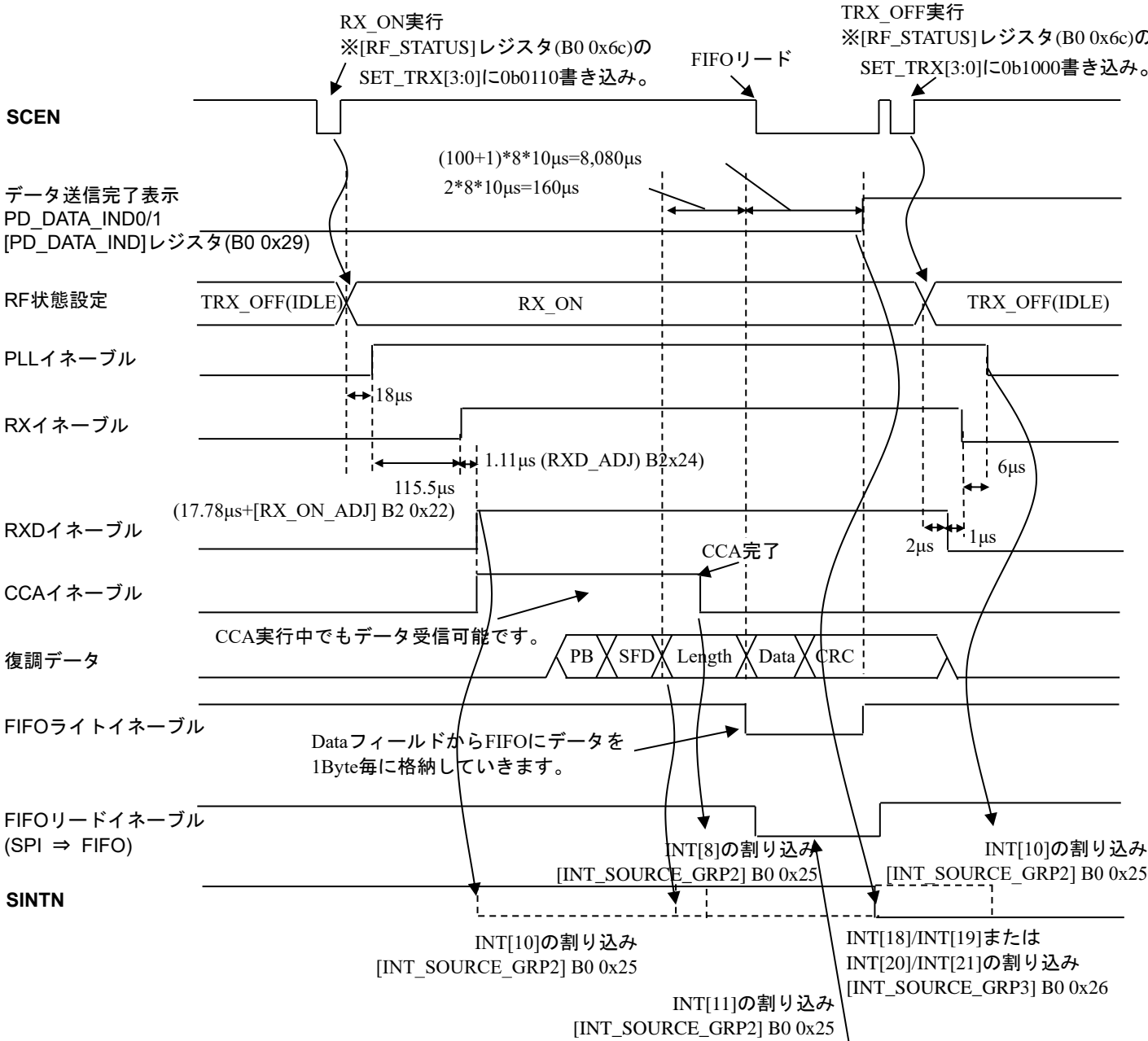
条件: シンボルレート	100 kbps
プリアンプル長	4 byte
SFD 長	2 byte
Length 長	2 byte
データ長	100 byte
CRC	8 bit
ランプ制御機能	オン



FIFOに格納された受信データを順次読み出しできます。
PD_DATA_IND0/1=0b1後にパケットの最終バイトが読み出せます。
全てのパケットデータを読み出すには、最短でSFD検出タイミングから
約8,240 μ s+SCLKの16サイクルかかります。

●受信時(CCA あり)

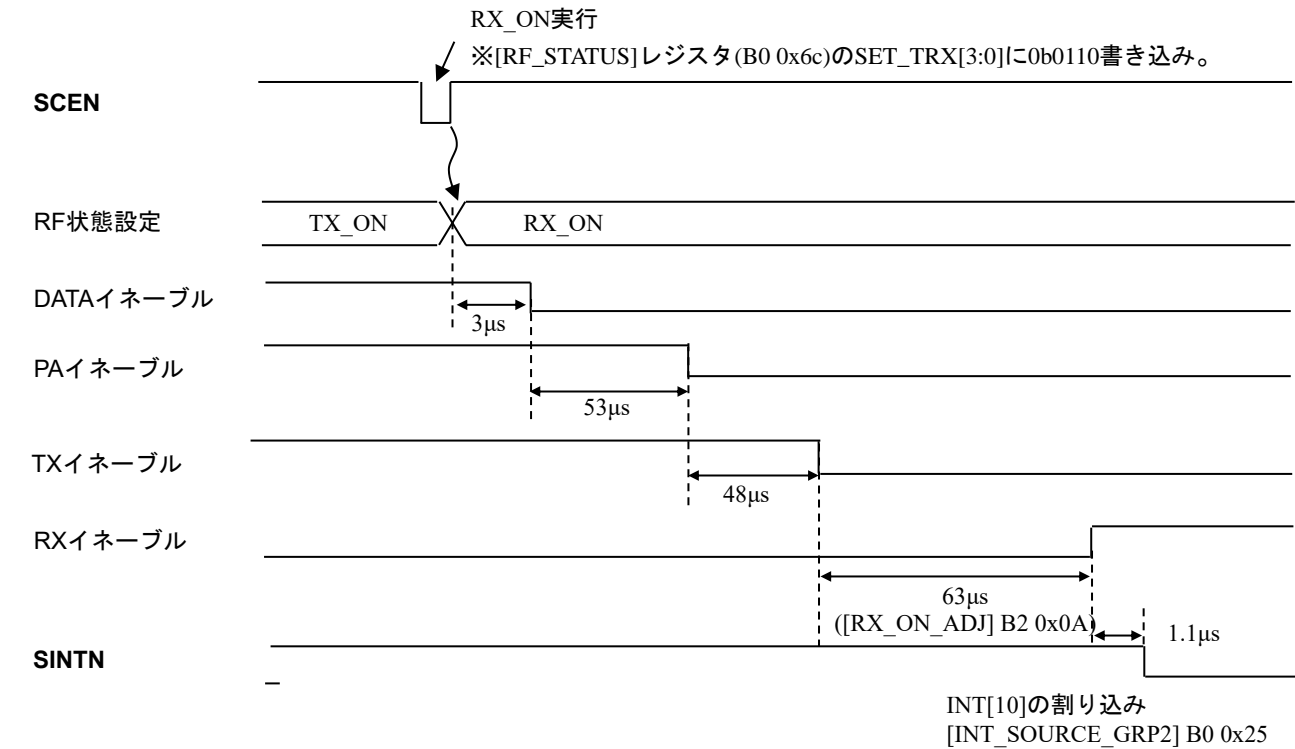
条件:	シンボルレート	100 kbps
	プリアンブル長	4 byte
	SFD 長	2 byte
	Length 長	2 byte
	データ長	100 byte
	CRC	8 bit
	ランプ制御機能	オン



FIFOに格納された受信データを順次読み出しできます。
PDDATA_IND0/1=0b1後にパケットの最終バイトが読み出せます。
全てのパケットデータを読み出すには、最短でSFD検出タイミングから約8,240µs+SCLKの16サイクルかかります。

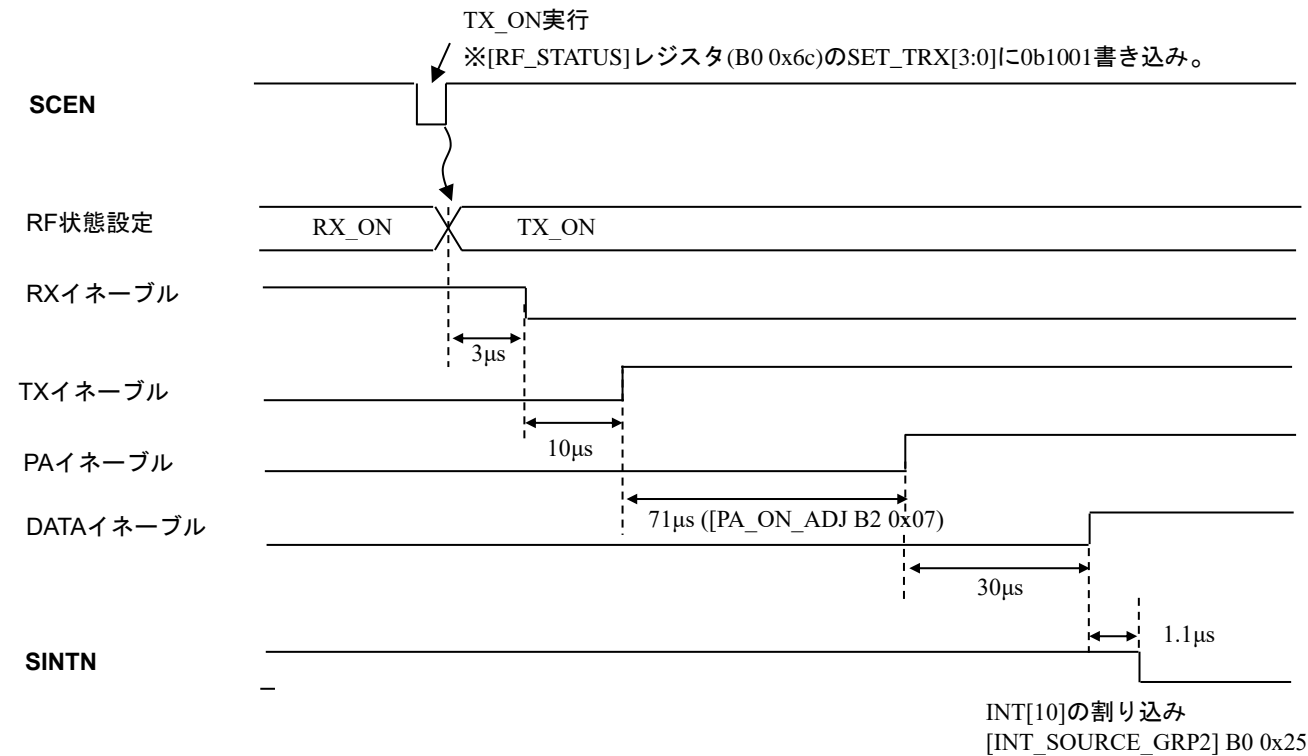
●送信から受信への移行

条件: ランプ制御機能 オン



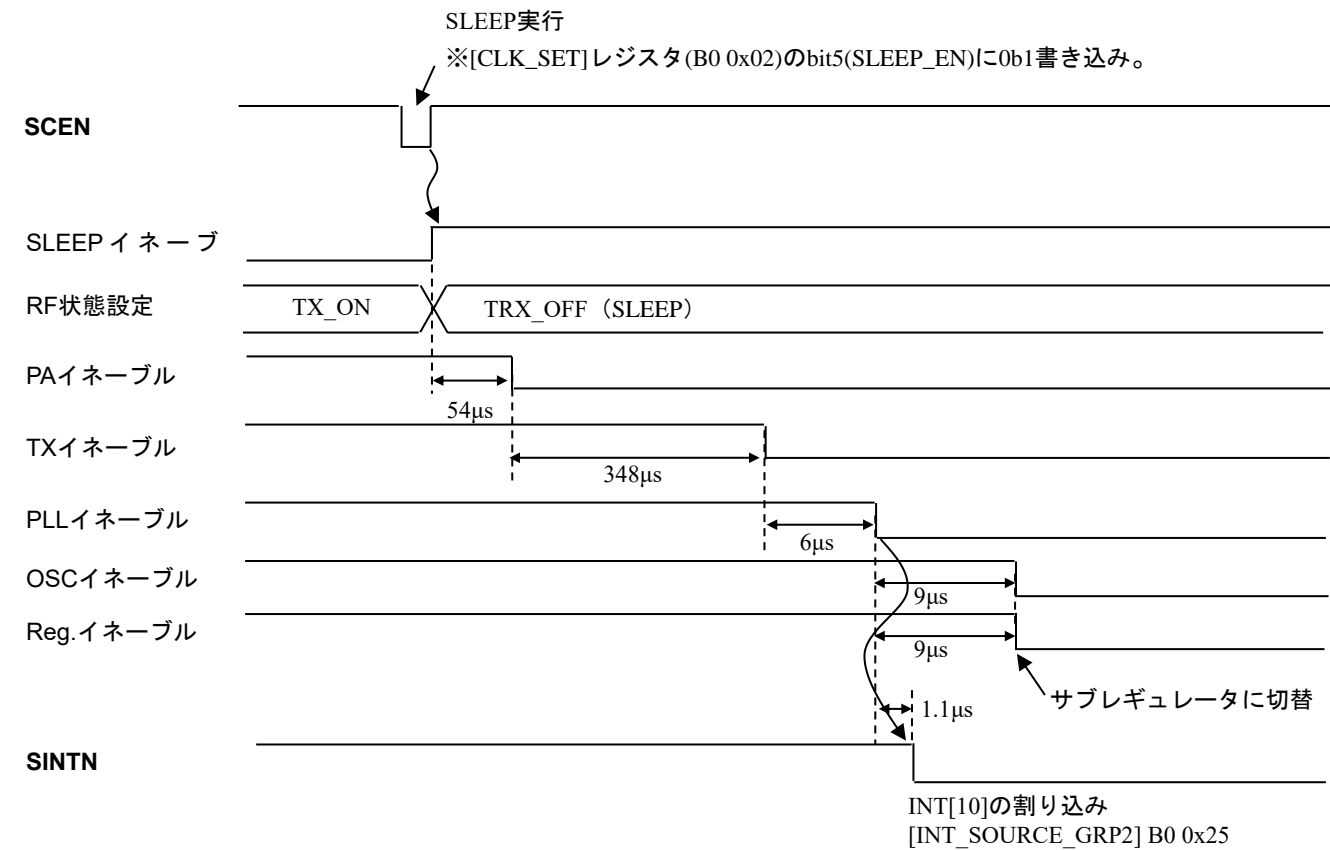
●受信から送信への移行

条件: ランプ制御機能 オン



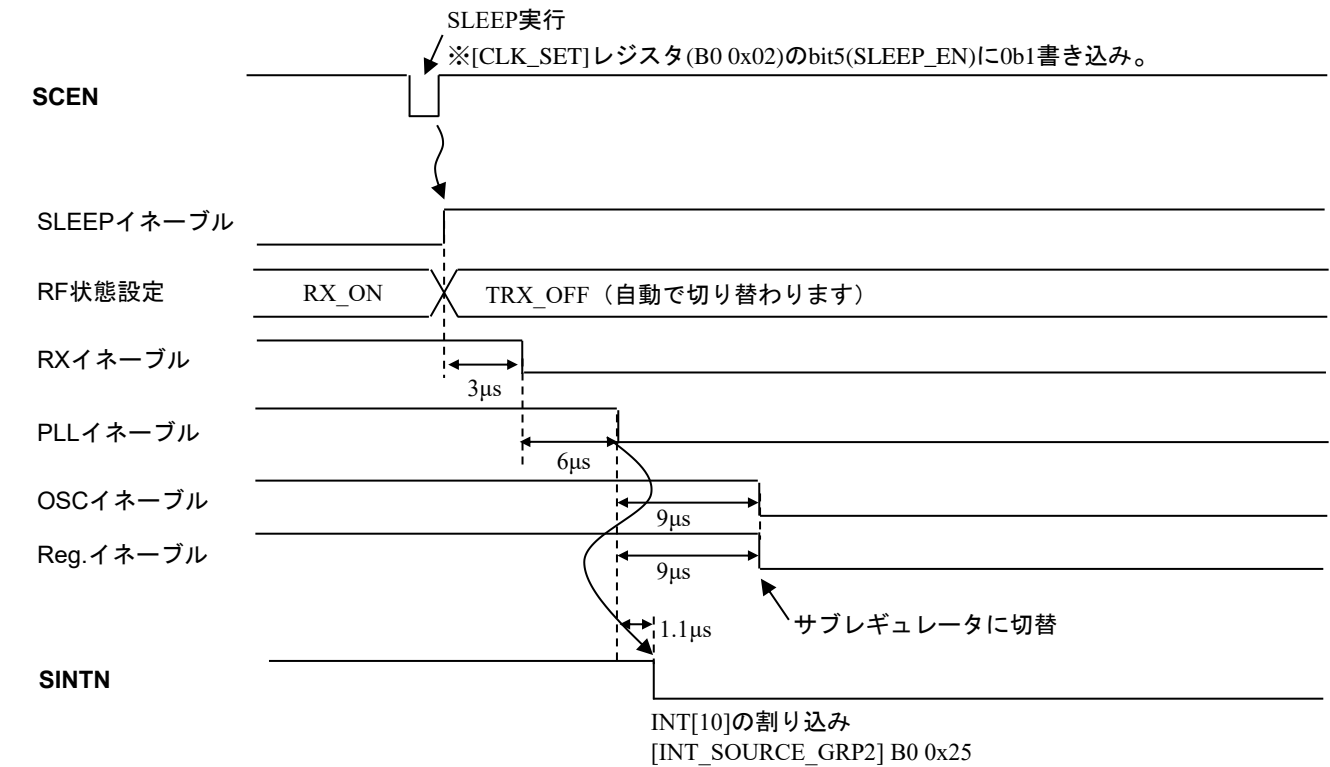
●送信から SLEEP への移行

条件: ランプ制御機能 オン

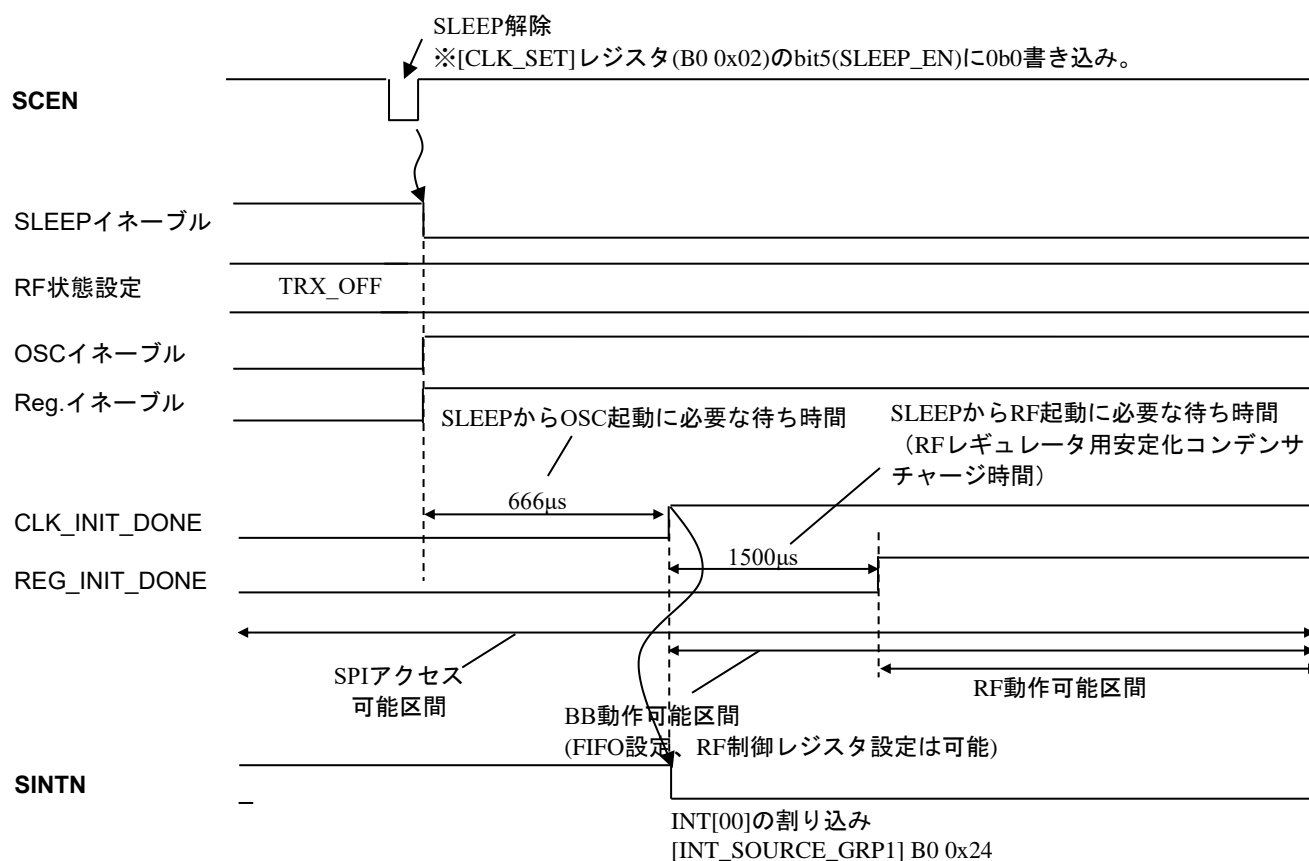


●受信から SLEEP への移行

条件: ランプ制御機能 オン

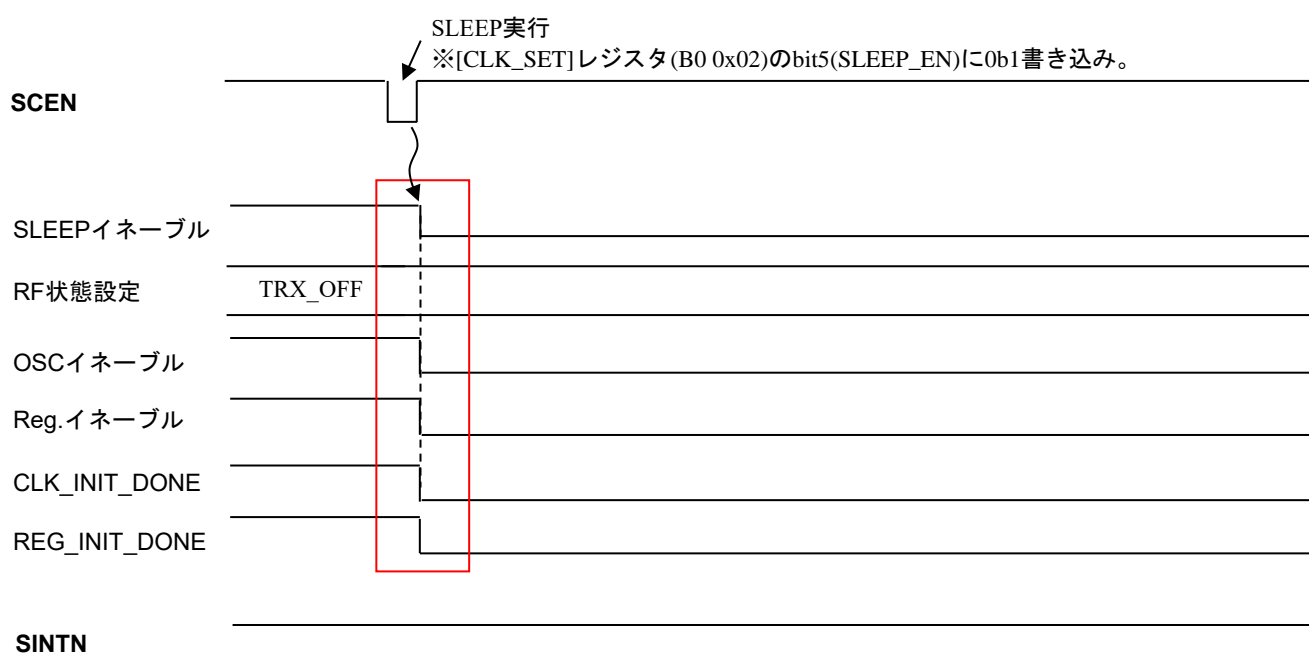


●SLEEP から IDLE への移行



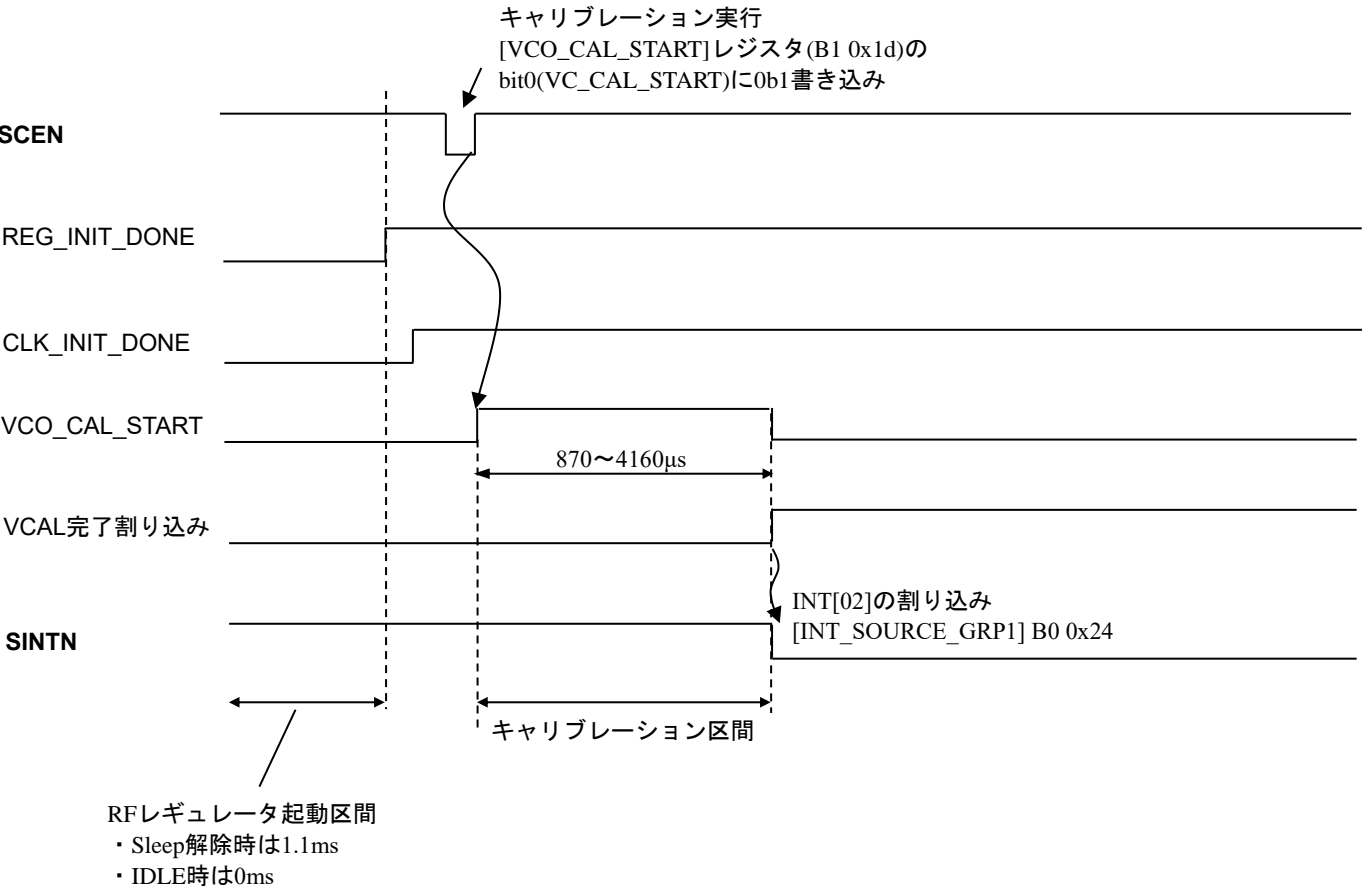
【注意】TCXO 使用時は、SLEEP 解除命令発行前に TCXO(クロック)入力してください。SLEEP 解除命令発行後に TCXO 入力した場合は、その分起動開始時間が遅延します。

●IDLE から SLEEP への移行



【注意】TCXO 使用時にクロック停止させる場合は、SLEEP 実行命令発行後、4 μ s 以上経過後に TCXO(クロック)入力を停止してください。

●VCO のキャリブレーション



■FCC 対応について

ML7396A(915MHz 帯)は FCC PART 15 に準拠しています。出力電力-1dBm 以下で使用する場合は PART 15.249 に、+30dBm 以下で使用する場合は PART 15.247 が適用されます。また、不要スプリアス放射については PART 15.209 が適用されます。

PART 15.247 では周波数ホッピングまたはデジタル変調による広帯域変調が求められます。周波数ホッピングの実現方法については後述の『周波数ホッピングについて』を、広帯域変調の実現方法については別紙の『ML7396 ファミリ_初期設定レジスタ』をそれぞれご参照ください。

●周波数ホッピング(FHSS:Frequency Hopping Spread Spectrum)について

米国電波法の FCC part 15.247 には、20dB 帯域幅が 250kHz 未満の FHSS システムでは、ホッピングチャネル数は 50ch 以上必要であり、20dB 帯域幅が 250kHz 以上の場合、25ch 以上必要と規定されています。また、同一チャネルの占有時間は最大 400ms と規定されています。

この規定に対応するための制御方法例、レジスタ設定例を以下に示します。

レジスタ設定につきましては別紙『ML7396 ファミリ_初期設定レジスタ』および『ML7396 ファミリ周波数テーブル』を合わせて参照願います。

・送信状態で周波数を変更する場合

- (0) 送信完了 (TX_ON 状態)
 - (1) TRX_OFF 状態または RX_ON 状態に移行 (SET_TRX(Bank0:0x6C))
 - (2) 周波数切換え (CH0_F(Bank0:0x48,0x49,0x4a))
 - (3) TX_ON 状態に移行してデータ送信 (SET_TRX(Bank0:0x6C))
- 以降、(0)～(3)を繰り返す。

・受信状態で周波数を変更する場合

- (0) 受信完了 (RX_ON 状態)
 - (1) PLL ロック外れ検出割込み無効設定 (INT_EN[25](Bank0:0x2D))
 - (2) 周波数切換え (CH0_F(Bank0:0x48,0x49,0x4a))
 - (3) PLL ロック時間 100μs 待ち
 - (4) PLL ロック外れ検出割込みクリア (INT25(Bank0:0x27))、割込み有効設定 (INT_EN[25](Bank0:0x2D))
 - (5) データ受信
- 以降、(0)～(5)を繰り返す。

※周波数を切り替える際に PLL ロック外れ (INT25(Bank0:0x27))を検出する可能性があります。

(1),(4)に示すように、周波数切換え後 100μs 期間は PLL ロック外れ検出割込みを無効にすることを推奨します。

以下に周波数ホッピングの制御例を示します。

・制御例 1. 送信側が長期間のプリアンブルを送出し、受信側はその間にプリアンブルを求めてチャネルスキャンする方法

送信側は任意のホッピング規則に従い、ホッピングします。ただし、同一チャネルの占有時間は最大 400ms の規定を満足する必要があります。

受信側は送信側がどのチャネルで送信しているのか不明なため、プリアンブルを検出するまで、全チャネルをスキャンします。そのため、送信側は、受信側のチャネルスキャン時間よりも長い時間、プリアンブルを送出する必要があります。チャネルスキャンの手順については次項の”チャネルスキャンのフローチャート”をご参照下さい。

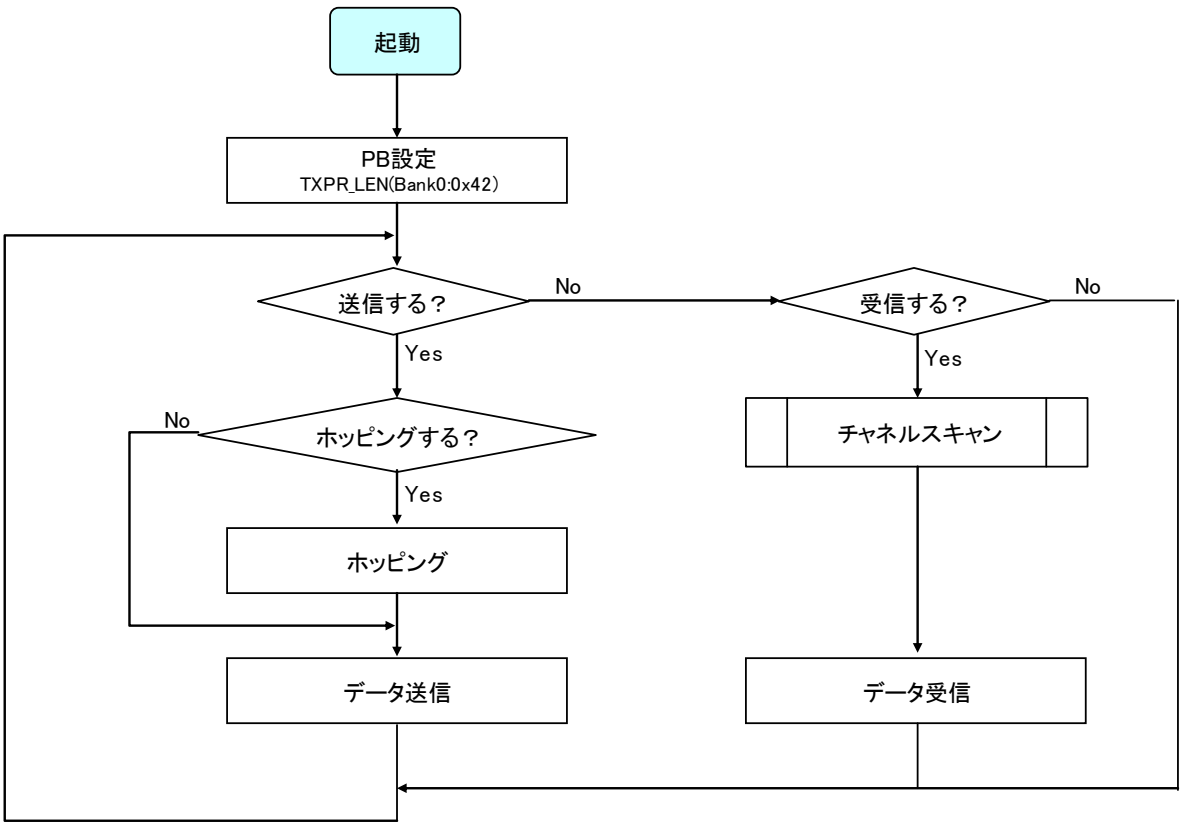
1 つのチャネルスキャンに要する時間は、プリアンブル検出期間 (36bit ÷ データレート) + PLL ロック時間 (100μs) となります。各データレートにおけるチャネルスキャン時間一覧を下表に示します。プリアンブル長の設定は、下表を参照して適切な値を設定して下さい。プリアンブル長は TX_PR_LEN(Bank0:0x42)で設定できます。(最大 255byte)

表. 各伝送レートにおけるチャネルスキャン時間

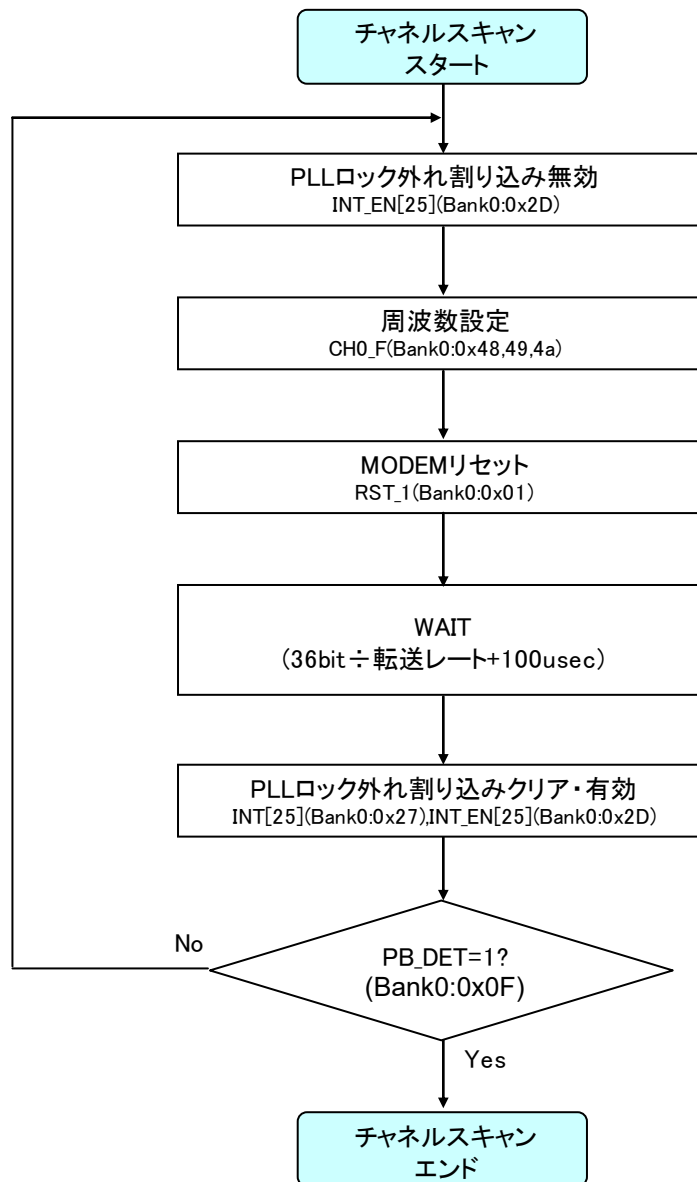
データレート [kbps]	255byte PB 送信時間 [ms]	1ch の スキャン時間 [ms]	全 ch スキャンに 要する時間 [ms]		使用可否	
			25ch	50ch	25ch	50ch
10	204.0	3.70	92.5	185.0	○	○
20	102.0	1.90	47.5	95.0	○	○
40	51.0	1.00	25.0	50.0	○	○
50	40.8	0.82	20.5	41.0	○	×
100	20.4	0.46	11.5	23.0	○	×
150	13.6	0.34	8.5	17.0	○	×
200	10.2	0.28	7.0	14.0	○	×
400	5.1	0.19	4.8	9.5	○	×

※上表にはレジスタアクセスに要する時間は含まれておりません。
※使用可否欄で”×”となっている条件下では、全 ch のスキャンに要する時間が送信 PB 時間を超えてしまうため、本制御手順は適用できません。

制御例 1 のフローチャートを以下に示します。



チャネルスキャンのフローチャートを以下に示します。



・制御例 2. ビーコンで同期し、送受共通のホッピング規則に従ってホッピングする方法

制御例 2 では、親ノードと子ノードが互いに同期した同一のホッピング規則を用いて周波数ホッピングを行います。親ノードは、ある固定のチャンネルで定期的に同期用のビーコンを送信します。子ノードは、ビーコンを受信して、ホッピングパターンの同期をとります。

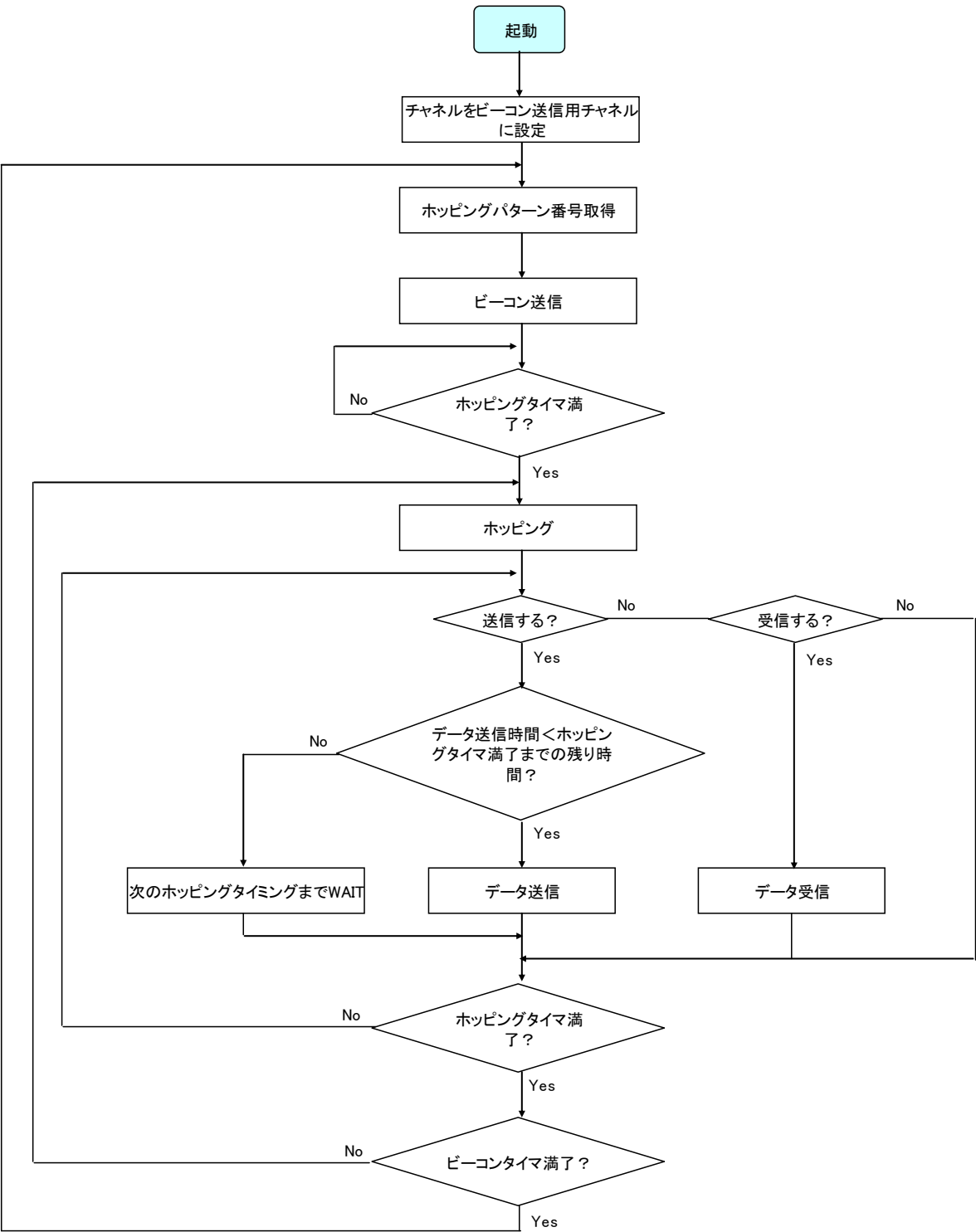
子ノードはビーコンが送信される周波数でビーコンを待ち、同期確立後、子ノードおよび親ノードは共通のホッピングパターンに従い、ホッピングします。ホッピング間隔は、ビーコン周期をホッピングチャンネル数で分割したものとし、400ms 以下とします。送信する場合は、データ長から送信時間を算出し、ホッピング間隔をまたがないように注意します。

複数のホッピングパターンを使用する場合は、それぞれのパターンに番号を付けて、ビーコンにそのパターン番号の情報を入れておくような運用があります。

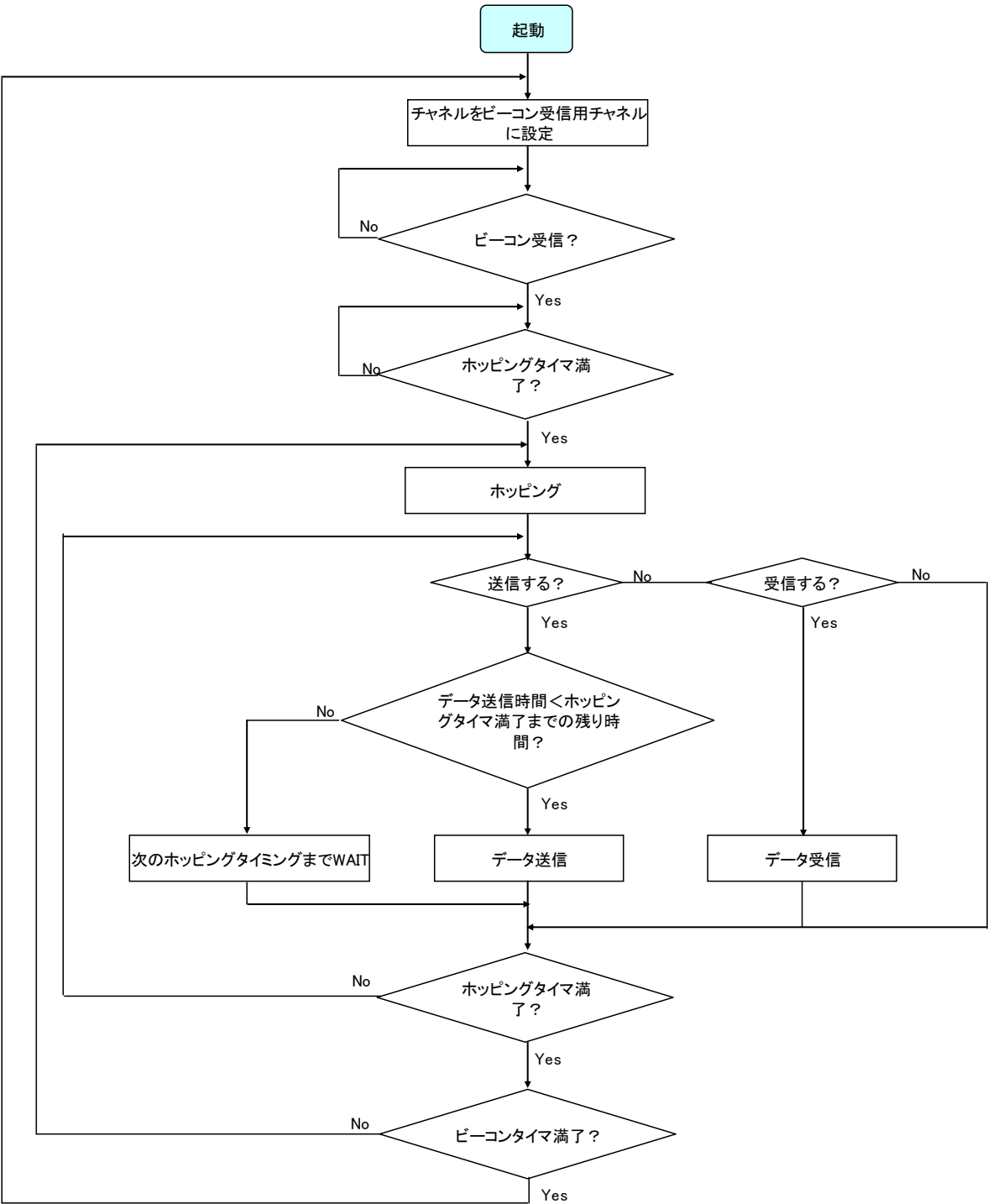
本ホッピング方法はデータレート、ダイバーシティ有無、ホッピングチャンネル数に関わらず使用可能です。

以下に制御例 2 のフローチャートを示します。

【親ノード側】



【子ノード側】



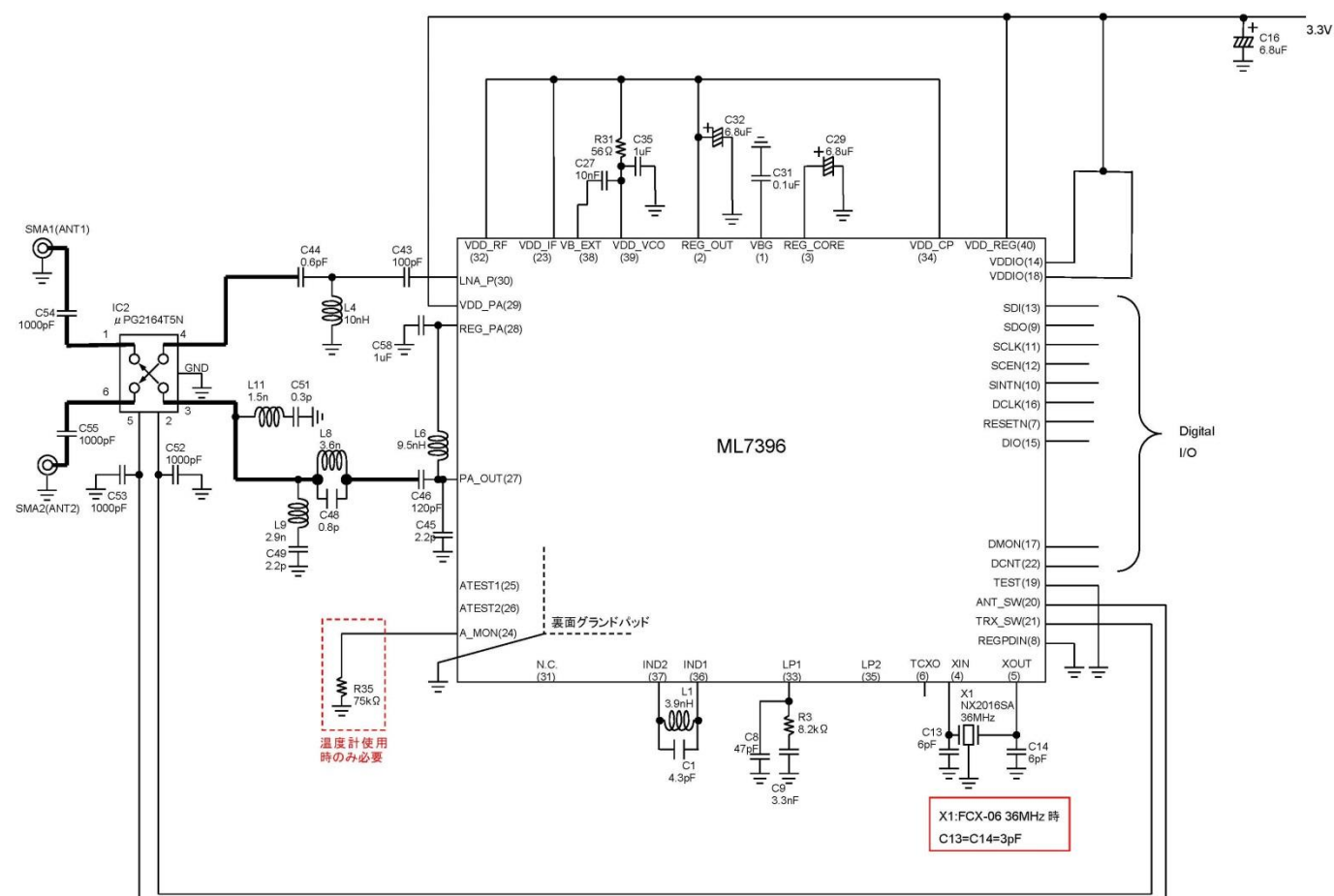
■应用回路例

920MHz, 13dBm, ~200kbps の回路例を示します。

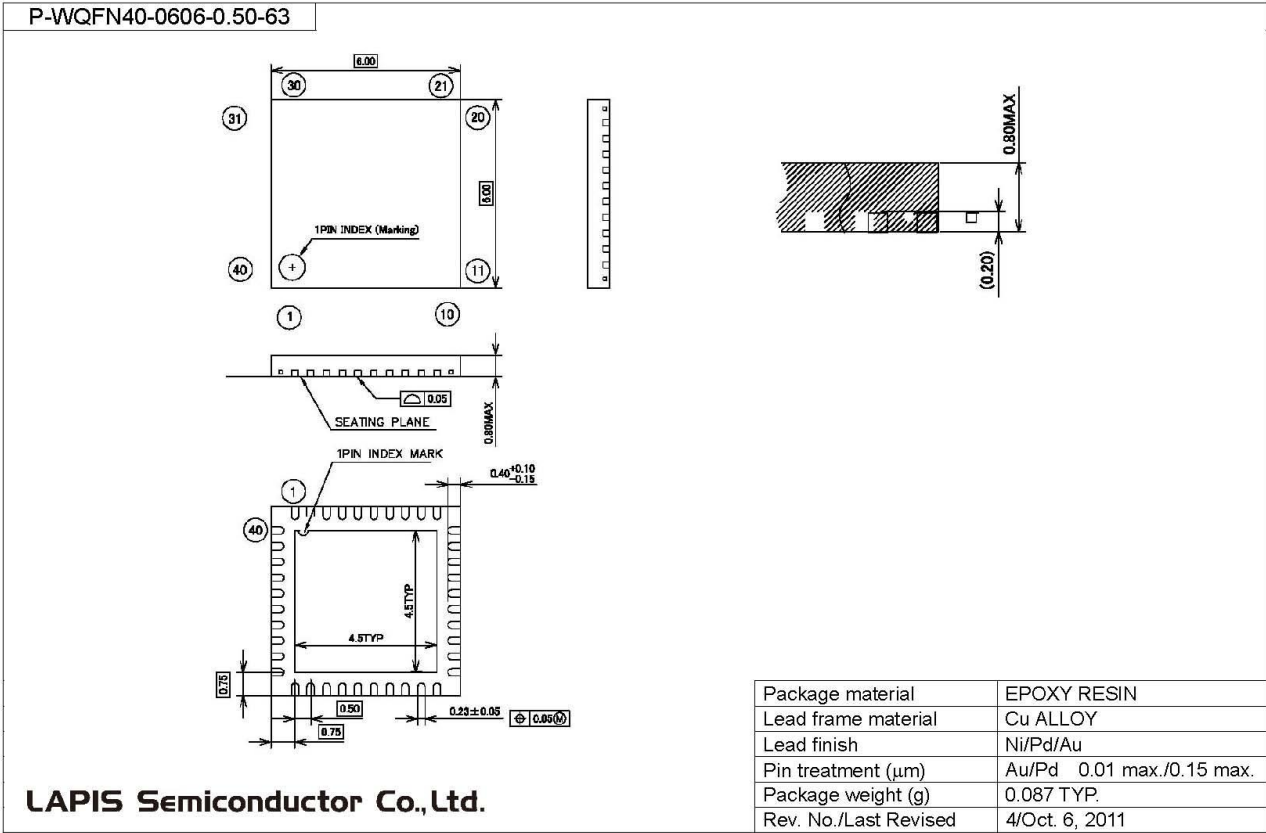
3.3V の電源電圧を印加する端子は共通接続とし 10uF のパスコンを挿入してください。

インダクタはMURATA LQW15シリーズを推奨いたします

回路設計に関する詳細は、別紙の「ML7396 ファミリ LSI デザインガイド」を参照してください。



■パッケージ寸法図



表面実装型パッケージ実装上の注意

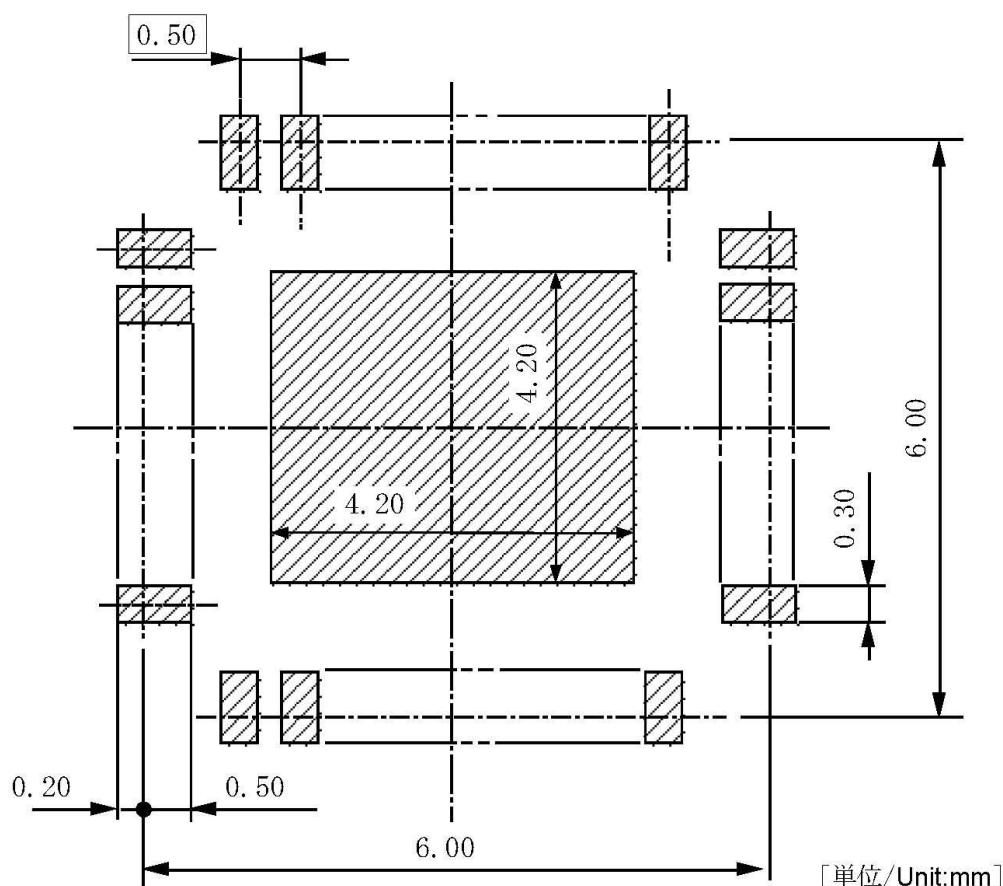
表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に変影響を受けやすいパッケージです。したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などをセールスオフィスまで必ずお問い合わせください。

■半田付け部端子存在範囲図

P-WQFN40-0606-0.50-63

参考図
for reference

半田付け部端子存在範囲図

Mounting area for package lead soldering to PC boards

実装基板のフットパターンの設計の際には、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことなどを十分考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従って、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

When laying out PC boards, it is important to design the foot pattern so as to give consideration to ease of mounting, bonding, positioning of parts, reliability, wiring, and elimination of solder bridges.

The optimum design for the foot pattern varies with the materials of the substrate, the sort and thickness of used soldering paste, and the way of soldering. Therefore when laying out the foot pattern on the PC boards, refer to this figure which mean the mounting area that the package leads are allowable for soldering to PC boards.

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7396B-01	2012.03.05	-	-	初版発行
FJDL7396B-02	2012.03.23	22	22	レジスタ一覧に[PLL_CTRL]レジスタを追加。
		43-44	43-44	[INT_SOURCE_GRP3]レジスタの詳細*1 と[PD_DATA_REQ]レジスタの注意*1 の誤記を削除。
		98	98	[ID_CODE]レジスタの説明を追加
		-	99	[PLL_CTRL]レジスタの説明を追加
		158	158	「チャネル周波数の設定」に関する注意事項を追加
FJDL7396A_B-03	2012.04.17	1	1	表題を変更(ML7396 仕様書→ML7396A/B 仕様書)
		12-13	12-13	RF 特性に 915MHz 帯を追加
		15	15	送受信データインターフェース特性を修正
		24	24	[RST_SET]レジスタの説明を修正
		72	72	[PLL_MON/DIO_SEL]レジスタの説明を修正
		77	77	[2DIV_CNTRL]レジスタの注意事項を追加
		84	84	[WR_TX_FIFO]レジスタ、[RD_RX_FIFO]レジスタの注意事項を修正
		165-166	165-166	データレート変更時の設定、狭帯域オプション変更時の設定から[RSSI_LPF_ADJ]レジスタを削除
		172	172	電力検出値(ED 値)の調整の説明を修正、追加
		176	176-177	送信DIOモードの説明を修正、追加
		177	178	送信DIOモードのフローチャートを修正
		178	179	受信DIOモードのフローチャート説明を追加
		194	195	CCA 無限実行モードのフローチャートを修正
		-	215-220	FCC 対応についての章を追加
		215	221	915MHz 帯にも対応した回路図に変更
FJDL7396A_B-04	2012.05.16	58	58	[FEC/CRC_SET]レジスタの注意事項を修正
		187-188	187-188	ACK 送信フローのレジスタ名称、アドレスを修正
FJDL7396A_B-05	2012.06.13	90	90	[SW_OUT/RAMP_ADJ]レジスタの説明を修正
		96	96	[VCO_CAL_MAX_N]レジスタの説明を修正(設定禁止を削除)および注意事項を追加
		100	100	[MIX_GAIN_ADJ_H]レジスタの説明を追加
		122	122	ホワイトニング機能の注意項目を一部削除(制限事項削除)
FJDL7396A_B_E-06	2012.09.07	1	1	表題を変更(868MHz 帯の説明を追加)
		12-13	12-13	RF 特性に 868MHz 帯を追加
		16	16	残電圧条件におけるリセット特性の説明を追加
		18	18	レジスタアクセスの説明を追加
		26	26	[CLK_SET]レジスタの詳細説明、注意事項を追加
		27	27	[CLK_OUT]レジスタの詳細説明を修正
		39	39	[RSSI_STABLE_TIME]レジスタの説明を修正
		43	43	[INT_SOURCE_GRP3]レジスタの詳細説明を追加
		58	58	[FEC/CRC_SET]レジスタの注意事項を追加
		66	66	[AUTO_ACK_SET]レジスタの注意事項を追加
		82	82	[RD_FIFO_LAST]レジスタの注意事項を追加
		86	86	[DEMOD_SET]レジスタの説明を修正

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7396A_B_E-06	2012.09.07	98	98	[ID_CODE]レジスタの説明に M7396E を追加
		117	117	受信 FIFO の残量告知機能の使用方法的注意事項を追加
		120	120	パケットフォーマットの注意事項を追加
		174	174	レジスタアクセスの説明を追加
FJDL7396A_B_E-07	2015.01.05	1,57	1,57	32 ビット CRC 機能の訂正
		1,122	1,123	FEC インタリーブ機能の訂正
		5	5	レギュレータ端子の端子機能説明追加
		6	6	端子説明(その他の端子)の詳細説明*1 表現変更
		2,10	2,10	電源電流特性(スリープ時電流)の修正
		14	14	SPI 特性の SCEN=L 区間での SDO 出力方法追加(L 出力)
		16	16	リセット特性の RESETN 端子立上がり時間追加
		24	24	[RST_SET]レジスタの注意事項追加
		41	41	FIFO クリア設定の注意事項の訂正と追加
		42	42	RF 状態遷移割込み通知機能の注意事項追加
		55	55	[RX_PR_LEN/SFD_LEN]レジスタの注意事項追加
		57	57	[FEC/CRC_SET]レジスタの説明内表中誤記修正(IEEE_MODE)
		66	66	[AUTO_ACK_SET]レジスタ注記*4 の説明変更
		73	73	FAST_TX モード機能の訂正 FAST_TX モード機能の注意事項追加
		83	83	[PN9_SET_H]レジスタの機能説明、詳細説明訂正
		86	86	[DEMOD_SET]レジスタ説明訂正
		87	87	[RSSI/TEMP_OUT]レジスタ説明追加
		89	89	[PA_CNTRL]レジスタ説明の訂正、PA_ADJ_SEL 説明に PA_REG_ADJ*を追加
		91	91	[IF_FREQ_H]レジスタ詳細説明訂正
		94	94	[IQ_PHASE_ADJ]レジスタのビット名変更(IF_Q⇒PHASE_TRM)
		102	103	[SYNC_MODE]レジスタ詳細説明訂正
		112	113	状態遷移図変更
		115	116	FIFO の説明追加
		117-118	117-118	送信 FIFO の使用量告知機能、受信 FIFO の残量告知機能の使用方法的説明訂正
		122	123	ホワイトニング機能説明表記変更
		123	124	ED 値取得機能説明追加
		123,141	125	ED 値変換式(旧 CCA 閾値設定方法)についての訂正、削除
		124	126	ダイバーシティ機能の注意事項追加 タイムチャートに割込み通知信号追加
		125	127	アンテナスイッチ制御(DPDT スイッチ使用時)の説明訂正
		126	128	アンテナスイッチ強制設定説明変更
		144-145	145-146	AUTO ACK 機能 フローに合わせて説明訂正
		146	147	アドレスフィルタ機能 AUTO_ACK の説明追加
		146	148	アドレスフィルタ機能の注意事項追加
		147	149	アドレスフィルタ機能 割込みタイミング表修正
		153	155	温度表示機能 注意事項追加
		156-157	158-159	ランプ制御機能 ランプ制御ディセーブル時のタイミング修正
		162-164	164-166	変調に関して章構成変更
		169	172	VCO キャリブレーション時間について修正

		175	177	初期化フローの割込み処理フロー変更
		176-178	178-180	フローチャート 送信時(DIO モード)の説明追加、フロー変更
		179	181	フローチャート 受信時(DIO モード)の説明修正
		180	182	フローチャート 送信時(パケットモード 256byte 以下の場合)の説明修正
		184	186	フローチャート 受信時(パケットモード 256byte 以下の場合)のフロー修正(送信時の自動 ACK 受信からのフロー追加)
		188	190	フローチャート ACK 送信(AUTO_ACK 使用 257byte 以上の場合)のフロー修正
		189	191	フローチャート ACK 送信(AUTO_ACK 未使用)の自分宛ではないアドレス受信時の処理フロー修正
		194-196	196-198	フローチャート CCA の実行の CCA 設定部フロー修正
		199	201	フローチャート 2 ダイバーシティの実行の説明、フロー修正
		202	204	フローチャート CRC エラー時のフロー変更
		204	206	フローチャート 受信 FIFO アクセスエラーのフロー修正(受信処理を通常受信フローを参照に変更)
		205	207	フローチャート PLL ロック外れ検出(送信時)に Force_TRX_OFF の自動実行追加
		-	209	データレート変更時のフローチャート追加
		211	214	タイムチャート(送信から受信への移行)の RX イネーブル時間を 37→97.68 μ s に訂正
		214	217	VCO キャリブレーション時間の訂正
		221	224	応用回路例のバイパスコンデンサ定数変更
FJDL7396A_B_E_D-08	2016.10.01	1	1	ML7396D の内容を追加
		2	2	ML7396D の電流値を追加
		10	10	ML7396D の電流値を追加
		13	13	ML7396D の受信感度を追加
		27	27	50kbps 以下での説明を追加
		98	98	ID_CODE に ML7396D の初期値を追加
		100	100	RX_ON_ADJ2 の詳細説明修正
		106	106	RAMP_CNTRL の詳細説明修正
		125	125	ED 値の変換式に ML7396D の値を追加
FJDL7396A_B_E_D-09	2016.11.29	12	12	不要発射レベルの特性値見直し
FJDL7396A_B_E_D-10	2019.4.10	2	2	ML7396E の受信時電流値見直し
		6	6	DMON 端子の注意事項追加
		10	10	ML7396E の受信時電流値見直し
		13	13	ML7396E の最小受信感度値見直し
		98	98	ML7396E の ID_CODE 見直し
		123	123	FEC 機能の注意事項追加
FJDL7396A_B_E_D-11	2023.11.1	1	1	用途の追加
		1	1	製品名の追加
		231	231	ご注意の更新
FJDL7396A_B_E_D-12	2024.1.10	230	230	ご注意の更新

(注意) 誤記、表現の変更および修正は含まれません。

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(*)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2012 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>