お客様各位

資料中の「ラピステクノロジー」等名称の
ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

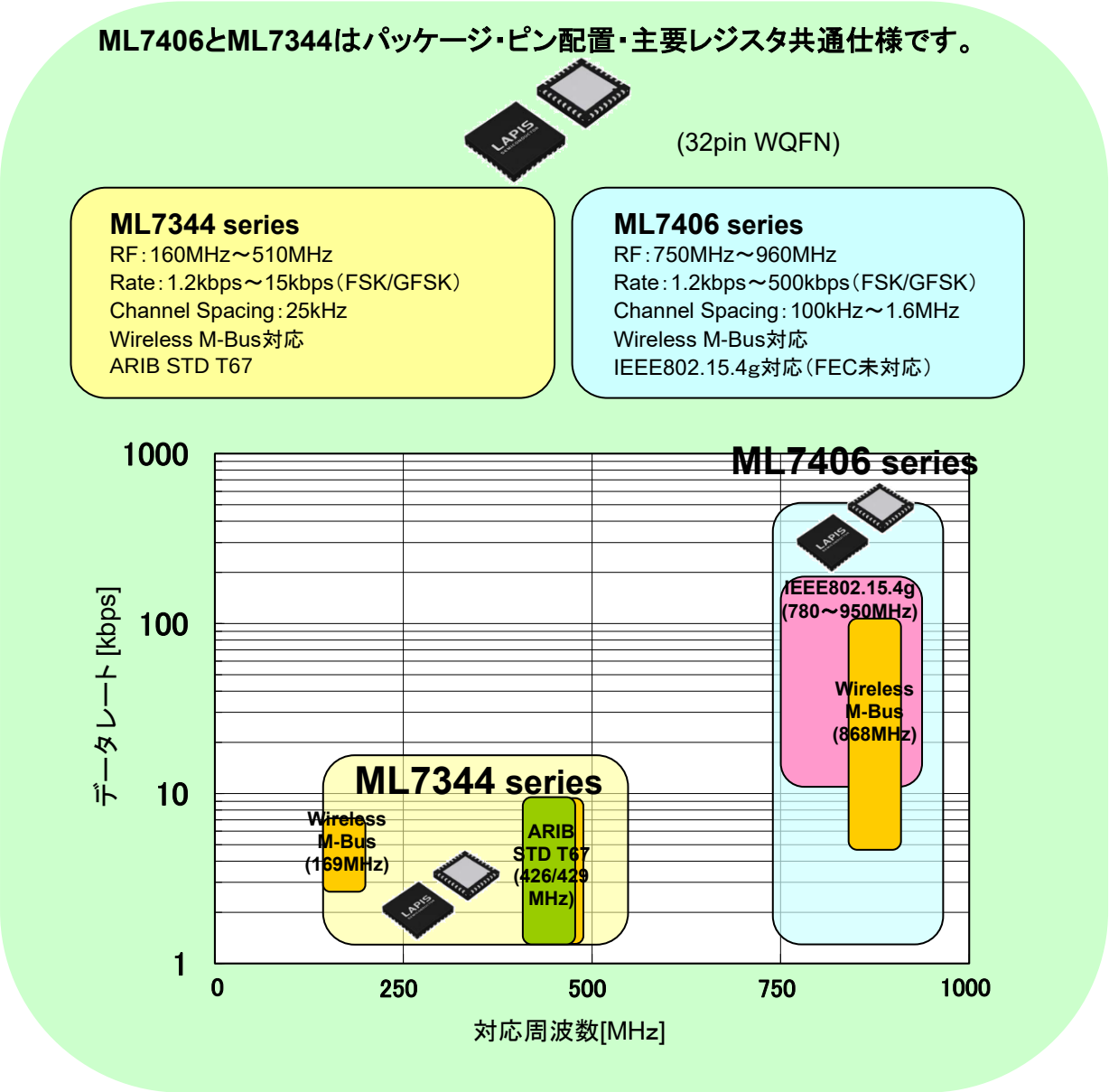
２０２４年４月１日
ローム株式会社

ML7406

Sub-GHz(868MHz 帯)広帯域 RF トランシーバ IC

■概要

ML7406 は、RF 部・IF 部・MODEM 部・HOST インタフェース部を 1 チップに集積した低消費電力対応サブ GHz 広帯域無線通信用 LSI です。本 LSI は主に ISM(Industrial, Scientific and Medical)帯や SRD(Short Range Device)向け周波数帯における無線局にご利用いただけます。特に欧州テレメータ規格(EN13757-4:2011:Wireless M-BUS)のパケットフォーマットの送受信機能を搭載しています。



●製品名 ML7406TGD

●用途　リモートコントロール
ホーム、ビルセキュリティ
センサーネットワーク
スマートメータ

■特長

- 対応規格
  - ETSI EN 300 220(Europe)
  - EN 13757-4:2011(Wireless M-BUS)
  - IEEE802.15.4g
  - ARIB STD T108
- RF 周波数: 750MHz - 960MHz に対応
- フラクショナルN型 PLL の直接 GFSK 変調方式により、高精度変調を実現
- 変調方式: GFSK/GMSK、FSK/MSK(MSK は変調度 m=0.5 の FSK を示します。)
- データ転送スピード: 1.2～500kbps
- NRZ、マンチェスタ符号化、3 out of 6 符号化機能搭載
- データ Whitening 機能搭載
- 帯域可変チャネルフィルタ機能搭載
- 周波数偏位可変機能搭載
- 送信/受信データの極性反転機能搭載
- 26MHz発振回路搭載(製品名: ML7406C)
- TCXO(26MHz)直接入力対応(製品名: ML7406T)
- 発振回路端子の負荷容量調整機能搭載
- 低速 RC 発振回路搭載
- 低速クロック補正補助機能搭載
- 周波数微調整機能搭載(フラクショナル N 型 PLL の採用により、周波数の微調整ができます。)
- 同期式シリアルペリフェラルインタフェース(SPI)搭載
- 送信 PA を内蔵し、パワー制御機能搭載 (20mW /10mW/1mW 切替機能)
- 送信パワー微調整機能搭載(±0.2dB)
- 送信パワーの自動ランプ制御搭載
- 外付け PA 制御機能搭載
- 受信電界強度(RSSI)通知機能および閾値判定機能搭載
- 高速電波チェック機能搭載
- AFC 機能搭載(フラクショナル N 型 PLL 周波数調整による IF 周波数自動調整)
- アンテナダイバーシティ機能搭載
- 自動 WakeUP、自動 SLEEP 機能搭載(32kHz クロック直接入力/内部 RC 発振回路選択可能)
- 汎用タイマ搭載(2 系統)
- テストパタンジェネレータ搭載(PN9、CW、01 パターン、ALL"1"、ALL"0"出力対応)
- パケットモード機能搭載
  - Wireless M-BUS パケットフォーマット対応(Format A/B)
  - 汎用パケットフォーマット対応(Format C)
  - 最大 255 バイト(Format A/B)、2047 バイト(Format C)のパケット長に対応
  - 送信 FIFO(64Byte)内蔵、受信 FIFO(64Byte)内蔵
  - 検出プリアンブルパターン設定機能(最大 4Byte)
  - 送信プリアンブル長設定機能(最大 16383Byte)
  - SyncWord 設定機能(最大 4Bytex2 面)
  - プログラマブル CRC 機能(CRC32/CRC16/CRC8 選択可、任意の生成多項式対応)
  - アドレスチェック機能(Wireless M-BUS の C-field/M-field/A-field を検出可)
    ※設定によっては任意のパケットに対応可
- 電源電圧
  1.8V ～ 3.6V (送信電力 1mW モード設定時)
  2.3V ～ 3.6V (送信電力 10mWモード設定時)

2.6V ～ 3.6V（送信電力 20mW モード設定時）

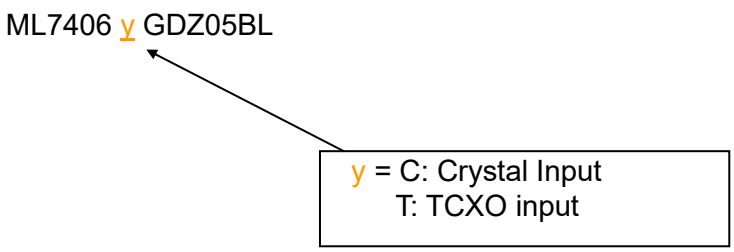
- 動作温度　-40℃ ～ 85℃
- 消費電流（868MHz 時）

ディープスリープモード時	0.1 μA (Typ.)	
スリープモード 2 時	0.56 μA (Typ.)	（レジスタ値、FIFO を保持）
アイドルモード時	1.4 mA (Typ.)	
送信時 20mW	34 mA (Typ.)	
10mW	24 mA (Typ.)	
1mW	13 mA (Typ.)	
受信時	15 mA (Typ.)	(@100kbps)

- パッケージ

32 ピン WQFN（5mm x 5mm）　P-WQFN32-0505-0.50
鉛フリー RoHS 準拠

■製品名について



■表記方法

1) 数値表記
0xnn の形式は、16 進を示します。0bnn の形式は、2 進を示します。
(例)　0x11= 17(10 進), 0b11= 3(10 進)

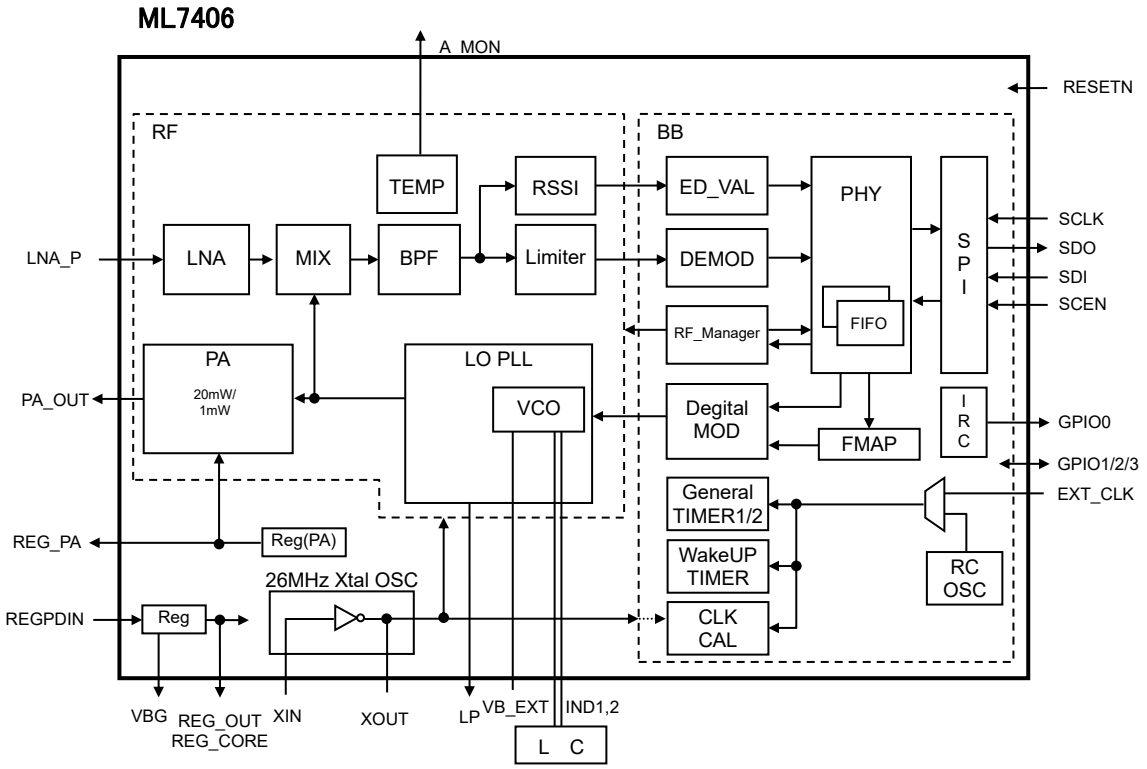
2) レジスタ表記
レジスタは以下のように表記します。
[<レジスタ名称>: B<Bank No> <レジスタアドレス>]

(例) [RF_STATUS: B0 0x0B(3-0)]
レジスタ名称:　RF_STATUS
Bank No:　0
レジスタアドレス:　0x0B

3) ビット名表記
ビット名は以下のように表記します。
<ビット名称>[<レジスタ名称>: B<Bank No> <レジスタアドレス>(<ビット位置>)]

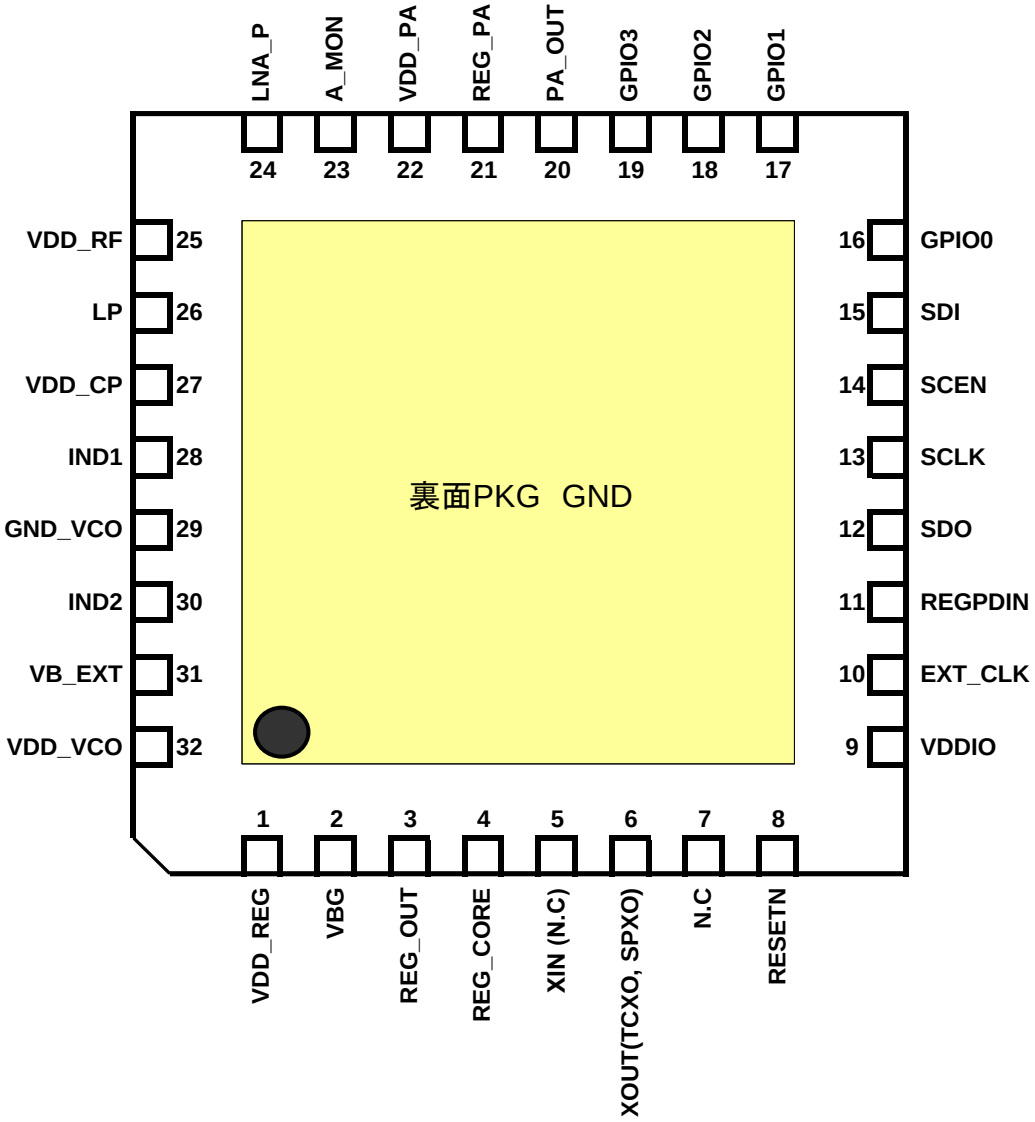
(例) SET_TRX([RF_STATUS: B0 0x0B(3-0)])
レジスタ名称:　RF_STATUS
Bank No:　0
レジスタアドレス:　0x0B
bit:　ビット 3 からビット 0

■ブロック図


ML7406
A_MON
RESETN
RF
BB
TEMP
RSSI
ED_VAL
PHY
SCLK
SDO
SDI
SCEN
LNA_P
LNA
MIX
BPF
Limiter
DEMOD
S
P
I
RF_Manager
FIFO
PA
20mW/
1mW
LO PLL
VCO
PA_OUT
Degital
MOD
FMAP
I
R
C
GPIO0
GPIO1/2/3
EXT_CLK
General
TIMER1/2
REG_PA
Reg(PA)
WakeUP
TIMER
RC
OSC
26MHz Xtal OSC
REGPDIN
Reg
CLK
CAL
VBG
REG_OUT
REG_CORE
XIN
XOUT
LP
VB_EXT
IND1,2
L C

■端子配置

32 ピン WQFN



ご注意: チップ中央の GND は裏面(名称:裏面 GND)です。

■端子説明

I/O 定義			リセット時記号			Active Level		
I	:	デジタル入力端子	I	:	入力状態	H	:	H レベル
O	:	デジタル出力端子	O	:	出力状態	L	:	L レベル
IS	:	シュミットトリガ入力端子	Hi-Z	:	ハイインピーダンス状態	OD	:	オープンドレイン
IO	:	デジタル入出力端子				P	:	立上り
IA	:	アナログ入力端子				N	:	立下り
OA	:	アナログ出力端子 1						
OAH	:	アナログ出力端子 2						
IOA	:	アナログ入力出力端子						
IRF	:	RF 入力端子						
ORF	:	RF 出力端子						
VDDIO	:	I/O 電源端子						
VDDRF	:	RF 電源端子						
GND	:	GND 端子						

●RF 関連・アナログ端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
20	PA_OUT	ー	ORF	ー	RF アンテナ出力端子
23	A_MON	ー	OA	ー	温度情報出力端子（*1）
24	LNA_P	ー	IA	ー	RF アンテナ入力端子
26	LP	ー	IOA	ー	ループフィルタ接続端子
28	IND1	ー	IOA	ー	VCO タンク インダクタ接続端子
30	IND2	ー	IOA	ー	VCO タンク インダクタ接続端子
31	VB_EXT	ー	IOA	ー	内部バイアス平滑容量接続端子

【詳細】

*1　温度情報出力端子に出力する信号は[MON_CTRL: B0 0x4D]で設定できます。初期設定では出力設定されていません。

●SPI 関連端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
12	SDO	Hi-Z	O	H or L	SPI データ出力端子 または DCLK 出力端子(*1)
13	SCLK	Hi-Z	Is	P or N	SPI クロック入力端子
14	SCEN	Hi-Z	Is	L	SPI チップイネーブル端子 L: イネーブル H: ディセーブル
15	SDI	Hi-Z	Is	H or L	SPI データ入力端子 または DIO 入出力端子(*1)

【詳細】
*1 「DIO 機能」を参照してください。

●レギュレータ端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
2	VBG	ー	OAH	ー	バイパスコンデンサ接続端子
3	REG_OUT	ー	OAH	ー	レギュレータ 1 出力端子（typ. 1.5V）
4	REG_CORE	ー	OA	ー	レギュレータ 2 出力端子（typ. 1.5V）
11	REGPDIN	I	I	H	レギュレータパワーダウン制御端子 通常動作時は、”L”固定入力としてください。ディープスリープ時は”H”設定してください。
21	REG_PA	ー	OAH	ー	PA 用レギュレータ出力端子

端子説明(続き)

●その他の端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
5	XIN N.C.(*2)	I ー	I_A ー	P or N ー	26MHz 水晶振動子接続端子 1 ※TCXO 入力の場合はオープンにしてください
6	XOUT TCXO(*2)	- I I	O_A I_A I	P or N	26MHz 水晶振動子接続端子 2 （TCXO 入力端子）
8	RESETN	I	Is	L	リセット端子 L: 初期化、停止 H: 動作 ※本端子を”L”とすると LSI 内部が全て初期化されます。ディープスリープ時本端子を”L”と設定してください。
10	EXT_CLK	Hi-Z	IO	P or N	デジタル入出力端子 （*3） 初期機能: 外部クロック（32kHz）入力端子
16	GPIO0	Hi-Z	IO or OD(*1)	H or L	デジタル入出力端子 （*4） 初期機能: 割込み通知信号出力
17	GPIO1	Hi-Z	IO or OD(*1)	H or L	デジタル入出力端子 （*5） 初期機能: クロック出力
18	GPIO2	Hi-Z	IO or OD(*1)	H or L	デジタル入出力端子 （*6） 初期機能: アンテナ切り替え制御信号出力
19	GPIO3	Hi-Z	IO or OD(*1)	H or L	デジタル入出力端子 （*7） 初期機能: 送受信切り替え信号出力

【詳細】

*1　OD はオープンドレイン出力を意味します。

*2　ピン名が製品品番により異なります。（下表）

Pin No.	ML7406C	ML7406T
5	XIN	N.C.
6	XOUT	TCXO

【ご注意】

TCXO をお使いになる場合は、TCXO_EN([CLK_SET2: B0 0x03(6)])を 0b1 に設定してください。また、必ず TCXO_EN、XTAL_EN([CLK_SET2: B0 0x03(4)])のいずれか 1 つのみ 0b1 となるように設定してください。

*3　[EXTCLK_CTRL: B0 0x52]を参照してください。

*4　[GPIO0_CTRL: B0 0x4E]を参照してください。

*5　[GPIO1_CTRL: B0 0x4F]を参照してください。ML7406T の場合、TCXO_EN=0b1 設定するまでクロック出力されません。

*6　[GPIO2_CTRL: B0 0x50]を参照してください。

*7　[GPIO3_CTRL: B0 0x51]を参照してください。

端子説明(続き)

●電源/GND 端子

端子番号	端子名称	リセット時	I/O	Active Level	端子機能
1	VDD_REG	ー	VDDIO	ー	レギュレータ用電源端子 (入力電圧 1.8~3.6V)
9	VDDIO	ー	VDDIO	ー	デジタル IO 用電源端子 (入力電圧 1.8~3.6V)
22	VDD_PA	ー	VDDIO	ー	PA 用電源端子 (入力電圧 1.8~3.6V 送信出力モードによる)
25	VDD_RF	ー	VDDRF	ー	RF 用電源端子 (REG_OUT を接続 typ.1.5V)
27	VDD_CP	ー	VDDRF	ー	チャージポンプ用電源端子 (REG_OUT を接続 typ.1.5V)
32	VDD_VCO	ー	VDDRF	ー	VCO 用電源端子 (REG_OUT を接続 typ.1.5V)
29	GND_VCO	ー	GND	ー	VCO 用 GND 端子

●未使用端子の処理

端子未使用時の処理方法を示します。本 LSI の基本動作を損なう端子処理は含まれません。

未使用端子の処理

端子名称	端子番号	推奨端子処理
N.C.	5	オープン
N.C.	7	GND またはオープン
EXT_CLK	10	GND
A_MON	23	GND
GPIO0	16	オープン
GPIO1	17	オープン
GPIO2	18	オープン
GPIO3	19	オープン

＜ご注意＞

*1. ハイインピーダンス入力設定にて端子をオープン状態のままにした状態では、消費電流が過大になる恐れがあります。未使用の入力端子及び入出力端子はオープンとならないように処理を行ってください。

*2. GPIO1 端子は初期状態はクロック出力(CLK_OUT 機能)となっています。本機能を使用しない場合は、[GPIO1_CTRL: B0 0x4F(2-0)]を 0b000 に設定し、クロック出力を停止してください。クロック出力のままオープン状態とすると受信感度劣化を招く恐れがあります。

■電気的特性

●絶対最大定格

条件に記載がない場合、Ta=-40 to +85℃、GND=0V での値となります。

項目	記号	条件	定格値	単位
IO 電源端子電圧	V_{DDIO}	ー	-0.3～+4.6	V
RF 電源端子電圧	V_{DDRF}	ー	-0.3～+2.0	V
RF 入力レベル	P_{RFI}	受信時のアンテナ端	0	dBm
RF 出力電圧	V_{RFO}	PA_OUT 端子	-0.3～+4.6	V
アナログ端子電圧 1	V_A	ー	-0.3～+2.0	V
アナログ端子電圧 2	V_{AH}	ー	-0.3～+4.6	V
デジタル端子電圧	V_D	ー	-0.3～+4.6	V
デジタル入力電流	I_{DI}	ー	-10～+10	mA
デジタル出力電流	I_{DO}	ー	-8～+8	mA
許容損失	P_d	Ta= +25℃	1.2	W
保存温度	T_{stg}	ー	-55～+150	℃

●推奨動作条件

項目	記号	条件	最小	標準	最大	単位
電源電圧 (I/O)	VDDIO	VDDIO 端子および VDD_REG 端子（*1）	1.8	3.3	3.6	V
電源電圧 (PA)	VDDPA	VDD_PA 端子 送信出力 +1mW モード	1.8	3.3	3.6	V
		VDD_PA 端子 送信出力 +10mW モード	2.3	3.3	3.6	V
		VDD_PA 端子 送信出力 +20mW モード	2.6	3.3	3.6	V
動作温度	Ta		-40	+25	+85	℃
デジタル入力立上り時間	TIR	デジタル入力端子 (*1)	ー	ー	20	ns
デジタル入力立下り時間	TIF	デジタル入力端子 (*1)	ー	ー	20	ns
デジタル出力負荷	CDL	全デジタル出力端子	ー	ー	20	pF
マスタークロック周波数 (XIN,XOUT,TCXO 端子)	FMCK1		(*2)	26	(*2)	MHz
マスタークロック精度(*2)	ACMCK1		-85	ー	+85	ppm
TCXO 入力電圧	VTCXO	DC カット ※TCXO オプション選択時	0.8	ー	1.5	Vpp
SPI クロック入力周波数	FSCLK	SCLK 端子	0.032	2	16	MHz
SPI クロック入力 デューティィ比	DSCLK	SCLK 端子	45	50	55	%
RF 周波数	FRF		750	ー	960	MHz

*1　端子説明の I/O 欄に I または Is の表示がある端子

*2　送受信で許容できる周波数偏差を示しております。各種規格に対応するためには、下表の通り規格に応じた周波数精度でご使用ください。

規格	周波数精度
Wireless M-Bus S mode	±60 ppm(Meter) ±25 ppm(Other)
Wireless M-Bus T mode	±60 ppm(Meter) ±25 ppm(Other)
Wireless M-Bus C mode	±25 ppm
ARIB STD-T108	±20 ppm

※以下、標準として規定している値は、代表的な中心値を示します。IC のばらつきを考慮した保証値ではありません。

●電源電流特性

項目	記号	条件	最小	標準(*2)	最大(*5)	単位
電源電流　(*1)	I_{DD_DSLP}	ディープスリープ状態 (レジスタ非保持，全機能停止)	-	0.1	9 (0.8)	μA
	I_{DD_SLP2}	スリープ状態 2 (*3)	-	0.56	20 (3.0)	μA
	I_{DD_SLP3}	スリープ状態 3 (*3)	-	0.7	20.2 (3.2)	μA
	I_{DD_SLP4}	スリープ状態 4 (*3)	-	2.5	22 (5.1)	μA
	I_{DD_IDLE}	アイドル状態	-	1.4	-	mA
	I_{DD_RX}	受信状態（*4)	-	15	-	mA
	I_{DD_TX1}	送信状態（1mW）(*4)	-	13	-	mA
	I_{DD_TX10}	送信状態（10mW) (*4)	-	24	-	mA
	I_{DD_TX20}	送信状態（20mW) (*4)	-	34	-	mA

*1　電源電流は、全電源端子の合算値です。
*2　標準は V_{DDIO} =3.3V、25℃の代表的な中央値です。
*3　各スリープ状態の定義は下表の通りです。

スリープ状態	レジスタ状態	FIFO 状態	RC 発振回路状態	低速タイマ状態
状態 1	ML7406 ではスリープ状態 1 をサポートしていません。			
状態 2	保持	保持	OFF	-
状態 3	保持	保持	OFF (EXT_CLK 端子より 低速クロック入力)	ON
状態 4	保持	保持	ON	ON

*4　周波数が 868MHz 時の電流値です。
*5　括弧内の値は常温時の最大値(参考値)です。

【ご注意】
ディープスリープモードから各スリープモードへの移行は禁止です。切替える場合は電源を OFF にして、ディープスリープモードを解除してから再度電源を ON してください。

●直流特性

項目	記号	条件	最小	標準	最大	単位
高レベル入力電圧	V_{IH1}	デジタル入力端子	V_{DDIO} x 0.75	－	V_{DDIO}	V
	V_{IH2}	XIN 端子	1.35	－	1.5	V
低レベル入力電圧	V_{IL1}	デジタル入力端子	0	－	V_{DDIO} x 0.18	V
	V_{IL2}	XIN 端子	0	－	0.15	V
シュミットトリガ 高レベル判定閾値	V_{T+}	RESETN 端子 SDI、SCLK、SCEN 端子 EXT_CLK 端子	－	1.2	V_{DDIO} x 0.75	V
シュミットトリガ 低レベル判定閾値	V_{T-}	RESETN 端子 SDI、SCLK、SCEN 端子 EXT_CLK 端子	V_{DDIO} x 0.18	0.8	－	V
入力リーク電流	I_{IH1}	デジタル入力端子	-1	－	1	µA
	I_{IH2}	XIN 端子	-0.3	－	0.3	µA
	I_{IL1}	デジタル入力端子	-1	－	1	µA
	I_{IL2}	XIN 端子	-0.3	－	0.3	µA
トライステート 出力リーク電流	I_{OZH}	デジタル入力端子	-1	－	1	µA
	I_{OZL}	デジタル入力端子	-1	－	1	µA
高レベル出力電圧	V_{OH}	IOH=-4mA	V_{DDIO} x 0.8	－	V_{DDIO}	V
低レベル出力電圧	V_{OL}	IOL=4mA	0	－	0.3	V
レギュレータ 出力電圧	$REG_{MAIN_}$	REG_CORE 端子、REG_OUT 端子 スリープ状態以外	1.4	1.5	1.6	V
	$REG_{SUB_}$	REG_CORE 端子 スリープ状態	0.95	1.3	1.65	V
入力容量	C_{IN}	入力端子	－	6	－	pF
	C_{OUT}	出力端子	－	9	－	pF
	C_{RFIO}	RF 入出力端子	－	9	－	pF
	C_{AI}	アナログ入力端子	－	9	－	pF

●RF 特性

変調速度(data rate) : 1.2kbps～500kbps
変調方式(modulation fomats) : 2 値 GFSK/FSK
チャネル間隔(channel spacing) : 60kHz～1.6MHz

特性測定点は、推奨回路のアンテナ端となります。

項目	条件	最小	標準	最大	単位
RF 周波数	LNA_P, PA_OUT 端子	750	ー	960	MHz

【ご注意】
1. 外付け回路の定数変更により、750MHz～960MHz の周波数に設定できます。
2. マスタークロックの整数倍近傍の周波数は使用できません。詳細は『周波数設定機能/チャネル周波数の設定』を参照してください。

【送信特性】

項目	条件	最小	標準	最大	単位
送信出力電力	20mW(13dBm)モード	9	13	15	dBm
	10mW(10dBm)モード	6	10	12	dBm
	1mW(0dBm)モード	-4	0	4	dBm
周波数偏位調整範囲 (*1)		0.025	ー	400	kHz
不要発射レベル（10mW モード）	第 2 高調波	ー	-35	-30	dBm
	第 3 高調波	ー	-35	-30	dBm

*1. 調整範囲は上記の通りですが、使用周波数帯によって設定できる最大値が変わります。

【受信特性】

項目	条件	最小	標準	最大	単位
最小受信感度 BER<0.1%	32.768kbps モード	ー	-108	ー	dBm
	100kbps モード	ー	-106	-100	dBm
最大受信入力レベル	BER<0.1%	0	ー	ー	dBm
最小電力検出（ED 値）レベル		ー	-107	-100	dBm
電力検出範囲	ダイナミックレンジ	60	70	ー	dB
電力検出精度		-6	ー	+6	dB
副次発射レベル	ローカル周波数	ー	-63	-57	dBm
	1000MHz を超えるもの	ー	-57	-47	dBm

●RC 発振回路特性

本 LSI はタイマー用低速クロック生成機能を搭載しております。詳細は「LSI 状態制御/SLEEP 設定」の項ご参照ください。

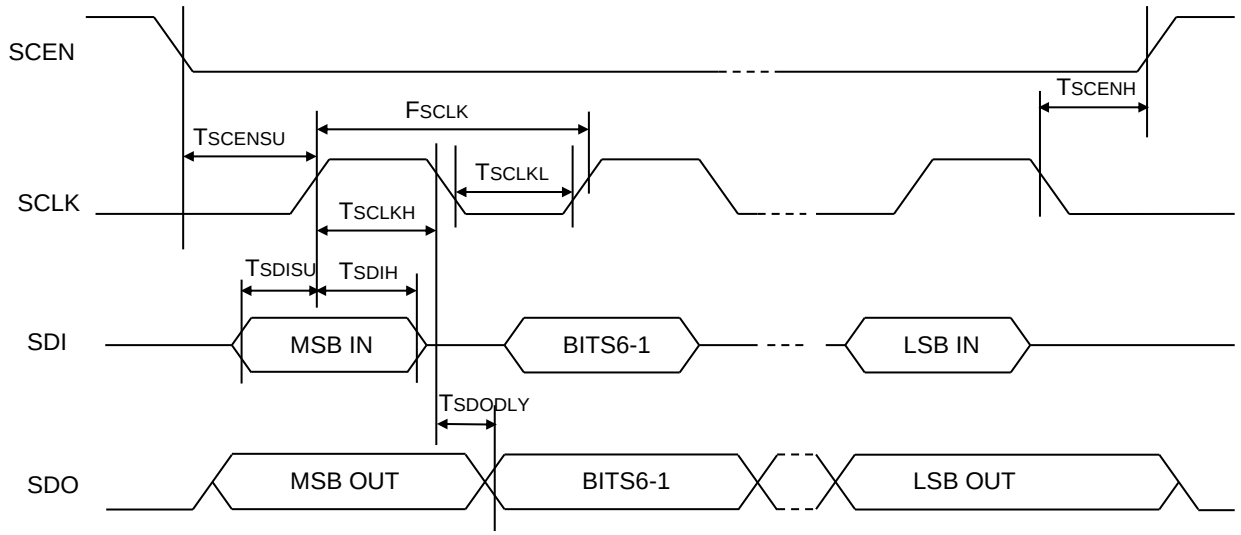
項目	記号	条件	最小	標準	最大	単位
RCOSC 発振周波数	FRCOSC		ー	44	ー	kHz

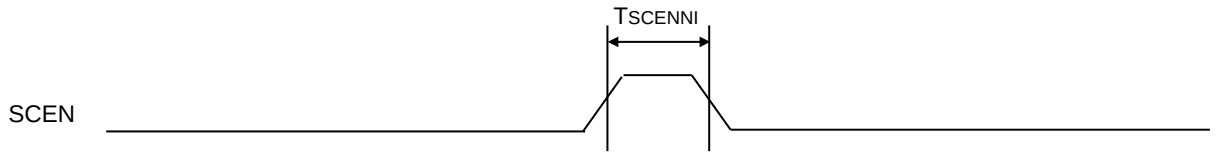
●SPI 特性

項目	記号	条件	最小	標準	最大	単位
SCLK クロック周波数	FSCLK	負荷容量 CL=20pF	0.032	2	16	MHz
SCEN 入力セットアップ時間	TSCENSU		30	ー	ー	ns
SCEN 入力ホールド時間	TSCENH		30	ー	ー	ns
SCLK ハイパルス幅	TSCLKH		28	ー	ー	ns
SCLK ローパルス幅	TSCLKL		28	ー	ー	ns
SDI 入力セットアップ時間	TSDISU		5	ー	ー	ns
SDI 入力ホールド時間	TSDIH		15	ー	ー	ns
SCEN ネゲート間隔	TSCENNI		200	ー	ー	ns
SDO 出力遅延時間	TSDODLY		ー	ー	22	ns

【ご注意】

全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



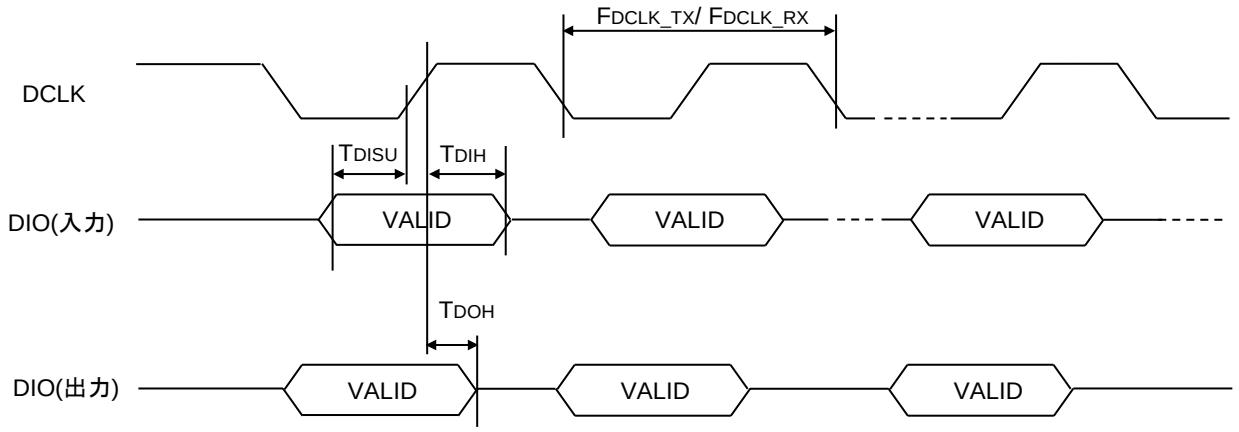


●送受信データインタフェース特性

項目	記号	条件	最小	標準	最大	単位
DIO 入力セットアップ時間	TDISU	負荷容量 CL=20pF	1	ー	ー	μs
DIO 入力ホールド時間	TDIH		0	ー	ー	ns
DIO 出力ホールド時間	TDOH		20	ー	ー	ns
DCLK 周波数精度 (*1) (送信時)	FDCLK_TX		-クロック 周波数偏差	ー	+クロック 周波数偏差	kHz
DCLK 周波数精度 (*2) (受信時)	FDCLK_RX		-30	ー	+30	%
DCLK 出力デューティ比 (送信時)	DDCLK_TX		45	ー	55	%
DCLK 出力デューティ比 (受信時)	DDCLK_RX		30	ー	70	%

*1 送信データレート設定値の計算に小数点が発生しない場合([TX_RATE_H: B1 0x02]参照)、送信時の DCLK 周波数の最大値および最小値は、マスタークロック周波数偏差となります。
*2 受信時の DCLK 周波数の最小値および最大値は、受信信号に応じて生成される再生クロックのジッタ量(同期確立時)を示します。

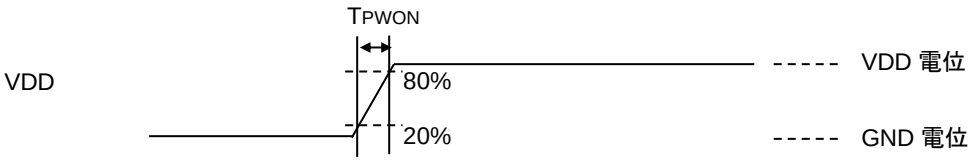
【ご注意】
全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



●パワーオン特性

項目	記号	条件	最小	標準	最大	単位
パワーオン時間差	TPWON	パワーオン時 (全電源端子)	－	－	5	ms

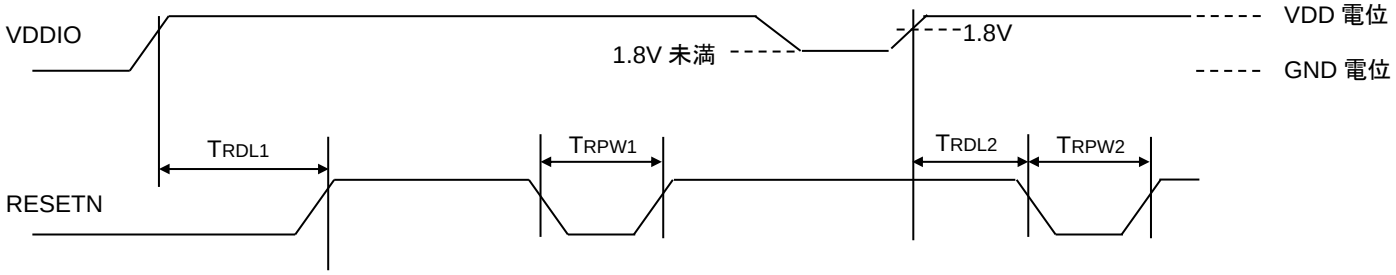
【ご注意】
全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



●リセット特性

項目	記号	条件	最小	標準	最大	単位
RESETN 解除遅延時間 （パワーオン時）	TRDL1	全電源端子 Power On 後	150	－	－	ms
RESETN パルス時間 (VDDIO＝0V からの起動時)	TRPW1		200	－	－	ns
RESETN パルス時間 2(*1) (VDDIO≠0V からの起動時)	TRPW2		150	－	－	ms
RESETN 入力遅延時間	TRDL2	VDDIO>1.8V 後	1	－	－	µs

【ご注意】
全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。

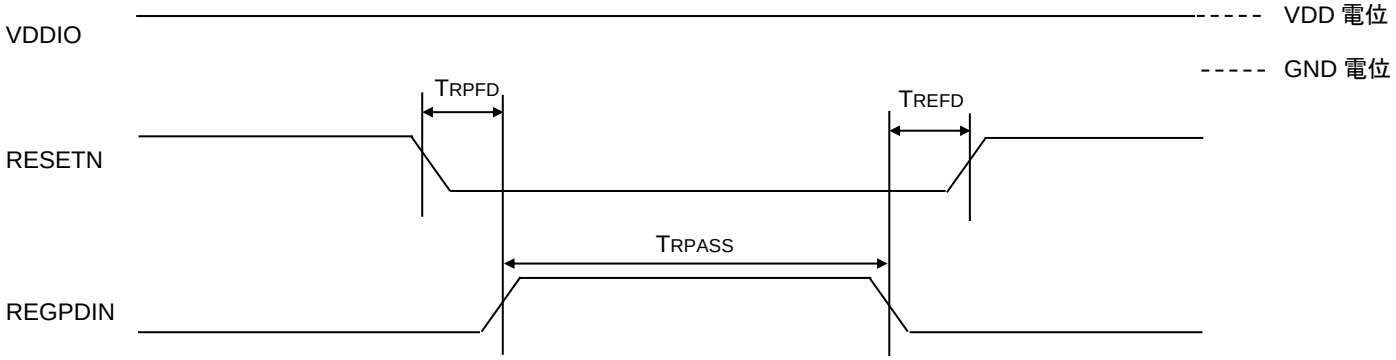


(*1) VDDIO≠0V からの起動時は VDDIO が 1.8V を超えてから RESETN 信号にパルスを入力してください。

●ディープスリープモード特性

項目	記号	条件	最小	標準	最大	単位
REGPDIN 立上り遅延時間	TRPFD	VDDIO=”H”	0	－	－	μs
REGPDIN アサート時間	TRPASS	VDDIO=”H”	1.2	－	－	ms
RESETN 入力遅延時間	TREFD	VDDIO=”H”	1.5	－	－	ms

【ご注意】
全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



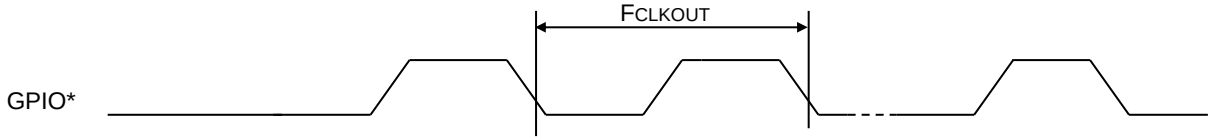
●クロック出力特性

本 LSI はクロック出力機能を搭載しております。DMON_SET([MON_CTRL: B0 0x4D(3-0)])および[GPIO*_CTRL: B0 0x4E-0x51]にて制御可能です。初期設定では GPIO1 端子より出力されます。

項目	記号	条件		最小	標準	最大	単位
クロック出力周波数	FCLKOUT	負荷容量 CL=20pF		0.0064	3.33	26	MHz
クロック出力デューティ比 (*1)	DCLKOUT		8.66MHz	33	-	67	%
			上記以外	48	50	52	%

*1　8.66MHz に設定されたときのみ、デューティ比が High:Low = 1:2 となります。[CLK_OUT: B1 0x01]を参照してください。

【ご注意】
全てのタイミング測定点は、VDDIO* 20%と VDDIO*80%のレベルです。



■機能説明

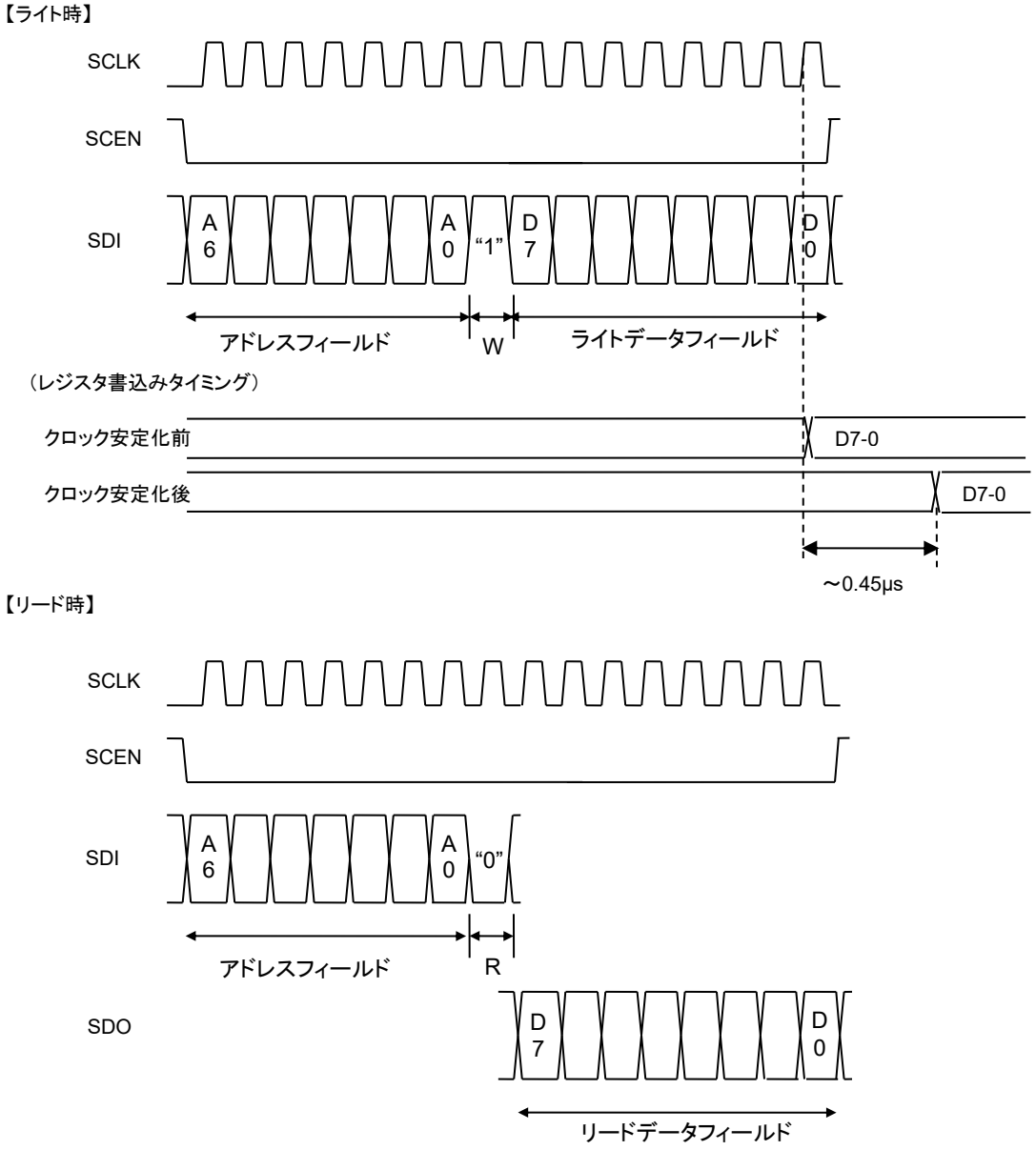
●ホストインタフェース

○Serial Peripheral Interface (SPI)

本 LSI はシリアルペリフェラルインタフェース（以下 SPI）を有しています。本 LSI の SPI はスレーブモードのみをサポートしており、ホスト MCU よりクロックを入力して本 LSI のレジスタと FIFO の読み書きを行います。またシングルアクセス、バーストアクセスに対応しています。

【シングルアクセス タイムチャート】

ライト時は、D0 を取り込むクロックの立ち上がりを検出して内部レジスタに書き込みます。書き込み途中に SCEN を"H"にするとレジスタに書き込まれません。SCEN ネゲート間隔は"SPI 特性"を参照してください。また、内部クロックが安定した後は、内部クロックに同期してレジスタに書き込みます。



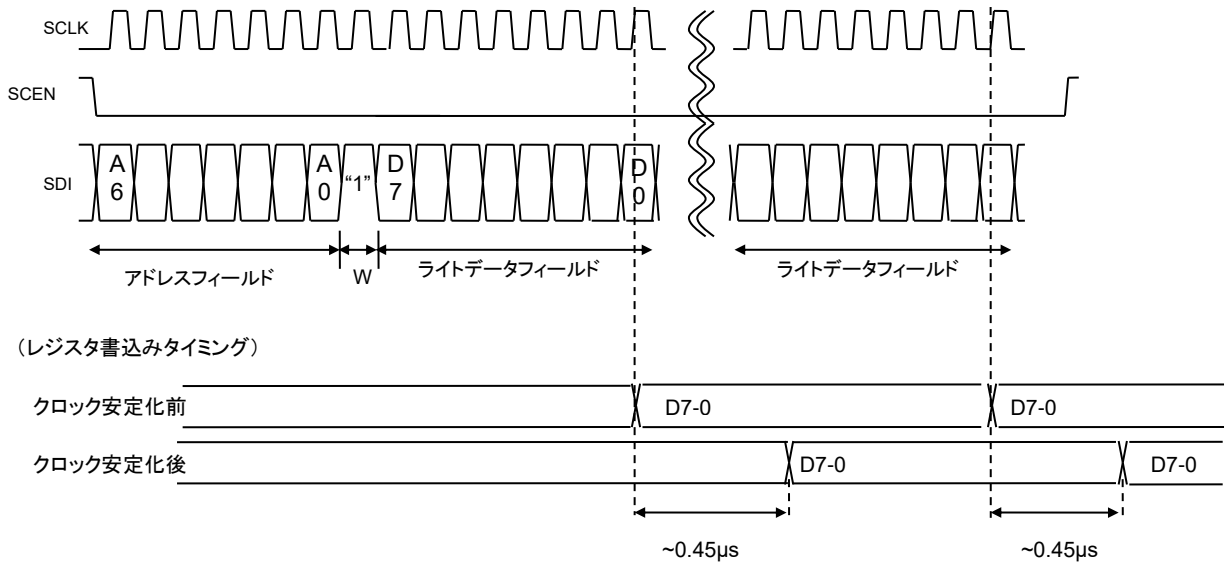
【バーストアクセス　タイムチャート】

SCEN を”L”に維持することで、バーストモードに移行します。バーストモードの解除は SCEN を”H”にすることで行われます。バーストモードでは、アドレスの自動インクリメントが実行され、必要なデータ分 SCLK を入力することで連続して読み書きができます。D0 を取り込むクロックが入力される前に SCEN を”H”にした場合、当該データは破棄されます。

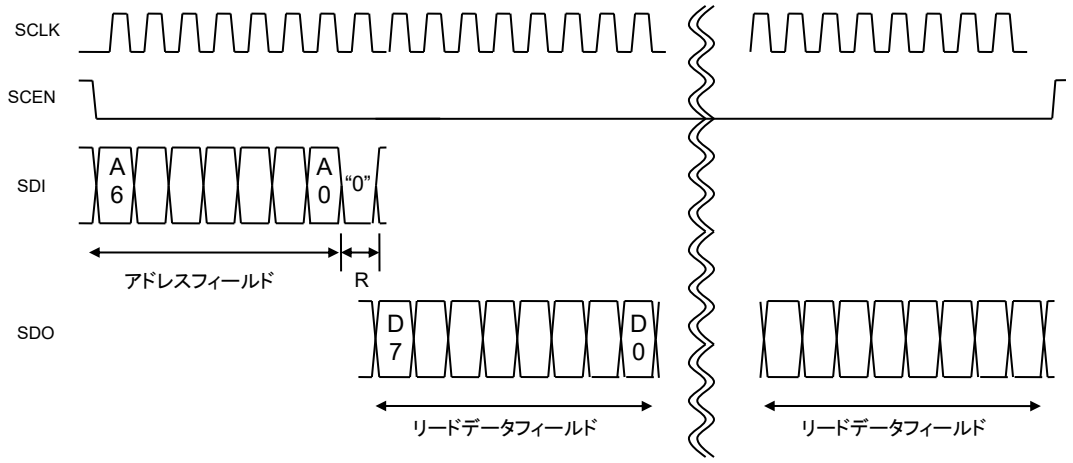
【ご注意】

アクセス先が[WR_TX_FIFO: B0 0x7C]、[RD_FIFO: B0 0x7F]の場合、アドレスのインクリメントが行われず連続して当該 FIFO の読み書きができます。

【ライト時】



【リード時】



●LSI 状態制御

○LSI 状態変更命令

本 LSI は以下のレジスタで LSI 状態を変更することができます。

状態遷移命令	レジスタ設定
TX_ON	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0b1001
RX_ON	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0b0110
TRX_OFF	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0b1000
Force_TRX_OFF	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0b0011
SLEEP	SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)]) = 0b1
VCO_CAL	VCO_CA_LSTART([VCO_CAL_START: B0 0x6F(0)])= 0b1

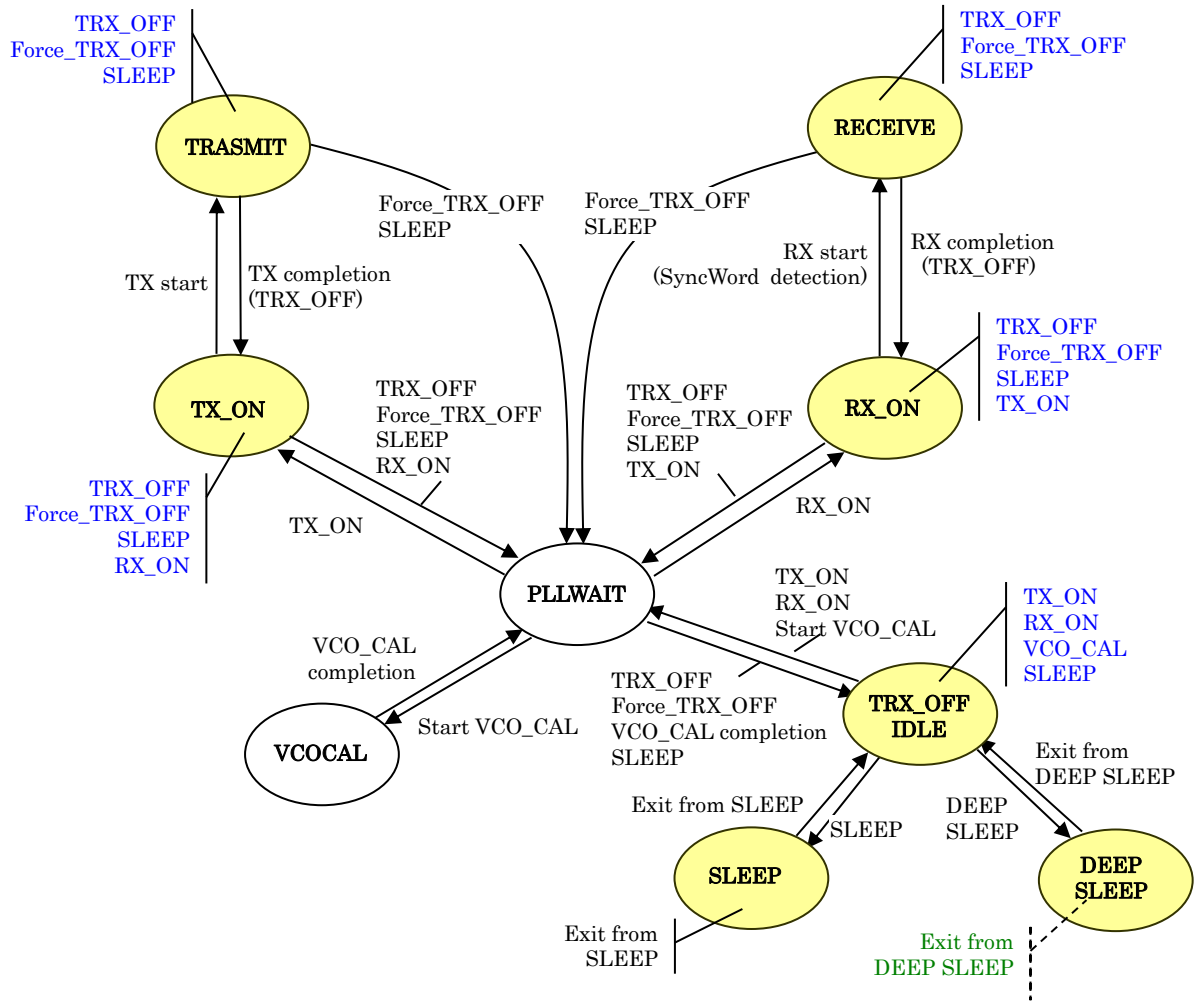
また、本 LSI は自立的に LSI の状態を変更する機能があります(下表を参照してください)。それぞれの機能により LSI 状態変更条件を満たした場合、上表のレジスタを LSI が自動で書き換え、状態を変更します。

機能	制御ビット名
FIFO ライト完了後自動 TXON(AUTO_TX)	AUTO_TX_EN([RF_STATUS_CTRL: B0 0x0A(4)])
FIFO ライト途中での自動 TXON(FAST_TX)	FAST_TX_EN([RF_STATUS_CTRL: B0 0x0A(5)])
送信完了時の RF 状態遷移設定	TXDONE_MODE[1:0]([RF_STATUS_CTRL: B0 0x0A(1-0)])
受信完了時の RF 状態遷移設定	RXDONE_MODE[1:0]([RF_STATUS_CTRL: B0 0x0A(3-2)])
ウェイクアップタイマ機能動作による自動 RXON/TXON	WAKEUP_MODE([SLEEP/WU_SET:B0 0x2D(6)]) WAKEUP_EN([SLEEP/WU_SET:B0 0x2D(4)])
SLEEP 復帰後の自動 VCO キャリブレーション	AUTO_VCOCAL_EN([VCO_CAL_START: B0 0x6F(4)])
動作継続タイマ動作による自動 SLEEP	WU_DURATION_EN([SLEEP/WU_SET: B0 0x2D(5)]
高速電波チェックモードによる自動 SLEEP	FAST_DET_MODE_EN([CCA_CTRL:B0 0x39(3)])
送信中の PLL ロック外れ検出時自動 Force_TRX_OFF	PLL_LOCL_EN([PLL_LOCK_DETECT: B1 0x0B(7)])

それぞれの LSI 状態遷移制御は以下の状態遷移図に従います。

○LSI 状態遷移図

LSI状態遷移制御は以下の状態遷移図に従います。



【状態】

DEEP SLEEP	:DEEPスリープ
SLEEP	:スリープ
TRX_OFF/IDLE	:アイドル（送受信起動待ち）
PLLWAIT	:PLL起動待ち
TX_ON	:送信準備完了(送信データ待ち)
TRANSMIT	:送信中
RX_ON	:受信準備完了(受信データ待ち)
RECEIVE	:受信中
VCO_CAL	:VCOキャリブレーション中

ステート遷移命令　端子制御

通常シーケンス（遷移時動作）

上位層からの命令受付ステート　LSI自立遷移ステート

LSI 状態遷移図

【ご注意】
DEEP_SLEEP⇒各ステート⇒SLEEP への遷移は禁止です。

○SLEEP 設定

DEEP_SLEEP 状態は IO 端子以外の全回路の電源が OFF した状態となります。
SLEEP 状態はメインレギュレータと 26MHz 発振回路が OFF し、サブレギュレータが ON している状態となります。
また、SLEEP 中の状態は以下のレジスタで設定できます。

機能	制御ビット名
電源制御	PDN_EN([SLEEP/WU_SET: B0 0x2D(1)])
ウェイクアップ設定	WAKEUP_EN([SLEEP/WU_SET: B0 0x2D(4)])
ウェイクアップタイマ用クロックソース設定	WUT_CLK_SOURCE([SLEEP/WU_SET: B0 0x2D(2)])
内蔵 RC 発振回路制御	RC32K_EN ([CLK_SET2: B0 0x03(3)])

DEEP_SLEEP および代表的な SLEEP モードへの設定方法と、内部状態の対応関係は以下の通りとなります。

スリープモード	設定方法	メインレギュレータ	サブレギュレータ	26MHz 発振回路	RC 発振回路	低速タイマ	FIFO
DEEP_SLEEP	RESETN 端子="L" REGPDIN 端子="H"	OFF	OFF	OFF	OFF	OFF	OFF
SLEEP1	ML7406 ではサポートしていません。	–	–	–	–	–	–
SLEEP2	[SLEEP/WU_SET: B0 0x2D(4-0)] = 0b0_1001 (*2) [CLK_SET2: B0 0x03(3)] = 0b0 (初期値)	OFF	ON	OFF	OFF(*1)	OFF	ON
SLEEP3	[SLEEP/WU_SET: B0 0x2D(4-0)] = 0b1_1001 (*2) [CLK_SET2: B0 0x03(3)] = 0b0 (初期値)	OFF	ON	OFF	OFF	ON	ON
SLEEP4	[SLEEP/WU_SET: B0 0x2D(4-0)] = 0b1_1101 (*2) [CLK_SET2: B0 0x03(3)] = 0b1	OFF	ON	OFF	ON	ON	ON

(*1)・・・低速クロックは EXT_CLK 端子から供給します。
(*2)・・・[SLEEP/WU_SET: B0 0x2D(3)]には任意の値を設定して下さい。

【ご注意】
DEEP_SLEEP ではレジスタ値を保持しません。一方、SLEEP 2 から SLEEP4 ではレジスタ値を保持します。
ただし、レジスタ値を正常に保つためには SLEEP 時間は以下の時間以内としてください。

動作上限温度[℃]	25	45	65	85
SLEEP 時間[ms]	1900	1100	600	300

SLEEP 時間が上記時間以上となる場合には、以下の手順で SLEEP 解除することでレジスタ値を保持することが可能です。ただし、ウェイクアップタイマ機能が使用できなくなります。

i. [REGULATOR_CTRL B1 0x07]=0xF9
ii. WAIT 500us
iii. [REGULATOR_CTRL B1 0x07]=0xFD
iv. SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])=0b0
v. [REGULATOR_CTRL B1 0x07]=0xFE

○RF 状態設定に関する注意事項

本 LSI はレジスタ設定による RF 状態遷移命令以外に、LSI が自立的に RF 状態遷移命令を発行し、RF 状態変更を行う機能があります(「LSI 状態制御」参照)。このとき、レジスタ設定による RF 状態遷移命令と LSI 自立動作による RF 状態変更のタイミングが重なった場合、意図しない RF 状態となります。LSI 自立動作による RF 状態変更は以下のタイミングで行われます。レジスタ設定による RF 状態遷移命令タイミングと重ならないようにご注意ください。

機能	RF 状態変更 (変更前⇒変更後)	LSI 自立動作による RF 状態変更タイミング	推奨処理方法
自動送信	TRX_OFF/RX_ON⇒ TX_ON	送信データ受付完了割込み発生後、 {[TX_RATE_H/L: B1 0x02/03)]設定値 x 2 / 26}[μs]区間	[RF_STATUS:B0 0x0B]にライトアクセスは、RF 状態遷移完了割り込み(INT[3] グループ1)発生後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)])が期待する状態への変更後に行う。
FAST_TX モード		FIFO ライト量がトリガレベル+1 以上となった後、 {[RX_RATE1_H/L:B1 0x04/05]設定値 x 5 / 26}[μs]区間	
送信完了後の RF 状態設定	TX_ON⇒TRX_OFF TX_ON⇒RX_ON TX_ON⇒SLEEP	送信完了割込み(INT[16] グループ 3)発生後、 {[TX_RATE_H/L:B1 0x02/03]設定値 x 2 / 26}[μs]区間	
受信完了後の RF 状態設定	RX_ON⇒TRX_OFF RX_ON⇒TX_ON RX_ON⇒SLEEP	受信完了割込み(INT[8] グループ 2)発生後、 {[RX_RATE1_H/L:B1 0x04/05]設定値 x 2 / 26}[μs]区間	
ウェイクアップタイマ	SLEEP⇒TX_ON SLEEP⇒RX_ON	ウェイクアップタイマ満了(INT[6] グループ1)後、WUT_CLK_SET [3:0] ([WUT_CLK_SET:B0 0x2E83-0]])で設定されるクロック 1 周期区間	
	SLEEP⇒VCO_CAL⇒ TX_ON SLEEP⇒VCO_CAL⇒ RX_ON	ウェイクアップタイマ満了(INT[6] グループ1)後、VCO キャリブレーション完了割込み(INT[1] グループ1)まで	[RF_STATUS:B0 0x0B]および BANK2 にアクセスは VCO キャリブレーション完了割込み(INT[1]) グループ 1)発生後に行う。
動作継続タイマ	TX_ON⇒SLEEP RX_ON⇒SLEEP	動作継続タイマ満了後、WUT_CLK_SET [3:0] ([WUT_CLK_SET:B0 0x2E83-0]])で設定されるクロック 1 周期区間	[RF_STATUS:B0 0x0B]にライトアクセスは RF 状態遷移完了割り込み発生(INT[3] グループ1)後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)])が期待する状態へ変更後に行う。
高速電波チェック	RX_ON⇒SLEEP	CCA 完了割込み(INT[18] グループ 3)発生後、6.3[μs]区間	
PLL ロック外れ検出	TX_ON⇒TRX_OFF	PLL ロック外れ検出割込み(INT[2] グループ1)発生後、147[μs]区間	[RF_STATUS:B0 0x0B]にライトアクセスは、PL ロック外れ割込み発生(INT[2] グループ 1)から 147μs 経過後に行う。

●パケットハンドリング機能

○パケットフォーマット

本 LSI は下記に示すパケットフォーマット(FormatA/B/C)をサポートします。FIFO 使用モードまたは DIO モードにおいて以下の通りパケットハンドリングを行います。

・プリアンブル・SyncWord の自動付加(送信時) ・・・DIO/FIFO モード共通
・プリアンブル・SyncWord の自動検出(受信時) ・・・DIO/FIFO モード共通
・プリアンブル・SyncWord の自動削除(受信時) ・・・DIO/FIFO モード共通
・CRC データ付加 ・・・FIFO モードのみ
・CRC チェック、エラー通知 ・・・DIO/FIFO モード共通

パケットフォーマットに関するレジスタおよびビットは以下の通りです。

機能	制御ビット名
パケットフォーマット設定	PKT_FORMAT[1:0]([PKT_CTRL1: B0 0x04(1-0)])
IEEE802.15.4g モード設定	IEEE802_15_4G_EN([PKT_CTRL1: B0 0x04(2)])
受信時パケット拡張モードオフ設定	RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])
データ領域送出順設定	DAT_LF_EN([PKT_CTRL1: B0 0x04(4)])
L-field 送出順設定	LEN_LF_EN([PKT_CTRL1: B0 0x04(5)])
パケット拡張モード設定	EXT_PKT_MODE([PKT_CTRL1: B0 0x04(7-6)])
Length フィールド長設定	LENGTH_MODE([PKT_CTRL2: B0 0x05(0)])

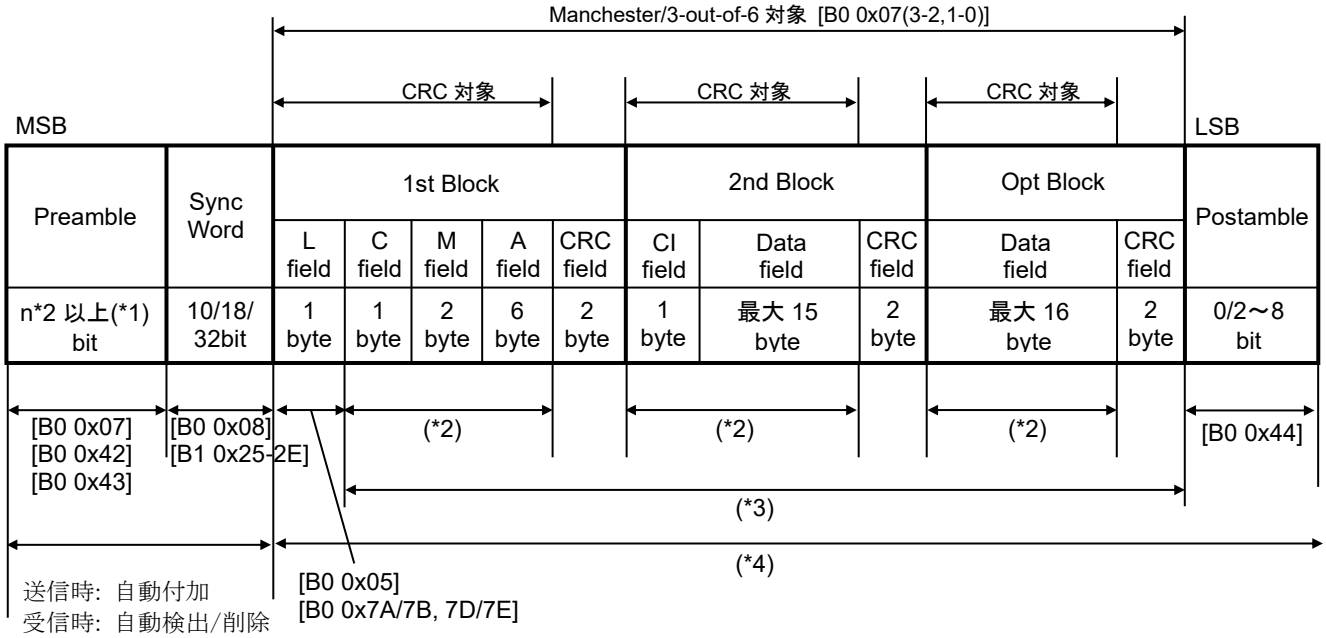
本 LSI がサポートするパケットフォーマットを示します。

(1) Format A (Wireless M-Bus 対応)

Format A を使用する場合は、PKT_FORMAT[1:0]([PKT_CTRL1: B0 0x04(1-0)])=0b00 を設定してください。

Format A は、1st Block および 2nd Block または Optional Block から構成されます。各 Block 毎に CRC2 バイトが付加されます。L-field(1st Block の先頭 1 バイト)がパケットの Length 値を示し、Length 値は 1st Block の C-field 以降の CRC、Postamble を除くデータのトータルバイト数を示します。また、Length 値に応じて 1st Block 以降の 2nd Block または Optional Block が追加されます。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



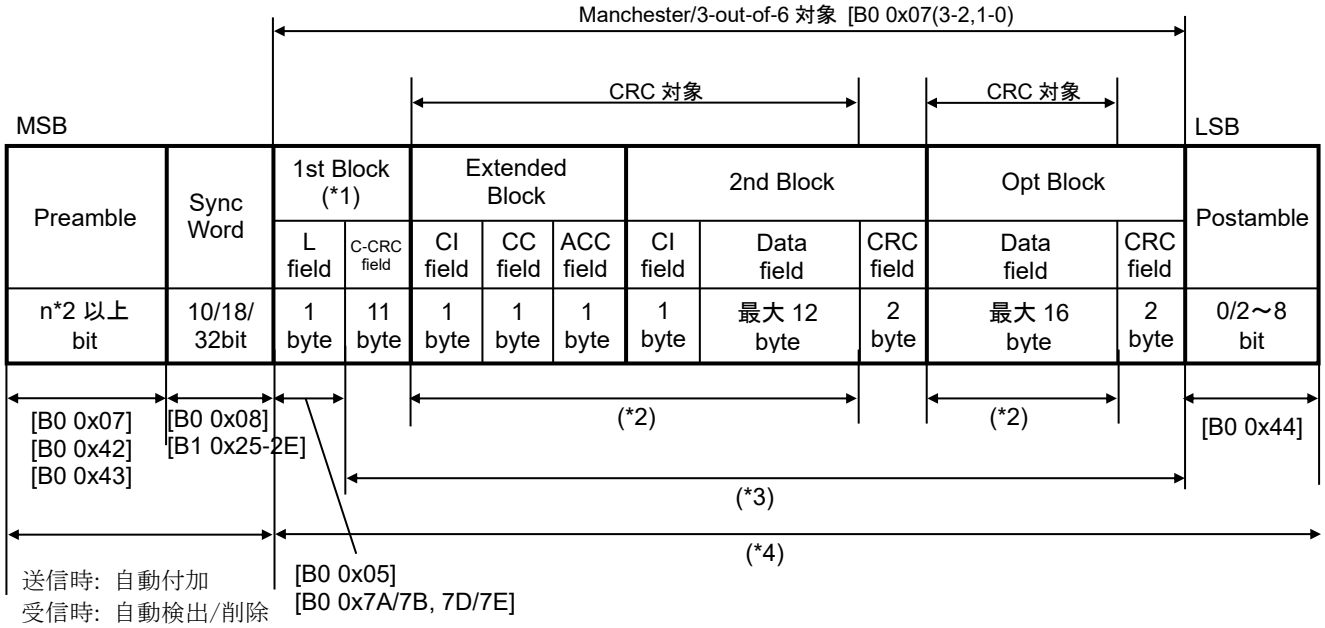
*1 n の最小値は Wireless M-Bus のモード毎に異なります。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL[1:0] ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

Extended Link Layer フォーマットについて

2nd Block の先頭 1 バイト(CI-field)が 0x8C または 0x8D の場合、Extended Link Layer フォーマットが適用され、パケットフォーマットが下記の通り拡張されます。

①CI-field = 0x8C の場合

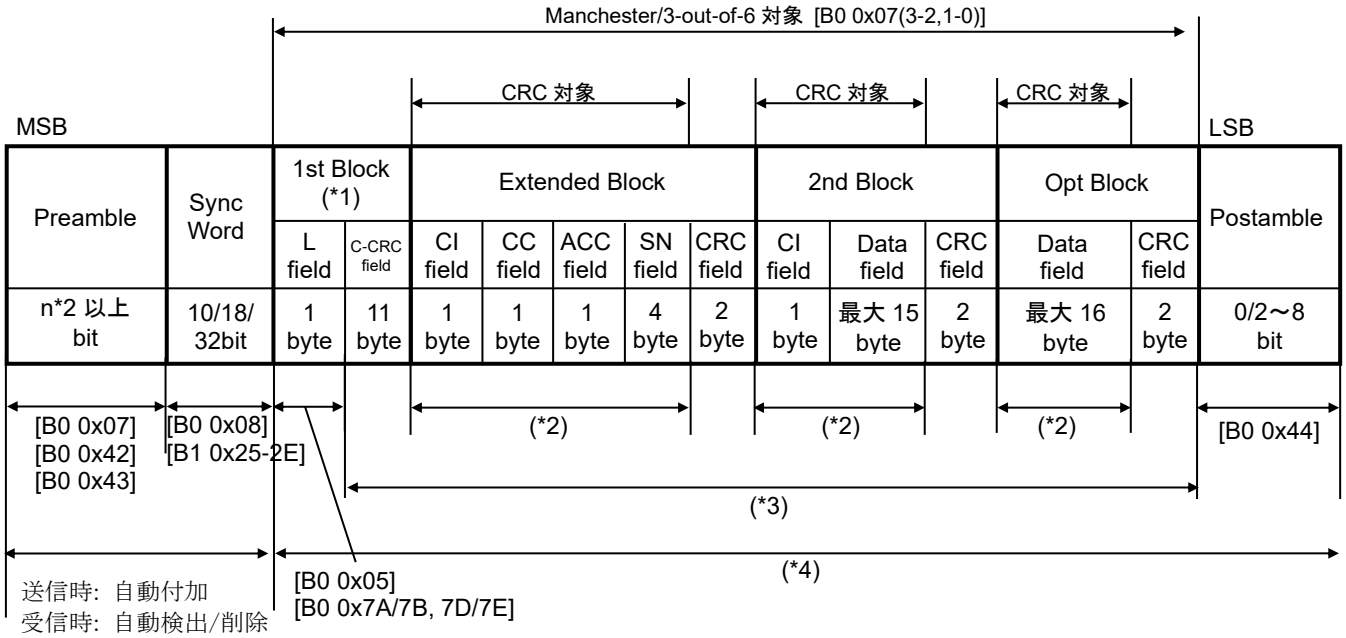
送信時、2 バイト拡張フォーマットを使用する場合は、EXT_PKT_MODE([PKT_CTRL1: B0 0x04(7-6)])=0b01 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])=0b0 設定した場合、ML7406 が CI-Field をを自動判定し、受信処理を行います。



*1 1st Block は Format A の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL[1:0] ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

②CI-field = 0x8D の場合

送信時、8 バイト拡張フォーマットを使用する場合は、EXT_PKT_MODE[1:0]([PKT_CTRL1: B0 0x04(7-6)])=0b10 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])=0b0 設定した場合、ML7406 が CI-Field を自動判定し、受信処理を行います。



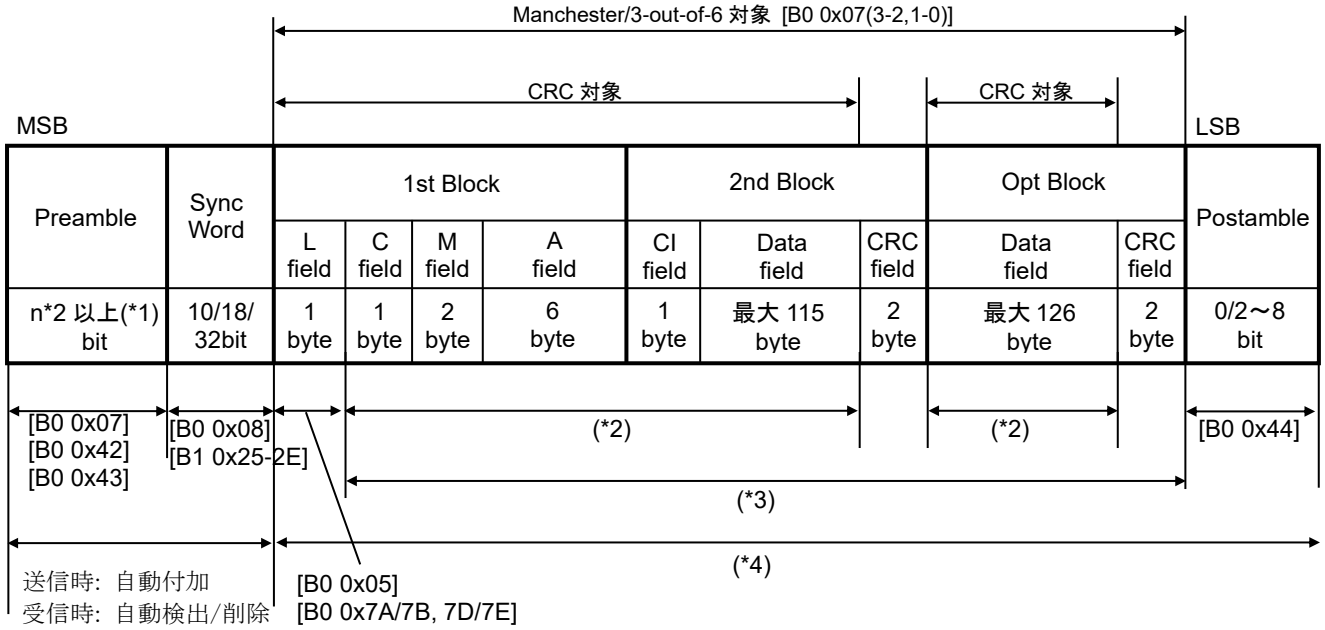
*1 1st Block は Format A の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL[1:0] ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

(2) Format B (Wireless M-Bus 対応)

Format B を使用する場合は、PKT_FORMAT[1:0]([PKT_CTRL1: B0 0x04(1-0)])=0b01 を設定してください。

Format B は、1st Block および 2nd Block または Optional Block から構成されます。2nd Block 以降の各 Block 毎に CRC2 バイトが付加されます。L-field (1st Block の先頭 1 バイト)がパケットの Length 値を示し、Length 値は 1st Block の C-field 以降から最終 CRC データまでのトータルバイト数を示します。また、Length 値に応じて 1st Block 以降に 2nd Block または Optional Block が追加されます。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



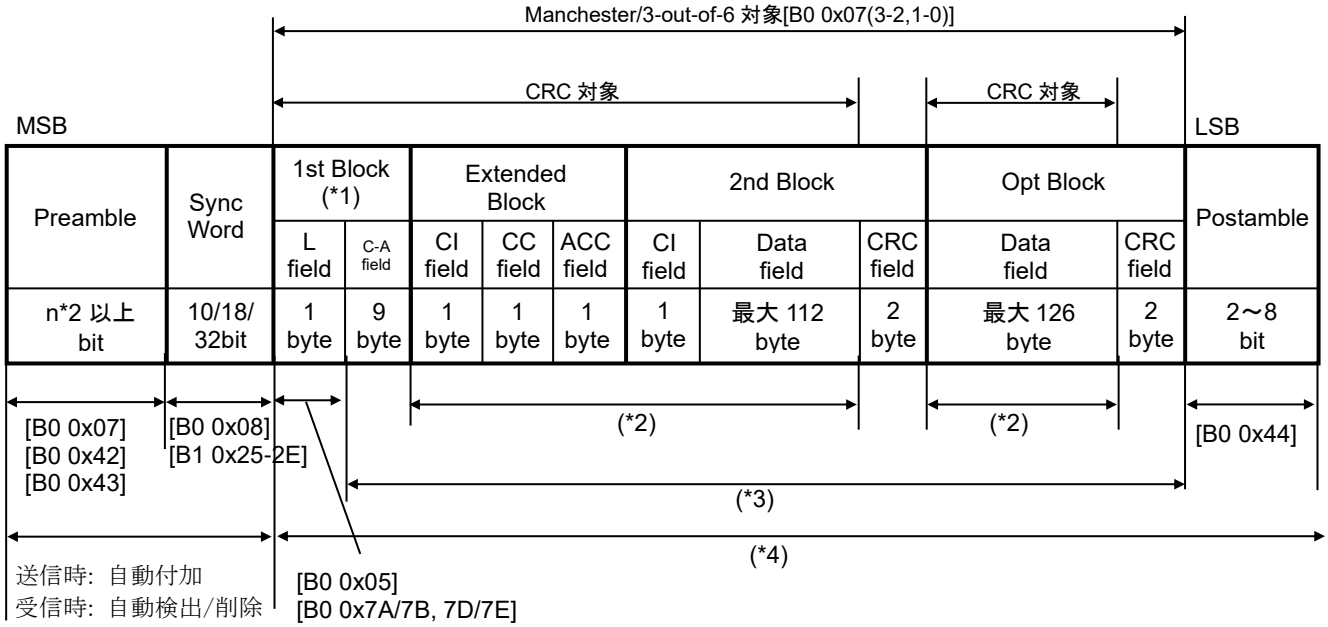
*1 n の最小値は Wireless M-Bus のモード毎に異なります。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL[1:0] ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

Extended Link Layer フォーマットについて

2nd Block の先頭 1 バイト(CI-field)が 0x8C または 0x8D の場合、Extended Link Layer フォーマットが適用され、パケットフォーマットが下記の通り拡張されます。

①CI-field = 0x8C の場合

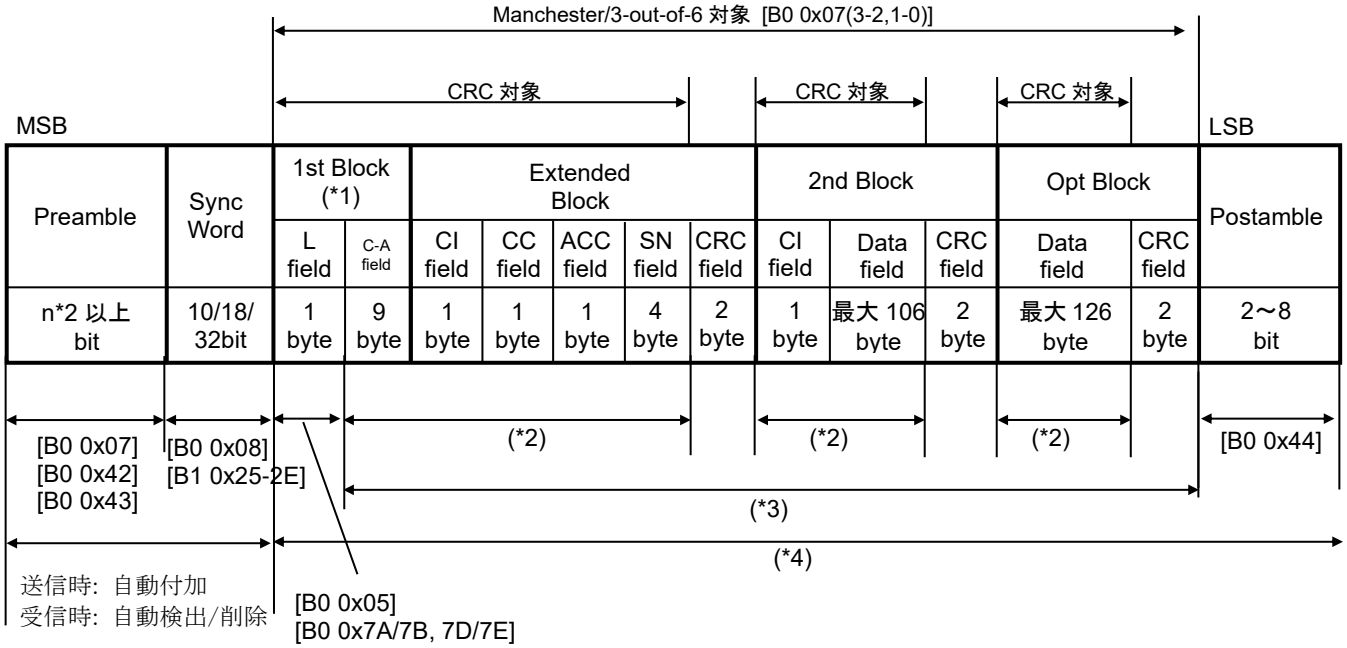
送信時、2 バイト拡張フォーマットを使用する場合は、EXT_PKT_MODE[1:0]([PKT_CTRL1: B0 0x04(7-6)])=0b01 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])=0b0 設定した場合、ML7406 が CI-Field を自動判定し、受信処理を行います。



*1 1st Block は Format B の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

②CI-field = 0x8D の場合

送信時、8 バイト拡張フォーマットを使用する場合は、EXT_PKT_MODE[1:0]([PKT_CTRL1: B0 0x04(7-6)])=0b10 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])=0b0 設定した場合、ML7406 が CI-Field を自動判定し、受信処理を行います。



*1 1st Block は Format B の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL[1:0] ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

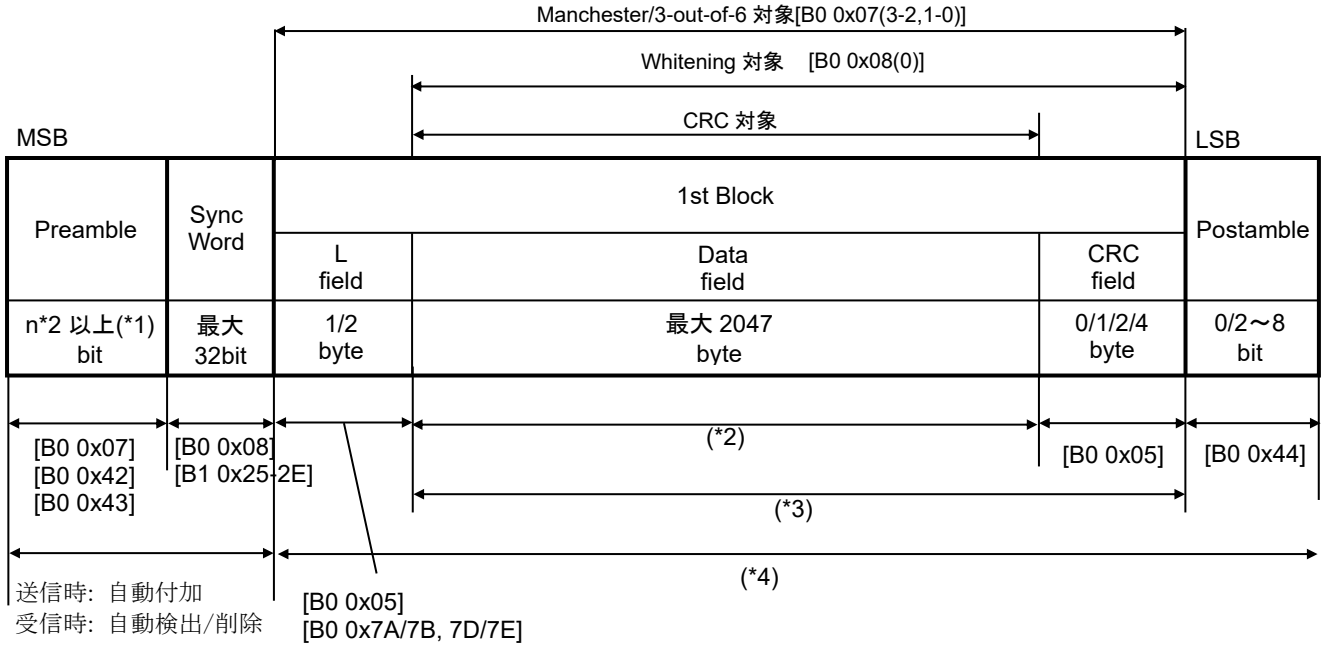
(3) Format C (汎用フォーマット)

Format C を使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b10 を設定してください。

Format C は、1st Block のみから構成され、Data-field の後に CRC-field(0/1/2 バイト選択可)が付加されます。L-field(1st Block の先頭 1 または 2 バイト ※)がパケットの Length 値を示し、Length 値は Data-field 以降から最終 CRC データまでのトータルバイト数を示します。また、Whitening 機能をサポートします。

※L-field の長さは、LENGTH_MODE ([PKT_CTRL2:B0 0x05(0)])の設定で決まります。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



*1 プリアンブル長(n)は任意の値を[TXPR_LENH/L: B0 0x42/43]レジスタで設定可能です。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL[1:0] ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

○CRC 機能

本 LSI は CRC32/CRC16/CRC8 をサポートし、送受信時に CRC 自動付加（送信時）、CRC 自動チェック（受信時）を行います。自動付加および CRC 自動チェックは以下のモードで行います。また、下表に示すレジスタにより設定することができます。

・FIFO モード　・・・RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]) = 0b00
・DIO モード　・・・RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]) = 0b11

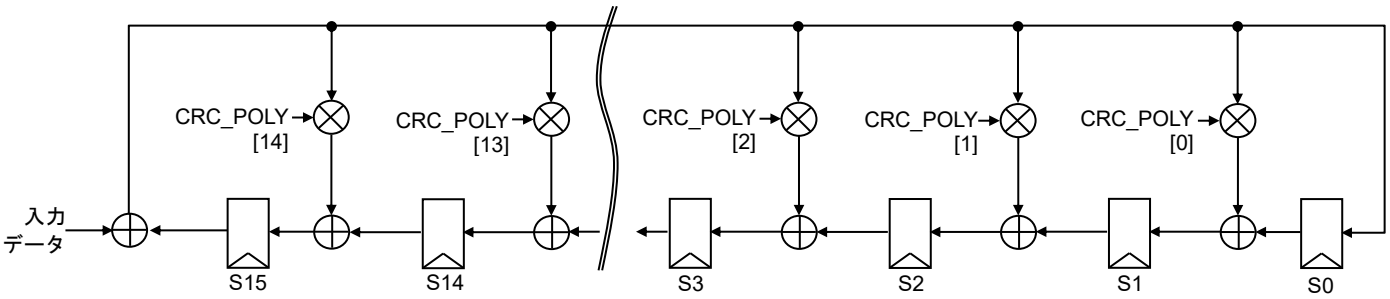
機能	制御ビット名
送信 CRC 設定	TX_CRC_EN([PKT_CTRL2: B0 0x05(2)])
受信 CRC 設定	RX_CRC_EN([PKT_CTRL2: B0 0x05(3)])
CRC 長設定	CRC_LEN([PKT_CTRL2: B0 0x05(5-4)])
CRC 補数出力 OFF 設定	CRC_COMP_OFF([PKT_CTRL2: B0 0x05(6)])
CRC 生成多項式設定	[CRC_POLY3/2/1/0: B1 0x16/17/18/19]
CRC エラー表示	[CRC_ERR_H/M/L: B0 0x13/14/15]

CRC の生成多項式は任意に設定可能です。初期設定は下式の通りです。

CRC16 生成多項式 $= x^{16} + x^{13} + x^{12} + x^{11} + x^{10} + x^{8} + x^{6} + x^{5} + x^{2} + 1$ (初期設定)

※CRC 補正出力 OFF 設定により、CRC 演算結果の補数出力が選択できます。

CRC データは以下回路によって生成され、[CRC_POLY3/2/1/0]レジスタを設定することで任意の CRC 生成多項式に対応します。生成されたデータは左側(S15)のビットから送出されます。CRC 長に満たないデータに対して CRC 機能を使用する場合(CRC32 の 3 バイトデータのみ)は、データ"0"を追加して CRC 演算を行います。CRC チェック結果は[CRC_ERR_H/M/L]レジスタに表示します。FormatA/B は FormatC と異なり 1 パケット内に複数の CRC-field を持つ構成です。複数の CRC-field に対しては、L-field に最も近い CRC チェック結果が CRC_ERR[0] ([CRC_ERR_L:B0 0x15(0)]) に表示され、以降 CRC_ERR の MSB 側に順に表示します。



※ ⊕ :排他的論理和を示します。

CRC16 生成回路例

一般的な生成多項式と[CRC_POLY3/2/1/0]レジスタ設定との対応関係は以下の通りです。CRC 長については CRC_LEN にて設定してください。

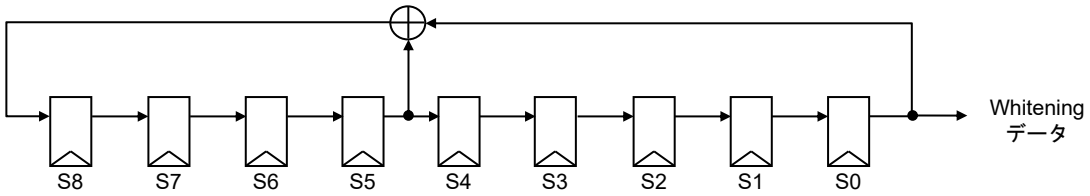
CRC 生成多項式		[CRC_POLY3/2/1/0]			
		(B1 0x16)	(B1 0x17)	(B1 0x18)	(B1 0x19)
CRC8	$x^{8} + x^{2} + x + 1$	0x00	0x00	0x00	0x03
CRC16	$x^{16} + x^{12} + x^{5} + 1$	0x00	0x00	0x08	0x10
	$x^{16} + x^{15} + x^{2} + 1$	0x00	0x00	0x40	0x02
	$x^{16} + x^{13} + x^{12} + x^{11} + x^{10} + x^{8} + x^{6} + x^{5} + x^{2} + 1$	0x00	0x00	0x1E	0xB2
CRC32	$x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$	0x02	0x60	0x8E	0xDB

○Data whitening 機能

本 LSI は Data whitening 機能をサポートします。パケットフォーマット A/B では C-field 以降、パケットフォーマット C では Data-field 以降が whitening 対象領域であり、下記 9 ビットの擬似ランダム雑音系列(PN9)生成回路にて生成されたデータを送信直前の送信データ(マンチェスタ、3-out-of-6 の場合は符号化後データ)と XOR 処理を行い、送信します。PN9 生成回路のシフトレジスタ初期値は[WHT_INIT_H/L: B1 0x64/65]レジスタにて設定可能です。また、PN9 の生成多項式は、[WHT_CFG: B1 0x66]レジスタにて任意の生成多項式に設定可能です。

機能	制御ビット名
Data whiteing **設定イネーブル**	WHT_SET ([DATA_SET2: B0 0x08(0)])
Data whiteing **初期値**	WHT_INIT[8:0] ([WHT_INIT_H/L: B1 0x64(0)/65(7-0)])
Whitening **生成多項式**	WHT_CFG[7:0] ([WHT_CFG: B1 0x66(7-0)])

生成多項式設定機能は、WHT_CFG0[WHT_CFG: B1 0x66(0)]が 0b1 設定されている場合、シフトレジスタ S1出力を XOR にフィードバックします。同様に WHT_CFG1[WHT_CFG: B1 0x66(1)] が 0b1 設定されている場合、シフトレジスタ S2 出力を XOR にフィードバックします。[WHT_CFG: B1 0x66]のその他のビットも同様の機能をもっています。また、WHT_CFG に複数ビット 0b1 を設定することも可能であり、任意の生成多項式を設定することができます。



※ ⊕ :排他的論理和を示します。

Whitening データ生成回路例
(生成多項式: $x^9 + x^5 + 1$)

代表的な PN9 生成多項式と WHT_CFG[7:0]設定との対応関係例は以下に示します。

PN9 生成多項式	WHT_CFG[7:0] [WHT_CFG: B1 0x66]
$x^9 + x^4 + 1$	0x08
$x^9 + x^5 + 1$	0x10

○SyncWord 検出機能

本 LSI は SyncWord パターンの検出機能を持っています。2 面の SyncWord パターン格納エリアを持つことにより、Wireless M-Bus で規定される二つのパケットフォーマット(Format A/B)を自動判定可能です(詳細は Wireless M-Bus 規格書を参照してください)。パケットフォーマットの検出結果を、SW_DET_RSLT([STM_STATE:B0 0x77(5)])で表示します。また、Format C にて SyncWord2 面待ち設定をした場合、2 つの SyncWord の待ち受けが可能です。ただし、検出結果は表示しません。

1）送信時

SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)])にて設定された SyncWord パターンが選択されます。送信する SyncWord 長は SYNC_WORD_LEN[5:0] ([SYNC_WORD_LEN: B1 0x25(5-0)])を設定することで、各 SyncWord パターンの上位ビットから設定する SyncWord 長を送信します。

SYNCWORD_SEL	送信される SyncWord パターン
0	SYNC_WORD1 [31:0] ([SYNCWORD1_SET3/2/1/0: B1 0x27/28/29/2A])
1	SYNC_WORD2 [31:0] ([SYNCWORD2_SET3/2/1/0: B1 0x2B/2C/2D/2E])

例） SyncWord パターンと SyncWord 長について

以下レジスタ設定をした場合、SYNC_WORD1 [17:0]の 18 ビットが上位ビットから順に送信されます。

[SYNC_WORD_LEN: B1 0x25]=0x12
SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)]) = 0b0

以下レジスタ設定をした場合、SYNC_WORD2 [23:0]の 24 ビットが上位ビットから順に送信されます。

[SYNC_WORD_LEN: B1 0x25]=0x18
SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)]) = 0b1

2）受信時

SYNCWORD_SEL と 2SW_DET_EN ([DATA_SET2: B0 0x08(4,3)])の設定により下表の通り 1 面待ちと 2 面待ち動作を切り替えます。パケットフォーマットの自動判定機能は 2SW_DET_EN=0b1 設定かつ PKT_FORMAT[1:0]([PKT_CTLR1: B0 0x04(1-0)])で FormatA(0b00)か FormatB(0b01)が選択されている時のみ有効です。

2SW_DET_EN	SYNCWORD_SEL	検出時に参照する SyncWord パターン	SyncWord 検出動作	パケットフォーマットの自動判定	SyncWord 以降のデータ処理
0	0	SYNC_WORD1[31:0]	1 面待ち	なし	各 Format 設定に従って処理します
0	1	SYNC_WORD2[31:0]	1 面待ち	なし	各 Format 設定に従って処理します
1	-	SYNC_WORD1[31:0] SYNC_WORD2[31:0]	2 面待ち	あり	【FormatA または FormatB 設定】 SYNC_WORD1 と一致した場合は Format A、SYNC_WORD2 と一致した場合は Format B にて処理します 【FormatC 設定】 FormatC にて処理します

検出時に参照する SyncWord パターンの SyncWord 長は SYNC_WORD_LEN[5:0] ([SYNC_WORD_LEN: B1 0x25(5-0)])により変更可能です。このとき、SYNC_WORD1[31:0]または SYNC_WORD2[31:0]の下位側から SyncWord 長分の SyncWord パターンが参照するパターンとなります。

例）SyncWord 長について
以下レジスタ設定をした場合、SYNC_WORD1 [17:0]または SYNC_WORD2 [17:0]の 18 ビットが SyncWord 検出時の参照パターンとなります。このとき、上位ビット(bit31-18)は検出対象となりません。
[SYNC_WORD_LEN: B1 0x25]=0x12
[SYNC_WORD_EN: B1 0x26]=0x0F

また、SyncWord パターンに対し、8 ビット毎に検出時の参照ビットとするか否かのイネーブル制御が可能です。イネーブル制御と SyncWord 検出時に参照する SyncWord パターンとの関係は以下の通りとなります。ただし、SyncWord 長設定がイネーブル制御を行うビットの範囲外である場合、期待する SyncWord 検出はできませんのでご注意ください。

[SYNC_WORD_EN] レジスタ (B1 0x26)	SYNC_WORD*				SyncWord 検出動作
	[31:24]	[23:16]	[15:8]	[7:0]	
0000					SyncWor 検出は行いません
0001	D.C.(※1)			ON	[7:0]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
0010	D.C.		ON	D.C.	[15:8]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
0011	D.C.		ON	ON	[15:0]が有効です。 [7:0]検出後 SyncWord 検出となります。
0100	D.C.	ON	D.C.		[23:16]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
0101	D.C.	ON	D.C.	ON	[23:16]と[7:0]が有効です。 [7:0]検出後 SyncWord 検出となります。
0110	D.C.	ON	ON	D.C.	[23:8]が有効です。 [7:0]検出後 SyncWord 検出となります。
0111	D.C.	ON	ON	ON	[23:0]が有効です。 [7:0]検出後 SyncWord 検出となります。
1000	ON	D.C.			[31:24]のみ有効です。 [7:0]検出後 SyncWord 検出となります。
1001	ON	D.C.		ON	[31:24]と[7:0]が有効です。 [7:0]検出後 SyncWord 検出となります。
1010	ON	D.C.	ON	D.C.	[31:24]と[15:8]が有効です。 [7:0]検出後 SyncWord 検出となります。
1011	ON	D.C.	ON	ON	[31:24]と[15:0]が有効です。 [7:0]検出後 SyncWord 検出となります。
1100	ON	ON	D.C.		[31:16]が有効です。 [7:0]検出後 SyncWord 検出となります。
1101	ON	ON	D.C.	ON	[31:16]と[7:0]が有効です。 [7:0]検出後 SyncWord 検出となります。
1110	ON	ON	ON	D.C.	[31:8]が有効です。 [7:0]検出後 SyncWord 検出となります。
1111	ON	ON	ON	ON	[31:0]が有効です。 [7:0]検出後 SyncWord 検出となります。

※1 表中の D.C.は Don't Care を意味します。
※2 SyncWord 検出条件として、SyncWord パターン以外に SyncWord と連続するプリアンブルパターンを含めることができます。
プリアンブルパターンを加える場合は、RXPR_LEN[5:0]([SYNC_CONDITION1: B0 0x45(5-0)])を設定してください。

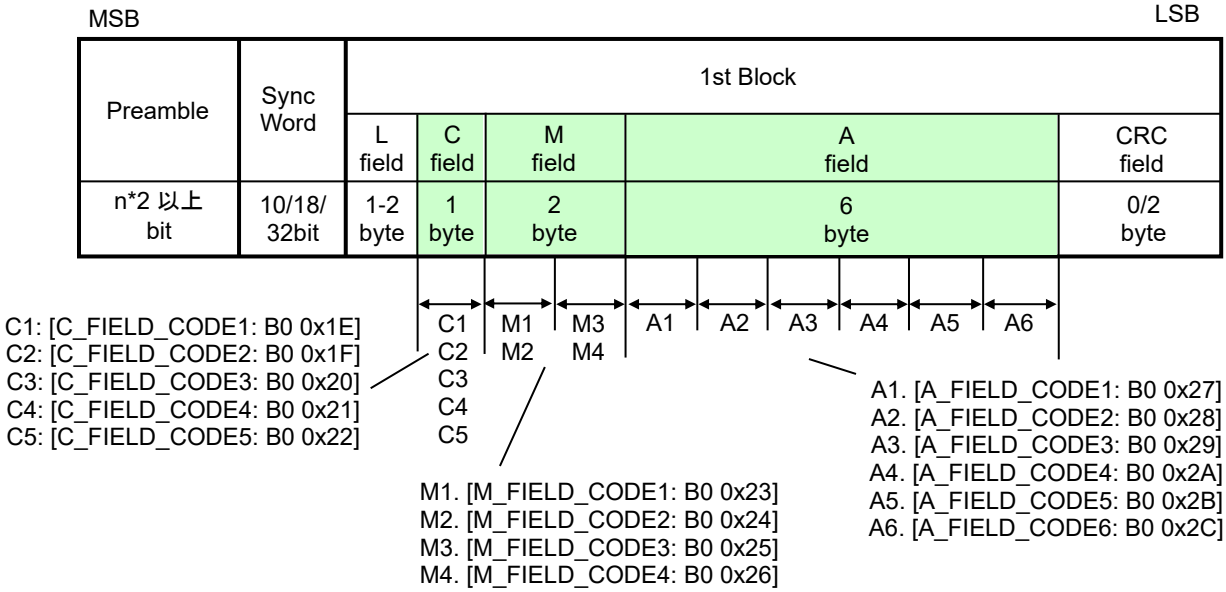
○Field チェック機能

本 LSI は受信パケットの L-Field に続く 9 バイト(Format A/B: C-Field から、FormatC: D-Field から)を比較し、一致または不一致時に割込みにて通知する機能(Field チェック機能)を持っています。Field チェック設定は以下レジスタにて設定可能です。Field チェック機能を使用するときは、RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])を 0b00(FIFO モード)、または 0b11(DIO モードのデータ出力モード 2)に設定する必要があります。

機能	レジスタ
Field チェック不一致時の受信データ処理設定	[C_CHECK_CTRL: B0 0x1B(7)]
Field チェック割込み設定	[C_CHECK_CTRL: B0 0x1B(6)]
C-field 検出イネーブル設定	[C_CHECK_CTRL: B0 0x1B(4-0)]
M-field 検出イネーブル設定	[M_CHECK_CTRL: B0 0x1C(3-0)]
A-field 検出イネーブル設定	[A_CHECK_CTRL: B0 0x1D(5-0)]
C-field コード設定	[C_FIELD_CODE1: B0 0x1E] [C_FIELD_CODE2: B0 0x1F] [C_FIELD_CODE3: B0 0x20] [C_FIELD_CODE4: B0 0x21] [C_FIELD_CODE5: B0 0x22]
M-field コード設定	[M_FIELD_CODE1: B0 0x23] [M_FIELD_CODE2: B0 0x24] [M_FIELD_CODE3: B0 0x25] [M_FIELD_CODE4: B0 0x26]
A-field コード設定	[A_FIELD_CODE1: B0 0x27] [A_FIELD_CODE2: B0 0x28] [A_FIELD_CODE3: B0 0x29] [A_FIELD_CODE4: B0 0x2A] [A_FIELD_CODE5: B0 0x2B] [A_FIELD_CODE6: B0 0x2C]

受信データと比較するリファレンスパターンの関係を以下に示します。

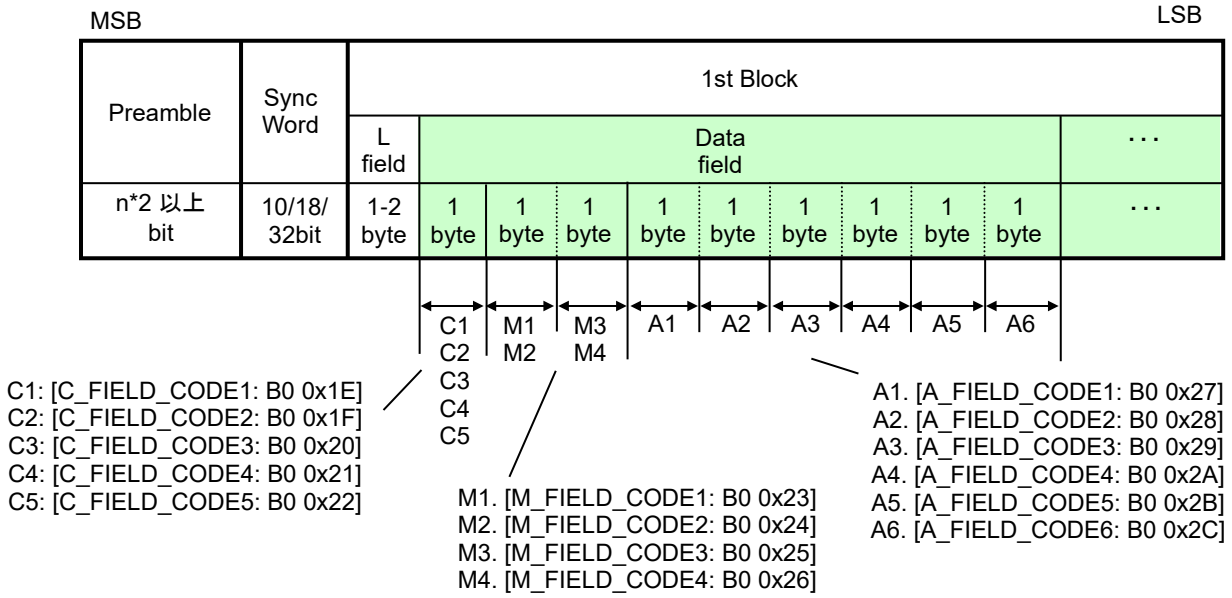
【Format A/B(Wireless M-Bus 対応)の場合】
Field チェックは比較コード(各 1Byte)毎にイネーブル・ディセーブル設定が可能です。全 Field データ(C-field/M-field/A-field)が下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、C-field データと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(M-field/A-field)が不一致であった場合でも Field チェック結果は一致として結果を通知します。



チェック Field	比較コード	一致の条件
C-field	C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5	5 つの比較コードのいずれか 1 つ一致した場合、一致となる。
M-field 1 バイト目	M_FIELD_CODE1 または M_FIELD_CODE2	2 つの比較コードのいずれか 1 つ一致した場合、一致となる。
M-field 2 バイト目	M_FIELD_CODE3 または M_FIELD_CODE4	2 つの比較コードのいずれか 1 つ一致した場合、一致となる。
A-field	A_FIELD_CODE1/2/3/4/5/6	比較コードと一致した場合、一致となる。

【Format C の場合】

Field チェックは比較コード(各 1byte)毎にイネーブル・ディセーブル設定が可能です。Data-field の先頭 9 バイトデータが下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、先頭 1 バイト目のデータと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(2 バイト目から 9 バイト目)が不一致であった場合でも Field チェック結果は一致として結果を通知します。



チェック Field	比較コード	一致の条件
Data-field1 バイト目	C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5	5 つの比較コードのいずれか 1 つ一致した場合、一致となる。
Data-field2 バイト目	M_FIELD_CODE1 または M_FIELD_CODE2	2 つの比較コードのいずれか 1 つ一致した場合、一致となる。
Data-field3 バイト目	M_FIELD_CODE3 または M_FIELD_CODE4	2 つの比較コードのいずれか 1 つ一致した場合、一致となる。
Data-field4 バイト目	A_FIELD_CODE1	比較コードと一致した場合、一致となる。
Data-field5 バイト目	A_FIELD_CODE2	比較コードと一致した場合、一致となる。
Data-field6 バイト目	A_FIELD_CODE3	比較コードと一致した場合、一致となる。
Data-field7 バイト目	A_FIELD_CODE4	比較コードと一致した場合、一致となる。
Data-field8 バイト目	A_FIELD_CODE5	比較コードと一致した場合、一致となる。
Data-field9 バイト目	A_FIELD_CODE6	比較コードと一致した場合、一致となる。

・Field チェック結果によるパケット処理方法
CA_RXD_CLR ([C_CHECK_CTRL: B0 0x1B(7)])=0b1 に設定することにより、Field チェックにより不一致が生じたデータパケットを直ちに破棄し、次パケット受信待ち状態とすることが可能です。

・不一致パケット数表示
不一致を検出したパケット総数は、最大 2047 個までカウントし、結果を[ADDR_CHK_CTR_H: B1 0x62]および[ADDR_CHK_CTR_L: B1 0x63]に表示します。このカウント値は STATE_CLR4 ([STATE_CLR: B0 0x16(4)])にてクリアできます。

○FIFO 制御機能

本 LSI は送信用 FIFO64Byte、受信用 FIFO64Byte を各 1 面ずつ搭載しています。ただし、送受信 FIFO は複数パケットのデータ格納はサポートしていませんので、必ず 1 パケットずつ処理してください。受信 FIFO に受信パケットがある状態で次のパケットを受信した場合は上書きます。送信 FIFO も同様の動作ですが、送信 FIFO アクセスエラー割込み（INT[20]：割り込みグループ 3）を通知します。
受信時は受信データをバイト単位で格納し、SPI 経由でホスト MCU より読み出します。送信時はホスト MCU より入力したデータをバイト単位で格納して送信します。
FIFO への書き込み、読み出しは SPI からのバーストアクセスにて行います。送信時は[WR_TX_FIFO: B0 0x7C]レジスタへ書き込み、受信時は [RD_FIFO: B0 0x7F]レジスタから読み出しを連続して行うことで FIFO 内部カウンタが自動インクリメントし、データを保存、出力します。書き込み、読み出し途中で FIFO アクセスを中断した場合、パケットの処理が完了するまでアドレスは保持されます。従いまして、FIFO アクセス再開時は FIFO アクセス中断時の次データからデータの書き込み、読み出しが可能です。

FIFO 制御に関するレジスタは以下の通りです。

機能	レジスタ
送信 FIFO の Full レベル設定	[TXFIFO_THRH: B0 0x17]
送信 FIFO の Empty レベル設定	[TXFIFO_THRL: B0 0x18]
受信 FIFO の Full レベル設定	[RXFIFO_THRH: B0 0x19]
受信 FIFO の Empty レベル設定	[RXFIFO_THRL: B0 0x1A]
FIFO リード面選択設定	[FIFO_SET: B0 0x78]
受信 FIFO の使用量表示	[RX_FIFO_LAST: B0 0x79]
送信パケット Length 設定	[TX_PKT_LEN_H/L: B0 0x7A/7B]
受信パケット Length 設定	[RX_PKT_LEN_H/L: B0 0x7D/7E]
送信 FIFO	[WR_TX_FIFO: B0 0x7C]
FIFO リード	[RD_FIFO: B0 0x7F]

FIFO を使用して送受信する場合の手順は以下となります。
【送信時】
①送信する L-field の値を[TX_PKT_LEN_H: B0 0x7A]、[TX_PKT_LEN_L: B0 0x7B]レジスタに設定します。Length 長が 1 バイト設定時は[TX_PKT_LEN_L]レジスタ値が送信されます。
Length 長設定は LENGTH_MODE([PKT_CTRL2: B0 0x05(0)])で設定することができます。
②送信データを[WR_TX_FIFO: B0 0x7C]レジスタに書き込みます。

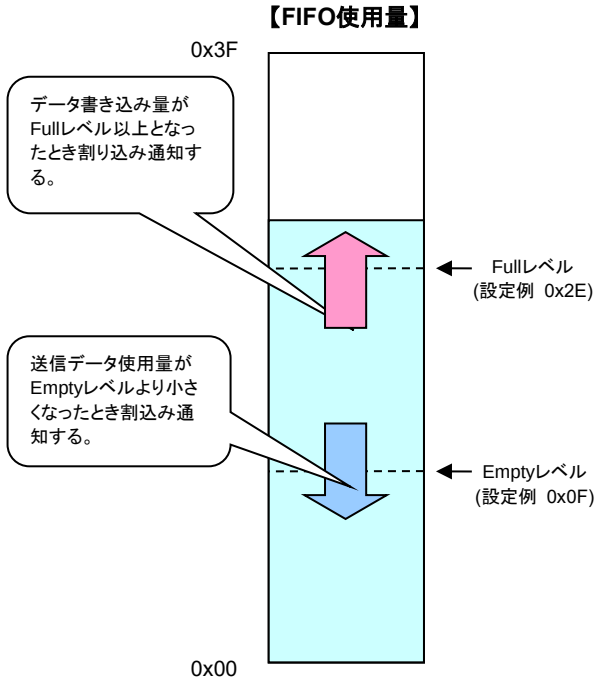
【ご注意】
1. 送信データの書き込みを途中で止めた場合、必ず STATE_CLR0 [STATE_CLR: B0 0x16（0）] （送信FIFO ポインタクリア)を実行してください。LSI 内部にてデータを管理するポインタが状態を維持してしまい、この状態では次パケットの FIFO 処理が正常に行われないためです。
想定される条件としては、送信 FIFO アクセスエラー割り込み（INT[20]: 割り込みグループ 3）の 通知を受けて止める場合があります。なお、この割り込み通知は、1 パケットのデータを格納した状態で次の書き込み動作を行った場合、送信 FIFO のオーバーラン(例えば、送信 FIFO に空きがない状態で送信 FIFO にライトした場合)、またはアンダーラン(例えば、送信 FIFO が空きの状態で送信しようとした場合)に発生します。
2. 送信時に設定する Length 値は、パケットフォーマット設定により異なります。
Format A: Length および CRC 領域を除くデータ長を Length 値として設定します。
Format B: Length 領域を除くデータ長を Length 値として設定します。
Format C: Length 領域を除くデータ長を Length 値として設定します。

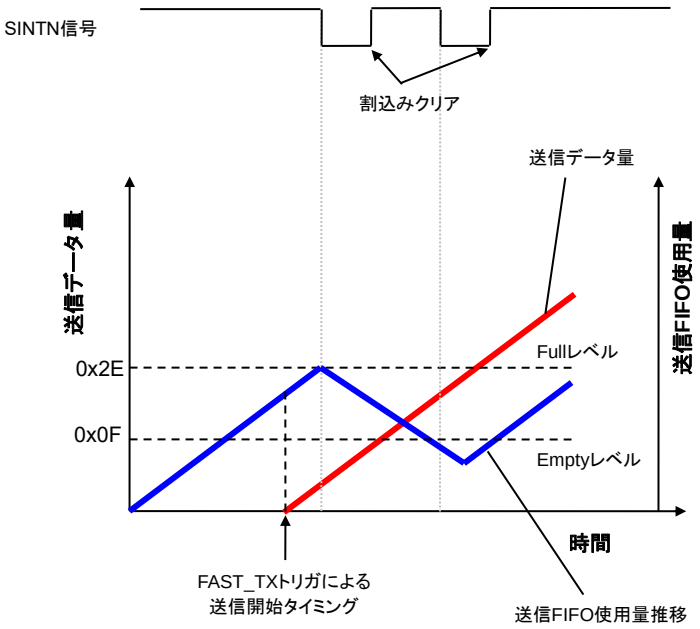
【受信時】
①L-field の値(Length)を[RX_PKT_LEN_H: B0 0x7D]、 [RX_PKT_LEN_L: B0 0x7E]レジスタから読み出します。
②受信データを[RD_FIFO:B0 0x7F]レジスタから読み出します。
受信 FIFO をリードする場合は必ず FIFO_R_SEL([FIFO_SET: B0 0x78(0)])を 0b0 に設定してください。FIFO_R_SEL=0b1 設定時は FIFO リード面として送信 FIFO が選択されます。
また、受信 FIFO のデータ使用量は[RX_FIFO_LAST: B0 0x79]レジスタに表示します。

【ご注意】
1. 受信データの読み出しを途中で止めた場合、必ず STATE_CLR1 [STATE_CLR: B0 0x16(1)] (受信FIFOポインタクリア)を実行してください。LSI 内部にてデータを管理するポインタが状態を維持してしまい、この状態では次パケットの FIFO 処理が正常に行われないためです。
想定される条件としては、受信 FIFO アクセスエラーの割り込み(INT[12]:割り込みグループ2) の通知を受けて止める場合があります。なお、この割り込み通知は FIFO のオーバーラン(例えば、FIFO に空きがない状態でデータ受信した場合)、またはアンダーラン(例えば、FIFO が空きの状態で受信 FIFO をリードした場合)に発生します。
2. 1 パケットのデータが格納された状態で次のパケットを受信すると FIFO は上書きされます。

FIFO サイズを超えるパケット長の送受信を行う場合、FIFO-Full トリガ、FIFO-Empty トリガを使用することで FIFO へのライトまたはリード制御が容易に行うことができます。

(1) 送信 FIFO の使用量告知機能の使用方法
本機能は、送信 FIFO の未送信データ量(FIFO 使用量)を割込み通知信号(SINTN)を使用して MCU に通知する機能です。送信 FIFO の使用量(未送信分)が、[TXFIFO_THRH: B0 0x17]レジスタで設定した閾値(Full レベル)以上となったときに FIFO-Full 割込み(INT[5]:割り込みグループ1)として通知します。また本 LSI がデータを送信し、送信 FIFO の使用量が[TXFIFO_THRL: B0 0x18]レジスタで設定した閾値(Empty レベル)より小さくとなった時に FIFO-Empty 割込み(INT[4]:割り込みグループ1)として通知します。割込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。出力設定は[GPIO0_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[EXTCLK_CTRL: B0 0x52]レジスタを参照してください。





【送信時の使い方】

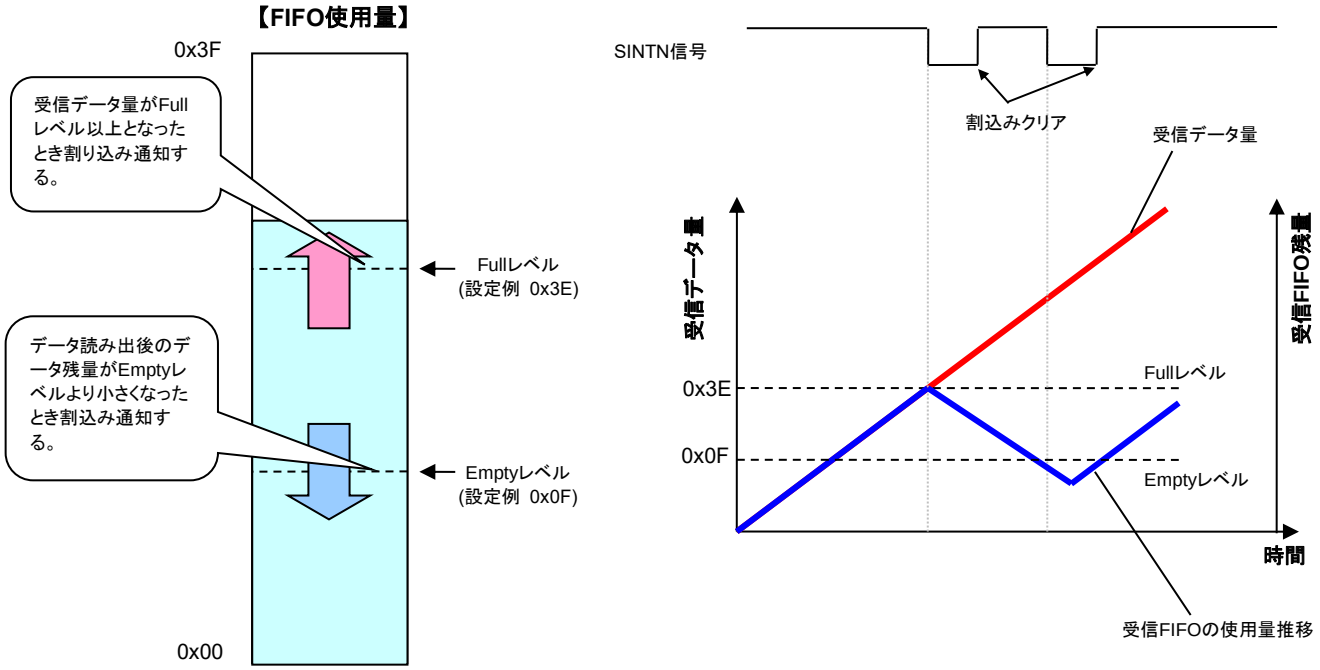
1. TXFIFO_THRH[5:0] ([TXFIFO_THRH:B0 0x17(5-0]) > TXFIFO_THRL[5:0][[TXFIFO_THRL:B0 0x18(5-0)]となるようFIFO-Full とFIFO-Empry のトリガレベルを設定してください。TXFIFO_THRH_EN([TXFIFO_THRH:B0 0x17(7)]に 0b1 を設定して FIFO-Fullトリガレベルをイネーブルにします。
2. FAST_TX_EN ([RF_STATUS_CTRL:B0 0x0A(5)])に 0b1 を設定して FAST_TX モードを有効にし、送信 FIFO [WR_TX_FIFO:B0 0x7C]に,FIFO-Full 割込み(INT[5]:割り込みグループ1)が発生するまでデータの書き込みを行います。
3. FIFO-Full 割込み発生後は、割込みをクリアし、FIFO-Full トリガレベルをディセーブル(TXFIFO_THRH_EN＝0b0)また、FIFO-Empty トリガレベルをイネーブル(TXFIFO_THRL_EN ([TXFIFO_THRL:B0 0x18(7)]=0b1)を設定します。
4. FIFO-Empty 割込み(INT[4]:割り込みグループ1)発生後、割り込みをクリアし、FIFO-Empry トリガレベルをディセーブル(TXFIFO_THRL_EN=0b0)を設定し、また FIFO-Full トリガレベルをイネーブル(TXFIFO_THRH_EN=0b1)を設定し、次の FIFO-Full 割込みが発生するまで次のデータを送信 FIFO に書き込んでください。
5. 3-4の操作を必要なだけ繰り返します。

【ご注意】

3.4 の操作で、トリガレベルのディセーブル処理しないと、送信データのリード(PHY ブロック)と SPI 経由での送信 FIFO ライトのタイミングによっては意図しないタイミングで FIFO-Full 割込み、または FIFO-Empty 割込みが発生する場合があります。

(2) 受信 FIFO の使用量告知機能の使用方法

本機能は、受信FIFOの未読み出しデータ量(FIFO 使用量)を割込み通知信号(SINTN)を使用して MCU に通知する機能です。受信 FIFO の未読み出し(FIFO 使用量)が、[RXFIFO_THRH: B0 0x19]レジスタで設定した閾値(Full レベル)以上となったとき FIFO-Full 割込み(INT[5]:割り込みグループ1)にて通知します。また MCU から受信データの読み出しが行われ、受信 FIFO の未読み出しデータ量(FIFO 使用量)が[RXFIFO_THRL: B0 0x1A]レジスタで設定した閾値(EMPTY レベル)より小さくなった時に FIFO-Empty 割込み(INT[4]:割り込みグループ1)にて通知します。割込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。出力設定は[GPIO0_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[EXTCLK_CTRL: B0 0x52]レジスタを参照してください。



【受信時の使い方】

1. RXFIFO_THRH[5:0] ([RXFIFO_THRH:B0 0x19(5-0]) > RXFIFO_THRL[5:0][[RXFIFO_THRL:B0 0x1A(5-0)]となるよう FIFO-Full とFIFO-Empry のトリガレベルを設定してください。RXFIFO_THRH_EN([RXFIFO_THRH:B0 0x19(7)]に 0b1 を設定して FIFO-Fullトリガレベルをイネーブルにします。
2. RX_ON 後 FIFO-Full 割込み(INT[5]:割り込みグループ1)が発生するまで待ちます。
3. FIFO-Full 割込み発生後は、割込みをクリアし、FIFO-Full トリガレベルをディセーブル(RXFIFO_THRH_EN=0b0)を設定し、また、FIFO-Empty トリガレベルをイネーブル(RXFIFO_THRL_EN ([TXFIFO_THRL:B0 0x1A(7)]=0b1)を設定して受信 FIFO[RD_FIFO:B0 0x7F]からデータの読み出しを始めます。
4. FIFO-Empty 割込み(INT[4]: 割り込みグループ 1)発生後、割り込みをクリアし、FIFO-Empry トリガレベルをディセーブル(RXFIFO_THRL_EN=0b0)を設定し,また FIFO-Full トリガレベルをイネーブル(RXFIFO_THRH_EN=0b1)を設定して次の FIFO-Full 割込みが発生するまで待ちます。
5. 3-4の操作を必要なだけ繰り返します。

【ご注意】

1. 3.4 の操作で、トリガレベルをディセーブル処理しないと、受信データのライト(PHY ブロック)と SPI 経由での受信 FIFO リードのタイミングによっては意図しないタイミングで FIFO-Full 割込み、または FIFO-Empty 割込みが発生する場合があります。
2. 本機能はデータ受信中のみ有効です。受信完了後は FIFO-Empty 割込みは通知されません。

○DIO 機能

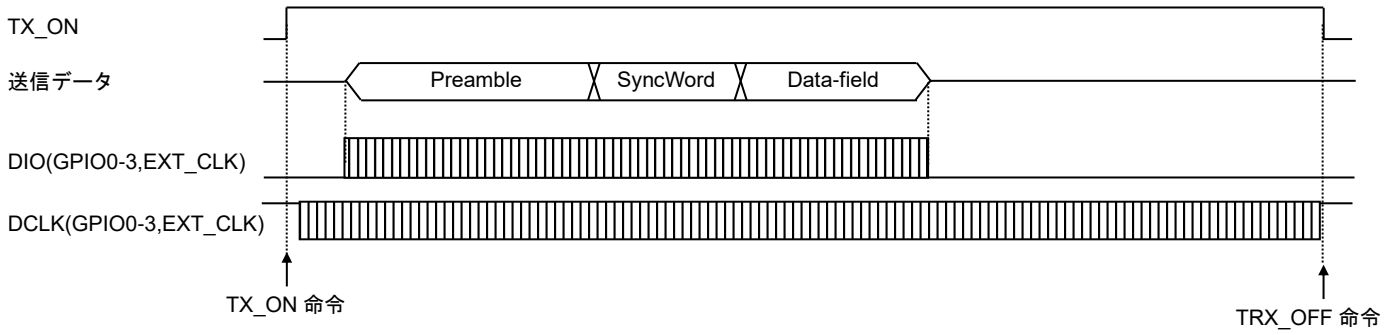
本 LSI は GPIO0～3、EXT_CLK 端子または SDI/SDO 端子より送受信データを入出力することが可能です。入出力端子の制御は[GPIO*_CTRL: B0 0x4E/0x4F/0x50/0x51]、[EXTCLK_CTRL: B0 0x52]および[SPI/EXT_PA_CTRL: B0 0x53]レジスタによって行います。送信または受信時に入力または出力するデータは以下の通りです。
送信時･･･(NRZ またはマンチェスタ/3-out-of-6 符号化後の)送信データを入力します。
受信時･･･復号化前の受信データ、または復号化後の受信データを出力します。([DIO_SET: B0 0x0C]レジスタにて選択可)

DIO 機能に関するレジスタは以下の通りです。

機能	レジスタ
DIO 受信データ出力開始設定	[DIO_SET: B0 0x0C(0)]
DIO 受信完了設定	[DIO_SET: B0 0x0C(2)]
送信 DIO モード設定	[DIO_SET: B0 0x0C(5-4)]
受信 DIO モード設定	[DIO_SET: B0 0x0C(7-6)]

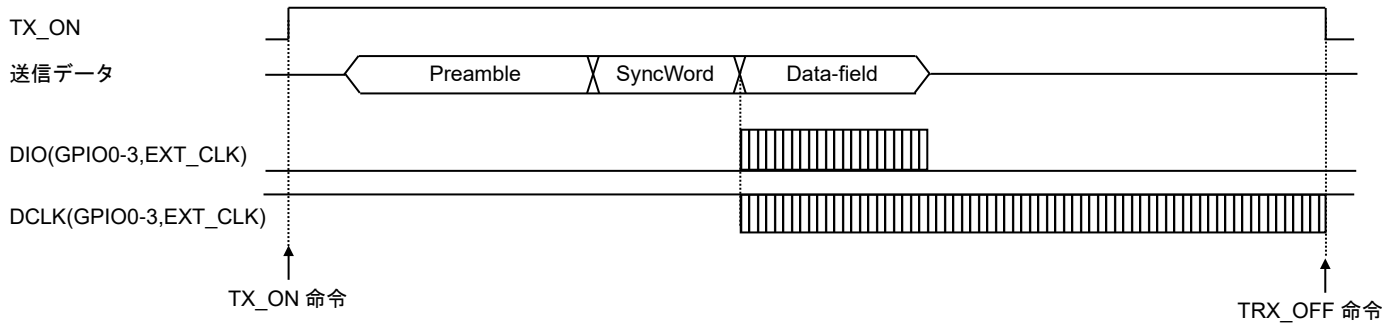
(1) GPIO*/EXT_CLK 端子使用時
DCLK/DIO 機能として GPIO0～3 または EXT_CLK 端子を使用する場合、以下のように DCLK/DIO が制御されます。(図の DIO/DCLK 縦線部分は出力または入力区間を示します。)

【送信時】
① 常時入力モード
TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])を 0b01 に設定してください。
TX_ON 後(SET_TRX[3:0] ([RF_STATUS: B0 0x0B(3-0)])=0x9)、DCLK を出力します。DCLK の立下りに同期して送信データを DIO 設定端子から入力します。送信データは符号化後のデータを入力してください。



※詳細なタイミングはタイムチャートの「送信時」を参照してください。

② データ入力モード
TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])に 0b10 を設定してください。
TXON 後 SyncWord 以降のデータ入力タイミングから DCLK を出力します。DCLK の立下りに同期して送信データを DIO 設定端子から入力します。送信データは符号化後のデータを入力してください。プリアンブルおよび SyncWord はそれぞれのレジスタ設定に従い、LSI が自動生成し送信します。



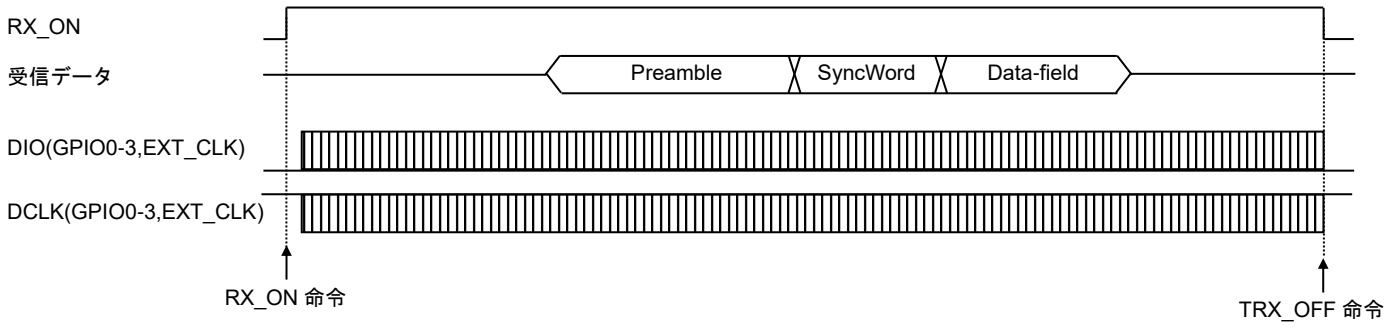
プリアンブルは PB_PAT([DATA_SET1: B0 0x07(7)]、TXPR_LEN[15:0]([TXPR_LEN_H/L: B0 0x42/43])にて設定できます。また、SyncWord は SYNCWORD_SEL([DATA_SET2: B0 0x08(4))、SYNCWORD_LEN[15:0]([SYNC_WORD_LEN: B1 0x25(5-0)])、SYNC_WORD_EN*([SYNC_WORD_EN: B1 0x26(3-0))、SYNC_WORD1 ([SYNCWORD1_SET3/2/1/0: B1 0x27/28/29/2A])、SYNC_WORD2([SYNCWORD2_SET3/2/1/0: B1 0x2B/2C/2D/2E])にて設定できます。

【受信時】

① 常時出力モード

RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])に 0b01 を設定してください。

RX_ON 後(SET_TRX[3:0] ([RF_STATUS: B0 0x0B(3-0)])=0x6)、常時 DCLK が出力されます。DCLK の立下りに同期して受信データ(復調データ)を DIO 出力設定端子から出力します。受信 FIFO による受信データのバッファリングは行いません。

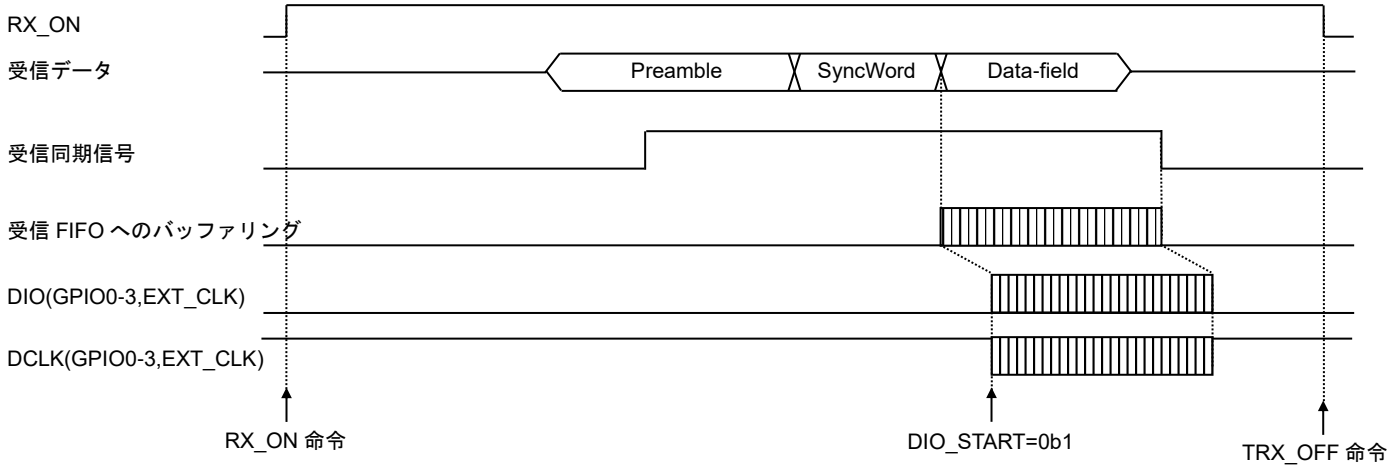


※詳細なタイミングはタイムチャートの「受信時」を参照してください。

② データ出力モード 1

RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])に 0b10 を設定してください。

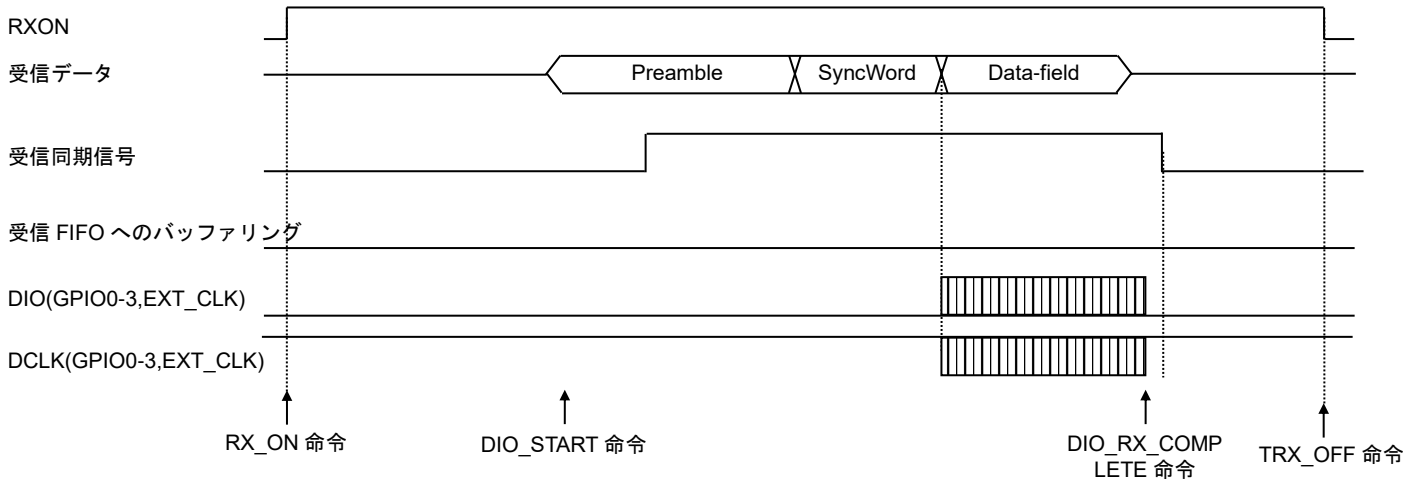
SyncWord 検出後、受信データを FIFO へバッファリング開始し、受信データのバッファリングは受信同期信号(SYNC)が"L"となるまで継続します。受信データ出力設定 DIO_START([DIO_SET: B0 0x0C(0)])に 0b1 を設定することにより、バッファリングした先頭バイトの受信データから DIO インタフェース(DIO/DCLK)経由で出力されます(受信データは DCLK の立下りに同期して出力されます)。ただし、64 バイト時間以上経過後に DIO_START を設定した場合、先頭バイトから順に上書きされます。SYNC が"L"となるタイミングまでバッファリングされたデータを全て出力した場合、受信完了とみなし受信完了割込み(INT[8] :割り込みグループ 2)を発生します。受信完了後、本 LSI は次パケット受信待ち状態へ移行します。



【ご注意】

1. 受信 FIFO への受信データバッファリングはバイト単位で行います。DIO_START 命令は SyncWord 検出から 1 バイト以上の時間経過後(1 バイト以上データバッファリング完了後)に発行してください。
2. 本モードは L-field を LSI 内部で判断しないモードであり、Field チェック機能は使用できません。

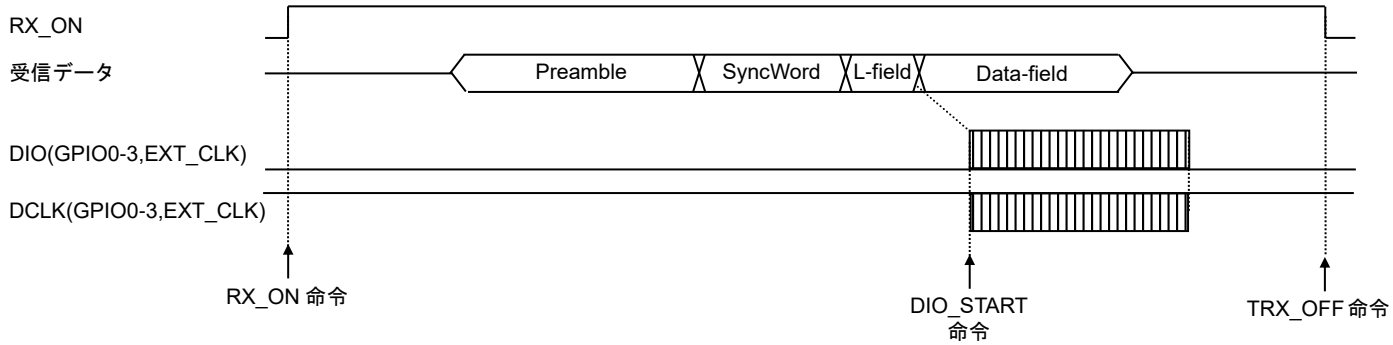
本設定において、SyncWord 検出以前に DIO_START 命令を発行した場合、受信 FIFO でのデータバッファリングはせず、SyncWord 検出以降の受信データを DCLK の立下りに同期して出力します。SYNC が”L”となる前に受信を完了する場合、DIO 受信完了設定(DIO_RX_COMPLETE([DIO_SET: B0 0x0C(2)])に 0b1 を設定することで受信完了とすることができます。この場合、DIO_RX_COMPLETE 設定後、本 LSI は次パケット受信待ち状態へ移行します。



③ データ出力モード 2

RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)]) に 0b11 を設定してください。

Data-field のみ受信データを受信 FIFO へバッファリングします。受信 FIFO へのバッファリングは L-field が示す Length 分の受信データをバッファリングします。DIO_START([DIO_SET: B0 0x0C(0)])に 0b1 を設定することにより、バッファリングした先頭バイトの受信データから DIO インタフェース(DIO/DCLK)経由で出力されます。(受信データは DCLK の立下りに同期して出力されます)。ただし、64 バイト時間以上経過後に DIO_START を設定した場合、先頭バイトから順に上書きされます。
L-field が示す Length 分の受信データを全て出力した場合、受信完了とみなし受信完了割込み(INT[8] :割り込みグループ 2)を発生します。受信完了後、本 LSI は次パケット受信待ち状態へ移行します。受信した Length 情報は[RX_PKT_LEN_H/L: B0 0x7D/7E]レジスタに表示します。本モードは FIFO モード同様にパケット構成を考慮した動作を行いますので、Field チェック機能を使用することができます。

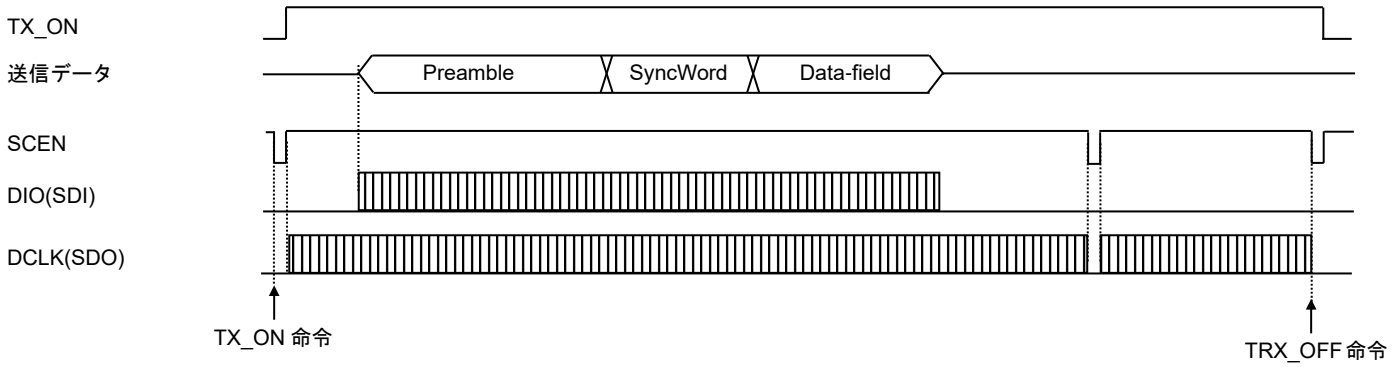


【ご注意】

1. FIFO への受信データバッファリングはバイト単位で行います。DIO_START 命令は SyncWord 検出から L-field 長(レジスタ設定値)+1 バイト以上の時間経過後(1 バイト以上データバッファリング完了後)に発行してください。

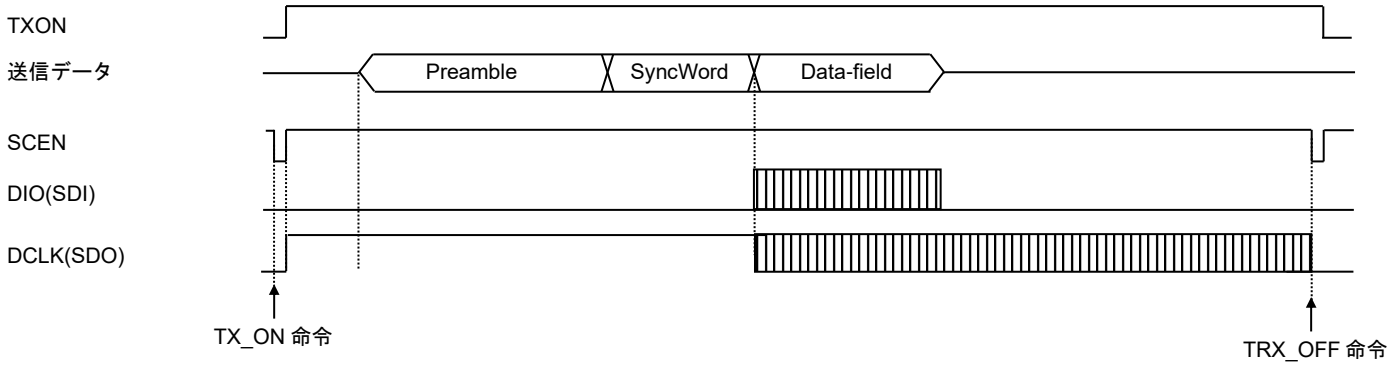
(2) SDI/SDO 端子使用時
SDI/SDO 端子を使用して送受信データの入出力を行う場合、以下のように DCLK/DIO が制御されます。(図の DIO/DCLK 縦線部分は出力または入力区間を示します。) SDO_CFG、SDI_CFG ([SPI/EXT_PA_CTRL:B0 0x53(5,4)])にそれぞれ 0b1 を設定する必要があります。

【送信時】
① 常時入力モード
TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])に 0b01 を設定してください。
TX_ON 後(SET_TRX[3:0] ([RF_STATUS: B0 0x0B(3-0)])=0x9)、SCEN が"H"区間で SDO 端子から DCLK を出力します。DCLK の立下りに同期して SDI 端子から送信データの入力してください。送信データは符号化後のデータを入力してください。
TRX_OFF 命令発行後(SET_TRX[3:0] ([RF_STATUS: B0 0x0B(3-0)])=0x8)は送信データ/クロックの入出力は無効になります。また、DCLK 出力中の場合でも SCEN を"L"とした場合、送信クロックの出力は停止します(SPI アクセスが優先されます)。



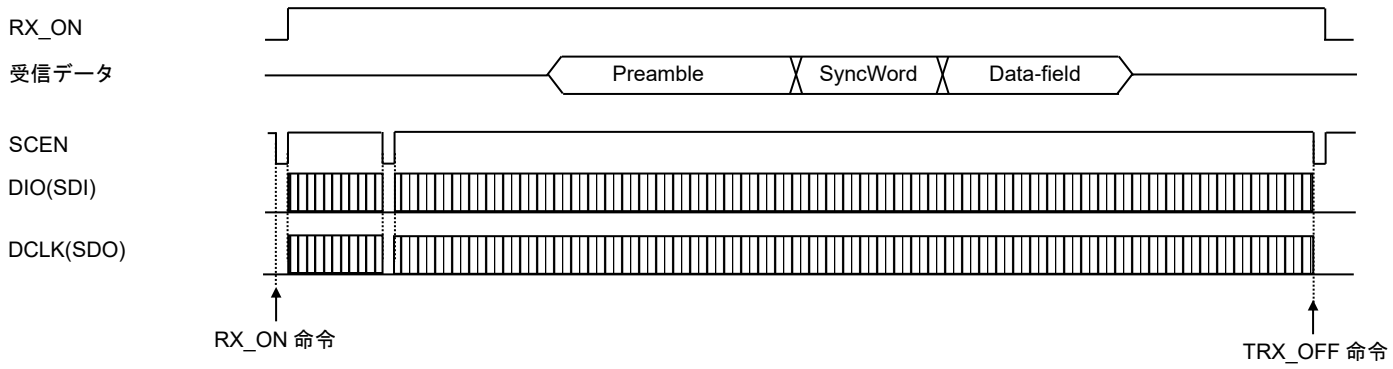
【ご注意】
送信完了まで SPI アクセスしないでください。パケット送信中に SPI アクセスを行った場合、送信データのビット抜けが発生します。

② データ入力モード
TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])に 0b10 を設定してください。
TX_ON 後、SCEN が"H"区間で SyncWord 以降のデータ入力タイミングから SDO 端子から DCLK を出力します。DCLK の立下りに同期して SDI 端子から送信データの入力してください。TRX_OFF 命令発行後は送信データ/クロックの入出力は無効になります。また、送信クロック出力中の場合でも SCEN を"L"とした場合、送信クロックの出力は停止します(SPI アクセスが優先されます)。



【ご注意】
送信完了まで SPI アクセスしないでください。パケット送信中に SPI アクセスを行った場合、送信データのビット抜けが発生します。

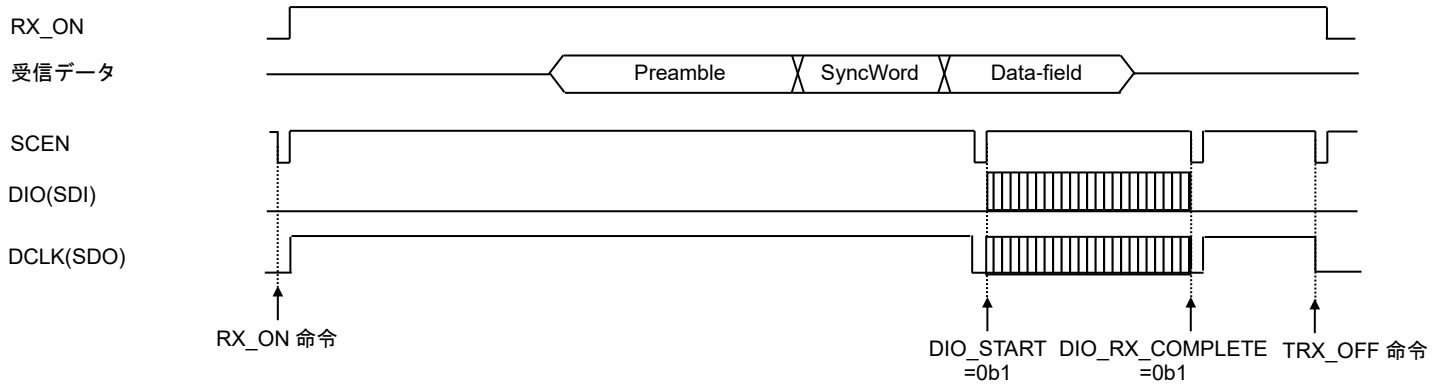
【受信時】
① 常時出力モード
RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])に 0b01 を設定してください。
RX_ON 後(SET_TRX[3:0] ([RF_STATUS: B0 0x0B(3-0)])=0x6)、SCEN が"H"区間において DCLK が SDO 端子から出力されます。DCLK の立上がりに同期して SDI 端子から受信データを出力します。TRX_OFF 命令発行後(SET_TRX[3:0] ([RF_STATUS: B0 0x0B(3-0)])=0x8)は受信データ/クロックの出力は無効になります。また、受信データ/クロック出力中の場合でも SCEN が"L"とした場合、受信データ/クロックの出力は停止します(SPI アクセスが優先されます)。



【ご注意】
パケット受信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、受信処理は継続します。このとき、受信データが出力されずビット抜けが発生しますので、受信完了まで SPI アクセスしないでください。

② データ出力モード 1 またはデータ出力モード 2
RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])に 0b10/11 を設定にしてください。
RX_ON 後、SyncWord 検出後の受信データ(出力モード1)、または L-Field 以降の受信データ(出力モード2)を RX_FIFO へバッファリング開始します。SCEN が"H"区間において DIO_START([DIO_SET: B0 0x0C(0)])に 0b1 を設定することにより、SDO 端子から DCLK、SDI 端子から受信データを出力します。それぞれの出力モードでの出力条件は、GPIO*/EXT_CLK 端子使用時と同じです。TRX_OFF 命令発行後は受信データ/クロックの出力は無効になります。また、受信データ/クロック出力中の場合でも SCEN を"L"とした場合、受信データ/クロックの出力は停止します(SPI アクセスが優先されます)。

(データ出力モード1の場合)

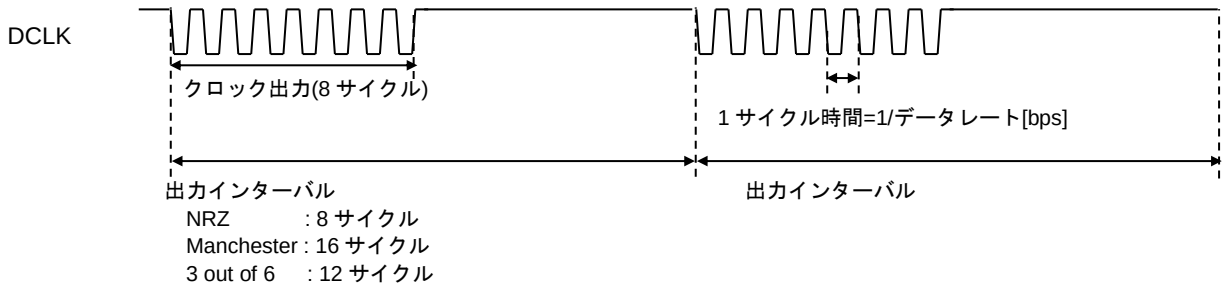


【ご注意】
パケット受信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、受信処理は継続します。このとき、受信データが出力されずビット抜けが発生しますので、受信完了まで SPI アクセスしないでください。

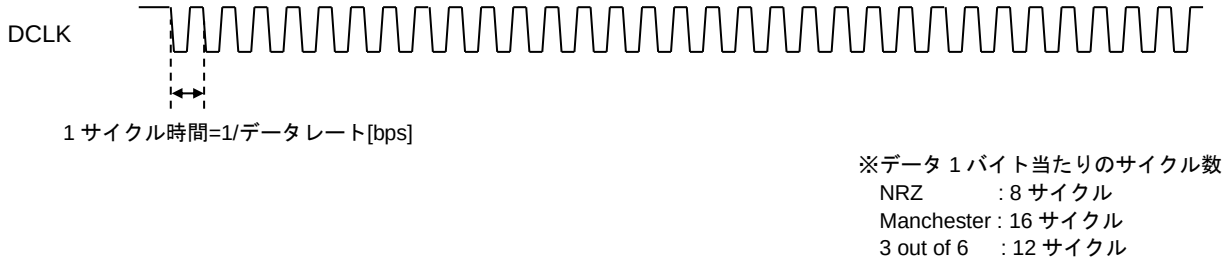
(3) DCLK 出力方法

データ出力モード 2(RXDIO_CTRL([DIO_SET: 0x0C(7-6)])=0b11 設定時)では、マンチェスタ、3-out-of-6 復号化後のデータを出力するため、クロック出力インターバルに対するクロック出力区間は符号化方式により異なります。クロック出力区間は以下の通りとなります。他のモードでは復号前の DIO を入出力するため、符号化方式によらず DCLK が連続して出力されます。

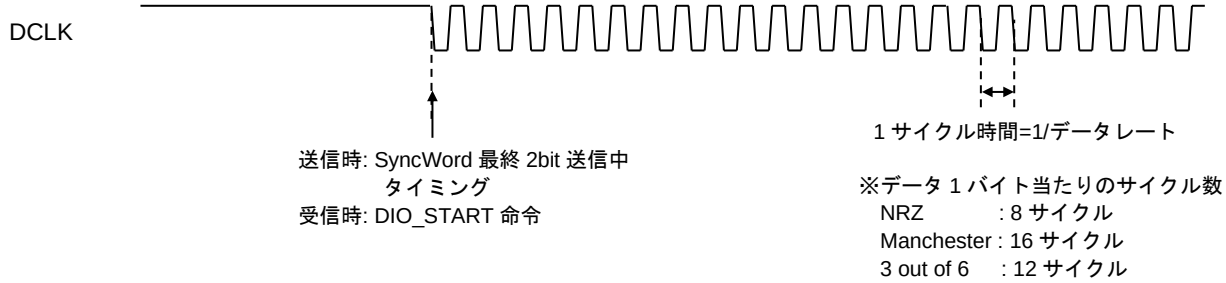
①データ出力モード 2



②送信常時入力モードまたは受信常時出力モード



③送信データ入力モードまたは受信データ出力モード 1



●タイマ機能

○ウェイクアップタイマ

本 LSI はウェイクアップタイマによる自動ウェイクアップ機能をサポートしております。ウェイクアップタイマを用いることで下記に示す動作が可能となります。

・タイマ満了後、SLEEP 状態から自動ウェイクアップします。ウェイクアップ後の動作は WAKEUP_MODE([SLEEP/WU_SET: B0 0x2D(6)])で RX_ON 状態または TX_ON 状態のいずれかへの状態変更が選択可能です。
・WUT_1SHOT_MODE ([SLEEP/WU_SET: B0 0x2D(7)]) でウェイクアップ動作を繰り返し行う(インターバル動作)か、または 1 回のみ(1ショット動作)行うかの選択が可能です。
・インターバル動作設定時にウェイクアップタイマにより TX_ON/RX_ON へ状態遷移したとき、動作継続タイマが動作します。
・ウェイクアップにより RX_ON へ状態遷移後動作継続タイマ満了時には、自動的に SLEEP 状態へ移行します。ただし、動作継続タイマ動作中に SyncWord を検出した場合、RX_ON 状態を継続します。_このとき自動で SLEEP 状態へは遷移しませんので、SLEEP 設定(SLEEP_EN ([SLEEP/WU_SET: B0 0x2D(0)])=0b1)を行ってください。ただし、RXDONE_MODE[1:0] ([RF_STATUS_ CTRL :B0 0x0A (3-2)])=0b11 に設定している場合は、受信完了した場合に自動で SLEEP 状態へ遷移します。
・ウェイクアップにより TX_ON へ状態遷移後、動作継続タイマ動作が満了した場合、自動的に SLEEP に戻ります。
・高速電波チェックモードとの組み合わせにてウェイクアップ後、CCA を自動発行し、IDLE を検出した場合、即座に SLEEP に移行することが可能です。詳細は(3) 高速電波チェックモードとの組合せを参照してください。
・ウェイクアップタイマ用のクロックソースは、WU_CLK_SOURCE([SLEEP/WU_SET:B0 0x2D(2]]で EXT_CLK 端子からの入力、もしくは内蔵 RC 発振回路を選択することが可能です。

ウェイクアップ間隔、ウェイクアップタイマ間隔および動作継続タイマの動作時間は下式の通り設定可能です。

ウェイクアップ間隔[s] = ウェイクアップタイマ間隔[s] +動作継続タイマ稼働時間[s]

ウェイクアップタイマ間隔[s] = ウェイクアップタイマ用クロック周期 ＊
分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) ＊
(ウェイクアップタイマ間隔設定([WUT_INTERVAL_H/L: B0 0x2F/0x30]) + 1)

動作継続タイマ稼働時間[s] = ウェイクアップタイマ用クロック周期 ＊
分周設定([WUT_CLK_SET: B0 0x2E(7-4)]) ＊
(動作継続タイマ稼働時間設定([WU_DURATION: B0 0x31]) - 1)

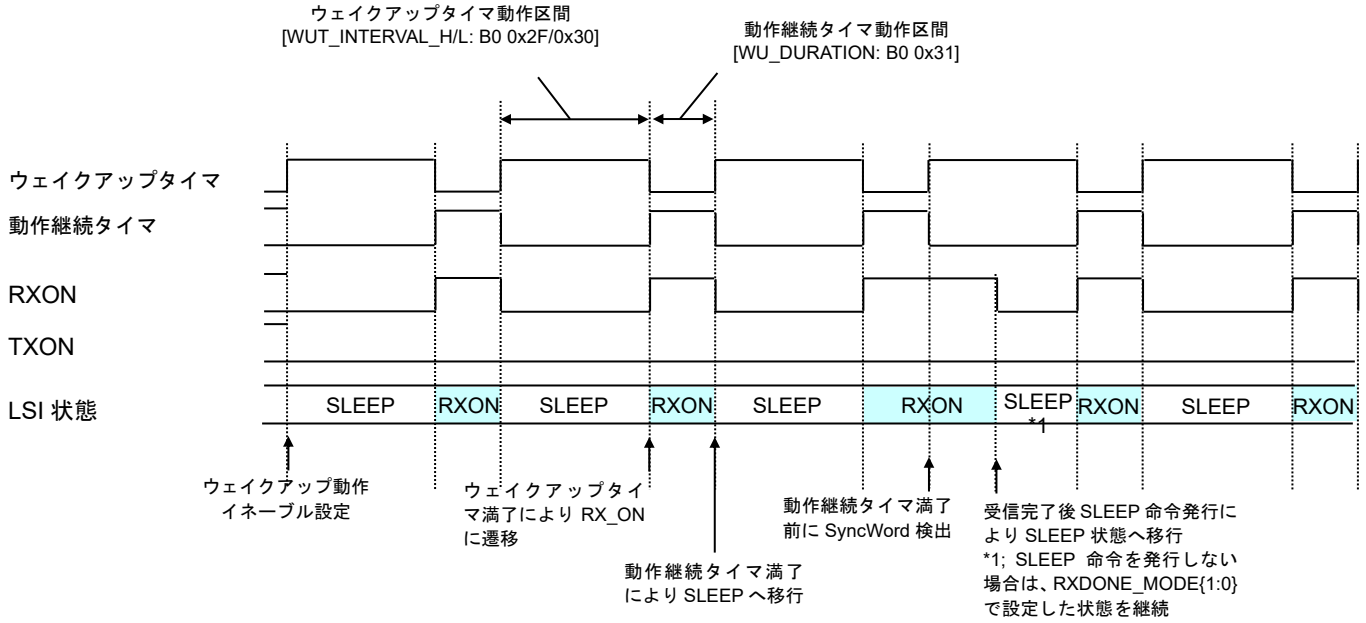
【ご注意】
・ウェイクアップ後 TX_ON へ遷移させる場合、送信中であってもタイマ満了時に SLEEP へ戻ります。動作継続タイマは送信完了後にタイマ満了となるように設定してください。
・分周設定の WUDT_CLK_SET ([WUT_CLK_SET: B0 0x2E(7-4)])と_ WUT_CLK_SET ([WUT_CLK_SET: B0 0x2E(3-0)])は独立して設定可能です。ただし、動作継続タイマを使用する場合、WUDT_CLK_SET と WUT_CLK_SET は同じ値を設定してください。
・ウェイクアップタイマ設定間隔([WUT_INTERVAL_H/L: B0 0x2F/0x30])の最小設定は0x02 となります。また動作継続タイマ稼働時間設定([WU_DURATION: B0 0x31])の最小設定は 0x01 となります。
・RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])=0b01 に設定した DIO モードの受信では SyncWord 検出を行わないため、動作継続タイマ満了後 SLEEP 状態へ強制的に移行してしまいます。ご注意ください。
・SLEEP 時間が長い場合にはウェイクアップタイマ機能は使用できません。詳細は「SLEEP 設定」を参照してください。

(1) インターバル動作

① 受信時

ウェイクアップ後、RX_ON 状態とします。SyncWord 検出前に動作継続タイマが満了した場合、自動で SLEEP に戻ります。SyncWord を検出した場合は、RX_ON を継続します。受信完了後は、RXDONE_MODE[1:0] ([RF_STATUS_CTRL: B0 0x0A(3-2)])に従って動作します。また、SLEEP_EN(SLLEP/WU_SET:B0 0x2D(0)]=0b1 を設定して SLEEP 状態へ遷移させることができます。

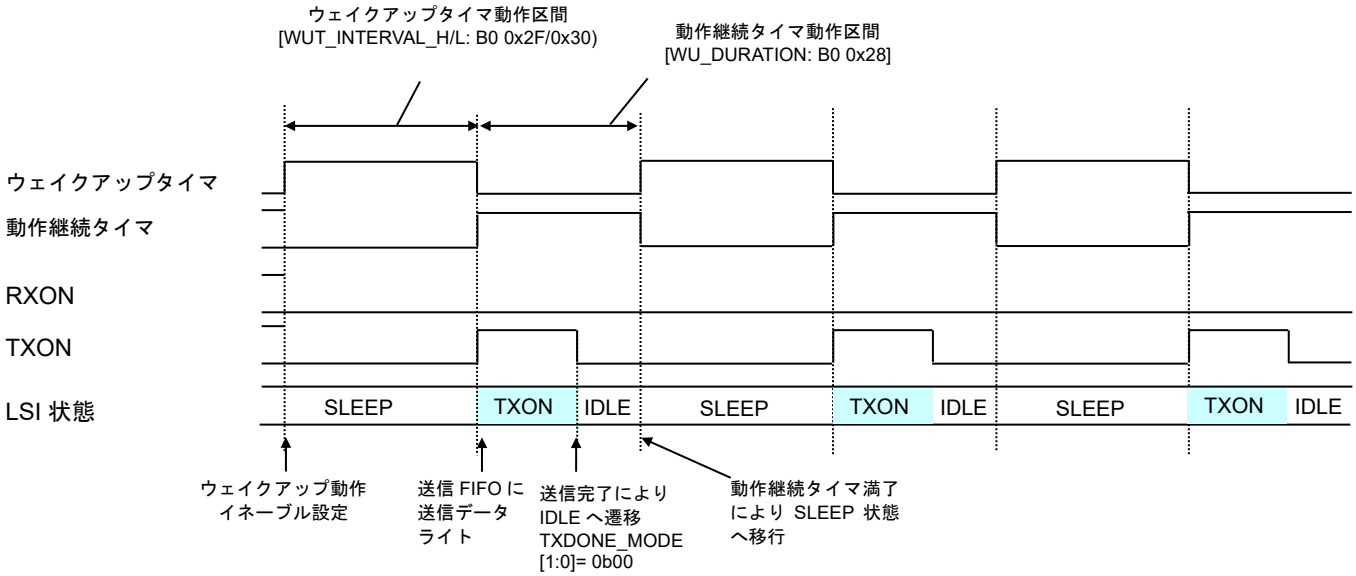
[SLEEPWU_SET: B0 0x2D(6-4)]=0b011 設定時



② 送信時

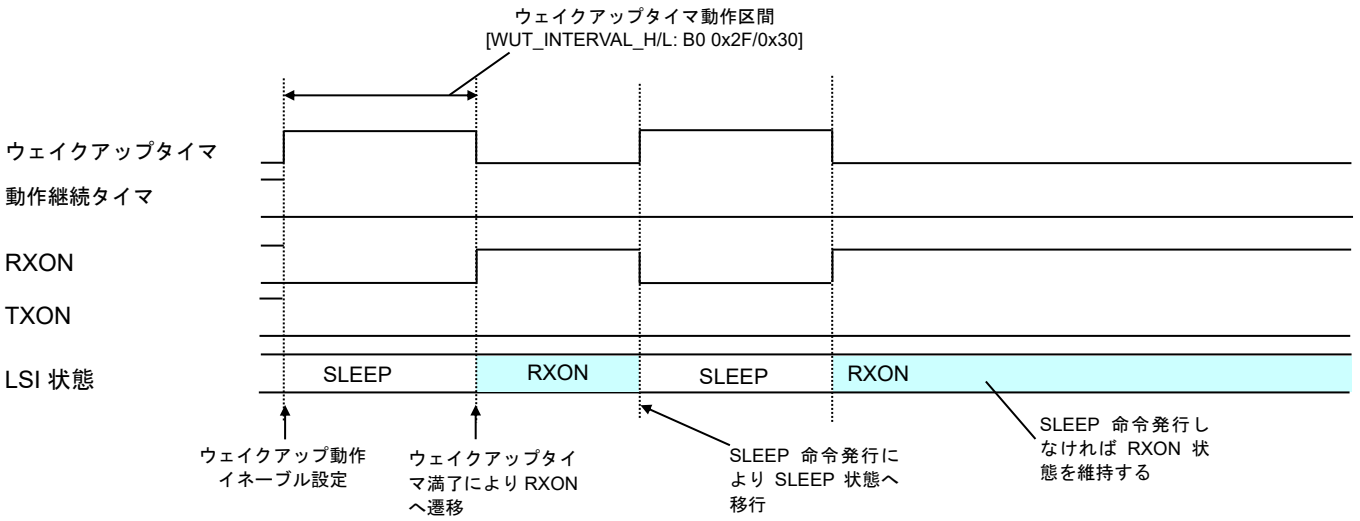
ウェイクアップ後、TX_ON 状態とします。送信完了後、TXDONE_MODE[1:0] ([RF_STATUS_CTRL: B0 0x0A(1-0)])に従って動作します。動作継続タイマが満了した場合、SLEEP に戻ります。従いまして、動作継続タイマは必ず送信完了後にタイマ満了となるように設定してください。

[SLEEP/WU_SET: B0 0x2D(6-4)]=0b111 設定時



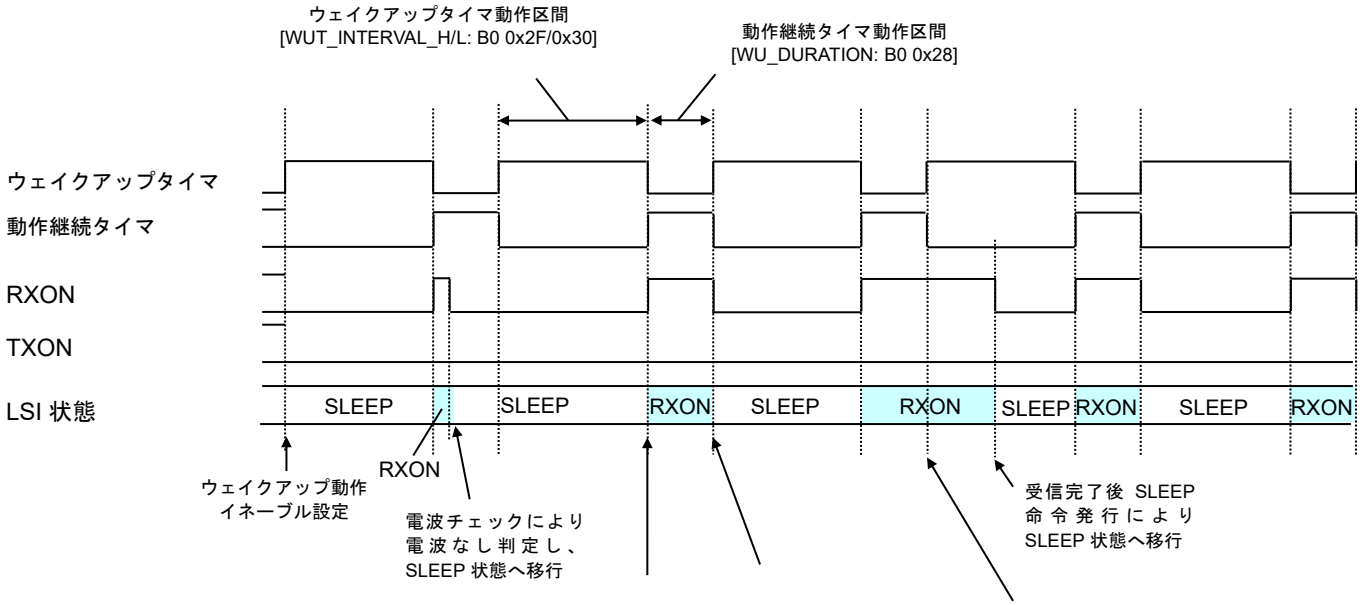
(2) 1 ショット動作
①受信時
ウェイクアップタイマ満了後、RX_ON 状態へ遷移します。その後、RX_ON を継続します。SLEEP 命令発行により SLEEP 状態へ移行します。ウェイクアップタイマ設定間隔([WUT_INTERVAL_H/L: B0 0x2F/0x30])は維持されますので SLEEP 命令発行後、1ショット動作が再起動いたします。 RX_ON 中に受信完了すると RXDONE_MODE[1:0] ([RF_STATUAS_CTRL:B0 0x0A (3-2)])に従って遷移します。 送信時も同様の動作となります。

[SLEEP/WU_SET: B0 0x2D(7-4)]=0b1011 設定時



(3) 高速電波チェックモードとの組合せ
①インターバル動作
ウェイクアップタイマ満了後、RX_ON 状態へ遷移します。その後、CCA を行い電波チェックを実施します。電波なしと判定した場合、SLEEP 状態へ自動で以降します。電波ありと判定した場合は受信状態を継続し、SyncWord 検出を実施します。SyncWord 検出前に動作継続タイマが満了した場合、自動で SLEEP に戻りますが、SyncWord を検出した場合は、RX_ON を継続します。

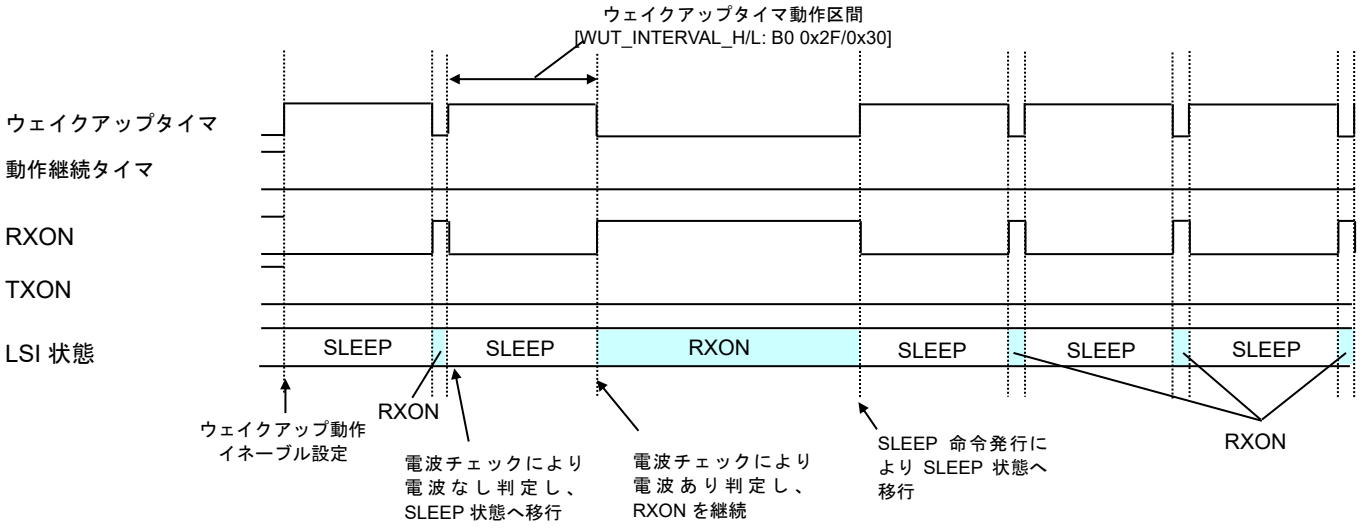
[SLEEP/WU_SET: B0 0x2D(7-4)]=0b0011
FAST_DET_MODE_EN([CCA_CTRL: B0 0x39(3)])=0b1 設定時



電波チェックにより電波あり判定し、RXON を継続
動作継続タイマ満了により SLEEP へ移行
動作継続タイマ満了前に SyncWord 検出

②1 ショット動作
ウェイクアップタイマ満了後、RX_ON 状態へ遷移します。その後、CCA を行い電波チェックを実施します。電波なしと判定した場合、SLEEP 状態へ自動で以降します。電波なしと判定した場合はウェイクアップタイマ間隔で SLEEP から復帰し、電波チェックを行います。電波ありと判定した場合は受信状態を継続します。再度 SLEEP 状態とする場合は、SLEEP 設定を行います。

[SLEEP/WU_SET: B0 0x2D(7-4)]=0b1011
FAST_DET_MODE_EN([CCA_CTRL: B0 0x39(3)])=0b1 設定時



○汎用タイマ

本 LSI は汎用タイマ機能をサポートします。2 系統のタイマを用意し、タイマに使用するクロックソースの選択、タイマ設定が可能です。また、タイマ満了後割込み(INT[22]または INT[23]:割り込みグループ 3)にて通知します。

汎用タイマのタイマ間隔は下式の通り設定可能です。

汎用タイマ間隔[s] = 汎用タイマ用クロック周期 ＊
分周設定([GT_CLK_SET: B0 0x33]) ＊
汎用タイマ間隔設定([GT1_TIMER: B0 0x34]または[GT2_TIMER: B0 0x35])

汎用タイマ用クロックは、GT2/1_CLK_SOURCE [GT_SET: B0 0x32(5,1)]でウェイクアップタイマ用クロック、2MHz から選択可能です。

●周波数設定機能

○チャネル周波数の設定

CH#0 から CH#255 までの最大 256 個のチャネル周波数を設定することができます。送受信周波数に関する設定は以下のレジスタにより設定可能です。

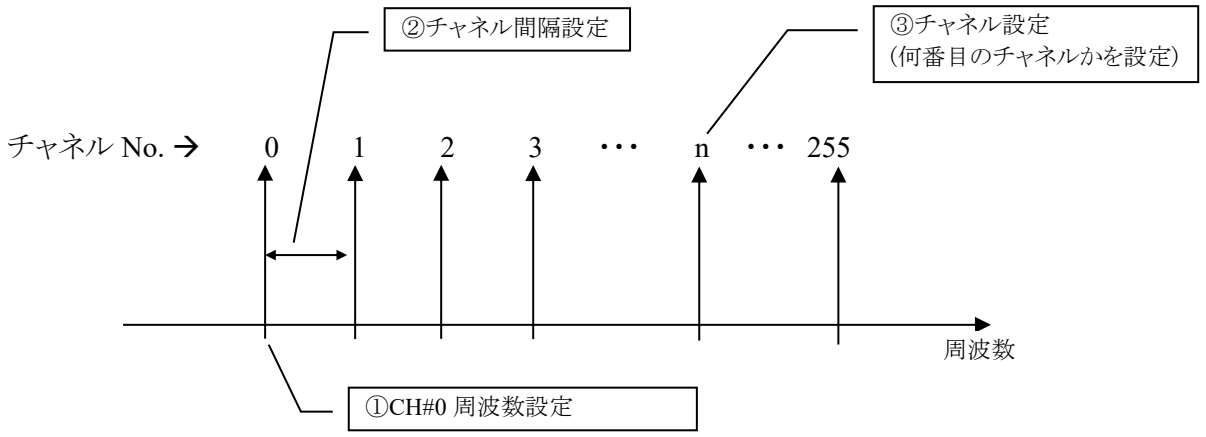
設定周波数		レジスタ
CH#0 周波数	送信用	[TXFREQ_I: B1 0x1B]、[TXFREQ_FH: B1 0x1C]、[TXFREQ_FM: B1 0x1D]および[TXFREQ_FL: B1 0x1E]
	受信用	[RXFREQ_I: B1 0x1F]、[RXFREQ_FH: B1 0x20]、[RXFREQ_FM: B1 0x21]および[RXFREQ_FL: B1 0x22]
チャネル間隔	−	[CH_SPACE_H: B1 0x23]および[CH_SPACE_L: B1 0x24]
チャネル設定	−	[CH_SET: B0 0x09]

(1) チャネル周波数設定の概要

【チャネル周波数設定】
上記レジスタ設定より、チャネル周波数は下式により決定されます。

チャネル周波数 = ①CH#0 周波数 + ②チャネル間隔 * ③チャネル設定

【チャネル配列のイメージ】



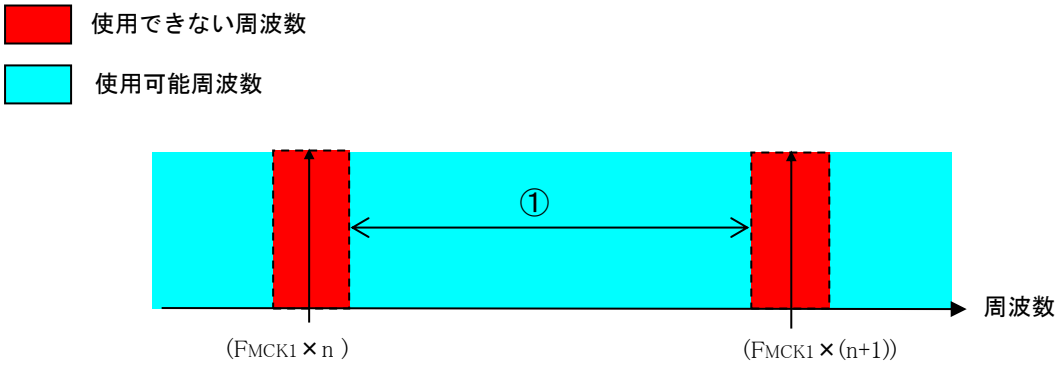
【ご注意】

(1) 使用するチャネル周波数は以下の条件を満足しなければなりません。次式を満足しない場合はチャネル#0 周波数設定を変更するか、または他のチャネルを使用してください。なお、上式を満足しない状態では期待するチャネル周波数とならない、または PLL がロックせず正常動作しませんのでご注意ください。

F_{MCK1}:マスタークロック周波数

送信時:(F_{MCK1} * n + 500kHz) ≦ 使用チャネル周波数 ≦ (F_{MCK1} * (n+1) - 500kHz) ※n=整数
受信時:(F_{MCK1} * n +2.2MHz) ≦ 使用チャネル周波数 ≦ (F_{MCK1} * (n+1)) ※n=整数

イメージ図



[使用可能周波数(上記①の範囲)の計算例]

条件:マスタークロック 26MHz、n=33 の場合

送信時:(26*33+0.5)MHz ≦ 使用チャネル周波数 ≦(26*(33+1)−0.5)
⇒ 858.5MHz ≦ 使用チャネル周波数 ≦883.5MHz

受信時:(26*33+2.2)MHz ≦ 使用チャネル周波数 ≦(26*(33+1)−2.2)
⇒ 860.2MHz ≦ 使用チャネル周波数 ≦881.8MHz

となります。

(2) CH#0 周波数およびチャネル間隔設定はそれぞれ誤差を含むため、チャネル周波数は次式で示す周波数誤差を生じます。

チャネル周波数誤差[Hz] = CH#0 周波数誤差[Hz] + チャネル間隔設定誤差[Hz] * チャネル設定

CH#0 周波数を変更せずチャネル設定のみを大きくした場合、チャネル周波数誤差が大きくなります。チャネル周波数誤差が大きくなった場合、CH#0 周波数を変更してください。

(2) チャネル#0 周波数の設定

[TXFREQ_I: B1 0x1B]、[TXFREQ_FH: B1 0x1C]、[TXFREQ_FM: B1 0x1D]および[TXFREQ_FL: B1 0x1E] レジスタにて送信周波数周波数を、[RXFREQ_I: B1 0x1F]、[RXFREQ_FH: B1 0x20]、[RXFREQ_FM: B1 0x21] および[RXFREQ_FL: B1 0x22]レジスタにて受信周波数を設定することができます。チャネル周波数は下記に示す計算式にて算出した周波数を PLL 設定値に変換いたします。

チャネル#0 周波数の設定値は次式にて求められます。

$$I = \frac{f_{rf}}{f_{ref}} \text{ の整数部分}$$

$$F = \left\{ \frac{f_{rf}}{f_{ref}} - I \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで、

f_{rf} :チャネル#0 周波数

f_{ref} :PLL リファレンス周波数(=マスタークロック周波数:F_{MCK1})

I :整数部周波数設定

F :小数部周波数設定

I を 16 進に変換した値を[TXFREQ_I: B1 0x1B]、[RXFREQ_I: B1 0x1F]に設定します。また、F を 16 進に変換した値を次のようにレジスタに設定します。

送信:MSB から[TXFREQ_FH: B1 0x1C]、[TXFREQ_FM: B1 0x1D]、[TXFREQ_FL: B1 0x1E]レジスタの順で設定します。

受信:MSB から[RXFREQ_FH: B1 0x20]、[RXFREQ_FM: B1 0x21]、[RXFREQ_FL: B1 0x22]レジスタの順で設定します。

周波数誤差 f_{err} は下式で求められます。

$$f_{err} = \left\{ I + \frac{F}{2^{20}} \right\} \cdot f_{ref} - f_{rf}$$

[設定例]

送信 CH#0 周波数に f_{rf} =868MHz を設定する場合(マスタークロック 26MHz 時)、以下のようになります。

$$I = \frac{868MHz}{26MHz} \text{ の整数部 } = 33(0x21)$$

$$F = \left\{ \frac{868MHz}{26MHz} - I \right\} \cdot 2^{20} \text{ の整数部} = 403298(0x062762)$$

従って

[TXFREQ_I: B1 0x1B] =	0x21
[TXFREQ _FH: B1 0x1C] =	0x06
[TXFREQ _FM: B1 0x1D] =	0x27
[TXFREQ _FL: B1 0x1E] =	0x62

と設定します。

周波数誤差 f_{err} は次のようになります。

$$f_{err} = \left\{ 33 + \frac{403298}{2^{20}} \right\} \cdot 26MHz - 868MHz = -11.45Hz$$

(2) チャネル間隔の設定

[CH_SPACE_H: B1 0x23]と[CH_SPACE_L: B1 0x24]レジスタを使用してチャネル間隔を設定することができます。以下の式で計算されるチャネル間隔を 16 進に変換し MSB から[CH_SPACE_H: B1 0x23]、[CH_SPACE_L: B1 0x24]レジスタの順で設定します。
チャネル間隔とは、あるチャネルの中心周波数とそのチャネルと隣接するチャネルの中心周波数の間隔です。

チャネル間隔の設定値は、下記の式で求められます。

$$CH_SPACE = \left\{ \frac{f_{sp}}{f_{ref}} \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで

CH_SPACE :チャネルスペース設定

f_{sp} :チャネルスペース[Hz]

f_{ref} ： PLL リファレンス周波数（=マスタークロック周波数：F_{MCK1}）

[設定例]

CH 間隔を 60kHz に設定する場合（マスタークロック 26MHz 時）、以下のようになります。

$$CH_SPACE = \left\{ \frac{0.06MHz}{26MHz} \right\} \cdot 2^{20} \text{ の整数部分 } = 2419\ (0x0973)$$

[CH_SPACE_H: B1 0x23] = 0x09
[CH_SPACE_L: B1 0x24] = 0x73
となります。

○IF 周波数の設定

様々なデータレートに対して適切な受信フィルタ帯域へ適応させる機能があります。
この受信フィルタ帯域は、IF 周波数に対応して選択されます。
IF 周波数は[IF_FREQ_H: B0 0x54]と[IF_FREQ_L: B0 0x55]レジスタにて設定します。各データレートでの IF 周波数は以下の値になるように値を設定して下さい。

データレートにより以下の通り IF 周波数を変更する必要があります。

	データレート			
	4.8kbps	32.768kbps	50kbps	100kbps
IF 周波数	500kHz	500kHz	500kHz	720kHz

その他データレートにつきましては、「初期設定レジスタ」をご参照ください。

また、CCA としてチャネルの電力検出を行う場合に必要な受信フィルタ帯域が異なる場合が生じるため、CCA 時用の[IF_FREQ_CCA_H: B1 0x56]と[IF_FREQ_CCA_L: B1 0x57]レジスタがあります。必要な帯域に応じて IF 周波数を変更する必要があります。

IF_FREQ の設定値は、下記の式で求められます。

$$IF_FREQ = \left\{ \frac{(f_{IF}/2)}{f_{ref}} \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで

f_{IF} :IF 周波数 [Hz]

f_{ref} :PLL リファレンス周波数(=マスタークロック周波数:F_{MCK1})

[設定例]

IF 周波数を 720kHz に設定する場合、f_{REF} =26MHz 時の設定値は以下のようになります。
IF_FREQ= {(0.72MHz ÷ 2) ÷ 26MHz} ×2^{20} の整数部分 = 14518(0x38B6)
従って、
[IF_FREQ_H: B0 0x54] = 0x38
[IF_FREQ_L: B0 0x55] = 0xB6
を設定することになります。

○BPF 帯域の設定

通常時(AFC動作時を含む)とCCA動作時用において、[BPF_CO: B0 0x5C]および[BPF_CO_CCA: B0 0x5D]レジスタよる BPF 最適化設定が必要です。設定値は、データレートに応じて下表の通りに設定値を変更する必要があります。

データレート [kbps]	[DRATE_SET: B0 0x06]	通常時 [BPF_CO: B0 0x5C]		CCA 時 [BPF_CO_CCA: B0 0x5D]	
		係数	設定値	係数	設定値
4.8	0b0010	1.44	0xB8	1.44	0xB8
32.768	0b1000	1.44	0xB8	1.44	0xB8
50	0b1010	1.44	0xB8	1.44	0xB8
100	0b1011	1	0x80	1	0x80

○変調の設定

ML7406 は GFSK と FSK をサポートしています。

(1) GFSK 変調の設定

GFSK モードを使用する場合は、GFSK_EN([DATA_SET1: B0 0x07(4)])=0b1 を設定してください。GFSK変調では周波数偏位を[GFSK_DEV_H: B1 0x30]と[GFSK_DEV_L: B1 0x31]レジスタで、またガウシアンフィルタ設定を[FSK_DEV0_H/GFIL0: B1 0x32]から[FSK_DEV3_H: B1 0x38]のレジスタを使用して設定することができます。

① GFSK周波数変位の設定

F_DEV の設定値は、下記の式で求められます。

$$F_DEV = \left\{ \frac{f_{dev}}{f_{ref}} \right\} \cdot 2^{20} \text{ の整数部分}$$

ここで

f_{dev} :周波数偏位［Hz］

f_{ref} ： PLL リファレンス周波数（=マスタークロック周波数：F_{MCK1}）

例）周波数偏位=50kHz を設定する場合、f_{REF} = 26MHz 時の設定値は以下のようになります。

F_DEV = {0.05MHz ÷ 26MHz} ×2^{20} の整数部分 = 2016 (0x07E0)

この場合、[GFSK_FDEV_H/L: B1 0x30/31]には以下のように設定してください。

[GFSK_DEV_H: B1 0x30] = 0x07
[GFSK_DEV_L: B1 0x31] = 0xE0

② ガウシアンフィルタの設定

ガウシアンフィルタの BT 値と関連レジスタへの設定値との関係を以下に示します。

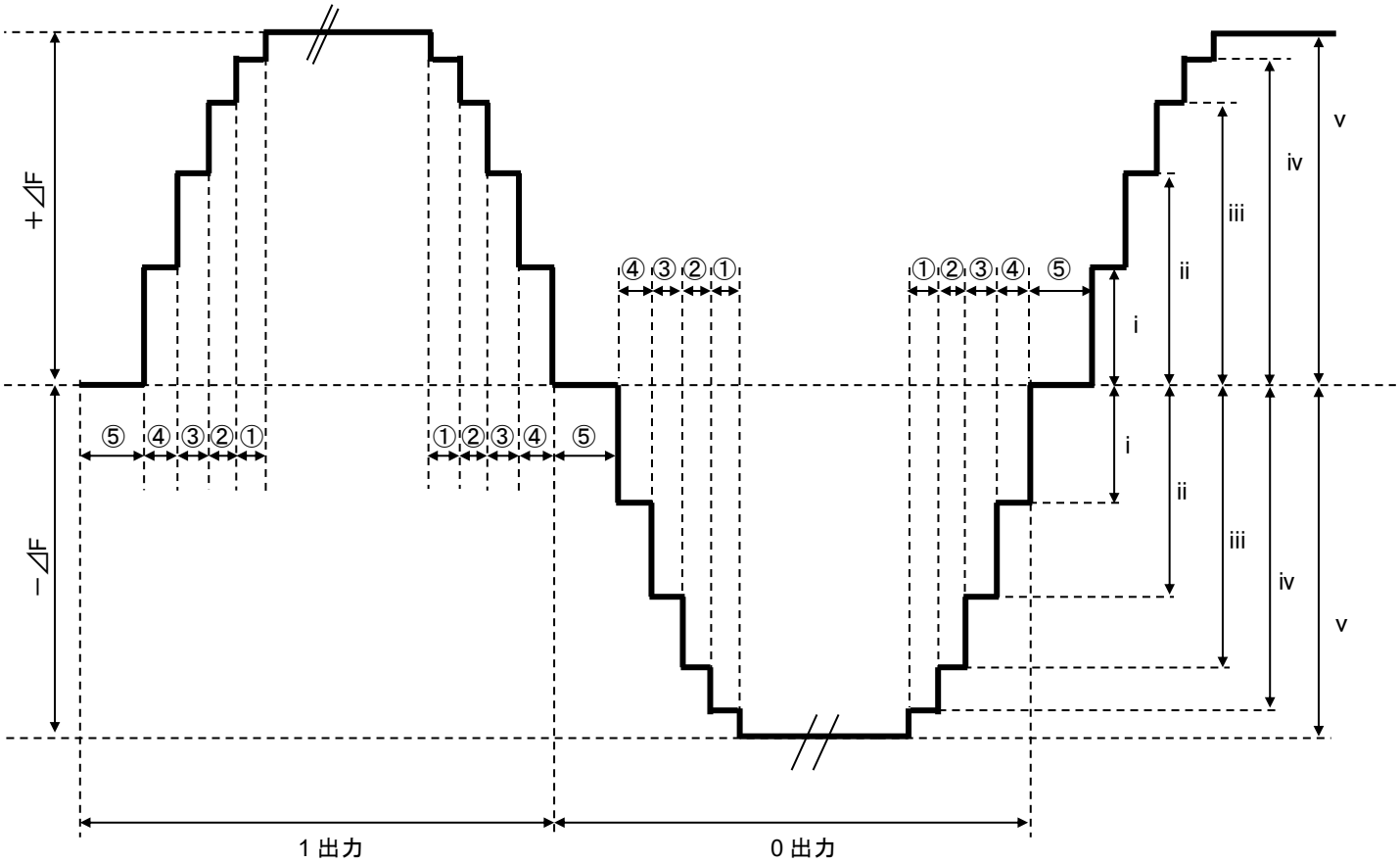
レジスタ	BT 値	
	0.5	1.0
[FSK_DEV0_H/GFIL0: B1 0x32]	0x49	0x00
[FSK_DEV0_L/GFIL1: B1 0x33]	0xA7	0x10
[FSK_DEV1_H/GFIL2: B1 0x34]	0x0F	0x04
[FSK_DEV1_L/GFIL3: B1 0x35]	0x14	0x0D
[FSK_DEV2_H/GFIL4: B1 0x36]	0x19	0x1E
[FSK_DEV2_L/GFIL5: B1 0x37]	0x1D	0x32
[FSK_DEV3_H/GFIL6: B1 0x38]	0x1E	0x3C

【ご注意】

GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数を、FSK モード時は周波数偏位を適切に設定してください。

(2) FSK 変調の設定

FSK モードを使用する場合は、GFSK_EN([DATA_SET1: B0 0x07(4)])=0b0 を設定してください。FSK 変調では、[FSK_DEV0_H/GFIL0: B1 0x32]から[FSK_DEV4_L: B1 0x3B]レジスタを設定することで詳細な周波数偏位量を設定できます。また、[FSK_TIM_ADJ4: B1 0x3C]から[FSK_TIM_ADJ0: B1 0x40]レジスタの設定値を変えることで、FSK の時間方向の詳細なタイミングを設定できます。



TX_FSK_POL([DATA_SET1:B0 0x07(6)]) = 0b0 設定時）

周波数偏位設定				時間設定			
記号	レジスタ名	アドレス	機能	記号	レジスタ名	アドレス	機能
i	FSK_FDEV0_H/GFIL0 FSK_FDEV0_L/GFIL1	B1 0x32/33	周波数偏位 設定分解能 約 25(Hz)	①	FSK_TIM_ADJ4	B1 0x3C	変調タイミング 4.3MHz/13MHz カウンタ値 (*1)
ii	FSK_FDEV1_H/GFIL2 FSK_FDEV1_L/GFIL3	B1 0x34/35		②	FSK_TIM_ADJ3	B1 0x3D	
iii	FSK_FDEV2_H/GFIL4 FSK_FDEV2_L/GFIL5	B1 0x36/37		③	FSK_TIM_ADJ2	B1 0x3E	
iv	FSK_FDEV3_H/GFIL6 FSK_FDEV3_L	B1 0x38/39		④	FSK_TIM_ADJ1	B1 0x3F	
v	FSK_FDEV4_H FSK_FDEV4_L	B1 0x3A/3B		⑤	FSK_TIM_ADJ0	B1 0x40	

(*1) 変調タイミング分解能の切替は、FSK_CLK_SET ([FSK_CTRL: B1 0x2F(0)])にて設定できます。

【ご注意】
GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数を、FSK モード時は周波数偏位を適切に設定してください。

●受信関連機能

○AFC 機能

本 LSI は受信時の AFC 機能を持っています。送信相手と本 LSI 内部のローカル信号のそれぞれの周波数偏差（最大±85ppm）を本機能で補正します。本機能により周波数偏差内で一定の受信感度や妨害波特性が得られます。
本機能は、AFC_EN([AFC/GC_CTRL: B1 0x15(7)])に 0b1 を書き込むことで有効にできます。

○電力検出値(ED 値)取得機能

本 LSI は受信電界強度(RSSI)を電力検出値(以降ED値)として表示する機能を搭載しております。
ED値は ED_CALC_EN ([ED_CTRL: B0 0x41(7)])を 0b1 に設定し、RX_ON 状態に移行すると、自動的に取得を開始し，RX_ON 状態中は常に最新の値に更新されます。
ED 値は、ある瞬間の RSSI 値ではなく平均化された値で表示されます。平均化する回数は ED_AVG[2:0]([ED_CTRL: B0 0x41(2-0)])で設定されます。また、ダイバーシティの時は DIV_ED_AVG[2:0]([2DIV_MODE: B1 0x48(2-0)])で設定されます。平均化回数分 ED 値を取得した時点で ED_DONE([ED_CTRL: B0 0x41(4)])に”0b1”が設定されるとともに、ED_VALUE[7:0]([ED_RSLT: B0 0x3A])が更新されます。

ED_DONE ビットは、以下のいずれかの条件が成立するとクリアされます。
① 一度 ED 値取得を停止し、再開した場合
② アンテナが切り替わった場合
③ ゲインが切り替わった場合

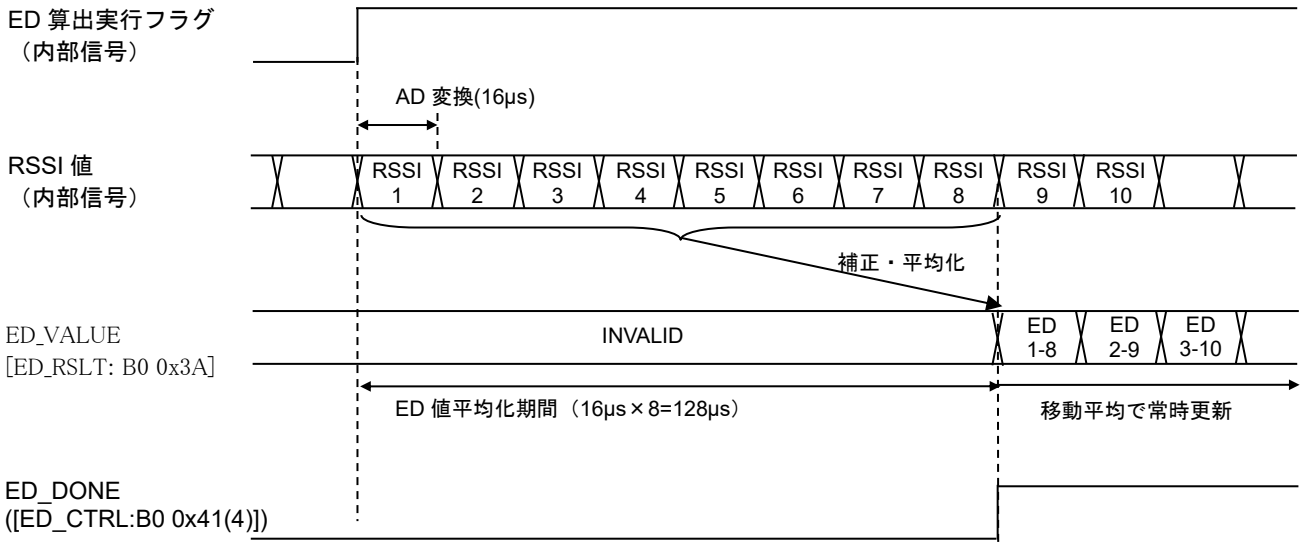
ED値の算出開始から、ED値が表示されるまでにかかる時間は次式で算出できます。

ED値平均化時間 = AD 変換時間(16μs/18.5μs) * ED 値平均回数

※AD 変換時間は、ADC_CLK_SET([ADC_CLK_SET: B1 0x08(4)])設定で決まります。初期値は 2MHz となりAD変換時間は 16μs となります。

以下に、タイミングチャートを示します。

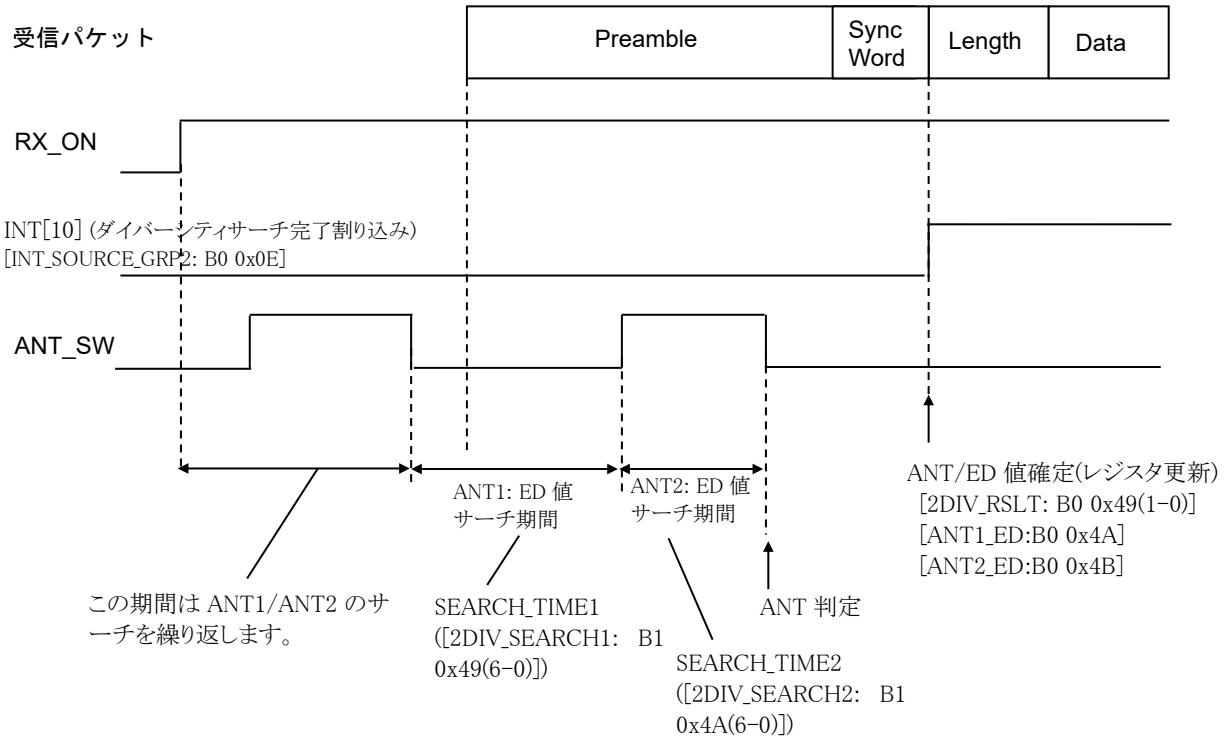
【条件】
ADC_CLK_SEL([ADC_CLK_SEL: B1 0x08(4)])=0b1 (2MHz)
ED_AVG[2:0] ([ED_CTRL: B0 0x41(2-0)])=0b011 (ED 値 8 回平均)



○ダイバーシティ機能

本 LSI は 2 アンテナダイバーシティ機能を搭載しております。
2DIV_EN([2DIV_CTRL: B0 0x48(0)])を 0b1 にセットした状態で RF を受信状態（RX_ON）に設定するとダイバーシティモードが起動いたします。ダイバーシティモードが起動すると、受信データ検出時にアンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナを使用するよう制御します。ダイバーシティ機能はプリアンブルデータの ED 値を取得するため送信側のプリアンブルデータ長は十分に長い値である必要があります。プリアンブルデータ長が短いと正確な ED 値の取得が出来ませんのでご注意ください。

以下にタイムチャートを示します。



ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A])と[ANT2_ED: B0 0x4B]レジスタ)およびダイバーシティアンテナ結果([2DIV_RSLT: B0 0x49(1-0)])は、SyncWord 検出時に上書き更新します。
ED 値算出時の平均化回数は、2DIV_ED_AVG([2DIV_MODE: B1 0x48(2:0)])にて設定可能です。
サーチ時間([SEARCH_TIME1]および[SEARCH_TIME2])の時間分解能は、16μs です。

また、ダイバーシティサーチ完了割込み（INT[10]:割り込みグループ2)をクリアした場合、ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B]レジスタ)およびダイバーシティアンテナ結果([2DIV_RSLT: B0 0x49(1-0)])は 0 クリアされます。

【ご注意】
熱雑音による誤検出から引き起こされた誤ったダイバーシティ完了の場合、ML7406 はアンテナサーチを再自動実行しますが、誤検出判定までの間に希望波を受信した場合、 [ANT1_ED: B0 0x4A]または[ANT2_ED: B0 0x4B]で取得した ED 値は、実際の入力レベルとは異なる低い ED 値を表示する場合があります。
本事象の発生した場合の実際の希望派の ED 値は SyncWord 検出割込み（INT[13]:割り込みグループ２）_発生後に [ED_RSLT: B0 0x41]レジスタを読み出すことで取得できます。

(1) アンテナスイッチ制御

[2DIV_CTRL: B0 0x48]、[ANT_CTRL: B0 0x4C]、[EXT_PA_CTRL: B0 0x53]レジスタにて、送受信切替え信号(TRX_SW)、アンテナ切替え信号(ANT_SW)、外部 PA 制御信号(DCNT)の各種の制御が可能です。

ML7406 は、SPDT と DPDT アンテナスイッチ制御が可能です。それぞれのアンテナスイッチ制御時の ANT_SW 信号および TRX_SW 信号の出力状態を以下に示します。

①DPDT スイッチ使用時

2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b1 に ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])を 0b0 に設定します。アイドル、送信、受信の各状態での ANT_SW、TRX_SW 出力は以下の通りです(デフォルト設定)。INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])を 0b1 に設定した場合、ANT_SW と TRX_SW の極性が反転します。

送受信状態	INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=0 (デフォルト設定)		INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=1 (極性反転時)		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	H	L	L	H	アイドル時の状態です。
送信時	L	H	H	L	送信時の状態です。
受信時	H	L	L	H	ダイバーシティを使用しない場合、およびダイバーシティ使用時([2DIV_CTRL: B0 0x48(0)]を 0b1に設定)の初期状態となります。
	L/H	H/L	H/L	L/H	ダイバーシティ使用時は、サーチ中(ANT_SW=H 、TRX_SW=L) と (ANT_SW=L 、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

②SPDT スイッチ使用時

2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b0 に ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])を 0b0 に設定します。アイドル、送信、受信の各状態での ANT_SW、TRX_SW 出力は以下の通りです(デフォルト設定)。INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])を 0b1 に設定した場合、TRX_SW の極性が反転します。

送受信状態	INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=0 (デフォルト設定)		INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=1 (極性反転時)		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	L	L	L	H	アイドル時の状態です。
送信時	L	H	L	L	送信時の状態です。
受信時	L	L	L	H	ダイバーシティを使用しない場合、およびダイバーシティイ使用時([2DIV_CTRL: B0 0x48(0)]を 0b1に設定)の初期状態となります。
	H/L	L	H/L	H	ダイバーシティイ使用時は、サーチ中(TRX_SW=H)と(TRX_SW=L)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

上記デフォルト設定に対し、INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])を 0b1、ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])を 0b1 に設定することにより、ANT_SW 端子の極性が反転します。

送受信状態	INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])=0 ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=0/1 (デフォルト設定)		INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])=1 ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=1		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	L	L	H	L	アイドル時の状態です。
送信時	L	H	H	H	送信時の状態です。
受信時	L	L	H	L	ダイバーシティを使用しない場合、およびダイバーシティ使用時([2DIV_CTRL: B0 0x48(0)]を 0b1に設定)の初期状態となります。
	H/L	L	L/H	L	ダイバーシティイ使用時は、サーチ中(ANT_SW=H)と(ANT_SW=L)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

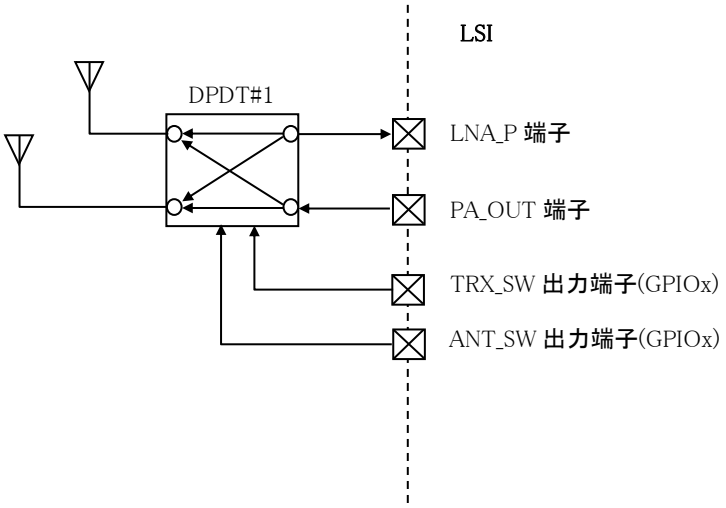
(2) アンテナスイッチ強制設定
[ANT_CTRL: B0 0x4C]レジスタにより、ANT_SW 端子の出力状態の強制設定が可能です。

送信時:TX_ANT_EN([ANT_CTRL: B0 0x4C(0)])を 0b1 に設定することにより TX_ANT([ANT_CTRL: B0 0x4C(1)])の設定値が出力されます。
受信時:RX_ANT_EN([ANT_CTRL: B0 0x4C(4)])を 0b1 に設定することにより RX_ANT([ANT_CTRL: B0 0x4C(5)])の設定値が出力されます。

但し、[GPIIO*_CTRL: B0 0x4E～0x51]レジスタにて出力時強制設定された場合は、[GPIIO*_CTRL:B0 0x4E～0x51]レジスタ設定が優先されます。

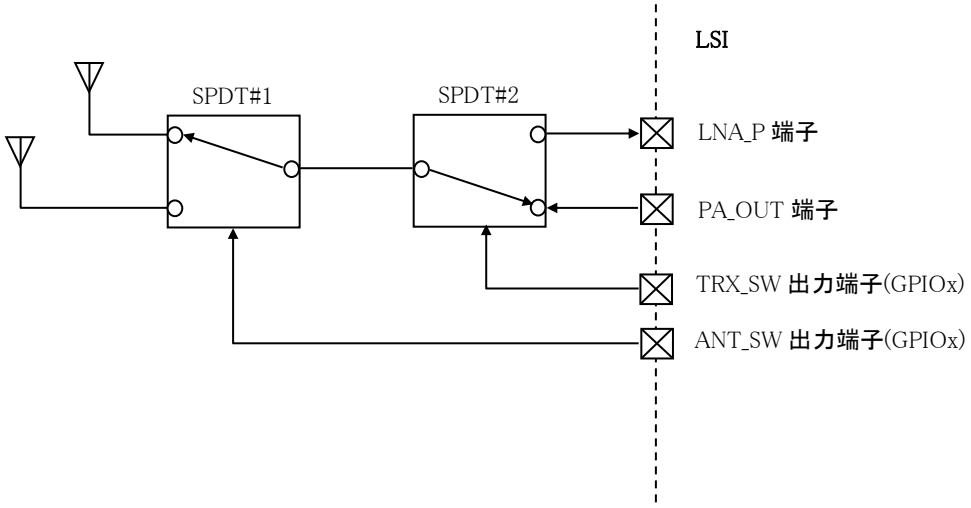
なお、アンテナスイッチ制御信号を以下のように使用することができます。

使用例 1） DPDT スイッチ 1 個を使用する場合
2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b1 に設定してください。



(※)外部 PA 制御信号(GPIOn 又は EXT_CLK 設定)も使用可能です。
(※)LNA_P 端子および PA_OUT 端子とアンテナスイッチ(DPDT#1)間の外付け回路は省略しています。

使用例 2）SPDT スイッチ 2 個使用した場合
2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b0 に設定してください。



(※)外部 PA 制御信号出力(GPIOn または EXT_CLK 設定)も使用可能です。
(※)LNA_P 端子および PA_OUT 端子とアンテナスイッチ(SPDT#2)間の外付け回路は省略しています。

○CCA(Clear Channel Assesment)機能

本 LSI は CCA 機能を搭載しております。CCA はある周波数チャネルを受信して、そのチャネルが現在使用されているか、空いているかを判定する機能です。本 LSI では通常モード、無限実効モードと IDLE 検出モードの 3 種類のモードがあります。3 種類のモードは下記により設定できます。

【CCA モードの設定】

	[CCA_CTRL: B0 0x39]		
	Bit4 (CCA_EN)	Bit5 (CCA_CPU_EN)	Bit6 (CCA_IDLE_EN)
通常モード	0b1	0b0	0b0
無限実効モード	0b1	0b1	0b0
IDLE 検出モード	0b1	0b0	0b1

(1) 通常モード

通常モードはIDLEか BUSY を判定するモードです。CCA_EN(CCA_CTRL: B0 0x39(4)])=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5)])=0b0 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6)])=0b0 を設定している状態で RX_ON をすることで CCA(通常モード)が実行されます。

CCA の判定は[ED_RSLT: B0 0x3A]レジスタで表示される ED 値の平均値と[CCA_LVL: B0 0x37]レジスタで設定される CCA の閾値との大小比較で行われます。ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L: B0 0x3B]、[IDLE_WAIT_H: B0 0x3C]レジスタの IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。CCA_IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

BUSY または IDLE を検出すると CCA 完了割り込み(INT[18]:割り込みグループ 3)が通知され、CCA_EN ビットが 0b0 に自動クリアされます。

CCA 完了割込みをクリアすると、CCA_RSLT[1:0]は初期化(0b00)されます。CCA_RSLT[1:0]は CCA 完了割込みをクリアする前に読み出して下さい。

ED 値が[CCA_IGNORE_LVL: B0 0x36]レジスタで設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が CCA 閾値よりも大きい場合は BUSY 判定して CCA を完了しますが、ED 値の平均値が CCA 閾値よりも小さい場合は IDLE 判定せずに CCA_RSLT[1:0]に 0b11 を表示し、BUSY 判定されるかまたは対象の ED 値が平均化対象から外れて IDLE 判定されるまで CCA を継続します。ED 値が[CCA_IGNORE_LVL: B0 0x36]レジスタを越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

CCA 実行指示してから CCA 完了するまでの時間は下式で算出されます。

[IDLE 判定の場合]
CCA 実行時間 = (ED 値平均回数 + IDLE_WAIT 設定) * AD 変換期間

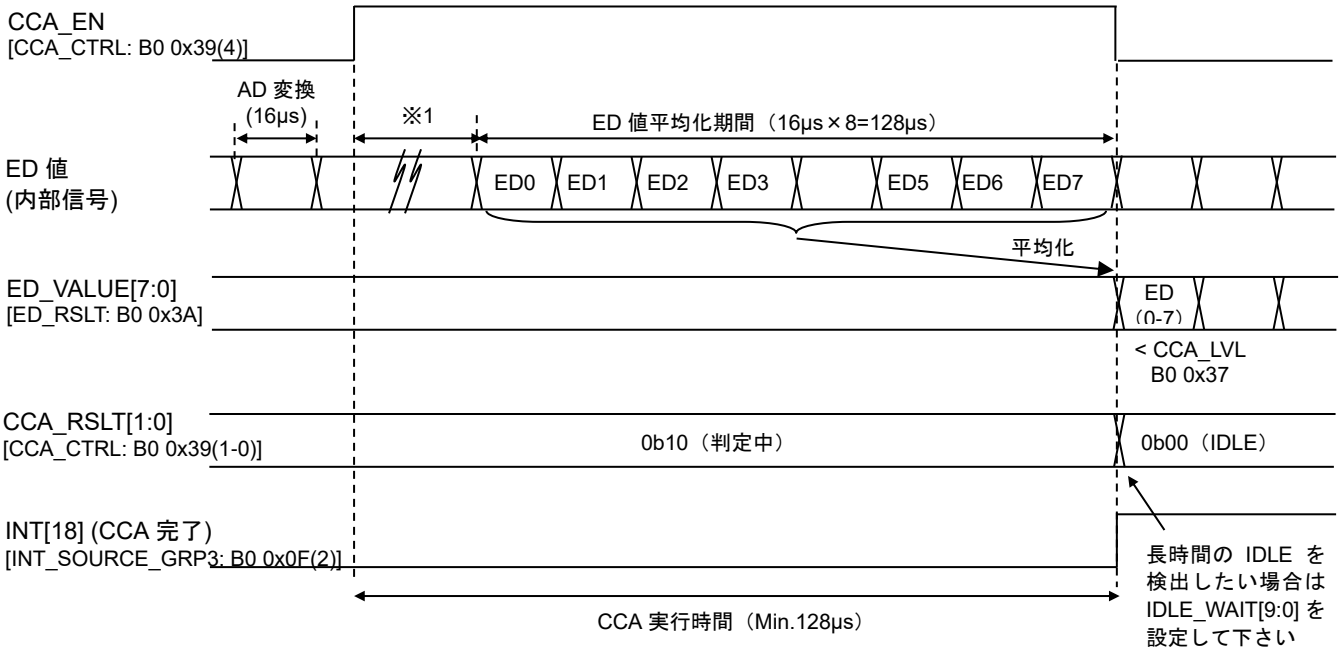
[BUSY 判定の場合]
CCA 実行時間 = ED 値平均回数 * AD 変換期間

※ 上式は[CCA_IGNORE_LVL: B0 0x36]レジスタによる IDLE 判定除外を考慮しておりません。詳細は”強入力発生時のIDLE判定除外について” をご参照下さい。
※ AD 変換期間は ADC_CLK_SEL([ADC_CLK_SET: B0 0x08(4)])で切替可能です。
ADC_CLK_SEL=0b0:18.5μs , 0b1:16μs(default)

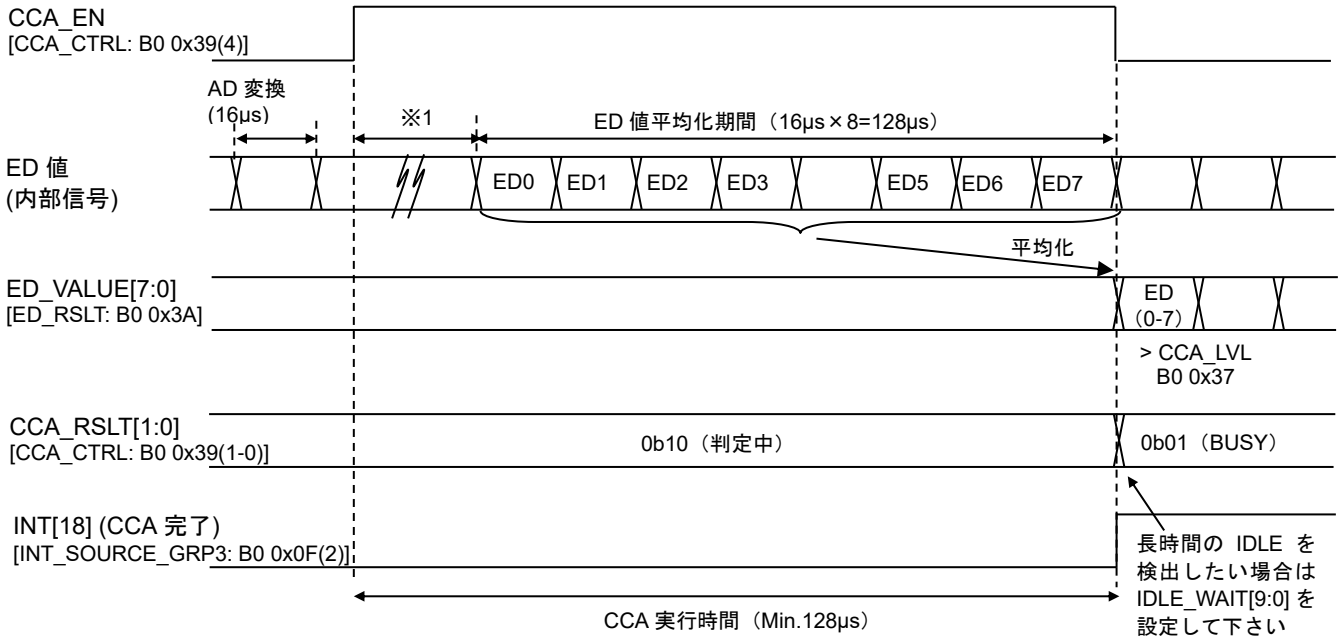
以下に通常モード時のタイムチャートを示します。

【条件】
ADC_CK_SEL([ADC_CLK_SET: B1 0x08(4)])=0b1 (2MHz)
ED_AVG[2:0] ([ED_CTRL: B0 0x41(2-0)])=0b011 (ED 値 8 回平均)
IDLE_WAIT[9:0]([IDLE_WAIT_L/H: B0 0x3C/3B(1-0)])=0b00_0000_0000 (IDLE 検出期間 0μs)

[IDLE 判定したケース]



[BUSY 判定したケース]



【ご注意】

※1) CCA 実行時に受信帯域を広げる必要がある場合(default は広げません)は、CCA_MASK_EN([CCA_MASK_SET: B2 0x7E(4)])に 0b1 を設定して、フィルタ安定化時間を有効にしてください。このときのフィルタ安定化待ち時間は AD 変換期間 1 回分の時間となります。本レジスタを有効とした場合、CCA 実行時に内部的に無入力状態へ一旦遷移し、その無入力状態はフィルタ安定化後、解除されます。

(2) 無限実効モード

無限実効モードはホスト CPU からの停止命令があるまで CCA を継続するモードです。CCA_EN(CCA_CTRL: B0 0x39(4)])=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5)])=0b1 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6)])=0b0 を設定している状態で RX_ON をすることで CCA(無限実行モード)が実行されます。

通常モードと同様に CCA の判定は[ED_RSLT: B0 0x3A]レジスタで表示される ED 値の平均値と[CCA_LVL: B0 0x37]レジスタで設定される CCA の閾値との大小比較で行われます。ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L:B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]レジスタの IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。CCA_IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

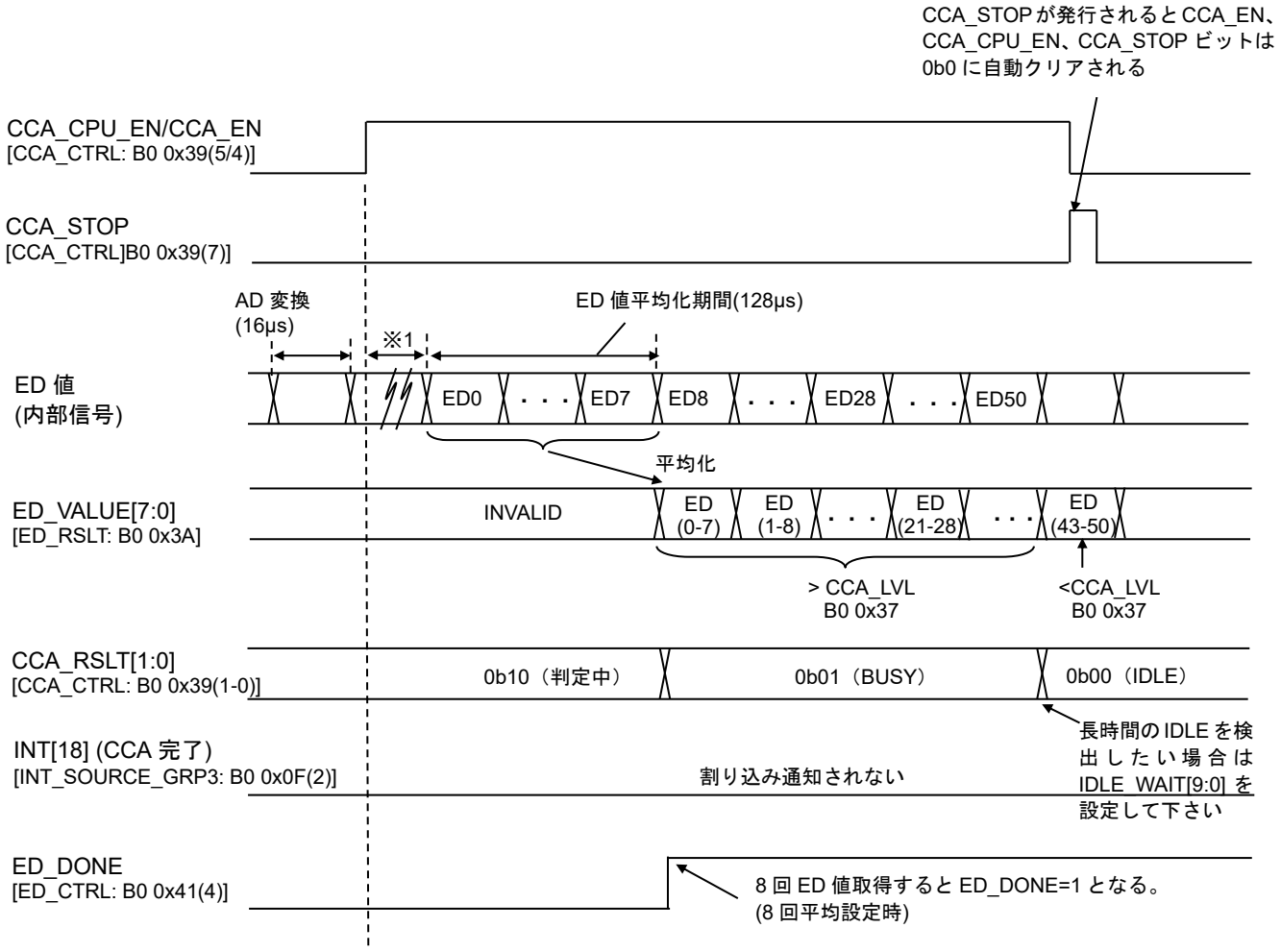
ED 値が[CCA_IGNORE_LVL: B0 0x36]レジスタで設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が CCA 閾値よりも大きい場合は BUSY 判定して CCA_RSLT[1:0] に 0b01 を設定しますが、ED 値の平均値が CCA 閾値よりも小さい場合は IDLE 判定せずに CCA_RSLT[1:0]に 0b11 を設定します。ED 値が[CCA_IGNORE_LVL: B0 0x36]レジスタを越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

無限実行モードでは、BUSY または IDLE を検出しても自動停止せず、CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 が書き込まれるまで CCA 動作を継続し、結果は ED 値取得される度に更新されます。このとき、CCA 完了割り込み(INT[18]: 割り込みグループ 3)は通知されません。

以下に無限実行モード時のタイムチャートを示します。

【条件】
ADC_CK_SEL([ADC_CLK_SET: B1 0x08(4)])=0b1 (2MHz)
ED_AVG[2:0]([ED_CTRL: B0 0x41(2-0)])=0b011 (ED 値 8 回平均)
IDLE_WAIT[9:0] ([IDLE_WAIT_L/H: B0 0x3C/3B(1-0)])=0b00_0000_0000 (IDLE 検出期間 0μs)

[BUSY→IDLE と遷移し、CCA_STOP で終了するケース]



【ご注意】
※1) CCA 実行時に通常受信時より帯域を広げる必要がある場合(default は広げません)、フィルタ安定化時間が必要となり、CCA_MASK_EN([CCA_MASK_SET: B2 0x7E(4)])に 0b1 を設定してください。このときのフィルタ安定化待ち時間は AD 変換期間 1 回分の時間となります。本レジスタを有効とした場合、CCA 実行時に内部的に無入力状態へ一旦遷移し、その無入力状態はフィルタ安定化後、解除されます。

(3) IDLE 検出モード

IDLE 検出モードは IDLE を検出するまで CCA を継続するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b0 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b1 を設定している状態で RX_ON をすることで CCA(IDLE 検出モード)が実行されます。

通常モードと同様に CCA の判定は[ED_RSLT: B0 0x3A]レジスタで表示される ED 値の平均値と[CCA_LVL: B0 0x37]レジスタで設定される CCA の閾値との大小比較で行われます。ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、[IDLE_WAIT_L]、[IDLE_WAIT_H]: B0 0x3B,0x3C]レジスタの IDLE_WAIT[9:0]で設定される IDLE 検出期間継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。CCA_IDLE_WAIT[9:0]の詳細動作は”長時間の IDLE 検出について”をご参照下さい。

IDLE 検出モードでは、IDLE を検出した場合のみ CCA 完了割り込み(INT[18]:割り込みグループ 3)が通知されます。また、IDLE を検出すると CCA_EN および CCA_IDLE_EN ビットが 0b0 に自動クリアされます。

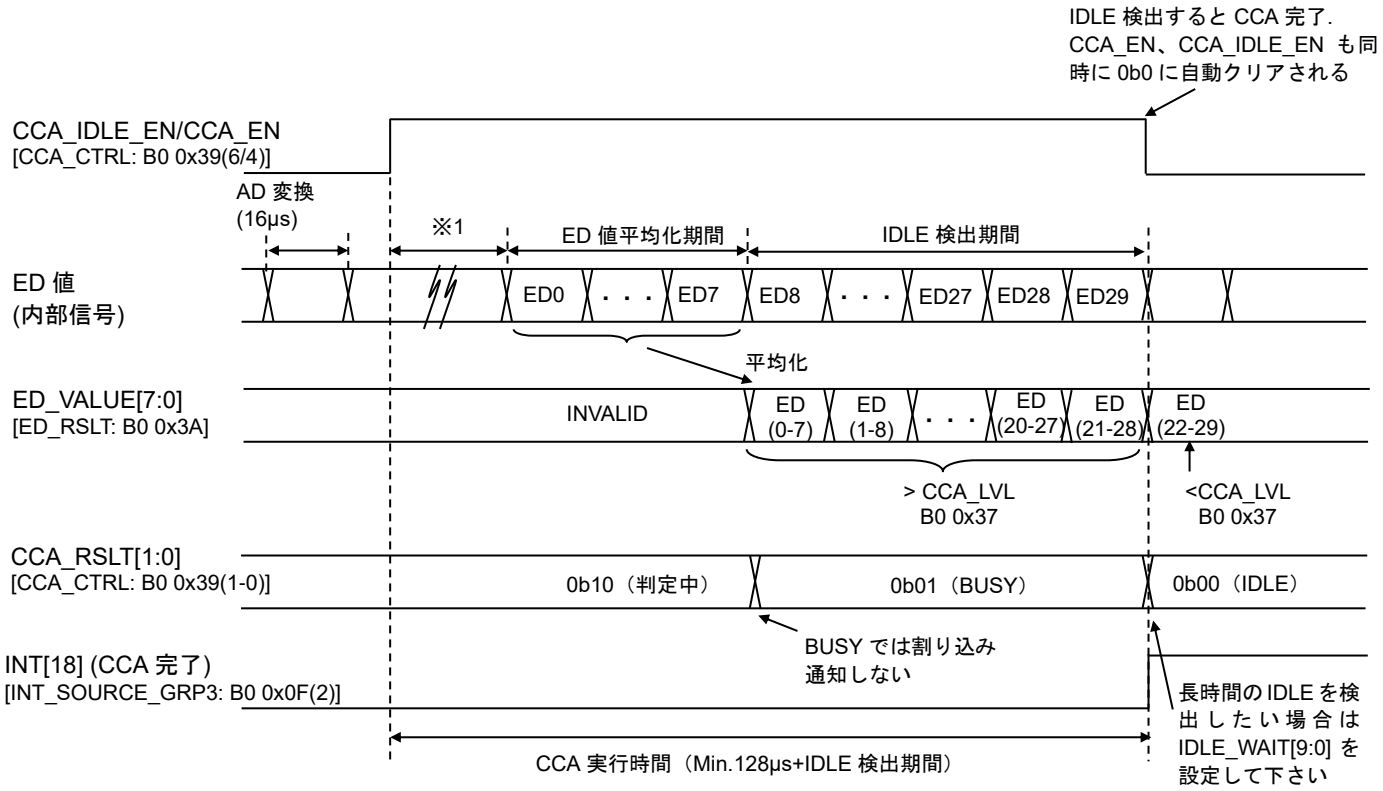
CCA 完了割込みをクリアすると、CCA_RSLT[1:0]は初期化(0b00)されます。CCA_RSLT[1:0]は CCA 完了割込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])をクリアする前に読み出して下さい。

ED 値が[CCA_IGNORE_LVL: B0 0x36]レジスタで設定される値を越えた場合、対象の ED 値が平均化対象である間は IDLE 判定を行いません。この時、ED 値の平均値が CCA 閾値よりも小さい場合においても IDLE 判定せず、CCA_RSLT[1:0]に 0b11 を表示し、対象の ED 値が平均化対象から外れて IDLE 判定されるまで CCA を継続します。ED 値が[CCA_IGNORE_LVL: B0 0x36]レジスタを越えた場合の詳細動作は”強入力発生時の IDLE 判定除外について”をご参照下さい。

以下に IDLE 検出モード時のタイムチャートを示します。

[BUSY 検出後、CCA 継続して IDLE 判定したケース]

【条件】
ADC_CK_SEL([ADC_CLK_SET: B1 0x08(4)])=0b1 (2MHz)
ED_AVG[2:0]([ED_CTRL: B0 0x41(2-0)])=0b011 (ED 値 8 回平均)
IDLE_WAIT[9:0]([IDLE_WAIT_L/H: B0 0x3C/3B(1-0)])=0b00_0000_0000 (IDLE 検出期間 0μs)



【ご注意】
※1) CCA 実行時に通常受信時より帯域を広げる必要がある場合(default は広げません)、フィルタ安定化時間が必要となり、CCA_MASK_EN([CCA_MASK_SET: B2 0x7E(4)])に 0b1 を設定してください。このときのフィルタ安定化待ち時間は AD 変換期間 1 回分の時間となります。本レジスタを有効とした場合、CCA 実行時に内部的に無入力状態へ一旦遷移し、その無入力状態はフィルタ安定化後、解除されます。

(4) 強入力発生時の IDLE 判定除外について

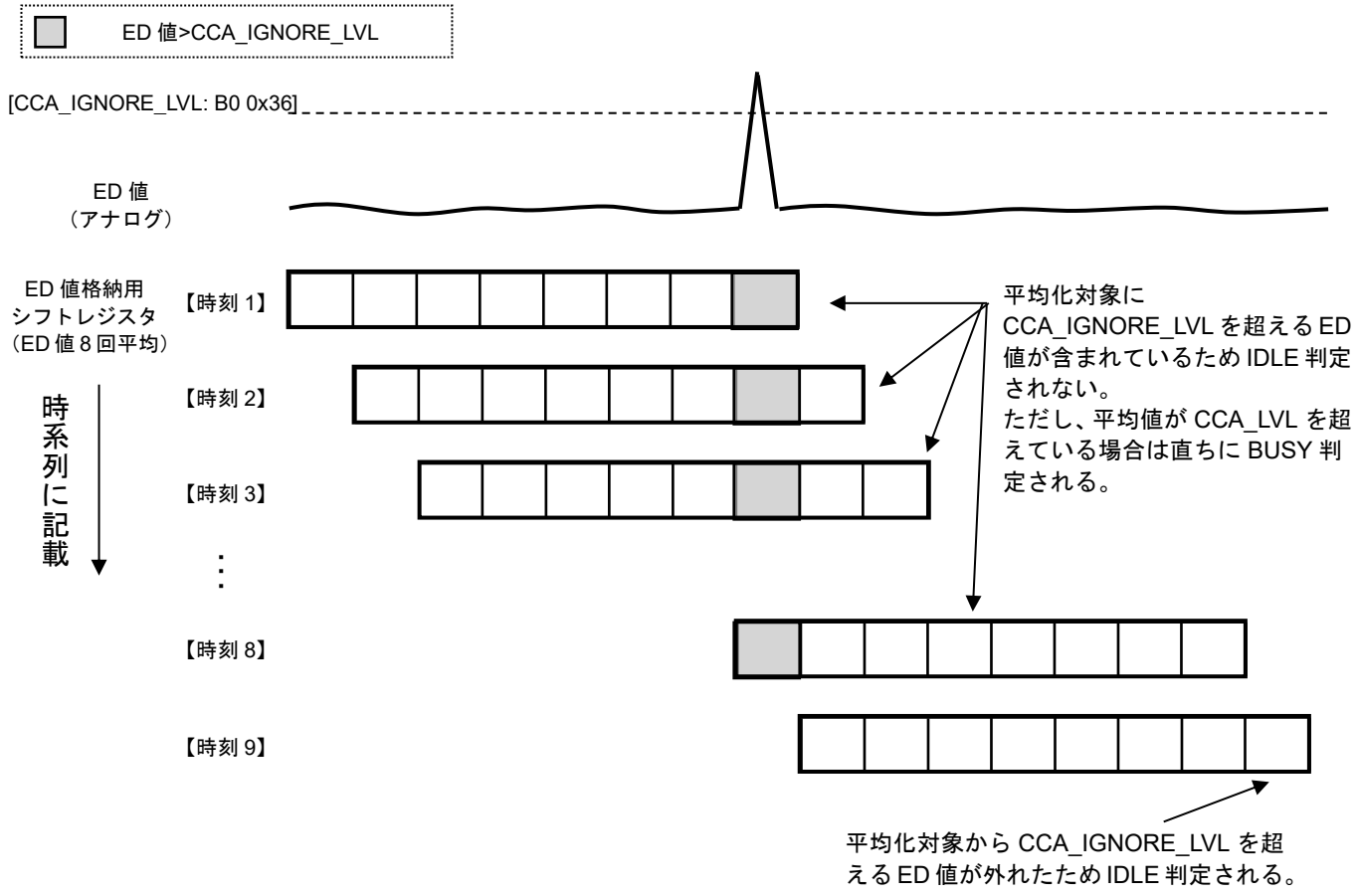
取得した ED 値が、[CCA_IGNORE_LVL: B0 0x36]レジスタで設定される値を超えた場合は、その ED 値が平均化対象である間は IDLE 判定を行いません。この強入力の ED 値を含む[ED_RSLT: B0 0x39]で表示される ED 値の平均値が CCA_TH([CCA_LVL: B0 0x37])で設定される CCA 閾値を超えた場合は"BUSY"と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。

また、この ED 値の平均値が CCA 閾値以下の場合は IDLE 判定を行わず、"判定中(判定除外の ED 値取得)"とし、CCA_RSLT に 0b11 を設定し、IDLE または BUSY 判定されるまで CCA を継続します。(IDLE 検出モードの場合は IDLE 判定されるまで、無限実行モードの場合は CCA_STOP([CCA_CTRL: B0 0x39(7)])が発行されるまで CCA を継続します)。

【ご注意】

CCA 完了割込み(INT[18]:割り込みグループ 3)は CCA 結果が IDLE または BUSY 判定された場合にのみ通知されます。従いまして、CCA_IGNORE_LVL を超えるデータが断続的に入力されるような環境下においては、IDLE とも BUSY とも判定されずに CCA が継続されることがあります。

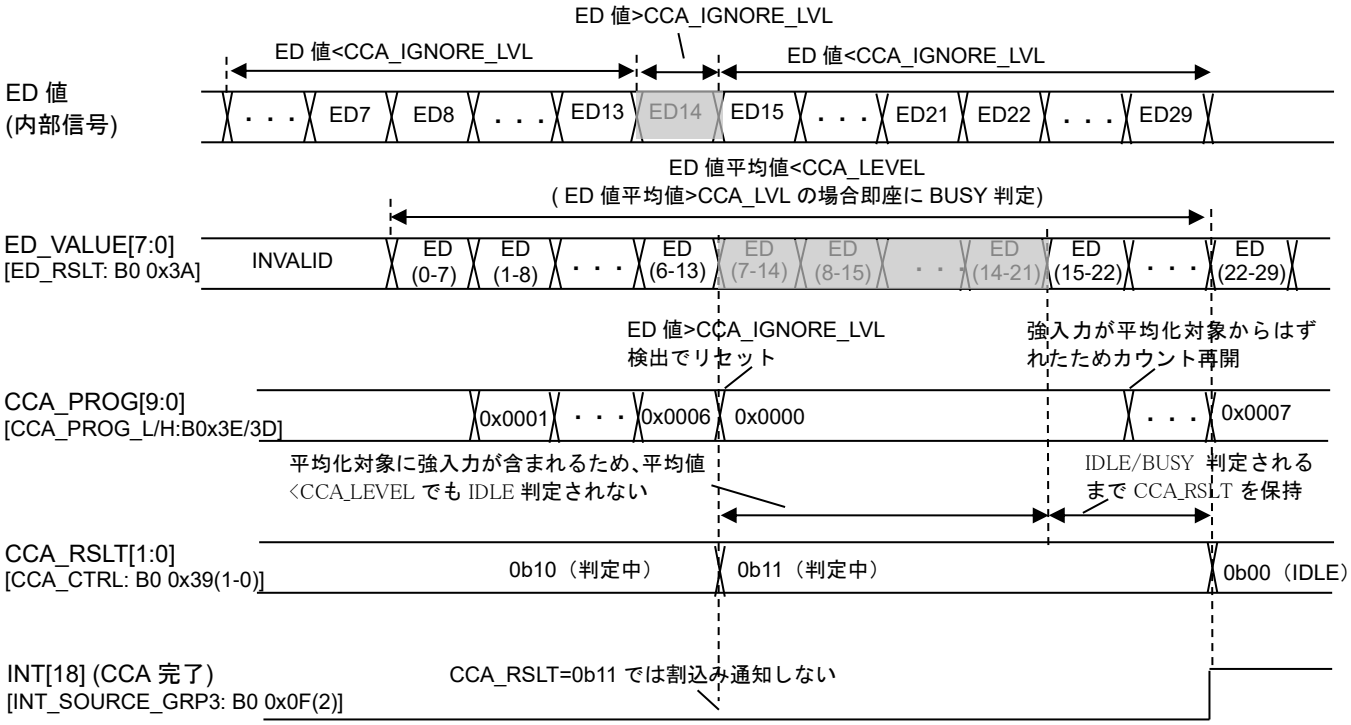
[強入力 ED 値取得時のイメージ図]



以下に強入力ED値取得時のタイムチャートを示します。

[IDLE_WAIT カウント中に強入力検出し、平均化対象から強入力が外れた後に IDLE 判定したケース]

【条件】
CCA通常モード
ADC_CK_SEL([ADC_CLK_SET: B1 0x08(4)])=0b1 (2MHz)
ED_AVG[2:0]([ED_CTRL: B0 0x41(2-0)])=0b011 (ED 値 8 回平均)
IDLE_WAIT[9:0]([IDLE_WAIT_L/H: B0 0x3C/3B(1-0)])=0b00_0000_0111(IDLE 検出期間 112μs)



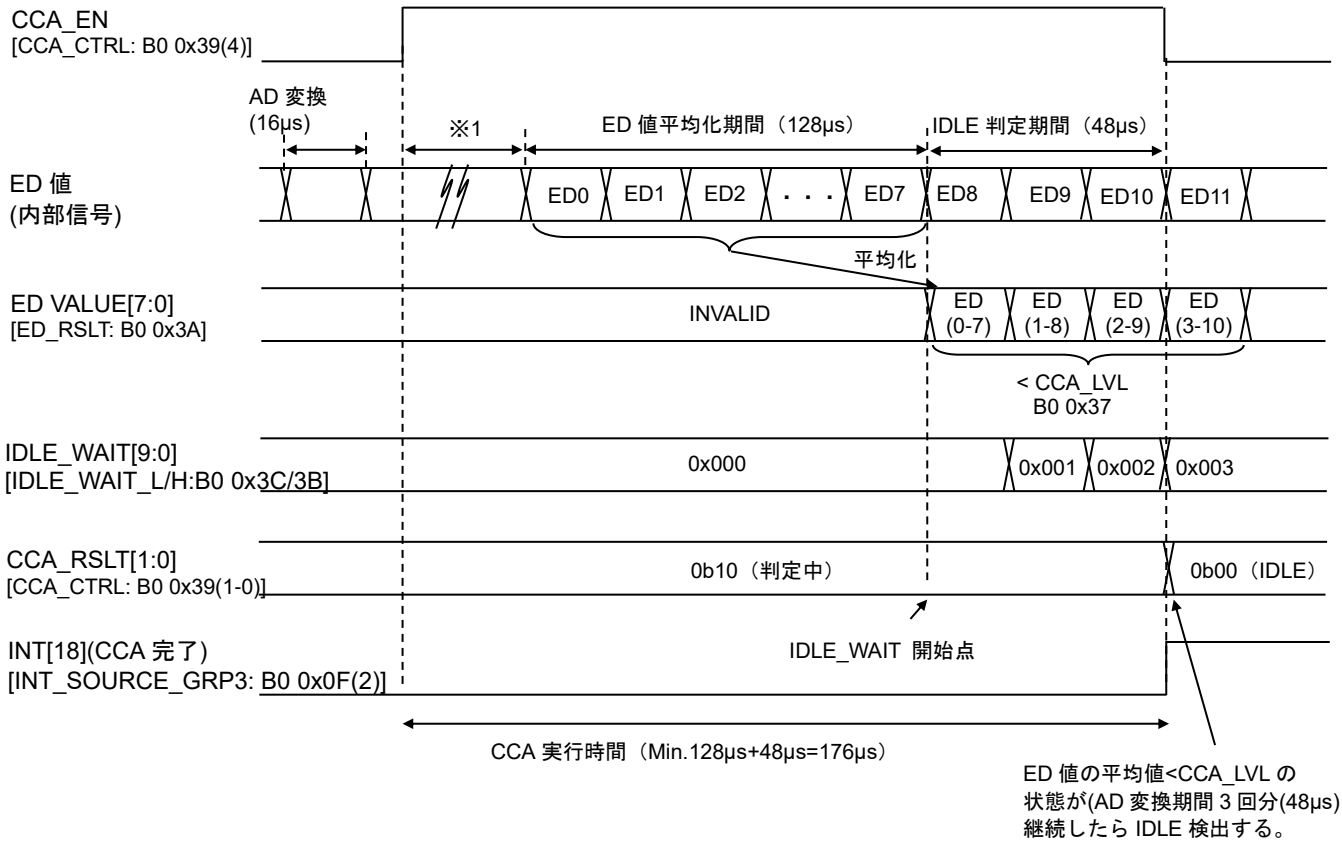
(5) 長時間の IDLE 検出について

長時間で CCA の IDLE 判定を行う場合は、IDLE_WAIT [9:0] ([IDLE_WAIT_L/H:B0 0x3C/3B(1-0)])で設定することができます。IDLE_WAIT [9:0]を設定することで平均化期間(AD 変換 16μs、8 回平均設定の場合 128μs)よりも長い期間の IDLE を検出することが可能です。本機能は、ED 値の平均値が CCA_TH([CCA_LVL: B0 0x37])で設定される CCA 閾値以下の状態が何度継続したかカウントし、継続回数が IDLE_WAIT [9:0]以上となった場合に IDLE 判定する機能です。ED 値の平均値が CCA 閾値)を越えた場合は IDLE_WAIT [9:0]期間を待たずに直ちに BUSY 判定します。

以下に IDLE_WAIT[9:0]を設定した時のタイムチャートを示します。

[ED 値 8 回平均で IDLE 判定したケース]

【条件】
CCA 通常モード
ADC_CK_SEL([ADC_CLK_SET: B1 0x08(4)])=0b1 (2MHz)
ED_AVG[2:0]([ED_CTRL: B0 0x41(2-0)])=0b011 (ED 値 8 回平均)
IDLE_WAIT[9:0]([IDLE_WAIT_L/H: B0 0x3C/3B(1-0)])=0b00_0000_0011 (IDLE 検出期間 48μs)

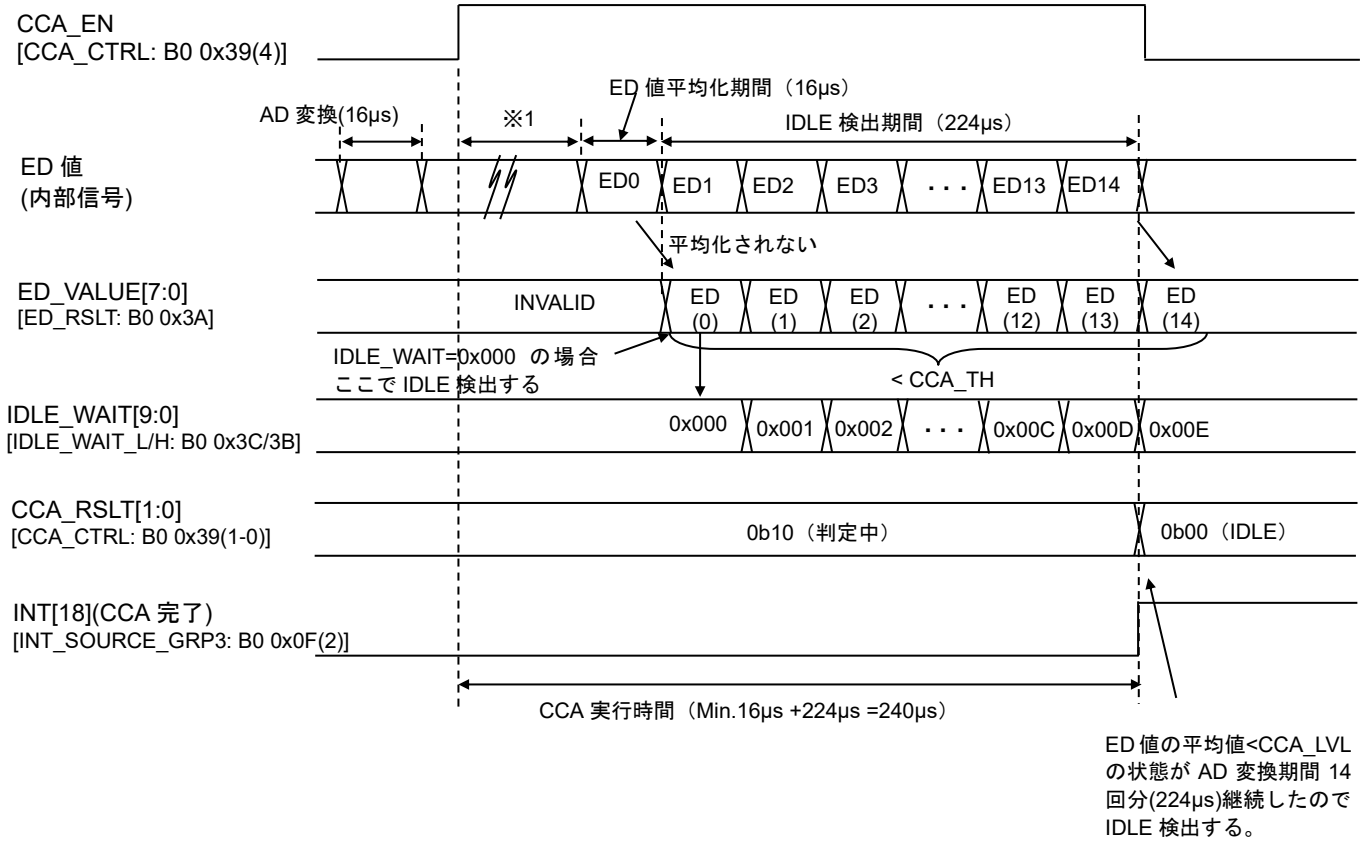


【ご注意】

※1) CCA 実行時に通常受信時より帯域を広げる必要がある場合(default は広げません)、フィルタ安定化時間が必要となり、CCA_MASK_EN([CCA_MASK_SET: B2 0x7E(4)])に 0b1 を設定してください。このときのフィルタ安定化待ち時間は AD 変換期間 1 回分の時間となります。本レジスタを有効とした場合、CCA 実行時に内部的に無入力状態へ一旦遷移し、その無入力状態はフィルタ安定化後、解除されます。

[ED 値 1 回平均で IDLE 判定したケース]

【条件】
CCA 通常モード
ADC_CK_SEL([ADC_CLK_SET: B1 0x08(4)])=0b1 (2MHz)
ED_AVG[2:0]([ED_CTRL: B0 0x41(2-0)])=0b000 (ED 値 1 回平均)
IDLE_WAIT[9:0]([IDLE_WAIT_L /H: B0 0x3C/3B(1-0)])=0b00_0000_1110(IDLE 検出期間 224μs)



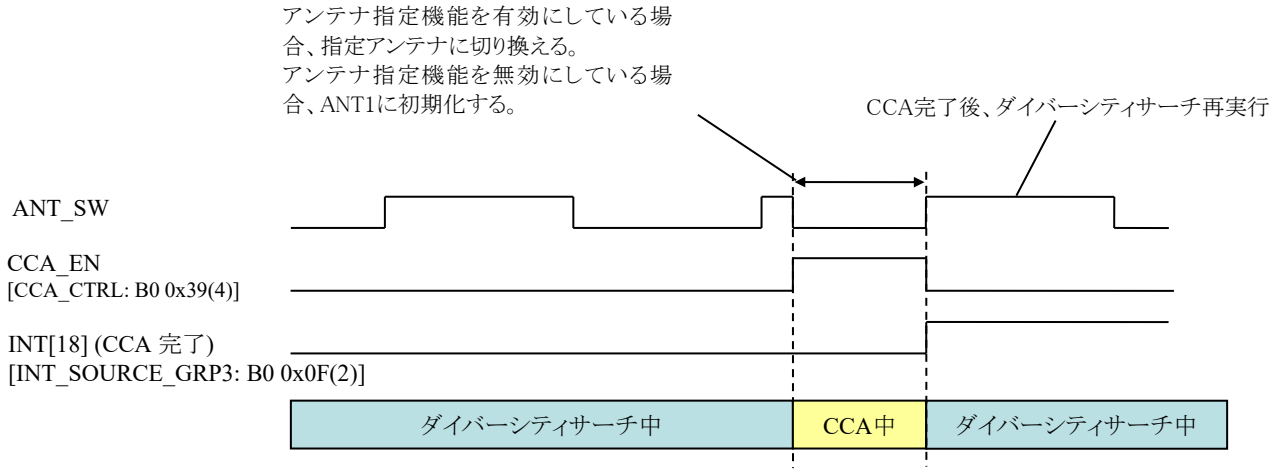
【ご注意】
※1) CCA 実行時に通常受信時より帯域を広げる必要がある場合(default は広げません)、フィルタ安定化時間が必要となり、CCA_MASK_EN([CCA_MASK_SET: B2 0x7E(4)])に 0b1 を設定してください。このときのフィルタ安定化待ち時間は AD 変換期間 1 回分の時間となります。本レジスタを有効とした場合、CCA 実行時に内部的に無入力状態へ一旦遷移し、その無入力状態はフィルタ安定化後、解除されます。

(6) ダイバーシティ使用時の CCA 実行について

(1)ダイバーシティサーチ中の CCA 実行動作

ダイバーシティサーチ中に CCA 実行指示した場合、ダイバーシティサーチを中止し、CCA が動作します。
CCA が動作すると、アンテナは初期値(※1)に固定され、次にダイバーシティサーチされるまで保持されます。ただし、RX_ANT_EN([ANT_CTRL: B0 0x4C(4)])に 0b1 を設定しアンテナ指定機能を有効にしている場合は、RX_ANT_([ANT_CTRL: B0 0x4C(5)])で指定したアンテナに固定されます。CCA 完了後は、ダイバーシティサーチが再実行されます。

※1：“ダイバーシティ機能【アンテナスイッチ制御】“のデフォルト設定に応じて ANT]ANT_SW / TRX_SW 信号が設定されます。



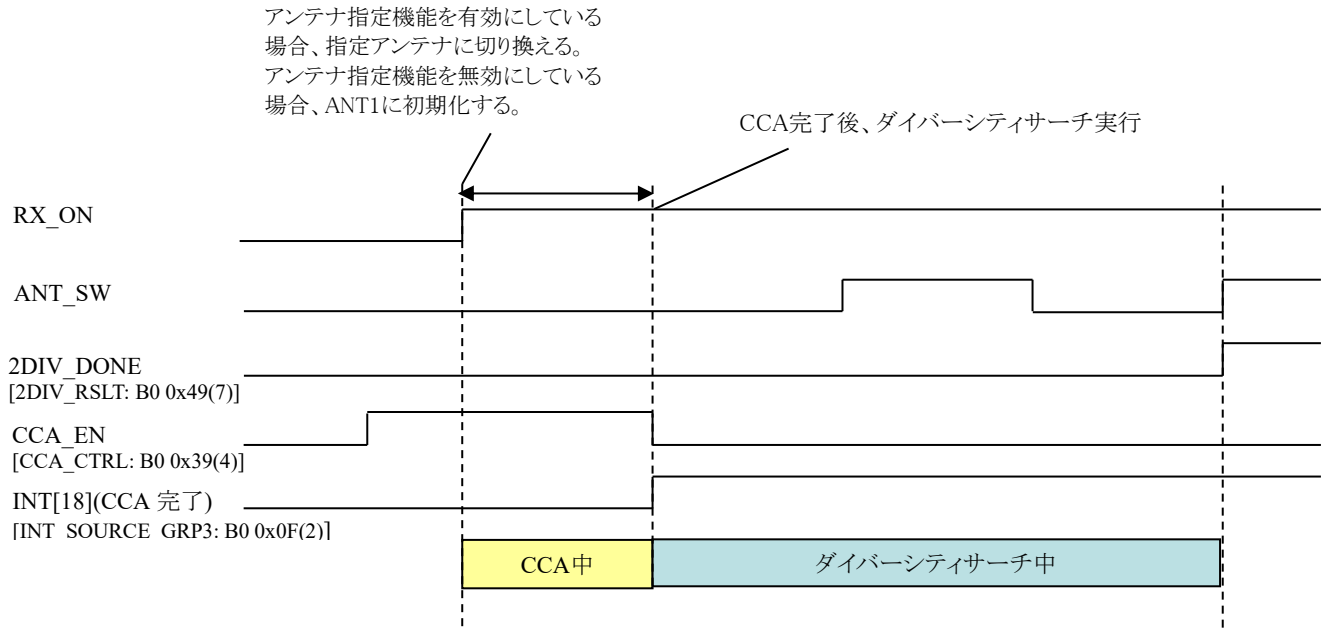
【ご注意】

CCA 中は受信動作が並行していますので、CCA 完了割込み(INT[13]：割り込みグループ 3)が通知されない場合でも、割り込みグループ 2 の SyncWord 検出割り込み(INT[13])、受信 FIFO アクセスエラー割込み(INT[12])、受信 Length エラー割り込み(INT[11])、CRC 検出エラー割込み(INT[9])、受信完了割込み(INT[8])や割り込みグループ 1 の FIFO-Full トリガ割込み(INT[5])が通知されることがあります。

ダイバーシティ機能詳細につきましては、”ダイバーシティ機能”をご参照下さい。

(2) ダイバーシティ ON 時、RX_ON 前に CCA 実行設定した場合の動作

RX_ON 遷移前にダイバーシティ ON 設定および CCA 実行設定した場合、RX_ON 遷移後、ダイバーシティサーチ動作せずに CCA が動作します。CCA 完了後、ダイバーシティサーチが実行されます。



(7) CCA 閾値設定方法について

CCA 閾値([CCA_LVL: B0 0x37]レジスタ)には検出したい入力レベルに相当する ED 値に、個体バラツキ、温度変動、アンテナ、整合回路での損失等を考慮し設定する必要があります。入力レベルと ED 値の関係は標準的には以下の式で表されます。

ED 値 = 255 / 70 * (107 + 入力レベル[dBm])

ただし、BPF 設定を変更して CCA 実行した場合、通常時より ED 値は大きくなります。この補正と上記バラツキ等を含めると CCA 閾値は以下のように設定してください。

CCA 閾値 = 255 / 70 * (107 + 入力レベル[dBm] - バラツキ - その他損失) + CCA 時補正

項目	値
バラツキ(個体、温度)	6dB
その他損失	アンテナ、整合回路等の損失
CCA 時補正	12@100kbps, 15@200kbps, 0@その他レート

例) 入力レベルの閾値を-75dBm に設定にする場合
条件:その他損失 1dB、100kbps

CCA 閾値 = 255 / 70 * (107 - 75 - 6 - 1) + 12
≒103
= 0x67

CCA 閾値が妥当かどうかの検証は、入力レベルを変化させる毎に CCA 実行し IDLE から BUSY になるレベルを確認することでできます。

●その他の機能

○データレート設定機能

(1)データレート変更方法
本 LSI は以下のレジスタ設定する任意のデータレートにて送受信可能です。
送信時･･･[TX_RATE_H: B1 0x02]および[TX_RATE_L: B1 0x03]レジスタ
受信時･･･[RX_RATE1_H: B1 0x04]、[RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]レジスタ

送信･受信時のデータレート設定は以下の式に従い設定されます。

【送信時】

送信データレート[bps] = round (26MHz / 13/ [TX_RATE[11:0]])

各データレートに対する推奨設定値を以下の表に示します。以下のレジスタ設定値は TX_DRATE[3:0]([DRATE_SET: B0 0x06(3-0)])を設定することにより、自動的に[TX_RATE_H: B1 0x02]、[TX_RATE_L: B1 0x03]レジスタに設定されます。

送信データレート[kbps]	[TX_RATE_H][TX_RATE_L] レジスタ設定値	データレート偏差 [%] *1
1.2	1667	-0.02
2.4	833	0.04
4.8	417	-0.08
9.6	208	0.16
32.768	61	0.06
50	40	0.00
100	20	0.00
200	10	0.00
300	7	3.17
400	5	0.00
500	4	0.00

*1 データレート偏差は、本 LSI に接続するマスタークロックの周波数偏差が 0ppm 時の値です。

【受信時】

受信データレート[bps] = round (26MHz / {RX_RATE1[11:0] * RX_RATE2[6:0])})

各データレートに対する推奨設定値を以下の表に示します。以下のレジスタ設定値は RX_DRATE[3:0]([DRATE_SET: B0 0x06(7-4)])を設定することにより、自動的に[RX_RATE1_H][RX_RATE1_L]および[RX_RATE2]レジスタに設定されます。

受信データレート[kbps]	[RX_RATE1_H][RX_RATE1_L] レジスタ設定値	[RX_RATE2] レジスタ設定値
1.2	169	0
2.4	85	0
4.8	42	0
9.6	21	0
32.768	11	72
50	8	65
100	4	65
200	5	26
300	3	29
400	2	32
500	2	26

(2)データレート変更に伴う設定

本 LSI では、RX_DRATE([DRATE_SET: B0 0x06(7-4)])と TX_DRATE([DRATE_SET: B0 0x06(3-0)])にてデータレートを選択できますが、データレートを変更した時には下記のレジスタ設定を変更する必要があります。

【ご注意】

1. 変更前後のデータレートの関係により設定値を変更する必要がない場合もありますが、ここでは関連する全レジスタを示します。設定値に関しては、それぞれのレジスタを参照してください。
2. 必ず TRX_OFF 状態で設定を変更してください。
3. データレート変更設定後、MODEM 機能リセット([RST_SET: B0 0x01])を実行してください。

パラメータ	レジスタ	
	名称	アドレス
データレート	DRATE_SET	B0 0x06
チャネル間隔	CH_SPACE_H	B1 0x23
	CH_SPACE_L	B1 0x24
周波数偏位(GFSK)	GFSK_DEV_H	B1 0x30
	GFSK_DEV_L	B1 0x31
周波数偏位(FSK)	FSK_DEV0_H/GFIL0	B1 0x32
	FSK_DEV0_L/GFIL1	B1 0x33
	FSK_DEV1_H/GFIL2	B1 0x34
	FSK_DEV1_L/GFIL3	B1 0x35
	FSK_DEV2_H/GFIL4	B1 0x36
	FSK_DEV2_L/GFIL5	B1 0x37
	FSK_DEV3_H/GFIL6	B1 0x38
	FSK_DEV3_L	B1 0x39
	FSK_DEV4_H	B1 0x3A
	FSK_DEV4_L	B1 0x3B
周波数偏位時間(FSK)	FSK_TIM_ADJ4	B1 0x3C
	FSK_TIM_ADJ3	B1 0x3D
	FSK_TIM_ADJ2	B1 0x3E
	FSK_TIM_ADJ1	B1 0x3F
	FSK_TIM_ADJ0	B1 0x40
IF 周波数設定	IF_FREQ_H	B0 0x54
	IF_FREQ_L	B0 0x55
CCA 時 IF 周波数	IF_FREQ_CCA_H	B0 0x56
	IF_FREQ_CCA_L	B0 0x57
BPF 係数	BPF_CO	B0 0x5C
CCA 時 BPF 係数	BPF_CO_CCA	B0 0x5D
CCA 時 IF 調整	IFF_ADJ_CCA_H	B0 0x60
	IFF_ADJ_CCA_L	B0 0x61
復調器調整 1	DEMOD_SET1	B1 0x57
復調器調整 2	DEMOD_SET2	B1 0x58
復調器調整 3	DEMOD_SET3	B1 0x59
復調器調整 4	DEMOD_SET4	B1 0x5A
復調器調整 5	DEMOD_SET5	B1 0x5B
復調器調整 6	DEMOD_SET6	B1 0x5C
復調器調整 7	DEMOD_SET7	B1 0x5D
復調器調整 8	DEMOD_SET8	B1 0x5E
復調器調整 9	DEMOD_SET9	B1 0x5F

○割り込み通知機能

本 LSI は割り込み通知機能を搭載しております。割り込みが発生すると割込み通知信号(SINTN)を Low にして通知します。割り込み要因は[INT_SOURCE_GRP1: B0 0x0D] [INT_SOURCE_GRP2: B0 0x0E] [INT_SOURCE_GRP3: B0 0x0F]レジスタの 3 つのグループに分かれています。また、各割り込みは[INT_EN_GRP1: B0 0x10] [INT_EN_GRP2: B0 0x11] [INT_EN_GRP3: B0 0x12]レジスタでマスクすることができます。割込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。出力設定は[GPIO1_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[EXTCLK_CTRL: B0 0x52]レジスタを参照してください。

【ご注意】
マスクされていない割込みが要因がひとつでも発生していると、SINTN は Low を維持します。

(1) 割り込み要因表
各グループの割り込み要因を下記にまとめます。

レジスタ	割り込み名	機能
INT_SOURCE_GRP1	INT[0]	クロック安定化完了割込み
	INT[1]	VCO キャリブレーション完了割込み/ FUSE アクセス完了割込み
	INT[2]	PLL ロック外れ割込み
	INT[3]	RF 状態遷移完了割込み
	INT[4]	FIFO-EMPTY 割込み
	INT[5]	FIFO-FULL 割込み
	INT[6]	ウェイクアップ割込み
	INT[7]	クロックキャリブレーション完了割込み
INT_SOURCE_GRP2	INT[8]	データ受信完了割込み
	INT[9]	CRC エラー割込み
	INT[10]	ダイバーシティサーチ完了割込み
	INT[11]	受信 Length エラー割込み
	INT[12]	受信 FIFO アクセスエラー割込み
	INT[13]	SyncWord 検出割込み
	INT[14]	Field チェック割込み
	INT[15]	Sync エラー割込み
INT_SOURCE_GRP3	INT[16]	データ送信 完了割込み
	INT[17]	データ送信要求受付完了割込み
	INT[18]	CCA 完了割込み
	INT[19]	送信 Length エラー割込み
	INT[20]	送信 FIFO アクセスエラー割込み
	INT[21]	予約
	INT[22]	汎用タイマ 1 割込み
	INT[23]	汎用タイマ 2 割込み

(2) 割り込み発生タイミング

各割込み通知において、各基点から割込み発生までの時間、または割込み発生タイミングを以下に示します。割込み通知待ちのタイムアウト処理は以下を参照してください。

【ご注意】
(1)下表中のビット周期の単位で表記されている数値は 100kbps 時の値となります。異なるデータレートの場合、適切なビット周期に置き換えてください。
(2)下表中の数値は下記フォーマットの送受信データを用いた場合です。

10 バイト	2 バイト	1 バイト	24 バイト	2 バイト
プリアンブル	SyncWord	Length	ユーザデータ	最終 CRC

(3)各割込み通知をマスク設定した場合でも本 LSI 内部に割込みを保持した状態となります。よって、割込みをクリアせずに割込み通知のマスク設定を解除した場合は割り込みが通知されます。

割込み通知		基点	基点から割込み発生までの時間 または、割込み発生タイミング
INT[0]	クロック安定化完了	RESETN 解除 (電源投入時)	50µs
		SLEEP 解除 （SLEEP 復帰時）	50µs
INT[1]	VCO キャリブレーション完了	VCO キャリブレーション実行開始	0.6ms～3.9ms
	FUSE アクセス完了	RESETN 解除	48µs
INT[2]	PLL ロック外れ検出	-	(送信時) PA イネーブル以降の送信中 (受信時) RX イネーブル以降の受信中
INT[3]	RF 状態遷移完了	TX_ON 命令	(IDLE 時) 210µs (受信時) 192µs
		RX_ON 命令	(IDLE 時) 119µs (送信時) 244µs
		TRX_OFF 命令	(送信時) 147µs (受信時) 4µs
		Force_TRX_OFF 命令	(送信時) 147µs (受信時) 4µs
INT[4]	FIFO-EMPTY	(送信) TX_ON 命令 (※1)	NRZ 符号化 Empty トリガレベルを 0x02 と設定していた場合 RF 起動(210µs)+35byte(プリアンブル～データ 22 バイト)×8bit ×110(ビット周期)=3010µs
		(受信) -	FIFO リードにより FIFO 残量がトリガレベルを下回った時
INT[5]	FIFO-FULL	(送信) -	FIFO ライトにより FIFO 使用量がトリガレベルを超した時
		(受信) SyncWord 検出	NRZ 符号化 Full トリガレベルを 0x05 と設定していた場合 6byte (Length～データ 5 バイト) ×8bit ×10µs(ビット周期)=480µs
INT[6]	ウェイクアップ完了	SLEEP 設定	ウェイクアップタイマ満了時 詳細は「ウェイクアップタイマ」を参照してください。
INT[7]	クロックキャリブレーション完了	キャリブレーション開始	キャリブレーションタイマ満了時 詳細は「低速クロック補正補助機能」を参照してください。
INT[8]	受信完了	SyncWord 検出	NRZ 符号化 27byte(Length～CRC)×8bit ×10(ビット周期)=2160µs))

(*1)FIFO に Length 分の送信データを書き込み完了した後、TX_ON 命令を発行し送信する場合

割込み通知		基点	基点から割込み発生までの時間 または、割込み発生タイミング
INT[9]	CRC エラー	SyncWord 検出	(FormatA/B)各 CRC 演算ブロック受信完了時 (FormatC)受信完了時
INT[10]	ダイバーシティサーチ完了	-	ダイバーシティイネーブル設定状態での SyncWord 検出時
INT[11]	受信 Length エラー	SyncWord 検出	80µs(L-field 1 バイト時) 160µs(L-field 2 バイト時)
INT[12]	受信 FIFO アクセスエラー	-	(1)FIFO の読み出しが足らずにオーバーフローが発生した時 (2)FIFO を読み出し過ぎアンダーフローが発生した時
INT[13]	SyncWord 検出	-	SyncWord 検出時
INT[14]	Field チェック	-	Field チェックにより一致または不一致を検出した時
INT[15]	Sync エラー	-	SyncWord 検出以降の受信中に同期が外れた時 (RXDIO_CTRL[1:0] ([DIO_SET: B0 0x0C(7-6)])に 0b00 または 0b11 設定時)
INT[16]	送信完了	TX_ON 命令 (*1)	RF 起動+[送信データ数+3](ビット)後 =210µs+(39byte ×8bit+3)x 10µs (ビット時間)=3360µs 後
INT[17]	データ送信要求受付完了	-	Length 分のデータを全て送信 FIFO にライト完了したとき (FAST_TX モードを使用し、FIFO トリガによりデータ書き足しを行う場合は送信中になります)
INT[18]	CCA 完了	CCA 実行開始	(1)通常モード (ED 値平均回数+ IDLE_WAIT 設定([IDLE_WAIT_H/L: B0 0x3B/3C]))×AD 変換期間 (2) IDLE 検出モード ○IDLE 判定の場合 (ED 値平均回数+ IDLE_WAIT 設定([IDLE_WAIT_H/L: B0 0x3B/3C]))×AD 変換期間 ○BUSY 判定の場合 (ED 値平均回数)×AD 変換期間 AD 変換期間は ADC_CLK_SET([ADC_CK_SEL: B1 0x08(4)])で切替可能です。 AD クロック周波数= 17.7µs(1.73MHz) 16µs(2MHz) 詳細は「CCA(Clear Channel Assesment)機能」を参照してください。
INT[19]	送信 Length エラー	-	[TX_PKT_LEN_H/L: B0 0x7A/7B]レジスタへの Length 値設定時
INT[20]	送信 FIFO アクセスエラー	-	(1) 前パケットの送信完了前に、次パケットのデータを送信 FIFO に書き込んだ時 (2)送信 FIFO の書き足し時にオーバーフローが発生した時 (3)送信中に送信 FIFO に送信すべきデータがなくなった時
INT[21]	予約	-	-
INT[22]	汎用タイマ 1	タイマ開始	汎用タイマ 1 満了時 汎用タイマ用クロック周期 × 分周設定([GT_CLK_SET: B0 0x33]) × 汎用タイマ間隔設定([GT1_TIMER: B0 0x34]) 詳細は「汎用タイマ」を参照してください。
INT[23]	汎用タイマ 2	タイマ開始	汎用タイマ 2 満了時 汎用タイマ用クロック周期 × 分周設定([GT_CLK_SET: B0 0x33]) × 汎用タイマ間隔設定([GT2_TIMER: B0 0x35]) 詳細は「汎用タイマ」を参照してください。

(*1)FIFO に Length 分の送信データを書き込み完了した後、TX_ON 命令を発行し送信する場合

(3) 割り込みクリア条件

各割込みのクリア条件を以下に示します。割込みをクリアする手順として、割込み通知マスク後に割込みクリアすることを推奨いたします。

割込み通知		割込みクリア可能条件
INT[0]	クロック安定化終了	割込み発生後
INT[1]	VCO キャリブレーション完了 /FUSE アクセス完了	割込み発生後
INT[2]	PLL ロック外れ検出	割込み発生後
INT[3]	RF 状態遷移完了	割込み発生後
INT[4]	FIFO-EMPTY	割込み発生後 （次の EMPTY トリガ発生タイミングまでにクリア）
INT[5]	FIFO-FULL	割込み発生後 （次の FULL トリガ発生タイミングまでにクリア）
INT[6]	ウェイクアップ完了	割込み発生後
INT[7]	クロックキャリブレーション	割込み発生後
INT[8]	受信完了	割込み発生後
INT[9]	CRC エラー	割込み発生後
INT[10]	ダイバーシティサーチ完了	データ受信完了通知（INT[8]）発生後、データ受信完了通知割込みクリアとともにクリア ※データ受信中はクリア不可です。
INT[11]	受信 Length エラー	割込み発生後
INT[12]	受信 FIFO アクセスエラー	割込み発生後 （次のパケット受信前までにクリア）
INT[13]	SyncWord 検出	割込み発生後
INT[14]	Field チェック	割込み発生後
INT[15]	Sync エラー	割込み発生後
INT[16/]	送信完了	割込み発生後
INT[17]	データ送信要求受付完了	割込み発生後
INT[18]	CCA 完了	割込み発生後 ※ただし、割り込みクリアにより CCA 結果もクリアされます。
INT[19]	送信 Length エラー	割込み発生後
INT[20]	送信 FIFO アクセスエラー	割込み発生後
INT[21]	予約	–
INT[22]	汎用タイマ 1	割込み発生後
INT[23]	汎用タイマ 2	割込み発生後

○温度表示機能

本 LSI は、温度情報を表示する機能があります。温度情報を表示するためには A_MON 端子(ピン#23)と GND 間に 75kΩの抵抗を接続する必要があります。この温度情報は A_MON 端子(ピン#23)でアナログ出力として、さらに[TEMP: B1 0x09] レジスタでデジタル出力を表示することができます。このアナログ出力とデジタル出力の切り替えは[MON_CTRL: B0 0x4D] レジスタで設定できます。

【ご注意】

1. TEMP_OUT([MON_CTRL: B0 0x4D(4)])と TEMP_ADC_OUT([MON_CTRL: B0 0x4D(5)])を同時に 0b1 に設定しないでください。正しい値が読めなくなります。
2. デジタル出力設定(TEMP_ADC_OUT=0b1)にすると正常に受信できなくなります。受信時には TEMP_ADC_OUT=0b0 に設定してください。

【アナログ出力】

本 LSI の内部に電流発生回路が搭載され、その電流は A_MON 端子(ピン#23)に接続した 75kΩに流れます。このときの端子の電圧情報で温度情報が取得できます。

電流発生回路より発生する電流は、標準で 25℃の時に 10uA となり、ある温度における電流は次式で求められます。

Itemp = (273+ Temp) / (273+25) x 10 (uA)

従って、75kΩに接続されている場合、A_MON 端子の電圧と温度の関係は次式のようになります。

Vamon = (273+ Temp) / (275+25) x 10E−6 x 75000

温度が −40℃～ 85℃の時には、 Vamon は、0.59V～0.9V の値をとります。
また、取得した電圧値より、温度は次で求められます。

Temp = Vamon x 397.3 − 273

【デジタル出力】

デジタル出力では、上記の電圧を 6bit のADCで変換し内部で 4 サンプル分の加算して 8bit として[TEMP: B1 0x09] レジスタで表示します。 下位 2bit を除いた、上位 6bit で温度情報の平均値を示すことになります。
また、温度情報は約 16μs([ADC_CLK_SET: B1 0x08] レジスタで 1.73MHz が選択されている場合は 18.5μs)毎に更新されます。

○低速クロック補正補助機能

本 LSI は、ウェイクアップタイマ用クロック(外部入力、内蔵 RC 発振回路出力)の周波数を調整するための補助機能として、低速クロック周波数のずれを検出する機能を持っています。本機能は以下のレジスタにより設定、使用することができます。本機能により検出したウェイクアップタイマ用クロック周波数のずれを考慮し、ウェイクアップタイマ間隔設定([WUT_INTERVAL_H/L: B0 0x2F/0x30])または動作継続タイマ間隔設定([WU_DURATION: B0 0x31])を調整することで、より正確なタイマ動作をさせることが可能となります。

設定	レジスタ
周波数ずれ検出用 クロック周波数設定	[CLK_CAL_SET: B0 0x70]
クロックキャリブレーション時間	[CLK_CAL_TIME: B0 0x71]
クロックキャリブレーション結果表示	[CLK_CAL_H: B0 0x72]および[CLK_CAL_L: B0 0x73]

本機能は、ウェイクアップタイマ用低速クロック周期間を LSI 内部の高精度、高速クロックによりカウントを行い、カウント結果を[CLK_CAL_H/L: B0 0x72/0x73]レジスタに表示します。上記設定とカウント数との関係は以下の通りとなります。

高速クロックカウント数 = {ウェイクアップタイマ用クロック周期([SLEEP/WU_SET:B0 0x2D(2)]) ＊
キャリブレーション時間設定([CLK_CAL_TIME：B0 0x71(5-0)])} /
{マスタークロック周期(26MHz) / クロック分周設定([CLK_CAL_SET: B0 0x70(7-4)])}

このときの、キャリブレーション時間は下式となります。

クロックキャリブレーション時間[s] = ウェイクアップタイマ用クロック周期 ＊ キャリブレーション時間設定

(ウェイクアップタイマ補正例)
内部高速クロックの分周設定なし、キャリブレーション時間 10 サイクル、ウェイクアップタイマ設定 1000(0x3E8)を設定した場合
条件: ウェイクアップタイマ用クロック周波数 = 32.768kHz
検出用クロック分周設定 CLK_CAL_DIV[3:0] ([CLK_CAL_SET: B0 0x70(7-4)])= 0b0000
キャリブレーション時間設定[CLK_CAL_TIME] = 0x0A
ウェイクアップタイマ設定 [WUT_INTERVAL:B0 0x2F,30] = 0x03E8

理想的な高速クロックカウント数は、
高速クロックカウント数 = (1/32.768kHz) ＊ 10 / (1/26MHz)
= 7934(0x1EFE)

ここで、[CLK_CAL_H/L:B0 0x72,73]レジスタで 0x1E17(7703)を得た場合、
カウンタズレ値＝ 7703 - 7934 ＝-231
周波数ズレ＝1/[{1/32.768kHz + (- 231) / 10 ＊ 1/26MHz}- 1/32.768kHz]= 0.983 kHz
となり、低速クロック周波数誤差が+3%であることが分かります。この場合、ウェイクアップタイマ用カウンターの補正値(C)は、

C= ウェイクアップタイマ設定値([WU_INTERVAL_H/L:B0 0x2F,30]) ＊ 周波数ズレ / 32.768kHz
= 1000 ＊ 0.983kHz / 32.768kHz
= 30

ウェイクアップタイマ設定値＝1000 + 30 = 1030 = 0x0406 を設定することで、32.768kHz で設定しようとしたタイマ時間に近づきます。

【ご注意】
キャリブレーション時間が短い場合やクロック分周設定値が大きく、高速クロックカウントの時間分解能が粗い場合、キャリブレーション精度が低くなります。

■LSI 調整項目と調整方法

●PA の調整

ML7406 では、1mW用と 20mW 用(10mW 兼用)の出力回路を有しており、PA_MODE[1:0]([PA_MODE: B0 0x67(5-4)])でいずれかの回路が選択ができます。

PA_MODE[1:0]	用途
0b00	1mW
0b01	10mW
0b10	20mW
0b11	使用禁止

各々の出力回路は以下の 3 つのレジスタにより、出力電力が調整されます。

粗調整用 1.　PA レギュレータ電圧粗調整用　[PA_MODE: B0 0x67(3-0)]　16 階調
粗調整用 2.　PA 出力アンプゲイン調整　[PA_ADJ: B0 0x69(3-0)]　16 階調
微調整用.　PA レギュレータ電圧微調整用　[PA_REG_FINE_ADJ: B0 0x68(4-0)]　32 階調

粗調整1. PA レギュレータ電圧粗調整

PA レギュレータ電圧を調整することで、出力電力を調整します。
ただし PA レギュレータ電圧値は、[VDD_PA 印加電圧 － 0.3V] 以下となるように設定してください。

PA_REG[3:0] ([PA_MODE: B0 0x67])	PA レギュレータ電圧[V]
0b0000	1.20
0b0001	1.32
0b0010	1.44
0b0011	1.56
0b0100	1.68
0b0101	1.80
0b0110	1.92
0b0111	2.04
0b1000	2.16
0b1001	2.28
0b1010	2.40
0b1011	2.52
0b1100	2.64
0b1101	2.76
0b1110	2.88
0b1111	3.00

粗調整 2. PA 出力アンプゲイン調整

出力アンプのゲインを調整することで出力電力を調整します。調整ステップは 0.4dB～1.5dB です。
[PA_ADJ: B0 0x69]=0x0F： 出力アンプゲイン最大
[PA_ADJ: B0 0x69]=0x00： 出力アンプゲイン最小

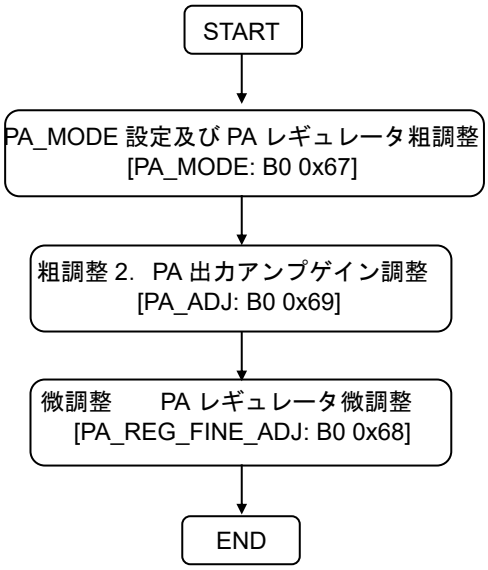
微調整. PA レギュレータ電圧微調整

PA レギュレータ電圧を微調整することで、出力電力を微調整します。調整ステップは 0.2dB 以下です。
[PA_REG_FINE_ADJ B0 0x68]=0x1F：最大
[PA_REG_FINE_ADJ B0 0x68]=0x00：最小

【ご注意】

各出力モードで、効率が最大となるマッチング回路は異なります。

【出力電力調整のフロー】

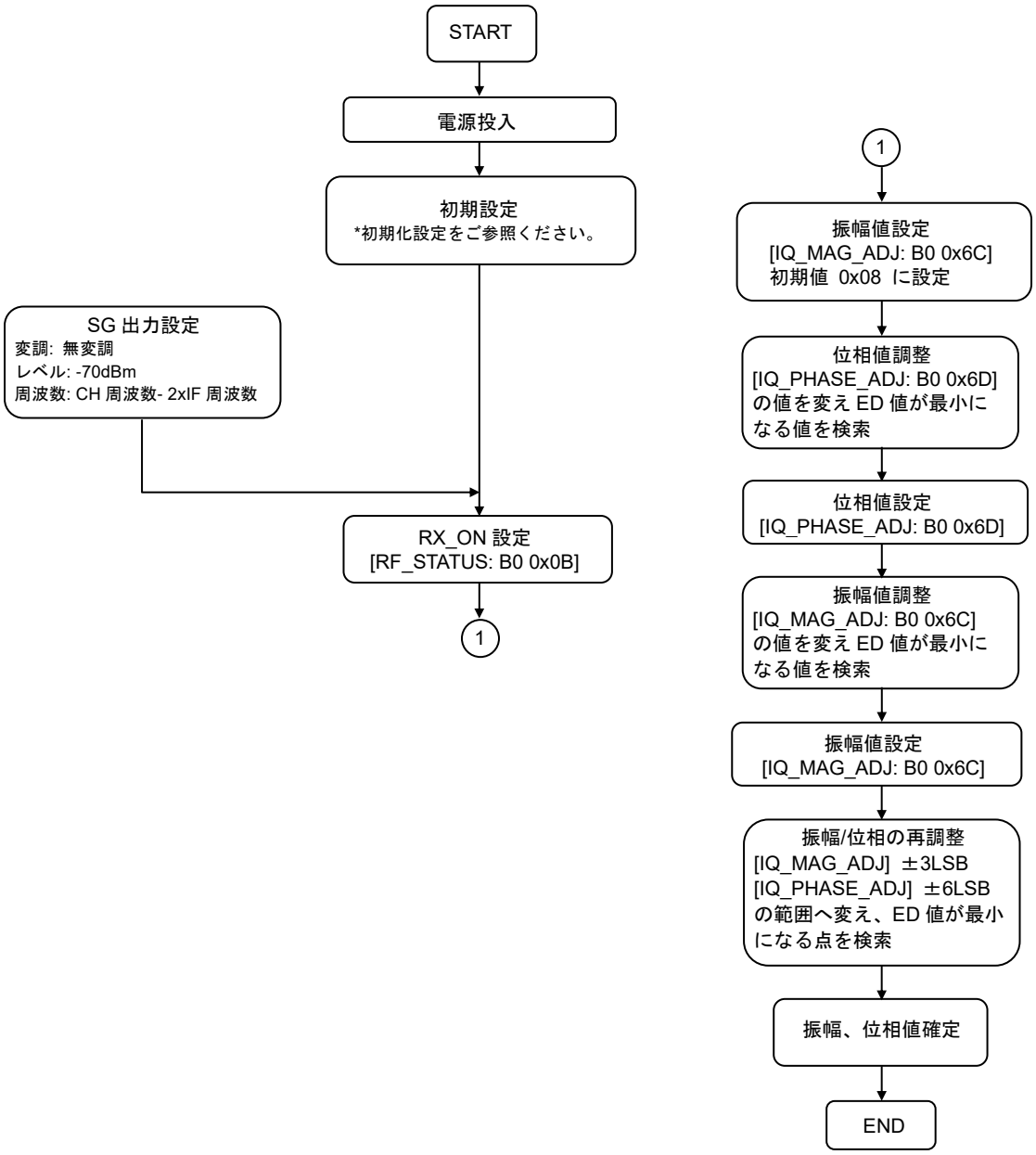

START
PA_MODE 設定及び PA レギュレータ粗調整
[PA_MODE: B0 0x67]
粗調整 2.　PA 出力アンプゲイン調整
[PA_ADJ: B0 0x69]
微調整　　PA レギュレータ微調整
[PA_REG_FINE_ADJ: B0 0x68]
END

●I/Q の調整

バンドパスフィルタへ入力する IQ 信号のバランスを調整することによりイメージ除去比を調整することができます。調整は以下の手順で実施することができます。

1. SG よりイメージ周波数の信号をANT端子から入力します。
   入力信号源: 無変調波
   入力周波数: チャネル周波数 - (2×IF 周波数)
   100kbps の通常モードでは IF 周波数は 720kHz:「IF 周波数の設定」を参照してください。
   入力レベル: −70dBm
2. RX_ON 状態に設定して、[IQ_MAG_ADJ: B0 0x6C]および[IQ_PHASE_ADJ: B0 0x6D]レジスタを調整しながら ED 値[ED_RSLT: B0 0x3A] が最小になる設定値を探します。

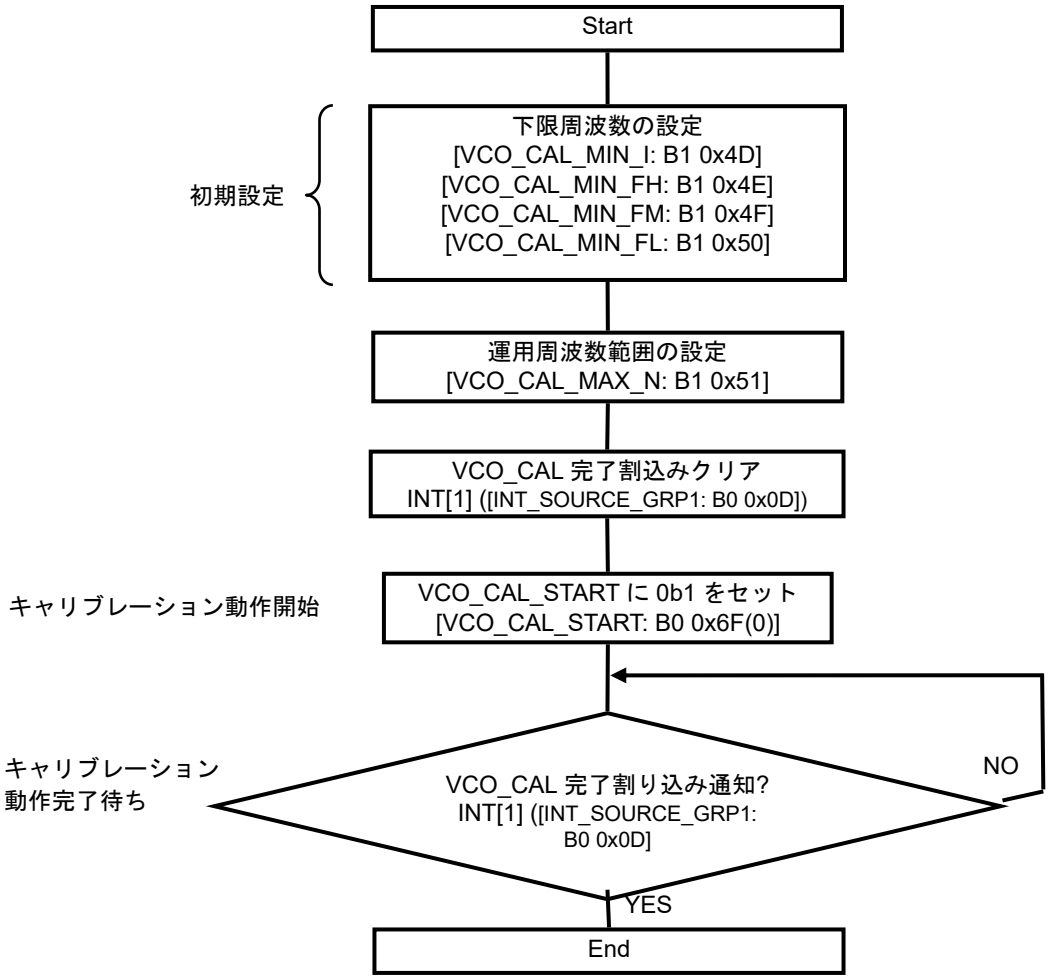
【I/Q 調整フロー】



●VCO の調整

VCO 動作マージンを補償するために、送信/受信毎および設定周波数毎に最適な容量補正値を設定する必要があります。この容量補正値は VCO キャリブレーションの実行により取得することができます。
起動時やリセット時等にあらかじめ VCO キャリブレーションを実行することで、送信/受信毎に運用周波数範囲の下限/上限における 2 点の容量補正値を取得しておき、運用時にはこれらの容量補正値を元に、設定周波数での最適な容量補正値を LSI 内部で自動計算して使用します。

【VCO 調整フロー】
起動時およびリセット時の容量補正値の取得の流れを下記に示します。



【ご注意】
VCO キャリブレーションの実行は必ず IDLE 状態で行ってください。

VCO キャリブレーションの実行には 0.6ms～3.9ms 必要です。
完了後は以下のレジスタにそれぞれの条件の容量補正値が保存されます。
下限周波数での容量補正値: [VCAL_MIN: B1 0x52]
上限周波数での容量補正値: [VCAL_MAX: B1 0x53]

実際の運用時には、容量補正値から設定された周波数(チャネル)に最適な容量補正値を計算して適用されます。計算後の値は[VCO_CAL: B0 0x6E]レジスタに表示されます。

なお、事前の評価段階で以下のレジスタの値を MCU 側のメモリで保持し、起動時やリセット時に保持した値をレジスタに設定することで、キャリブレーション動作を省略することができます。

・保持しておくべきレジスタ
[VCO_CAL_MIN_I: B1 0x4D]
[VCO_CAL_MIN_FH: B1 0x4E]
[VCO_CAL_MIN_FM: B1 0x4F]
[VCO_CAL_MIN_FL: B1 0x50]]
[VCO_CAL_MAX_N: B1 0x51]
[VCAL_MIN: B1 0x52]
[VCAL_MAX: B1 0x53]

【ご注意】
1. 下限周波数には、実際に運用する下限周波数に対して 2.2MHz 以上低い値を設定してください。
2. 上限値の設定は、実際に運用する周波数範囲が完全に含まれるように設定してください。
3. チャネル設定の変更などで、キャリブレーション実行時に設定した周波数範囲外の周波数を使用する場合は、再度適切な周波数範囲を設定して、キャリブレーションを再実行してください。
4. PLL ロック外れが発生した場合、PLL ロック外れ検出割込み(INT2[02]: 割込みグループ 1)が発生します。PLL ロック判定設定(PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)])における PLL ロック外れが発生したときの検出タイミングと割込み発生後の LSI 動作の関係は以下の通りとなります。

・PLL ロック外れが発生した場合

LSI 状態	PLL ロック外れ監視期間	PLL ロック判定設定と PLL ロック外れ検出割込み発生後の ML7406 動作	
		PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b1	PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b0
送信	PA_ON="H"の期間	割込み発生し、強制送信停止	割込み発生し、送信継続
受信	RX イネーブル="H"の期間	割込み発生し、受信継続	割込み発生し、受信継続

○VCO 下限周波数の設定

VCO 下限周波数は「チャネル周波数の設定」で示した I を[VCO_CAL_MIN_I: B1 0x4D]レジスタで設定し、F を MSB から[VCO_CAL_MIN_FH: B1 0x4E]、[VCO_CAL_MIN_FM: B1 0x4F]、[VCO_CAL_MIN_FL: B1 0x50]レジスタの順で設定します。

例)運用下限周波数を 870MHz で使用する場合、設定値はそれよりも 2.2MHz 以上低い値とする必要があるため、例では下限周波数 866MHz、マスタークロック周波数 26MHz とします。

I = 866MHz/26MHz の整数部分 = 33(0x21)
F =(866MHz/26MHz−33) ＊ 2^{20} の整数部分 = 12905550 (0xC4EC4E)

それぞれのレジスタへの設定値は以下の通りです。
[VCO_CAL_MIN_I] = 0x21
[VCO_CAL_MIN_FH] = 0xC4
[VCO_CAL_MIN_FM] = 0xEC
[VCO_CAL_MIN_FL] = 0x4E

○VCO 上限周波数の設定

VCO 上限周波数は、下限周波数設定値と VCO_CAL_MAX_N[3:0]([VCO_CAL_MAX_N: B1 0x51(3-0)])により、下記に示す計算式にて算出されます。

VCOキャリブレーション上限周波数=VCOキャリブレーション下限周波数（B1 0x4D-0x50)＋⊿F(B1 0x51)

⊿FはVCO_CAL_MAX_N[3:0]により、以下の通り設定されます。

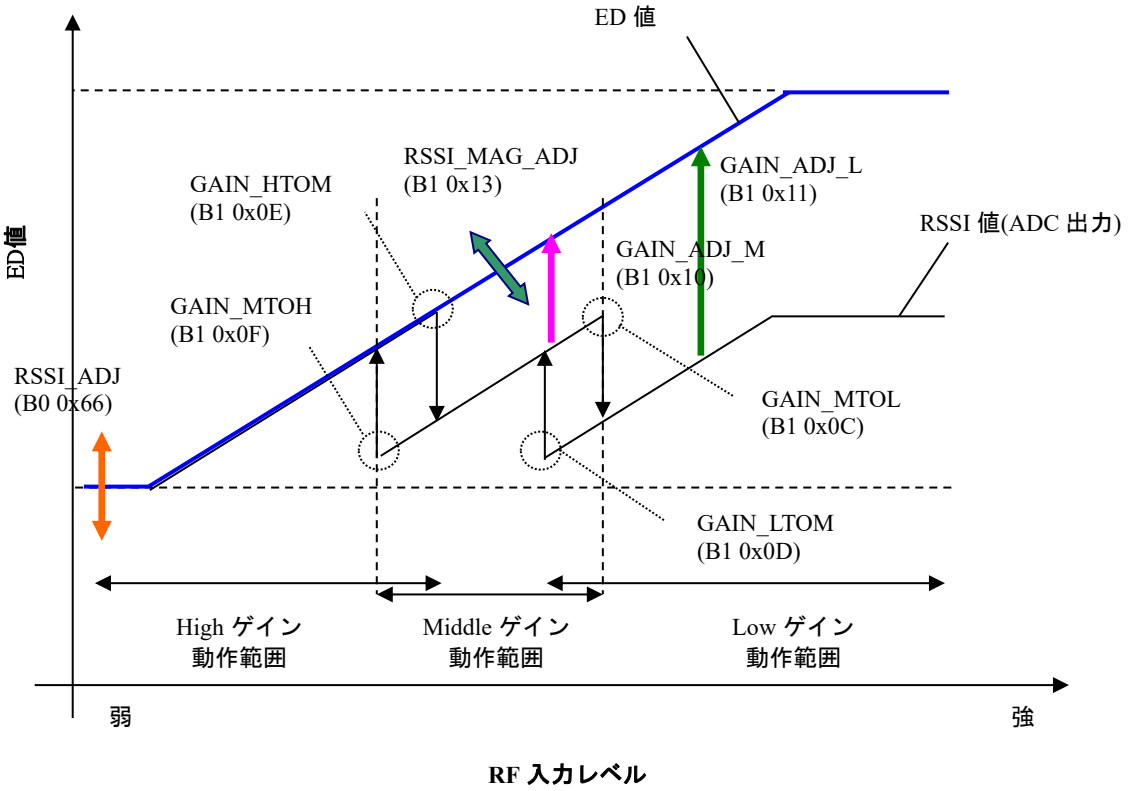
VCO_CAL_MAX_N[3:0]	⊿F[MHz]
0b0000	0
0b0001	0.8125
0b0010	1.625
0b0011	3.25
0b0100	6.5
0b0101	13
0b0110	26
0b0111	52
上記以外	設定禁止

●電力検出値(ED 値)の調整

[ED値の調整]
RF からの RSSI(アナログ信号)から、本節で説明する演算を行い、ED 値として算出致します。
本調節を行うことで、個体間のバラツキを補正することが可能となります。
ゲイン調整と関連するレジスタの関係を下記に示します。

広い入力レンジをカバーするために、ある入力レベルでゲイン切り替えを行います。[GAIN_LTOM: B1 0x0C]から[GAIN_MTOH: B1 0x0F]レジスタはゲイン切り替えのポイントを設定し、[GAIN_ADJ_M: B1 0x10]と[GAIN_ADJ_L: B1 0x11]レジスタによりゲイン切り替え時の線形性を保つための加算を行います。[RSSI_MAG_ADJ: B1 0x13]レジスタは、RSSI の傾きを設定し、ED 値が 0x00(最小)から 0xFF(最大)の値を取るよう設定しています。これらのレジスタ値は「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

[RSSI_ADJ: B0 0x66]レジスタでは、同一入力レベルに対する上下バラツキを調整します。ただし、[RSSI_MAG_ADJ: B1 0x13]レジスタによる傾き設定前の値に対する補正となります。なお、正の値を設定すると低入力レベル時に ED 値が 0x00 まで下がらなくなります。また、負の値を設定すると高入力レベル時に 0xFF まで上がらなくなることがあります。



High ゲイン範囲で動作している場合・・・　RSSI 値＞GAIN_HtoM で Middle ゲインに遷移します。
Middle ゲイン範囲で動作している場合・・・　RSSI 値＞GAIN_MtoL で Low ゲインに遷移します。
GAIN_MtoH≧RSSI 値で High ゲインに遷移します。
Low ゲイン範囲で動作している場合・・・　GAIN_LtoM≧RSSI 値で Middle ゲインに遷移します。

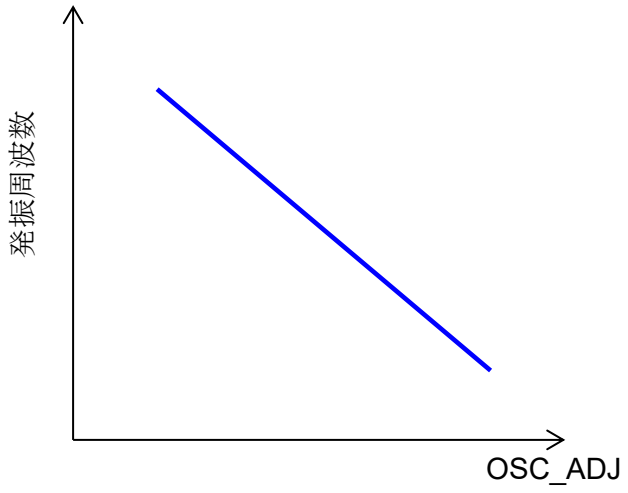
●発振回路の調整

水晶振動子を使用する場合(ML7406C)、XIN 端子(ピン#5)と XOUT 端子(ピン#6)に付く付加容量を調整することで水晶振動子の偏差を調整することができます。付加容量の調整は[OSC_ADJ1: B0 0x62]と[OSC_ADJ2: B0 0x63]を変更することで可能です。

付加される容量は以下の通りです。

[OSC_ADJ1] **粗調整用**: 0.7pF/step（**設定範囲**: 0x00～0x0F）

[OSC_ADJ2] 微調整用: 0.02pF/step（設定範囲: 0x00～0x77）



■レジスタ設定

●Wireless M-Bus モード設定

Wireless M-Bus に規定されるモード(S/T/R/C)に対し、本 LSI で設定が必要なレジスタは以下の通りです。

○Mode S

送受信パラメータ	レジスタ		通信方向	
	名称	アドレス	MeterToOther	OtherToMeter
送信周波数	TXFREQ_I	B1 0x1B	0x21	←
	TXFREQ_FH	B1 0x1C	0x06	←
	TXFREQ_FM	B1 0x1D	0x56	←
	TXFREQ_FL	B1 0x1E	0xA5	←
受信周波数	RXFREQ_I	B1 0x1F	0x21	←
	RXFREQ_FH	B1 0x20	0x06	←
	RXFREQ_FM	B1 0x21	0x56	←
	RXFREQ_FL	B1 0x22	0xA5	←
データレート	DRATE_SET	B0 0x06	0x88	←
プリアンブルパターン/変調方式/符号化方式	DATA_SET1	B0 0x07	0x00	←
SyncWord2 面待ち	DATA_SET2	B0 0x08	0x00	←
周波数偏位(GFSK)	GFSK_DEV_H	B1 0x30	-	-
	GFSK_DEV_L	B1 0x31	-	-
周波数偏位(FSK)	FSK_DEV0_H/GFIL0	B1 0x32	0x07	←
	FSK_DEV0_L/GFIL1	B1 0x33	0xE0	←
	FSK_DEV1_H/GFIL2	B1 0x34	0x07	←
	FSK_DEV1_L/GFIL3	B1 0x35	0xE0	←
	FSK_DEV2_H/GFIL4	B1 0x36	0x07	←
	FSK_DEV2_L/GFIL5	B1 0x37	0xE0	←
	FSK_DEV3_H/GFIL6	B1 0x38	0x07	←
	FSK_DEV3_L	B1 0x39	0xE0	←
	FSK_DEV4_H	B1 0x3A	0x07	←
	FSK_DEV4_L	B1 0x3B	0xE0	←
周波数偏位時間(FSK)	FSK_TIM_ADJ4	B1 0x3C	0x04	←
	FSK_TIM_ADJ3	B1 0x3D	0x04	←
	FSK_TIM_ADJ2	B1 0x3E	0x04	←
	FSK_TIM_ADJ1	B1 0x3F	0x04	←
	FSK_TIM_ADJ0	B1 0x40	0x04	←
プリアンブル長	TXPR_LEN_H	B0 0x42	0x00	←
	TXPR_LEN_L	B0 0x43	0x0F	←
SyncWord 長	SYNC_WORD_LEN	B1 0x25	0x12	←
SyncWord パターン 1	SYNC_WORD1_SET3	B1 0x27	0x00	←
	SYNC_WORD1_SET2	B1 0x28	0x00	←
	SYNC_WORD1_SET1	B1 0x29	0x76	←
	SYNC_WORD1_SET0	B1 0x2A	0x96	←
SyncWord パターン 2	SYNC_WORD2_SET3	B1 0x2B	-	-
	SYNC_WORD2_SET2	B1 0x2C	-	-
	SYNC_WORD2_SET1	B1 0x2D	-	-
	SYNC_WORD2_SET0	B1 0x2E	-	-
ポストアンブル設定	POSTAMBLE_SET	B0 0x44	0x11	←
IF 周波数設定	IF_FREQ_H	B0 0x54	0x27	←
	IF_FREQ_L	B0 0x55	0x62	←
CCA 時 IF 周波数	IF_FREQ_CCA_H	B0 0x56	0x27	←
	IF_FREQ_CCA_L	B0 0x57	0x62	←
BPF 係数	BPF_CO	B0 0x5C	0xB8	←
CCA 時 BPF 係数	BPF_CO_CCA	B0 0x5D	0xB8	←
CCA 時復調器 DC レベル	IFF_ADJ_CCA_H	B0 0x60	0x3A	←
	IFF_ADJ_CCA_L	B0 0x61	0x20	←
復調器調整 1	DEMOD_SET1	B1 0x57	0x15	←
復調器調整 2	DEMOD_SET2	B1 0x58	0x3A	←
復調器調整 3	DEMOD_SET3	B1 0x59	0x20	←
復調器調整 4	DEMOD_SET4	B1 0x5A	0x2A	←
復調器調整 5	DEMOD_SET5	B1 0x5B	0x6A	←
復調器調整 6	DEMOD_SET6	B1 0x5C	0x25	←
復調器調整 7	DEMOD_SET7	B1 0x5D	0x2C	←
復調器調整 8	DEMOD_SET8	B1 0x5E	0x02	←
復調器調整 9	DEMOD_SET9	B1 0x5F	0x89	←

○Mode T

送受信パラメータ	レジスタ		通信方向	
	名称	アドレス	MeterToOther	OtherToMeter
送信周波数	TXFREQ_I	B1 0x1B	0x21	←
	TXFREQ_FH	B1 0x1C	0x06	←
	TXFREQ_FM	B1 0x1D	0xBD	0x56
	TXFREQ_FL	B1 0x1E	0x0B	0xA5
受信周波数	RXFREQ_I	B1 0x1F	0x21	←
	RXFREQ_FH	B1 0x20	0x06	←
	RXFREQ_FM	B1 0x21	0x56	0xBD
	RXFREQ_FL	B1 0x22	0xA5	0x0B
データレート	DRATE_SET	B0 0x06	0x8B	0xB8
プリアンブルパターン/ 変調方式/符号化方式	DATA_SET1	B0 0x07	0x02	0x08
SyncWord パターン選択/ SyncWord2 面待ち	DATA_SET2	B0 0x08	送信時: 0x00 受信時: 0x10	←
周波数偏位(GFSK)	GFSK_DEV_H	B1 0x30	-	-
	GFSK_DEV_L	B1 0x31	-	-
周波数偏位(FSK)	FSK_DEV0_H/GFIL0	B1 0x32	0x07	←
	FSK_DEV0_L/GFIL1	B1 0x33	0xE0	←
	FSK_DEV1_H/GFIL2	B1 0x34	0x07	←
	FSK_DEV1_L/GFIL3	B1 0x35	0xE0	←
	FSK_DEV2_H/GFIL4	B1 0x36	0x07	←
	FSK_DEV2_L/GFIL5	B1 0x37	0xE0	←
	FSK_DEV3_H/GFIL6	B1 0x38	0x07	←
	FSK_DEV3_L	B1 0x39	0xE0	←
	FSK_DEV4_H	B1 0x3A	0x07	←
	FSK_DEV4_L	B1 0x3B	0xE0	←
周波数偏位時間(FSK)	FSK_TIM_ADJ4	B1 0x3C	0x04	←
	FSK_TIM_ADJ3	B1 0x3D	0x04	←
	FSK_TIM_ADJ2	B1 0x3E	0x04	←
	FSK_TIM_ADJ1	B1 0x3F	0x04	←
	FSK_TIM_ADJ0	B1 0x40	0x04	←
プリアンブル長	TXPR_LEN_H	B0 0x42	0x00	←
	TXPR_LEN_L	B0 0x43	0x13	0x0F
SyncWord 長	SYNC_WORD_LEN	B1 0x25	送信時: 0x0A 受信時: 0x12	送信時: 0x12 受信時: 0x0A
SyncWord パターン 1	SYNC_WORD1_SET3	B1 0x27	0x00	←
	SYNC_WORD1_SET2	B1 0x28	0x00	←
	SYNC_WORD1_SET1	B1 0x29	0x00	0x76
	SYNC_WORD1_SET0	B1 0x2A	0x3D	0x96
SyncWord パターン 2	SYNC_WORD2_SET3	B1 0x2B	0x00	←
	SYNC_WORD2_SET2	B1 0x2C	0x00	←
	SYNC_WORD2_SET1	B1 0x2D	0x76	0x00
	SYNC_WORD2_SET0	B1 0x2E	0x96	0x3D
ポストアンブル設定	POSTAMBLE_SET	B0 0x44	0x15	←
IF 周波数設定	IF_FREQ_H	B0 0x54	0x27	0x38
	IF_FREQ_L	B0 0x55	0x62	0xB6
CCA 時 IF 周波数	IF_FREQ_CCA_H	B0 0x56	0x27	0x38
	IF_FREQ_CCA_L	B0 0x57	0x62	0xB6
BPF 係数	BPF_CO	B0 0x5C	0xB8	0x80
CCA 時 BPF 係数	BPF_CO_CCA	B0 0x5D	0xB8	0x80
CCA 時復調器 DC レベル	IFF_ADJ_CCA_H	B0 0x60	0x3A	0x1B
	IFF_ADJ_CCA_L	B0 0x61	0x20	0x01
復調器調整 1	DEMOD_SET1	B1 0x57	0x15	0x14
復調器調整 2	DEMOD_SET2	B1 0x58	0x3A	0x1B
復調器調整 3	DEMOD_SET3	B1 0x59	0x20	0x01
復調器調整 4	DEMOD_SET4	B1 0x5A	0x2A	0x21
復調器調整 5	DEMOD_SET5	B1 0x5B	0x6A	0xB2
復調器調整 6	DEMOD_SET6	B1 0x5C	0x25	0x26
復調器調整 7	DEMOD_SET7	B1 0x5D	0x2C	0x37
復調器調整 8	DEMOD_SET8	B1 0x5E	0x02	0x03

復調器調整 9	DEMOD_SET9	B1 0x5F	0x89	0xDB

○Mode C

送受信パラメータ	レジスタ		通信方向	
	名称	アドレス	MeterToOther	OtherToMeter
送信周波数	TXFREQ_I	B1 0x1B	0x21	←
	TXFREQ_FH	B1 0x1C	0x06	0x07
	TXFREQ_FM	B1 0x1D	0xBD	0x17
	TXFREQ_FL	B1 0x1E	0x0B	0xA1
受信周波数	RXFREQ_I	B1 0x1F	0x21	←
	RXFREQ_FH	B1 0x20	0x07	0x06
	RXFREQ_FM	B1 0x21	0x17	0xBD
	RXFREQ_FL	B1 0x22	0xA1	0x0B
データレート	DRATE_SET	B0 0x06	0xAB	0xBA
プリアンブルパターン/ 変調方式/符号化方式	DATA_SET1	B0 0x07	0x05	0x15
SyncWord2 面待ち	DATA_SET2	B0 0x08	0x08	←
周波数偏位(GFSK)	GFSK_DEV_H	B1 0x30	-	0x03
	GFSK_DEV_L	B1 0x31	-	0xF0
周波数偏位(FSK)	FSK_DEV0_H/GFIL0	B1 0x32	0x07	0x49
	FSK_DEV0_L/GFIL1	B1 0x33	0x16	0xA7
	FSK_DEV1_H/GFIL2	B1 0x34	0x07	0x0F
	FSK_DEV1_L/GFIL3	B1 0x35	0x16	0x14
	FSK_DEV2_H/GFIL4	B1 0x36	0x07	0x19
	FSK_DEV2_L/GFIL5	B1 0x37	0x16	0x1D
	FSK_DEV3_H/GFIL6	B1 0x38	0x07	0x1E
	FSK_DEV3_L	B1 0x39	0x16	-
	FSK_DEV4_H	B1 0x3A	0x07	-
	FSK_DEV4_L	B1 0x3B	0x16	-
周波数偏位時間(FSK)	FSK_TIM_ADJ4	B1 0x3C	0x04	←
	FSK_TIM_ADJ3	B1 0x3D	0x04	←
	FSK_TIM_ADJ2	B1 0x3E	0x04	←
	FSK_TIM_ADJ1	B1 0x3F	0x04	←
	FSK_TIM_ADJ0	B1 0x40	0x04	←
プリアンブル長	TXPR_LEN_H	B0 0x42	0x00	←
	TXPR_LEN_L	B0 0x43	0x10	←
SyncWord 長	SYNC_WORD_LEN	B1 0x25	0x20	←
SyncWord パターン 1	SYNC_WORD1_SET3	B1 0x27	0x54	←
	SYNC_WORD1_SET2	B1 0x28	0x3D	←
	SYNC_WORD1_SET1	B1 0x29	0x54	←
	SYNC_WORD1_SET0	B1 0x2A	0xCD	←
SyncWord パターン 2	SYNC_WORD2_SET3	B1 0x2B	0x54	←
	SYNC_WORD2_SET2	B1 0x2C	0x3D	←
	SYNC_WORD2_SET1	B1 0x2D	0x54	←
	SYNC_WORD2_SET0	B1 0x2E	0x3D	←
ポストアンブル設定	POSTAMBLE_SET	B0 0x44	0x00	←
IF 周波数設定	IF_FREQ_H	B0 0x54	0x27	0x38
	IF_FREQ_L	B0 0x55	0x62	0xB6
CCA 時 IF 周波数	IF_FREQ_CCA_H	B0 0x56	0x27	0x38
	IF_FREQ_CCA_L	B0 0x57	0x62	0xB6
BPF 係数	BPF_CO	B0 0x5C	0xB8	0x80
CCA 時 BPF 係数	BPF_CO_CCA	B0 0x5D	0xB8	0x80
CCA 時復調器 DC レベル	IFF_ADJ_CCA_H	B0 0x60	0x1F	0x1B
	IFF_ADJ_CCA_L	B0 0x61	0x04	0x01
復調器調整 1	DEMOD_SET1	B1 0x57	0x15	0x14
復調器調整 2	DEMOD_SET2	B1 0x58	0x1F	0x1B
復調器調整 3	DEMOD_SET3	B1 0x59	0x04	0x01
復調器調整 4	DEMOD_SET4	B1 0x5A	0x13	0x21
復調器調整 5	DEMOD_SET5	B1 0x5B	0x7A	0xB2
復調器調整 6	DEMOD_SET6	B1 0x5C	0x23	0x26
復調器調整 7	DEMOD_SET7	B1 0x5D	0x2A	0x37
復調器調整 8	DEMOD_SET8	B1 0x5E	0x03	0x03

復調器調整 9	DEMOD_SET9	B1 0x5F	0xAC	0xDB

●IEEE802.15.4g モード設定

IEEE802.15.4g に規定されるパケットフォーマットに対し、本 LSI で設定が必要なレジスタは以下の通りです。

○送受共通
Whitening 設定

パラメータ	レジスタ		設定値
	名称	アドレス	
Whitening 初期状態設定 1	WHT_INIT_H	B1 0x64	0x00
Whitening 初期状態設定 2	WHT_INIT_L	B1 0x65	0xF0
Whitening 生成多項式設定	WHT_CFG	B1 0x66	0x10

○送信
(1) CRC16, Whitening なしの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0x5D
Whitening 設定	DATA_SET2	B0 0x08	0x00
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0010

(2) CRC16, Whitening ありの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0x5D
Whitening 設定	DATA_SET2	B0 0x08	0x01
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0011

(3) CRC32, Whitening なしの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0xAD
Whitening 設定	DATA_SET2	B0 0x08	0x00
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0000

(4) CRC32, Whitening ありの場合

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0xAD
Whitening 設定	DATA_SET2	B0 0x08	0x01
PHR 設定(bit15-11)	TX_PKT_LEN_H(bit7-3)	B0 0x7A	0b0_0001

○受信
IEEE802_15_4G_EN[PKT_CTRL1: B0 0x04(2)]=0b1 設定することで、受信した PHR から FCS 情報、Whiteing 情報を自動判定し受信します。

パラメータ	レジスタ		設定値
	名称	アドレス	
パケットフォーマット設定	PKT_CTRL1	B0 0x04	0x16
CRC/Length 長設定	PKT_CTRL2	B0 0x05	0x5D/0xAD
Whitening 設定	DATA_SET2	B0 0x08	0x01/0x00

●BER 測定時の設定

本 LSI で BER を測定する際には、被試験器(受信)側で以下のレジスタを設定変更する必要があります。

[DIO_SET: B0 0x0C]に 0x40 を設定
[MON_CTRL: B0 0x4D]に 0x80 を設定
[GPIO0_CTRL: B0 0x4F]～[GPIO3_CTRL: B0 0x52]にて DCLK/DIO 出力設定を行う
[GAIN_HTOM: B1 0x0E(7)]に 0b0 を設定

BER 測定を完了し、受信を停止する場合は、Force_TRX_OFF(SET_TRX[RF_STATUS: B0 0x0B(3-0)]を 0b0011 に設定) を実行してください。

■フローチャート

カテゴリ	条件 1	条件 2	フロー名
電源投入時	-	-	(1) 初期化フロー
送信受信共通	-	-	(1) RF 状態遷移待ち
送信時	DIO モード	-	送信時(1) DIO モード
	FIFO モード	64 バイト以下	送信時(2) FIFO モード
		65 バイト以上(FAST_TX)	送信時(3) FIFO モード
	自動送信	-	送信時(4) 自動送信時
受信時	DIO モード	-	受信時(1) DIO モード
	FIFO モード	64 バイト以下	受信時(2) FIFO モード
		65 バイト以上	受信時(3) FIFO モード
	ACK 送信	-	受信時(4) ACK 送信
	Field チェック	-	受信時(5) Field チェック
	CCA	通常モード	受信時(6) CCA 通常モード
		無限実行モード	受信時(6) CCA 無限実行モード
		IDLE 検出モード	受信時(6) CCA IDLE 検出モード
	高速電波チェック	-	受信時(7) 高速電波チェック
	ED-SCAN	-	受信時(8) ED-SCAN
	アンテナダイバーシティ	ダイバーシティ実行	受信時(9) アンテナダイバーシティ
SLEEP	SLEEP	-	(1) SLEEP
	ウェイクアップタイマ	-	(2) ウェイクアップタイマ
エラー発生時	Sync エラー	-	(1) Sync エラー
	送信 FIFO アクセスエラー	-	(2) 送信 FIFO アクセスエラー
	受信 FIFO アクセスエラー	-	(3) 受信 FIFO アクセスエラー
	PLL ロック外れ	-	(4) PLL ロック外れ
データレート変更時	-	-	(1) データレート変更

●電源投入時

(1) 初期化フロー

初期化フローでは割り込み処理、レジスタ設定、VCO キャリブレーションが必要です。

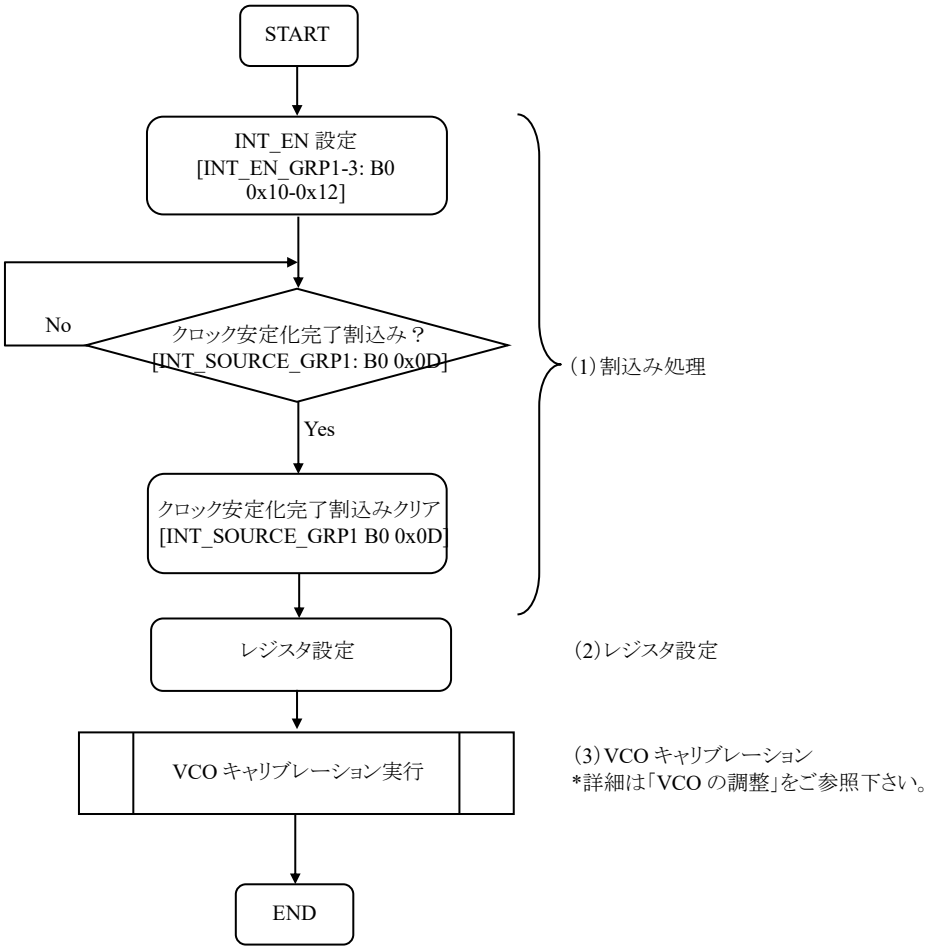
(1) 割込み処理
初期値では全割り込みの通知設定([INT_EN_GRP1-3: B0 0x10-0x12])がディセーブル設定となっております。ハードリセット解除後はクロック安定化完了割込み(INT[0]:割り込みグループ 1)および VCO キャリブレーション完了割込み(INT[1]:割り込みグループ 1)が検出されるため、[INT_EN_GRP1: B0 0x10]にて INT[0]/INT[1]をイネーブルにして下さい。

なお、ML7406T ではハードリセット解除後に INT_EN[0]([INT_EN0: B0 0x10(0)])および TCXO_EN([CLK_SET2: B0 0x03(6)])に 0b1 を設定する必要があります。

(2) レジスタ設定
(ML7406C)
FIFO アクセスレジスタ([WR_TX_FIFO: B0 0x7C]、[RD_FIFO: B0 0x7F])を除く BANK0 および BANK1 の全レジスタはクロック INT[0]の通知を待たずに(=ハードリセット解除後に)、レジスタアクセスが可能です。初期化に必要なレジスタ設定の詳細は、「レジスタ設定」をご参照ください。

(ML7406T)
FIFO アクセスレジスタ([WR_TX_FIFO: B0 0x7C]、[RD_FIFO: B0 0x7F])を除く BANK0 および BANK1 の全レジスタへのアクセスは GPIO0 端子からクロック安定化完了割込み(INT0[INT_SOURCE_GRP1: B0 0x0D(0)])が通知されたことを確認後、レジスタアクセスしてください。初期化に必要なレジスタ設定の詳細は、「レジスタ設定」をご参照ください。

(3) VCO キャリブレーション
運用周波数の下限周波数と上限周波数を設定し、VCO キャリブレーションを実行します。
VCO キャリブレーションの実行方法については「VCO の調整」をご参照下さい。


START
INT_EN 設定
[INT_EN_GRP1-3: B0
0x10-0x12]
No
クロック安定化完了割込み？
[INT_SOURCE_GRP1: B0 0x0D]
Yes
クロック安定化完了割込みクリア
[INT_SOURCE_GRP1 B0 0x0D]
(1) 割込み処理
レジスタ設定
(2) レジスタ設定
VCO キャリブレーション実行
(3) VCO キャリブレーション
*詳細は「VCO の調整」をご参照下さい。
END

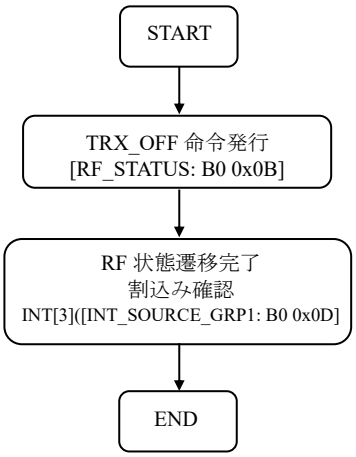
●送信/受信共通

(1) RF 状態遷移待ち

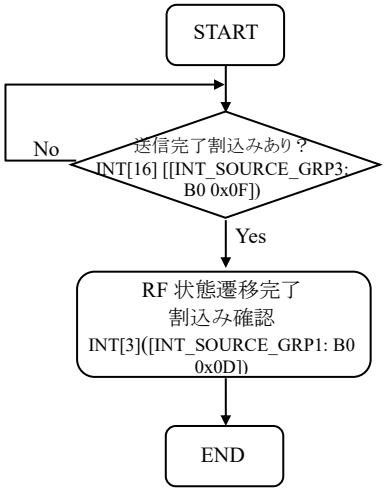
以下の RF 状態が変更する設定を行った場合、その後 RF 状態遷移が完了したことを RF 状態遷移完了割込みにて確認を行ってください。

○[RF_STATUS: B0 0x0B]により RF 状態変更
○[RF_STATUS_CTRL: B0 0x0A]による RF 状態変更
・FAST_TX モード設定
・自動送信設定
・送信完了後の RF 状態設定
・受信完了後の RF 状態設定
○ウェイクアップタイマ設定による RF 状態変更

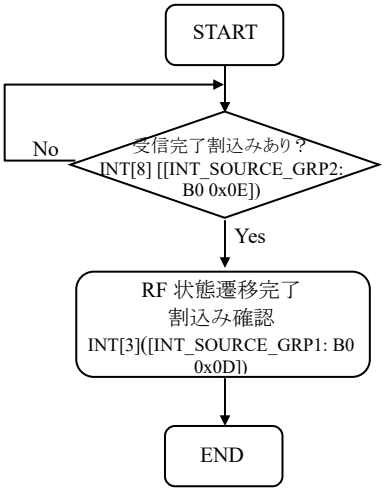
①TRX_OFF フロー
[RF_STATUS: B0 0x0B]により RF 状態変更
SET_TRX[3:0]=0b1000



[RF_STATUS_CTRL: B0 0x0A]による RF 状態変更
TXDONE_MODE[1:0]=0b00

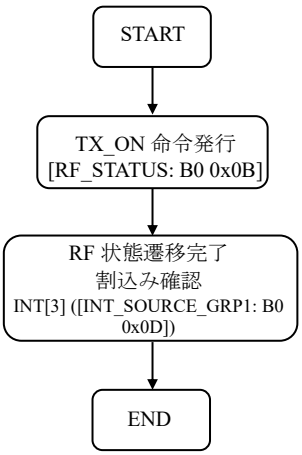


RXDONE_MODE[1:0]=0b00

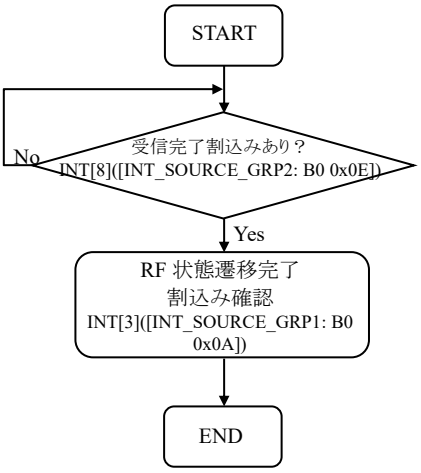


②TX_ON フロー
[RF_STATUS: B0 0x0B]により RF 状態変更

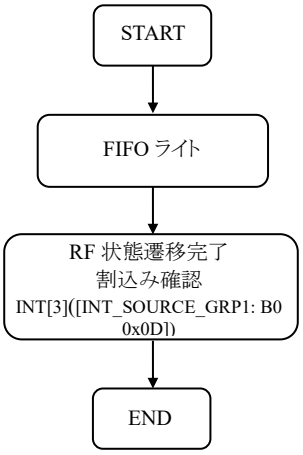
SET_TRX[3:0]=0b1001



[RF_STATUS_CTRL]レジスタ(B0 0x0A)による RF 状態変更
RXDONE_MODE[1:0]=0b10

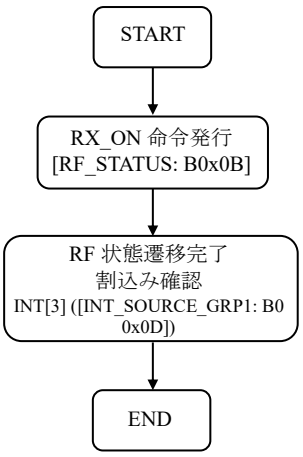


FAST_TX_EN=0b1 かつ
AUTO_TX_EN=0b1

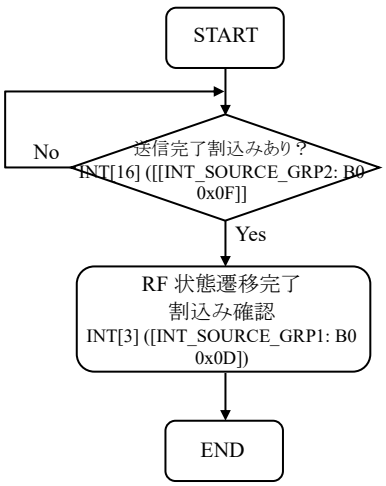


③RX_ON フロー

[RF_STATUS: B0 0x0B]により RF 状態変更
SET_TRX[3:0]=0b0110

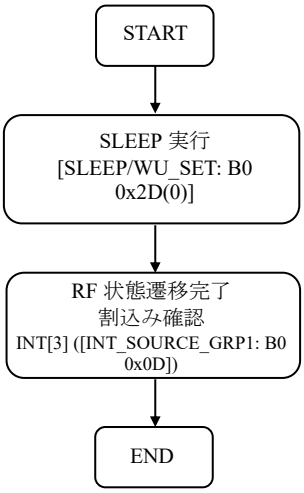


[RF_STATUS_CTRL: B0 0x0A]による RF 状態変更
TXDONE_MODE[1:0]=0b10



④ウェイクアップフロー

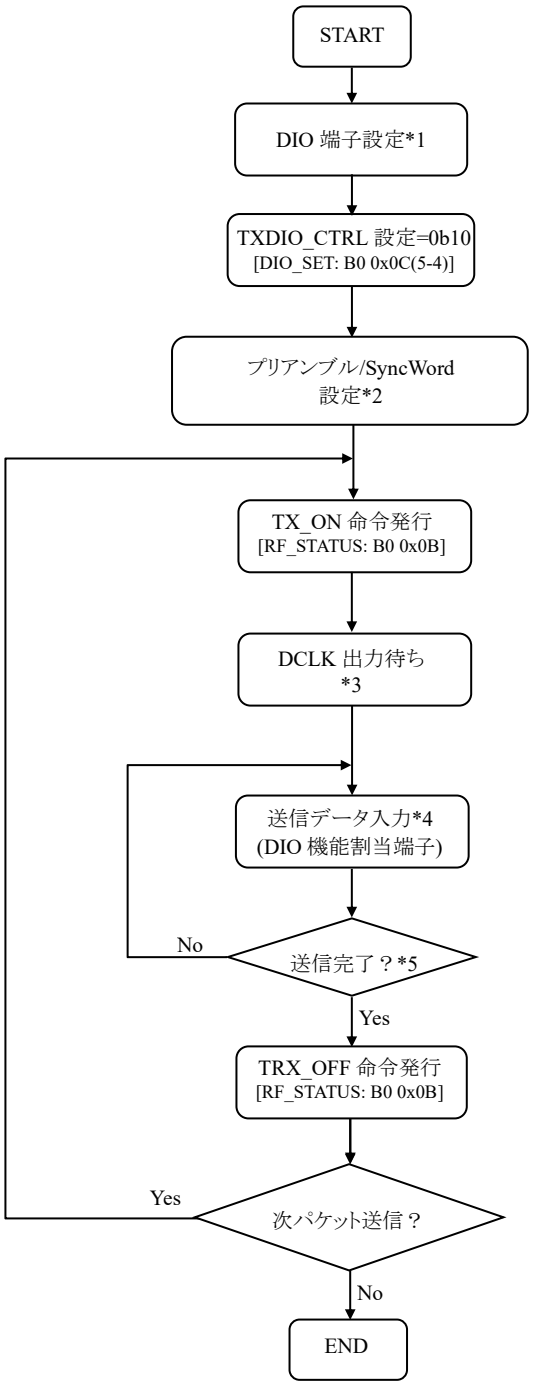
(ウェイクアップ後割り込みグループ 2 の INT[13](SyncWord 検出割込み)を待つ場合は以下の限りではありません)



●送信時

(1) DIO モード

DIO(送信)モードは、TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])=0b01 または 0b10 を書き込むことで設定できます。DIO モードで[RF_STATUS:B0 0x0B]レジスタで TX_ON 命令を発行すると、DIO 機能を割り当てた端子から入力されたデータを送信データとして Air に出力します。送信完了時は[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行します。



*1 DIO/DCLK 機能を割り当てる端子を設定します。
[GPIO0_CTRL: B0 0x4E]
[GPIO1_CTRL: B0 0x4F]
[GPIO2_CTRL: B0 0x50]
[GPIO3_CTRL: B0 0x51]
[EXT_CLK_CTRL: B0 0x52]
[SPI/EXT_PA_CTRL: B0 0x53]

*2 プリアンブル/SyncWord は以下レジスタで設定されるデータ、設定値により送信されます。
プリアンブル･･･[DATA_SET1: B0 0x07]
[TXPR_LEN_H/L: B0 0x42~43]
SyncWord･･･[SYNCWORD1_SET0~3: B1 0x27~2A]
[SYNCWORD2_SET0~3: B1 0x2B~2E]
[SYNC_WORD_LEN: B1 0x25]
[DATA_SET2: B0 0x08]

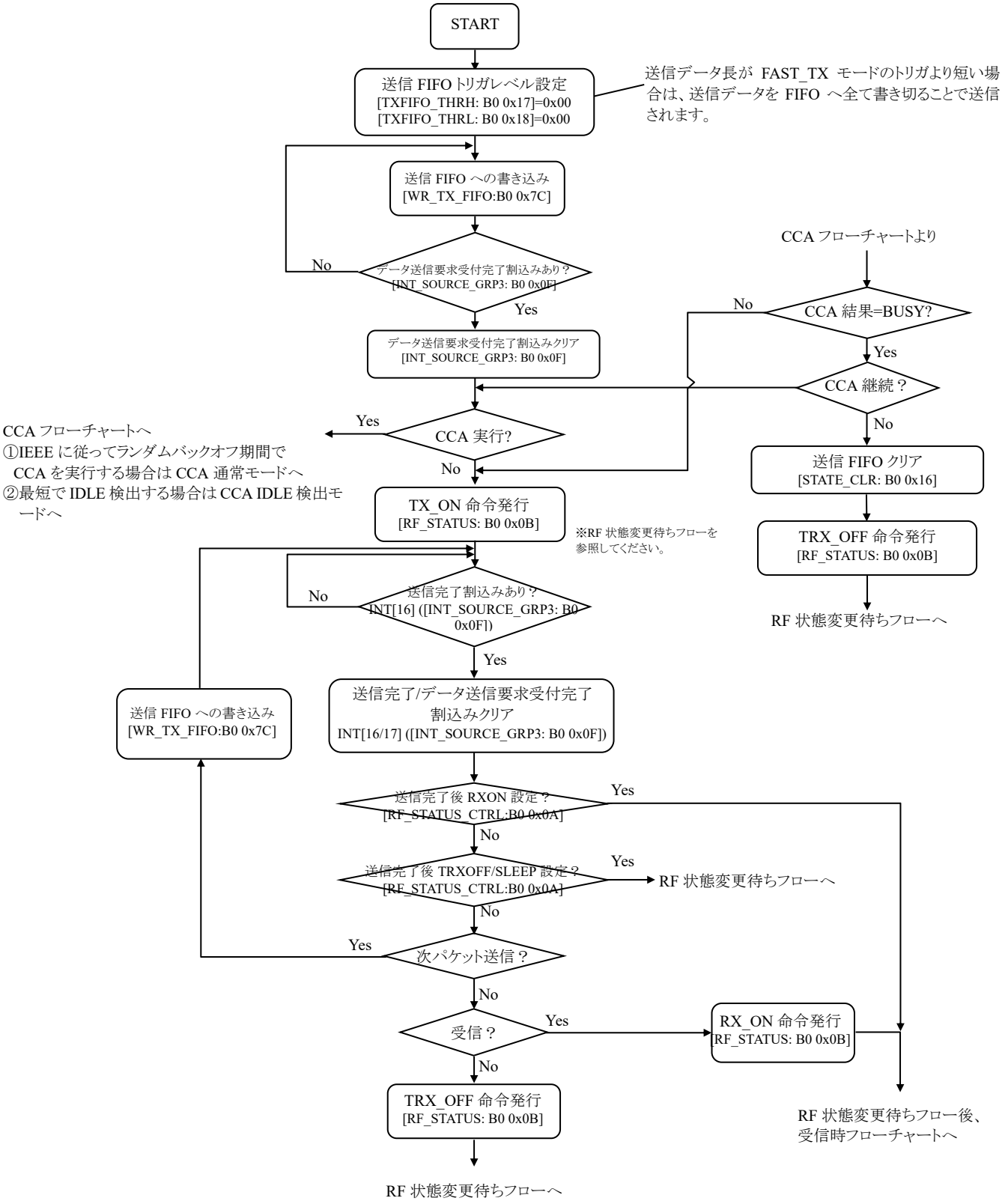
*3 DCLK 出力までの時間は送信プリアンブル長、SFD 長およびデータレートにより異なります。

*4 DCLK の立下りに同期して送信データ入力してください。

*5 RF 状態変更待ちフローを参照してください。

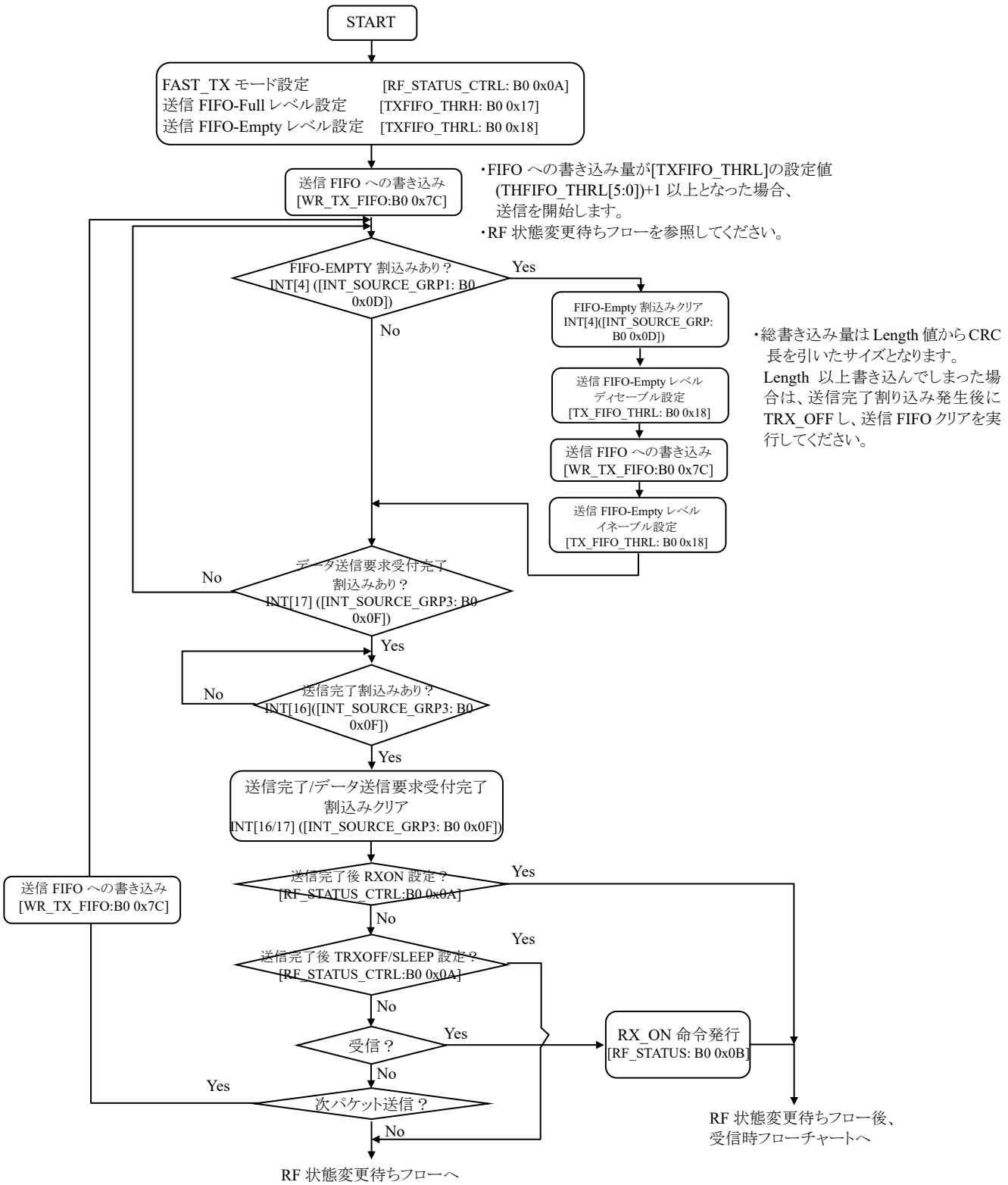
(2) FIFO モード（64byte 以下の場合）

FIFO モードは、TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])=0b00 を書き込むことで設定できます。FIFO モードではパケット毎に[WR_TX_FIFO:B0 0x7C]レジスタでデータを送信 FIFO へ書き込みます。1パケット分のデータを送信FIFOへ書き込み後、[RF_STATUS: B0 0x0B]レジスタで TX_ON 命令を発行します。プリアンブル/SyncWord に続き、送信 FIFO データが送信されます。送信完了割り込み(INT[16]:割り込みグループ 3)が発生したら、割り込みをクリアします。次の送信パケットを送信する場合は送信データを送信FIFOへ書き込みます。また、送信後に受信を行う場合は[RF_STATUS: B0 0x0B]レジスタで RX_ON 命令を発行します。送信を終了する場合は TRX_OFF を発行します。



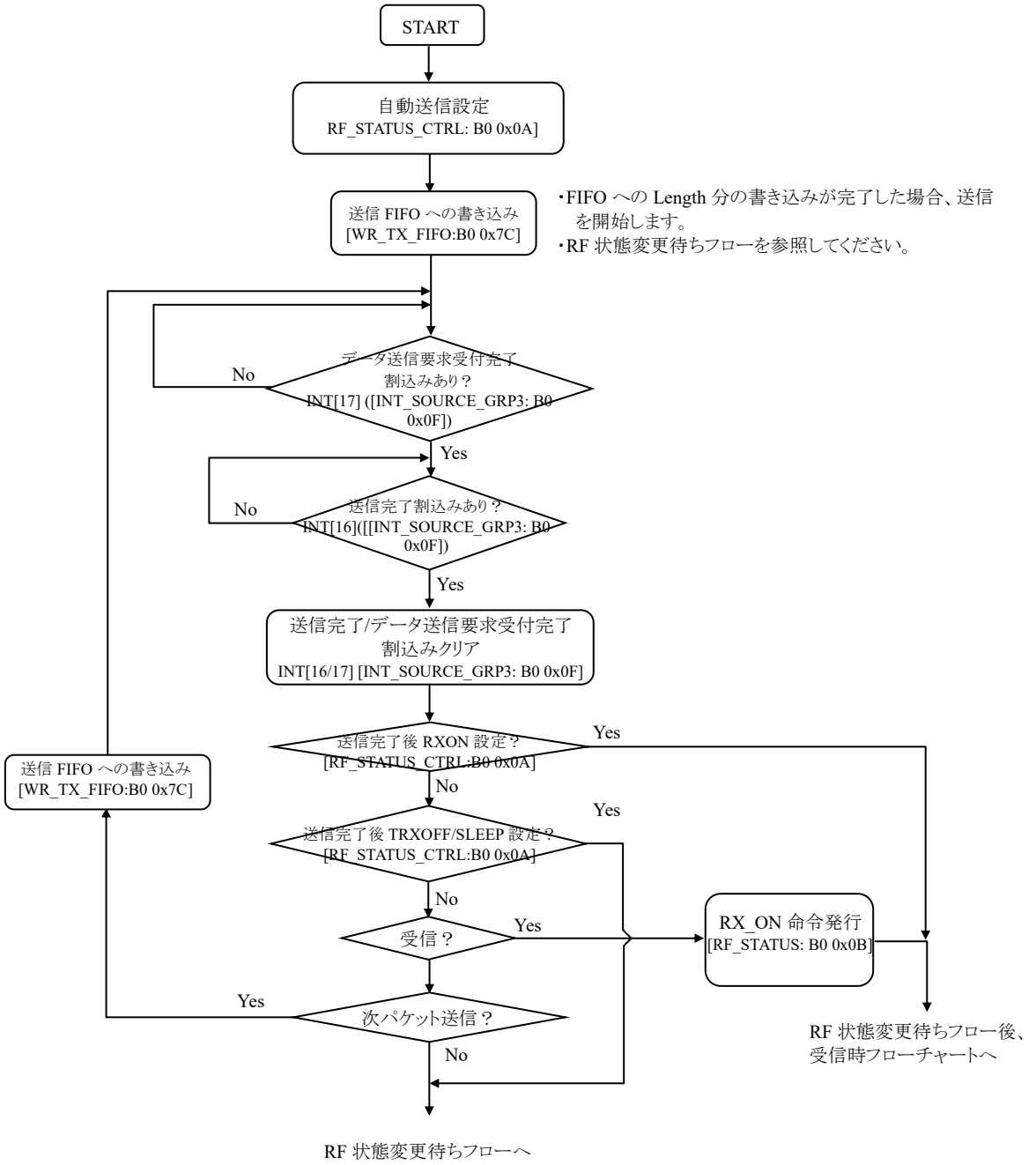
(3) FIFO モード (65byte 以上の場合)

TX_FIFO がオーバーランまたはアンダーランしないように割り込みグループ1の INT[5] (FIFO-Full 割込み)と INT[4] (FIFO-Empty 割込み)を確認しながら TX_FIFO へ送信データを書き込みます。その他動作は FIFO モード 64byte 以下の場合と同様です。 FAST_TX_EN ([RF_STATUS_CTRL: B0 0x0A(5)] に 0b1 を書き込み FAST_TX モードを設定し、FIFO へのデータ書き込み量が[TXFIFO_THRL: B0 0x18]レジスタで設定されるバイト数+1 バイト以上となってから、送信動作を開始します。



(4) 自動送信時 (64byte 以下の場合)

AUTO_TX_EN([RF_STATUS_CTRL: B0 0x0A(4)]に 0b1 を設定した場合、FIFOに Length 分のデータを書き込み完了後、送信動作を開始します。送信完了後の RF 状態遷移設定は TXDONE_MODE ([RF_STATUS_CTRL: B0 0x0A(1-0)])により設定します。

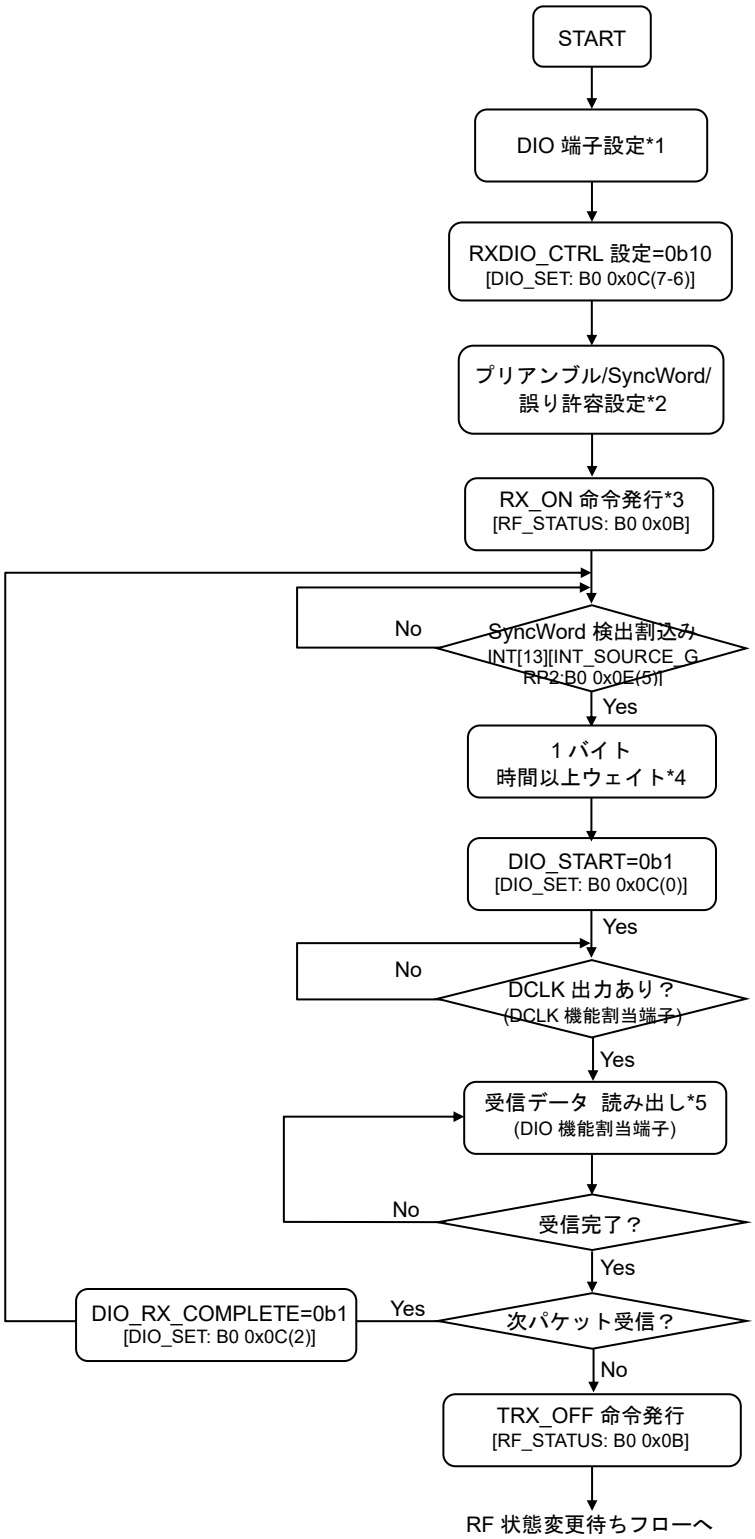


●受信時

(1) DIO モード

RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])=0b10/0b11 を書き込むことで設定できます。DIO モード設定後、RX_ON 命令発行後、SyncWord パターン検出を開始します。

①データ出力モード 1 設定時
RXDIO_CTRL[1:0]=0b10 設定します。SyncWord パターン検出後、受信データを受信 FIFO へバッファリングします。
DIO_START ([DIO_SET: B0 0x0C(0)])を 0b1 に設定すると、受信 FIFO にバッファリングされた受信データを DIO 端子より出力します。受信完了後、続けて受信する場合は DIO_RX_COMPLETE([DIO_SET: B0 0x0C(2)])に 0b1(DIO 受信完了設定)を設定することで次パケット受信待ち状態となります。TRX_OFF する場合は[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行します。



*1 DIO/DCLK 機能を割り当てる端子を設定します。
[GPIO0_CTRL: B0 0x4E]
[GPIO1_CTRL: B0 0x4F]
[GPIO2_CTRL: B0 0x50]
[GPIO3_CTRL: B0 0x51]
[EXT_CLK_CTRL: B0 0x52]
[SPI/EXT_PA_CTRL: B0 0x53]

*2 DIO 受信時のプリアンブルおよび SyncWord 設定は FIFO モードと同様に設定してください。
プリアンブル･･･[DATA_SET1: B0 0x07]
[SYNC_CONDITION1~3: B0 0x45-47]
SyncWord･･･[SYNCWORD1_SET0~3: B1 0x27-2A]
[SYNCWORD2_SET0~3: B1 0x2B-2E]
[SYNC_WORD_LEN: B1 0x25]
[DATA_SET2: B0 0x08]

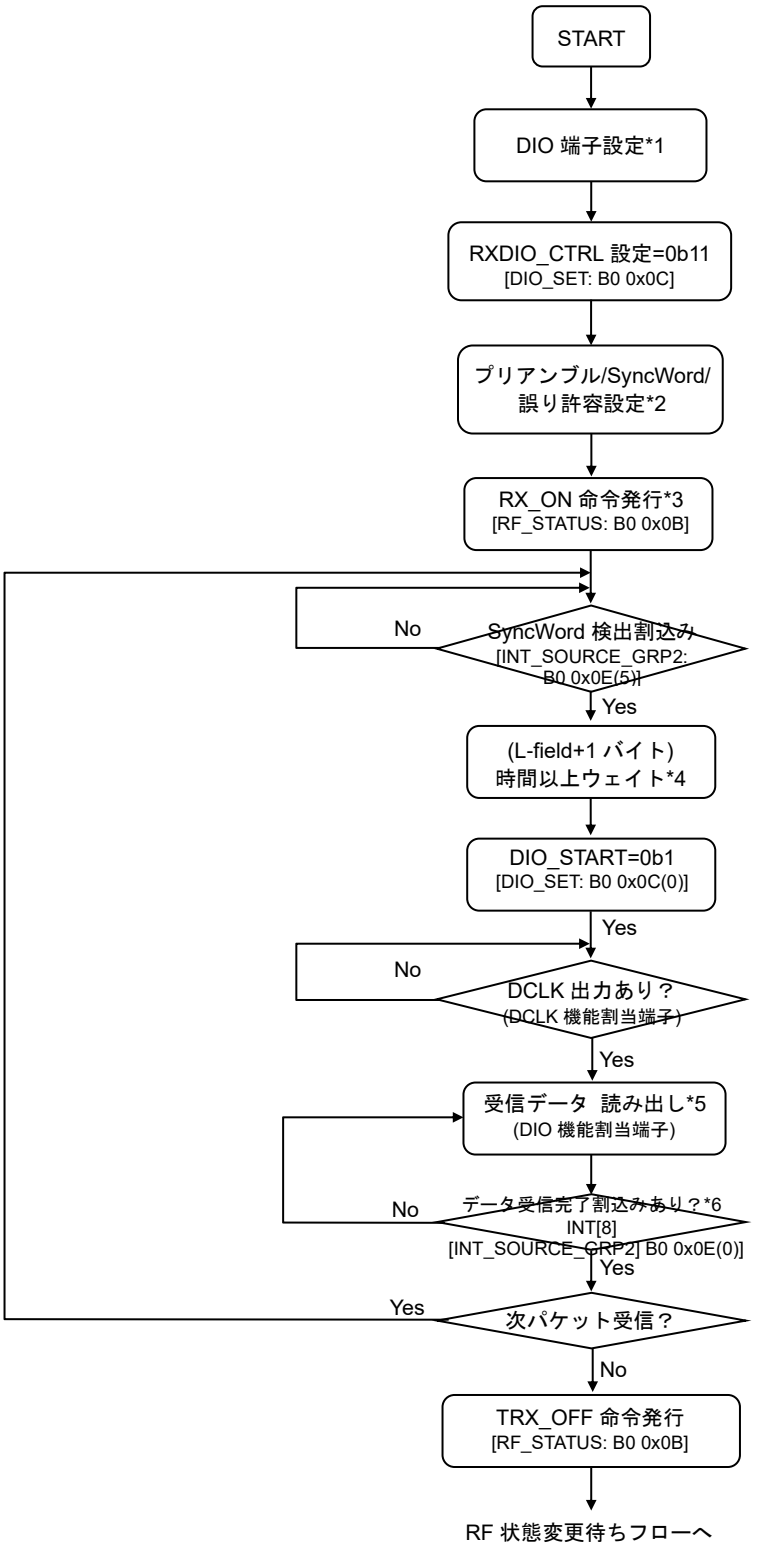
*3 RF 状態変更待ちフローを参照してください。

*4 1 バイト時間経過後、1 バイト目のデータが FIFO に格納されます。必ず、1 バイト時間以上経過後、DIO データ出力設定を行ってください。

*5 DCLK の立ち上りに同期して受信データを取り込んでください。

②データ出力モード 2 設定時

RXDIO_CTRL[1:0]=0b11 設定では L-field 以降の受信データを受信 FIFO へバッファリングします。DIO_START ([DIO_SET: B0 0x0C(0)])に 0b1 を設定すると、受信 FIFO にバッファリングされた受信データを DIO 端子より出力します。Length 分のデータを出力した時点で受信完了となり、受信完了割り込み(INT[8]: 割込みグループ 2)を発生します。TRX_OFF する場合は[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行します。



*1 DIO/DCLK 機能を割り当てる端子を設定します。
[GPIO0_CTRL: B0 0x4E]
[GPIO1_CTRL: B0 0x4F]
[GPIO2_CTRL: B0 0x50]
[GPIO3_CTRL: B0 0x51]
[EXT_CLK_CTRL: B0 0x52]
[SPI/EXT_PA_CTRL: B0 0x53]

*2 DIO 受信時のプリアンブルおよび SyncWord 設定は FIFO モードと同様に設定してください。
プリアンブル･･･[DATA_SET1: B0 0x07]
[SYNC_CONDITION1~3: B0 0x45-47]
SyncWord･･･[SYNCWORD1_SET0~3: B1 0x27-2A]
[SYNCWORD2_SET0~3: B1 0x2B-2E]
[SYNC_WORD_LEN: B1 0x25]
[DATA_SET2: B0 0x08]

*3 RF 状態変更待ちフローを参照してください。

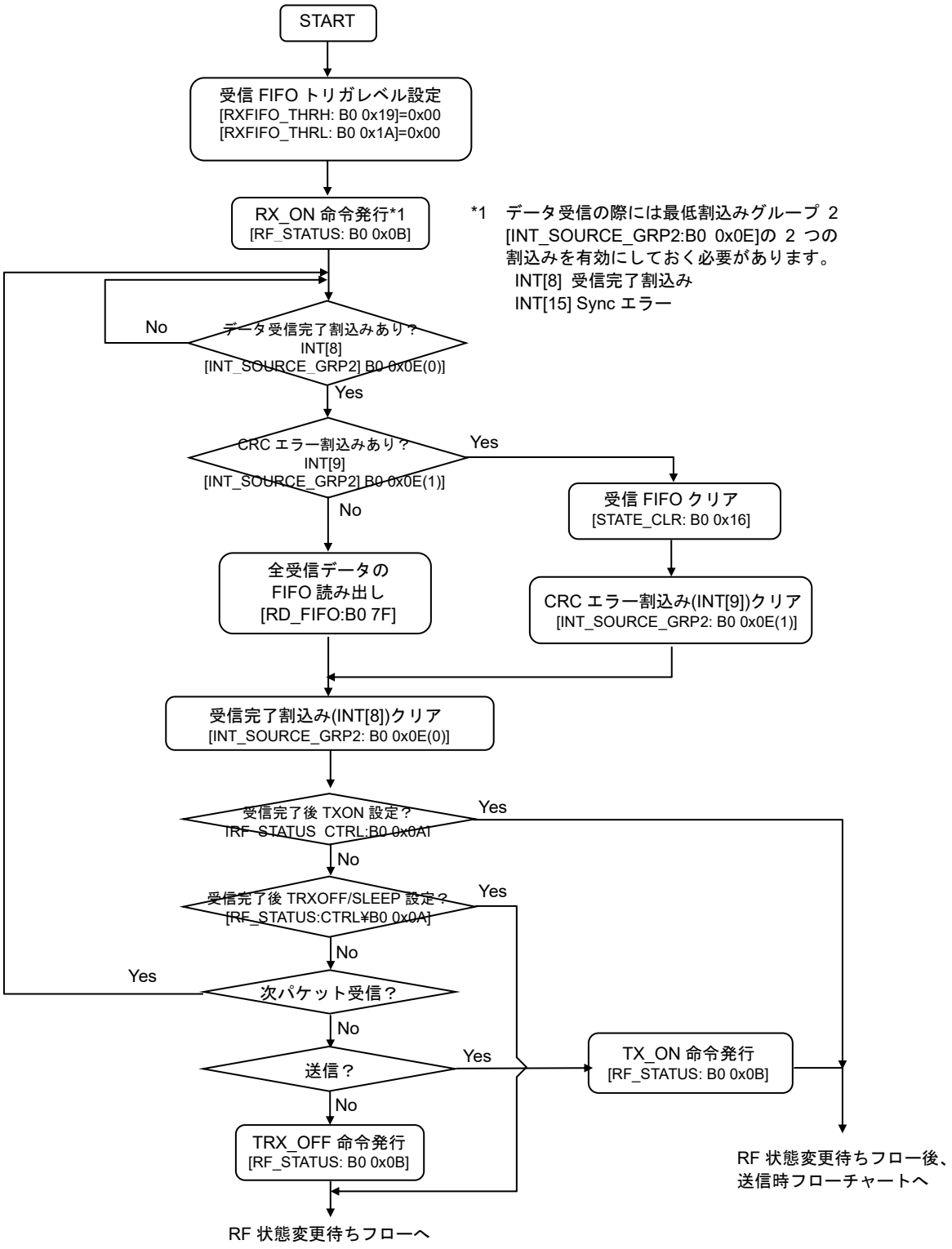
*4 L-field 長分の時間経過後、パケットの Length 値が[RX_PKT_LENGTH_H/L: B0 0x7D/7E]に格納されます。さらに(L-field 長+1 バイト)時間経過後、1 バイト目のデータが FIFO に格納されます。必ず、(L-field 長+1 バイト)時間以上経過後、DIO データ出力設定を行ってください。ここでの 1 バイト時間は符号化後の 1 バイト時間となります。100kbps でマンチェスタ符号化された場合の 1 バイト時間は 160μs となります。

*5 DCLK の立ち上りに同期して受信データを取り込んでください。

*6 Length 分のデータを全て読み出した時点で受信完了となります。

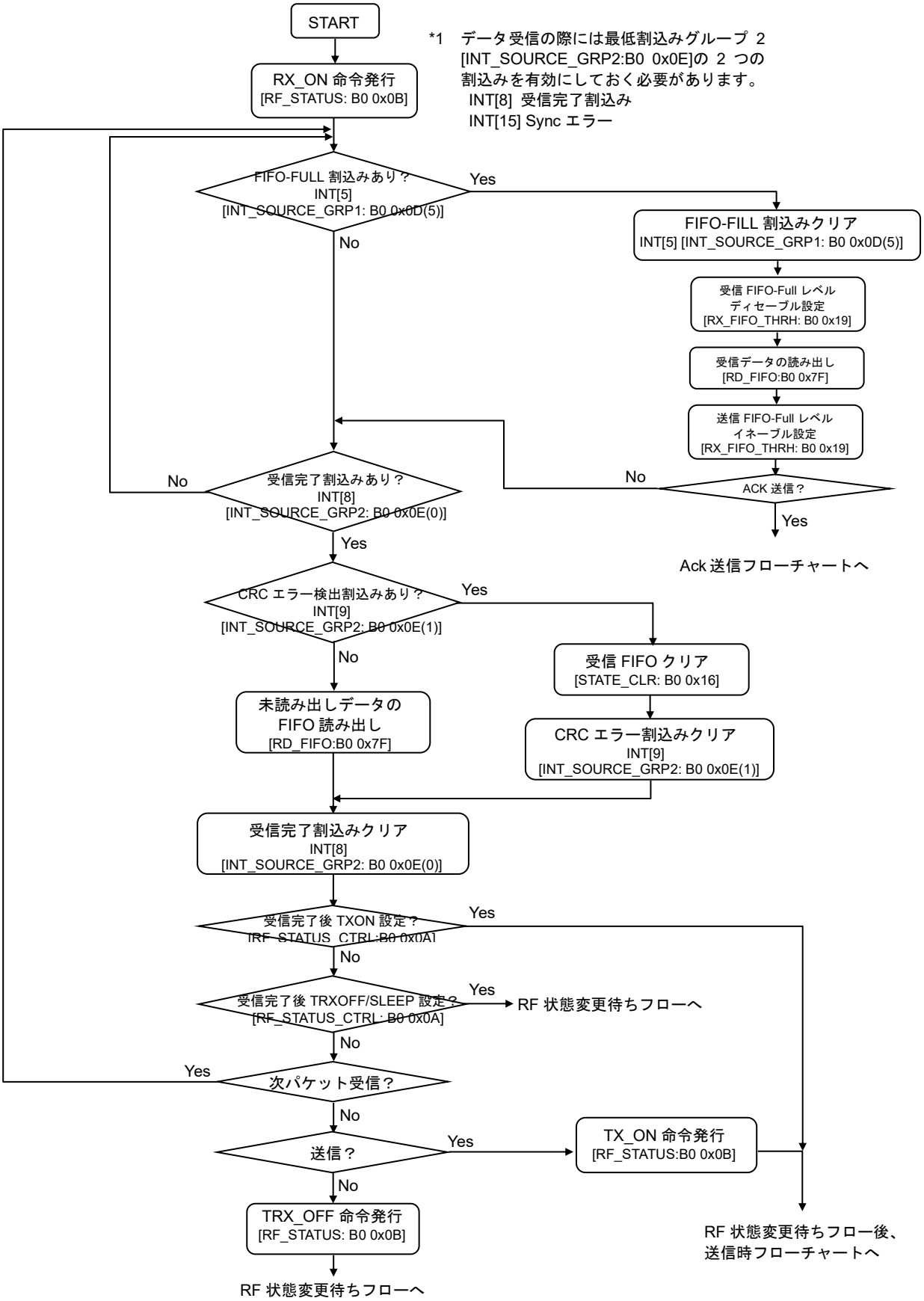
(2) FIFO モード（64byte 以下の場合）

FIFO モードは、RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])=0b00 を書き込むことで設定できます。SyncWord 検出後、受信データを受信 FIFO へ格納します。データ受信完了割り込み(INT[8]：割り込みグループ 2)後、受信データを[RD_FIFO:B0 0x7F]レジスタから読み出します。また、CRCエラー割り込み(INT[9]：割り込みグループ 2)が発生した場合はSTATE_CLR1([STATE_CLR: B0 0x16(1)])(受信FIFOクリア)でクリアすることで、受信データを全て読み出すことなく次パケットを受信できます。受信 FIFO-Full トリガおよび FIFO-Empty トリガを使用しない場合は、RXFIFO_THRH_EN([RXFIFO_THRH: B0 0x19(7)])および RXFIFO_THRL_EN([RXFIFO_THRH: B0 0x1A(7)])を 0b0 に設定して下さい。



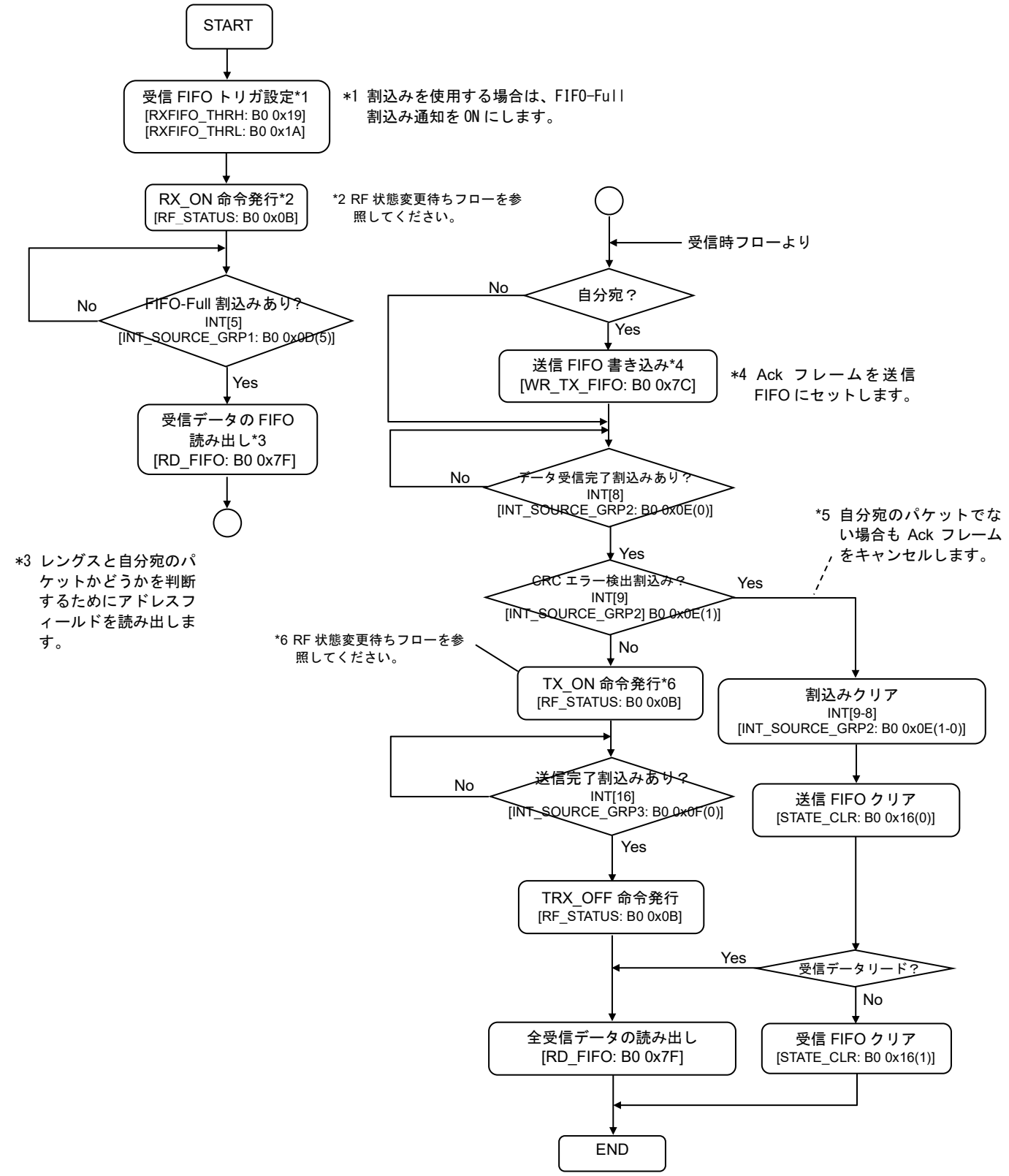
(3) FIFO モード（65byte 以上の場合）

受信 FIFO がオーバーランまたはアンダーランしないように割り込みグループ1の INT[5] (FIFO-Full 割込み)と INT[4] (FIFO-Empty 割込み)を確認しながら受信 FIFO から受信データを読み出します。その他動作は(2)と同様です。



(4) ACK 送信

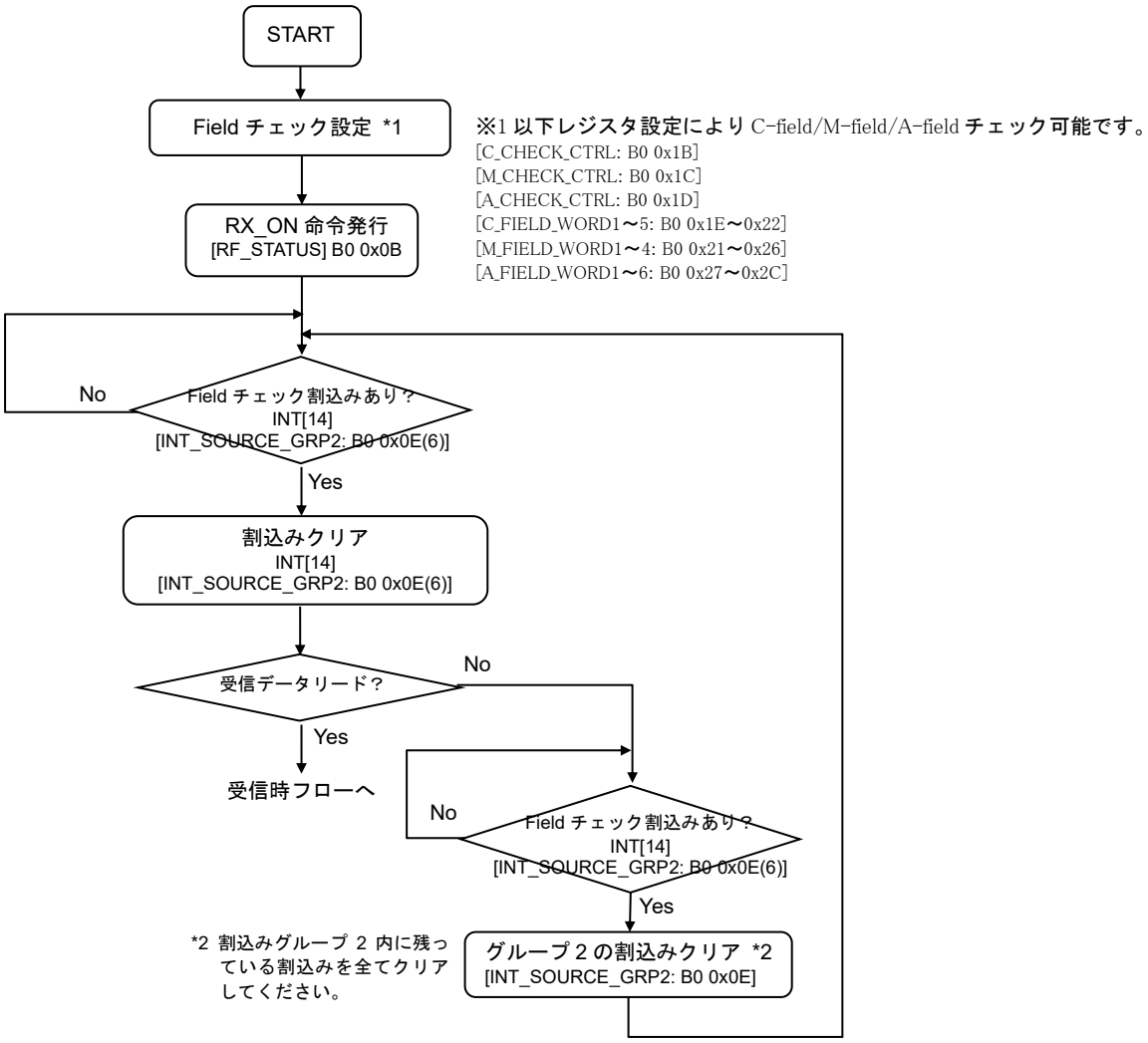
ACK 送信フローを以下に示します。受信FIFO トリガを使用して受信中に送信FIFO に ACK フレームをセットし、受信完了後、送信FIFO にセットしたACK フレームを送信します。



【ご注意】
[RF_STATUS_CTRL:B0 0x0A]レジスタで、FAST_TX モード、自動送信、パケット受信完了後のTX状態遷移設定を有効に設定している場合は、上記のフローで受信完了後に自動で送信状態へ移行します。割り込みグループ2の CRC エラー割込み(INT[9])と受信完了割込み(INT[8])は、ほぼ同時期に発生するため、CRCエラーが発生した場合は、受信から送信への以降期間（1.188ms）内で、[RF_STATUS:B0 0x0B]レジスタで Forece_TRX_OFF を行い、[STATE_CLR:B0 0x16]レジスタで送信FIFOのクリアをする必要があります。ホストMCUの処理能力上、期間内の送信停止が難しい場合は、FAST_TX モード、自動送信、パケット受信完了後のTX状態遷移設定を非有効に設定してください。(FAST_TX モードは[TXFIFO_THRL:B0 0x18]レジスタの設定によります。)

(5) Field チェック

Filed チェック機能をイネーブルとし、[RF_STATUS:B0 0x0B]レジスタで RX_ON 命令を発行します。CA_INT_CTRL ([C_CHECK_CTRL:B0 0x1B(6)]の設定に従い、 Filed チェックの一致または不一致で、割り込みグループ 2 の INT[14]([INT_SOURCE_GRP2: B0 0x0E(6))にて通知します。なお、Field チェックの結果、不一致であったパケット数をカウントし、[ADDR_CHK_CTR_H/L: B1 0x62/0x63])に表示します。このカウンタは STATE_CLR4[STATE_CLR: B0 0x16(4)](アドレスチェックカウンタクリア)にてクリアできます。

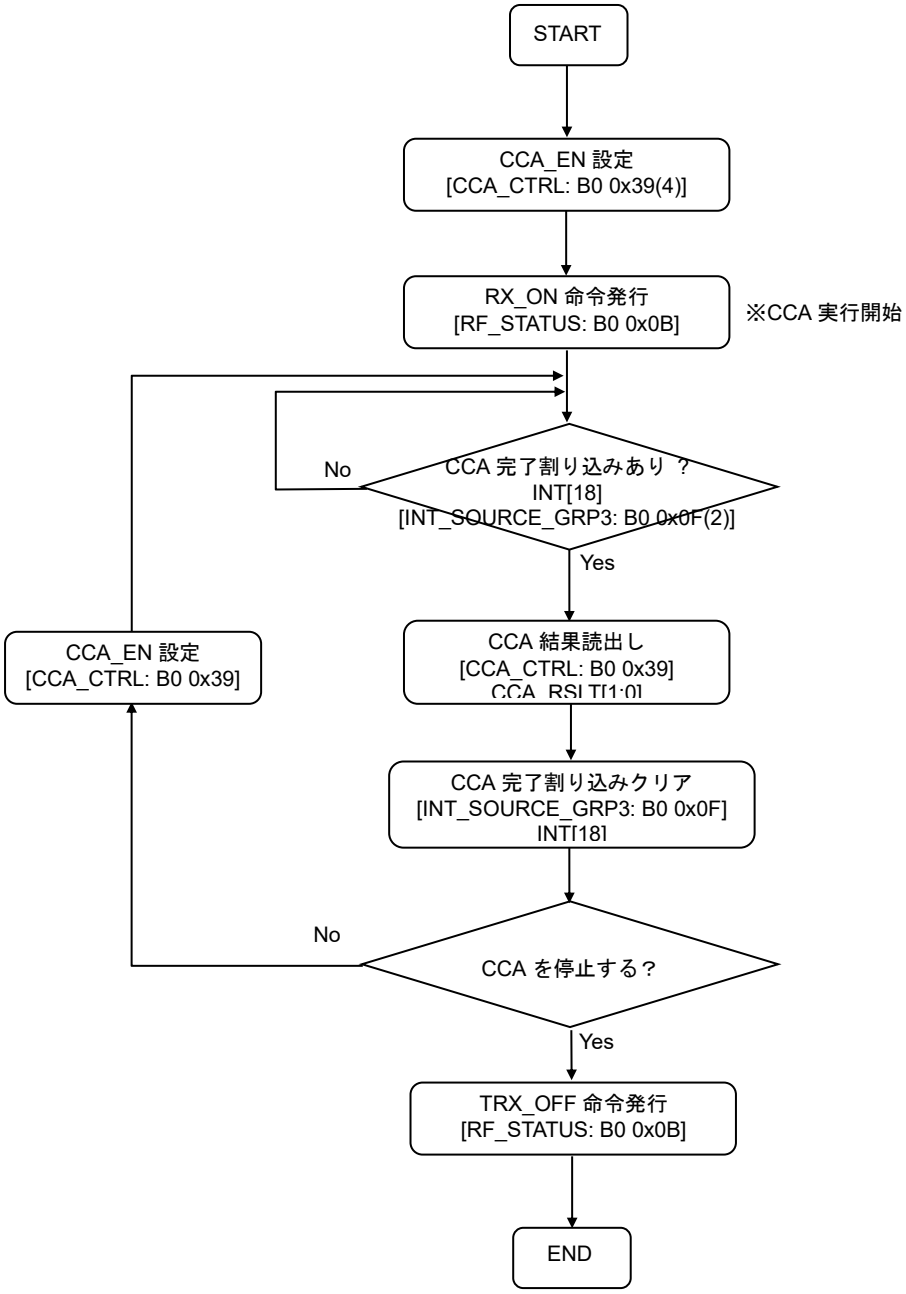


(6) CCA の実行

○通常モード

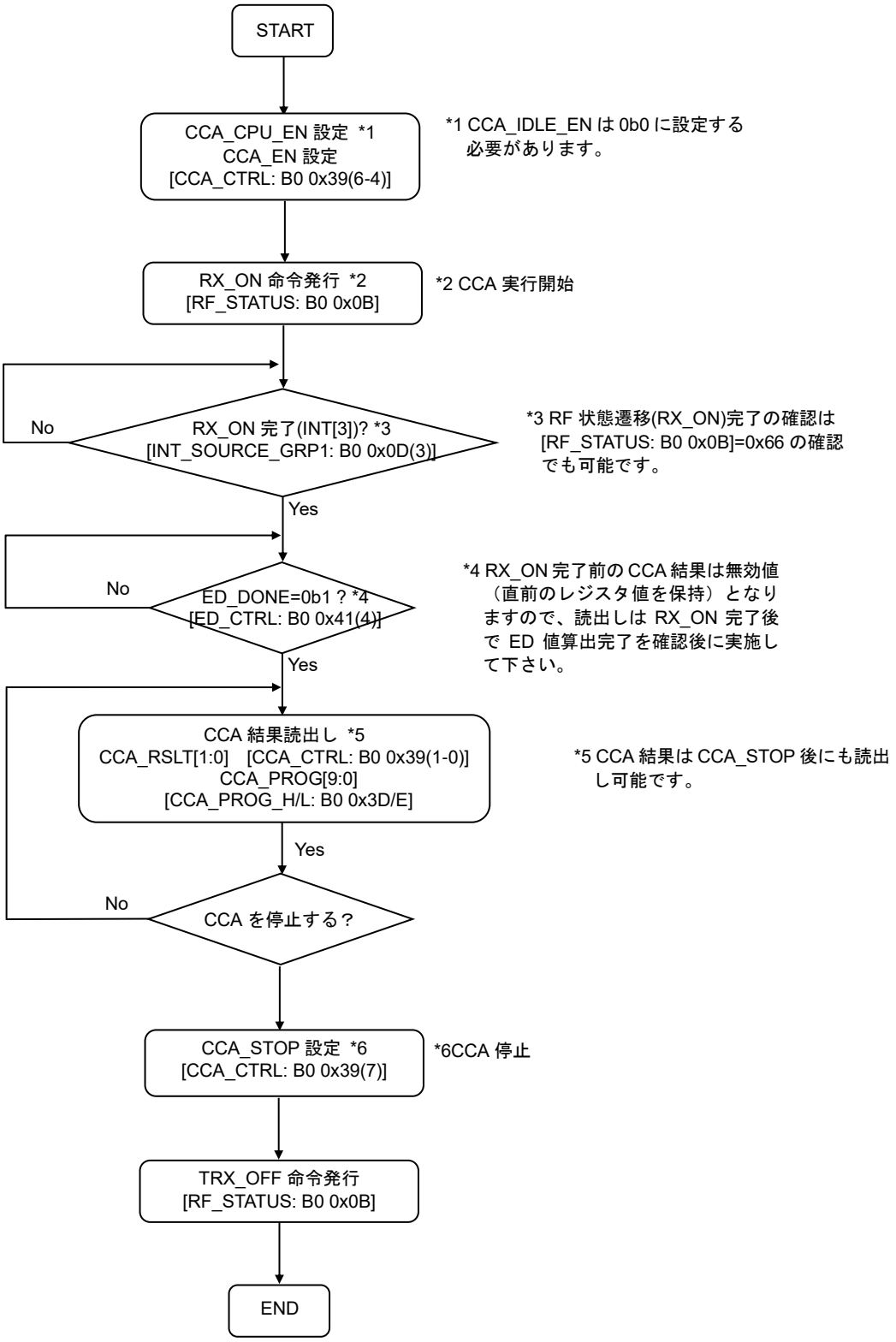
CCA_EN([CCA_CTRL: B0 0x39(4)])に 0b1 を設定し、[RF_STATUS:B0 0x0B]レジスタで RX_ON 状態に設定すると取得した ED 値の平均値と CCA_TH([CCA_LVL: B0 0x37])に設定した CCA_閾値の大小比較を実行し、結果を通知します。CCA 実行後、CCA_EN([CCA_CTRL: B0 0x39(4)])はディセーブルにセットされ RF は RX_ON 状態を維持します。

RX_ON 状態で CCA_EN に 0b1 を設定した場合でも CCA 実行可能です。



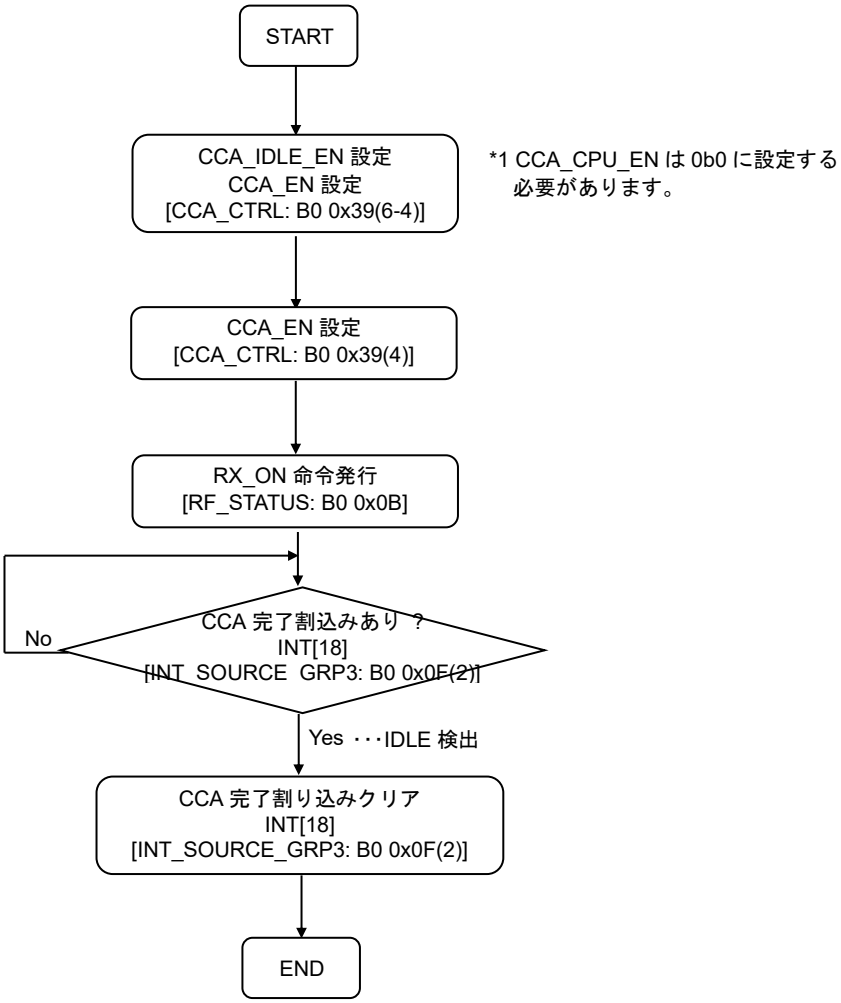
○無限実効モード

CCA_EN([CCA_CTRL: B0 0x39(4)])に 0b1 および CCA_CPU_EN([CCA_CTRL: B0 0x39(5)])に 0b1 を設定し、[RF_STATUS:B0 0x0B]レジスタで RX_ON 状態に設定すると CCA の無限実行モードが実行されます。本モードでは、自動停止せずに CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 をセットするまで CCA 継続します。本モードでは CCA 完了割込み(INT[18]:割り込みグループ 3)は通知されません。CCA 実行中、CCA_RSLT([CCA_CTRL: B0 0x39(1-0)])、[CCA_PROG_L: B0 0x3E]、[CCA_PROG_H: B0 0x3D] は常に更新され、CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 がセットされると値を保持します。



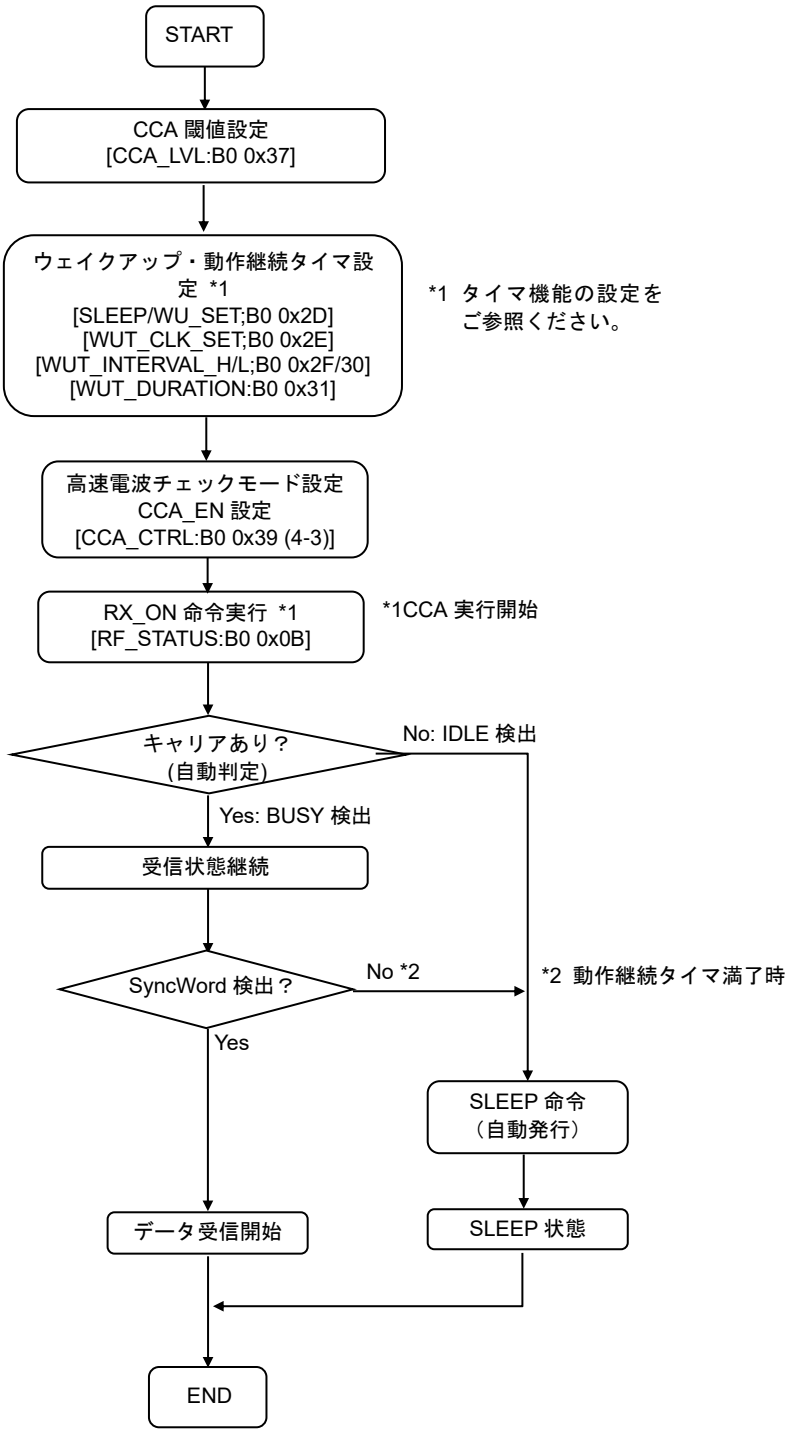
○IDLE 検出モード

IDLE 検出するまで CCA を継続するモードです。CCA_EN([CCA_CTRL: B0 0x39(4)])=0b1、CCA_IDLE_EN([CCA_CTRL: B0 0x39(6)])=0b1 を設定し、RF を受信状態(RX_ON)に設定すると CCA(IDLE 検出モード)が実行されます。



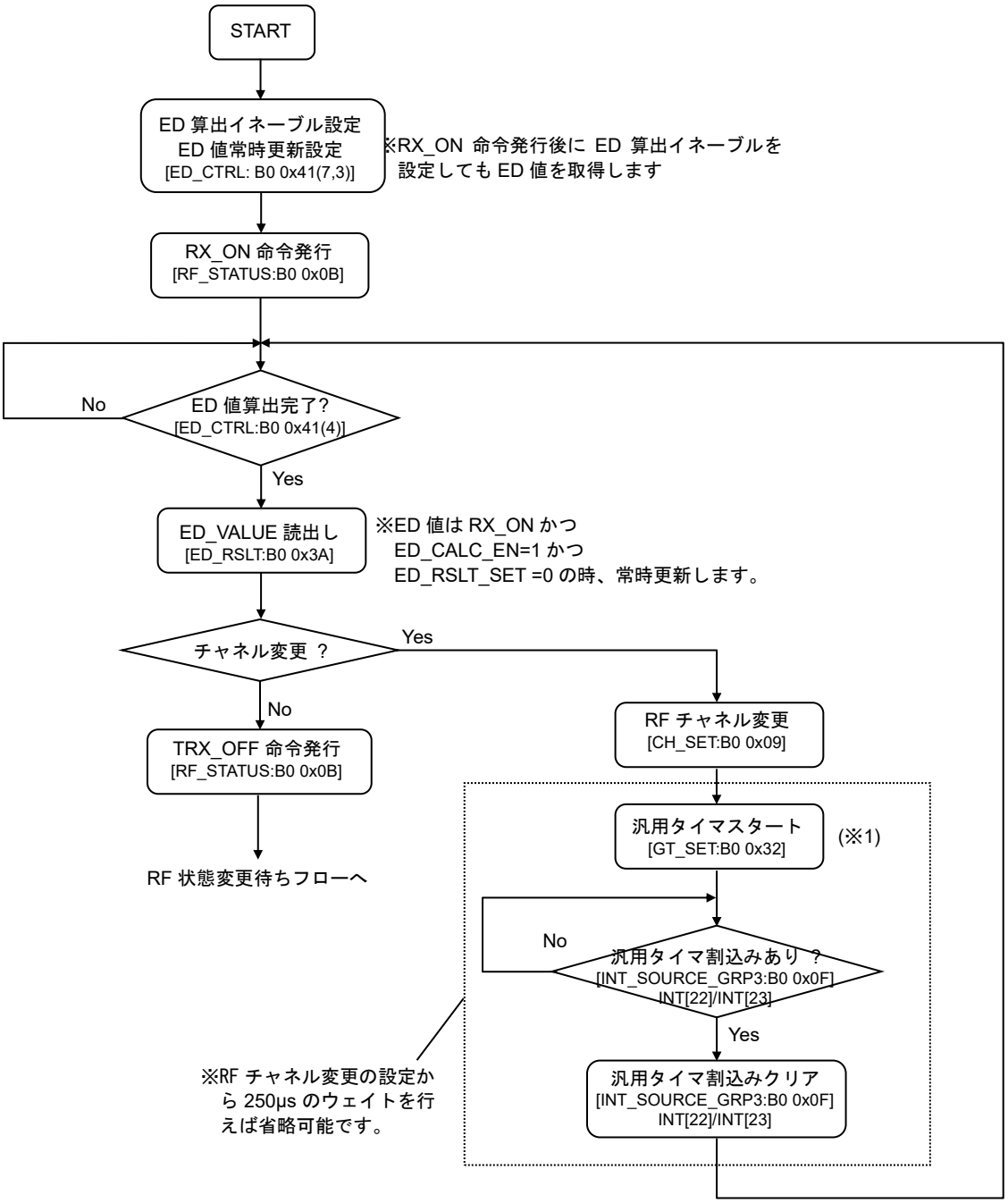
(7) 高速電波チェックモード

本モードは受信状態へ移行後、RSSI レベルと SyncWord 検出までの時間について判定を行い、受信状態の継続または中止を行います。RSSI レベル判定には[CCA_LVL:B0 0x37]レジスタに設定した閾値を使用し、SyncWord 検出時間判定は動作継続タイマ機能を使用します。判定後の動作は自動で切り替わる為、最終状態は SLEEP 状態か受信中のどちらかになります。



(8) ED-SCAN

ED_CALC_EN ([ED_CTRL: B0 0x41(7)])に 0b1 が設定されている状態で、[RF_STATUS:B0 0x0B]レジスタで RX_ON 状態に設定すると、ED 値の自動取得を開始します。ED_RSLT_SET([ED_CTRL:B0 0x41(3)])=0b0 に設定すると、ED 値は常に最新の値に更新されます。

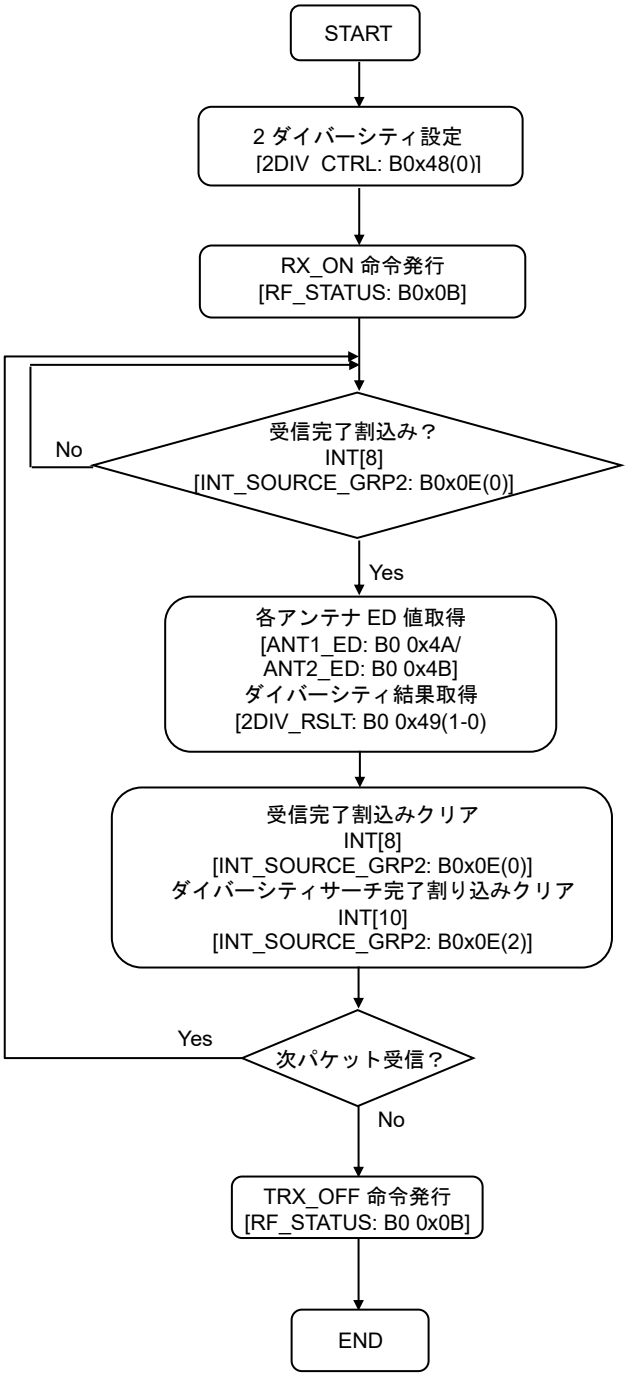


(※1)汎用タイマ設定例
250μs のウェイトを汎用タイマ 1 を使ってウェイトする場合、
以下のレジスタを設定します。

[GT_CLK_SET:B0 0x33]･･･	0x01(128 分周)
[GT_INTERVAL1:B0 0x34]･･･	0x04(タイマ設定)
[GT_SET:B0 0x32]･･･	0x03(2MHz クロック選択、タイマスタート)

(9) アンテナダイバーシティ

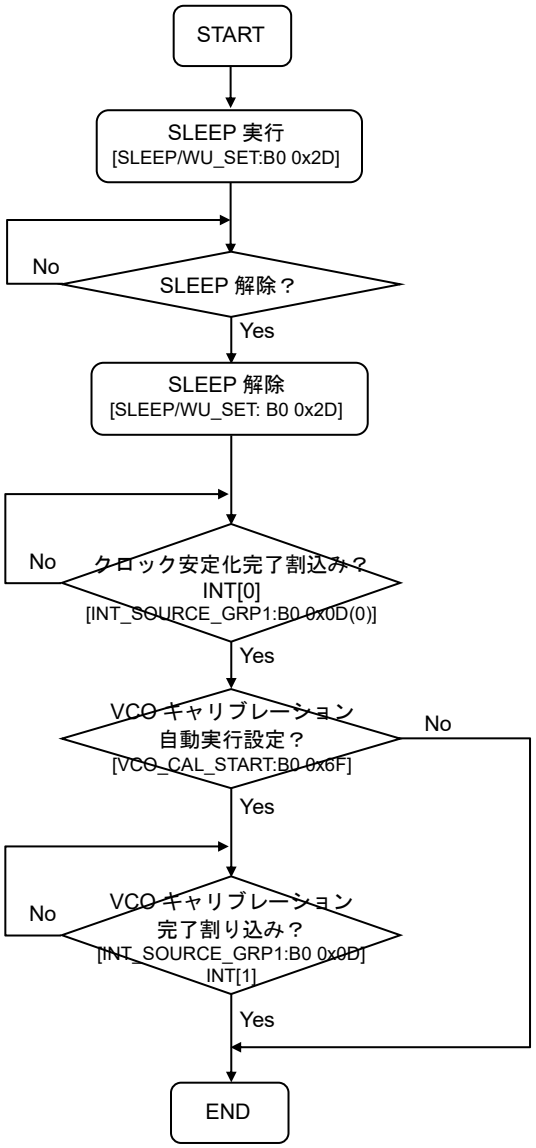
2DIV_EN([2DIV_CTRL:B0 0x48(0)])に 0b1 が設定されている状態で、[RF_STATUS:B0 0x0B]レジスタで RX_ON 状態に設定すると、アンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナを使用するよう制御します。
ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A/ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果 2DIV_RSLT([2DIV_RSLT: B0 0x49(1-0)])は SyncWord 検出時に上書き更新されます。また、ダイバーシティ検出完了割込み INT[10]([INT_SOURCE_GRP2: B0x0E(2)])をクリアした場合、ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A/ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果 2DIV_RSLT([2DIV_RSLT: B0 0x49(1-0)])はクリアされます。



●SLEEP

(1) SLEEP

SLEEP_EN([SLEEP/WU_SET:B0 0x2D(0)])を 0b1 に設定することにより SLEEP が実行されます。また、SLEEP_EN を 0b0 に設定することにより SLEEP が解除されます。
VCO キャリブレーション自動実行設定 AUTO_VCOCAL_EN([VCO_CAL_START:B0 0x6F (4)])を 0b1 に設定した場合、SLEEP 解除後のクロック安定化完了割込み(INT[0]:割り込みグループ1)発生後、VCO キャリブレーションを実行します。

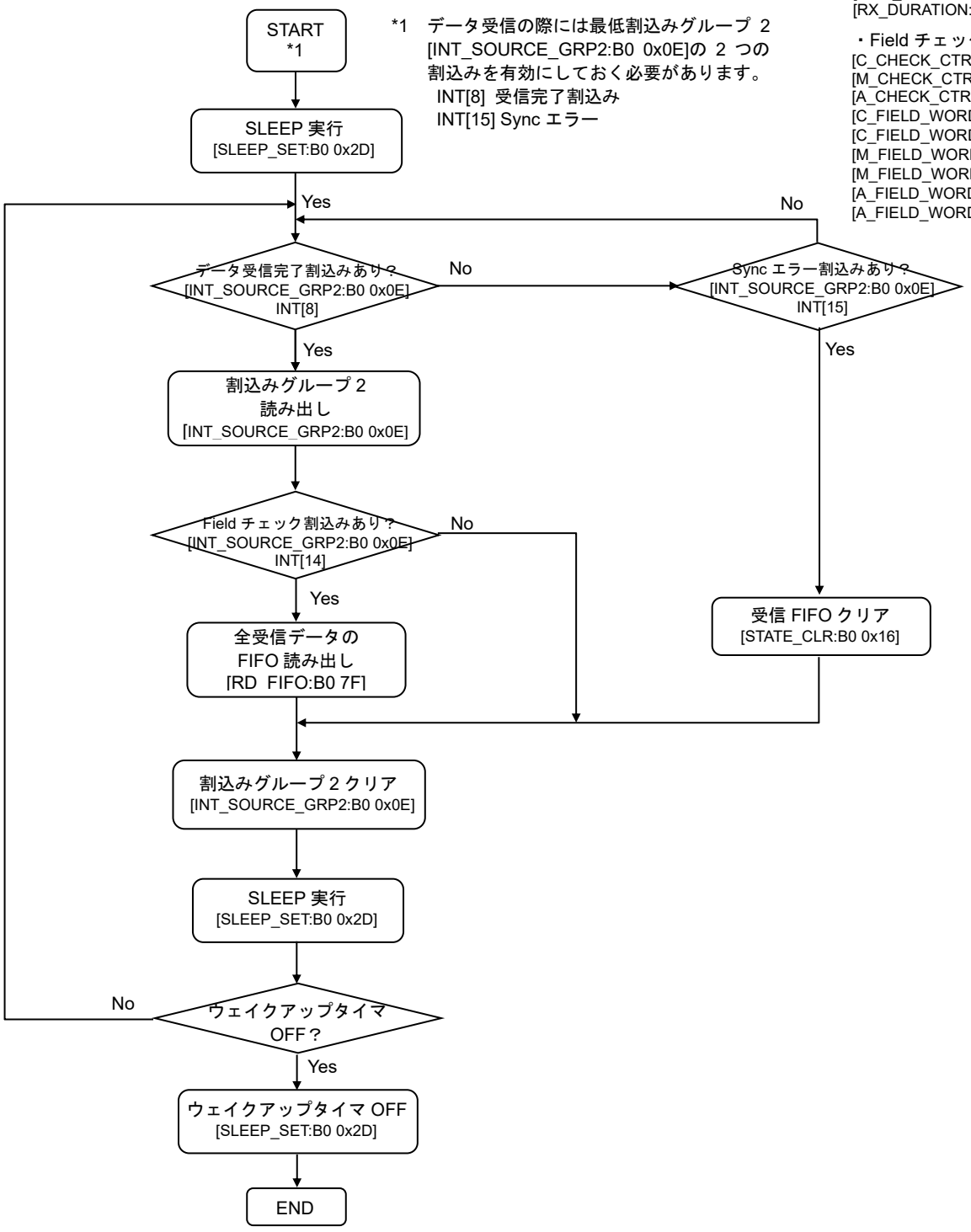


(2) ウェイクアップタイマ

以下レジスタを設定することにより SLEEP 実行後、自動でウェイクアップし RX_ON 状態となります。受信完了割込み(INT[8]:割り込みグループ2)を待ち、受信完了後に Field チェック割込み(INT[14]:割り込みグループ 2)を確認します。Field チェックの結果、アドレス一致している場合は受信データリード処理を行い、アドレス不一致時は STATE_CLR1([STATE_CLR: B0 0x16(1)])(受信FIFOクリア)を実行してください。割り込みグループ 2 のクリア後、SLEEP 実行(SLEEP_EN[SLEEP/WU_SET: B0 0x2D(0)]) することにより SLEEP 状態となり、タイマ動作を継続します。なお、RX_ON 後の動作継続タイマが満了時に SyncWord 検出していなかった場合、自動で SLEEP 状態へ戻ります。

・ウェイクアップタイマ設定
WAKEUP_EN([SLEEP_SET:B0 0x2D(4)]) =0b1
RX_DURATION_EN([SLEEP_SET:B0 0x2D(5)])=0b1
WAKEUP_MODE([SLEEP_SET:B0 0x2D(6)])=0b0
[WUT_CLK_SET:B0 0x2E]
[WUT_INTERVAL_H:B0 0x2F]
[WUT_INTERVAL_L:B0 0x30]
[RX_DURATION:B0 0x31]

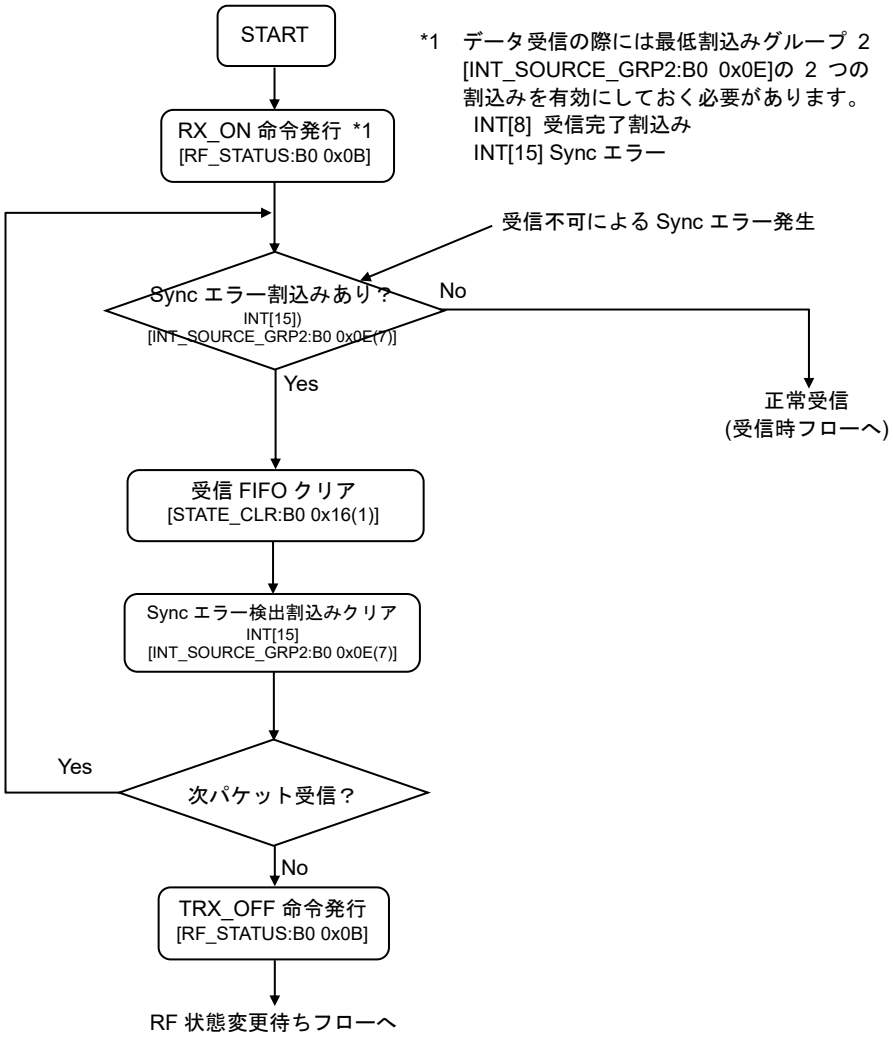
・Field チェック機能設定
[C_CHECK_CTR:B0 0x1B]
[M_CHECK_CTRL:B0 0x1C]
[A_CHECK_CTRL:B0 0x1D]
[C_FIELD_WORD1:B0 0x1E]～
[C_FIELD_WORD5:B0 0x22]
[M_FIELD_WORD1:B0 0x23]～
[M_FIELD_WORD4:B0 0x26]
[A_FIELD_WORD1:B0 0x27]～
[A_FIELD_WORD6:B0 0x2C]



●エラー発生時の処理

(1) Sync エラー

SyncWord 検出以降のデータ受信中に電波強度の急激な変動等により同期が外れた場合、Sync エラー割込み(INT[15]:割り込みグループ 2)を通知し、データ受信完了割り込み(INT[8]:割り込みグループ 2)は通知されません。データ受信完了割り込みが通知されず Sync エラー割り込みが通知された場合には、受信 FIFO からリードせずに[STATE_CLR:B0 0x16]レジスタで受信 FIFO クリアし、Sync エラー割り込みをクリアしてください。”データ受信中”とは SyncWord 以降のデータ(L-field、データ、CRC 領域)を受信しているときを示します。



【ご注意】
本 LSI は FIFO モードにおいて Sync エラーを検出した場合、Sync エラー発生パケットは無効であると判断し、受信データの FIFO への格納を停止し、受信 FIFO 制御情報(受信データ数、FIFO リード数等)をクリアします。この状態で FIFO リードを行った場合、受信データがない状態での FIFO リードとなり、無効な FIFO 使用量および受信 FIFO アクセスエラーを示します。次のパケットを正常に受信するためには受信 FIFO クリア([STATE_CLR:B0 0x16])および受信 FIFO アクセスエラー割込み(INT[12])をクリアした後、受信開始してください。
Sync エラー発生時、RF の状態は RXON を継続し、Sync エラー通知直後から次パケット受信に備え、SyncWord 検出待ち状態となります。なお、次パケットを正常に受信するためには受信 FIFO クリア([STATE_CLR:B0 0x16])および受信関連割込み([INT_SOURCE_GRP2:B0 0x0E])を全てクリアしてください。

Sync エラー発生時の FIFO 制御による内部状態と次のパケット受信に必要な処理は以下の通りです。

<table>
<tr><th>Sync エラー発生後の
FIFO 処理</th><th>SyncWord 検出後から
Sync エラー発生
までの FIFO 処理</th><th>内部状態</th><th>次パケット受信に必要な処理</th></tr>
<tr><td rowspan="2">FIFO リードなし</td><td>FIFO リードなし</td><td>Sync エラー発生まで 1 バイトも FIFO リードを行っていない場合、FIFO リードポインタは初期状態を維持しています。</td><td>受信 FIFO クリアなしに次パケットを正常に読み出すことが可能です。受信時に必要な割込みを通知させるため、受信関連割込みクリア([INT_SOURCE_GRP2:B0 0x0E])を行ってください。</td></tr>
<tr><td>FIFO リードあり</td><td>Sync エラー発生直前までリードした FIFO リードポインタは初期化されません。</td><td rowspan="2">次パケットデータを正常に読み出すためには FIFO リードポインタを初期化する必要があるため、必ず受信 FIFO クリア([STATE_CLR:B0 0x16])を行ってください。また、受信時に必要な割込みを通知させるため、受信関連割込みクリア([INT_SOURCE_GRP2:B0 0x0E])を行ってください。</td></tr>
<tr><td>FIFO リードあり</td><td>FIFO リードあり/なし</td><td>受信データがない状態での FIFO リードとなり、無効な FIFO 使用量および受信 FIFO アクセスエラーを示します。FIFO リードポインタは初期化されません。</td></tr>
</table>

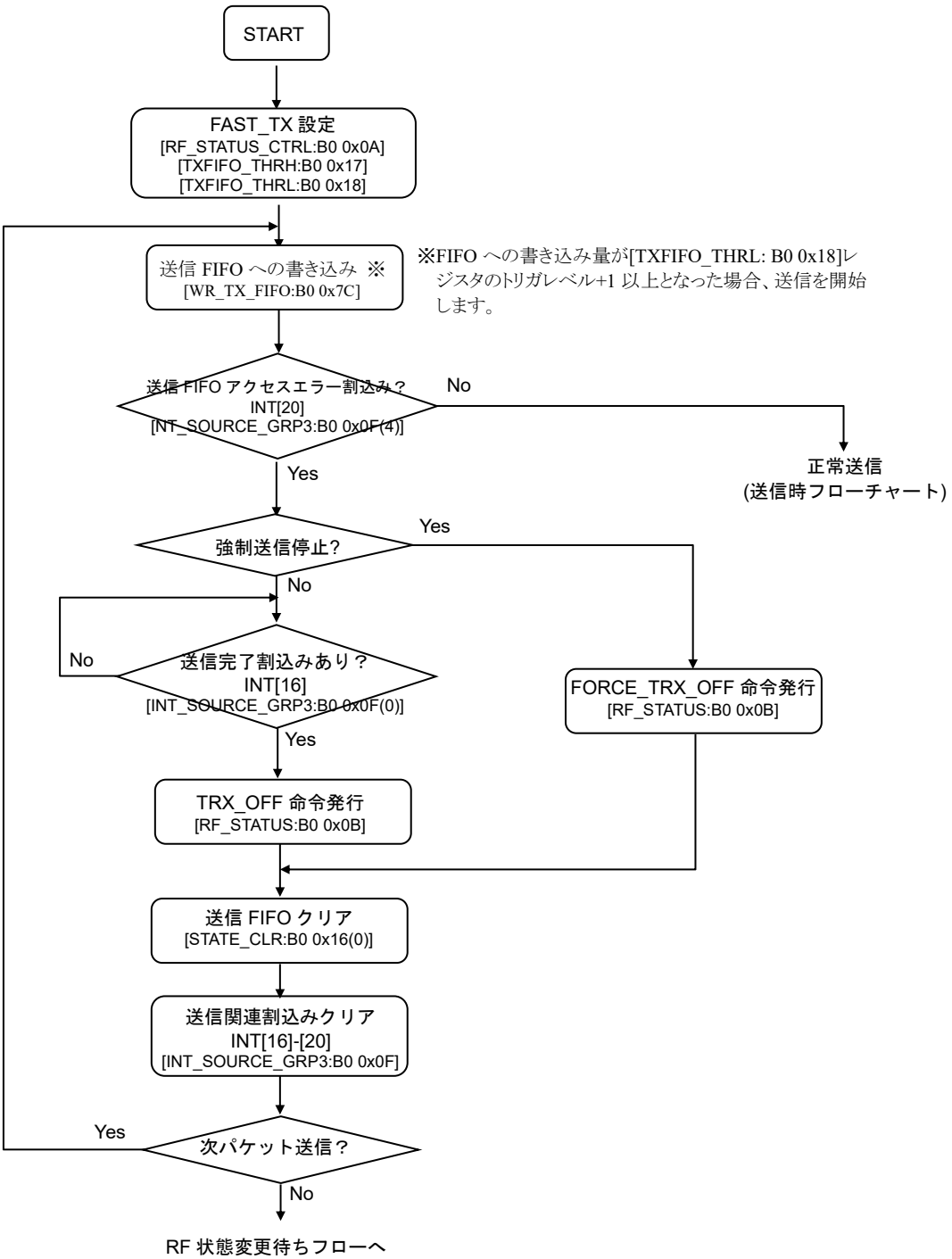
(2) 送信 FIFO アクセスエラー

以下の条件を満たしたとき送信 FIFO アクセスエラー割込み(INT[20]:割り込みグループ 3)が発生します。

・データ送信要求受付完了割込み(INT[17]:割り込みグループ 3)発生後、送信せずに次パケットのデータ書き込みを行ったとき
・TX FIFO に対してデータ書き込みによりオーバーフローが発生したとき、または
・送信途中で TX FIFO に送信すべきデータがなくなったとき

このとき、送信完了割込み(INT[16]:割り込みグループ 3)を待って[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行するか、送信完了割り込みを待たずに Force_TRX_OFF を実施します。その後[STATE_CLR:B0 0x16]レジスタで送信 FIFO クリアしたのち割り込みグループ 3[INT_SOURCE_GRP3:B0 0x0F]の送信関連割込みのクリアを実行してください。

また、本 LSI は送信中に送信 FIFO アクセスエラーが発生した場合、その後の送信データを反転処理します。送信完了割込みを待って TRX_OFF 命令を発行する場合においても、受信側では CRC エラーとなります。



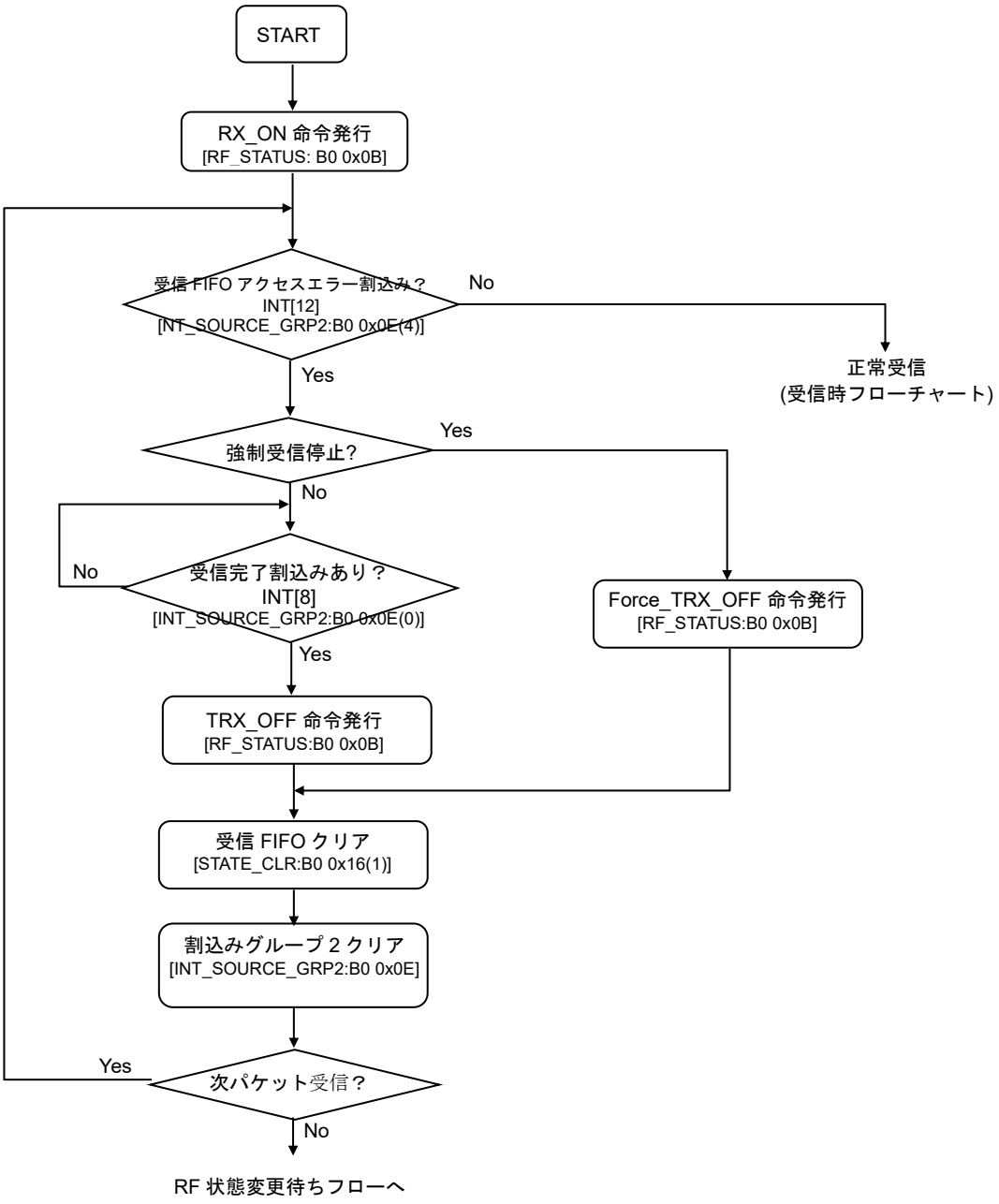
(3) 受信 FIFO アクセスエラー

受信時、以下の条件を満たしたとき受信 FIFO アクセスエラー割込み(INT[12]:割り込みグループ 2)が発生します。

・RX FIFO に対してデータ受信によるオーバーフローが発生したとき、または

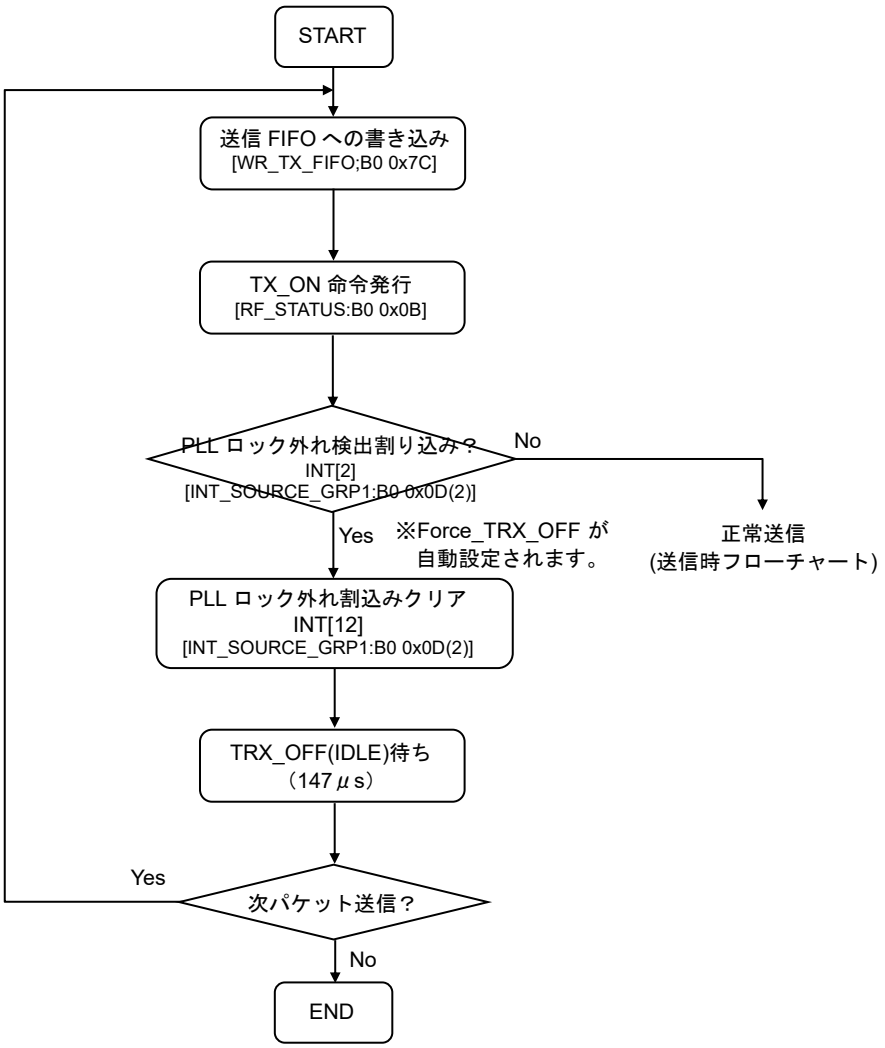
・RX FIFO に読み出すべきデータがない時に RX_FIFO を読み出したとき

このとき、受信完了割り込み(INT[8]:割り込みグループ 2)を待って[RF_STATUS:B0 0x0B]レジスタで TRX_OFF 命令を発行するか、受信完了割り込みを待たずに Force_TRX_OFF を実施します。その後[STATE_CLR:B0 0x16]レジスタで受信 FIFO クリアしたのち割り込みグループ 2[INT_SOURCE_GRP2:B0 0x0E]の受信関連割込みのクリアを実行してください。



(4) PLL ロック外れ検出

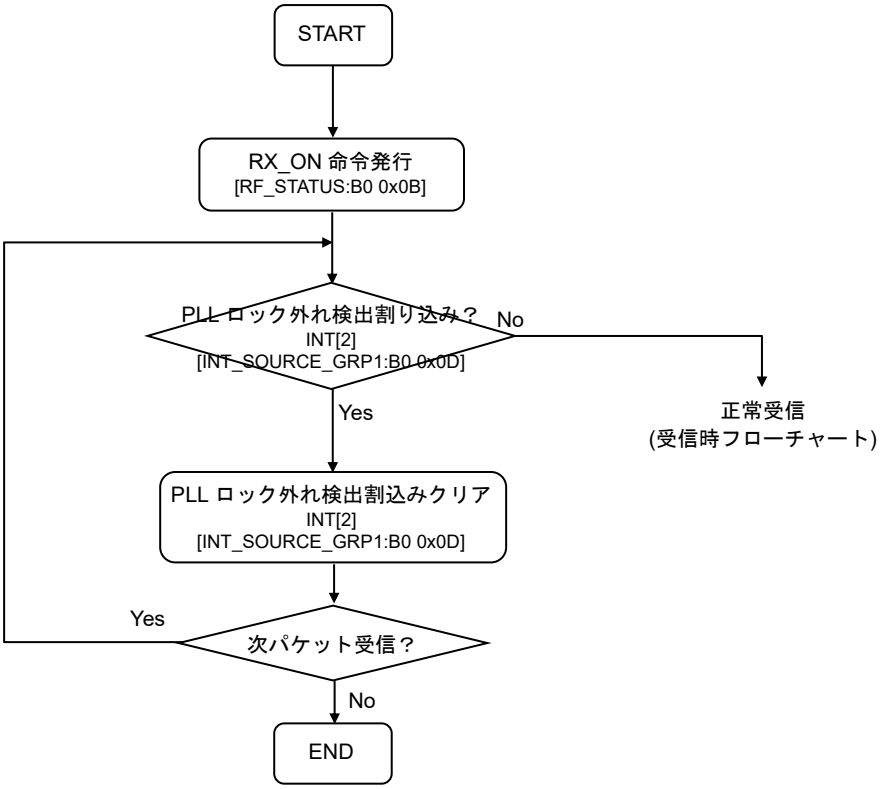
○送信時
送信中に PLL ロック外れを検出した場合、PLL ロック外れ検出割込み(INT[2]:割り込みグループ1)を発生します。また自動的に Force_TRX_OFF 命令が発行され IDLE 状態へ強制移行します。SET_TRX[3:0]([RF_STATUS:B0 0x0B(3-0)]は 0b0011(Force_TRX_OFF)に書き換えられます。PLL ロック外れは VCO キャリブレーション値が適切でない状態で発生する可能性があります。VCO キャリブレーションの確認または VCO キャリブレーションを再実行してください。PLL ロック外れ検出割込み通知後、IDLE 状態へ移行するまでに最大 147µs の時間が必要です。次の送信、受信または VCO キャリブレーションを行う前に必ず 147µs 以上の WAIT を行ってください。



○受信時

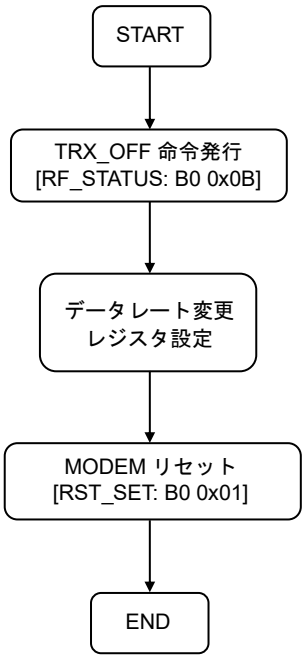
受信中にPLLロック外れを検出した場合、PLLロック外れ割り込み(INT[2]:割り込みグループ1)が発生します。受信中のPLLロック外れ検出ではIDLE状態へ強制移行せず、受信状態を継続します。PLLロック外れ割込みをクリアしたあと、次のパケットの受信をしてください。

頻繁にPLLロック外れ割込みが発生する場合は、使用周波数帯域に対してVCO周辺回路が適切でない可能性が高いため、回路検証を行い原因を取り除いた後に使用してください。



●データレート変更時

TRX_OFF 状態でデータレート変更レジスタ設定後、MODEM リセットを実行してください。MODEM リセットしない場合、データレート変更レジスタ設定後、正常に送受信できませんのでご注意ください。



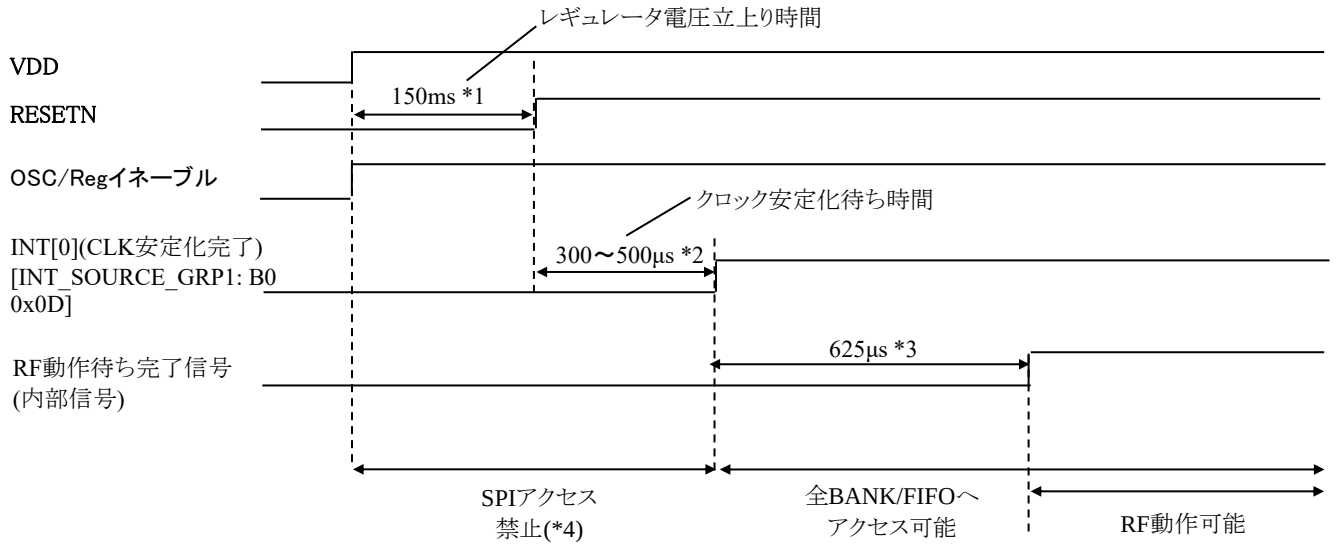
■タイムチャート

本 LSI の主な動作タイミングを示します。 太字はピン入出力関連を示します。

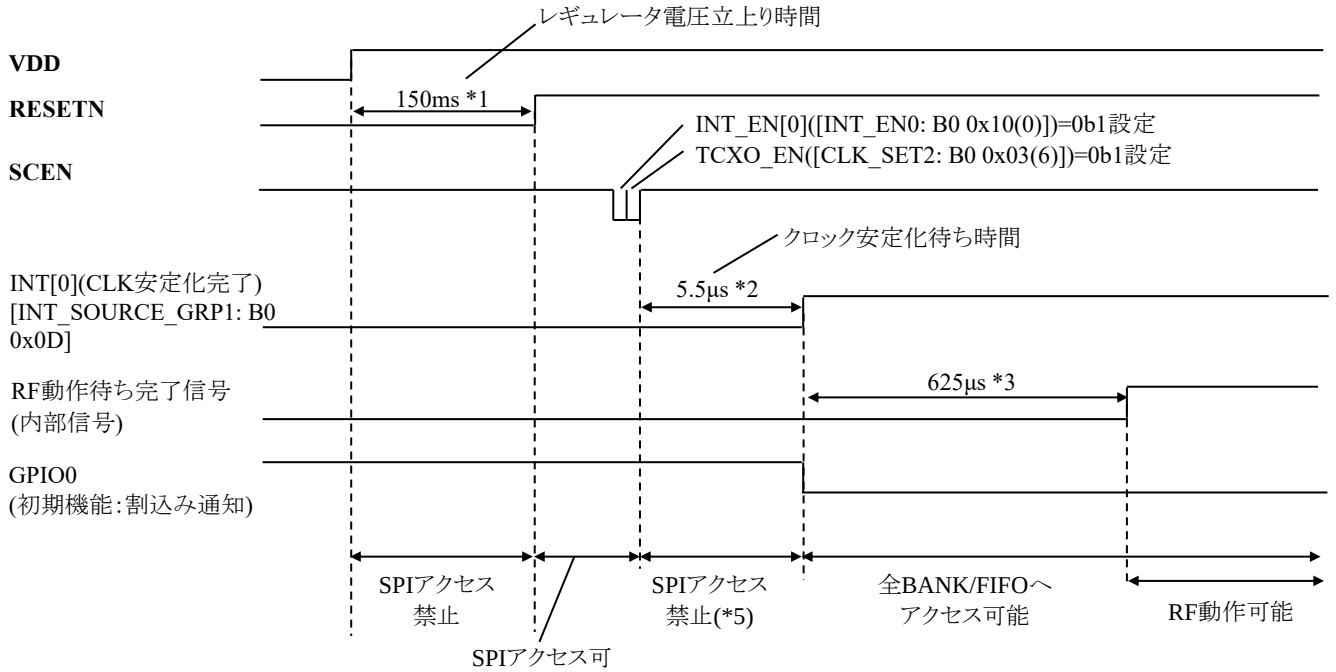
【ご注意】
太字の信号名は端子名を、細字の信号名は内部信号または内部状態を示します。

●起動時

[ML7406C]



[ML7406T]



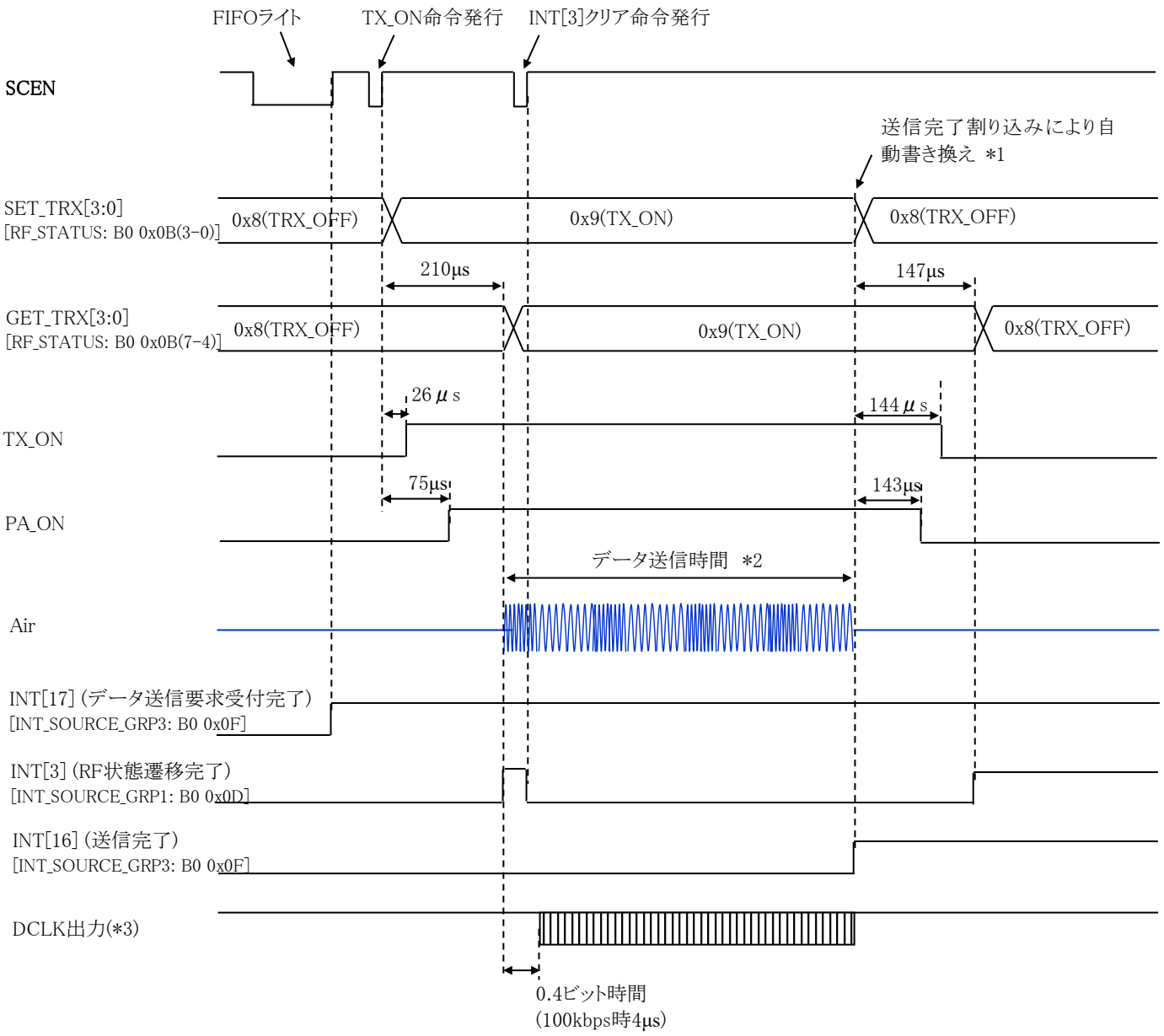
*1： 起動時の VDD と RESETN のタイミングについては「リセット特性」をご参照下さい。
*2：XTAL_EN([CLK_SET2: B0 0x03(4)])=0b1 に設定した場合は、OSC_W_SEL[1:0]([ADC_CLK_SET: B1 0x08(6-5)]の設定により 10/50/250/500μs に調整可能です。また TCXO 使用時（TCXO_EN([CLK_SET2: B0 0x03(6)])=0b1）では、5.5μs となります。水晶発振回路使用時のクロック安定待ち時間の目安は 300～500μs 程度となります。なお、クロック安定化待ち時間は水晶のマッチング等により変化します。

*3 : [VCO_CAL_START: B0 0x6F]および[RF_STATUS: B0 0x0Bレジスタは設定可能ですが、RF動作待ち完了信号がアサートされるまで処理されません。

*4 : ML7406C ではハードリセット解除(RESETN 端子=”H”)後、クロック安定化完了割込みが通知されるまで十分時間経過後に INT0[INT_SOURCE_GRP1: B0 0x0D(0)]をリードし、クロック安定化割込みが通知されていることを確認した後 SPI アクセスをしてください。

*5 : ML7406T では TCXO_EN([CLK_SET2: B0 0x03(6)])および INT_EN[0]([INT_EN0: B0 0x10(0)])を 0b1 に設定後、GPIO0 端子からクロック安定化完了割込みが通知されるまで SPI アクセスはしないでください。

●送信時



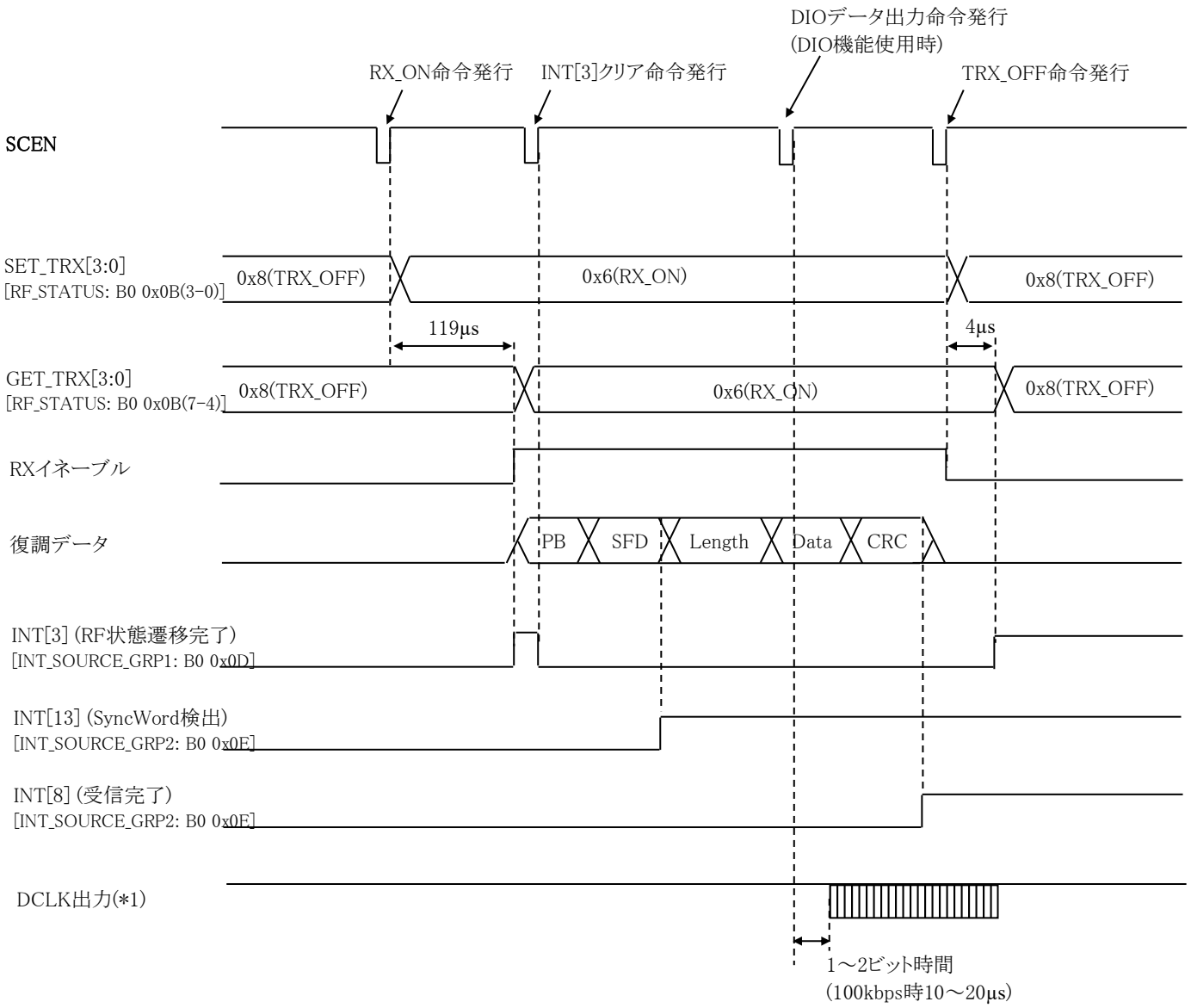
*1 : TXDONE_MODE[1:0]([RF_STATUS_CTRL: B0 0x0A(1-0)])=0b00(default)に設定した場合、送信完了割込み検出により自動で SET_TRX[3:0]([RF_STATUS: B0 0x0B(3-0)])を 0x8(TRX_OFF)に書き換えます。

*2 : データ送信時間は次式で計算されます。

データ送信時間[s] = (送信ビット数+3) ×1 ビット送信時間[s]
1 ビット送信時間[s] = 1/データレート[bps]

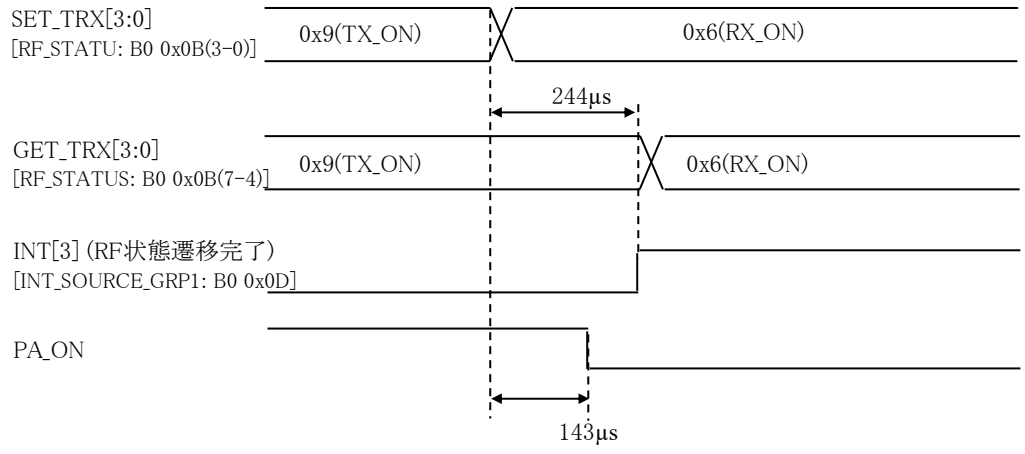
*3 : TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])=0b01 に設定した場合

●受信時

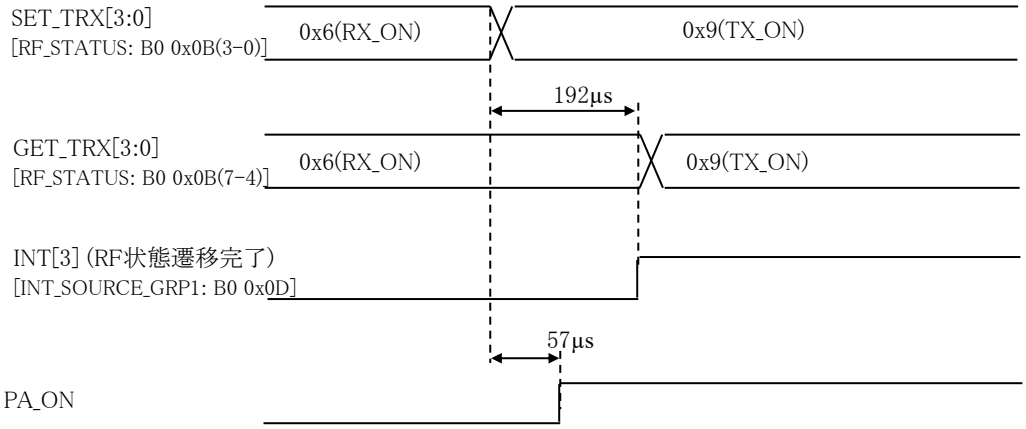


*1：RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])=0b10 または 0b11 に設定した場合

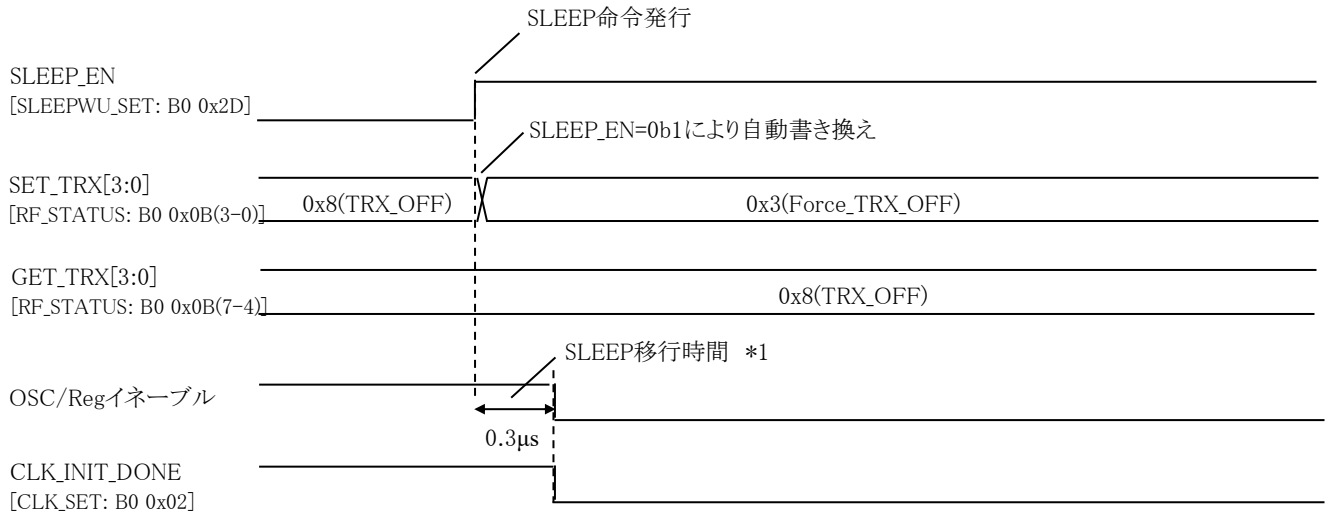
●送信から受信への移行



●受信から送信への移行

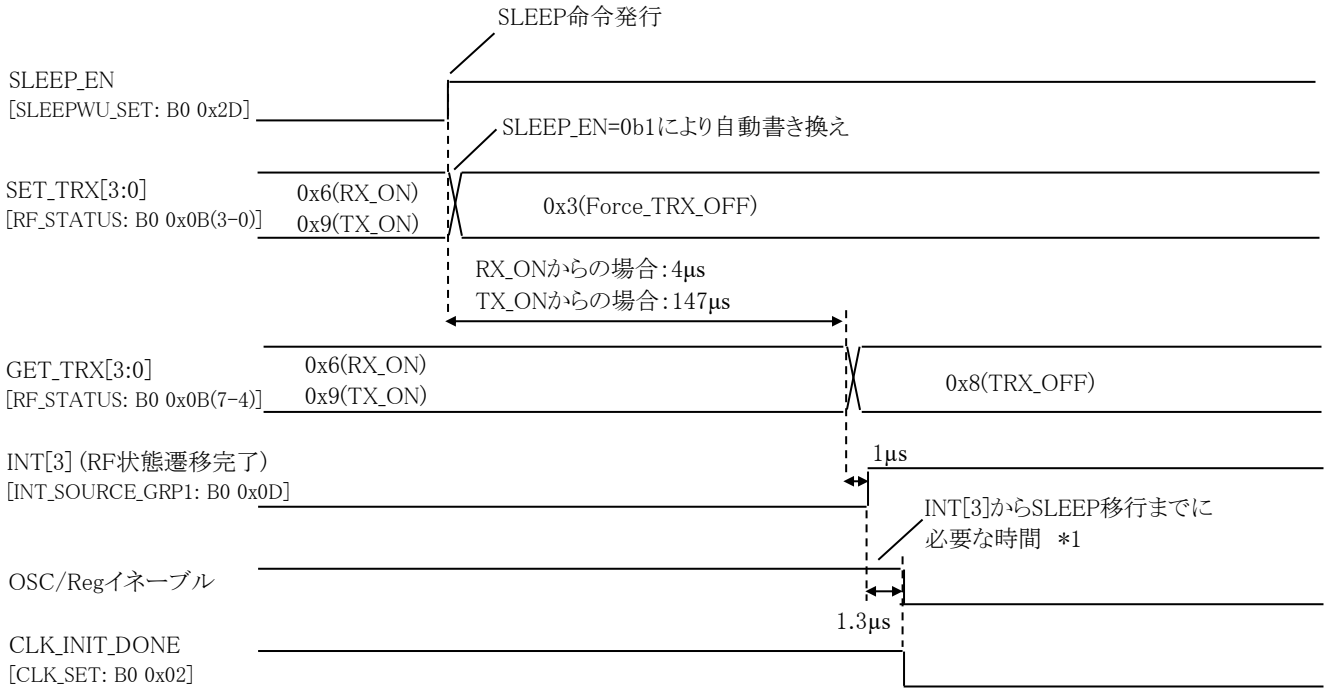


●IDLE から SLEEP への移行



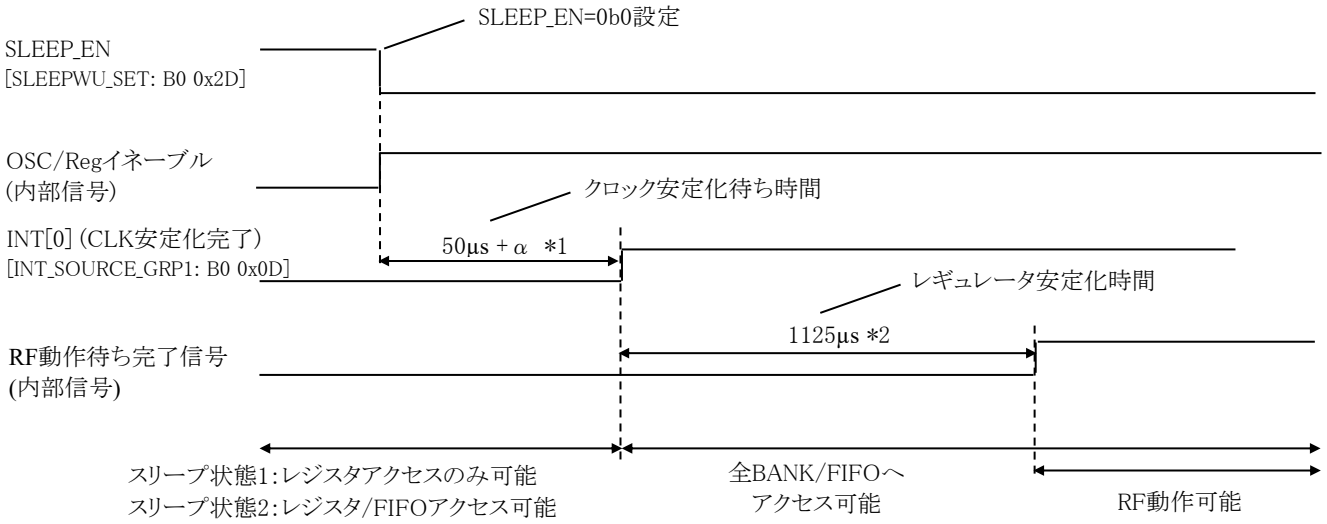
*1：SLEEP 移行時間。SLEEP 移行の期間は内部クロックが必要なため、TCXO を停止させる場合は、SLEEP 命令発行（SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])=0b1）後、0.3μs 以上経過後にしてください。

●送信/受信状態から SLEEP への移行



*1：TCXO を使用している場合は、SLEEP 命令発行（SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])=1）による INT[3]の通知から 1.3μs 以上経過後に TCXO(クロック)入力を停止して下さい。

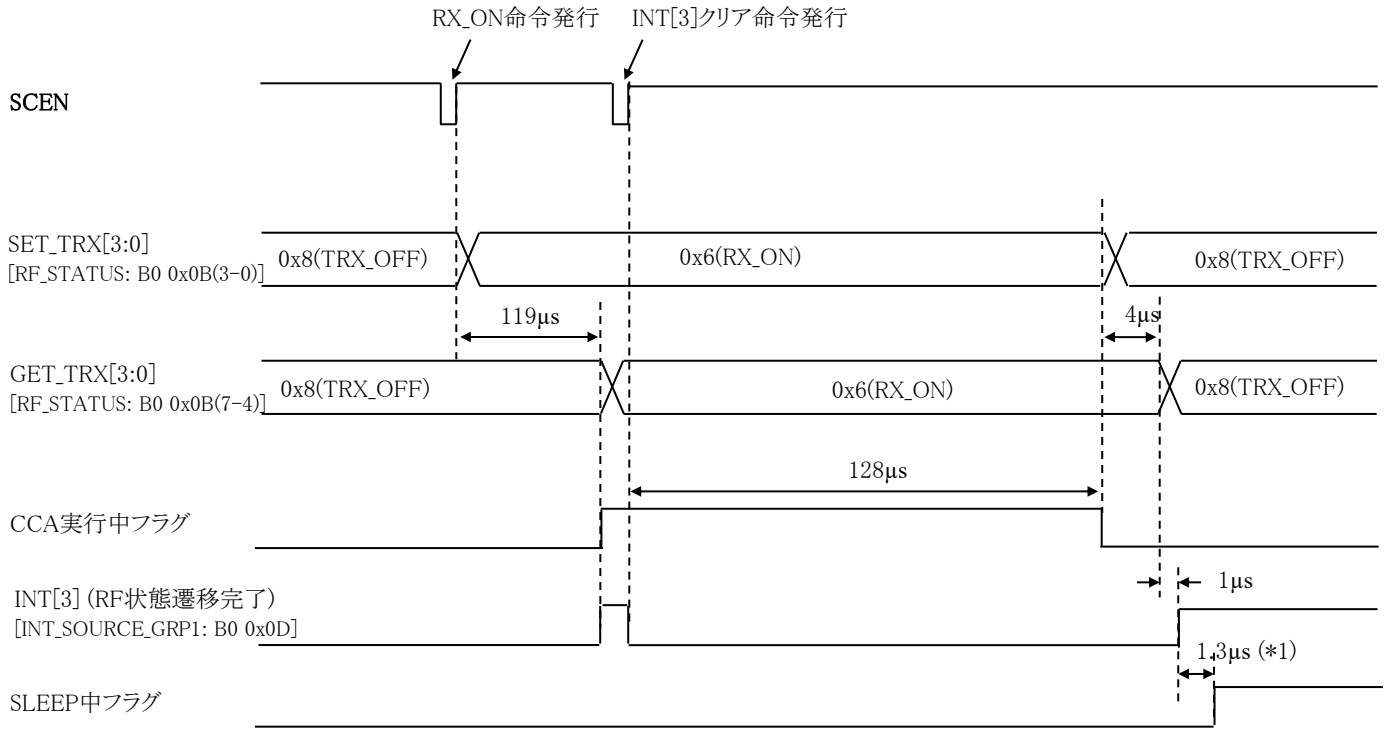
●SLEEP から IDLE への移行



*1： XTAL_EN([CLK_SET2: B0 0x03(4)])=0b1 に設定した時は OSC_W_SEL[1:0]([ADC_CLK_SET: B1 0x08(6-5)])の設定により 10/50/250/500μs に調整可能です。α は発振回路起動時間で、最大 500μs です。また TCXO 使用時（TCXO_EN([CLK_SET2: B0 0x03(6)])=0b1）では、5.5μs となります。

*2： [VCO_CAL_START:B0 0x6F]および[SET_TRX: B0 0x0B]レジスタは設定可能ですが、R 動作待ち完了信号がアサートされるまで処理されません。

●高速電波チェックモード時



*1：INT[3]から SLEEP 移行までに必要な時間。TCXO を停止させる場合は、INT[3]の通知から 1.3us 以上経過後にしてください。

■レジスタ

●レジスター覧

各バンクのレジスタ配置アドレス範囲は 0x00－0x7F の合計 128 バイトです。表中ビット配置のグレーのハッチング箇所は LSI に非搭載または予約ビットとなります。予約ビットの中には非公開機能のビットを含むため、予約ビットへの書き込みは必ず初期値を設定してください。また名称が“Reserved”と記載されているアドレスについても非公開レジスタが含まれており、誤動作につながる可能性があるためアクセス（書き込み）は行わないでください。

各 BANK には、[BANK_SEL]レジスタ（B0 0x00, B1 0x00, B2 0x00, B3 0x00）の bit7-4 (B*_ACEN)に 0b1 を書き込み、bit3-0 にて該当する BANK を設定することで各 BANK にアクセスすることが可能です。

別途レジスタ一覧表に設定値が記載されているレジスタは、一覧表の値を設定し変更しないでください。

BANK0

アドレス [HEX]	レジスタ名称	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
00	BANK_SEL	BANK 切り替え								
01	RST_SET	リセット制御								
02	CLK_SET1	クロック制御 1								
03	CLK_SET2	クロック制御 2								
04	PKT_CTRL1	パケットフォーマット設定 1								
05	PKT_CTRL2	パケットフォーマット設定 2								
06	DRATE_SET	データレート設定								
07	DATA_SET1	送受信データ各種設定 1								
08	DATA_SET2	送受信データ各種設定 2								
09	CH_SET	RF チャネル設定								
0A	RF_STATUS_CTRL	RF 状態変更設定								
0B	RF_STATUS	RF 状態設定								
0C	DIO_SET	DIO 設定								
0D	INT_SOURCE_GRP1	割り込み表示 1								
0E	INT_SOURCE_GRP2	割り込み表示 2								
0F	INT_SOURCE_GRP3	割り込み表示 3								
10	INT_EN_GRP1	割り込み通知イネーブル 1								
11	INT_EN_GRP2	割り込み通知イネーブル 2								
12	INT_EN_GRP3	割り込み通知イネーブル 3								
13	CRC_ERR_H	CRC エラー表示 1								
14	CRC_ERR_M	CRC エラー表示 2								
15	CRC_ERR_L	CRC エラー表示 3								
16	STATE_CLR	状態クリア制御								
17	TXFIFO_THRH	送信 FIFO-Full 閾値								
18	TXFIFO_THRL	送信 FIFO-Empty 閾値、FAST_TX イネーブル時の閾値								
19	RXFIFO_THRH	受信 FIFO-Full 閾値								
1A	RXFIFO_THRL	受信 FIFO-Empty 閾値								
1B	C_CHECK_CTRL	C-field チェックイネーブル								
1C	M_CHECK_CTRL	M-field チェックイネーブル								
1D	A_CHECK_CTRL	A-field チェックイネーブル								
1E	C_FIELD_CODE1	C-field 設定コード 1								
1F	C_FIELD_CODE2	C-field 設定コード 2								
20	C_FIELD_CODE3	C-field 設定コード 3								
21	C_FIELD_CODE4	C-field 設定コード 4								
22	C_FIELD_CODE5	C-field 設定コード 5								
23	M_FIELD_CODE1	M-field 1st バイト設定コード 1								
24	M_FIELD_CODE2	M-field 1st バイト設定コード 2								
25	M_FIELD_CODE3	M-field 2nd バイト設定コード 1								
26	M_FIELD_CODE4	M-field 2nd バイト設定コード 2								
27	A_FIELD_CODE1	A-field 1st バイト設定								
28	A_FIELD_CODE2	A-field 2nd バイト設定								
29	A_FIELD_CODE3	A-field 3rd バイト設定								
2A	A_FIELD_CODE4	A-field 4th バイト設定								
2B	A_FIELD_CODE5	A-field 5th バイト設定								
2C	A_FIELD_CODE6	A-field 6th バイト設定								
2D	SLEEP/WU_SET	SLEEP/WakeUP タイマ設定								
2E	WUT_CLK_SET	WakeUP タイマ用クロック分周設定								
2F	WUT_INTERVAL_H	WakeUP タイマインターバル設定(上位バイト)								
30	WUT_INTERVAL_L	WakeUP タイマインターバル設定(下位バイト)								
31	RX_DURATION	WakeUP 後の動作継続タイマ稼働時間設定								
32	GT_SET	汎用タイマ設定								
33	GT_CLK_SET	汎用タイマ用クロック分周設定								
34	GT1_TIMER	汎用タイマ 1 タイマ設定								
35	GT2_TIMER	汎用タイマ 2 タイマ設定								

BANK0 続き

アドレス [HEX]	レジスタ名称	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
36	CCA_IGNORE_LVL	CCA の判定除外 ED 値設定								
37	CCA_LVL	CCA 閾値設定								
38	CCA_ABORT	CCA ABORT 時間設定								
39	CCA_CTRL	CCA 制御設定								
3A	ED_RSLT	ED 値表示								
3B	IDLE_WAIT_H	IDLE 検出期間設定(上位バイト)								
3C	IDLE_WAIT_L	IDLE 検出期間設定(下位バイト)								
3D	CCA_PROG_H	IDLE 検出期間結果表示(上位バイト)								
3E	CCA_PROG_L	IDLE 検出期間結果表示(下位バイト)								
3F-40	Reserved	予約								
41	ED_CTRL	ED 値平均回数設定数								
42	TXPR_LEN_H	送信プリアンブル長設定(上位バイト)								
43	TXPR_LEN_L	送信プリアンブル長設定(下位バイト)								
44	POSTAMBLE_SET	ポストアンブル設定								
45	SYNC_CONDITION1	受信プリアンブル設定								
46	SYNC_CONDITION2	同期検出時の ED 閾値								
47	SYNC_CONDITION3	誤り許容設定								
48	2DIV_CTRL	アンテナダイバーシティ設定								
49	2DIV_RSLT	アンテナダイバーシティ結果								
4A	ANT1_ED	アンテナダイバーシティ時の ANT1ED 値表示								
4B	ANT2_ED	アンテナダイバーシティ時の ANT2ED 値表示								
4C	ANT_CTRL	アンテナ固定設定(送信時または CCA 時、受信時)								
4D	MON_CTRL	モニタ出力信号選択設定								
4E	GPIO0_CTRL	GPIO0 端子(ピン#16)制御設定								
4F	GPIO1_CTRL	GPIO1 端子(ピン#17)制御設定								
50	GPIO2_CTRL	GPIO2 端子(ピン#18)制御設定								
51	GPIO3_CTRL	GPIO3 端子(ピン#19)制御設定								
52	EXTCLK_CTRL	EXT_CLK 端子(ピン#10)制御設定								
53	SPI/EXT_PA_CTRL	SPI インタフェース IO /外部 PA 制御設定								
54	IF_FREQ_H	IF 周波数設定								
55	IF_FREQ_L	IF 周波数設定								
56	IF_FREQ_CCA_H	IF 周波数設定(CCA)								
57	IF_FREQ_CCA_L	IF 周波数設定(CCA)								
58	BPF_ADJ_H	BPF 容量設定								
59	BPF_ADJ_L	BPF 容量設定								
5A-5B	Reserved	予約								
5C	BPF_CO	BPF 係数								
5D	BPF_CO_CCA	BPF 係数(CCA)								
5E	IFF_ADJ_H	復調器 DC レベル調整								
5F	IFF_ADJ_L	復調器 DC レベル調整								
60	IFF_ADJ_CCA_H	復調器 DC レベル調整(CCA)								
61	IFF_ADJ_CCA_L	復調器 DC レベル調整(CCA)								
62	OSC_ADJ1	発振回路制御(粗調)								
63	OSC_ADJ2	発振回路制御(微調)								
64	OSC_ADJ3	発振回路バイアス設定								
65	OSC_ADJ4	高速起動時発振回路バイアス設定								
66	RSSI_ADJ	ED 値調整								
67	PA_MODE	PA モード設定/PA レギュレータ調整								
68	PA_REG_FINE_ADJ	PA レギュレータ微調整								
69	PA_ADJ	PA パワー調整設定								
6A-6B	Reserved	予約								
6C	IQ_MAG_ADJ	I/Q 信号振幅調整								
6D	IQ_PHASE_ADJ	I/Q 信号位相調整								

BANK0 続き

アドレス [HEX]	レジスタ名称	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
6E	VCO_CAL	VCO キャリブレーション値表示または設定								
6F	VCO_CAL_START	VCO キャリブレーション実行								
70	CLK_CAL_SET	低速クロックキャリブレーション制御								
71	CLK_CAL_TIME	低速クロックキャリブレーション時間設定								
72	CLK_CAL_H	低速クロックキャリブレーション値表示(上位バイト)								
73	CLK_CAL_L	低速クロックキャリブレーション値表示(下位バイト)								
74	Reserved	予約								
75	SLEEP_INT_CLR	SLEEP 時割込みクリア設定								
76	RF_TEST_MODE	RF テストモード設定								
77	STM_STATE	ステートマシン状態表示								
78	FIFO_SET	FIFO リード設定								
79	RD_FIFO_LAST	受信時 FIFO 使用量表示								
7A	TX_PKT_LEN_H	送信パケット長設定								
7B	TX_PKT_LEN_L	送信パケット長設定								
7C	WR_TX_FIFO	送信 FIFO								
7D	RX_PKT_LEN_H	受信パケット長表示								
7E	RX_PKT_LEN_L	受信パケット長表示								
7F	RD_FIFO	FIFO リード								

BANK1

アドレス [HEX]	レジスタ名称	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
00	BANK_SEL	BANK 切り替え								
01	CLK_OUT	CLK_OUT(GPIOn)クロック出力周波数設定								
02	TX_RATE_H	送信データレート変換設定(上位バイト)								
03	TX_RATE_L	送信データレート変換設定(下位バイト)								
04	RX_RATE1_H	受信データレート変換設定 1(上位バイト)								
05	RX_RATE1_L	受信データレート変換設定 1(下位バイト)								
06	RX_RATE2	受信データレート変換設定 2								
07	REGULATOR_CTRL	レギュレータ制御設定								
08	ADC_CLK_SET	RSSI 用 ADC クロック周波数設定								
09	TEMP	温度計表示								
0A	Reserved	予約								
0B	PLL_LOCK_DETECT	PLL ロック判定設定								
0C	GAIN_MtoL	中間ゲイン⇒低ゲイン切替閾値								
0D	GAIN_LtoM	低ゲイン⇒中間ゲイン切替閾値								
0E	GAIN_HtoM	高ゲイン⇒中間ゲイン切替閾値								
0F	GAIN_MtoH	中間ゲイン⇒高ゲイン切替閾値								
10	RSSI_ADJ_M	中間ゲイン時の RSSI 加算値								
11	RSSI_ADJ_L	低ゲイン時 RSSI 加算値								
12	RSSI_STABLE_TIME	ゲイン切替後の RSSI 安定化時間設定								
13	RSSI_MAG_ADJ	ED 変換用乗除算値設定								
14	RSSI_VAL	RSSI 表示								
15	AFC_CTRL	AFC 制御/ゲインコントロールモード設定								
16	CRC_POLY3	CRC 生成多項式 3								
17	CRC_POLY2	CRC 生成多項式 2								
18	CRC_POLY1	CRC 生成多項式 1								
19	CRC_POLY0	CRC 生成多項式 0								
1A	Reserved	予約								
1B	TXFREQ_I	送信周波数 I カウンタ設定								
1C	TXFREQ_FH	送信周波数 F カウンタ設定(上位 4 ビット)								
1D	TXFREQ_FM	送信周波数 F カウンタ設定(中位 8 ビット)								
1E	TXFREQ_FL	送信周波数 F カウンタ設定(下位 8 ビット)								
1F	RXFREQ_I	受信周波数 I カウンタ設定								
20	RXFREQ_FH	受信周波数 F カウンタ設定(上位 4 ビット)								
21	RXFREQ_FM	受信周波数 F カウンタ設定(中位 8 ビット)								
22	RXFREQ_FL	受信周波数 F カウンタ設定(下位 8 ビット)								
23	CH_SPACE_H	チャネル間隔設定(上位バイト)								
24	CH_SPACE_L	チャネル間隔設定(下位バイト)								
25	SYNC_WORD_LEN	SYNC_WORD 長設定								
26	SYNC_WORD_EN	SYNC_WORD イネーブル設定								
27	SYNCWORD1_SET0	SYNC_WORD1 設定 1								
28	SYNCWORD1_SET1	SYNC_WORD1 設定 2								
29	SYNCWORD1_SET2	SYNC_WORD1 設定 3								
2A	SYNCWORD1_SET3	SYNC_WORD1 設定 4								
2B	SYNCWORD2_SET0	SYNC_WORD2 設定 1								
2C	SYNCWORD2_SET1	SYNC_WORD2 設定 2								
2D	SYNCWORD2_SET2	SYNC_WORD2 設定 3								
2E	SYNCWORD2_SET3	SYNC_WORD2 設定 4								
2F	FSK_CTRL	FSK 変調タイミング分解能設定								
30	GFSK_DEV_H	GFSK 時周波数偏位設定(上位 6 ビット)								
31	GFSK_DEV_L	GFSK 時周波数偏位設定(下位バイト)								
32	FSK_DEV0_H/GFIL0	FSK 周波数偏位設定 0/ガウシアンフィルタ係数設定 0								
33	FSK_DEV0_L/GFIL1	FSK 周波数偏位設定 0/ガウシアンフィルタ係数設定 1								
34	FSK_DEV1_H/GFIL2	FSK 周波数偏位設定 1/ガウシアンフィルタ係数設定 2								
35	FSK_DEV1_L/GFIL3	FSK 周波数偏位設定 1/ガウシアンフィルタ係数設定 3								

BANK1 続き

アドレス [HEX]	レジスタ名称	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
36	FSK_DEV2_H/GFIL4	FSK 周波数偏位設定 2/ガウシアンフィルタ係数設定 4								
37	FSK_DEV2_L/GFIL5	FSK 周波数偏位設定 2/ガウシアンフィルタ係数設定 5								
38	FSK_DEV3_H/GFIL6	FSK 周波数偏位設定 3/ガウシアンフィルタ係数設定 6								
39	FSK_DEV3_L	FSK 周波数偏位設定 3								
3A	FSK_DEV4_H	FSK 周波数偏位設定 4								
3B	FSK_DEV4_L	FSK 周波数偏位設定 4								
3C	FSK_TIM_ADJ4	FSK 第 4 周波数偏位の保持時間設定								
3D	FSK_TIM_ADJ3	FSK 第 3 周波数偏位の保持時間設定								
3E	FSK_TIM_ADJ2	FSK 第 2 周波数偏位の保持時間設定								
3F	FSK_TIM_ADJ1	FSK 第 1 周波数偏位の保持時間設定								
40	FSK_TIM_ADJ0	FSK 周波数無偏位（キャリア周波数）の保持時間設定								
41-47	Reserved	予約								
48	2DIV_MODE	アンテナダイバーシティモード設定								
49	2DIV_SEARCH1	アンテナダイバーシティサーチ時間設定 1								
4A	2DIV_SEARCH2	アンテナダイバーシティサーチ時間設定 2								
4B	2DIV_FAST_LVL	アンテナダイバーシティ FAST モード時の ED 閾値設定								
4C	Reserved	予約								
4D	VCO_CAL_MIN_I	VCO_CAL 下限周波数 I カウンタ設定								
4E	VCO_CAL_MIN_FH	VCO_CAL 下限周波数 F カウンタ設定(上位 6 ビット)								
4F	VCO_CAL_MIN_FM	VCO_CAL 下限周波数 F カウンタ設定(中位 8 ビット)								
50	VCO_CAL_MIN_FL	VCO_CAL 下限周波数 F カウンタ設定(下位 8 ビット)								
51	VCO_CAL_MAX_N	VCO_CAL_Max 周波数設定								
52	VCAL_MIN	VCO キャリブレーション下限値								
53	TXVCAL_MAX	VCO キャリブレーション上限値								
54-55	Reserved	予約								
56	DEMOD_SET0	復調器設定 0								
57	DEMOD_SET1	復調器設定 1								
58	DEMOD_SET2	復調器設定 2								
59	DEMOD_SET3	復調器設定 3								
5A	DEMOD_SET4	復調器設定 4								
5B	DEMOD_SET5	復調器設定 5								
5C	DEMOD_SET6	復調器設定 6								
5D	DEMOD_SET7	復調器設定 7								
5E	DEMOD_SET8	復調器設定 8								
5F	DEMOD_SET9	復調器設定 9								
60	DEMOD_SET10	復調器設定 10								
61	DEMOD_SET11	復調器設定 11								
62	ADDR_CHK_CTR_H	アドレスチェックカウンタ表示(上位 3 ビット)								
63	ADDR_CHK_CTR_L	アドレスチェックカウンタ表示(上位バイト)								
64	WHT_INIT_H	Whitening 初期状態設定(上位 1 ビット)								
65	WHT_INIT_L	Whitening 初期状態設定(下位 8 ビット)								
66	WHT_CFG	Whitening 生成多項式設定								
67-7E	Reserved	予約								
7F	ID_CODE	ID コード表示								

BANK2

アドレス [HEX]	レジスタ名称	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
00	BANK_SEL	BANK 切り替え								
01-7D	Reserved	予約								
7E	CCA_MASK_SET	CCA 時のフィルタ安定化待ち設定								
7F	Reserved	予約								

BANK3

アドレス [HEX]	レジスタ名称	機能概要	ビット配置							
			7	6	5	4	3	2	1	0
00	BANK_SEL	BANK 切り替え								
01-22	Reserved	予約								
23	2MODE_DET	ModeT/C 同時受信設定								
24-7F	Reserved	予約								

●レジスタ BANK0

0x00【BANK_SEL】

機能:レジスタアクセス先選択
アドレス:0x00(BANK0)
初期値:0x11

Bit	ビット名	初期値	R/W	説明
7	B3_ACEN	0	R/W	BANK3 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
6	B2_ACEN	0	R/W	BANK2 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
5	B1_ACEN	0	R/W	BANK1 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
4	B0_ACEN	1	R/W	BANK0 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
3-0	BANK[3:0]	0001	R/W	BANK 切り替え 0001: BANK0 アクセス 0010: BANK1 アクセス 0100: BANK2 アクセス 1000: BANK3 アクセス 上記以外: 設定禁止

【説明】

1. VCO キャリブレーション実行中は BANK1 のレジスタにアクセスしないでください。
2. レジスタアクセスは CLK_INIT_DONE([CLK_SET1: B0 0x02(7)])が 0b0 でも実行できますが、RF動作に関わるレジスタは必ず CLK_INIT_DONE が 0b1 であることを確認した後に実行してください。

0x01【RST_SET】

機能:ソフトリセット設定
アドレス:0x01 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	RST3_EN	0	R/W	リセット 3 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります)
6	RST2_EN	0	R/W	リセット 2 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります)
5	RST1_EN	0	R/W	リセット 1 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります)
4	RST0_EN	0	R/W	リセット 0 イネーブル設定 0: リセット禁止 1: リセット許可(実行後、自動的に 0 になります)
3	RST3	0	R/W	PHY 機能リセット bit7(RST3_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります)
2	RST2	0	R/W	RF 状態制御機能リセット bit6(RST2_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります)
1	RST1	0	R/W	MODEM 機能リセット bit5(RST1_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります)
0	RST0	0	R/W	コンフィグレーション機能リセット bit4(RST0_EN)がリセット許可設定時のみリセット実行します。 0: リセットしない 1: リセット実行(実行後、自動的に 0 になります) ※[CLK_SET2]レジスタ(B0 0x03)の bit6-4 を除く全レジスタ値は初期値に戻ります。 ※本リセット後、FIFO 格納データは保証されません。

【説明】

1. イネーブルビット(bit7 から bit4)と実行ビット(bit3 から bit0)は同時に設定してください。リセット実行後は状態を保持せず、自動的に各ビットは 0b0 に上書きされます。
2. 実行ビット(bit3 から bit0)書き込み後、2μs 以内にリセットが完了します。ただし、SLEEP 中(SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])=0b1 時)にリセットを実行設定した場合、SLEEP 解除後のクロック安定化完了割込み INT[0]([INT_SOURCE_GRP1: B0 0x0D(0)])発生時にリセットが実行され、各ビットが 0b0 に上書きされます。リセット実行までに設定状態を変更した場合、変更後の設定が有効となります。

0x02【CLK_SET1】

機能:クロック設定
アドレス:0x02 (BANK0)
初期値:0x1F

Bit	ビット名	初期値	R/W	説明
7	CLK_INIT_DONE	0	R	クロック安定化完了フラグ
6:5	Reserved	00	R/W	予約
4	CLK4_EN	1	R/W	ADC のクロック制御 0: クロック停止 1: クロック供給
3	CLK3_EN	1	R/W	RF 機能(RF 状態制御)のクロック制御 0: クロック停止 1: クロック供給
2	CLK2_EN	1	R/W	送信機能(MOD)のクロック制御 0: クロック停止 1: クロック供給
1	CLK1_EN	1	R/W	受信機能(DEMOD)のクロック制御 0: クロック停止 1: クロック供給
0	CLK0_EN	1	R/W	PHY 機能のクロック制御 0: クロック停止 1: クロック供給

0x03【CLK_SET2】

機能:クロック設定 2
アドレス:0x03 (BANK0)
初期値:0x90

Bit	ビット名	初期値	R/W	説明
7	MSTR_CLK_EN	1	R/W	ロジック領域クロック供給制御 0: ディセーブル 1: イネーブル
6	TCXO_EN	0	R/W	TCXO 入力制御 (1) (2) (3) 0: ディセーブル 1: イネーブル
5	Reserved	0	R/W	予約
4	XTAL_EN	1	R/W	水晶発振回路制御 (1) (2) 0: ディセーブル 1: イネーブル
3	RC32K_EN	0	R/W	内蔵 RC 発振回路制御 0: ディセーブル 1: イネーブル
2:0	Reserved	000	R/W	予約

【ご注意】

(1) TCXO をお使いになる場合は、TCXO_EN を 0b1 に設定してください。また、必ず TCXO_EN、XTAL_EN のいずれか 1 つのみ 0b1 となるように設定してください。
(2) RST0([RST_SET: B0 0x01(0)])ではクリアされません。クリア時は本ビットを SPI アクセスにより変更するか、ハードリセット(RESETN 端子=”L”)を実行してください。
(3) TCXO をお使いになる場合は、本ビットを最初に設定してください。途中でイネーブル設定(本ビット設定前に他のレジスタ設定)をした場合でも、その他レジスタ設定値は初期化されません。
(4) ML7406C をお使いになる場合、ハードリセット解除(RESETN 端子=”H”)後、クロック安定化完了割込み(INT0[INT_SOURCE_GRP1: B0 0x0D(0)])が通知されたことを確認後、その他レジスタにアクセスしてください。

0x04【PKT_CTRL1】

機能:パケット制御 1
アドレス:0x04 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	EXT_PKT_MODE[1:0]	00	R/W	パケット拡張モード設定(Wireless M-Bus 対応) 00: 拡張しない 01: 2 バイト拡張(Extended Link Layer CI=0x8C) 10: 8 バイト拡張(Extended Link Layer CI=0x8D) 上記以外: 予約 ※「パケットフォーマット」を参照してください。 【ご注意】 パケットフォーマット設定が Format A かつ、パケット拡張モード設定を 0b10 設定時、下記条件を満たす Length 値では正常に送受信できません。下記条件が満たされない Length 値をご使用ください。 (条件) (Length 値-15)/16 の剰余が 0 になる Length 値
5	LEN_LF_EN	0	R/W	Length 領域送出順設定 0: MSB ファースト 1: LSB ファースト (1)
4	DAT_LF_EN	0	R/W	データ領域送出順設定 0: MSB ファースト 1: LSB ファースト
3	RX_EXTPKT_OFF	0	R/W	受信時パケット拡張モードオフ設定(Wireless M-Bus 対応) 0: 拡張パケットを自動認識する 1: 拡張パケットを自動認識しない
2	IEEE802_15_4G_EN	0	R/W	IEEE802.15.4g モード設定 0: IEEE802_15.4g モード無効 1: IEEE802_15.4g モード有効 ※0b1 設定時、受信時の L-field の bit12(CRC 設定)、bit11(Whitening 設定)を自動判定し、Whitening/CRC 処理を行います。LENGTH_MODE([PKT_CTRL2: B0 0x05(0)])を 0b1(2 バイトモード)設定が必要です。 ※送信時の自動認識機能はありません。各レジスタにて WHT_SET([DATA_SET2: B0 0x08(0)])と CRC_LEN[1:0]([PKT_CTRL2: B0 0x05(5-4)])設定が必要となります。 ※詳細は「IEEE802.15.4g モード設定」をご参照ください。
1:0	PKT_FORMAT[1:0]	00	R/W	パケットフォーマット設定 00: FormatA(Wireless M-Bus 対応) (2) 01: FormatB(Wireless M-Bus 対応) 10: FormatC(汎用フォーマット) 上記以外: 予約 ※「パケットフォーマット」を参照してください。

【ご注意】

1. LEN_LF_EN=0b1 設定では 63 バイトまでの Length 値が有効です。64 バイト以上の Length 値での送受信はできません。
2. [INT_EN_GRP1: B0 0x PKT_FORMAT=0b00 設定時、13 バイト以上の Length 値が有効です。13 バイト未満の Length 値での送受信はできませんのでご注意ください。

0x05【PKT_CTRL2】

機能:パケット制御 2
アドレス:0x05 (BANK0)
初期値:0x1C

Bit	ビット名	初期値	R/W	説明
7	CRC_INIT_SEL	0	R/W	CRC 演算初期値選択設定 0: ALL0 1: ALL1
6	CRC_COMP_OFF	0	R/W	CRC 補数出力 OFF 設定 0: 補数出力する 1: 補数出力しない
5:4	CRC_LEN[1:0]	01	R/W	CRC 長設定 00: CRC8 01: CRC16 10: CRC32 上記以外: 予約 ※0b00(CRC8)および 0b10(CRC32)は Format C のみ有効です。 ※詳細は「CRC 機能」を参照してください。
3	RX_CRC_EN	1	R/W	受信 CRC 設定 0: ディセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、受信データに対して CRC 演算結果を[CRC_ERR_H/M/L: B0 0x13/14/15]に表示します。
2	TX_CRC_EN	1	R/W	送信 CRC 設定 0: ディセーブル 1: イネーブル(CRC 演算実行) ※イネーブル設定した場合、送信データに対して CRC を付加します。 【ご注意】 0b0 設定時、送信 FIFO への送信データの分割書込みする際、最終書込みデータ量と CRC 長設定(CRC_LEN[PKT_CTRL2: B0 0x05(5-4)])の関係が下記条件を満たした場合に送信 FIFO アクセスエラーが通知され、正常にパケットを送信できません。下記条件が満たされないよう FIFO 書込み量を制御してください。 送信 FIFO アクセスエラーとなる最終書込みデータ量と CRC 長設定との関係は以下の通りです。 CRC_LEN=0b00・・・最終書き込みデータ量 1 バイト時 CRC_LEN=0b01・・・最終書き込みデータ量 2 バイト以下 CRC_LEN=0b10・・・最終書き込みデータ量 4 バイト以下
1	Reserved	0	R	予約
0	LENGTH_MODE	0	R/W	Length フィールド長設定 0: 1 バイトモード 1: 2 バイトモード(Length 領域を上位に 3bit 拡張します)

【説明】

1. 送信時、[TX_PKT_LEN_H/L: B0 0x7A/7B]で設定される Length 値からトータル Length を算出します。トータル Length 分の送信後、送信完了となります。
2. 受信時、受信した Length 値が示す Length 値からトータル Length を算出します。トータル Length 分のデータ受信後、受信完了となります。
3. 詳細は「パケットフォーマット」を参照してください。

0x06【DRATE_SET】

機能：データレート設定
アドレス：0x06 (BANK0)
初期値：0xBB

<table>
<tr><th>Bit</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説明</th></tr>
<tr><td>7:4</td><td>RX_DRATE [3:0]</td><td>1011</td><td>R/W</td><td>受信データレート設定
※本ビット設定により[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]が各レートに応じた最適値を自動的に設定されます。
※RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])が 0b10 または 0b11 を設定した DIO モードでは、9.6kbps 以下のデータレートを本レジスタにより設定できません。DIO モードを使用する場合は、直接[RX_RATE1_H/L: B1 0x04/05]および[RX_RATE2: B1 0x06]を「レジスタ設定」に従って設定してください。
<table>
<tr><th>設定値</th><th>データレート</th></tr>
<tr><td>0000</td><td>1.2kbps</td></tr>
<tr><td>0001</td><td>2.4kbps</td></tr>
<tr><td>0010</td><td>4.8kbps</td></tr>
<tr><td>0011</td><td>9.6kbps</td></tr>
<tr><td>0100</td><td>10kbps</td></tr>
<tr><td>0101</td><td>11.52kbps</td></tr>
<tr><td>0110</td><td>15kbps</td></tr>
<tr><td>0111</td><td>20kbps</td></tr>
<tr><td>1000</td><td>32.768kbps</td></tr>
<tr><td>1001</td><td>40kbps</td></tr>
<tr><td>1010</td><td>50kbps</td></tr>
<tr><td>1011</td><td>100kbps</td></tr>
<tr><td>1100</td><td>200kbps</td></tr>
<tr><td>1101</td><td>300kbps</td></tr>
<tr><td>1110</td><td>400kbps</td></tr>
<tr><td>1111</td><td>500kbps</td></tr>
</table></td></tr>
<tr><td>3:0</td><td>TX_DRATE [3:0]</td><td>1011</td><td>R/W</td><td>送信データレート設定
※本ビット設定により[TX_RATE_H/L: B1 0x02/03]が各レートに応じた最適値を自動的に設定されます。
<table>
<tr><th>設定値</th><th>データレート</th></tr>
<tr><td>0000</td><td>1.2kbps</td></tr>
<tr><td>0001</td><td>2.4kbps</td></tr>
<tr><td>0010</td><td>4.8kbps</td></tr>
<tr><td>0011</td><td>9.6kbps</td></tr>
<tr><td>0100</td><td>10kbps</td></tr>
<tr><td>0101</td><td>11.52kbps</td></tr>
<tr><td>0110</td><td>15kbps</td></tr>
<tr><td>0111</td><td>20kbps</td></tr>
<tr><td>1000</td><td>32.768kbps</td></tr>
<tr><td>1001</td><td>40kbps</td></tr>
<tr><td>1010</td><td>50kbps</td></tr>
<tr><td>1011</td><td>100kbps</td></tr>
<tr><td>1100</td><td>200kbps</td></tr>
<tr><td>1101</td><td>300kbps</td></tr>
<tr><td>1110</td><td>400kbps</td></tr>
<tr><td>1111</td><td>500kbps</td></tr>
</table></td></tr>
</table>

【説明】

1. データレート変更時は、関連するレジスタの設定も必要です。詳細は「データレート変更時の設定」をご参照ください。

0x07【DATA_SET1】

機能:送受信データ各種設定 1
アドレス:0x07 (BANK0)
初期値:0x05

Bit	ビット名	初期値	R/W	説明
7	PB_PAT	0	R/W	送受信プリアンブルパターン設定 0: “01”パターン 1: “10”パターン
6	TX_FSK_POL	0	R/W	送信データ極性設定 0: データ“1”=高い周波数に偏位、データ“0”=低い周波数に偏位 1: データ“1”=低い周波数に偏位、データ“0”=高い周波数に偏位
5	RX_FSK_POL	0	R/W	受信データ極性設定 0: 高い周波数偏位=データ”1”、低い周波数偏位=データ”0” 1: 低い周波数偏位=データ”0”、高い周波数偏位=データ”1”
4	GFSK_EN	0	R/W	GFSK モード設定 0: GFSK 無効(FSK モード) 1: GFSK 有効 ※詳細は「変調の設定」をご参照ください。
3:2	RX_DEC_SCHEME [1:0]	01	R/W	受信符号化モード設定 00: マンチェスタ符号化 01: NRZ 10: 3-out-of-6 符号化 11: 予約 ※マンチェスタ符号化は、データ”0”に対して”10”、データ”1”に対して”01”に符号化します。
1:0	TX_DEC_SCHEME [1:0]	01	R/W	送信符号化モード設定 00: マンチェスタ符号化 01: NRZ 10: 3-out-of-6 符号化 11: 予約 ※マンチェスタ符号化は、データ”0”に対して”10”、データ”1”に対して”01”に符号化します。

0x08【DATA_SET2】

機能:送受信データ各種設定 2
アドレス:0x08 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R/W	予約
4	SYNCWORD_SEL	0	R/W	同期ワードパターン選択設定 0: 同期ワードパターン 1 を選択する 1: 同期ワードパターン 2 を選択する ※詳細は「SyncWord 検出機能」をご参照ください。
3	2SW_DET_EN	0	R/W	SyncWord2 面待ち設定 0: 2 面待ちしない 1: 2 面待ちする ※詳細は「SyncWord 検出機能」をご参照ください。
2	2PB_DET_EN	0	R/W	受信プリアンブル 2 面待ち設定 0: 2 面待ちしない(“01”パターンと”10”パターンの区別をする) 1: 2 面待ちする(“01”パターンと”10”パターンの区別をしない)
1	MAN_POL	0	R/W	マンチェスタ極性設定 0: 極性を反転しない 1: 極性を反転する
0	WHT_SET	0	R/W	Whitening 設定 0: Whitening 無効 1: Whitening 有効

0x09【CH_SET】

機能:送受信チャネル設定
アドレス:0x09 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RF_CH[7:0]	0000_0000	R/W	送受信チャネル設定(設定範囲 0～255) ※詳細は「チャネル周波数の設定」をご参照ください。

0x0A【RF_STATUS_CTRL】

機能:RF 状態変更制御
アドレス:0x0A (BANK0)
初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5	FAST_TX_EN	0	R/W	FAST_TX モード設定 0: FAST_TX モードで送信を行わない 1: FAST_TX モードで送信を行う ※0b1 設定時、送信データの書き込み量が[TXFIFO_THRL: B0 0x18(5-0)]で設定される値より大きくなった場合、送信状態へ遷移します。
4	AUTO_TX_EN	0	R/W	自動送信設定 0: 自動送信を行わない 1: 自動送信を行う ※0b1 設定時、Length 分の送信データの書き込みを完了した場合、送信状態へ遷移します。
3:2	RXDONE_MODE[1:0]	10	R/W	パケット受信完了後の RF 状態設定 00: IDLE 状態へ遷移(TRX_OFF します) 01: TX 状態へ遷移 10: RX 状態を継続 11: SLEEP 状態へ遷移
1:0	TXDONE_MODE[1:0]	00	R/W	パケット送信完了後の RF 状態設定 00: IDLE 状態へ遷移(TRX_OFF します) 01: TX 状態を継続 10: RX 状態へ遷移 11: SLEEP 状態へ遷移

【説明】
1. 詳細は「LSI 状態制御」をご参照ください。

0x0B【RF_STATUS】

機能:RF 部動作設定と状態表示
アドレス:0x0B (BANK0)
初期値:0x88

Bit	ビット名	初期値	R/W	説明
7:4	GET_TRX[3:0]	1000	R	RF 部動作状態表示 0110: RX_ON(受信状態) 1000: TRX_OFF(RF OFF 状態) 1001: TX_ON(送信状態) 上記以外: 予約
3:0	SET_TRX[3:0]	1000	R/W	RF 部動作状態設定 0011: Force_TRX_OFF(強制 RF OFF 設定) 0110: RX_ON(受信設定) (*1) 1000: TRX_OFF(RF OFF 設定) (*3) 1001: TX_ON(送信設定) (*2) 上記以外: 設定無効で状態を変更しない ※1 送信中に RX_ON 設定可能です。その場合、送信完了後に RX_ON へ遷移します。 ※2 受信中に TX_ON 設定可能です。その場合、受信完了後に TX_ON へ遷移します。 ※3 送信(または受信)中に TRX_OFF 設定した場合、送信(または受信)完了後に RF を OFF します。Force_TRX_OFF 設定した場合、送信中または受信中でも強制的に RF を OFF します。

【説明】
1. 詳細は「LSI 状態制御」をご参照ください。

0x0C【DIO_SET】

機能:DIO 制御
アドレス:0x0C (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	RXDIO_CTRL[1:0]	00	R/W	受信 DIO モード設定 00: DIO ディセーブル(FIFO モード) 01: 常時出力モード (DIO/DCLK を常時出力する(復調データ/クロック出力モード)) 10: データ出力モード 1 (復号化前 DIO/DCLK を SyncWord 以降に出力する) 11: データ出力モード 2 (復号化後 DIO/DCLK を SyncWord 以降に出力する) ※0b00 設定時のみ、FIFO が使用可能です。 ※0b01 設定時は BER 測定時に使用します。 ※0b10 設定時、受信データを FIFO にバッファリングするため、FIFO は使用できません。bit0(DIO_START)を 0b1 に設定することにより DIO/DCLK が出力されます。FIFO へのバッファリングは L-field 以降のデータをバッファリングします。 ※0b11 設定時、受信データを FIFO にバッファリングするため、FIFO は使用できません。bit0(DIO_START)を 0b1 に設定することにより DIO/DCLK が出力されます。Length 分のデータ出力後、DIO/DCLK 出力が停止します。FIFO へのバッファリングは Data-field のデータをバッファリングします。
5:4	TXDIO_CTRL[1:0]	00	R/W	送信 DIO モード設定 00: DIO ディセーブル(FIFO モード) 01: 常時入力モード(DCLK を常時出力する) 10: データ入力モード(DCLK を SyncWord 以降に出力する) 上記以外: 予約 ※0b01/10 設定時、FIFO は使用できません。DCLK の立下りに同期して符号化後の送信データを入力してください。
3	Reserved	0	R/W	予約
2	DIO_RX_COMPLETE	0	R/W	DIO 受信完了設定 0: 受信完了しない 1: 受信完了する ※0b1 設定による受信完了後、自動的に 0 に戻ります。
1	Reserved	0	R/W	予約
0	DIO_START	0	R/W	DIO 受信データ出力開始設定 0: 出力しない 1: 出力する ※同期解除により 0 に戻ります。

【説明】

1. 詳細は“DIO 機能”をご参照ください。

0x0D【INT_SOURCE_GRP1】

機能:割込み表示
アドレス:0x0D (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	INT[7]	0	R/W	クロックキャリブレーション完了割込み 0: 割込みなし 1: 割込みあり
6	INT[6]	0	R/W	ウェイクアップ割込み 0: 割込みなし 1: 割込みあり ※SLEEP 中に本割込みをクリアした場合、ウェイクアップタイマによるウェイクアップ時に割込みは発生しません。 【ご注意】3 を参照してください。
5	INT[5]	0	R/W	FIFO-Full 割込み 0: 割込みなし 1: 割込みあり ※FIFO 使用量が[TXFIFO_THRH: B0 0x17(5-0)]、または受信 FIFO の使用量が[RXFIFO_THRH: B0 0x19(5-0)]で設定される閾値以上となった場合に割込みを発生します。
4	INT[4]	0	R/W	FIFO-Empty 割込み 0: 割込みなし 1: 割込みあり ※送信 FIFO 使用量が[TXFIFO_THRL: B0 0x18]、または受信 FIFO の使用量が[RXFIFO_THRL: B0 0x1A]で設定される閾値を下回った場合に割込みを発生します。
3	INT[3]	0	R/W	RF 状態遷移完了割込み 0: 割込みなし 1: 割込みあり
2	INT[2]	0	R/W	PLL ロック外れ割込み 0: 割込みなし 1: 割込みあり(ロック外れ)
1	INT[1]	0	R/W	VCO キャリブレーション完了割込み　またはヒューズアクセス完了割込み 0: 割込みなし 1: 割込みあり ※RESETN 端子解除(RESETN=”H”)後、または PDN_EN([SLEEP/WU_SET: B0 0x2D(2)])=0b1 設定し、SLEEP 状態からの復帰した場合、ヒューズアクセス完了割込みが発生します。VCO キャリブレーションは、INT[1]クリア後に実行してください。
0	INT[0]	0	R/W	クロック安定化完了割込み 0: 割込みなし 1: 割込みあり

【ご注意】

3. [INT_EN_GRP1: B0 0x10]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
4. マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
5. SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みをクリアする場合は[SLEEP_INT_CLR: B0 0x75]レジスタを使用してください。

0x0E【INT_SOURCE_GRP2】

機能:割込み表示(受信関連)
アドレス:0x0E (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	INT[15]	0	R/W	Sync エラー割込み 0: 割込みなし 1: 割込みあり ※SyncWord 検出以降、L-filed で指定されるパケット長受信中に受信同期が外れた場合に割込みを発生します。
6	INT[14]	0	R/W	Field チェック割込み 0: 割込みなし 1: 割込みあり
5	INT[13]	0	R/W	SyncWord 検出割込み 0: 割込みなし 1: 割込みあり
4	INT[12]	0	R/W	受信 FIFO アクセスエラー割込み 0: 割込みなし 1: 割込みあり ※FIFO モードを用いたデータ受信中に受信 FIFO のオーバーラン、アンダーランが生じた場合、割込みを発生します。
3	INT[11]	0	R/W	受信 Length エラー割込み (説明 1) 0: 割込みなし 1: 割込みあり
2	INT[10]	0	R/W	ダイバーシティサーチ完了割込み 0: 割込みなし 1: 割込みあり ※ダイバーシティサーチが完了した場合、SyncWord 検出タイミングで割込みを発生します。
1	INT[9]	0	R/W	CRC エラー割込み 0: 割込みなし 1: 割込みあり ※CRC エラー検出時、割込みを発生します。Format A/B については CRC-field を複数持つため、エラーが発生した CRC ブロックを[CRC_ERR_H/M/L: B0 0x13/14/15]に表示します。Format C については CRC-field は 1 つのみのため、本割込みで結果は判断することができます。
0	INT[8]	0	R/W	受信完了割込み 0: 割込みなし 1: 割込みあり ※L-field が示す Length 分のデータを受信した場合、割込みを通知します。

【説明】

1. 以下に示す L-field を受信した場合、受信 Length エラー割込みを発生します。

パケットフォーマット [PKT_CTRL1:B0 0x04]	拡張フォーマット [PKT_CTRL1: B0 0x04]	受信 Length エラーを示す Length 値
Fromat A	拡張なし	8 バイト以下
	2 バイト拡張	12 バイト以下
	8 バイト拡張	16 バイト以下
Fromat B	拡張なし	10 バイト以下、128～129 バイト
	2 バイト拡張	
	8 バイト拡張	17 バイト以下、19～20 バイト、128～129 バイト
Fromat C	-	0 バイト(CRC8) 1 バイト(CRC16) 2 バイト(CRC32)

【ご注意】

1. [INT_EN_GRP2: B0 0x11]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
2. マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
3. SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みをクリアする場合は[SLEEP_INT_CLR: B0 0x75]レジスタを使用してください。

0x0F【INT_SOURCE_GRP3】

機能:割込み表示(送信関連)
アドレス:0x0F (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	INT[23]	0	R/W	汎用タイマ 2 割込み 0: 割込みなし 1: 割込みあり
6	INT[22]	0	R/W	汎用タイマ 1 割込み 0: 割込みなし 1: 割込みあり
5	INT[21]	0	R/W	予約
4	INT[20]	0	R/W	送信 FIFO アクセスエラー割込み 0: 割込みなし 1: 割込みあり ※FIFO モードを用いたデータ送信中に送信 FIFO のオーバーラン、アンダーランが生じた場合、およびデータ送信要求受付完了後、送信完了前に次パケットの送信 FIFO ライトを行った場合に割込みを発生します。
3	INT[19]	0	R/W	送信 Length エラー割込み (説明 1) 0: 割込みなし 1: 割込みあり
2	INT[18]	0	R/W	CCA 完了割込み 0: 割込みなし 1: 割込みあり
1	INT[17]	0	R/W	データ送信要求受付完了割込み 0: 割込みなし 1: 割込みあり ※[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]に示す Length 分のデータを送信 FIFO にライトした場合、割込みを通知します。
0	INT[16]	0	R/W	送信完了割込み 0: 割込みなし 1: 割込みあり ※[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]に示す Length 分のデータを送信した場合、割込みを通知します。

【説明】
1. 以下に示す L-field を[TX_PKT_LEN_H: B0 0x7A]および[TX_PKT_LEN_L: B0 0x7B]にライトした場合、送信 Length エラー割込みを発生します。

パケットフォーマット [PKT_CTRL1: B0 0x04]	拡張フォーマット [PKT_CTRL1: B0 0x04]	送信 Length エラーを示す Length 値
Fromat A	拡張なし	8 バイト以下
	2 バイト拡張	12 バイト以下
	8 バイト拡張	16 バイト以下
Fromat B	拡張なし	10 バイト以下、128～129 バイト
	2 バイト拡張	
	8 バイト拡張	17 バイト以下、19～20 バイト、128～129 バイト
Fromat C	-	0 バイト(CRC8) 1 バイト(CRC16) 2 バイト(CRC32)

【ご注意】
1. [INT_EN_GRP3: B0 0x12]の設定によらず本レジスタの値は内部状態に応じて変化します。書き込み動作は 0b0 のみ有効であり、0b1 の書き込みは無視されます。
2. マスクされていない割込みが要因がひとつでも発生していると、割り込み通知信号は Low 出力を継続します。
3. SLEEP 中に割込みクリアした場合、即時にクリアされず、SLEEP 復帰後のクロック安定化完了タイミングでクリアされます。SLEEP 中に割込みをクリアする場合は[SLEEP_INT_CLR: B0 0x75]レジスタを使用してください。

0x10【INT_EN_GRP1】

機能:割込み要因 0～7 の許可設定
アドレス:0x10 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	INT_EN[7:0]	0x00	R/W	割込み要因 0 から割込み要因 7 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う

【説明】
1. 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
2. 各割り込みの詳細は[INT_SOURCE_GRP1: B0 0x0D]を参照してください。

0x11【INT_EN_GRP2】

機能:割込み要因 8～15 の許可設定
アドレス:0x11 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	INT_EN[15:8]	0x00	R/W	割込み要因 8 から割込み要因 15 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う

【説明】
1. 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
2. 各割り込みの詳細は[INT_SOURCE_GRP2: B0 0x0E]を参照してください。

0x12【INT_EN_GRP3】

機能:割込み要因 16～23 の許可設定
アドレス:0x12 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	INT_EN[23:16]	0x00	R/W	割込み要因 16 から割込み要因 23 の許可設定 0: 割込み通知を行わない 1: 割込み通知を行う

【説明】
1. 各割り込みの要因(機能名)は「割り込み要因表」を参照してください。
2. 各割り込みの詳細は[INT_SOURCE_GRP3: B0 0x0F]を参照してください。

0x13【CRC_ERR_H】

機能:CRC エラー表示(上位バイト)
アドレス:0x13 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	000_0000	R/W	予約
0	CRC_ERR[16]	0	R	17th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー

【説明】
1. 詳細は「CRC 機能」を参照してください。

0x14【CRC_ERR_M】

機能:CRC エラー表示(中位バイト)
アドレス:0x14 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CRC_ERR[15]	0	R	16th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
6	CRC_ERR[14]	0	R	15th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
5	CRC_ERR[13]	0	R	14th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
4	CRC_ERR[12]	0	R	13th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
3	CRC_ERR[11]	0	R	12th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
2	CRC_ERR[10]	0	R	11th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
1	CRC_ERR[9]	0	R	10th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
0	CRC_ERR[8]	0	R	9th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x15【CRC_ERR_L】

機能:送信 FIFO の Full レベルイネーブルとレベル設定(上位バイト)
アドレス:0x15 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CRC_ERR[7]	0	R	8th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
6	CRC_ERR[6]	0	R	7th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
5	CRC_ERR[5]	0	R	6th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
4	CRC_ERR[4]	0	R	5th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
3	CRC_ERR[3]	0	R	4th CRC エラー表示 ※Format A(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
2	CRC_ERR[2]	0	R	3rd CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
1	CRC_ERR[1]	0	R	2nd CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー
0	CRC_ERR[0]	0	R	1st CRC エラー表示 ※Format A/B(Wireless M-Bus 対応)に対応します。 0: CRC OK または CRC 判定結果なし 1: CRC エラー

【説明】

1. 詳細は「CRC 機能」を参照してください。

0x16【STATE_CLR】

機能:状態クリア設定
アドレス:0x16 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	STATE_CLR_EN	0	R/W	ステートクリアイネーブル設定 0: ステートクリア禁止 1: ステートクリア許可 bit0～4 のステートクリアは本ビットがステートクリア許可設定時ののみ実行します。
6:5	Reseverd	00	R/W	予約
4	STATE_CLR4	0	R/W	アドレスチェックカウンタクリア 1: [ADDR_CHK_CTR_H/L:B1 0x62,63]で表示するアドレスチェックカウンタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
3	STATE_CLR3	0	R/W	ダイバーシティステートクリア 1: ダイバーシティステートをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
2	STATE_CLR2	0	R/W	PHY ステートクリア 1: PHY ステートをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
1	STATE_CLR1	0	R/W	受信 FIFO ポインタクリア 1: ライトポインタ/リードポインタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。
0	STATE_CLR0	0	R/W	送信 FIFO ポインタクリア 1: ライトポインタ/リードポインタをクリアします。 ※bit7(STATE_CLR_EN)が 0b1 設定時にクリア動作を行います。クリア実行後、本ビットは自動的に 0 に戻ります。

【説明】

1. イネーブルビット(bit7)と実行ビット(bit4 から bit0)は同時に設定してください。クリア実行後、自動的に各ビットに 0b0 が上書きされます。
2. 実行ビット(bit4 から bit0)書き込み後、マスタークロック周期×[RX_RATE1_H/L: B1 0x04/05]設定値×2[μs]後クリアが完了します。

0x17【TXFIFO_THRH】

機能:送信 FIFO の Full レベル設定
アドレス:0x17 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	TXFIFO_THRH_EN	0	R/W	送信 FIFO の Full レベルイネーブル 0: ディセーブル 1: イネーブル
6	Reserved	0	R/W	予約
5:0	TXFIFO_THRH[5:0]	00_0000	R/W	送信 FIFO の Full レベル設定 ※bit7(TXFIFO_THRH_EN)=0b1 設定時のみ有効です。

【説明】
1. 詳細な使い方は「送信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値以上となった場合に割り込みグループ1の INT[5] にて通知します。

0x18【TXFIFO_THRL】

機能:送信 FIFO の Empty レベル設定および FAST_TX モード時の送信トリガレベル設定
アドレス:0x18 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	TXFIFO_THRL_EN	0	R/W	送信 FIFO の Empty レベルイネーブル 0: ディセーブル 1: イネーブル
6	Reserved	0	R/W	予約
5:0	TXFIFO_THRL[5:0]	00_0000	R/W	送信 FIFO の Empty レベル設定および FAST_TX モード時の送信トリガレベル設定 ※bit7(TXFIFO_THRH_EN)=0b1 設定時のみ有効です。 ※TXFIFO_THRL[5:0]は 1 以上の値を設定してください。 ※FAST_TX モード時の送信トリガレベルとして動作させる場合は、FAST_TX_EN([RF_STATUS_CTRL: B0 0x0A(5)])を 0b1 に設定し、TXFIFO_THRL[5:0]は送信 FIFO への送信データ書き込み量に対して 3 以上少ない値を設定してください。

【説明】
1. 詳細な使い方は「送信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 送信 FIFO に書き込み、FIFO 内のデータ量が本レジスタの設定値を下回った場合に割り込みグループ1の INT[4]にて通知します。

【ご注意】
1. FAST_TX 閾値に対し、FIFO 書込み量は以下の関係になるように FIFO 書込み量を制御してください。以下の関係が満たされない場合、意図せず送信する場合があります。

FAST_TX 閾値[バイト]	FIFO 書込み量[バイト]
1～2	1
3～6	1～3
7～14	1～7
15～30	1～15
31～62	1～31
63	1～63

0x19【RXFIFO_THRH】

機能:受信 FIFO の Full レベルイネーブルとレベル設定
アドレス:0x19 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	RXFIFO_THRH_EN	0	R/W	受信 FIFO の Full レベルイネーブル 0: ディセーブル 1: イネーブル
6	Reserved	0	R/W	予約
5:0	RXFIFO_THRH[5:0]	00_0000	R/W	受信 FIFO の Full レベル設定 ※bit7(RXFIFO_THRH_EN)=0b1 設定時のみ有効です。

【説明】
1. 詳細な使い方は「受信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値以上となった場合に割り込みグループ1の INT[5]にて通知します。

0x1A【RXFIFO_THRL】

機能:受信 FIFO の Full レベルイネーブルとレベル設定(上位バイト)
アドレス:0x1A (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	RXFIFO_THRL_EN	0	R/W	受信 FIFO の Empty レベルイネーブル 0: ディセーブル 1: イネーブル
6	Reserved	0	R/W	予約
5:0	RXFIFO_THRL[5:0]	00_0000	R/W	受信 FIFO の Empty レベル設定 ※bit7(RXFIFO_THRL_EN)=0b1 設定時のみ有効です。 ※RXFIFO_THRL[5:0]は 2 以上の値を設定してください。

【説明】
1. 詳細な使い方は「受信 FIFO の使用量告知機能の使用方法」を参照してください。
2. 受信 FIFO に受信データが書き込まれ、FIFO 内のデータ量が本レジスタの設定値を下回った場合に割り込みグループ1の INT[4]にて通知します。

0x1B【C_CHECK_CTRL】

機能:コントロールフィールド検出設定
アドレス:0x1B (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CA_RXD_CLR	0	R/W	Field 不一致時の受信データ処理設定 0: 受信データを破棄しない 1: 受信データを破棄する ※0b1 設定時、不一致検出後直ちに受信データを破棄し、次パット受信待ちを行います
6	CA_INT_CTRL	0	R/W	Field チェック割込み設定 0: 一致時に割込みを通知する 1: 不一致時に割込みを通知する
5	Reserved	0	R/W	予約
4	C_FIELD_CODE5_EN	0	R/W	コントロールフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする ※受信したコントロールフィールドデータが C_FIELD_CODE5 と一致した場合、他のフィールドデータ(マニュファクチャーID フィールド/アドレスフィールド)をチェックしません。
3	C_FIELD_CODE4_EN	0	R/W	コントロールフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	C_FIELD_CODE3_EN	0	R/W	コントロールフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	C_FIELD_CODE2_EN	0	R/W	コントロールフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	C_FIELD_CODE1_EN	0	R/W	コントロールフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

【説明】

1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能を使用するときは、RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]を 0b00(FIFO モード)か 0b11(DIO モードのデータ出力モード 2)に設定する必要があります。

0x1C【M_CHECK_CTRL】

機能:マニュファクチャーID フィールド検出設定
アドレス:0x1C (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3	M_FIELD_CODE4_EN	0	R/W	マニュファクチャーID フィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	M_FIELD_CODE3_EN	0	R/W	マニュファクチャーID フィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	M_FIELD_CODE2_EN	0	R/W	マニュファクチャーID フィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	M_FIELD_CODE1_EN	0	R/W	マニュファクチャーID フィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

【説明】
1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能を使用するときは、RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]を 0b00(FIFO モード)か 0b11(DIO モードのデータ出力モード 2)に設定する必要があります。

0x1D【A_CHECK_CTRL】

機能:アドレスフィールド検出設定
アドレス:0x1D (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5	A_FIELD_CODE6_EN	0	R/W	アドレスフィールドパターン 6 チェックイネーブル 0: チェックしない 1: チェックする
4	A_FIELD_CODE5_EN	0	R/W	アドレスフィールドパターン 5 チェックイネーブル 0: チェックしない 1: チェックする
3	A_FIELD_CODE4_EN	0	R/W	アドレスフィールドパターン 4 チェックイネーブル 0: チェックしない 1: チェックする
2	A_FIELD_CODE3_EN	0	R/W	アドレスフィールドパターン 3 チェックイネーブル 0: チェックしない 1: チェックする
1	A_FIELD_CODE2_EN	0	R/W	アドレスフィールドパターン 2 チェックイネーブル 0: チェックしない 1: チェックする
0	A_FIELD_CODE1_EN	0	R/W	アドレスフィールドパターン 1 チェックイネーブル 0: チェックしない 1: チェックする

【説明】
1. 詳細は「Field チェック機能」を参照してください。
2. Field チェック機能を使用するときは、RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]を 0b00(FIFO モード)か 0b11(DIO モードのデータ出力モード 2)に設定する必要があります。

0x1E【C_FIELD_CODE1】

機能:コントロールフィールド設定(コード#1)
アドレス:0x1E (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE1[7:0]	0000_0000	R/W	C-field 設定 コード#1

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x1F【C_FIELD_CODE2】

機能:コントロールフィールド設定(コード#2)
アドレス:0x1F (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE2[7:0]	0000_0000	R/W	C-field 設定 コード#2

【説明】
1. 詳細な使い方は「Field チェック機能」を参照してください。

0x20【C_FIELD_CODE3】

機能:コントロールフィールド設定(コード#3)
アドレス:0x20 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE3[7:0]	0000_0000	R/W	C-field 設定 コード#3

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x21【C_FIELD_CODE4】

機能:コントロールフィールド設定(コード#4)
アドレス:0x21 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE4[7:0]	0000_0000	R/W	C-field 設定 コード#4

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x22【C_FIELD_CODE5】

機能:コントロールフィールド設定(コード#5)
アドレス:0x22 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	C_FIELD_CODE5[7:0]	0000_0000	R/W	C-field 設定 コード#5

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x23【M_FIELD_CODE1】

機能:マニュファクチャーID 1st バイト設定(コード#1)
アドレス:0x23 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE1[7:0]	0000_0000	R/W	M-field 1st バイト設定 コード#1

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x24【M_FIELD_CODE2】

機能:マニュファクチャーID 1st バイト設定(コード#2)
アドレス:0x24 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE2[7:0]	0000_0000	R/W	M-field 1st バイト設定 コード#2

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x25【M_FIELD_CODE3】

機能:マニュファクチャーID 2nd バイト設定(コード#1)
アドレス:0x25 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE3[7:0]	0000_0000	R/W	M-field 2nd バイト設定 コード#1

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x26【M_FIELD_CODE4】

機能:マニュファクチャーID 2nd バイト設定(コード#2)
アドレス:0x26 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	M_FIELD_CODE4[7:0]	0000_0000	R/W	M-field 2nd バイト設定 コード#2

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x27【A_FIELD_CODE1】

機能:アドレスフィールド 1st バイト設定(1 バイト目)
アドレス:0x27 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE1[7:0]	0000_0000	R/W	A-field 設定(1 バイト目)

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x28【A_FIELD_CODE2】

機能:アドレスフィールド 2nd バイト設定
アドレス:0x28 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE2[7:0]	0000_0000	R/W	A-field 設定(2 バイト目)

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x29【A_FIELD_CODE3】

機能:アドレスフィールド 3rd バイト設定
アドレス:0x29 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE3[7:0]	0000_0000	R/W	A-field 設定(3 バイト目)

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x2A【A_FIELD_CODE4】

機能:アドレスフィールド　4th バイト設定
アドレス:0x2A (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE4[7:0]	0000_0000	R/W	A-field 設定(4 バイト目)

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x2B【A_FIELD_CODE5】

機能:アドレスフィールド　5th バイト設定
アドレス:0x2B (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE5[7:0]	0000_0000	R/W	A-field 設定(5 バイト目)

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x2C【A_FIELD_CODE6】

機能:アドレスフィールド　6th バイト設定
アドレス:0x2C (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	A_FIELD_CODE6[7:0]	0000_0000	R/W	A-field 設定(6 バイト目)

【説明】
1. 詳細は「Field チェック機能」を参照してください。

0x2D【SLEEP/WU_SET】

機能:SLEEP の実行およびウェイクアップ動作設定
アドレス:0x2D (BANK0)
初期値:0x08

Bit	ビット名	初期値	R/W	説明
7	WUT_1SHOT_MODE	0	R/W	ウェイクアップタイマ動作モード設定 0: インターバル動作を継続する 1: 1SHOT 動作後、ウェイクアップタイマを停止する
6	WAKEUP_MODE	0	R/W	ウェイクアップ後の動作設定 0: RX_ON 状態にする 1: TX_ON 状態にする ※動作継続タイマ満了した場合 SLEEP 状態となります。 ※SLEEP 中に FIFO ライトした場合、SLEEP 復帰後にデータ送信要求受付完了割込みが発生します。 ※0b1 設定時、動作継続タイマ満了した場合には強制的に SLEEP に移行するため、動作継続タイマ満了前に送信完了するように設定してください。
5	WU_DURATION_EN	0	R/W	ウェイクアップ後の動作継続タイマイネーブル 0: ウェイクアップ後、動作継続タイマを動作させない 1: ウェイクアップ後、動作継続タイマを動作させる ※本ビットが 0b1 設定時で WAKEUP_MODE=0b0 の場合、動作継続タイマ満了までに受信(SyncWord 検出)できなかった場合、自動で SLEEP 状態に移行します。
4	WAKEUP_EN	0	R/W	ウェイクアップイネーブル 0: SLEEP 後、自動ウェイクアップしない 1: SLEEP 後、自動ウェイクアップする ※0b1 設定時、ウェイクアップタイマ満了後、自動で SLEEP から復帰し、bit6(WAKEUP_MODE)で設定される状態となります。
3	RCOSC_MODE	1	R/W	RC 発振回路動作モード設定 0: 常時動作する 1: SLEEP 設定時のみ動作する ※詳細は「SLEEP 設定」をご参照ください。 ※動作継続タイマ使用時に本ビットが 0b1 になっている場合、タイマは動作しません。この場合、本設定は 0b0 に設定してください。
2	WUT_CLK_SOURCE	0	R/W	ウェイクアップタイマ用クロック設定 0: 外部入力クロック(EXT_CLK)を使用する 1: 内蔵 RC 発振回路出力を使用する ※詳細は「SLEEP 設定」をご参照ください。
1	Reseverd	0	R/W	予約
0	SLEEP_EN	0	R/W	SLEEP モード制御 0: SLEEP 状態から復帰する(通常動作) 1: SLEEP 状態にする ※詳細は「SLEEP 設定」をご参照ください。

【説明】

1. 詳細は「ウェイクアップタイマ」を参照してください。

0x2E【WUT_CLK_SET】

機能:ウェイクアップタイマ分周設定
アドレス:0x2E (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	WUDT_CLK_SET[3:0]	0000	R/W	動作継続タイマ分周設定 0000: 分周なし(ML7406C では設定禁止となります。) 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 上記以外: 16384 分周 ※WUT_CLK_SOURCE([SLEEP/WU_SET:B0 0x2D(2)])にて選択するクロックの分周値を設定します。 ※動作継続タイマを使用する場合、本設定は WUT_CLK_SET と同じ値に設定してください。
3:0	WUT_CLK_SET[3:0]	0000	R/W	ウェイクアップタイマ分周設定 0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 上記以外: 16384 分周 ※WUT_CLK_SOURCE([SLEEP/WU_SET:B0 0x2D(2)])にて選択するクロックの分周値を設定します。

【説明】
1. 詳細は「ウェイクアップタイマ」を参照してください。

0x2F【WUT_INTERVAL_H】

機能:ウェイクアップタイマ設定(上位バイト)
アドレス:0x2F (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	WUT_INTERVAL[15:8]	0000_0000	R/W	ウェイクアップタイマ間隔設定(上位バイト) [WUT_INTERVAL_L]レジスタの 8 ビットと共に全 16 ビットから算出されます。タイマ間隔は次式の通りとなります。 ウェイクアップタイマ間隔 = ウェイクアップタイマ用クロック周期([SLEEP/WU_SET:B0 0x2D(2)]) * 分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) * (ウェイクアップタイマ間隔設定([WUT_INTERVAL_H/L: B0 0x2F/30])+1) ※本設定値 WUT_INTERVAL[15:0]は 2 以上の値を設定してください。

【説明】
1. 詳細は「ウェイクアップタイマ」を参照してください。

0x30【WUT_INTERVAL_L】

機能:ウェイクアップタイマ設定(下位バイト)
アドレス:0x30 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	WUT_INTERVAL[7:0]	0000_0000	R/W	ウェイクアップタイマ間隔設定(下位バイト) ※詳細は[TIMER_INTERVAL_H: B0 0x2F]をご参照ください。

【説明】
1. 詳細は「ウェイクアップタイマ」を参照してください。

0x31【WU_DURATION】

機能:ウェイクアップ後の動作継続タイマ稼動時間設定
アドレス:0x31 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	WU_DURATION[7:0]	0000_0000	R/W	ウェイクアップ後の動作継続タイマ稼動時間設定 動作継続タイマ稼動時間 = ウェイクアップタイマ用クロック周期([SLEEP/WU_SET:B0 0x2D(2)]) * 分周設定([WUT_CLK_SET: B0 0x2E(3-0)]) * (動作継続タイマ間隔設定[WU_DURATION: B0 0x31]-1) ※本設定値 WU_DURATION[7:0]は 1 以上の値を設定してください。

【説明】
1. 詳細は「ウェイクアップタイマ」を参照してください。

0x32【GT_SET】

機能:汎用タイマ設定
アドレス:0x32 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5	GT2_CLK_SOURCE	0	R/W	汎用タイマ 2 クロックソース設定 0: ウェイクアップタイマ用クロック 1: 2MHz クロック
4	GT2_START	0	R/W	汎用タイマ 2 実行設定 0: タイマ中断 1: タイマスタート、再開 ※タイマ満了後、自動的に 0 に戻ります。
3:2	Reserved	00	R/W	予約
1	GT1_CLK_SOURCE	00	R/W	汎用タイマ 1 クロックソース設定 0: ウェイクアップタイマ用クロック 1: 2MHz クロック
0	GT1_START	0	R/W	汎用タイマ 1 実行設定 0: タイマ中断 1: タイマスタート、再開 ※タイマ満了後、自動的に 0 に戻ります。

【説明】
1. 詳細は「汎用タイマ」を参照してください。

0x33【GT_CLK_SET】

機能:汎用タイマクロック分周設定
アドレス:0x33 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	GT2_CLK_SET[3:0]	0000	R/W	汎用タイマ用クロック 2 分周設定 汎用タイマ用クロック 2 の分周値を設定します。 0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 32768 分周 上記以外: 65536 分周
3:0	GT1_CLK_SET[3:0]	0000	R/W	汎用タイマ用クロック 1 分周設定 汎用タイマ用クロック 1 の分周値を設定します。 0000: 分周なし 0001: 128 分周 0010: 256 分周 0011: 512 分周 0100: 1024 分周 0101: 2048 分周 0110: 4096 分周 0111: 8192 分周 1000: 16384 分周 1001: 32768 分周 上記以外: 65536 分周

【説明】
1. 詳細は「汎用タイマ」を参照してください。

0x34【GT1_TIMER】

機能:汎用タイマ 1 間隔設定
アドレス:0x34 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	GT1_TIMER[7:0]	0000_0000	R/W	汎用タイマ 1 間隔設定 汎用タイマ 1 間隔 = 汎用タイマ用クロック周期([GT_SET:B0 0x32(1)]) * 分周設定([GT_CLK_SET:B0 0x33(3-0)]) * 汎用タイマ 1 間隔設定(GT1_TIMER[7:0])

【説明】
1. 詳細は「汎用タイマ」を参照してください。

0x35【GT2_TIMER】

機能:汎用タイマ 2 間隔設定
アドレス:0x35 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	GT2_TIMER[7:0]	0000_0000	R/W	汎用タイマ 2 間隔設定 汎用タイマ 2 間隔 = 汎用タイマ用クロック周期([GT_SET:B0 0x32(5)]) * 分周設定([GT_CLK_SET:B0 0x33(7-4)]) * 汎用タイマ 2 間隔設定(GT2_TIMER[7:0])

【説明】
1. 詳細は「汎用タイマ」を参照してください。

0x36【CCA_IGNORE_LVL】

機能:CCA の判定除外 ED 値設定
アドレス:0x36 (BANK0)
初期値:0xFE

Bit	ビット名	初期値	R/W	説明
7:0	CCA_IGNORE_LVL [7:0]	1111_1110	R/W	CCA の移動平均判定から除外する ED レベル設定 ※ED 値が、本レジスタ設定値を超えた場合、ED_AVG([ED_CTRL: B0 0x41(2-0)])で設定される平均化から除外され、新たに平均回数に達する ED 値を取得するまで CCA 結果を判定せず CCA_RST ([CCA_CTRL: B0 0x39(1-0)])に 0b11(判定中)を設定します。

【説明】
1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x37【CCA_LVL】

機能:CCA の閾値設定
アドレス:0x37 (BANK0)
初期値:0x18

Bit	ビット名	初期値	R/W	説明
7:0	CCA _LVL[7:0]	0001_1000	R/W	CCA 閾値レベル設定(設定範囲:0～255) ※ED 値が本レジスタの設定値を超えると CCA_RST ([CCA_CTRL: B0 0x39(1-0)])に 0b01(キャリアあり)が立ちます。

【説明】
1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x38【CCA_ABORT】

機能:CCA 動作の強制終了時間設定
アドレス:0x38 (BANK0)
初期値:0xFF

Bit	ビット名	初期値	R/W	説明
7:0	CCA _ABORT[7:0]	1111_1111	R/W	CCA 強制終了時間設定(設定範囲:0～255) ※0b0000_0000 設定では強制終了時間は無効となります。 ※設定値の 1bit あたりの分解能は 128µs となります。 ※CCA のキャリアあり判定のために CCA 完了しない状態を防ぐためのタイムアウト機能です。本レジスタの設定値 x RSSI 用 ADC クロック設定(初期設定:16µs) の期間 CCA を実行した場合、IDLE 検出を終了し、パケットを破棄して RF 状態は TRX_OFF に移ります。 (ご注意:時間は[ADC_CLK_SET: B1 0x08]で初期値の 2MHz が設定されているときの時間であり、1.73MHz を選択した場合は、設定値 x 18.5µs となります。)

【説明】

1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x39【CCA_CTRL】

機能:CCA 制御設定および結果表示
アドレス:0x39 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CCA_STOP	0	R/W	CCA 無限実行終了設定(1 で停止します) ※CCA_CPU_EN が実行されると本ビットで停止されるまで CCA を実行します。
6	CCA_IDLE_EN	0	R/W	CCA アイドル検出モード設定 0: アイドル検出を行わない 1: アイドル検出を行う
5	CCA_CPU_EN	0	R/W	CCA 無限実行モード設定 0: CCA 無限実行を行わない 1: CCA 無限実行を行う ※CCA 無限実行モードで CCA を実行した場合、CCA_STOP ビットで停止されるまで CCA を継続します。
4	CCA_EN	0	R/W	CCA 実行命令 0: CCA を実行しない 1: CCA を実行する ※CCA 完了後、本ビットは自動的に 0 に戻ります。
3	FAST_DET_MODE_EN	0	R/W	高速電波チェックモード設定 0: RX_ON 時 CCA を実行しない 1: RX_ON 時 CCA を自動実行する ※CCA の結果、電波なしと判定した場合、自動的に SLEEP 状態へ移行します。また、タイマ機能と組合せ動作が可能です。詳細は「ウェイクアップタイマ」を参照してください。
2	CCA_ABORT_EN	0	R/W	CCA 強制終了設定 0:CCA を強制終了しない 1:CCA を強制終了する ※本ビットは bit6(CCA_IDLE_EN)に 1 が設定されているときのみ有効となります。
1:0	CCA_RSLT[1:0]	0	R/W	CCA 結果 00: キャリアなし 01: キャリアあり 10: CCA 判定中(アイドル判定中) 11: CCA 判定中(判定除外の ED 値取得) ※自動クリアされません。CCA にてキャリアありと判定される毎に 0b00 を書き込みクリアする必要があります。書き込みは 0b00 のみ有効です。CCA 完了は[INT_SOURCE_GRP2: B0 0x0F(2)]にて通知します。

【説明】
1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。
2. bit6 (CCA_IDLE_EN)と bit5(CCA_CPU_EN)を同時に 0b1 に設定しないでください。

0x3A【ED_RSLT】

機能:ED 値表示
アドレス:0x3A (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ED_VALUE[7:0]	0000_0000	R	ED 値表示 ※ED 値は、ED_RSLT_SET([ED_CTRL: B0 0x41(3)])=0b0 設定されている場合、RX_ON 中に常時更新されます。ED_RSLT_SET=0b1 設定では SyncWord 検出時に ED 値を獲得し、受信データの FIFO リード開始により値が更新されます。

【説明】
1. ED 値の取得動作の詳細は、「電力検出値(ED 値)取得機能」を参照してください。

0x3B【IDLE_WAIT_H】

機能:CCA 時の IDLE 継続時間設定(上位バイト)
アドレス:0x3B (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R/W	予約
1:0	IDLE_WAIT[9:8]	00	R/W	IDLE 判定の最大待ち時間設定(上位バイト) ※CCA の IDLE 判定動作において、長い IDLE(キャリアなし)期間の判定を行う場合に使用します。[IDLE_WAIT_L]レジスタの 8 ビットと共に全 10 ビットから算出されます。IDLE 判定待ち時間は次式の通りとなり、この期間 CCA を実行し IDLE 判定を待ちます。 IDLE 判定待ち時間 = ED 値平均化(初期値 8 回)時間(128μs)＋(設定値 ＊16μs) (ご注意：時間は、[ADC_CLK_SET: B1 0x08(4)]で初期値の 2MHz が設定されているときの時間です。1.73MHz を選択した場合は、設定値 x 18.5μs となり、ED 値平均化(初期値 8 回)時間は 148μs となります。)

【説明】
1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3C【IDLE_WAIT_L】

機能:CCA 時の IDLE 継続時間設定(下位バイト)
アドレス:0x3C (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	IDLE_WAIT[7:0]	0000_0000	R/W	IDLE 判定の最大待ち時間設定(下位バイト) ※詳細は[IDLE_WAIT_H: B0 0x3B]レジスタをご参照ください。

【説明】
1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3D【CCA_PROG_H】

機能:CCA 時の IDLE 判定経過時間表示(上位バイト)
アドレス:0x3D (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R/W	予約
1:0	CCA_PROG[9:8]	00	R	CCA 時の IDLE 判定経過時間表示(上位バイト) ※[CCA_PROG_L]レジスタの 8 ビットと共に全 10 ビットから算出されます。IDLE 判定経過時間は次式で計算できます。 IDLE 判定経過時間＝ ED 値平均化(初期値 8 回)時間(128μs)＋(設定値 ＊16μs) (ご注意：時間は、[ADC_CLK_SET: B1 0x08(4)]で初期値の 2MHz が設定されているときの時間です。1.73MHz を選択した場合は、設定値 x 18.5μs となり、ED 値平均化(初期値 8 回)時間は 148μs となります。)

【説明】
1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3E【CCA_PROG_L】

機能:CCA 時の IDLE 判定経過時間表示(下位バイト)
アドレス:0x3E (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	CCA_PROG[7:0]	0000_0000	R	CCA 時の IDLE 判定経過時間表示(下位バイト) ※詳細は[CCA_PROG_H: B0 0x3D]レジスタをご参照ください。

【説明】
1. CCA の詳細動作は「CCA(Clear Channel Assesment)機能」を参照してください。

0x3F-40【Reserved】

機能:予約
アドレス:0x3F-40 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x41【ED_CTRL】

機能:ED 設定
アドレス:0x41 (BANK0)
初期値:0x83

Bit	ビット名	初期値	R/W	説明
7	ED_CALC_EN	1	R/W	ED 値算出イネーブル設定 0: ED 値算出を行わない 1: ED 値算出を行う
6:5	Reserved	00	R/W	予約
4	ED_DONE	0	R/W	ED 値算出完了フラグ 0: ED 値算出中(未完了) 1: ED 値算出完了
3	ED_RSLT_SET	0	R/W	ED 表示設定 [ED_RSLT: B0 0x3A]レジスタに表示する ED 値を選択します。 0: 常時更新する ED 値 1: SyncWord 検出タイミング毎に獲得した ED 値 ※0b1 設定時、受信データの FIFO リード開始により値が更新されます。FIFO リード後、[ED_RSLT: B0 0x3A]レジスタを確認してください。
2:0	ED_AVG[2:0]	011	R/W	ED 値算出時の平均回数設定 000: 1 回平均 001: 2 回平均 010: 4 回平均 011: 8 回平均 100: 16 回平均 101: 32 回平均 上記以外: 16 回平均 ※ED_AVG は ED 値算出停止状態で（TRX_OFF 状態または TX_ON 状態または bit7(ED_CALC_EN)=0b0 時）設定して下さい。

【説明】

1. ED 値の取得動作の詳細は、「電力検出値（ED 値）取得機能」を参照してください。

0x42【TXPR_LEN_H】

機能:送信プリアンブル長設定(上位バイト)
アドレス:0x42 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TXPR_LEN[15:8]	0000_0000	R/W	送信プリアンブル長設定(上位バイト) 送信プリアンブル長を設定します。送信プリアンブル長は(設定値 x2)ビットとなります。 ※[TXPR_LEN_L: B0 0x43]の 8 ビットと共に全 16 ビットにより設定します。 ※TXPR_LEN[15:0]には、0x0010 より小さい値を設定しないでください。本 LSI は受信時の同期確立において 0x0010 以上のプリアンブルを必要とします。 ※ダイバーシティ使用時は本設定値をデータレートの設定に応じて変更する必要があります。データレートに対応する設定値は「レジスタ設定」を参照してください。

0x43【TXPR_LEN_L】

機能:送信プリアンブル長設定(下位バイト)
アドレス:0x43 (BANK0)
初期値:0x10

Bit	ビット名	初期値	R/W	説明
7:0	TXPR_LEN[7:0]	0001_0000	R/W	送信プリアンブル長設定(下位バイト) ※詳細は[TXPR_LEN_H: B0 0x42]レジスタをご参照ください。

0x44【POSTAMBLE_SET】

機能:ポストアンブル長およびパターン設定
アドレス:0x44 (BANK0)
初期値:0x10

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:4	POSTAMBLE_LEN[2:0]	001	R/W	ポストアンブル長設定 ポストアンブル長は(設定値 x2)ビットとなります。
3	Reserved	0	R/W	予約
2:1	POSTAMBLE_PAT[1:0]	00	R/W	ポストアンブルパターン設定 00: “01”パターンの繰り返し 01: “10”パターンの繰り返し 10: CRC 最終パターンと CRC 最終パターンの反転の繰り返し 11: 予約
0	POSTAMBLE_EN	0	R/W	ポストアンブルイネーブル設定 0: ポストアンブルを付加しない 1: ポストアンブルを付加する

0x45【SYNC_CONDITION1】

機能:受信時のプリアンブル比較長および同期検出時の ED 閾値判定設定
アドレス:0x45 (BANK0)
初期値:0x08

Bit	ビット名	初期値	R/W	説明
7	SYNC_ED_EN	0	R/W	ED 値を使用した同期判定のイネーブル 0: 同期判定に ED 値を使用しない 1: 同期判定に ED 値を使用する ※ED 値閾値は[SYNC_CONDITION2: B0 0x46]により設定します。
6	Reserved	0	R/W	予約
5:0	RXPR_LEN[5:0]	00_1000	R/W	受信時のプリアンブル比較長設定(設定範囲:0～32、単位:ビット) ※0b10_0000 以上の設定は、0b10_0000 として動作します。 ※本レジスタに 1 以上を設定した場合、SyncWord 検出において、設定したプリアンブル数だけ SyncWord パターンに追加してパターン(プリアンブル+SyncWord)で SyncWord 検出を行います。SyncWord 長だけでは SyncWord 誤検出確率が高い場合、本機能によりプリアンブルを追加することにより SyncWord 誤検出確率を低減することが可能です。 ※RXPR_LEN[5:0]で設定するプリアンブル比較範囲が AFC 収束時間(16 ビット程度)と重なった場合、SyncWord 検出できなくなります。本設定値は送信プリアンブルから AFC 収束時間を引いたバイト数以下の値を設定してください。

0x46【SYNC_CONDITION2】

機能:同期検出時の ED 閾値
アドレス:0x46 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_ED_TH[7:0]	0000_0000	R/W	同期判定時の ED 閾値設定 ※SYNC_ED_EN ([SYNC_CONDITION1: B0 0x45(7)])が 0b1 設定時、ED 閾値が有効となります。 ※取得 ED 値が閾値を超えない場合、同期が取れたとみなしません。

0x47【SYNC_CONDITION3】

機能:受信時のプリアンブル検出および SyncWord 検出の誤り許容値設定
アドレス:0x47 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:4	SW_RCV[3:0]	0000	R/W	SyncWord 検出時の誤り許容ビット数設定(設定範囲 0～15)
3:0	PB_RCV[3:0]	0000	R/W	プリアンブル検出時の誤り許容ビット数設定(設定範囲 0～15)

0x48【2DIV_CTRL】

機能:アンテナダイバーシティ設定
アドレス:0x48 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5	ANT_CTRL1	0	R/W	ANT 制御ビット
4	ANT_CTRL0	0	R/W	外部 PA 制御信号制御ビット 0: GPIO での設定論理値を出力り 1; ANT_SW の設定論理値を出力
3	INV_ANT_SW	0	R/W	ANT_SW 極性設定
2	INV_TRX_SW	0	R/W	TRX_SW 極性設定
1	2PORT_SW	0	R/W	アンテナスイッチ設定 0: SPDT スイッチ使用 1: DPDT スイッチ使用
0	2DIV_EN	0	R/W	アンテナダイバーシティ設定 0: ダイバーシティを行わない 1: ダイバーシティを行う

【説明】

1. 本レジスタの設定の使用方法に関しては、「ダイバーシティ機能」を参照してください。

0x49【2DIV_RSLT】

機能:アンテナダイバーシティ結果表示
アドレス:0x49 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	2DIV_DONE	0	R	アンテナダイバーシティサーチ完了表示 0: ダイバーシティサーチ中(未完了) 1: ダイバーシティサーチ完了
6:2	Reserved	0_0000	R/W	予約
1:0	2DIV_RSLT[1:0]	01	R	アンテナダイバーシティ結果表示 01: アンテナ 1 10: アンテナ 2 上記以外: 予約

【説明】
1. 本レジスタの使用方法に関しては、「ダイバーシティ機能」を参照してください。
2. 本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。

0x4A【ANT1_ED】

機能:アンテナ 1 の取得 ED 値表示
アドレス:0x4A (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ANT1_ED[7:0]	0000_0000	R	アンテナ 1 の取得 ED 値 ※2DIV_EN([2DIV_CTRL: B0 0x48(0)])が 0b1 に設定する必要があります。本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。ただし、ダイバーシティ完了割込み([INT_SOURCE_GRP2: B0 0x0D(2)])をクリアすると本レジスタ値がクリアされます。

0x4B【ANT2_ED】

機能:アンテナ 2 の取得 ED 値表示
アドレス:0x4B (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ANT2_ED[7:0]	0000_0000	R	アンテナ 2 の取得 ED 値 ※2DIV_EN([2DIV_CTRL: B0 0x48(0)])が 0b1 に設定する必要があります。本レジスタは毎パケット受信時の SyncWord 検出タイミングで上書き更新されます。ただし、ダイバーシティ完了割込み([INT_SOURCE_GRP2: B0 0x0D(2)])をクリアすると本レジスタ値がクリアされます。

0x4C【ANT_CTRL】

機能:送受信時のアンテナ強制設定
アドレス:0x4C (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5	RX_ANT	0	R/W	受信時のアンテナ設定 0: アンテナ 1 1: アンテナ 2 ※bit4(RX_ANT_EN)が 0b01 設定時のみ有効で、RX_ON 時のアンテナを本ビットにて固定します。
4	RX_ANT_EN	0	R/W	受信時のアンテナ設定イネーブル 0: ディセーブル 1: イネーブル
3:2	Reserved	00	R/W	予約
1	TX_ANT	0	R/W	送信時のアンテナ設定 0: アンテナ 1 1: アンテナ 2 ※bit0(TX_ANT_EN)が 0b01 設定時のみ有効で、TX_ON 時のアンテナを本ビットにて固定します。
0	TX_ANT_EN	0	R/W	送信時のアンテナ設定イネーブル 0: ディセーブル 1: イネーブル

【説明】

1. 本ビットの使用方法に関しては、「ダイバーシティ機能」を参照してください。

0x4D【MON_CTRL】

機能:アナログ/デジタルモニタ設定
アドレス:0x4D (BANK0)
初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	BER_MODE	0	R/W	BER 測定モード設定 0: 通常動作モードにする 1: BER 測定モードにする ※BER 測定モード設定により復調データ/クロックを DIO/DCLK から出力します。詳細は「BER 測定時の設定」を参照してください。
6	FIFOMODE_MON	0	R/W	FIFO モードモニタ設定 0: FIFO モードで DIO/DCLK を出力しない 1: FIFO モードで DIO/DCLK を出力する ※DIO/DCLK は復調データ/クロックが出力されます。
5	TEMP_ADC_OUT	0	R/W	温度情報信号デジタル出力設定 0: 温度情報信号(デジタル)を表示しない 1: 温度情報信号(デジタル)を表示する ※本デジタル値は[TEMP: B1 0x09]よりリードすることができます。 詳細は「温度表示機能」を参照してください。
4	TEMP_OUT	0	R/W	TEMP 値アナログ出力設定 0: 温度情報信号(アナログ)を A_MON 端子から出力しない 1: 温度情報信号(アナログ)を A_MON 端子から出力する ※詳細は「温度表示機能」を参照してください。
3:0	DMON_SET	0001	R/W	デジタルモニタ出力信号選択設定 0000: L 出力 0001: CLK_OUT 出力 0010: PLL ロック検出信号出力 (ロック中に H を出力します) 0011: 同期完了信号出力 (同期中に H を出力します) 上記以外: 予約

【ご注意】

1. デジタル出力設定(TEMP_ADC_OUT=0b1)にすると正常に受信できなくなります。受信時には TEMP_ADC_OUT=0b0 に設定してください。

0x4E【GPIO0_CTRL】

機能:GPIO0 端子(ピン#16)制御
アドレス:0x4E (BANK0)
初期値:0x07

Bit	ビット名	初期値	R/W	説明
7	GPIO0_INV	0	R/W	GPIO0 出力信号極性設定
6	GPIO0_OD	0	R/W	GPIO0 出力 OpenDrain 設定
5	GPIO0_FORCEOUT	0	R/W	GPIO0 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO0_INV)の設定に影響されません。
4	GPIO0_FORCEOUTEN	0	R/W	GPIO0 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO0_FOCEOUT)に設定した値を出力する)
3	Reserved	0	R/W	予約
2:0	GPIO0_IO_CFG[2:0]	111	R/W	GPIO0 入出力信号選択設定 000: [出力]”L”レベル 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: [入出力]データ(DIO) 101: [出力] データクロック(DCLK) 110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([MON_CTRL:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN)

0x4F【GPIO1_CTRL】

機能:GPIO1 端子(ピン#17)制御
アドレス:0x4F (BANK0)
初期値:0x06

Bit	ビット名	初期値	R/W	説明
7	GPIO1_INV	0	R/W	GPIO1 出力信号極性設定
6	GPIO1_OD	0	R/W	GPIO1 出力 OpenDrain 設定
5	GPIO1_FORCEOUT	0	R/W	GPIO1 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO1_INV)の設定に影響されません。
4	GPIO1_FORCEOUTEN	0	R/W	GPIO1 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO1_FOCEOUT)に設定した値を出力する)
3	Reserved	0	R/W	予約
2:0	GPIO1_IO_CFG [2:0]	110	R/W	GPIO1 入出力信号選択設定 000: [出力]”L”レベル 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: [入出力]データ(DIO) 101: [出力] データクロック(DCLK) 110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([MON_CTRL:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN)

0x50【GPIO2_CTRL】

機能:GPIO2 端子(ピン#18)制御
アドレス:0x50 (BANK0)
初期値:0x02

Bit	ビット名	初期値	R/W	説明
7	GPIO2_INV	0	R/W	GPIO2 出力信号極性設定
6	GPIO2_OD	0	R/W	GPIO2 出力 OpenDrain 設定
5	GPIO2_FORCEOUT	0	R/W	GPIO2 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO1_INV)の設定に影響されません。
4	GPIO2_FORCEOUTEN	0	R/W	GPIO2 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO2_FOCEOUT)に設定した値を出力する)
3	Reserved	0	R/W	予約
2:0	GPIO2_IO_CFG [2:0]	010	R/W	GPIO2 入出力信号選択設定 000: [出力]”L”レベル 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: [入出力]データ(DIO) 101: [出力] データクロック(DCLK) 110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([MON_CTRL:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN)

0x51【GPIO3_CTRL】

機能:GPIO3 端子(ピン#19)制御
アドレス:0x51 (BANK0)
初期値:0x01

Bit	ビット名	初期値	R/W	説明
7	GPIO3_INV	0	R/W	GPIO3 出力信号極性設定
6	GPIO3_OD	0	R/W	GPIO3 出力 OpenDrain 設定
5	GPIO3_FORCEOUT	0	R/W	GPIO3 強制出力設定 0: “L”出力 1: ”H”出力 ※ bit7(GPIO3_INV)の設定に影響されません。
4	GPIO3_FORCEOUTEN	0	R/W	GPIO1 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(GPIO3_FOCEOUT)に設定した値を出力する)
3	Reserved	0	R/W	予約
2:0	GPIO3_IO_CFG [2:0]	001	R/W	GPIO3 入出力信号選択設定 000: [出力]”L”レベル 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: [入出力]データ(DIO) 101: [出力] データクロック(DCLK) 110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([MON_CTRL:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN)

0x52【EXTCLK_CTRL】

機能: EXT_CLK 端子(ピン#10)制御
アドレス:0x52 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	EXTCLK_INV	0	R/W	EXT_CLK 出力信号極性設定
6	EXTCLK _OD	0	R/W	EXT_CLK 出力 OpenDrain 設定
5	EXTCLK _FORCEOUT	0	R/W	EXT_CLK 強制出力値設定 0: “L”出力 1: ”H”出力 ※ bit7(EXTCLK_INV)の設定に影響されません。
4	EXTCLK _FORCEOUTEN	0	R/W	EXT_CLK 強制出力イネーブル 0: ディセーブル 1: イネーブル(bit5(EXTCLK_FOCEOUT)に設定した値を出力する)
3	Reserved	0	R/W	予約
2:0	EXTCLK _IO_CFG [2:0]	000	R/W	EXT_CLK 入出力信号選択設定 000: [入力]外部クロック (32 kHz) 001: [出力]アンテナスイッチ制御 1(送受信切り替え信号:TRX_SW) 010: [出力]アンテナスイッチ制御 2(アンテナ切り替え信号:ANT_SW) 011: [出力]外部 PA 制御信号 100: 予約 101: [出力]データクロック (DCLK) 110: [出力]デジタルモニタ信号 ※詳細は DMON_SET[3:0]([MON_CTRL:B0 0x4D(3-0)])をご参照ください。 111: [出力]割込み通知信号(SINTN)

0x53【SPI/EXT_PA_CTRL】

機能:SPI インタフェース(SDI/SDO)端子/外部 PA 制御
アドレス:0x53 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5	SDO_CFG	0	R/W	SDO 端子(ピン#12)の入出力信号選択設定 0: [出力]SDO(SPI インタフェース) 1: [出力] SDO 出力(SCEN 端子(ピン#14)=”L”時) DCLK 出力(SCEN 端子=”H”時) ※詳細は「DIO 機能」を参照してください。
4	SDI_CFG	0	R/W	SDI 端子(ピン#15)の入出力信号選択設定 0: [入力]SDI(SPI インタフェース) 1: [入力] SDI 入力(SCEN 端子(ピン#14)=”L”時) [入出力] DIO 出力(SCEN 端子=”H”時) ※詳細は「DIO 機能」を参照してください。
3:2	Reserved	00	R/W	予約
1	EXT_PA_CNT	0	R/W	外部 PA 制御信号の制御タイミング設定 0: TX_ON 信号を出力する 1: PA_ON 信号を出力する ※TX_ON(送信回路起動)信号および PA_ON(PA 起動)信号は、「タイムチャート-送信時」をご参照ください。
0	EXT_PA_EN	0	R/W	外部 PA 制御信号の制御設定イネーブル 0: ディセーブル (L 出力) 1: イネーブル (bit1(EXT_PA_CNT)の設定が有効となります)

0x54【IF_FREQ_H】

機能:IF 周波数設定(上位バイト)
アドレス:0x54 (BANK0)
初期値:0x38

Bit	ビット名	初期値	R/W	説明
7:0	IF_FREQ[15:8]	0011_1000	R/W	IF 周波数設定(上位バイト) ※設定値は IF 周波数の 1/2 の値を設定してください。

【説明】
1. 本レジスタへの設定方法は、「IF 周波数の設定」を参照してください。

0x55【IF_FREQ_L】

機能:IF 周波数設定(下位バイト)
アドレス:0x55 (BANK0)
初期値:0xB6

Bit	ビット名	初期値	R/W	説明
7:0	IF_FREQ[7:0]	1011_0110	R/W	IF 周波数設定(下位バイト) ※設定値は IF 周波数の 1/2 の値を設定してください。

【説明】
1. 本レジスタへの設定方法は、「IF 周波数の設定」を参照してください。

0x56【IF_FREQ_CCA _H】

機能:CCA 時 IF 周波数設定(上位バイト)
アドレス:0x56 (BANK0)
初期値:0x38

Bit	ビット名	初期値	R/W	説明
7:0	IF_FREQ_CCA[15:8]	0011_1000	R/W	CCA 時 IF 周波数設定(上位バイト) ※設定値は IF 周波数の 1/2 の値を設定してください。

【説明】
1. 本レジスタへの設定方法は、「IF 周波数の設定」を参照してください。

0x57【IF_FREQ_CCA_L】

機能:CCA 時 IF 周波数設定(下位バイト)
アドレス:0x57
初期値:0xB6

Bit	ビット名	初期値	R/W	説明
7:0	IF_FREQ_CCA [7:0]	1011_0110	R/W	CCA 時 IF 周波数設定(下位バイト) ※設定値は IF 周波数の 1/2 の値を設定してください。

【説明】
1. 本レジスタへの設定方法は、「IF 周波数の設定」を参照してください。

0x58【BPF_ADJ_H】

機能:バンドパスフィルタの帯域調整(上位バイト)
アドレス:0x58 (BANK0)
初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R/W	予約
1:0	BPF_C[9:8]	10	R/W	バンドパスフィルタの帯域調整設定(上位バイト)

0x59【BPF_ADJ_L】

機能:バンドパスフィルタの帯域調整(下位バイト)
アドレス:0x59 (BANK0)
初期値:0x4A

Bit	ビット名	初期値	R/W	説明
7:0	BPF_C[7:0]	0100_1010	R/W	バンドパスフィルタの帯域調整設定(下位バイト)

0x5A-0x5B【Reserved】

機能:予約
アドレス:0x5A-0x5B (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x5C【BPF_CO】

機能:バンドパスフィルタの帯域調整値補正係数
アドレス:0x5C (BANK0)
初期値:0x80

Bit	ビット名	初期値	R/W	説明
7:0	BPF_CO[7:0]	1000_0000	R/W	バンドパスフィルタの帯域調整値補正係数設定 bit7: 1 倍 bit6: 1/2 倍 bit5: 1/4 倍 bit4: 1/8 倍 bit3: 1/16 倍 bit2: 1/32 倍 bit1: 1/64 倍 bit0: 1/128 倍

【説明】
1. 本レジスタへの設定方法は、「BPF 帯域の設定」を参照してください。

0x5D【BPF_CO_CCA】

機能:CCA 時バンドパスフィルタの帯域調整値補正係数
アドレス:0x5D (BANK0)
初期値:0x80

Bit	ビット名	初期値	R/W	説明
7:0	BPF_CO_CCA[7:0]	1000_0000	R/W	CCA 時バンドパスフィルタの帯域調整値補正係数設定 bit7: 1 倍 bit6: 1/2 倍 bit5: 1/4 倍 bit4: 1/8 倍 bit3: 1/16 倍 bit2: 1/32 倍 bit1: 1/64 倍 bit0: 1/128 倍

【説明】
1. 本レジスタへの設定方法は、「BPF 帯域の設定」を参照してください。

0x5E【IFF_ADJ_H】

機能:復調器 DC レベル調整(上位バイト)
アドレス:0x5E (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:2	Reserved	00_0000	R/W	予約
1:0	FDET_ADJ[9:8]	00	R/W	復調器 DC レベル調整設定(上位バイト)

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x5F【IFF_ADJ_L】

機能:復調器 DC レベル調整(下位バイト)
アドレス:0x5F (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	FDET_ADJ[7:0]	0000_0000	R/W	復調器 DC レベル調整設定(下位バイト)

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x60【IFF_ADJ_CCA_H】

機能:CCA 時復調器 DC レベル調整(上位バイト)
アドレス:0x60 (BANK0)
初期値:0x54

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	FDET_ADJ_CCA1[6:0]	101_0100	R/W	CCA 時復調器 DC レベル調整設定 1

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x61【IFF_ADJ_CCA_L】

機能:CCA 時復調器 DC レベル調整(下位バイト)
アドレス:0x61 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	FDET_ADJ_CCA3[2:0]	000	R/W	CCA 時復調器 DC レベル設定 3
4:0	FDET_ADJ_CCA2[4:0]	0_0000	R/W	CCA 時復調器 DC レベル設定 2

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x62【OSC_ADJ1】

機能:発振回路端子の負荷容量粗調整
アドレス:0x62 (BANK0)
初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	OSC_ADJ_ROUGH[3:0]	1000	R/W	容量負荷粗調整　約 0.7pF/step

【説明】
1. 本レジスタへの設定方法は、「発振回路の調整」を参照してください。

0x63【OSC_ADJ2】

機能:発振回路端子の負荷容量微調整
アドレス:0x63 (BANK0)
初期値:0x40

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	OSC_ADJ_FINE[6:0]	100_0000	R/W	容量負荷微調整　約 0.02pF/step (調整範囲 0x00～0x77)

【説明】
1. 本レジスタへの設定方法は、「発振回路の調整」を参照してください。

0x64-0x65【Reserved】

機能:予約
アドレス:0x64-0x65 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved		R/W	予約

0x66【RSSI_ADJ】

機能:RSSI 値の調整
アドレス:0x66 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	RSSI_ADD	0	R/W	RSSI 調整 0: -に設定する 1: +に設定する
6:5	Reserved	00	R/W	予約
4:0	RSSI_ADJ[4:0]	0_0000	R/W	RSSI 補正値設定

【説明】
1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。

0x67【PA_MODE】

機能:PA モード設定/PA 用レギュレータの調整
アドレス:0x67 (BANK0)
初期値:0x10

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:4	PA_MODE[1:0]	01	R/W	PA モード設定 00: 0dBm モード 01: 10dBm モード 10: 13dBm モード 11: 使用禁止
3:0	PA_REG[3:0]	0000	R/W	PA レギュレータの出力電圧調整

【説明】
1. 本レジスタを使用した調整の仕方に関しては「PA の調整」を参照してください。

0x68【PA_REG_FINE_ADJ】

機能:PA 用レギュレータの出力電圧微調整
アドレス:0x68 (BANK0)
初期値:0x10

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R/W	予約
4:0	PA_REG_FINE_ADJ [4:0]	1_0000	R/W	PA レギュレータの出力電圧微調整設定 ※本レジスタで PA 出力を 0.2dB 未満のステップで調整することができます。

【説明】
1. 本レジスタを使用した調整の仕方に関しては「PA の調整」を参照してください。

0x69【PA_ADJ】

機能:PA 調整
アドレス:0x69 (BANK0)
初期値:0x07

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	PA_ADJ[3:0]	0111	R/W	PA 出力アンプゲイン調整

【説明】
1. 本レジスタの使用方法は、「PAの調整」を参照してください。

0x6A-0x6B【Reserved】

機能:予約
アドレス:0x6A-0x6B (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x6C【IQ_MAG_ADJ】

機能:IF の IQ 振幅バランス調整
アドレス:0x6C (BANK0)
初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	00	R/W	予約
3:0	MAG_ADJ[3:0]	1000	R/W	IQ 信号の振幅調整設定

【説明】
1. MAG_ADJ[3:0]でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x6D【IQ_PHASE_ADJ】

機能:IF の IQ 位相バランス調整
アドレス:0x6D (BANK0)
初期値:0x20

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	PHASE_ADJ[5:0]	10_0000	R/W	IQ 信号の位相調整設定

【説明】
1. PHASE_ADJ [5:0]でイメージ除去比を調整することができます。詳細は[I/Q 調整値の設定]を参照してください。

0x6E【VCO_CAL】

機能:VCO キャリブレーション値の表示と設定
アドレス:0x6E (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	CAL_WR_EN	0	R/W	VCO キャリブレーションモード設定 0: 自動設定モード 1: 強制書き込みモード
6:0	VCO_CAL[6:0]	000_0000	R/W	現在の VCO キャリブレーション値 ※自動設定モードでは、現在適用されている VCO キャリブレーション値を表示します。 強制書き込みモードを設定した場合、キャリブレーション値は VCO_CAL[6:0]に書き込んだ値が強制的に適用されます。 (CAL_WR_EN に 0b0 を設定した場合は値は反映されません。) ※初期値はクロック安定化完了後、0b100_0000 になります。

【説明】
1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x6F【VCO_CAL_START】

機能：VCO キャリブレーション実行
アドレス：0x6F (BANK0)
初期値：0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R/W	予約
4	AUTO_VCOCAL_EN	0	R/W	自動 VCO キャリブレーション実行設定 0: VCO キャリブレーションを自動実行しない 1: SLEEP 復帰時に自動で VCO キャリブレーションを実行する
3:1	Reserved	000	R/W	予約
0	VCO_CAL_START	0	R/W	VCO キャリブレーション実行 0: 実行完了 1: 実行開始

【説明】
1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x70【CLK_CAL_SET】

機能：低速クロックキャリブレーション制御
アドレス：0x70 (BANK0)
初期値：0x00

Bit	ビット名	初期値	R/W	説明
7:4	CLK_CAL_DIV[3:0]	0000	R/W	キャリブレーション用クロック分周設定 0000: 分周なし 0001: 分周なし 上記以外: 設定値分周
3:1	Reserved	000	R/W	予約
0	CLK_CAL_START	0	R/W	低速クロックキャリブレーション実行 0: 実行完了 1: 実行開始

【説明】
1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x71【CLK_CAL_TIME】

機能：低速クロックキャリブレーション時間設定
アドレス：0x71
初期値：0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	CLK_CAL_TIME [5:0]	00_0000	R/W	低速クロックキャリブレーション時間設定 キャリブレーション時間 ＝ 低速クロック周期([SLEEP/WU_SET:B0 0x2D(2)]) * 設定値

【説明】
1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x72【CLK_CAL_H】

機能:低速クロックキャリブレーション結果表示(上位バイト)
アドレス:0x72 (BANK0)
初期値:0xFF

Bit	ビット名	初期値	R/W	説明
7:0	CLK_CAL [15:8]	1111_1111	R	クロックキャリブレーション(上位バイト)

【説明】
1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x73【CLK_CAL_L】

機能:低速クロックキャリブレーション結果表示(下位バイト)
アドレス:0x73 (BANK0)
初期値:0xFF

Bit	ビット名	初期値	R/W	説明
7:0	CLK_CAL [7:0]	1111_1111	R	クロックキャリブレーション(下位バイト)

【説明】
1. 使用方法については、「低速クロック補正補助機能」を参照してください。

0x74【Reserved】

機能:予約
アドレス:0x74(BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x75【SLEEP_INT_CLR】

機能:SLEEP 時割込みクリア設定
アドレス:0x75 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	000_0000	R/W	予約
0	SLEEP_INT_CLR	0	R/W	SLEEP 時割込みクリア設定 0: 割込みクリアしない 1: 割込みクリアする ※SLEEP 中は[INT_SOURCE_GRP*: B0 0x0D/0E/0F]での割込みクリアはできません。本ビットを 0b1 に設定することにより、SLEEP 中に割込みをクリアすることができます。SLEEP 中のみ書き込み可能で、SLEEP 解除により 0b0 に戻ります。 ※対象となる割込みは全割込み([INT_SOURCE_GRP*: B0 0x0D/0E/0F])です。

0x76【RF_TEST_MODE】

機能：送信テストパターン設定
アドレス：0x76 (BANK0)
初期値：0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5	TEST5	0	R/W	CW 出力設定
4	TEST4	0	R/W	“01”パターン出力設定
3	TEST3	0	R/W	ALL”0”出力設定
2	TEST2	0	R/W	ALL”1”出力設定
1	TEST1	0	R/W	PN9 出力設定
0	TEST_EN	0	R/W	テストモードイネーブル制御 0: テスト設定を無効にする 1: テスト設定を有効にする

【説明】

1. 通常動作時には、必ず本レジスタの全てのビットを 0b0 にしてください。
2. 複数のテストパターンが有効に設定された場合は、ビット番号の低い設定が有効となります。
3. データレートは、TX_DRATE[3:0]([DRATA_SET: B0 0x06(3-0)])の設定値が適用されます。
4. PN9 出力設定時の PN9 生成回路は、[WHT_CFG: B1 0x66]にて任意の生成多項式に設定可能です。
   市販 BER 計の多くで対応している PN9 の生成多項式は x^9+x^4+1 であり、[WHT_CFG: B1 0x66]を 0x08 に設定することで対応可能です。

0x77【STM_STATE】

機能:ステートマシン状態表示/プリアンブル検出状態表示
アドレス:0x77 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	MODE_DET_RSLT	0	R/W	Mode T/C 受信結果表示 0: Mode T 受信 1: Mode C 受信 ※本ビットは2MODE_DET_EN([2MODE_DET: B3 0x23(0)])=0b1 設定時に有効です。 ※SyncWord 検出毎に更新されます。
6	SYNC_STATE	0	R	受信同期検出状態表示 0: 未同期状態 1: 同期状態
5	SW_DET_RSLT	0	R	SyncWord 検出状態表示 0: 同期ワードパターン 1(FormatA)検出 1: 同期ワードパターン 2(FormatB)検出 ※Wireless M-Bus 対応パケットフォーマット(FormatA/B)設定(PKT_FORMAT[PKT_CTRL1: B0 0x04(1-0]=0b00 または 0b01) 時のみ有効です。 ※SyncWord 検出後、本表示値が有効となります。SyncWord 検出毎に更新されます。 ※2MODE_DET_EN([2MODE_DET: B3 0x23(0)])=0b1 設定時、Modet T で受信した場合、本表示値は無効となります。
4:0	PHY_STATE[4:0]	0_0000	R	ステートマシン状態表示 0_0000: IDLE 状態 0_0001: プリアンブル送信ステート 0_0010: SyncWord 送信ステート 0_0011: L-field 送信ステート 0_0100: Data 領域送信ステート 0_0101: ポストアンブル送信ステート 0_0110: 送信遅延待ちステート 0_0111: DIO 送信ステート 1_0010: SyncWord 検出待ちステート 1_0011: L-field 受信ステート 1_0100: データ領域受信ステート 1_0111: DIO 受信ステート

0x78【FIFO_SET】

機能:FIFO リード設定
アドレス:0x78 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	000_0000	R/W	予約
0	FIFO_R_SEL	0	R/W	FIFO リード設定 0: 受信 FIFO をリードする 1: 送信 FIFO をリードする ※送信、受信バッファをリードする場合、[RD_FIFO:B0 0x7F]レジスタを共用します。そのため、0b1 設定し送信 FIFO をリードする場合、[TX_PKT_LEN_H/L: B0 0x7A/7B]で設定する Length 分のデータを FIFO リードするか、読み出し後に STATE_CLR1([STATE_CLR: B0 0x16(1)])=0b1 を設定して、受信 FIFO ポインタのクリアを実行してください。途中で読み出しを停止して、受信 FIFO のリードに切り替えた場合、停止させたポインタから読み出しを開始するため、受信データを正常に読み出せなくなります。

0x79【RX_FIFO_LAST】

機能:受信 FIFO の使用量表示
アドレス:0x79 (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	RX_FIFO_LAST[5:0]	00_0000	R	受信時 FIFO データ使用量表示(表示範囲 0～63) ※詳細は「FIFO 制御機能」を参照してください。

0x7A【TX_PKT_LEN_H】

機能:送信パケット Length 設定(上位バイト)
アドレス:0x7A (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_PKT_LEN[15:8]	0000	R/W	送信パケット Length 値設定(上位バイト) ※送信する Length を設定します。 FormatA･･･L-field/CRC-field を除く Length を設定します。 FormatB/C･･･L-field を除く Length を設定します。 ※[TX_PKT_LEN_L:B0 0x7B]レジスタの 8 ビットと共に全 16 ビットから算出されます。上位バイトは LENGTH_MODE([PKT_CTRL: B0 0x05(0)])=0b1 設定時のみ有効となります。 ※詳細は「FIFO 制御機能」を参照してください。

0x7B【TX_PKT_LEN_L】

機能:送信パケット Length 設定(下位バイト)
アドレス:0x7B (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_PKT_LEN[7:0]	0000_0000	R/W	設定パケット Length 値設定(下位バイト) ※詳細は[PKT_LEN_H: B0 0x7A]レジスタをご参照ください。

0x7C【WR_TX_FIFO】

機能:送信 FIFO
アドレス:0x7C (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TX_FIFO[7:0]	0000_0000	W	送信 FIFO ※本 LSI に格納できる送信データはパケット長に関係なく 1 パケットまでとなります。1 パケットのデータを格納した状態(データ送信要求受付完了割込み INT[17] (割り込みグループ 3)発生後から送信完了割込み INT[16] (割り込みグループ 3) 発生まで)で、次の書き込み動作を行うと FIFO は上書きされ、送信 FIFO アクセスエラー割り込み(INT[20])が発生します。送信 FIFO アクセスエラーが発生した場合、STATE_CLR0([STATE_CLR: B0 0x16(0)])に 0b1 を設定して、送信 FIFO ポインタのクリアを実行してください。 ※詳細は「FIFO 制御機能」を参照してください。

0x7D【RX_PKT_LEN_H】

機能:送信パケット Length 表示(上位バイト)
アドレス:0x7D (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RX_PKT_LEN[15:8]	0000	R	受信パケット Length 値表示(上位バイト) ※[RX_PKT_LEN_L:B0 0x7E]レジスタの 8 ビットと共に全 16 ビットから算出されます。 ※FormatA/B/C･･･L-field を除くパケット Length を表示します。

0x7E【RX_PKT_LEN_L】

機能:送信パケット Length 表示(下位バイト)
アドレス:0x7E (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RX_PKT_LEN[7:0]	0000_0000	R	受信パケット Length 値表示(下位バイト) ※詳細は[RX_PKT_LEN_H: B0 0x7D]レジスタをご参照ください。

0x7F【RD_FIFO】

機能: FIFO リード
アドレス:0x7F (BANK0)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	RD_FIFO[7:0]	0000_0000	R	FIFO リード ※FIFO_R_SEL([FIFO_SET: B0 0x78])で設定した FIFO 面をリードします。 ※受信時、本 LSI に格納できる受信データはパケット長に関係なく 1 パケットまでとなります。1 パケットのデータが格納されている状態で次のパケットを受信した場合、FIFO は上書きされます。 ※FIFO データを全て読み出す必要がない場合、STATE_CLR1([STATE_CLR: B0 0x16(1)])を 0b1 に設定し、受信 FIFO ポインタのクリアを実行してください。 ※詳細は「FIFO 制御機能」を参照してください。

●レジスタ BANK1

0x00【BANK_SEL】

機能:レジスタアクセス先選択
アドレス:0x00 (BANK1)
初期値:0x11

Bit	ビット名	初期値	R/W	説明
7	B3_ACEN	0	R/W	BANK3 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
6	B2_ACEN	0	R/W	BANK2 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
5	B1_ACEN	0	R/W	BANK1 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
4	B0_ACEN	1	R/W	BANK0 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
3-0	BANK[3:0]	0001	R/W	BANK 切り替え 0001: BANK0 アクセス 0010: BANK1 アクセス 0100: BANK2 アクセス 1000: BANK3 アクセス 上記以外: 設定禁止

【説明】
1. VCO キャリブレーション実行中は BANK1 のレジスタにアクセスしないでください。
2. レジスタアクセスは CLK_INIT_DONE([CLK_SET1: B0 0x02(7)])が 0b0 でも実行できますが、RF動作に関わるレジスタは必ず CLK_INIT_DONE が 0b1 であることを確認した後に実行してください。

0x01【CLK_OUT】

機能:CLKOUT の出力クロック周波数設定
アドレス:0x01 (BANK1)
初期値:0x05

Bit	ビット名	初期値	R/W	説明
7:0	CLK_DIV[7:0]	0000_0101	R/W	出力クロック周波数設定 下記計算式で出力されます 0000_0000: 26MHz 0000_0001: 13MHz 0000_0010: 8.66MHz(デューティ比･･･High:Low=1:2) 0000_0011: 6.5MHz 0000_0100: 4.3MHz 0000_0101: 3.3MHz 0000_0110: 2.6MHz 0000_0111: 0.86MHz 0000_1000: 0.43MHz 上記以外: 下記の計算式で出力周波数が決定されます。 出力周波数 = 26 / (16 x [設定値] + 2) [MHz] 例えば、0x09 を設定した場合は、 出力周波数 = 26 / (16 x 9 + 2) = 178kHz となります。

【ご注意】

[CLK_SET2: B0 0x03]レジスタの初期値設定により、ML7406T では初期状態では CLK_OUT が出力されません。上記の LSI を使って CLK_OUT を使用する場合は、最初に[CLK_SET2: B0 0x03]で対応するマスタークロックソースを設定する必要があります。

0x02【TX_RATE_H】

機能：送信データレート設定（上位バイト）
アドレス：0x02 (BANK1)
初期値：0x00

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	TX_RATE[11:8]	0000	R/W	送信データレート変換設定(上位バイト) ※[TX_RATE_L: B1 0x03]レジスタの 8 ビットと共に全 12 ビットから算出されます。 任意のレートを設定する場合、下式から算出される値を設定します。 設定値 = round (26MHz / 13 / [任意のビットレート]) ※詳細は「データレート設定機能」を参照してください。

0x03【TX_RATE_L】

機能：送信データレート変換設定（下位バイト）
アドレス：0x03 (BANK1)
初期値：0x14

Bit	ビット名	初期値	R/W	説明
7:0	TX_RATE[7:0]	0001_0100	R/W	送信データレート変換設定(下位バイト) ※詳細は[TX_RATE_H]レジスタをご参照ください。

0x04【RX_RATE1_H】

機能：受信データレート設定 1（上位バイト）
アドレス：0x04 (BANK1)
初期値：0x00

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	RX_RATE1[11:8]	0000	R/W	受信データレート変換設定(上位バイト) ※[RX_RATE_L: B1 0x05]レジスタの 8 ビットと共に全 12 ビットから算出されます。 任意のレートを設定する場合、下式から算出される値を設定します。 設定値 = round (26MHz / {[任意のビットレート] * [RX_RATE2: B1 0x06]レジスタ)}) ※詳細は「データレート設定機能」を参照してください。

0x05【RX_RATE1_L】

機能:受信データレート設定 1(下位バイト)
アドレス:0x05 (BANK1)
初期値:0x04

Bit	ビット名	初期値	R/W	説明
7:0	RX_RATE1[7:0]	0000_0100	R/W	受信データレート変換設定(下位バイト) ※詳細は[RX_RATE1_H]レジスタをご参照ください。

0x06【RX_RATE2】

機能:受信データレート設定 2
アドレス:0x06 (BANK1)
初期値:0x41

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	RX_RATE2[6:0]	100_0001	R/W	受信データレート変換設定 2(設定範囲: 30～127) ※RX_RATE1 と組み合わせて任意のレートを設定します。詳細は[RATE_SET1_H/L]レジスタをご参照ください。 ※0x1D 以下の値は設定しないでください。

0x07【REGULATOR_CTRL】

機能:レギュレータ制御設定
アドレス:0x07 (BANK1)
初期値:0xFE

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	1111	R/W	予約
3	RFREG_EN	1	R/W	レギュレータ供給制御（RF 回路） 0: 停止 1: 供給 ※OVR_REG_CTRL=0b1 設定時のみ有効です。
2	REG_EN	1	R/W	レギュレータ供給制御 0: 停止 1: 供給 ※OVR_REG_CTRL=0b1 設定時のみ有効です。
1	REG_SEL	1	R/W	レギュレータ制御 0: メインレギュレータ 1: サブレギュレータ ※OVR_REG_CTRL=0b1 設定時のみ有効です。
0	OVR_REG_CTRL	0	R/W	レギュレータ制御選択設定 0: 自動制御 1: レジスタ制御 ※0b1 設定時、レギュレータ制御は REG_SEL, REG_EN, RFREG_EN の設定に従ってレギュレータを制御します。

0x08【ADC_CLK_SET】

機能:RSSI 用 ADC クロック周波数設定
アドレス:0x08 (BANK1)
初期値:0x50

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:5	OSC_W_SEL[1:0]	10	R/W	クロック安定化待ち時間設定 00: 500µs 01: 250µs 10: 50µs 11: 10µs ※本ビットにて電源投入後の起動時、または SLEEP からの復帰時のクロック安定化化待ち時間を設定できます。クロック安定化待ち時間のタイミングは「タイムチャート-起動時」を参照してください。
4	ADC_CLK_SEL	1	R/W	RSSI 用 ADC クロック設定 0: 1.73MHz 1: 2MHz
3:0	Reserved	0000	R/W	予約

0x09【TEMP】

機能:温度デジタル値表示
アドレス:0x09(BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	TEMP[7:0]	0000_0000	R/W	温度表示ビット ※温度表示機能を使用する場合は、A_MON 端子に 75kΩの抵抗を接続し、TEMP_ADC_OUT ([MON_CTRL: B0 0x4D(5)])に 0b1 を設定します。なお、温度情報はスリープ以外の状態で取得できます。 ※詳細は「温度表示機能」を参照してください。

0x0A【Reserved】

機能:予約
アドレス:0x0A(BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x0B【PLL_LOCK_DETECT】

機能:PLL ロック判定設定
アドレス:0x0B (BANK1)
初期値:0x81

Bit	ビット名	初期値	R/W	説明
7	PLL_LD_EN	1	R/W	送信時の PLL ロック外れ検出後の状態設定 0: 送信状態を維持する 1: Force_TRX_OFF により送信強制停止する ※ロック外れを検出すると INT2 (割り込みグループ 1)を発生させ、設定した状態へ移行します。 ※受信時に PLL ロック外れを検出した場合は、INT[2]発生後に受信状態を継続します。
6:0	TIM_PLL_LD[6:0]	000_0001	R/W	PLL ロック判定時間調整 PLL ロック検出信号の”H”期間が下記で設定される時間以上となったときにロック状態とみなします。ロック外れ状態は”L”を検出した時点で判断します。 判定時間 = 設定値 * 8μs+ 1μs (デフォルト: 9μs)

【ご注意】

1. PLL ロック外れを検出してIDLE状態へ強制移行した場合は、次の送受信を行う前に PLL ロック外れ割込み(INT[2]: 割込みグループ 1)のクリアを必ず行ってください。また、[RF_STATUS:B0 0x0B]レジスタへの書き込みアクセスは 5μs 以上経過してから実行してください。
2. PLL ロック外れ検出の条件、検出タイミングについては「VCO の調整」をご参照ください。

0x0C【GAIN_MTOL】

機能:中間ゲインから低ゲインへの切り替え閾値設定
アドレス:0x0C (BANK1)
初期値:0x1E

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	GC_TRIM_ML[5:0]	01_1110	R/W	ゲイン切り替え閾値(中間ゲイン⇒低ゲイン)

【説明】
1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】
1. 本レジスタへは「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と,[GAIN_LTOM]レジスタで設定される値の関係が、
   GC_TRIM_ML > GC_TRIM_LM の関係になるように設定してください。

0x0D【GAIN_LTOM】

機能:低ゲインから中間ゲインへの切り替え閾値設定
アドレス:0x0D (BANK1)
初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	GC_TRIM_LM[5:0]	00_0010	R/W	ゲイン切り替え閾値(低ゲイン⇒中間ゲイン)

【説明】
1. 本レジスタを使用した RSSI 調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】
1. 本レジスタへは「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と,[GAIN_MTOL]レジスタで設定される値の関係が、
   GC_TRIM_ML > GC_TRIM_LM の関係になるように設定してください。

0x0E【GAIN_HTOM】

機能:高ゲインから中間ゲインへの切り替え閾値設定
アドレス:0x0E (BANK1)
初期値:0x9E

Bit	ビット名	初期値	R/W	説明
7	GF_FIX_EN	1	R/W	ゲイン切り替え設定 0: 常時更新 1: 同期確立後にゲイン固定する ※BER 測定時には 0b0 に設定してください。
6	Reserved	0	R/W	予約
5:0	GC_TRIM_HM[5:0]	01_1110	R/W	ゲイン切り替え閾値(高ゲイン⇒中間ゲイン)

【説明】
1. 本レジスタを使用したRSSI調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】
1. 本レジスタへは「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と,[GAIN_MTOH]レジスタで設定される値の関係が、
   GC_TRIM_HM > GC_TRIM_MH の関係になるように設定してください。

0x0F【GAIN_MTOH】

機能:中間ゲインから高ゲインへの切り替え閾値設定
アドレス:0x0F (BANK1)
初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	GC_TRIM_MH[5:0]	00_0010	R/W	ゲイン切り替え閾値(中間ゲイン⇒高ゲイン)

【説明】
1. 本レジスタを使用したRSSI調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】
1. 本レジスタへは「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。
2. 本レジスタの設定値と,[GAIN_HTOM]レジスタで設定される値の関係が、
   GC_TRIM_HM > GC_TRIM_MH の関係になるように設定してください。

0x10【RSSI_ADJ_M】

機能：中間ゲイン動作時の RSSI オフセット値設定
アドレス：0x10 (BANK1)
初期値：0x15

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	RSSI_GCADD [5:0]	01_0101	R/W	中間ゲイン動作時の RSSI オフセット値

【説明】
1. 本レジスタを使用したRSSI調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】
1. 本レジスタへは「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x11【RSSI_ADJ_L】

機能：低ゲイン動作時の RSSI オフセット値設定
アドレス：0x11 (BANK1)
初期値：0x2B

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	RSSI_GCADD2[5:0]	10_1011	R/W	低ゲイン動作時の RSSI オフセット値

【説明】
1. 本レジスタを使用したRSSI調整の詳細は、「電力検出値(ED 値)の調整」を参照してください。

【ご注意】
1. 本レジスタへは「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x12【RSSI_STABLE_TIME】

機能:RSSI 安定化待ち時間設定
アドレス:0x12 (BANK1)
初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:4	AD_MASK_SET[1:0]	00	R/W	RSSI 収束待ち時間設定 (設定範囲 0〜3) 待ち時間 = (設定値+2) x AD 変換期間(デフォルト: 16µs) ※ゲイン切替時に、RSSI 回路から出力される RSSI 値が収束するまで次のゲイン切換えを行わなず、ウェイトする時間を設定します。 ※ADC クロック 2MHz 設定時の AD 変換期間は 16µs です。1.73MHz を選択した場合、18.5µs となります。詳細は[ADC_CLK_SET: B0 0x08]をご参照ください。
3:0	RSSI_STABLE[3:0]	0001	R/W	ゲイン切替後の RSSI 安定待ち時間設定(設定範囲 1〜15) 安定待ち時間 = (設定値+1) x AD 変換期間(デフォルト: 16µs) ※本レジスタで設定された期間は、ゲイン切替えに伴う RSSI の収束、安定の時間とし、この期間内の RSSI 値は ED 値算出の対象外となります。 ※ADC クロック 2MHz 設定時の AD 変換期間は 16µs です。1.73MHz を選択した場合、18.5µs となります。詳細は[ADC_CLK_SET: B0 0x08]をご参照ください。

【ご注意】
1. 本レジスタへは 0x00 を設定しないでください。

0x13【RSSI_MAG_ADJ】

機能:ED 変換用 RSSI 補正設定
アドレス:0x13 (BANK1)
初期値:0xD4

Bit	ビット名	初期値	R/W	説明
7:4	RSSI_MAG_M[3:0]	1101	R/W	RSSI 乗算値設定(設定範囲 1〜15)
3	RSSI_MAG_D3	0	R/W	RSSI 除算値 1/8 設定 0: 適用しない 1: 適用する
2	RSSI_MAG_D2	1	R/W	RSSI 除算値 1/4 設定 0: 適用しない 1: 適用する
1	RSSI_MAG_D1	0	R/W	RSSI 除算値 1/2 設定 0: 適用しない 1: 適用する
0	RSSI_MAG_D0	0	R/W	RSSI 除算値 1/1 設定 0: 適用しない 1: 適用する

【ご注意】
1. 本レジスタを使用した調整の仕方に関しては「電力検出値(ED 値)の調整」を参照してください。
2. 乗算と異なり除数設定の bit3 から bit0 は 1 ビットのみが選択できます。複数ビットを有効に設定した場合は MSB 側が有効になります。 (例 bit3 と bit1 に 0b1 が書き込まれている場合は、1/8 設定となります。
3. 乗算と除算に設定されると複合した結果で計算されます。 但し、bit[3:0] = 0b0000 の場合も 1 倍が設定されます。 (bit[7:4] = 0b0100 (4 倍) と bit1=0b1 (1/2)が設定された場合は、結果 2 倍の計算となります。)
4. 本レジスタに 0x00 が書き込まれた場合は、1 倍設定となります。

0x14【RSSI_VAL】

機能:RSSI 値表示
アドレス:0x14 (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	RSSI [5:0]	00_0000	R	RSSI の AD 変換値 ※データの更新周期は 16μs となります。 (上記時間は、[ADC_CLK_SET]レジスタ(B1 0x08)で初期値の 2MHz が設定されているときの時間であり、1.73MHz を選択した場合は、更新間隔は 18.5μs となります。)

【ご注意】
1. ADC を温度取得と共用しているため、温度情報を取得中は本レジスタ値は不定です。

0x15【AFC/GC_CTRL】

機能:AFC /ゲイン制御設定
アドレス:0x15 (BANK1)
初期値:0x82

Bit	ビット名	初期値	R/W	説明
7	AFC_EN	1	R/W	AFC 制御設定 0: AFC 無効にする 1: AFC 有効にする
6:2	Reserved	00	R/W	予約
1:0	GC_MODE [1:0]	10	R/W	ゲイン制御モード設定 00: 高ゲイン固定 01: 高ゲイン⇔中間ゲイン遷移有効 10: 高ゲイン⇔中間ゲイン⇔低ゲイン遷移有効 11: 予約

0x16【CRC_POLY3】

機能:CRC 生成多項式設定 3
アドレス:0x16 (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	CRC_POLY [30:24]	000_0000	R/W	CRC 生成多項式設定

【説明】
1. 詳細は「CRC 機能」を参照してください。

0x17【CRC_POLY2】

機能:CRC 生成多項式設定 2
アドレス:0x17 (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	CRC_POLY [23:16]	0000_0000	R/W	CRC 生成多項式設定

【説明】
1. 詳細は「CRC 機能」を参照してください。

0x18【CRC_POLY1】

機能:CRC 生成多項式設定 1
アドレス:0x18 (BANK1)
初期値:0x1E

Bit	ビット名	初期値	R/W	説明
7:0	CRC_POLY [15:8]	0001_1110	R/W	CRC 生成多項式設定

【説明】
1. 詳細は「CRC 機能」を参照してください。

0x19【CRC_POLY0】

機能:CRC 生成多項式設定 0
アドレス:0x19 (BANK1)
初期値:0xB2

Bit	ビット名	初期値	R/W	説明
7:0	CRC_POLY [7:0]	1011_0010	R/W	CRC 生成多項式設定

【説明】
1. 詳細は「CRC 機能」を参照してください。

0x1A【Reserved】

機能:予約
アドレス:0x1A (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x1B【TXFREQ_I】

機能:送信周波数設定(I カウンタ)
アドレス:0x1B (BANK1)
初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	TXFREQ_I [5:0]	10_0001	R/W	送信周波数設定 I カウンタ ※初期設定は 868.950MHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル#0 周波数の設定」を参照してください。

0x1C【TXFREQ_FH】

機能:送信周波数設定(F カウンタ上位 4 ビット)
アドレス:0x1C (BANK1)
初期値:0x06

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	00	R/W	予約
3:0	TXFREQ_F[19:16]	0110	R/W	送信周波数設定 F カウンタ(上位 4 ビット) ※初期設定は 868.950MHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル#0 周波数の設定」を参照してください。

0x1D【TXFREQ_FM】

機能:送信周波数設定(F カウンタ中位 8 ビット)
アドレス:0x1D (BANK1)
初期値:0xBD

Bit	ビット名	初期値	R/W	説明
7:0	TXFREQ_F[15:8]	1011_1101	R/W	送信周波数設定 F カウンタ(中位 8 ビット) ※初期設定は 868.950MHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル#0 周波数の設定」を参照してください。

0x1E【TXFREQ_FL】

機能:送信周波数設定(F カウンタ下位 8 ビット)
アドレス:0x1E (BANK1)
初期値:0x0B

Bit	ビット名	初期値	R/W	説明
7:0	TXFREQ_F[7:0]	0000_1011	R/W	送信周波数設定 F カウンタ(下位 8 ビット) ※初期設定は 868.950MHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル#0 周波数の設定」を参照してください。

0x1F【RXFREQ_I】

機能:受信周波数設定(I カウンタ)
アドレス:0x1F (BANK1)
初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	RXFREQ_I[5:0]	10_0001	R/W	受信周波数設定 I カウンタ ※初期設定は 868.950MHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル#0 周波数の設定」を参照してください。

0x20【RXFREQ_FH】

機能:受信周波数設定(F カウンタ上位 4 ビット)
アドレス:0x20 (BANK1)
初期値:0x06

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	RXFREQ_F[19:16]	0110	R/W	受信周波数設定 F カウンタ(上位 4 ビット) ※初期設定は 869.525MHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル#0 周波数の設定」を参照してください。

0x21【RXFREQ_FM】

機能:受信周波数設定(F カウンタ中位 8 ビット)
アドレス:0x21 (BANK1)
初期値:0xBD

Bit	ビット名	初期値	R/W	説明
7:0	RXFREQ_F[15:8]	1011_1101	R/W	受信周波数設定 F カウンタ(中位 8 ビット) ※初期設定は 868.950MHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル#0 周波数の設定」を参照してください。

0x22【RXFREQ_FL】

機能:受信周波数設定(F カウンタ下位 8 ビット)
アドレス:0x22 (BANK1)
初期値:0x0B

Bit	ビット名	初期値	R/W	説明
7:0	RXFREQ_F[7:0]	0000_1011	R/W	受信周波数設定 F カウンタ(下位 8 ビット) ※初期設定は 868.950MHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル#0 周波数の設定」を参照してください。

0x23【CH_SPACE_H】

機能:チャネル間隔設定(上位バイト)
アドレス:0x23 (BANK1)
初期値:0x09

Bit	ビット名	初期値	R/W	説明
7:0	CH_SPACE[15:8]	0000_1001	R/W	チャネル間隔設定(上位バイト) ※初期設定は 60kHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル間隔の設定」を参照してください。

0x24【CH_SPACE_L】

機能:チャネル間隔設定(下位バイト)
アドレス:0x24 (BANK1)
初期値:0x73

Bit	ビット名	初期値	R/W	説明
7:0	CH_SPACE[7:0]	0111_0011	R/W	チャネル間隔設定(下位バイト) ※初期設定は 60kHz となります。

【説明】
1. 本レジスタの設定方法は、「チャネル間隔の設定」を参照してください。

0x25【SYNC_WORD_LEN】

機能:同期ワード長設定
アドレス:0x25 (BANK1)
初期値:0x20

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	SYNC_WORD_LEN[5:0]	10_0000	R/W	同期ワード長設定(設定範囲:8～32、単位:ビット) ※0b00_0111 以下の設定は、0b00_1000 として動作します。 ※0b10_0000 以上の設定は、0b10_0000 として動作します。

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x26【SYNC_WORD_EN】

機能:同期ワードイネーブル設定
アドレス:0x26 (BANK1)
初期値:0x0F

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3	SYNC_WORD_EN3	1	R/W	SYNC_WORD[31:24]イネーブル 0: 検出対象としない 1: 検出対象とする
2	SYNC_WORD_EN2	1	R/W	SYNC_WORD[23:16]イネーブル 0: 検出対象としない 1: 検出対象とする
1	SYNC_WORD_EN1	1	R/W	SYNC_WORD[15:8]イネーブル 0: 検出対象としない 1: 検出対象とする
0	SYNC_WORD_EN0	1	R/W	SYNC_WORD[7:0]イネーブル 0: 検出対象としない 1: 検出対象とする

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x27【SYNCWORD1_SET0】

機能:同期ワードパターン設定 1(ビット 24～31)
アドレス:0x27 (BANK1)
初期値:0x54

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[31:24]	0101_0100	R/W	同期ワードパターン設定 1

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x28【SYNCWORD1_SET1】

機能:同期ワードパターン設定 1(ビット 16～23)
アドレス:0x28 (BANK1)
初期値:0x3D

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[23:16]	0011_1101	R/W	同期ワードパターン設定 1

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x29【SYNCWORD1_SET2】

機能:同期ワードパターン設定 1(ビット 8～15)
アドレス:0x29 (BANK1)
初期値:0x54

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[15:8]	0101_0100	R/W	同期ワードパターン設定 1

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2A【SYNCWORD1_SET3】

機能:同期ワードパターン設定 1(ビット 0～7)
アドレス:0x2A (BANK1)
初期値:0xCD

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD1[7:0]	1100_1101	R/W	同期ワードパターン設定 1

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2B【SYNCWORD2_SET0】

機能:同期ワードパターン設定 2(ビット 24～31)
アドレス:0x2B (BANK1)
初期値:0x54

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[31:24]	0101_0100	R/W	同期ワードパターン設定 2

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2C【SYNCWORD2_SET1】

機能:同期ワードパターン設定 2(ビット 16～23)
アドレス:0x2C (BANK1)
初期値:0x3D

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[23:16]	0011_1101	R/W	同期ワードパターン設定 2

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2D【SYNCWORD2_SET2】

機能:同期ワードパターン設定 2(ビット 8～15)
アドレス:0x2D (BANK1)
初期値:0x54

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[15:8]	0101_0100	R/W	同期ワードパターン設定 2

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2E【SYNCWORD2_SET3】

機能:同期ワードパターン設定 2(ビット 0～7)
アドレス:0x2E (BANK1)
初期値:0x3D

Bit	ビット名	初期値	R/W	説明
7:0	SYNC_WORD2[7:0]	0011_1101	R/W	同期ワードパターン設定 2

【説明】
1. 本レジスタの設定方法は、「SyncWord 検出機能」を参照してください。

0x2F【FSK_CTRL】

機能:FSK 変調タイミング分解能設定
アドレス:0x2F (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	00_0000	R/W	予約
0	FSK_CLK_SET	0	R/W	FSK 時の変調タイミング分解能設定 0: 4.33MHz 分解能 1: 13MHz 分解能 ※ビットレートが 300kbps 以下の場合は、0b0 を設定してください。 ビットレートが 300kbps より大きい場合は、0b1 に設定してください。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x30【GFSK_DEV_H】

機能:GFSK 時の周波数偏位設定(上位 6 ビット)
アドレス:0x30 (BANK1)
初期値:0x07

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	GFSK_DEV[13:8]	00_0111	R/W	GFSK 時の周波数偏位設定(上位 6 ビット) ※初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x31【GFSK_DEV_L】

機能:GFSK 時の周波数偏位設定(下位バイト)
アドレス:0x31 (BANK1)
初期値:0x16

Bit	ビット名	初期値	R/W	説明
7:0	GFSK_DEV[7:0]	0001_0110	R/W	GFSK 時の周波数偏位設定(下位バイト)

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x32【FSK_DEV0_H/GFIL0】

機能:FSK 時の第 1 周波数偏位設定(上位 6 ビット)/GFSK 時のガウシアンフィルタ係数設定 0
アドレス:0x32 (BANK1)
初期値:0x07

Bit	ビット名	初期値	R/W	説明
7:6	GFIL0[7:6]	00	R/W	ガウシアンフィルタ係数設定 0 ※ガウシアンフィルタ係数のビット範囲は bit7-0 です。
5:0	FSK_DEV0[13:8]/ GFIL0[5:0]	00_0111	R/W	FSK 時の第 1 周波数偏位設定(上位バイト)/ ガウシアンフィルタ係数設定 0 ※FSK 第 1 周波数偏位は[FSK_DEV0_L/GFIL1:B1 0x33]レジスタの 8 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x33【FSK_DEV0_L/GFIL1】

機能:FSK 時の第 1 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 1
アドレス:0x33 (BANK1)
初期値:0x16

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV0[7:0]/ GFIL1[7:0]	0001_0110	R/W	FSK 時の第 1 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 1 ※FSK 第 1 周波数偏位は[FSK_DEV0_H/GFIL0:B1 0x32]レジスタの 6 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x34【FSK_DEV1_H/GFIL2】

機能:FSK 時の第 2 周波数偏位設定(上位 6 ビット) /GFSK 時のガウシアンフィルタ係数設定 2
アドレス:0x34 (BANK1)
初期値:0x07

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	FSK_DEV1[13:8]/ GFIL2[4:0]	00_0111	R/W	FSK 時の第 2 周波数偏位設定(上位バイト) / ガウシアンフィルタ係数設定 2 ※FSK 第 2 周波数偏位は[FSK_DEV1_L/GFIL3:B1 0x35]レジスタの 8 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x35【FSK_DEV1_L/GFIL3】

機能:FSK 時の第 2 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 3
アドレス:0x35 (BANK1)
初期値:0x16

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV1[7:0]/ GFIL3[5:0]	0001_0110	R/W	FSK 時の第 2 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 3 ※FSK 第 2 周波数偏位は[FSK_DEV1_H/GFIL2:B1 0x34]レジスタの 6 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x36【FSK_DEV2_H/GFIL4】

機能:FSK 時の第 3 周波数偏位設定(上位 6 ビット) /GFSK 時のガウシアンフィルタ係数設定 4
アドレス:0x36 (BANK1)
初期値:0x07

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	FSK_DEV2[13:8]/ GFIL4[5:0]	00_0111	R/W	FSK 時の第 3 周波数偏位設定(上位バイト) / ガウシアンフィルタ係数設定 4 ※FSK 第 3 周波数偏位は[FSK_DEV2_L/GFIL5:B1 0x37]レジスタの 8 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x37【FSK_DEV2_L/GFIL5】

機能:FSK 時の第 3 周波数偏位設定(下位バイト) /GFSK 時のガウシアンフィルタ係数設定 5
アドレス:0x37 (BANK1)
初期値:0x16

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV2[7:0]/ GFIL5[6:0]	0001_0110	R/W	FSK 時の第 3 周波数偏位設定(下位バイト) / ガウシアンフィルタ係数設定 5 ※FSK 第 3 周波数偏位は[FSK_DEV2_H/GFIL4:B1 0x36]レジスタの 6 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x38【FSK_DEV3_H/GFIL6】

機能:FSK 時の第 4 周波数偏位設定(上位 6 ビット) /GFSK 時のガウシアンフィルタ係数設定 6
アドレス:0x38 (BANK1)
初期値:0x07

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6	GFIL6[6]	0	R/W	ガウシアンフィルタ係数設定 6 ※ガウシアンフィルタ係数のビット範囲は bit6-0 です。
5:0	FSK_DEV3[13:8]/ GFIL6[5:0]	00_0111	R/W	FSK 時の第 4 周波数偏位設定(上位バイト) / ガウシアンフィルタ係数設定 6 ※FSK 第 4 周波数偏位は[FSK_DEV3_L:B1 0x39]レジスタの 8 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。
2. ガウシアンフィルタ係数と FSK 時の周波数偏位設定は本レジスタで機能を共用しています。

0x39【FSK_DEV3_L】

機能:FSK 時の第 4 周波数偏位設定(下位バイト)
アドレス:0x39 (BANK1)
初期値:0x16

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV3[7:0]	0001_0110	R/W	FSK 時の第 4 周波数偏位設定(下位バイト) ※[FSK_DEV3_H/GFIL6:B1 0x38]レジスタの 6 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3A【FSK_DEV4_H】

機能:FSK 時の第 5 周波数偏位設定(上位 6 ビット)
アドレス:0x3A (BANK1)
初期値:0x07

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	FSK_DEV4[13:8]	00_0111	R/W	FSK 時の第 5 周波数偏位設定(上位バイト) ※[FSK_DEV4_L:B1 0x3B]レジスタの 8 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3B【FSK_DEV4_L】

機能:FSK 時の第 5 周波数偏位設定(下位バイト)
アドレス:0x3B (BANK1)
初期値:0x16

Bit	ビット名	初期値	R/W	説明
7:0	FSK_DEV4[7:0]	0001_0110	R/W	FSK 時の第 5 周波数偏位設定(下位バイト) ※[FSK_DEV4_H:B1 0x3A]レジスタの 6 ビットと共に全 14 ビットから算出され、初期設定では 45kHz となります。

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3C【FSK_TIM_ ADJ4】

機能:FSK 時の第 4 周波数偏位の保持時間設定
アドレス:0x3C (BANK1)
初期値:0x04

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	FSK_TIM_ADJ4[6:0]	000_0100	R/W	FSK 時の第 4 周波数偏位保持時間設定

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3D【FSK_TIM_ ADJ3】

機能:FSK 時の第 3 周波数偏位の保持時間設定
アドレス:0x3D (BANK1)
初期値:0x04

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	FSK_TIM_ ADJ3[6:0]	000_0100	R/W	FSK 時の第 3 周波数偏位保持時間設定

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3E【FSK_TIM_ ADJ2】

機能:FSK 時の第 2 周波数偏位の保持時間設定
アドレス:0x3E (BANK1)
初期値:0x04

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	FSK_TIM_ ADJ2[6:0]	000_0100	R/W	FSK 時の第 2 周波数偏位保持時間設定

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x3F【FSK_TIM_ ADJ1】

機能:FSK 時の第 1 周波数偏位の保持時間設定
アドレス:0x3F (BANK1)
初期値:0x04

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	FSK_TIM_ADJ1[6:0]	000_0100	R/W	FSK 時の第 1 周波数偏位保持時間設定

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x40【FSK_TIM_ ADJ0】

機能:FSK 時の無周波数偏位(キャリア周波数)の保持時間設定
アドレス:0x40 (BANK1)
初期値:0x04

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	FSK_TIM_ADJ0[6:0]	000_0100	R/W	FSK 時の無周波数偏位(キャリア周波数)保持時間設定

【説明】
1. 本レジスタの設定方法は、「変調の設定」を参照してください。

0x41-0x47【Reserved】

機能:予約
アドレス:0x41-0x47 (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x48【2DIV_MODE】

機能:アンテナダイバーシティ時の ED 算出平均回数設定
アドレス:0x48 (BANK1)
初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R/W	予約
4	SEARCH_MODE	0	R/W	アンテナダイバーシティモード設定 0: アンテナダイバーシティ FAST モードを使用しない 1: アンテナダイバーシティ FAST モードを使用する
3	Reserved	0	R/W	予約
2:0	2DIV_ED_AVG [1:0]	001	R/W	アンテナダイバーシティ時の ED 値算出時の平均回数設定 000: 1 回平均 001: 2 回平均 010: 4 回平均 011: 8 回平均 100: 16 回平均 101: 32 回平均 上記以外: 16 回平均

【説明】
1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

0x49【2DIV_SEARCH1】

機能:アンテナダイバーシティサーチ時間設定
アドレス:0x49 (BANK1)
初期値:0x0E

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	SEARCH_TIME1[6:0]	000_1110	R/W	アンテナダイバーシティサーチ時間設定 1 ※サーチ時間の時間分解能は 16μs です。

【説明】
1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

0x4A【2DIV_SEARCH2】

機能:アンテナダイバーシティサーチ時間設定
アドレス:0x4A (BANK1)
初期値:0x0E

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	SEARCH_TIME2[6:0]	000_1110	R/W	アンテナダイバーシティサーチ時間設定 2 ※サーチ時間の時間分解能は 16μs です。

【説明】
1. 本レジスタの設定方法は、「ダイバーシティ機能」を参照してください。

0x4B【2DIV_FAST_LVL】

機能:アンテナダイバーシティ FAST モードの ED 閾値設定
アドレス:0x4B (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	2DIV_FAST_LVL[7:0]	0000_0000	R/W	アンテナダイバーシティ FAST モードの ED 閾値

0x4C【Reserved】

機能:予約
アドレス:0x4C (BANK1)
初期値:0x06

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0110	R/W	予約

0x4D【VCO_CAL_MIN_I】

機能:VCO キャリブレーション下限周波数設定(I カウンタ)
アドレス:0x4D (BANK1)
初期値:0x21

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:0	VCO_CAL_MIN_I[5:0]	10_0001	R/W	VCO キャリブレーション下限周波数設定 (I カウンタ)

【説明】
1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】
1. 下限周波数は、実際に運用する周波数に対して 2.2MHz 低い値を設定してください。

0x4E【VCO_CAL_MIN_FH】

機能:VCO キャリブレーション下限周波数設定(F カウンタ上位 4 ビット)
アドレス:0x4E (BANK1)
初期値:0x04

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	VCO_CAL_MIN_F[19:16]	0100	R/W	VCO キャリブレーション下限周波数設定 (F カウンタ上位 4 ビット)

【説明】
1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】
1. 下限周波数は、実際に運用する周波数に対して 2.2MHz 低い値を設定してください。

0x4F【VCO_CAL_MIN_FM】

機能:VCO キャリブレーション下限周波数設定(F カウンタ中位 8 ビット)
アドレス:0x4F (BANK1)
初期値:0xEC

Bit	ビット名	初期値	R/W	説明
7:0	VCO_CAL_MIN_F[15:8]	1110_1100	R/W	VCO キャリブレーション下限周波数設定 (F カウンタ中位 8 ビット)

【説明】
1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】
1. 下限周波数は、実際に運用する周波数に対して 2MHz 低い値を設定してください。

0x50【VCO_CAL_MIN_FL】

機能:VCO キャリブレーション下限周波数設定(F カウンタ下位 8 ビット)
アドレス:0x50 (BANK1)
初期値:0x4E

Bit	ビット名	初期値	R/W	説明
7:0	VCO_CAL_MIN_F[7:0]	0100_1110	R/W	VCO キャリブレーション下限周波数設定 (F カウンタ下位 8 ビット)

【説明】
1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 下限周波数の設定」を参照してください。

【ご注意】
1. 下限周波数は、実際に運用する周波数に対して 2.2MHz 低い値を設定してください。

0x51【VCO_CAL_MAX_N】

機能:VCO キャリブレーションの上限周波数設定
アドレス:0x51 (BANK1)
初期値:0x04

Bit	ビット名	初期値	R/W	説明
7:4	Reserved	0000	R/W	予約
3:0	VCO_CAL_MAX_N[3:0]	0100	R/W	VCO キャリブレーション上限周波数範囲(下限周波数からの⊿F) 0000: 0MHz 0001: 0.8125MHz 0010: 1.625MHz 0011: 3.25MHz 0100: 6.5 MHz 0101: 13 MHz 0110: 26 MHz 0111: 52MHz 1000: 82.875MHz 1001: 104MHz 上記以外: 設定禁止

【説明】
1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。
2. 周波数の設定方法に関しては、「VCO 上限周波数の設定」を参照してください。

【ご注意】
1. 上限値の設定は、実際に運用する周波数範囲が完全に含まれるように設定してください。

0x52【VCAL_MIN】

機能:下限側 VCO キャリブレーション値表示と設定
アドレス:0x52 (BANK1)
初期値:0x40

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	VCAL_MIN[6:0]	100_0000	R/W	下限側 VCO キャリブレーション値 ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。

【説明】
1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x53【VCAL_MAX】

機能:上限側 VCO キャリブレーション値表示と設定
アドレス:0x53 (BANK1)
初期値:0x40

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	VCAL_MAX[6:0]	100_0000	R/W	上限側 VCO キャリブレーション値 ※[VCO_CAL_START: B0 0x6F]でのキャリブレーション実行により値が自動的に保存されます。

【説明】
1. VCO キャリブレーションの使用方法については、「VCO の調整」を参照してください。

0x54-0x55【Reserved】

機能:予約
アドレス:0x54-0x55 (BANK1)
初期値:0x06

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x56【DEMOD_SET0】

機能:復調器設定 0
アドレス:0x56 (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R/W	予約
4	STR_LIM_ON	0	R/W	シンボルタイミングリカバリリミッタ設定 0: リミッタを OFF にする 1: リミッタを ON にする
3	STR_HOLD_ON	0	R/W	シンボルタイミングリカバリ設定 0: シンボルタイミング追従を常時行う 1: SyncWord 検出後シンボルタイミングを保持する
2	AFC_LIM_OFF	0	R/W	AFC リミッタ設定 0: AFC リミッタを ON にする 1: AFC リミッタを OFF にする
1	AFC_HOLD_ON	0	R/W	AFC モード設定 0: AFC を常時行う 1: SyncWord 検出後 AFC を保持する
0	AFC_OFF_EN	0	R/W	AFC 制御 0: AFC を行う 1: AFC を行わない

0x57【DEMOD_SET1】

機能:復調器設定 1
アドレス:0x57 (BANK1)
初期値:0x14

Bit	ビット名	初期値	R/W	説明
7:6	Reserved	00	R/W	予約
5:4	IFEDGE_SEL[1:0]	01	R/W	IF エッジ幅選択設定 00: 1 サイクル幅 01: 2 サイクル幅 10: 3 サイクル幅 11: 4 サイクル幅
3:0	DEMOD_DIV[3:0]	0100	R/W	復調器分周設定 0000: 分周なし 0001: 分周なし 上記以外: 設定値分周 (初期値 : 1/4)

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x58【DEMOD_SET2】

機能:復調器設定 2
アドレス:0x58 (BANK1)
初期値:0x28

Bit	ビット名	初期値	R/W	説明
7	Reserved	0	R/W	予約
6:0	FDET_LPF1_SUB[6:0]	010_1000	R/W	復調器 LPF1 ゼロ調整

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x59【DEMOD_SET3】

機能:復調器設定 3
アドレス:0x59 (BANK1)
初期値:0x0C

Bit	ビット名	初期値	R/W	説明
7:5	FDET_LPF3_SUB[2:0]	000	R/W	復調器 LPF3 ゼロ調整
4:0	FDET_LPF2_SUB[4:0]	0_1100	R/W	復調器 LPF2 ゼロ調整

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x5A【DEMOD_SET4】

機能:復調器設定 4
アドレス:0x5A (BANK1)
初期値:0x24

Bit	ビット名	初期値	R/W	説明
7:4	LPF2_SEL[3:0]	0010	R/W	復調器 LPF2 帯域設定
3:0	LPF1_SEL[3:0]	0100	R/W	復調器 LPF1 帯域設定

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x5B【DEMOD_SET5】

機能:復調器設定 5
アドレス:0x5B (BANK1)
初期値:0x7A

Bit	ビット名	初期値	R/W	説明
7:6	LPF3_GAIN[1:0]	01	R/W	復調器 LPF3 ゲイン設定
5:3	LPF2_GAIN[2:0]	111	R/W	復調器 LPF2 ゲイン設定
2:0	LPF3_SEL[2:0]	010	R/W	復調器 LPF3 帯域設定

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x5C【DEMOD_SET6】

機能:復調器設定 6
アドレス:0x5C (BANK1)
初期値:0x27

Bit	ビット名	初期値	R/W	説明
7:0	RXDEV_RANGE[7:0]	0010_0111	R/W	受信周波数偏位範囲設定

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x5D【DEMOD_SET7】

機能:復調器設定 7
アドレス:0x5D (BANK1)
初期値:0x5F

Bit	ビット名	初期値	R/W	説明
7:0	AFC_LIM[7:0]	0101_1111	R/W	AFC 追従レンジ設定

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x5E【DEMOD_SET8】

機能:復調器設定 8
アドレス:0x5E (BANK1)
初期値:0x03

Bit	ビット名	初期値	R/W	説明
7:6	LPF1_ADJ[1:0]	00	R/W	復調器 LPF1 調整設定
5	LPF2_CLK_SEL	0	R/W	復調器 LPF2 クロック選択設定
4:3	Reserved	00	R/W	予約
2:0	PLL_AFC_SHIFT[2:0]	011	R/W	PLL-AFC 倍率調整設定 1

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x5F【DEMOD_SET9】

機能:復調器設定 9
アドレス:0x5F (BANK1)
初期値:0x90

Bit	ビット名	初期値	R/W	説明
7:0	PLL_AFC_CO[7:0]	1001_0000	R/W	PLL-AFC 倍率調整設定 2

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x60【DEMOD_SET10】

機能:復調器設定 10
アドレス:0x60 (BANK1)
初期値:0x10

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R/W	予約
4:0	STR_PB_LEN[4:0]	1_0000	R/W	復調器プリアンブル検出閾値設定

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x61【DEMOD_SET11】

機能:復調器設定 11
アドレス:0x61 (BANK1)
初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R/W	予約
4:0	STR_PB_LEN_DIV[4:0]	0_1000	R/W	復調器プリアンブル検出閾値設定(ダイバーシティ時)

【ご注意】
1. 「レジスタ設定」で指定する値を設定し、調整用に設定を変えないでください。

0x62【ADDR_CHK_CTR_H】

機能:アドレスチェックカウンタ表示(上位 3 ビット)
アドレス:0x62 (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:3	Reserved	0_0000	R/W	予約
2:0	ADDR_CHK_CTR[10:8]	000	R	Field チェックでのアドレス不一致パケット数表示(上位 3 ビット) ※最大 2047 個までカウントできます。本レジスタをクリアする場合は、STATE_CLR4([STATE_CLR: B0 0x16(4)])のアドレスチェックカウンタクリアを実行してください。

【説明】
1. アドレスフィルタ機能の詳細に関しては、「Field チェック機能」を参照してください。

0x63【ADDR_CHK_CTR_L】

機能:アドレスチェックカウンタ表示(下位バイト)
アドレス:0x63 (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	ADDR_CHK_CTR[7:0]	0000_0000	R	Field チェックでのアドレス不一致パケット数表示(下位バイト) ※詳細は、[ADDR_CHK_CTR_H: B1 0x62]をご参照ください。

【説明】
1. アドレスフィルタ機能の詳細に関しては、「Field チェック機能」を参照してください。

0x64【WHT_INIT_H】

機能:Whiteing 初期状態設定(上位 1 ビット)
アドレス:0x64 (BANK1)
初期値:0x01

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	000_0000	R/W	予約
0	WHT_INIT[8]	1	R/W	Whiteing 初期状態設定(上位 1 ビット)

【説明】
1. 詳細は、「DataWhitening 機能」を参照してください。

0x65【WHT_INIT_L】

機能:Whiteing 初期状態設定((下位バイト)
アドレス:0x65 (BANK1)
初期値:0xFF

Bit	ビット名	初期値	R/W	説明
7:0	WHT_INIT[7:0]	1111_1111	R/W	Whiteing 初期状態設定(下位バイト)

【説明】
1. 詳細は、「DataWhitening 機能」を参照してください。

0x66【WHT_CFG】

機能:Whiteing 生成多項式設定
アドレス:0x66 (BANK1)
初期値:0x08

Bit	ビット名	初期値	R/W	説明
7:0	WHT_CFG[7:0]	0000_1000	R/W	Whiteing 生成多項式設定

【説明】
1. 詳細は、「DataWhitening 機能」を参照してください。

0x67-0x7E【Reserved】

機能:予約
アドレス:0x67-0x7E (BANK1)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:0	Reserved	0000_0000	R/W	予約

0x7F【ID_CODE】

機能:ID コード表示
アドレス:0x7F (BANK1)
初期値:0x81

Bit	ビット名	初期値	R/W	説明
7:0	ID_CODE[7:0]	1000_0001	R	ID コード

●レジスタ BANK2

0x00【BANK_SEL】

機能:レジスタアクセス先選択
アドレス:0x00 (BANK2)
初期値:0x11

Bit	ビット名	初期値	R/W	説明
7	B3_ACEN	0	R/W	BANK3 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
6	B2_ACEN	0	R/W	BANK2 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
5	B1_ACEN	0	R/W	BANK1 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
4	B0_ACEN	1	R/W	BANK0 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
3-0	BANK[3:0]	0001	R/W	BANK 切り替え 0001: BANK0 アクセス 0010: BANK1 アクセス 0100: BANK2 アクセス 1000: BANK3 アクセス 上記以外: 設定禁止

【説明】
1. VCO キャリブレーション実行中は BANK1 のレジスタにアクセスしないでください。
2. レジスタアクセスは CLK_INIT_DONE([CLK_SET1: B0 0x02(7)])が 0b0 でも実行できますが、RF動作に関わるレジスタは必ず CLK_INIT_DONE が 0b1 であることを確認した後に実行してください。

0x7E【CCA_MASK_SET】

機能:CCA 時のフィルタ安定化待ち設定
アドレス:0x7E(BANK2)
初期値:0x02

Bit	ビット名	初期値	R/W	説明
7:5	Reserved	000	R/W	予約
4	CCA_MASK_EN	0	R/W	CCA 時のフィルタ安定化待ち設定 0: 安定化待ちディセーブル 1: 安定化待ちイネーブル ※詳細は「CCA 機能」を参照してください。
3:0	Reserved	0010	R/W	予約

●レジスタ BANK3

0x00【BANK_SEL】

機能:レジスタアクセス先選択
アドレス:0x00 (BANK3)
初期値:0x11

Bit	ビット名	初期値	R/W	説明
7	B3_ACEN	0	R/W	BANK3 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
6	B2_ACEN	0	R/W	BANK2 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
5	B1_ACEN	0	R/W	BANK1 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
4	B0_ACEN	1	R/W	BANK0 レジスタアクセスイネーブル 0: アクセス禁止 1: アクセス許可
3-0	BANK[3:0]	0001	R/W	BANK 切り替え 0001: BANK0 アクセス 0010: BANK1 アクセス 0100: BANK2 アクセス 1000: BANK3 アクセス 上記以外: 設定禁止

【説明】
1. VCO キャリブレーション実行中は BANK1 のレジスタにアクセスしないでください。
2. レジスタアクセスは CLK_INIT_DONE([CLK_SET1: B0 0x02(7)])が 0b0 でも実行できますが、RF動作に関わるレジスタは必ず CLK_INIT_DONE が 0b1 であることを確認した後に実行してください。

0x23【2MODE_DET】

機能:ModeT/C 同時受信設定
アドレス:0x23(BANK3)
初期値:0x00

Bit	ビット名	初期値	R/W	説明
7:1	Reserved	000_0000	R/W	予約
0	2MODE_DET_EN	0	R/W	Mode T/C(Wireless M-Bus)同時受信モード設定 0: Mode C パケットのみ受信する 1: Mode T と Mode C の両パケットを受信する ※RX_ON 状態での受信モード切替えは禁止です。受信モードを切替える場合、必ず TRX_OFF 状態にして切替えてください。

■応用回路例

3.3V の電源電圧を印加する端子は共通接続とし 10uF のパスコンを挿入してください。
LSI の電源 Pin に必要なパスコンは記載しておりません。
インダクタは MURATA LQW15 シリーズを推奨いたします。

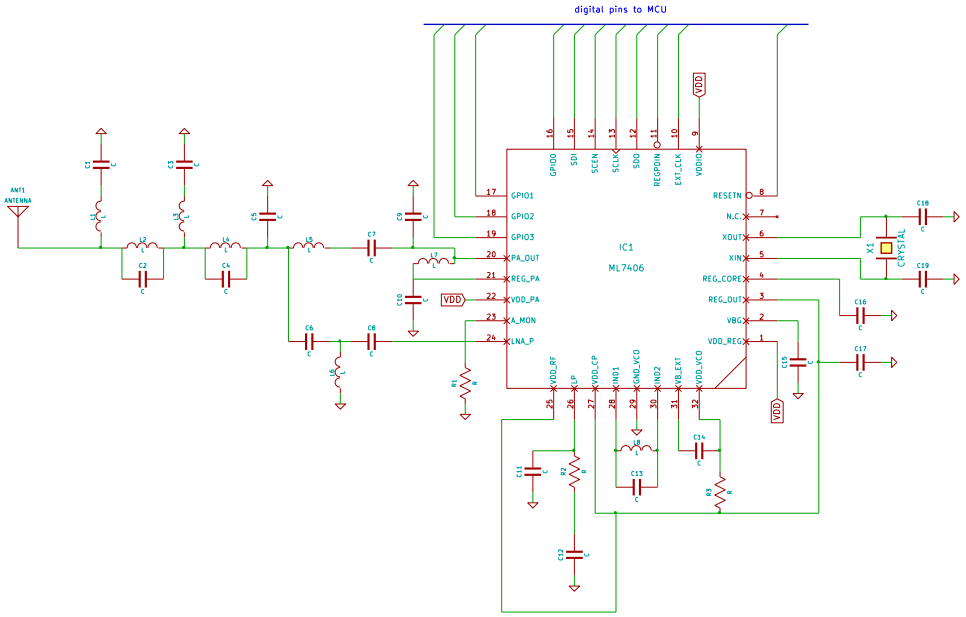


図 RF スイッチ未使用例

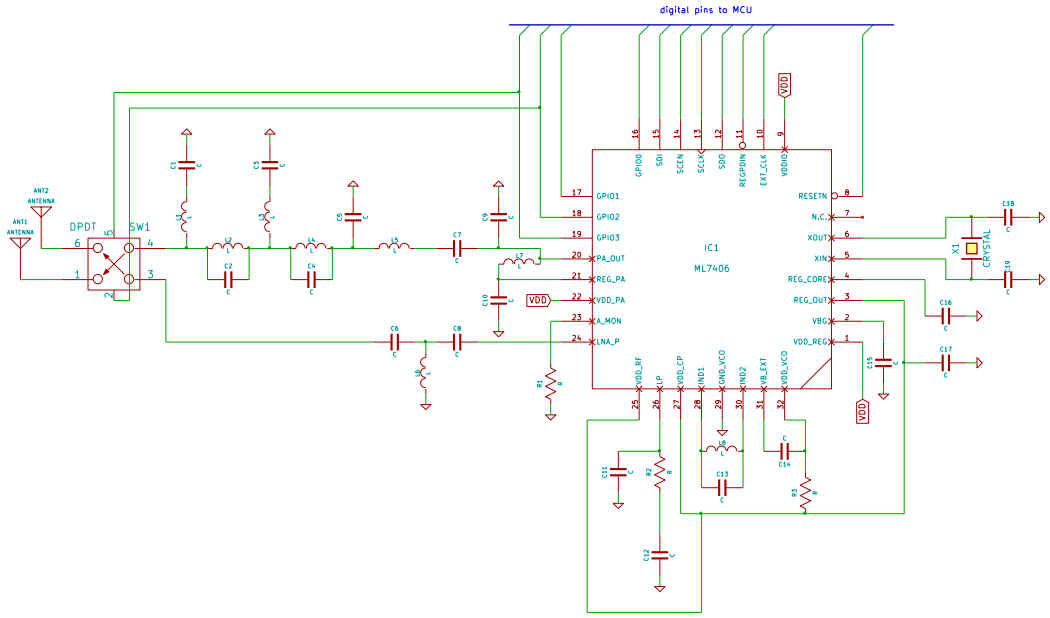
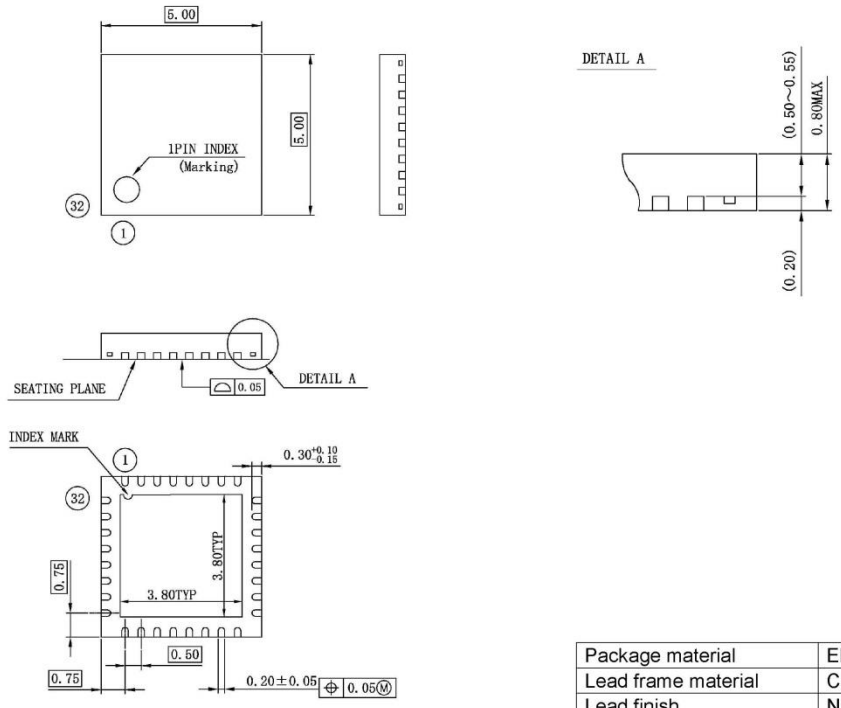


図 ダイバーシティ応用例

■パッケージ寸法図

P-WQFN32-0505-0.50-A63



Package material	EPOXY RESIN
Lead frame material	Cu ALLOY
Lead finish	Ni/Pd/Au
Pin treatment (μm)	Au/Pd 0.01 Max./0.15 Max.
Package weight (g)	0.055 TYP.
Rev. No./Last Revised	2/Feb. 4 2012

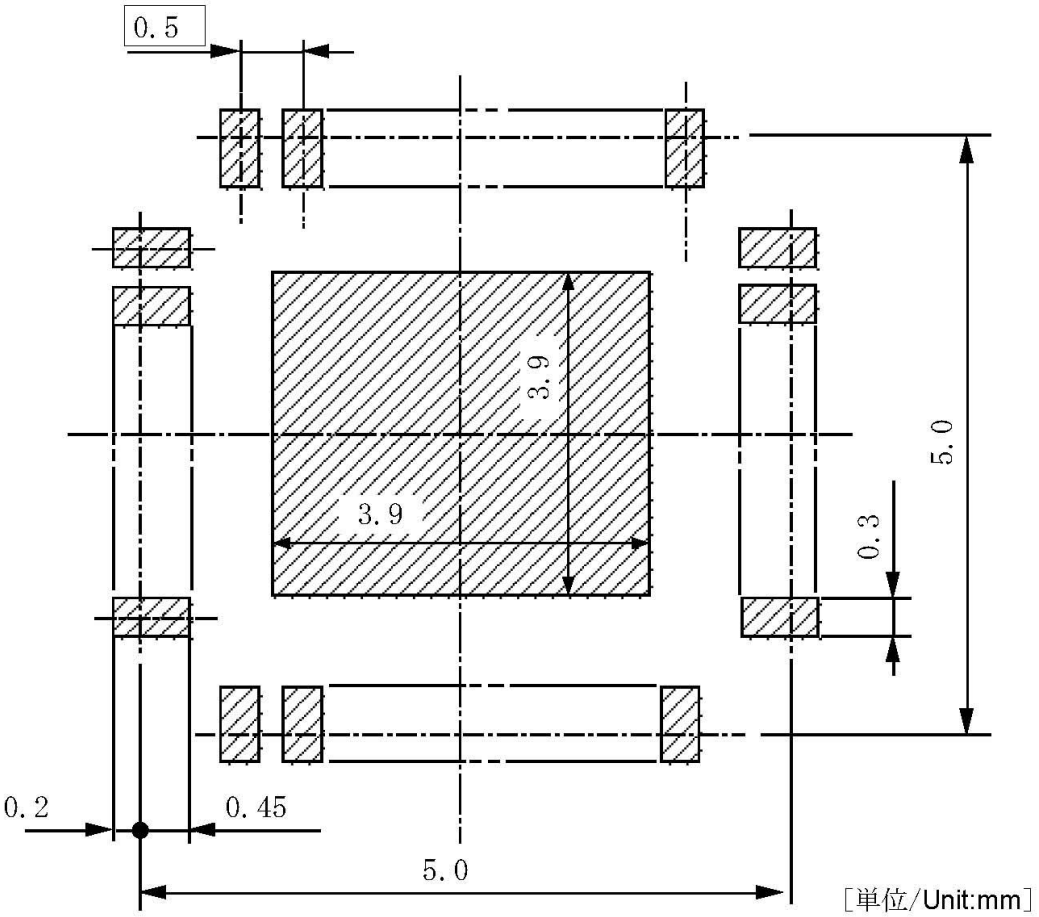
LAPIS Semiconductor Co.,Ltd.

表面実装型パッケージ実装上の注意

表面実装型パッケージは、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。
したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などを担当営業または代理店まで必ずお問い合わせください。

■半田付け部端子存在範囲図（参考データ）

P-WQFN32-0505-0.50-A63



実装基板のフットパターンの設計の際には、実装の容易さ、接続の信頼性、配線の引き回し、半田ブリッジ発生のないことなどを十分に考慮してください。

フットパターンの最適な設計は基板材質、使用する半田ペースト種類、厚み、半田付け方法などによって変わってきます。従って、本パッケージの端子の存在し得る範囲を「半田付け部端子存在範囲図」として示しますので、フットパターン設計の参考資料としてください。

■改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
PJDL7406-01	2012.11.15	-	-	暫定版発行
FJDL7406-01	2013.6.12	-	-	初版発行
FJDL7406-02	2013.7.9	15	15	受信特性 100kbps 最小受信感度見直し
		17	17	送受信データインタフェース特性図修正(DCLK 初期レベル)
		95	95	初期設定説明追加
		238	238	応用回路例 RF スイッチ未使用例追加
FJDL7406-03	2017.1.24	-	-	SPXO 対応削除
		50	50	ウェイクアップ/動作継続タイマ注意事項追加
		62	62	サーチ時間の時間分解能の説明修正
		82	82	VCO キャリブレーション割込み通知時間修正
		85	85	温度表示機能の注意事項追加
		-	126	Sync エラー発生時の処理における注意事項追加
		131	133	タイムチャート-送信時に TX_ON 信号追加
		163	165	[TXFIFO_THRL: B0 0x18]の制限事項として注意事項を追記
		171	173	RCOSC_MODE [SLEEP/WU_SET: B0 0x2D(3)]注意事項を追加
		172	174	[WUT_CLK_SET: B0 0x2E]レジスタ注意事項追加
		185	188	TEMP_ADC_OUT 注意事項追加
		188	191	EXT_CLK 端子制御機能(EXTCLK_IO_CFG[EXTCLK_CTRL: B0 0x52(2-0)])修正
		188	191	外部 PA 制御機能(EXT_PA_CNT [SPI/EXT_PA_CTRL: B0 0x53(1)]および EXT_PA_EN [SPI/EXT_PA_CTRL: B0 0x53(0)])修正
		193	196	発振回路バイアス調整の設定禁止のため予約レジスタに変更
		204	208	CLK_OUT 注意事項追加
		212	215	[AFC_CTRL: B1 0x15]レジスタ bit6-4(AFC_UPDATE_EN, UPDATE_TERM)削除
		226	229	SEARCH_TIME_SET([2DIV_SEARCH1: B1 0x49])レジスタ削除 (時間分解能は 16μs 固定となります)
FJDL7406-04	2017.2.23	50	50	ウェイクアップタイマ、動作継続タイマ式修正
		172	174	[WUT_INTERVAL_H: B0 0x2F]レジスタ ウェイクアップタイマ式修正
		173	175	[WU_DURATION: B0 0x31]レジスタ 動作継続タイマ式修正
FJDL7406-05	2018.7.20	24	24	SLEEP 機能注意事項追加
		50	50	ウェイクアップタイマ注意事項追加
		209	209	[REGULATOR_CTRL]レジスタ追加
FJDL7406-06	2019.4.12	7-9	7-9	[端子説明] リセット時の状態修正
		8	8	[端子説明]-[レギュレータ端子] 詳細(*1)削除
		18	18	[電気的特性]-[リセット特性] RESETN 立上り時間削除
		43	43	[機能説明]-[パケットハンドリング機能]-[FIFO 制御機能] 注意事項 2 追加
		92	92	[LSI の調整項目と調整方法]-[VCO 上限周波数の設定] VCO キャリブレーション範囲修正
		102	102-103	[フローチャート]-[電源投入時] SPI アクセス禁止区間変更に伴うフロー変更
		132	133	[タイムチャート]-[起動時] SPI アクセス禁止区間変更
		148	150	[CLK_SET2:B0 0x03] 注意事項 4 追加
		149	151	[PKT_CTRL1:B0 0x04] Wireless M-Bus Format A 拡張フォーマットにおける注意事項追加
		150	152	[PKT_CTRL2:B0 0x05] 送信 CRC 設定の注意事項追加

		184	186	[SYNC_CONDITION1:B0 0x45] 説明追加
FJDL7406-07	2023.11.1	2	2	製品名、用途の追加
		250	250	ご注意の更新
FJDL7406-08	2024.1.10	250	250	ご注意の更新

(注意) 誤記、表現の変更および修正は含まれません。

ご注意

1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格(*1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起こらないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(*1)絶対最大定格 ： 瞬時たりとも超過してはならない限界値となります。

2) 本資料に掲載されております製品は、耐放射線設計がなされておりません。

3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。

4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがいまして、 当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。

5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。

6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したものですが、万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。

7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。

8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。

9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。

10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2012 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社
〒222-8575 神奈川県横浜市港北区新横浜 2-4-8
https://www.lapis-tech.com