



お客様各位

## 資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024年4月1日をもって、ローム株式会社は、100%子会社であるラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、全て「ローム株式会社」に読み替えて適用するものとさせていただきます。なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。以上、ご理解の程よろしく願いいたします。

2024年4月1日  
ローム株式会社

# ML7425

低消費電力 Sub-1GHz RF トランシーバ IC

## ■概要

ML7425 は、RF 部・IF 部・MODEM 部・HOST インタフェース部を 1 チップに集積した低消費電力対応サブ GHz 無線通信用 LSI です。RF 周波数は 145~1020MHz 帯に対応しています。また帯域可変のチャネル選択フィルタを実装しているため 1.7kHz~1200kHz の受信帯域のシステムに対応が可能です。ML7425 は、欧州テレメータ規格 (Wireless M-Bus) における N モード (169MHz)、F モード (434MHz) および S/T/C/R モード (868MHz)、日本の小電力セキュリティシステム無線局および特定小電力無線局 (RCR STD-30、ARIB STD-T67、ARIB STD-T108)、ワールドワイドの Sigfox 規格にご利用いただけます。ML7425 には、IEEE802.15.4g、Wireless M-Bus のパケットハンドリング機能を搭載しています。

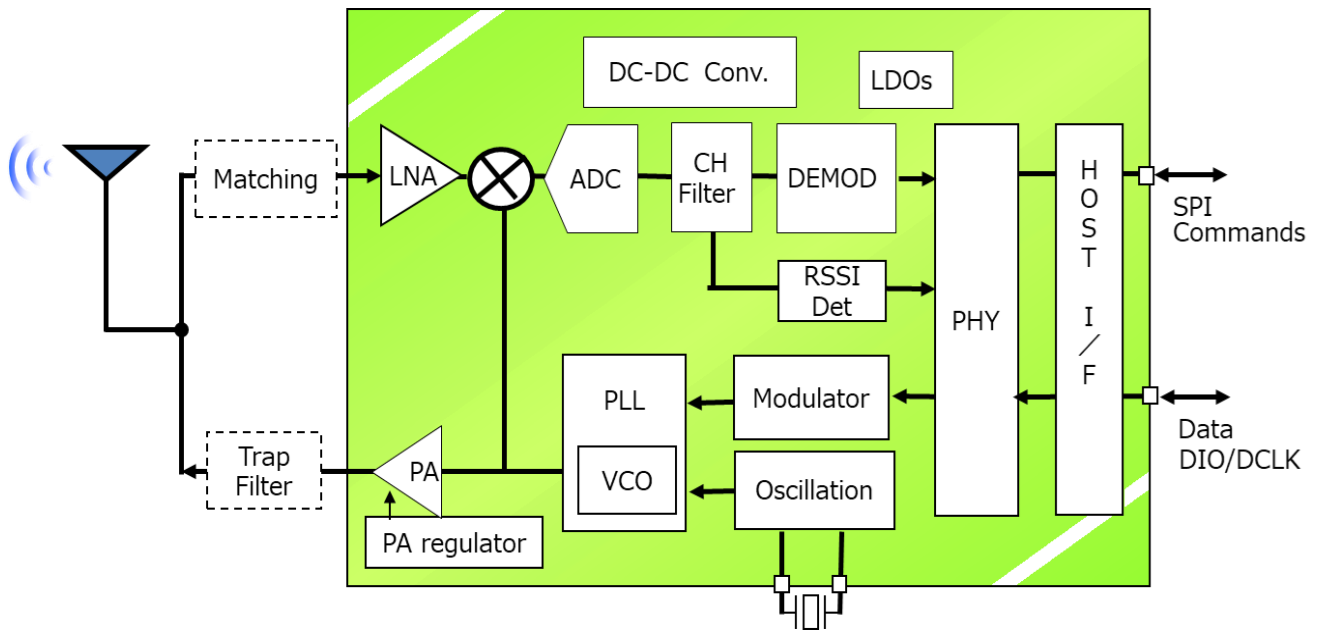
## ■特長

- 各国の無線法規に対応
  - 日本: RCR STD-30、ARIB STD-T67、ARIB STD-T108
  - 欧州: ETSI EN 300 220、ETSI EN 54-25
  - 北米: FCC CFR47 Part 15、FCC CFR47 Part 90、24、101
- 無線規格対応
  - IEEE802.15.4g/15.4aa
  - Wi-SUN
  - Wireless M-BUS
  - Sigfox Revision 2.E
- RF 周波数
  - 145MHz~170MHz
  - 210MHz~250MHz
  - 280MHz~340MHz
  - 415MHz~510MHz
  - 835MHz~1020MHz
- フラクショナル N 型 PLL の直接変調方式により高精度変調を実現
- 変調方式: 2(G)FSK/4(G)FSK、ASK、OOK、BPSK(送信のみ)
- データ転送スピード: 0.1k~1200 kbps (2FSK:0.1k~600kbps/4FSK:0.2k~1200kbps)
- NRZ、マンチェスタ符号化、3 out of 6 符号化機能搭載
- データ Whitening 機能搭載
- 帯域可変チャネルフィルタ機能搭載
- 周波数偏位可変機能搭載
- 送信/受信データの極性反転機能搭載
- TCXO 直接入力機能搭載 (24~26MHz/48MHz~52MHz)
- 水晶発振回路搭載 (24~26MHz/48MHz~52MHz)
- 発振回路端子の負荷容量調整機能搭載
- 周波数微調整機能搭載 (フラクショナル N 型 PLL の採用により周波数の微調整可能)
- 同期式シリアルペリフェラルインタフェース(SPI)搭載
- 送信 PA を内蔵し、パワー制御機能搭載
- 送信パワー微調整機能搭載
- 送信パワーの自動ランプ制御搭載
- 外付け PA 制御機能搭載

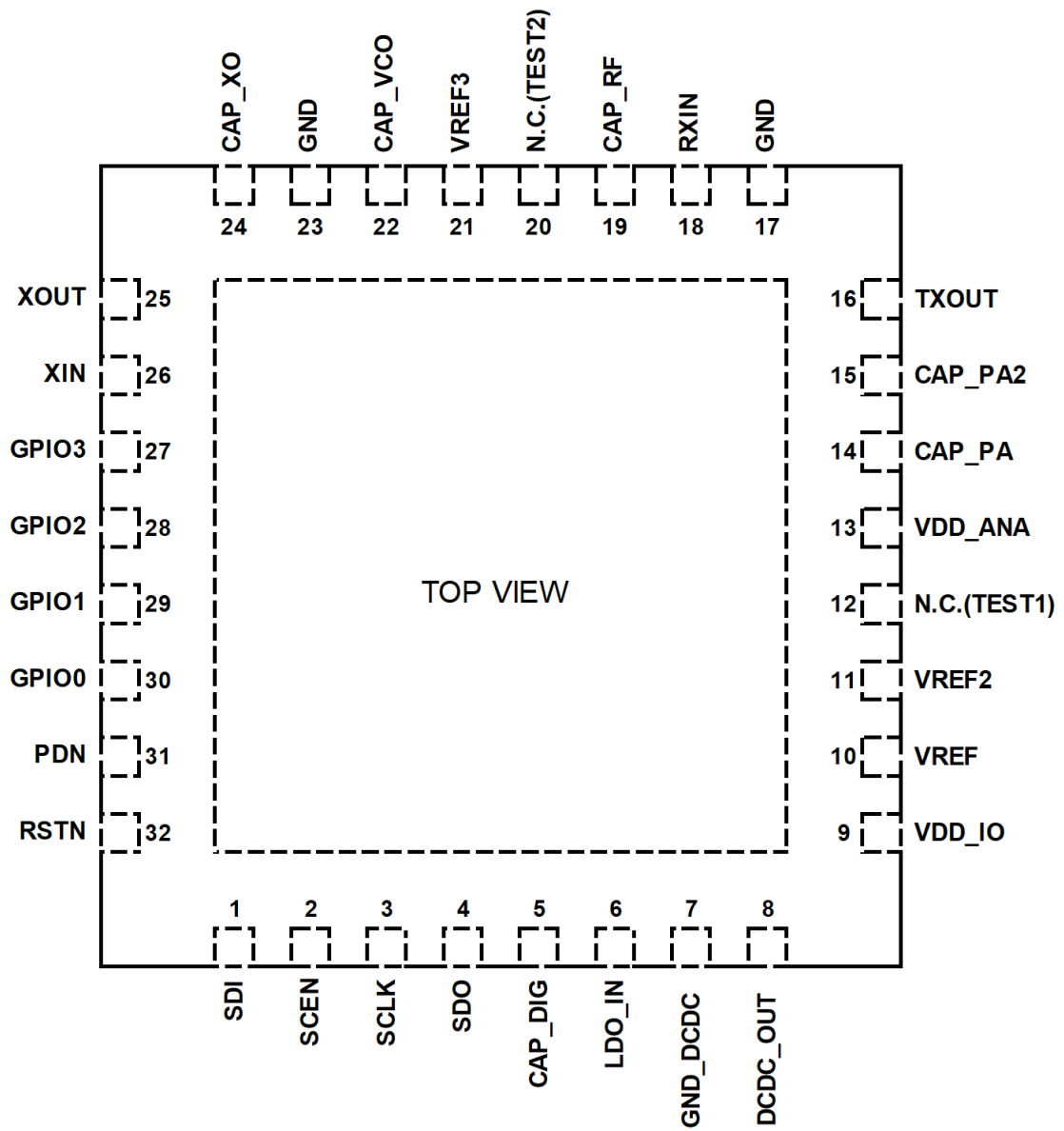
- 受信電界強度(RSSI)通知機能および閾値判定機能搭載
- 高速電波チェック機能搭載
- FEC 機能搭載
- AFC 機能搭載
- アンテナダイバーシティ機能搭載
- 汎用タイマ搭載 (2 系統)
- テストパタンジェネレータ搭載 (PN9、CW、01 パターン、ALL”1”、ALL”0”出力対応)
- パケットモード機能搭載
  - IEEE802.15.4g パケットフォーマット対応 (Format C)
  - Wireless M-Bus パケットフォーマット対応 (Format A/B)
  - 汎用パケットフォーマット対応 (Format C/D)
  - 最大 255 バイト (Format A/B)、2047 バイト (Format C/D)のパケット長に対応
  - 送信 FIFO(64Byte)内蔵、受信 FIFO(64Byte)内蔵
  - 検出プリアンブルパターン設定機能 (最大 4Byte)
  - 送信プリアンブル長設定機能 (最大 255Byte)
  - SyncWord 設定機能 (最大 4Byte x 2 面)
  - CRC 機能 (CRC32/CRC16/CRC8 選択可)
  - アドレスチェック機能 (最大 13Byte x 2 面)
    - Wireless M-Bus: C-field/M-field/A-field
    - ※設定によっては任意のパケットに対応可
  - IEEE802.15.4g ModeSwitch パケットフォーマット対応
  
- 電源電圧
  - 2.6V ~ 3.6V (DCDC 使用時)
  - 1.8V ~ 3.6V (DCDC 未使用時)
  
- 動作温度 -40℃ ~ 105℃ (想定平均動作温度 70℃)
  
- 消費電流

ディープスリープモード時	0.1 μA
スリープモード時	0.45 μA (レジスタ値保持)
送信時 13dBm 調整時	27mA(Typ.) @3.3V、DCDC 使用時
受信時	11mA(Typ.) @3.3V、DCDC 使用時
  
- パッケージ
  - 32ピン WQFN (5mm x 5mm) 0.5mm ピッチ
  - 鉛フリー、RoHS 準拠
  
- 製品名 ML7425GD
  
- 用途
  - リモートコントロール
  - ホーム、ビルセキュリティ
  - センサーネットワーク
  - スマートメータ
  - 物流トラッキング
  - インフラモニタリング
  - 見守りシステム

## ■ブロック図



## ■ 端子配置



32ピン WQFN (5mm x 5mm) 0.5mm ピッチ

## ■ 端子説明

端子状態	属性定義
I : CMOS 入力	IS : シュミットトリガ入力端子
O : CMOS 出力	O : デジタル出力端子
OD : オープンドレイン出力	IOS : デジタル入出力端子(シュミット入力)
Hi-Z : ハイインピーダンス	IOA : アナログ入力出力端子
	IRF : RF 入力端子
	ORF : RF 出力端子
	VDD : 電源端子
	GND : GND 端子

端子番号	端子名称	属性	説明
1	SDI	IS	SPI データ入力端子
2	SCEN	IS	SPI イネーブル端子 (H: デイセーブル / L: イネーブル)
3	SCLK	IS	SPI クロック入力端子
4	SDO	O	SPI データ出力端子
5	CAP_DIG	IOA	内蔵レギュレータ安定化容量接続端子 (Digital)
6	LDO_IN	VDD	電源入力端子 (Regulator)
7	GND_DCDC	GND	グラウンド端子
8	DCDC_OUT	IOA	スイッチングレギュレータ出力端子 (DCDC 未使用時はオープン)
9	VDD_IO	VDD	電源入力端子 (IO)
10	VREF	IOA	安定化容量接続端子 1
11	VREF2	IOA	安定化容量接続端子 2
12	N.C.(TEST1)	N.C.	端子オープン
13	VDD_ANA	VDD	電源入力端子 (Analog)
14	CAP_PA	IOA	電源安定化容量接続端子 (PA)
15	CAP_PA2	IOA	内蔵レギュレータ安定化容量接続端子 (PA)
16	TXOUT	ORF	RF 信号出力端子
17	GND	GND	グラウンド端子
18	RXIN	IRF	RF 信号入力端子
19	CAP_RF	IOA	内蔵レギュレータ安定化容量接続端子 (RF)
20	N.C.(TEST2)	N.C.	端子オープン
21	VREF3	IOA	安定化容量接続端子 3
22	CAP_VCO	IOA	内蔵レギュレータ安定化容量接続端子 (VCO)
23	GND	GND	グラウンド端子
24	CAP_XO	IOA	内蔵レギュレータ安定化容量接続端子 (XO)
25	XOUT	IOA	水晶振動子接続端子 (TCXO 使用時は TCXO 入力端子)
26	XIN	IOA	水晶振動子接続端子 (TCXO 使用時はオープン)
27	GPIO3	IOS	デジタル入出力端子 (未使用時はオープン)
28	GPIO2	IOS	デジタル入出力端子 (未使用時はオープン)
29	GPIO1	IOS	デジタル入出力端子 (未使用時はオープン)
30	GPIO0	IOS	デジタル入出力端子 (未使用時はオープン)
31	PDN	IS	パワーダウン設定端子 (H: パワーダウンモード、L: 通常モード)
32	RSTN	IS	リセット端子 (H: 通常モード、L: リセットモード)

## &lt;ご注意&gt;

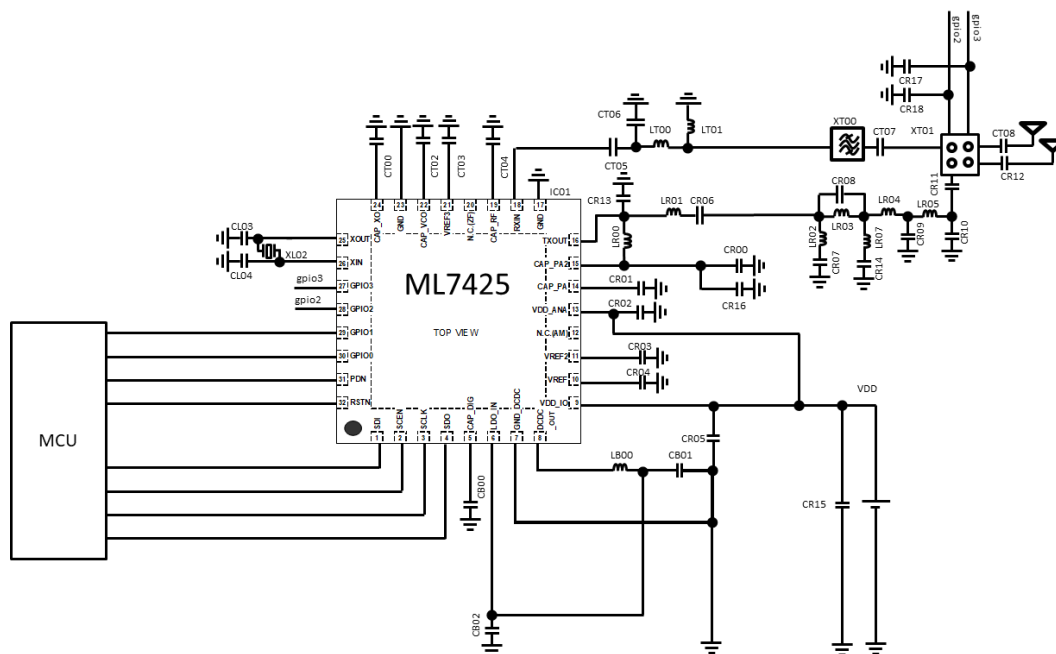
入力端子(SDI、SCEN、SCLK、PDN、RSTN)は、必ず Low 又は High にて論理を確定してください。

入出力端子(GPIO0~3)はホストマイコンにて端子制御して下さい。

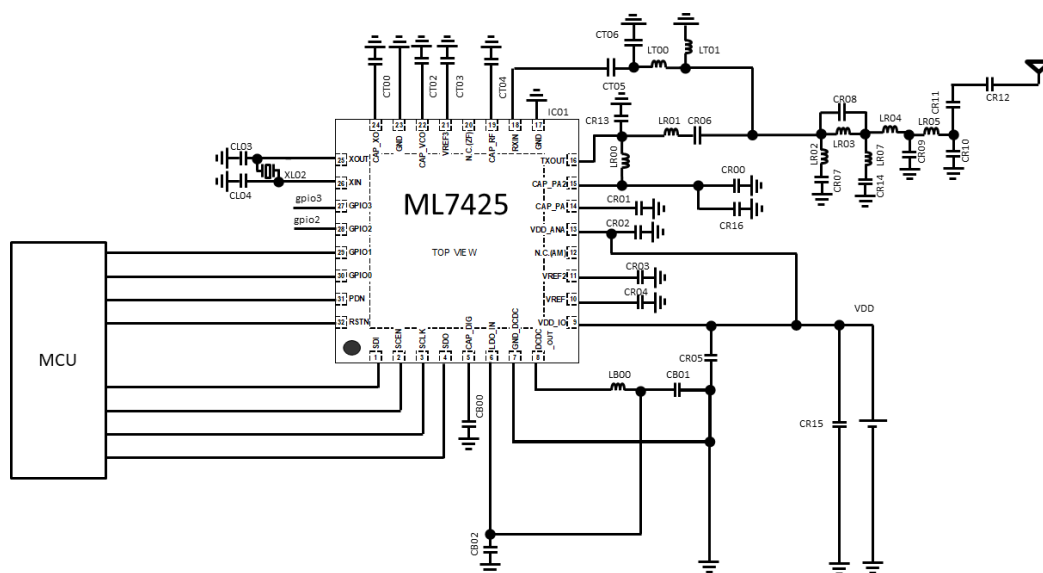
出力端子(SDO)はリセット解除後、オープンドレイン出力端子となります。また、この端子は CMOS 出力又はオープンドレイン出力を選択できます。用途に応じて切り替えてお使い下さい。

端子番号	端子名称	端子状態				属性	説明
		【ディープスリープ時】 PDN=H RSTN=L/H	【リセット時】 PDN=L RSTN=L	【リセット解除後】 PDN=L RSTN=H	【通常モード】 PDN=L RSTN=H		
1	SDI	I	I	I	I	IS	SPI データ入力端子
2	SCEN	I	I	I	I	IS	SPI イネーブル端子 (H: ディセーブル, L: イネーブル)
3	SCLK	I	I	I	I	IS	SPI クロック入力端子
4	SDO	Hi-Z	Hi-Z	OD	OD or O	O	SPI データ出力端子
27	GPIO3	Hi-Z	Hi-Z	O	I or O	IOS	デジタル入出力端子
28	GPIO2	Hi-Z	Hi-Z	O	I or O	IOS	デジタル入出力端子
29	GPIO1	Hi-Z	Hi-Z	O	I or O	IOS	デジタル入出力端子
30	GPIO0	Hi-Z	Hi-Z	O	I or O	IOS	デジタル入出力端子
31	PDN	I	I	I	I	IS	パワーダウン設定端子 (H: パワーダウンモード L: 通常モード)
32	RSTN	I	I	I	I	IS	リセット端子 (H: 通常モード, L: リセットモード)

■ 参考回路図

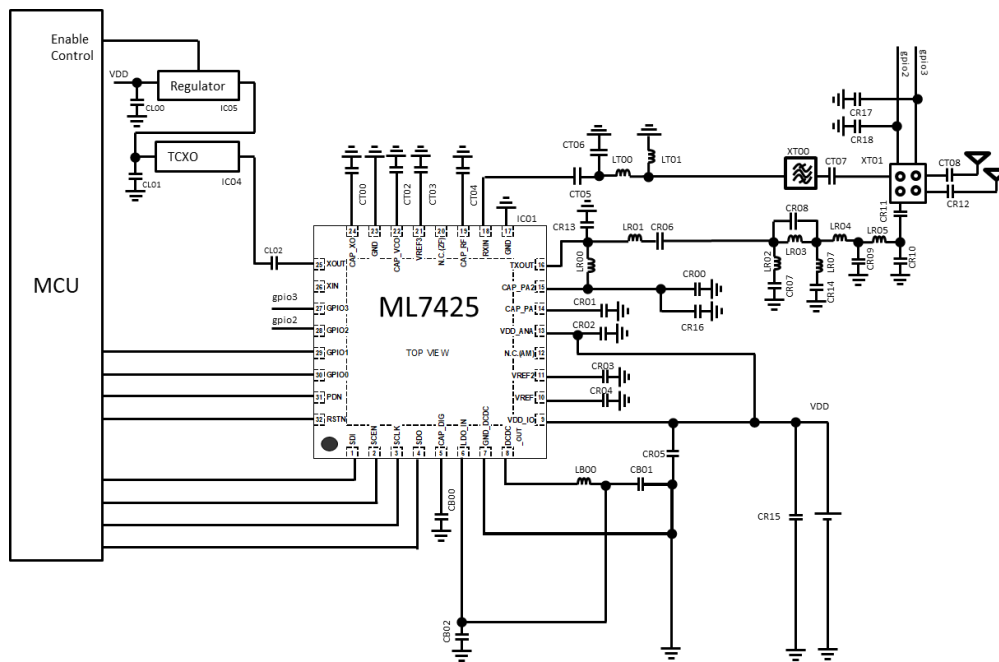


RF 送受信分離構成 (水晶振動子使用/アンテナスイッチ使用)

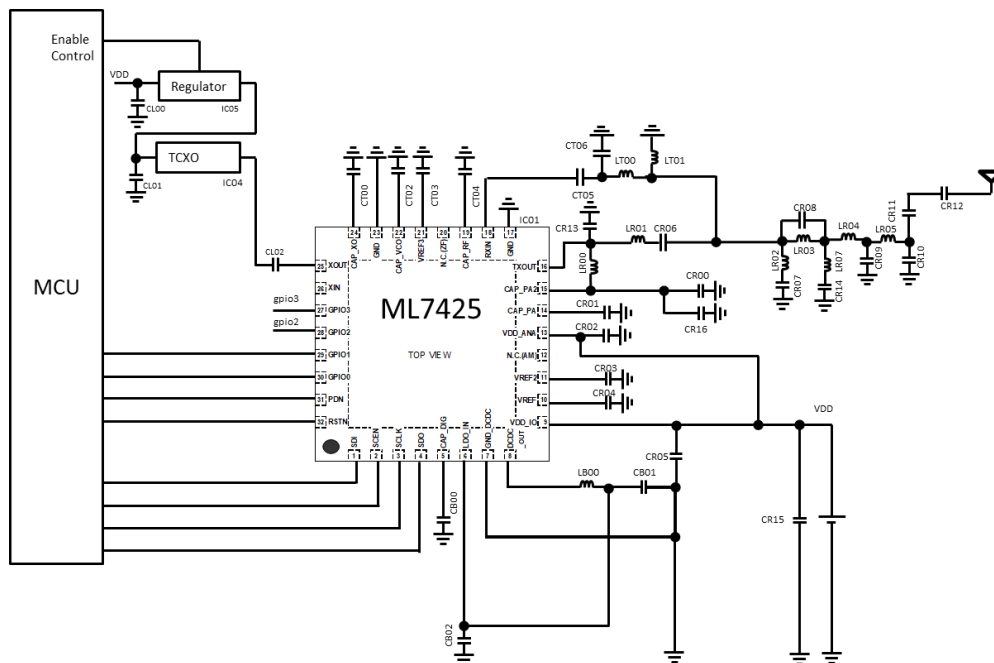


RF 送受信共通構成 (水晶振動子使用/アンテナスイッチ未使用)

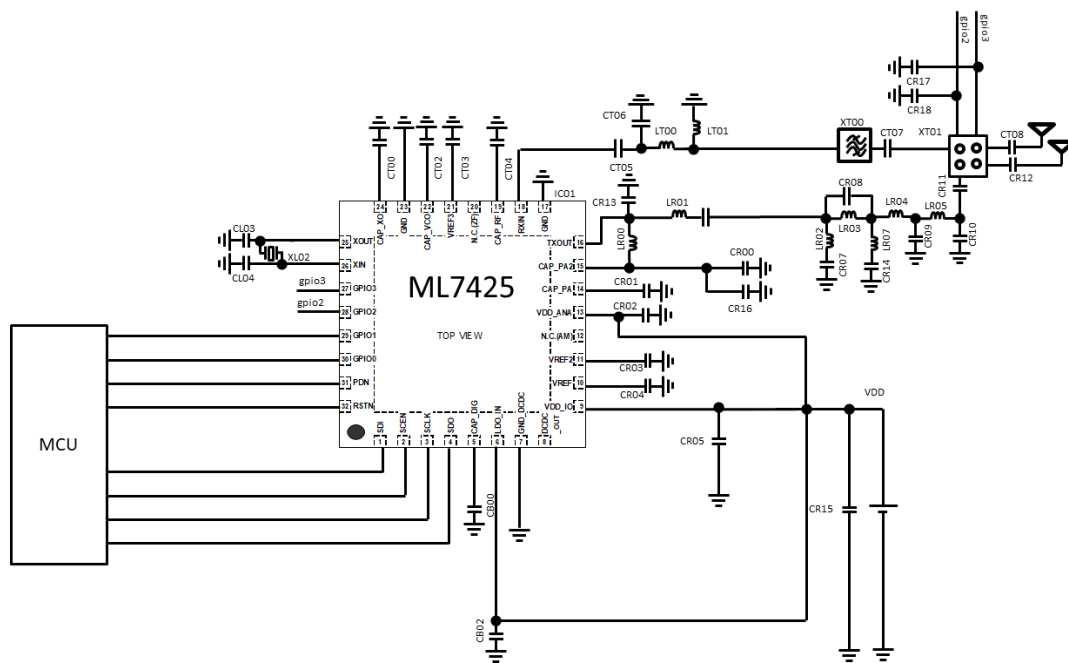




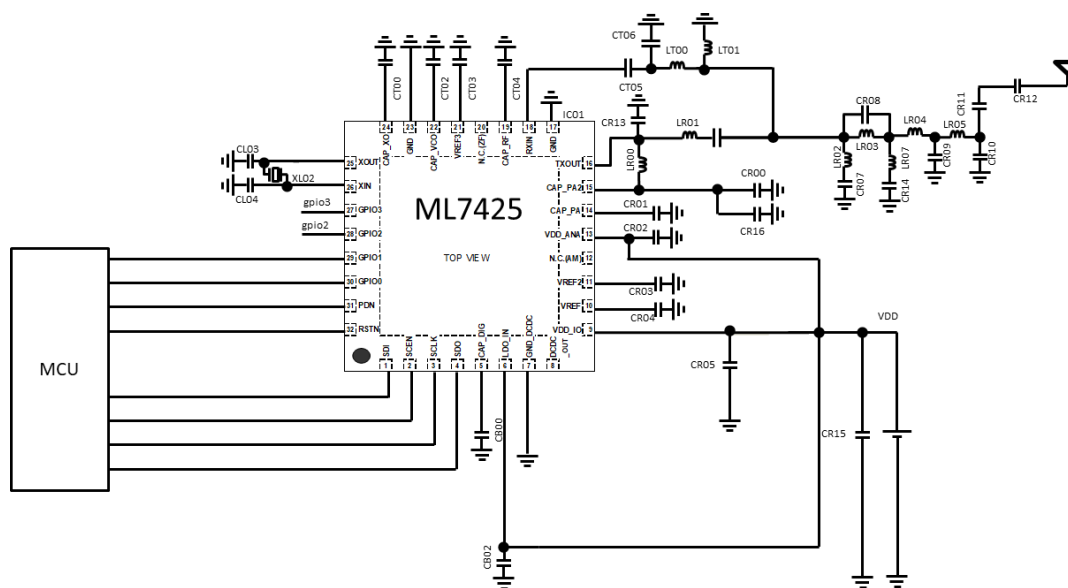
RF 送受信分離構成 (TCXO 使用/アンテナスイッチ使用)



RF 送受信共通構成 (TCXO 使用/アンテナスイッチ未使用)



RF 送受信分離構成 (水晶振動子使用/DCDC コンバータ未使用/アンテナスイッチ使用)



RF 送受信共通構成 (水晶振動子使用/DCDC コンバータ未使用/アンテナスイッチ未使用)

## ■電気的特性

### ●絶対最大定格

項目	端子名	条件	定格値	単位
電源電圧	VDD_IO、VDD_ANA	—	-0.3~+4.6	V
グランド電圧	GND	—	-0.3~+0.3	V
デジタル入力電圧	PDN、RSTN、SDI、SCEN、SCLK、 GPIO0~3	—	-0.3~+4.6	V
デジタル出力電圧	GPIO0~3、SDO	—	-0.3~+4.6	V
High レベル出力電流	GPIO0~3、SDO	—	-8.0 (*1)	mA
Low レベル出力電流	GPIO0~3、SDO	—	8.0 (*1)	mA
アナログ端子電圧 1	DCDC_OUT、LDO_IN、CAP_PA、 CAP_PA2、VREF	—	-0.3~+4.6	V
アナログ端子電圧 2	CAP_VCO、CAP_RF、CAP_DIG、 CAP_XO、XIN、XOUT、VREF2、 VREF3	—	-0.3~+2.0	V
RF 入力電圧	RXIN	—	-0.3~+2.0	V
RF 出力電圧	TXOUT	—	-0.3~+4.6	V
RF 入力レベル	—	基板のアンテナ端 (50Ω)	0	dBm
許容損失	—	Ta= +25°C	3.45	W
保存温度	—	—	-55~+150	°C

\*1 LSI から流れ出す電流をマイナス符号とします。

例: -1mA の場合、最大 1mA の電流が LSI 端子から流れ出すことを示します。

## ●推奨動作条件

項目	記号	条件	最小	標準	最大	単位	
電源電圧 (I/O、ANA)	VDDIO/ VDD_ANA	VDD_IO、 VDD_ANA 端子	DCDC 未使用時	1.8	3.3	3.6	V
			DCDC 使用時	2.6	3.3	3.6	V
動作温度	Ta	—	-40	+25	+105	°C	
デジタル入力立上り時間	TIR	(*1)	—	—	20	ns	
デジタル入力立下り時間	TIF	(*1)	—	—	20	ns	
デジタル出力負荷	CDL	(*2)	—	—	20	pF	
基準クロック周波数	FREF	XIN/XOUT 端子	24	24	26	MHz	
			48	48	52	MHz	
基準クロック精度	ACREF	—	(*3)	(*3)	(*3)	ppm	
X'tal 等価直列抵抗	ESR	—	—	—	50	ohm	
TCXO 入力電圧	VTCXO	DC カット ※TCXO オプション選択時	0.8	—	1.5	Vpp	
SPI クロック入力周波数	FSCLK	SCLK 端子	0.032	2	16	MHz	
SPI クロック入力デューティ比	DSCLK	SCLK 端子	45	50	55	%	
RF 周波数	FRF	—	145	—	170	MHz	
			210	—	250	MHz	
			280	—	340	MHz	
			415	—	510	MHz	
			835	—	1020	MHz	

\*1 GPIO0、GPIO1、GPIO2、GPIO3、PDN、RSTN、SDI、SCEN、SCLK 端子

\*2 GPIO0、GPIO1、GPIO2、GPIO3、SDO 端子

\*3 送受信で許容できる周波数精度を下記に示しております。各種規格に対応するためには、下表の通り規格に応じた周波数精度でご使用ください。

規格	要求周波数精度
ARIB STD-T108	±20 ppm
RCR STD-30 type III (日本)	±10 ppm
RCR STD-30 type IV (日本)	±4 ppm
Wireless M-Bus F mode	±16 ppm

## ●電源電流特性

FREF =48MHz

項目	記号	条件	最小	標準	最大	単位	
ディープスリープ電流	IDD_DSLP	ディープスリープ状態 (レジスタ非保持、全機能停止)	-	0.1	50 (*1)	μA	
スリープ電流	IDD_SLP	スリープ状態 (レジスタ保持、RXFIFO 保持)	-	0.45	120 (*2)	μA	
アイドル電流	IDD_IDL1	DCDC=ON	-	1.2	3	mA	
	IDD_IDL2	DCDC=OFF	-	1.8	6	mA	
受信電流	IDD920_RX1	920MHz 帯、2-FSK、100kbps	DCDC=ON	-	11	25	mA
	IDD920_RX2		DCDC=OFF	-	18	32	mA
送信電流	IDD920_TX1	920MHz 帯、2-FSK、100kbps、 13dBm 出力調整時	DCDC=ON	-	27	48	mA
	IDD920_TX2		DCDC=OFF	-	48	60	mA

(\*1)参考 25°C時、最大 0.8uA

(\*2)参考 25°C時、最大 2.0uA

## ●直流特性

FREF =48MHz

項目	記号	条件	最小	標準	最大	単位
高レベル入力電圧	VIH	RSTN、PDN、SDI、SCLK、SCEN、GPIO0/1/2/3 端子	$V_{DDIO} \times 0.75$	—	$V_{DDIO}$	V
低レベル入力電圧	VIL	RSTN、PDN、SDI、SCLK、SCEN、GPIO0/1/2/3 端子	0	—	$V_{DDIO} \times 0.18$	V
シュミットトリガ 高レベル判定閾値	VT+	RSTN、PDN、SDI、SCLK、SCEN、GPIO0/1/2/3 端子	—	1.2	$V_{DDIO} \times 0.75$	V
シュミットトリガ 低レベル判定閾値	VT-	RSTN、PDN、SDI、SCLK、SCEN、GPIO0/1/2/3 端子	$V_{DDIO} \times 0.18$	0.8	—	V
入力リーク電流	I <sub>IH</sub>	RSTN、PDN、SDI、SCLK、SCEN、GPIO0/1/2/3 端子	-1	—	1	μA
	I <sub>IL</sub>	RSTN、PDN、SDI、SCLK、SCEN、GPIO0/1/2/3 端子	-1	—	1	μA
トライステート 出力リーク電流	IOZH	SDO、GPIO0/1/2/3 端子	-1	—	1	μA
	IOZL	SDO、GPIO0/1/2/3 端子	-1	—	1	μA
高レベル出力電圧	VOH	SDO、GPIO0/1/2/3 端子 IOH=-2mA	$V_{DDIO} \times 0.8$	—	$V_{DDIO}$	V
低レベル出力電圧	VOL	SDO、GPIO0/1/2/3 端子 IOL=2mA	0	—	0.25	V
入力容量	CIN	入力端子	—	6	—	pF
	COUT	出力端子	—	9	—	pF
	CRFIO	RF 入出力端子	—	9	—	pF
	CAI	アナログ入力端子	—	9	—	pF

## ●RF 特性

条件:

- 参考回路図: RF 送受信分離構成 (TCXO 利用)
- 測定点: 評価ボードアンテナ端 (アンテナスイッチ、SAW フィルタのロスは除く)
- 変調方式: 2 値 FSK
- 周波数: 920MHz 帯

## 【送信特性】

FREF =48MHz、DCDC:ON

項目	条件	最小	標準	最大	単位	
送信出力電力	20mW (13dBm)	9	13	15	dBm	
占有帯域幅 (99%)	99%電力帯域幅、パターン: PN9 データレート: 100kbps 変調周波数偏位: $\pm 50\text{kHz}$ 、BT=0.5	150	—	250	kHz	
隣接チャンネル漏洩電力比 [ACPR]	データレート: 100kbps、パターン: PN9 変調周波数偏位: $\pm 50\text{kHz}$ 、BT=0.5 300kHz offset $\pm 100\text{kHz}$ 帯域での漏洩電力比	—	—	-28	dBc	
不要発射レベル	13dBm 出力時 パターン: PN9 データレート: 100kbps 変調周波数偏位: $\pm 50\text{kHz}$ 、BT=0.5	710MHz 以下	—	—	-36	dBm/100kHz
		710-900MHz	—	—	-55	dBm/1MHz
		900-915MHz	—	—	-55	dBm/100kHz
		915-930MHz	—	—	-36	dBm/100kHz
		930-1000MHz	—	—	-55	dBm/100kHz
		1000-1215MHz	—	—	-45	dBm/1MHz
		1215MHz 以上	—	—	-30	dBm/1MHz
	高調波スプリアスレベル (第 2 高調波/第 3 高調波) 13dBm CW 送信時 ※LC フィルタ回路実装時	—	—	-30	dBm	

## 【受信特性】

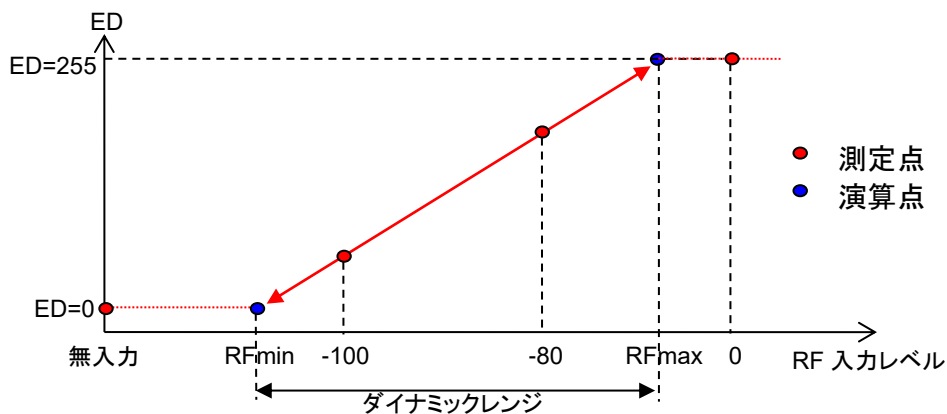
FREF =48MHz、DCDC:ON

項目	条件	最小	標準	最大	単位	
最小受信感度	100kbps モード 中心周波数: 920.7MHz BER<0.1% GFSK、変調周波数偏位: ±50kHz、BT=0.5	—	-106	-97	dBm	
隣接チャンネル選択度 (*1)	Ta=25°C、 100kbps モード 中心周波数: 920.7MHz 希望波: GFSK、変調周波数偏位: ±50kHz、BT=0.5	妨害波: CW +400kHz offset	25	40	—	dB
		妨害波: CW -400kHz offset	22	37	—	dB
ブロッキング (*1)	Ta=25°C、 100kbps モード 中心周波数: 920.7MHz、 希望波: GFSK、変調周波数偏位: ±50kHz、BT=0.5	妨害波: CW 2MHz offset	36	55	—	dB
		妨害波: CW 10MHz offset	41	65	—	dB
最小電力検出(ED 値)レベル	ED 特性図(*2)中の RFmin 100kbps モード 中心周波数: 920.7MHz チャンネルフィルタ帯域=200kHz 設定時	—	-106	-100	dBm	
電力検出範囲	ED 特性図(*2)中のダイナミックレンジ 100kbps モード 中心周波数: 920.7MHz チャンネルフィルタ帯域=200kHz 設定時	55	65	—	dB	
副次発射レベル		—	—	-57	dBm	

\*1. 妨害関連特性の測定条件は以下の通りです。

希望波入力レベルを[BER=0.1%となるレベル(=基準感度)+3dB] とし、妨害波レベルを変動させて BER=0.1%となるレベルを見つけ、 $U/D[\text{dB}] = (\text{妨害波レベル}) - (\text{希望波入力レベル})$  として規定しています。

\*2. ED 特性図を下記に示します。



ED 特性図

## 【ご注意】

基準クロックの通倍や基準クロックの2分周、4分周の通倍付近のチャンネルご使用時は、特性が劣化する場合がございます。



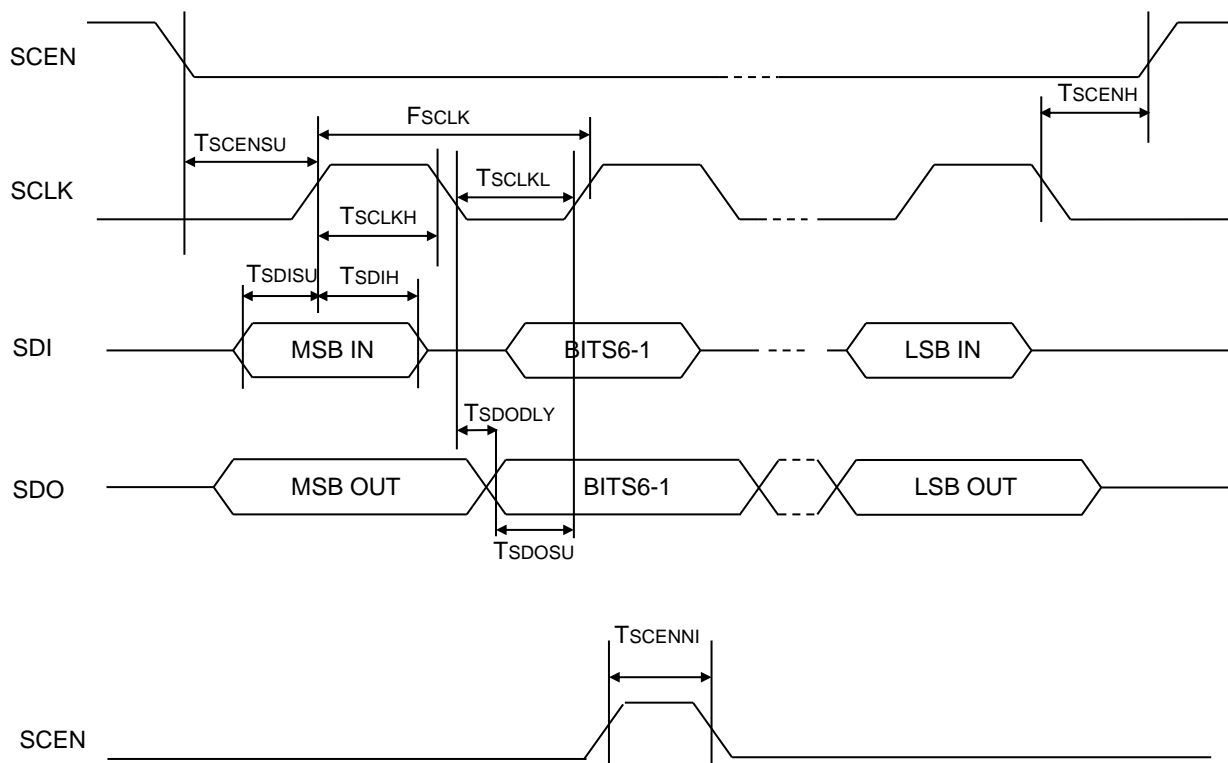
## ●SPI 特性

項目	記号	条件	最小	標準	最大	単位
SCLK クロック周波数	F <sub>SCLK</sub>	負荷容量 CL=20pF	0.032	2	16	MHz
SCEN 入力セットアップ時間	T <sub>SCENSU</sub>		30	—	—	ns
SCEN 入力ホールド時間	T <sub>SCENH</sub>		30	—	—	ns
SCLK ハイパルス幅	T <sub>SCLKH</sub>		31	—	—	ns
SCLK ローパルス幅	T <sub>SCLKL</sub>		31	—	—	ns
SDI 入力セットアップ時間	T <sub>SDISU</sub>		5	—	—	ns
SDI 入力ホールド時間	T <sub>SDIH</sub>		15	—	—	ns
SCEN ネゲート間隔	T <sub>SCENNI</sub>		200	—	—	ns
SDO 出力遅延時間	T <sub>SDODLY</sub>		—	—	25	ns
SDO 出力セットアップ時間	T <sub>SDOSU</sub>		6	—	—	ns

## 【ご注意】

全てのタイミング測定点は、V<sub>DDIO</sub>\*20%とV<sub>DDIO</sub>\*80%のレベルです。

SDO 出力セットアップ時間についてはホストマイコンの仕様を確認の上、決定ください。



## ●送受信データインタフェース特性

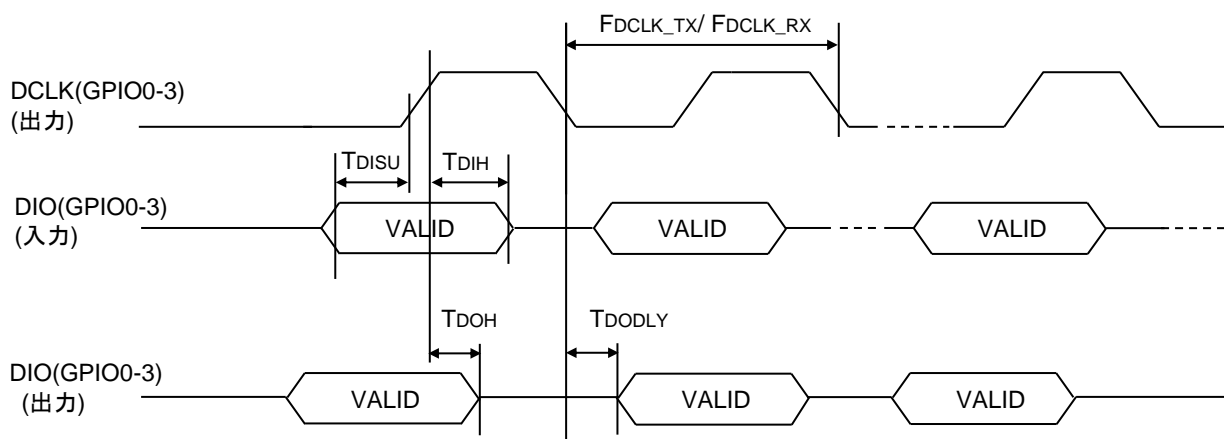
項目	記号	条件	最小	標準	最大	単位
DIO 入力セットアップ時間	T <sub>DISU</sub>	負荷容量 CL=20pF	データレート × 1/4	—	—	μs
DIO 入力ホールド時間	T <sub>DIH</sub>		0	—	—	ns
DIO 出力遅延時間	T <sub>DODLY</sub>		—	—	データレート × 1/10	μs
DIO 出力ホールド時間	T <sub>DOH</sub>		20	—	—	ns
DCLK 周波数精度 (*1) (送信時)	FDCLK_TX		-クロック周 波数偏差	—	+クロック 周波数偏差	kHz
DCLK 周波数精度 (*2) (受信時)	FDCLK_RX		-30	—	+30	%
DCLK 出力デューティ比 (送信時)	DDCLK_TX		45	—	55	%
DCLK 出力デューティ比 (受信時)	DDCLK_RX		30	—	70	%

\*1 送信データレート設定値の計算に小数点が発生しない場合、送信時の DCLK 周波数の最大値および最小値は、基準クロック周波数偏差となります。

\*2 受信時の DCLK 周波数の最小値および最大値は、受信信号に応じて生成される再生クロックのジッタ量(同期確立時)を示します。

## 【ご注意】

全てのタイミング測定点は、V<sub>DDIO</sub>\* 20%と V<sub>DDIO</sub>\*80%のレベルです。



## ●クロック出力特性

本 LSI はクロック出力機能を搭載しております。初期設定では GPIO1 端子より出力されます。

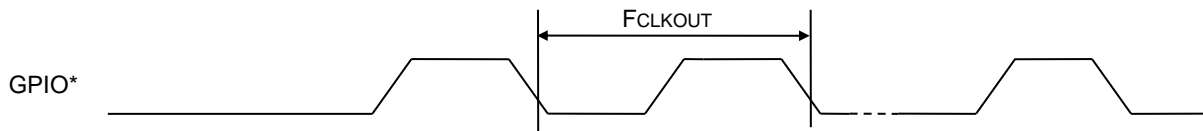
項目	記号	条件	最小	標準	最大	単位
クロック出力周波数	FCLKOUT	負荷容量 CL=20pF	$F_{REF}/8164$ (0.0059) (*2)	$F_{REF}/740$ (0.0649) (*2)	$F_{REF}/2$ (24) (*2)	MHz
クロック出力デューティ比 (*1)	DCLKOUT	負荷容量 CL=20pF	$F_{REF}/2$ (24)	—	75	%
			$F_{REF}/6$ (8) (*2)	—	67	%
			上記以外	50	53	%

\*1  $F_{REF}/2$  に設定した時デューティ比が High:Low = 1:3、 $F_{REF}/6$  に設定したときデューティ比が High:Low = 1:2 となります。

\*2 括弧内の値は  $F_{REF} = 48\text{MHz}$  時の値です。

## 【ご注意】

全てのタイミング測定点は、 $V_{DDIO} * 20\%$  と  $V_{DDIO} * 80\%$  のレベルです。



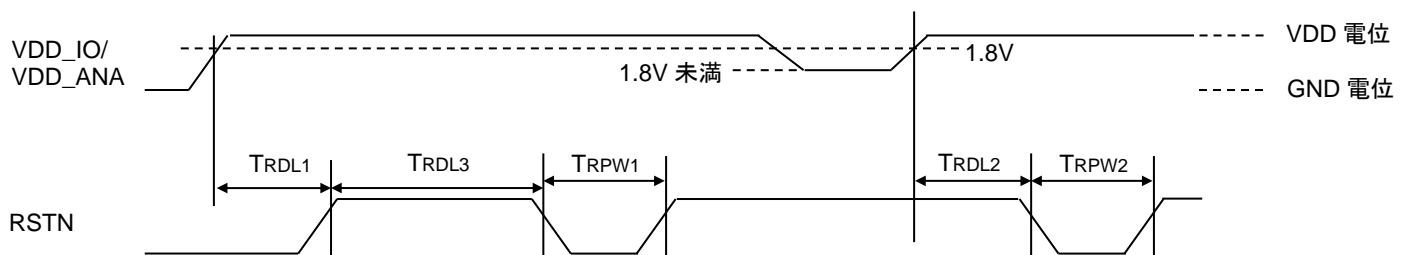
## ●リセット特性

項目	記号	条件	最小	標準	最大	単位
RSTN 解除遅延時間 (パワーオン時)	TRDL1	全電源端子 Power On 後	1	—	—	ms
RSTN パルス時間 (VDD_IO/VDD_ANA=0Vからの起 動時)	TRPW1		0.5	—	—	ms
RSTN パルス時間 2 (*1) (VDD_IO/VDD_ANA≠0Vからの起 動時)	TRPW2		1	—	—	ms
RSTN 入力遅延時間	TRDL2	VDD_IO/VDD_ANA >1.8V 後	1	—	—	μs
電源起動後 RSTN 入力遅延時間 (VDD_IO/VDD_ANA=0Vからの起 動時)	TRDL3	TRDL1 の立ち上がり エッジから、TRPW1 の 立下りエッジまで	100	—	—	μs

(\*1) VDD\_IO/VDD\_ANA≠0Vからの起動時は VDD\_IO/VDD\_ANA が 1.8V を超えてから RSTN 端子に Low パルスを入力してください。

## 【ご注意】

全てのタイミング測定点は、VDDIO\*20%と VDDIO\*80%のレベルです。

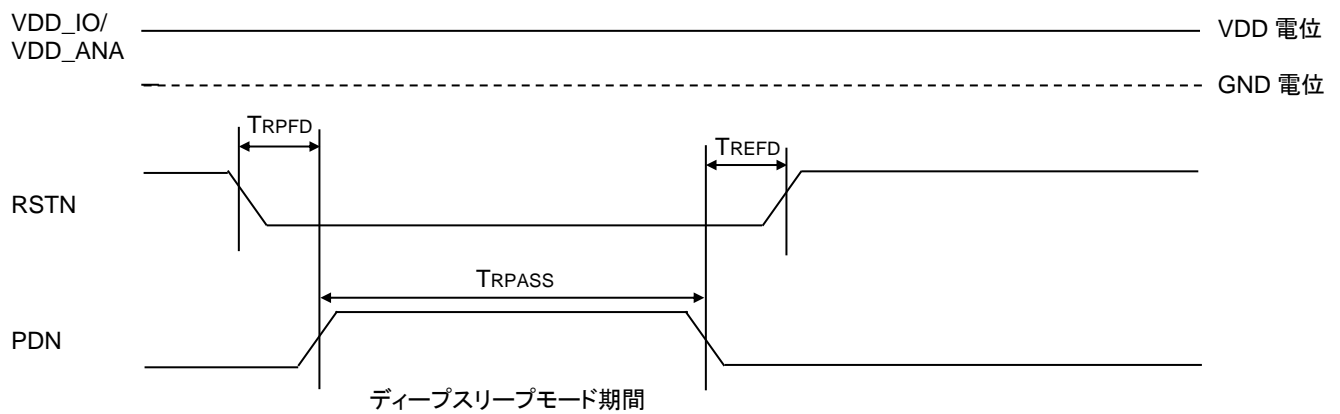


## ●ディープスリープモード特性

項目	記号	条件	最小	標準	最大	単位
PDN 立上り遅延時間	TRPFD	VDD_IO/VDD_ANA ="H"	10	—	—	μs
PDN アサート時間 (ディープスリープモード時間)	TRPASS	VDD_IO/VDD_ANA ="H"	1.2	—	—	ms
RSTN 解除遅延時間	TREFD	VDD_IO/VDD_ANA ="H"	1	—	—	ms

## 【ご注意】

全てのタイミング測定点は、V<sub>DDIO</sub>\*20%とV<sub>DDIO</sub>\*80%のレベルです。

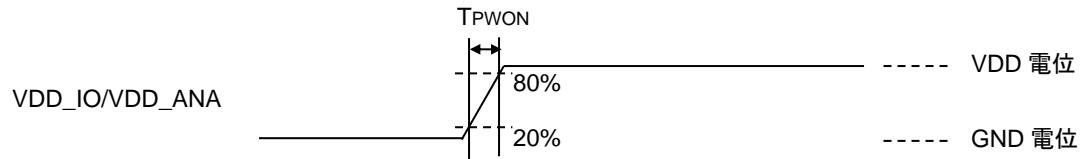


## ●パワーオン特性

項目	記号	条件	最小	標準	最大	単位
電源立上げ時間	TPWON	パワーオン時 (VDD_IO/VDD_ANA 端子)	0.1	—	5	ms

## 【ご注意】

全てのタイミング測定点は、 $V_{DDIO} * 20\%$ と $V_{DDIO} * 80\%$ のレベルです。



## ■ 改版履歴

ドキュメント No.	発行日	ページ		変更内容
		改版前	改版後	
FJDL7425-01	2023/11/13	-	-	初版発行
FJDL7425-02	2024/03/19	1	1	無線局、無線法規の名称を統一
		7-8	7-9	参考回路図の更新および送受共通構成回路図の追加
		12	13	電源電流特性の最大値更新
		22	23	ご注意の文言変更

## ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格<sup>(\*)</sup>、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。  
(\*1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。  
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前にセールスオフィスで最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたらセールスオフィスまでお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2023-2024 LAPIS Technology Co., Ltd.

**ラピステクノロジー株式会社**

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>