



お客様各位

資料中の「ラピステクノロジー」等名称の ローム株式会社への変更

2024 年4 月1 日をもって、ローム株式会社は、100%子会社である
ラピステクノロジー株式会社を吸収合併しました。従いまして、本資料中にあります
「ラピステクノロジー株式会社」、「ラピステクノ」、「ラピス」といった表記に関しましては、
全て「ローム株式会社」に読み替えて適用するものとさせていただきます。
なお、会社名、会社商標、ロゴ等以外の製品に関する内容については、変更はありません。
以上、ご理解の程よろしくお願いいたします。

2024 年4 月1 日
ローム株式会社

ML7436N

MCU 内蔵 Sub-GHz/2.4GHz 狭帯域/広帯域 RF トランシーバ IC

■1. 概要

ML7436N は、MCU 部と RF 部を 1 チップに集積したサブ GHz/2.4GHz 狭帯域/広帯域無線通信用 LSI です。特長を以下に示します。

●製品名 ML7436N-480ATB

●用途 リモートコントロール
ホーム、ビルセキュリティ
センサーネットワーク
スマートメータ

◆ RF 部

- 対応規格
 - ◇ ARIB STD-T66, T67, T108
 - ◇ ETSI EN 300 220(Europe)
- 対応 RF 周波数
 - ◇ 389~550MHz 帯
 - ◇ 778~1100MHz 帯
 - ◇ 2.4GHz 帯
- フラクショナル N 型 PLL の直接変調方式により高精度変調を実現
- 変調方式: 4GFSK/4GMSK、GFSK/GMSK、4FSK/FSK/MSK (MSK は変調度 $m=0.5$ の FSK を示します。)
- データ転送スピード: 1.2k~300 kbps
- NRZ、マンチェスタ符号化、3 out of 6 符号化機能搭載
- データ Whitening 機能搭載
- 帯域可変チャネルフィルタ機能搭載
- 周波数偏位可変機能搭載
- 送信/受信データの極性反転機能搭載
- TCXO 直接入力に対応
- 発振回路端子の負荷容量調整機能搭載
- 低速クロック補正補助機能搭載
- 周波数微調整機能搭載(フラクショナル N 型 PLL の採用により周波数の微調整可能)
- 送信 PA を内蔵し、パワー制御機能搭載
- 20mW /10mW/1mW 切替機能
- 送信パワー微調整機能搭載 ($\pm 0.2\text{dB}$)
- 送信パワーの自動ランプ制御搭載
- 外付け PA 制御機能搭載
- 受信電界強度(RSSI)通知機能および閾値判定機能搭載
- 高速電波チェック機能搭載
- FEC 機能搭載
- AFC 機能搭載(フラクショナル N 型 PLL 周波数調整による IF 周波数自動調整)
- アンテナダイバーシティ機能搭載
- 自動 WakeUP、自動 SLEEP 機能搭載
- 汎用タイマ搭載(2 系統)
- テストパタンジェネレータ搭載 (PN9、CW、01 パターン、ALL "1"、ALL "0"出力対応)
- パケットモード機能搭載
 - ◇ IEEE802.15.4g パケットフォーマット対応(Format C)
 - ◇ Wireless M-Bus パケットフォーマット対応(Format A/B)
 - ◇ 汎用パケットフォーマット対応(Format C/D)
 - ◇ 最大 255 バイト(Format A/B)、2047 バイト(Format C/D)のパケット長に対応
 - ◇ 送信 FIFO (256Byte) 内蔵、受信 FIFO (256Byte) 内蔵
 - ◇ 検出プリアンブルパターン設定機能 (最大 4Byte)
 - ◇ 送信プリアンブル長設定機能 (最大 16383Byte)

- ✧ SyncWord 設定機能（最大 4Byte x 2 面）
- ✧ プログラマブル CRC 機能（CRC32/CRC16/CRC8 選択可、任意の生成多項式対応）
- ✧ アドレスチェック機能（最大 13Byte x 3）
 - Wireless M-Bus の C-field/M-field/A-field
 - IEEE802.15.4g: PANID/SHORT アドレス/64bit アドレス

◆ MCU 部

- 業界標準 CPU コア Arm®Cortex®-M3 搭載 ※最大動作周波数 81MHz
 - ◇ メモリプロテクションユニット (MPU)
 - ◇ SysTick タイマ
 - ◇ ネスト型割り込みコントローラ(NVIC)
 - ◇ エンベデッドトレースマクロ(ETM)
- 1MB Flash メモリ搭載
 - ◇ 512KB×2BANK 構成
 - ◇ 1Mbyte 中 32KB をデータ領域として使用可能
 - ◇ 書き換え回数プログラム領域 1,000 回/データ領域 100,000 回、データ保持年数 10 年
 - ◇ 書き込み保護/読出し保護機能搭載 (Flash Control)
- 256KB RAM 搭載(マルチバンク構成、BANK 毎に低消費電力モード時のデータ保持・非保持選択可能、最小 1KB リテンション)
 - ◇ 256KB 中 32KB は ECC 機能付き
- 真正乱数生成回路搭載 (TRNG)
- 暗号処理回路搭載(CRYPTO)
 - ◇ AES(128/192/256 ビット、ECB/CBC/CFB/OFB/CTR/CCM/GCM/GMAC モード)
 - ◇ SHA-1/SHA-224/SHA-256
- セキュアキーストレージ搭載
- 調歩同期式シリアルインターフェース(UART)搭載 ※最大 3ch
- 同期式シリアルインターフェース(SPI)搭載 ※最大 3ch(うち 1ch(SPI2)は内蔵 RF チップ制御兼用)
- RF 制御用送受信データインターフェース (DIO) ※最大 1ch
- ウォッチドッグタイマ搭載 (WDT)
- 汎用 IO 搭載(GPIO)
- 32 ビット汎用タイマ搭載 ※4ch(Timer)
- リアルタイム RTC 搭載
- 32 ビットフレキシブルタイマ(オートリロード/コンペア/PWM/キャプチャモード)搭載(FTM) 6ch
- I2C 搭載
Standard-Mode(100kHz)/ Fast-Mode(400kHz)/ Fast-Mode+(1MHz)/High Speed-Mode(3.4MHz)
- DMA コントローラ搭載(8ch)
- SWD 搭載(2 線式の Serial Wire Debug Port)
- XTAL OSC 搭載 ※32.768KHz
- PLL 搭載 ※32.768KHz (水晶発振器) ~2475 通倍、または、64.864MHz (RF チップ内で生成) ~1249 通倍
- ADC 搭載 ※10 ビット逐次比較型、120ksps、1ch (PKG オプションにより 3ch に拡張可能)
- パワーオンリセット回路搭載
- 起動用 RC 発振器搭載

◆ 電源電圧 2.6V ~ 3.6V

◆ 動作温度 -40°C ~ 85°C (動作保証)

◆ 消費電流

送信時	20mW	28.8mA (CPU=1.26MHz)
	1mW	12.8mA (CPU=1.26MHz)
受信時		11.6mA (RF 部 DCDC 使用時)

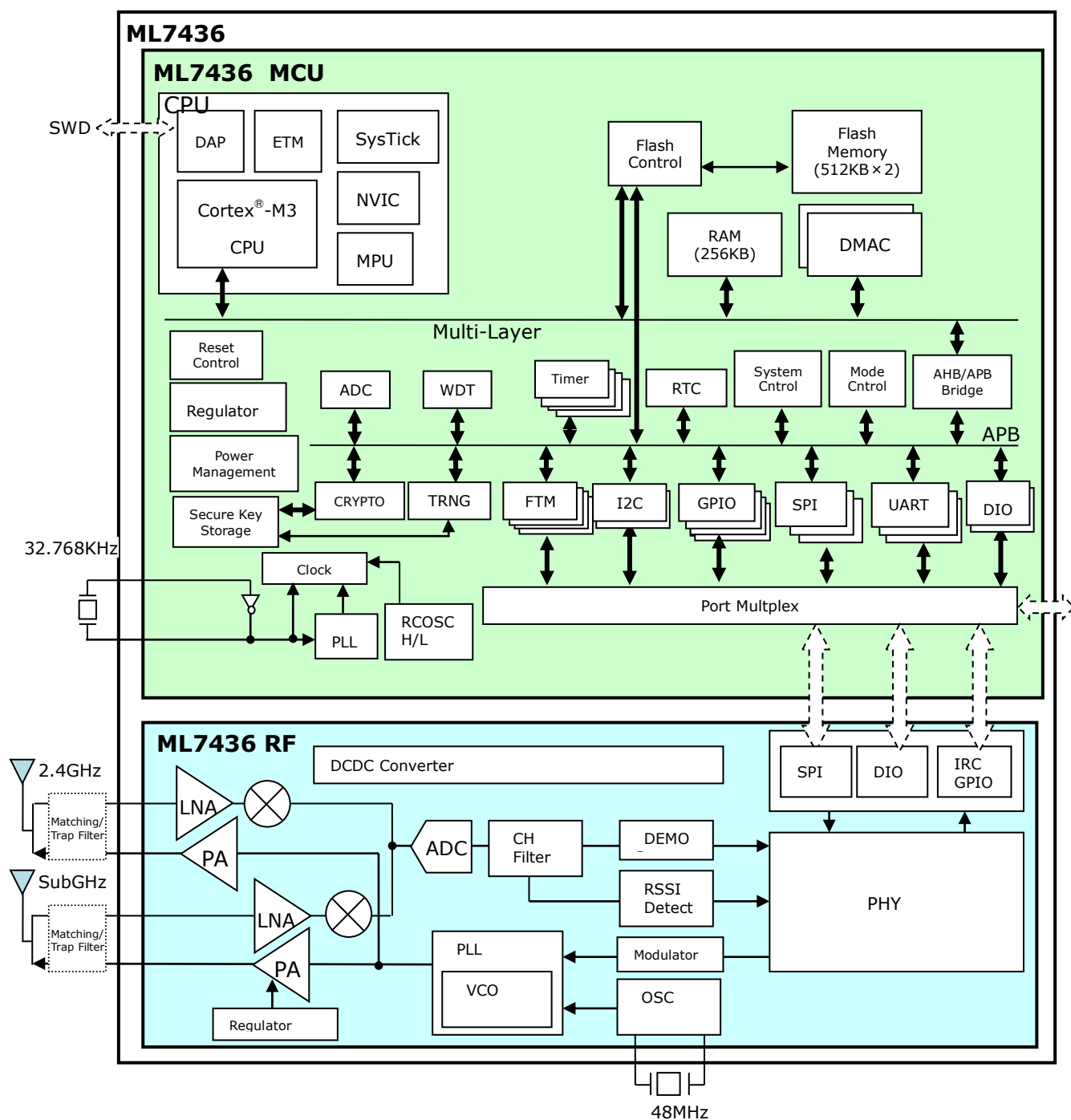
◆ パッケージ

48 ピン TQFP

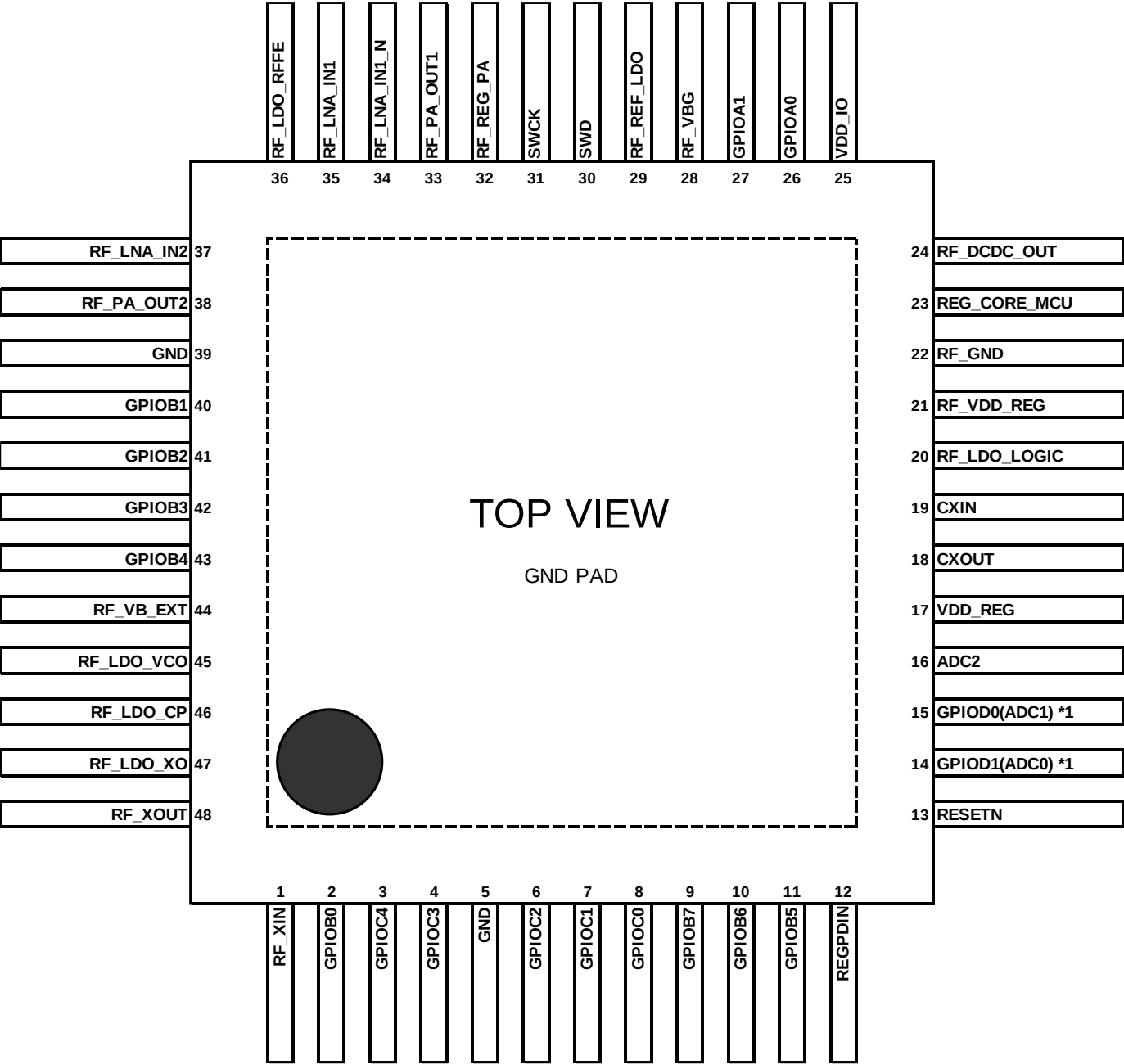
鉛フリー RoHS 準拠

Arm®, Thumb, Cortex®, AHB, APB は、Arm Limited の EU 及びその他の国における登録商標または商標です。

■2. ブロック図



■3. 端子配置



(*1) PKG オプションにより ADC 端子(ADC0/1)に変更可能です。

表 3-1. 端子一覧 (48 ピン PKG)

端子番号	端子名	1 次機能	2 次機能	3 次機能	4 次機能	5 次機能	6 次機能	7 次機能
1	RF_XIN	RF_XIN	-	-	-	-	-	-
2	GPIOB0	GPIOB0	RF_GPIO2	-	FTMA	-	-	CLKOUT
3	GPIOC4	GPIOC4	UART0 RXD	SPI1 MISO	SPI01 MISO	I2C0 SCL	-	RF_SDO
4	GPIOC3	GPIOC3	UART0 TXD	SPI1 MOSI	SPI01 MOSI	I2C0 SDA	RF_GPIO4	RF_SDI
5	GND	GND	-	-	-	-	-	-
6	GPIOC2	GPIOC2	UART1 RXD	SPI1 SCK	SPI01 SCK	I2C1 SCL	RF_GPIO5	RF_SCK
7	GPIOC1	GPIOC1	UART1 TXD	SPI1 SSN	FTMF	I2C1 SDA	I2C0 SDA	RF_SCEN
8	GPIOC0	GPIOC0	UART2 RXD	SPI0 SSN	FTME	I2C0 SCL	-	RF_SDO
9	GPIOB7	GPIOB7	UART2 TXD	SPI0 MISO	FTMD	I2C0 SDA	I2C1 SDA	RF_SDI
10	GPIOB6	GPIOB6	UART0 RXD	SPI0 MOSI	FTMC	I2C1 SCL	-	RF_SCK
11	GPIOB5	GPIOB5	UART0 TXD	SPI0 SCK	FTMB	I2C1 SDA	-	RF_SCEN
12	REGPDIN	REGPDIN	-	-	-	-	-	-
13	RESETN	RESETN	-	-	-	-	-	-
14	GPIOD1(ADC0) (注 1)	GPIOD1	UART0 CTS	-	FTMF	I2C1 SCL	-	-
15	GPIOD0(ADC1) (注 1)	GPIOD0	UART0 RTS	-	FTME	I2C1 SDA	-	-
16	ADC2	-	-	-	-	-	-	-
17	VDD_REG	-	-	-	-	-	-	-
18	CXOUT	CXOUT	-	-	-	-	-	-
19	CXIN	CXIN	-	-	-	-	-	-
20	RF_LDO_LOGIC	RF_LDO_LOGIC	-	-	-	-	-	-
21	RF_VDD_REG	RF_VDD_REG	-	-	-	-	-	-
22	RF_GND	RF_GND	-	-	-	-	-	-
23	REG_CORE_MCU	REG_CORE_MCU	-	-	-	-	-	-
24	RF_DCDC_OUT	RF_DCDC_OUT	-	-	-	-	-	-
25	VDD_IO (RF/MCU)	VDD_IO (RF/MCU)	-	-	-	-	-	-
26	GPIOA0	GPIOA0	RF_GPIO1	SPI2 MISO	FTMC	I2C0 SDA	ETM TRACEDATA0	-
27	GPIOA1	GPIOA1	RF_GPIO0	SPI2 SSN	FTMD	I2C0 SCL	ETM TRACECLK	-
28	RF_VBG	RF_VBG	-	-	-	-	-	-
29	RF_REF_LDO	RF_REF_LDO	-	-	-	-	-	-
30	SWD	SWD	GPIOA2	SPI2 MOSI	FTMB	I2C1 SCL	-	-
31	SWCK	SWCK	GPIOA3	SPI2 SCK	FTMA	I2C1 SDA	-	-
32	RF_REG_PA	RF_REG_PA	-	-	-	-	-	-
33	RF_PA_OUT1	RF_PA_OUT1	-	-	-	-	-	-
34	RF_LNA_IN1_N	RF_LNA_IN1_N	-	-	-	-	-	-
35	RF_LNA_IN1	RF_LNA_IN1	-	-	-	-	-	-
36	RF_LDO_RFFE	RF_LDO_RFFE	-	-	-	-	-	-
37	RF_LNA_IN2	RF_LNA_IN2	-	-	-	-	-	-
38	RF_PA_OUT2	RF_PA_OUT2	-	-	-	-	-	-
39	GND	-	-	-	-	-	-	-

40	GPIOB1	GPIOB1	UART2 TXD	SPI0 SSN	FTMD	I2C0 SCL	-	RF_RESET
41	GPIOB2	GPIOB2	UART2 RXD	SPI0 MISO	FTMC	I2C0 SDA	I2C1 SDA	RF_REGPDIN
42	GPIOB3	GPIOB3	UART1 TXD	SPI0 MOSI	FTMB	I2C1 SCL	I2C0 SCL	RF_GPIO2
43	GPIOB4	GPIOB4	UART1 RXD	SPI0 SCK	FTMA	I2C1 SDA	-	RF_GPIO3
44	RF_VB_EXT	RF_DSM_VREF	-	-	-	-	-	-
45	RF_LDO_VCO	RF_VB_EXT	-	-	-	-	-	-
46	RF_LDO_CP	RF_LDO_VCO	-	-	-	-	-	-
47	RF_LDO_XO	RF_LDO_CP	-	-	-	-	-	-
48	RF_XOUT	RF_XOUT	-	-	-	-	-	-

(注 1) PKG オプションにより ADC 端子に変更可能です。GPIOD1/0 構成の PKG 品のみ 1～6 次機能を使用可能です。ADC0/1 構成の PKG 品では ADC 用アナログ入力専用端子となります。

■4. 端子説明

入出力定義

I	:デジタル入力端子
O	:デジタル出力端子
Is	:デジタル入力端子（シュミットトリガ入力）
OD	:デジタル出力端子（オープンドレイン出力）
OA	:アナログ出力端子
OAH	:アナログ出力端子 2
IA	:アナログ入力端子
IOA	:アナログ入力出力端子
IRF	:RF 入力端子
ORF	:RF 出力端子
IOSL	:32.768KHz 発振回路入力端子
OOSL	:32.768KHz 発振回路出力端子

入出力属性定義

I	:入力
O	:出力
oZ	:ハイインピーダンス出力

4-1. 電源/GND

端子名	入出力	アクティブ レベル	リセット時 属性/値	機能説明
VDDIO	電源	-	-	デジタル IO 用電源端子(2.6~3.6V)(MCU/RF 共通)
RF_GND	グランド	-	-	RF 系グランド端子
GND	グランド	-	-	共通グランド端子

4-2. レギュレータインタフェース

端子名	入出力	アクティブ レベル	リセット時 属性/値	機能説明
REGPDIN	I	H	I / -	レギュレータパワーダウン端子(通常動作時 L 固定)
VDD_REG	電源	-	-	レギュレータ電源電圧供給端子(Typ: 3.3V)(MCU・RF 共通)
REG_CORE_MCU	-	-	-	レギュレータ出力電源電圧端子(Typ: 1.2V) (MCU 部)
RF_VBG	-	-	-	バイパスコンデンサ接続端子 (RF 部)
RF_DCDC_OUT	-	-	-	スイッチングレギュレータ出力
RF_VDD_REG	-	-	-	スイッチングレギュレータからのフィードバック入力およびリニアレギュレータへの電源入力端子(RF 部)
RF_REG_PA	-	-	-	PA レギュレータ出力(RF 部)
RF_REF_LDO	-	-	-	リニアレギュレータ基準電圧出力(RF 部)
RF_LDO_RFFE	-	-	-	RFFE 回路用リニアレギュレータ出力(RF 部)
RF_LDO_CPO	-	-	-	CP 回路用リニアレギュレータ出力(RF 部)
RF_LDO_VCO	-	-	-	VCO 回路用リニアレギュレータ出力(RF 部)
RF_LDO_XO	-	-	-	発振回路用リニアレギュレータ出力(RF 部)
RF_LDO_LOGIC	-	-	-	ロジック回路用リニアレギュレータ出力(RF 部)

4-3. RF インターフェース

端子名	入出力	アクティブ レベル	リセット時 属性/値	機能説明
RF_PA_OUT1	O _{RF}	-	-	RF アンテナ出力端子(160M~920MHz)
RF_LNA_IN1	I _A	-	I / -	RF アンテナ入力端子(160M~920MHz)
RF_LNA_IN1_N	I _A	-	I / -	RF アンテナ入力端子(160M~920MHz)
RF_PA_OUT2	O _{RF}	-	-	RF アンテナ出力端子(2.4GHz)
RF_LNA_IN2	I _A	-	I / -	RF アンテナ入力端子(2.4GHz)
RF_VB_EXT	I _{OA}	-	-	内部バイアス平滑容量接続端子

4-4. MCU インターフェース

端子名	入出力	アクティブ レベル	リセット時 属性/値	機能説明
GPIOA0	I/O	-	oZ / -	1 次機能：汎用端子(GPIOA0)
	O	-	-	2 次機能：RF 汎用端子(RF_GPIO1)(クロック出力)
	I/O	-	-	3 次機能：SPI2 MISO
	I/O	-	-	4 次機能：フレキシブルタイマ C I/O (FTMC_IO)
	I/O _D	-	-	5 次機能：I2C0 シリアルデータ信号(I2C0 SDA)
	O	-	-	6 次機能：ETM TRACEDATA0
GPIOA1	I/O	-	oZ / -	1 次機能：汎用端子(GPIOA1)
	O	-	-	2 次機能：RF 汎用端子(RF_GPIO0)(SINTN)
	I/O	L	-	3 次機能：SPI2 SSN
	I/O	-	-	4 次機能：フレキシブルタイマ D I/O (FTMD_IO)
	I/O _D	-	-	5 次機能：I2C0 シリアルクロック(I2C0 SCL)
	O	-	-	6 次機能：ETM TRACECLK
SWD	I/O	-	I / -	1 次機能：シリアルワイヤデバッグポートデータ(SWD)
	I/O	-	-	2 次機能：汎用端子(GPIOA2)
	I/O	-	-	3 次機能：SPI2 MOSI
	I/O	-	-	4 次機能：フレキシブルタイマ B I/O (FTMB_IO)
	I/O _D	-	-	5 次機能：I2C1 シリアルクロック(I2C1 SCL)
SWCK	I/O	-	I / -	1 次機能：シリアルワイヤデバッグポートクロック(SWCK)
	I/O	-	-	2 次機能：汎用端子(GPIOA3)
	I/O	-	-	3 次機能：SPI2 SCK
	I/O	-	-	4 次機能：フレキシブルタイマ A I/O (FTMA_IO)
	I/O _D	-	-	5 次機能：I2C1 シリアルデータ信号(I2C1 SDA)
GPIOB0	I/O	-	I / -	1 次機能：汎用端子(GPIOB0) 電源投入/端子リセット時は起動モードの判定に使用します。 電源投入/端子リセット時=L レベルの時、通常モード起動 電源投入/端子リセット時=H レベルの時、ISP モード起動
GPIOB1	I/O	-	oZ / -	1 次機能：汎用端子(GPIOB1)
	O	L	-	2 次機能：UART2 送信データ(UART2_TXD)
	I/O	L	-	3 次機能：SPI0 SSN
	I/O	-	-	4 次機能：フレキシブルタイマ D I/O (FTMD_IO)
	I/O _D	-	-	5 次機能：I2C0 シリアルクロック(I2C0 SCL)

端子名	入出力	アクティブ レベル	リセット時 属性/値	機能説明
GPIOB2	I/O	-	oZ / -	1 次機能：汎用端子(GPIOB2)
	I	-	-	2 次機能：UART2 受信データ(UART1_TXD)
	I/O	-	-	3 次機能：SPI0 MISO
	I/O	-	-	4 次機能：フレキシブルタイマ C I/O (FTMC_IO)
	I/O _D	-	-	5 次機能：I2C0 シリアルデータ信号(I2C0 SDA)
	I/O _D	-	-	6 次機能：I2C1 シリアルデータ信号(I2C1 SDA)
GPIOB3	I/O	-	oZ / -	1 次機能：汎用端子(GPIOB3)
	O	-	-	2 次機能：UART1 送信データ(UART1_TXD)
	I/O	-	-	3 次機能：SPI0 MOSI
	I/O	-	-	4 次機能：フレキシブルタイマ B I/O (FTMB_IO)
	I/O _D	-	-	5 次機能：I2C1 シリアルクロック(I2C1 SCL)
	I/O _D	-	-	6 次機能：I2C0 シリアルクロック(I2C0 SCL)
GPIOB4	I/O	-	oZ / -	1 次機能：汎用端子(GPIOB4)
	I	-	-	2 次機能：UART1 受信データ(UART1_RXD)
	I/O	-	-	3 次機能：SPI0 SCK
	I/O	-	-	4 次機能：フレキシブルタイマ A I/O (FTMA_IO)

	I/O _D	-	-	5 次機能 : I2C1 シリアルデータ (I2C1_SDA)
GPIOB5	I/O	-	oZ / -	1 次機能 : 汎用端子(GPIOB5)
	O	-	-	2 次機能 : UART0 送信データ (UART0_TXD)
	I/O	-	-	3 次機能 : SPI0 SCK ※ISP モードで使用
	I/O	-	-	4 次機能 : フレキシブルタイマ B I/O (FTMB_IO)
	I/O _D	-	-	5 次機能 : I2C1 シリアルデータ (I2C1_SDA)
GPIOB6	I/O	-	oZ / -	1 次機能 : 汎用端子(GPIOB6)
	I	-	-	2 次機能 : UART0 受信データ (UART0_RXD)
	I/O	-	-	3 次機能 : SPI0 MOSI ※ISP モードで使用
	I/O	-	-	4 次機能 : フレキシブルタイマ C I/O (FTMC_IO)
	I/O _D	-	-	5 次機能 : I2C1 シリアルクロック (I2C1_SCL)
GPIOB7	I/O	-	oZ / -	1 次機能 : 汎用端子(GPIOB7)
	O	-	-	2 次機能 : UART2 送信データ (UART2_TXD)
	I/O	-	-	3 次機能 : SPI0 MISO ※ISP モードで使用
	I/O	-	-	4 次機能 : フレキシブルタイマ D I/O (FTMD_IO)
	I/O _D	-	-	5 次機能 : I2C0 シリアルデータ信号 (I2C0_SDA)
	I/O _D	-	-	6 次機能 : I2C1 シリアルデータ信号 (SDA)

端子名	入出力	アクティブ レベル	リセット時 属性/値	機能説明
GPIOC0	I/O	-	oZ / -	1 次機能 : 汎用端子(GPIOC0)
	I	-	-	2 次機能 : UART2 受信データ (UART2_RXD)
	I/O	L	-	3 次機能 : SPI0 スレーブ選択 (SPI0_SSN) ※ISP モードで使用
	I/O	-	-	4 次機能 : フレキシブルタイマ E I/O (FTME_IO)
	I/O _D	-	-	5 次機能 : I2C0 シリアルクロック (I2C0_SCL)
GPIOC1	I/O	-	oZ / -	1 次機能 : 汎用端子(GPIOC1)
	O	-	-	2 次機能 : UART1 送信データ (UART1_TXD)
	I/O	L	-	3 次機能 : SPI1 スレーブ選択 (SPI1_SSN)
	I/O	-	-	4 次機能 : フレキシブルタイマ F I/O (FTMF_IO)
	I/O _D	-	-	5 次機能 : I2C1 シリアルデータ (I2C1_SDA)
	I/O _D	-	-	6 次機能 : I2C0 シリアルデータ (I2C0_SDA)
GPIOC2	I/O	-	oZ / -	1 次機能 : 汎用端子(GPIOC2)
	I	-	-	2 次機能 : UART1 受信データ信号 (UART1_RXD)
	I/O	-	-	3 次機能 : SPI1 シリアルクロック (SPI1_SCK)
	I/O	-	-	4 次機能 : SPI0/SPI1 共用シリアルクロック (SPI01_SCK)
	I/O _D	-	-	5 次機能 : I2C1 シリアルクロック (I2C1_SCL)
GPIOC3	I/O	-	oZ / -	1 次機能 : 汎用端子(GPIOC3)
	O	-	-	2 次機能 : UART0 送信データ信号 (UART1_TXD)
	I/O	-	-	3 次機能 : SPI1 マスタ出力/スレーブ入力 (SPI1_MOSI)
	I/O	-	-	4 次機能 : SPI0/SPI1 共用 MOSI (SPI01_MOSI)
	I/O _D	-	-	5 次機能 : I2C1 シリアルデータ信号 (I2C1_SDA)
GPIOC4	I/O	-	oZ / -	1 次機能 : 汎用端子(GPIOC4)
	O	L	-	2 次機能 : UART0 受信データ (UART0_RXD)
	I/O	-	-	3 次機能 : SPI1 マスタ入力/スレーブ出力 (SPI1_MISO)
	I/O	-	-	4 次機能 : SPI0/SPI1 共用マスタ入力/スレーブ出力 (SPI01_MISO)
	I/O _D	-	-	5 次機能 : I2C0 シリアルクロック (I2C0_SCL)

端子名	入出力	アクティブレベル	リセット時属性/値	機能説明
GPIOD0	I/O	-	oZ / -	1 次機能：汎用端子(GPIOD0)
	O	L	-	2 次機能：UART0 送信要求(UART0_RTS)
	I/O	-	-	4 次機能：フレキシブルタイマ E I/O (FTME_IO)
	I/O _D	-	-	5 次機能：I2C1 シリアルデータ信号(I2C0_SDA)
GPIOD1	I/O	-	oZ / -	1 次機能：汎用端子(GPIOD1)
	I	L	-	2 次機能：UAR01 送信許可(UART0_CTS)
	I/O	-	-	4 次機能：フレキシブルタイマ F I/O (FTMF_IO)
	I/O _D	-	-	5 次機能：I2C1 シリアルクロック(I2C0_SCL)

4-5. その他

端子名	入出力	アクティブレベル	リセット時属性/値	機能説明
RESETN	Is	L	I / -	ハード RESET 端子
RF_XIN	IA	P or N	I / -	48MHz 水晶振動子接続端子(RF 部)
RF_XOUT	OA	P or N	-	48MHz 水晶振動子接続端子 (RF 部)
CXIN	Ios	P or N	I	32.768kHz 水晶発振子接続端子 (入力) (MCU 部)
CXOUT	Oos	P or N	O	32.768kHz 水晶発振子接続端子 (出力) (MCU 部)
ADC2	IA	-	I / -	ADC 入力端子

4-6. 未使用端子の処理

端子未使用時の処理方法を示します。

端子名	推奨端子処理
REGPDIN	GND 接続
SWCK/SWD	プルダウンまたはプルアップ(注 2)
GPIOB0	プルダウンまたは L 固定(注 1)
GPIO*(上 記 端 子 を除く)	オープン
ADC2	オープン
XIN	オープン(TCXO 使用時)

(注 1)

GPIOB0 は電源投入時に端子レベルが L レベルで安定するよう GND に接続するか、出来るだけ小さい抵抗値のプルダウン抵抗を接続してください。

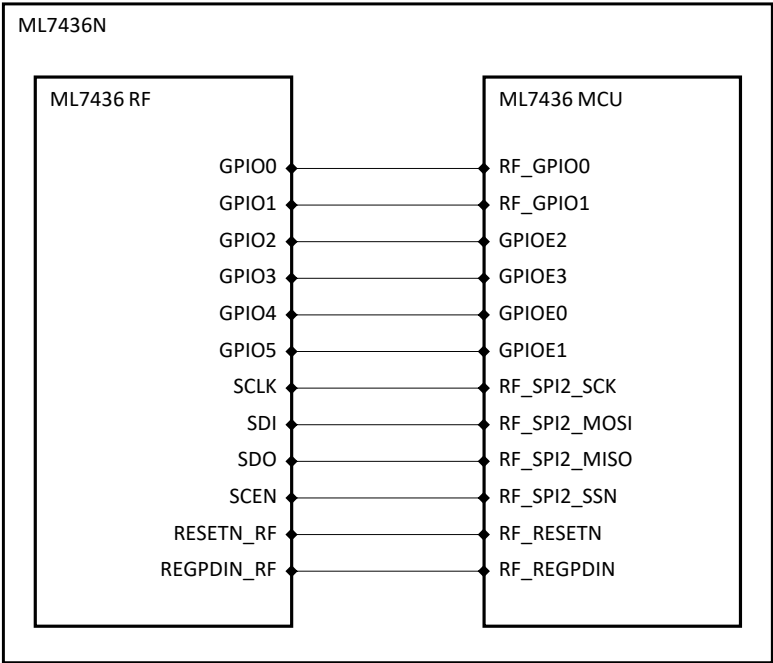
(注 2)

不定状態が LSI 内部に入力されないようプルダウンまたはプルアップ抵抗を接続してください。

4-7. 内部端子

本商品は RF 部と MCU 部の 2 チップで構成されています。
本項ではパッケージ内部の端子について説明します。

パッケージ内部の各チップの接続を下図に示します。



4-7-1. MCU 部

端子名	入出力	アクティブ レベル	リセット時 属性/値	機能説明
RF_GPIO0	I	-	oZ / -	1 次機能：外部割込み入力端子 (EXTINT 機能割当時)
	I/O	-	-	4 次機能：汎用端子(GPIOF0)
RF_GPIO1	I	-	oZ / -	1 次機能：外部割込み入力端子 (EXTINT 機能割当時)
	I/O	-	-	4 次機能：汎用端子(GPIOF1)
GPIOE2	I	-	oZ / -	1 次機能：外部割込み入力端子 (EXTINT 機能割当時)
	I/O	-	-	4 次機能：汎用端子(GPIOF2)
GPIOE3	I	-	oZ / -	1 次機能：外部割込み入力端子 (EXTINT 機能割当時)
	I/O	-	-	4 次機能：汎用端子(GPIOF3)
GPIOE0	I	-	oZ / -	1 次機能：外部割込み入力端子 (EXTINT 機能割当時)
	I/O	-	-	2 次機能：DIO0 DATA
	I/O	-	-	4 次機能：汎用端子(GPIOF4)
GPIOE1	I	-	oZ / -	1 次機能：外部割込み入力端子 (EXTINT 機能割当時)
	I	-	-	2 次機能：DIO0 CLK
	I/O	-	-	4 次機能：汎用端子(GPIOF5)
RF_SPI2_SCK	I/O	-	O/L	1 次機能：SPI2 SCK

RF_SPI2_MOSI	I/O	-	O/L	1 次機能 : SPI2 MOSI
	I/O	-	-	2 次機能 : DIO0 DATA
RF_SPI2_MISO	I/O	-	oZ / -	1 次機能 : SPI2 MISO
	I	-	-	2 次機能 : DIO0 CLK
RF_SPI2_SSN	I/O	-	O/H	1 次機能 : SPI2 SSN
RF_RESETN	O	-	O/L	RF チップ リセット制御端子
RF_REGPDIN	O	-	O/L	RF チップ レギュレータパワーダウン制御端子

4-7-2. RF 部

端子名	入出力	アクティブ レベル	RF リセット 中	RF リセット 解除後初期値	端子機能
GPIO0	I/O	H or L or OD	oZ/-	O/L	デジタル入出力端子 初期機能: 割込み通知信号出力
GPIO1	I/O	H or L or OD	oZ/-	O/Clock	デジタル入出力端子 初期機能: クロック出力
GPIO2	I/O	H or L or OD	oZ/-	O/Clock	デジタル入出力端子 初期機能: アンテナ切り替え制御信号出力
GPIO3	I/O	H or L or OD	oZ/-	O/L	デジタル入出力端子 初期機能: 送受信切替信号出力
GPIO4	I/O	H or L or OD	oZ/-	O/L	デジタル入出力端子 初期機能: データ(DIO DATA)
GPIO5	I/O	H or L or OD	oZ/-	O/H	デジタル入出力端子 初期機能: データ(DIO DCLK)
SCLK	Is	-	oZ/-	I	SPI クロック入力端子
SDI	Is	-	oZ/-	I	SPI データ入力端子 または DIO DATA 端子
SDO	O	-	oZ/-	I	SPI データ出力端子 または DCLK 出力端子 ※初期設定では入力(OpenDrain 出力)に設定されています。SDO 端子を常時出力端子として使用する場合は、SPI リード前に SDO_OD([SPI/EXT_PA_CTRL: B0 0x53(7)]) を 0b0 に設定してください。
SCEN	Is	L	oZ/-	I	SPI チップイネーブル端子 L: イネーブル H: ディセーブル
RESETN_RF	Is	L	I	I	リセット端子 L: 初期化、停止 H: 動作 ※本端子を“L”とすると LSI 内部が全て初期化されます。RF ディープスリープ時本端子を“L”と設定してください。
REGPDIN_RF	Is	H	I	I	レギュレータパワーダウン制御端子 ※通常動作時は、“L”固定入力としてください。RF ディープスリープ時は“H”設定してください。

4-7-3. 未使用端子の処理(内部端子)

未使用端子の処理

端子名称	推奨端子処理
RF 部 GPIO0	MCU 部 RF_GPIO0=oZ(default)
RF 部 GPIO1	MCU 部 RF_GPIO1=oZ(default)
RF 部 GPIO2	MCU 部 GPIOE2=oZ(default)
RF 部 GPIO3	MCU 部 GPIOE3=oZ(default)
RF 部 GPIO4	MCU 部 GPIOE0=oZ(default)
RF 部 GPIO5	MCU 部 GPIOE1=oZ(default)

<ご注意>

*1. GPIO1 端子は初期状態はクロック出力(CLK_OUT 機能)となっています。本機能を使用しない場合は、[GPIO1_CTRL: B0 0x4F]の bit2-0 を 0b000 に設定し、クロック出力を停止してください。クロック出力のままオープン状態とすると受信感度劣化を招く恐れがあります。

■5. 電気的特性

5-1. 絶対最大定格

特記事項がない場合、Ta=40 to +85℃、GND=0V の値となります。

項目	記号	条件	定格値	単位
I/O 電源電圧 (*1)	VDDIO	—	-0.3~+4.6	V
RF 入力レベル	PRFI	受信時のアンテナ端	0	dBm
RF 出力電圧	VRFO	—	-0.3~+4.6	V
デジタル入力電圧	VDIN	—	-0.3~5.8	V
アナログ入力電圧 (*2)	VAIN	—	-0.3~1.8	V
デジタル出力電圧	VDO	—	-0.3~4.6	V
アナログ出力電圧(*3)	VAO	—	-0.3~1.8	V
アナログ出力電圧 2	VAO2	—	-0.3~4.6	V
デジタル入力電流	IDI	—	-10~+10	mA
アナログ入力電流 (*2)	IAI	—	-2~+2	mA
デジタル出力電流	IDO	—	-8~+8	mA
アナログ出力電流(*3)	IAO	—	-2~+2	mA
アナログ出力電流 2	IAO2	—	-2~+2	mA
許容損失	PD	Ta=+25℃	1	W
保存温度	Tstg	—	-55~+150	℃

(*1) VDDIO_MCU、VDD_REG_MCU

(*2) RF_XIN、CXIN 端子

(*3) RF_XOUT、CXOUT 端子

5-2. 推奨動作条件

項目	記号	条件	最小	標準	最大	単位
電源電圧(I/O) VDDIO*端子および VDD_REG_MCU*端子	VDDIO		2.6	3.3	3.6	V
動作温度	Ta	—	-40	+25	+85	°C
デジタル入力立上り時間	tIR1	デジタル入力端子 (*1)	—	—	20	ns
デジタル入力立下り時間	tIF1	デジタル入力端子 (*1)	—	—	20	ns
デジタル出力負荷	CDL	全デジタル出力端子	—	—	20	pF
Slow クロック 32.768kHz 水晶振動子周波数	FXCK1	CXIN 端子,CXOUT 端子	-20ppm (*2)	32.768	+20ppm (*2)	kHz
IOSC クロック 内蔵高速 RC クロック周波数	FICK1		-10%	16	+10%	MHz
IOSC クロック 内蔵低速 RC クロック周波数	FICK2		-10%	32	+10%	kHz
RF マスタークロック周波数	FMCK1	RF_XIN/RF_XOUT 端子 RF_XIN 端子	30	48	52	MHz
RF マスタークロック精度	ACMCK1		(*4)	(*4)	(*4)	ppm
RF X'tal 等価直列抵抗	Esr		—	—	80	ohm
RF 周波数	FRF	-	389	—	550	MHz
			778	—	1100	MHz
			2402.0	—	2483.5	MHz

(*1) 端子説明の入出力に、I、Is とある端子

(*2) 25°C条件時の値です。-40-85°C条件時は最大+150ppm、最小-150ppm となります。

(*3) 送信時は VDDIO の最小値に準じます。

(*4) 送受信で許容できる周波数偏差を示しております。各種規格に対応するためには、下表の通り規格に応じた周波数精度でご使用ください。

規格	周波数精度
ARIB STD-T108	±20 ppm
RCR STD-30 type III (日本)	±10 ppm
RCR STD-30 type IV (日本)	±4 ppm
Wireless M-Bus F mode	±16 ppm

【ご注意】

電気特性は特記事項がない場合、上記の推奨動作条件での特性となります。

またタイミングの測定点は特記事項がない場合、VDDIO × 20% と VDDIO × 80%のレベルです。

以下、標準として規定している値は、代表的な中心値を示します。IC のばらつきを考慮した保証値ではありません。

5-3. 共通特性

項目	記号	条件/対象端子	最小	標準(*2)	最大(*11)	単位
電源電流(*1)	IDD_IDLE	MCU : Active 状態 (*10) RF : RF スリープ状態 1	—	1.3	9.9	mA
	IDD_RX	MCU : Active 状態(*10) RF : 受信状態 (*5)(*6)	-	11.6	32.3	mA
		MCU : Active 状態(*10) RF : 受信状態 (*5)(*7)	-	17.9	33.9	mA
	IDD_TX1	MCU : Active 状態(*10) RF : 送信状態 (1mW) (*5) (*6)	-	12.8	39.5	mA
	IDD_TX20	MCU : Active 状態(*10) RF : 送信状態 (20mW) (*5) (*6)	-	28.8	67.5	mA
		MCU : Active 状態(*10) RF : 送信状態 (20mW) (*5) (*7)	-	44.3	67.5	mA
		MCU : Active 状態(*10) RF : 送信状態 (20mW) (*5) (*8)	-	39.3	69.5	mA
高レベル入力電圧(*12)	VIH1	デジタル入力端子	VDDIOx0.75	—	5.5	V
高レベル入力電圧(*13)	VIH2	デジタル入力端子	VDDIOx0.75	—	VDDIO	V
低レベル入力電圧	VIL1	デジタル入力端子	0	—	VDDIOx0.18	V
シュミットトリガ高レベル判定閾値	VT+	シュミット付きデジタル端子	—	—	VDDIOx0.75	V
シュミットトリガ低レベル判定閾値	VT-	シュミット付きデジタル端子	VDDIOx0.18	—	—	V
入力リーク電流	IIH1	デジタル入力端子	-1	—	1	μA
	IIH2	XIN 端子、CXIN 端子	-0.3	—	0.3	μA
	IIL1	デジタル入力端子	-1	—	1	μA

	IIL2	XIN 端子、CXIN 端子	-0.3	—	0.3	μA
トライステート	IOZH1	デジタル入出力端子	-1	—	1	μA
出カリーク電流	IOZL1	デジタル入出力端子	-1	—	1	μA
高レベル出力 電圧	VOH	3.0V ≤ VDDIO ≤ 3.6V	VDDIO × 0.75	—	VDDIO	V
		駆動能力 PIN2, PIN1 = 0, 0 IOH = -3.5mA				
		駆動能力 PIN2, PIN1 = 0, 1 IOH = -7mA (*19)				
		駆動能力 PIN2, PIN1 = 1, 1 IOH = -14.0mA (*4) IOH = -9.0mA (*16) (*20)				
		2.6V ≤ VDDIO < 3.0V				
		駆動能力 PIN2, PIN1 = 0, 0 IOH = -1.25mA				
		駆動能力 PIN2, PIN1 = 0, 1 IOH = -2.5mA (*19)				
		駆動能力 PIN2, PIN1 = 1, 1 IOH = -5.0mA (*20)				
低レベル出力 電圧	VOL	3.0V ≤ VDDIO ≤ 3.6V	0	—	0.55	V
		駆動能力 PIN2, PIN1 = 0, 0 IOL = 3.5mA				
		駆動能力 PIN2, PIN1 = 0, 1 IOL = 7.0mA (*19)				
		駆動能力 PIN2, PIN1 = 1, 1 IOL = 14.0mA (*20)				
		2.6V ≤ VDDIO < 3.0V	0	—	0.45	V

		駆動能力 PIN2,PIN1=0,0 IOH=1.25mA				
		駆動能力 PIN2,PIN1=0,1 IOH=2.5mA (*19)				
		駆動能力 PIN2,PIN1=1,1 IOH=5.0mA (*20)				
入力容量	CIN	入力端子(*14)	—	6	—	pF
	CIO	入出力端子(*15)	—	9	—	pF
	CAI	アナログ入力端子	—	20	—	pF

(*1) 電源電流は、全電源端子の合算値です。

(*2) 標準は VDDIO=3.3V、25°C条件下の代表的な中心値です。

(*3) 標準、最大ともに 25°C条件下の値です。

(*4) GPIOA0,GPIOA1 が対象です。デフォルトは PIN2,PIN1=0,0 です。IO 設定レジスタにより変更可能です。

(*5) データレートが 100kbps における電流値です。

(*6) DCDC 使用時。電源電圧の下限条件は 2.6V です。

(*7) DCDC 未使用時。

(*8) DCDC 使用かつ PA 用電源供給源切替時。

(*9) 32.768kHz 発振回路、RTC、SRAM(1KB[BANK4])のみリテンション時

(*10) MCU=81.1MHz、FCLK_DIV=64 分周、ペリフェラルクロック全て disable(SYSCON_PCLK_DIS、SYSCON_EPCLK_DIS、SYSCON_SPCLK_DIS の有効ビットすべて"1")

(*11) 電源電流特性については VDDIO=3.3V におけるワースト条件を示します。

(*12) GPIOB0,GPIOD0,GPIOD1 を除く GPIO*

(*13) (*12)を除く全デジタル端子

(*14) REGPDIN, RESETN 端子

(*15) (*14)を除く全デジタル端子

(*16) (*4)を除く各デジタル端子(GPIO*)が対象です。デフォルトは PIN2,PIN1=0,0 です。"IO 設定レジスタ"により変更可能です。

(*19) PIN2,PIN1=0,1 設定した端子の同時スイッチングは 5 本以下としてください。

(*20) PIN2,PIN1=1,1 設定した端子の同時スイッチングは 1 本以下としてください。

5-4. RF 特性

変調速度	: 1.2k~300kbps
変調方式	: 2/4 値 GFSK/FSK
受信帯域	: ~600kHz

特性測定点は、応用回路例のアンテナ端となります。

5-4-1【送信特性】

基準クロック周波数 = 48MHz (Typ.)での値です。

5-4-1-1 ○400MHz Band

項目	条件		最小	標準	最大	単位
送信出力電力	20mW(13dBm), 調整時(*2)		10	13	13.8	dBm
	10mW(10dBm), 調整時(*2)		7	10	10.8	dBm
	1mW(0dBm), 調整時(*2)		-3	0	0.8	dBm
周波数偏位調整範囲 [Fdev] (*1)			0.025	—	400	kHz
占有帯域幅	99%電力帯域幅 パターン:PN9 データレート:4800bps(*2) 変調周波数偏位: ±2.4kHz		—	—	8.5	kHz
隣接チャネル漏洩電力 [ACPR]	データレート:4800bps(*2), パターン:PN9 変調周波数偏位: ±2.4kHz, 12.5kHz offset ± 8.5kHz 帯域での漏洩電力比		—	—	-40	dBc
不要発射レベル	近傍スプリアスレベル 10dBm 送信時 データレート:4800bps(*2), パターン:PN9 変調周波数偏位:2.4kHz 62.5～162.5kHz offset の積分値		—	—	-26	dBm
	高調波スプリアスレベル (*2) 10dBm CW 送信時 ※LCトラップ回路あり時	2^{nd} $3^{\text{rd}} <$	—	—	-36 -30	dBm

*1. 調整範囲は上記の通りですが、使用周波数帯によって設定できる最大値が変わります。

*2. 426MHz 時の特性です。

5-4-1-2○868M/920MHz Band

項目	条件	最小	標準	最大	単位
送信出力電力	20mW(13dBm)	9	13	15	dBm
	10mW(10dBm)	6	10	12	dBm
	1mW(0dBm)	-6.5	0	7.5	dBm
周波数偏位調整範囲 [Fdev] (*1)	—	0.025	—	400	kHz
占有帯域幅	99%電力帯域幅 パターン:PN9 データレート:100kbps 変調周波数偏位: ±50kHz	—	—	200	kHz
隣接チャネル漏洩電力 [ACP]	データレート:100kbps, パターン:PN9 13dBm 送信, 変調周波数偏位: ±50kHz, 300kHz offset ± 100kHz 帯域での漏洩電力	—	—	-20	dBm
不要発射レベル	近傍スプリアスレベル (*2) 13dBm 送信時 データレート:100kbps, パターン:PN9 変調周波数偏位: ±50kHz	710MHz 以下	—	—	-36 dBm/100kHz
		710-900MHz	—	—	-55 dBm/1MHz
		900-915MHz	—	—	-55 dBm/100kHz
		915-930MHz	—	—	-36 dBm/100kHz
		930-1000MHz	—	—	-55 dBm/100kHz
		1000-1215MHz	—	—	-45 dBm/1MHz
		1215MHz 超	—	—	-30 dBm/1MHz
	高調波スプリアスレベル (第 2 高調波/第 3 高調波) 13dBm CW 送信時 ※LCトラップ回路あり時	—	-35	-30	dBm

*1. 調整範囲は上記の通りですが、使用周波数帯によって設定できる最大値が変わります。

*2. 920MHz 帯の特性です。

5-4-1-3〇2.4GHzHz Band

項目	条件	最小	標準	最大	単位
送信出力電力	1mW(0dBm)	-4	0	4	dBm
周波数偏位調整範囲 [Fdev] (*1)	—	0.025	—	400	kHz
占有帯域幅	99%電力帯域幅 パターン:PN9 データレート:100kbps 変調周波数偏位: ±50kHz	—	180	—	kHz
不要発射レベル	高調波スプリアスレベル(第 2 高調波/第 3 高調波) 0dBm CW 送信時 ※LCトラップ回路あり時	—	-29	-26	dBm

*1. 調整範囲は上記の通りですが、使用周波数帯によって設定できる最大値が変わります。

5-4-2【受信特性】

5-4-2-1○400MHz Band

項目	条件		最小	標準	最大	単位
最小受信感度	4.8kbps モード 中心周波数 426MHz BER<1% GFSK, ±2.4kHz deviation	FREF =48MHz	—	-120.5	-112.0	dBm
	9.6kbps モード 中心周波数 426MHz BER<1% GFSK, ±4.8kHz deviation	FREF =48MHz	—	-116.5	-109	dBm
受信 C/I 隣接チャネル妨害 (*1)	12.5kHz spacing, Ta=25℃, 4.8kbps モード 中心周波数 426MHz 妨害波: PN9	FREF =48MHz	30	33	—	dB
	25kHz spacing, Ta=25℃, 9.6kbps モード 中心周波数 426MHz 妨害波: PN9	FREF =48MHz	30	33	—	dB
受信ブロッキング (*1)	2MHz offset, Ta=25℃, 4.8kbps モード 中心周波数 426MHz	FREF =48MHz	—	73	—	dB
	10MHz offset, Ta=25℃, 4.8kbps モード 中心周波数 426MHz	FREF =48MHz	—	82	—	dB
	-1F 周波数×2[Hz] offset (image frequency) , Ta=25℃, IQ 調整後	FREF =48MHz	30	50	—	dB
最小電力検出(ED 値)レベル	RSSI 特性図(*2)中の RFmin 4.8kbps モード, 中心周波数 426MHz チャネルフィルタ帯域 =10kHz 設定時	FREF =48MHz	—	-115	-105	dBm
電力検出範囲	RSSI 特性図(*2)中のダイナミックレンジ	FREF =48MHz	60	65	—	dB
副次発射レベル		FREF =48MHz	—	—	-54	dBm

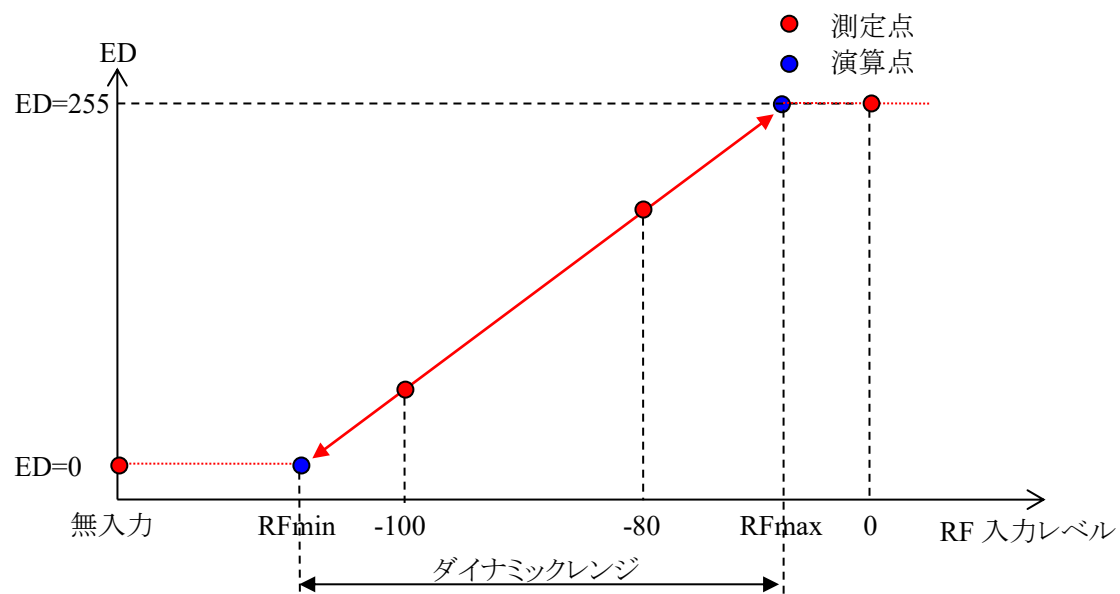
*1.妨害関連特性の測定条件は以下の通りです。

希望入力レベルを[BER=1%となるレベル(=基準感度)+3dB] とし、妨害波レベルを変動させて BER=1%となるレベルを見つけ、U/D[dB]=(妨害波レベル) - (BER=1%となるレベル) として規定しています。

*2. RSSI 特性図を下記に示します。

【ご注意】

基準クロックの通倍や基準クロックの 2 分周、4 分周の通倍付近のチャネルご使用時は、特性が劣化する場合がございます。



ED 特性図

5-4-2-2○868/920MHz Band

項目	条件		最小	標準	最大	単位	
最小受信感度	100kbps モード 中心周波数 920.7MHz BER<0.1% GFSK, 50kHz deviation		FREF =48MHz	—	-105	-98	dBm
隣接チャネル選択度 (*1)	Ta=25℃, 100kbps モード 中心周波数 920.7MHz 妨害波: CW	+400kHz	FREF =48MHz	25	40	—	dB
		-400KHz	FREF =48MHz	22	37	—	dB
受信ブロッキング (*1)	2MHz offset, Ta=25℃, 100kbps モード 中心周波数 920.7MHz		FREF =48MHz	36.5	55	—	dB
	10MHz offset, Ta=25℃, 100kbps モード 中心周波数 920.7MHz		FREF =48MHz	41.5	65	—	dB
最小電力検出 (ED 値) レベル	ED 特性図 (*2) 中の RFmin 100kbps, 中心周波数 920.7MHz チャネルフィルタ帯域 =200kHz 設定時		FREF =48MHz	—	-106	-100	dBm
電力検出範囲	ED 特性図 (*2) 中の ダイナミックレンジ, 100kbps 中心周波数 920.7MHz		FREF =48MHz	60	65	—	dB
副次発射レベル			FREF =48MHz	—	—	-57	dBm

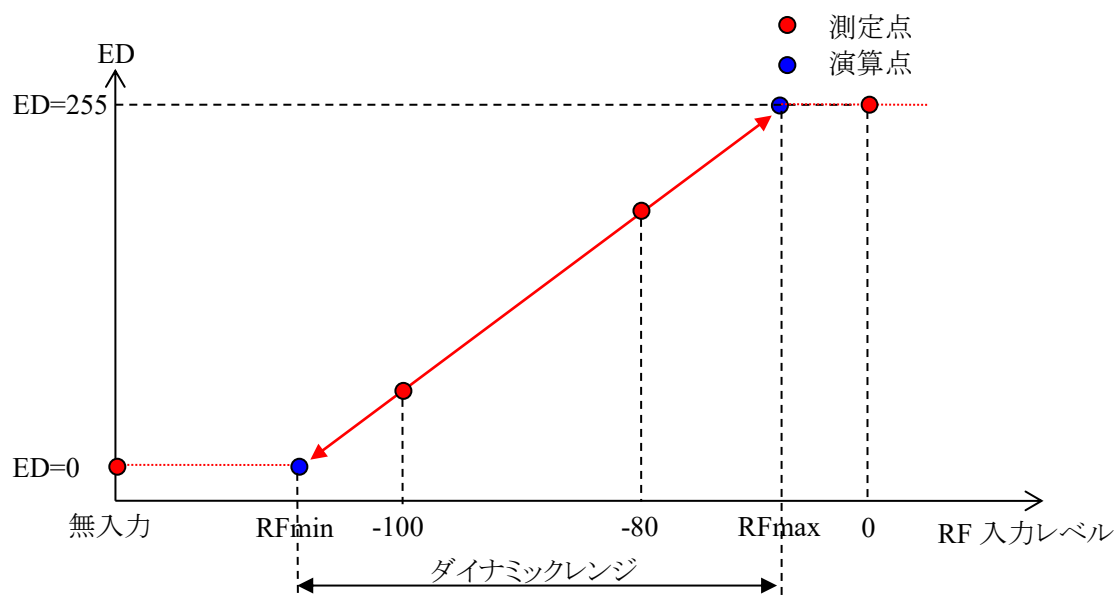
*1. 妨害関連特性の測定条件は以下の通りです。

希望入力レベルを[BER=0.1%となるレベル(=基準感度)+3dB] とし、妨害波レベルを変動させて BER=0.1%となるレベルを見つけ、 $U/D[dB] = (\text{妨害波レベル}) - (\text{希望入力レベル})$ として規定しています。

*2. ED 特性図を下記に示します。

【ご注意】

基準クロックの通倍や基準クロックの 2 分周、4 分周の通倍付近のチャネルご使用時は、特性が劣化する場合がございます。



ED 特性図

5-4-2-3〇2.4GHz Band

項目	条件		最小	標準	最大	単位	
最小受信感度	100kbps モード 中心周波数 2.45GHz BER<0.1% GFSK, 50kHz deviation		F _{REF} =48MHz	—	-97	-89	dBm
隣接チャネル選択度 (*1)	Ta=25℃, 100kbps モード 中心周波数 2.45GHz 妨害波: CW	+400 kHz	F _{REF} =48MHz	25	36	—	dB
		-400 kHz	F _{REF} =48MHz	10	31	—	dB
受信ブロッキング (*1)	2MHz offset, Ta=25℃, 100kbps モード 中心周波数 2.45GHz		F _{REF} =48MHz	38	55	—	dB
	10MHz offset, Ta=25℃, 100kbps モード 中心周波数 2.45GHz		F _{REF} =48MHz	58	65	—	dB
最小電力検出 (ED 値) レベル	ED 特性図(*2)中の RFmin 100kbps モード, 中心周波数 2.45GHz チャネルフィルタ帯域 =200kHz 設定時		F _{REF} =48MHz	—	-105	-90	dBm
電力検出範囲	ED 特性図(*2)中の ダイナミックレンジ, 100kbps 中心周波数 2.45GHz		F _{REF} =48MHz	50	60	—	dB
副次発射レベル			F _{REF} =48MHz	—	-72	-36	dBm

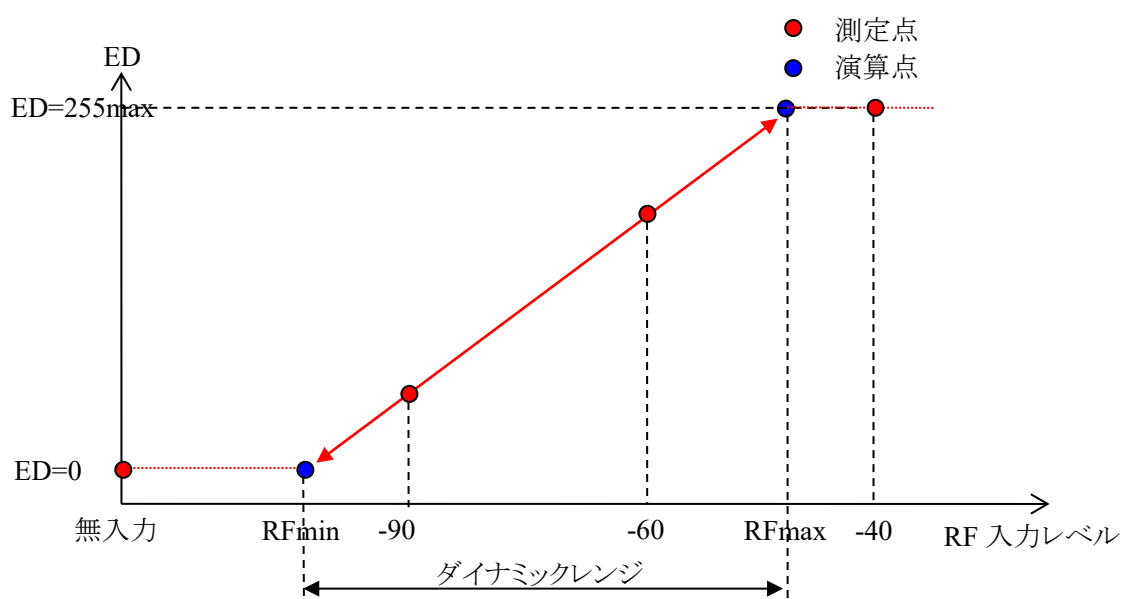
*1.妨害関連特性の測定条件は以下の通りです。

希望入力レベルを[BER=0.1%となるレベル(=基準感度)+3dB] とし、妨害波レベルを変動させて BER=0.1%となるレベルを見つけ、U/D[dB]=(妨害波レベル) - (希望入力レベル) として規定しています。

*2. ED 特性図を下記に示します。

【ご注意】

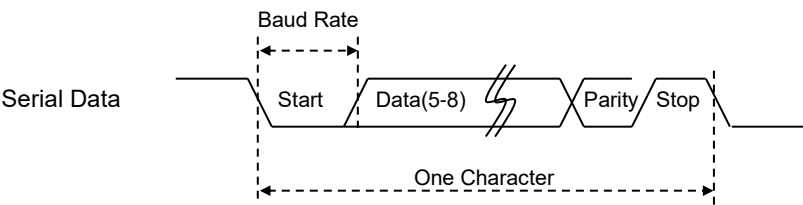
基準クロックの通倍や基準クロックの 2 分周、4 分周の通倍付近のチャネルご使用時は、特性が劣化する場合がございます。



ED 特性図

5-5. UART インターフェース特性

項目	記号	条件	Min	Typ	Max	単位
Baud Rate	F _{BAUD}	負荷容量 CL=20pF	$F_{UART}/(16*(2^{16}-1))$	-	$F_{UART}/16$	bps



※F_{UART} は UART クロックの周波数を示します。メインクロック 81MHz の 1～64 分周となります。

5-6. SPI インターフェース特性

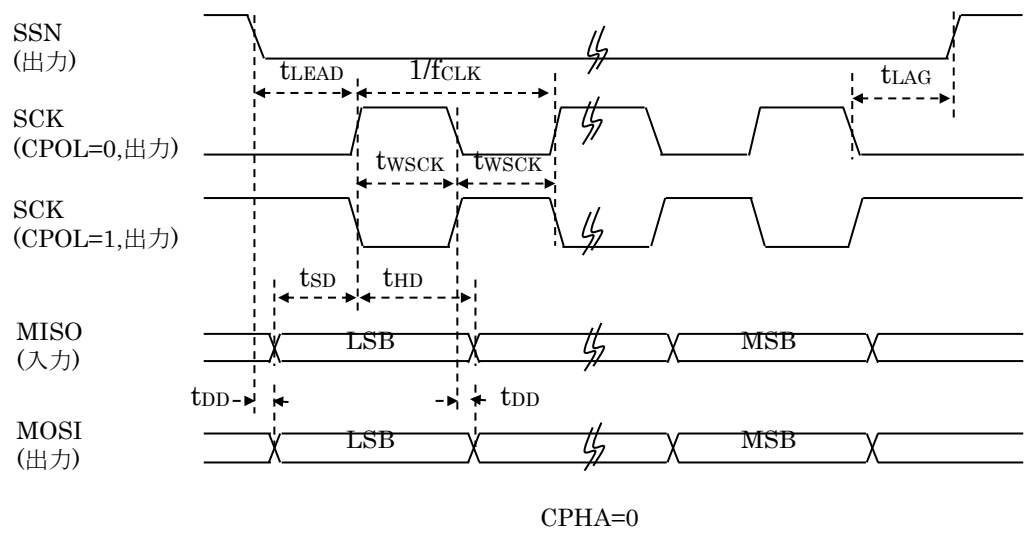
5-6-1. マスタ

項目	記号	条件	Min	Typ	Max	単位
シリアルクロック周波数	f _{CLK}	CL=20pF	-	-	13.52	MHz
シリアルクロック・High/Low 時間	t _{WSCK}		30	-	-	ns
データ遅延時間(出力)	t _{DD}		-	-	10	ns
データセットアップ時間(入力)	t _{SD}		20	-	-	ns
データホールド時間(入力)	t _{HD}		システムクロック x1 周期	-	-	ns
SSN-SCK 進み時間	t _{LEAD}		0.5t _{SCK} -5	-	1.5t _{SCK} +10	ns
SCK-SSN 遅れ時間	t _{LAG}		0.5t _{SCK} -5	-	1.5t _{SCK} +10	ns
SSN H 最小保証時間	t _{WSSH}		1t _{SCK} -5	-	511t _{SCK} +5	ns

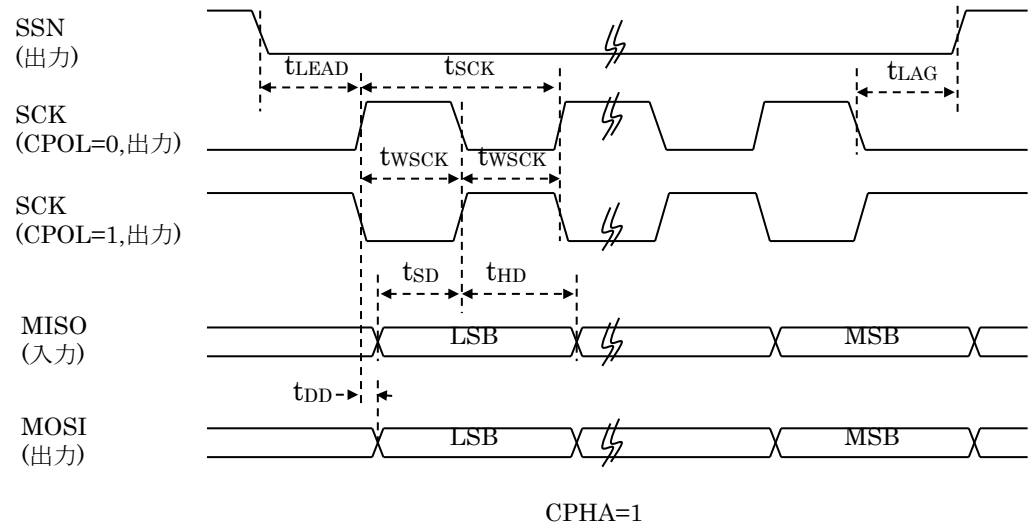
※t_{SCK} = (1000/ f_{CLK}) [ns]

※SDLY=1 条件での特性です

◎ SPI マスタモードタイミング(CPHA=0)



◎ SPI マスタモードタイミング(CPHA=1)



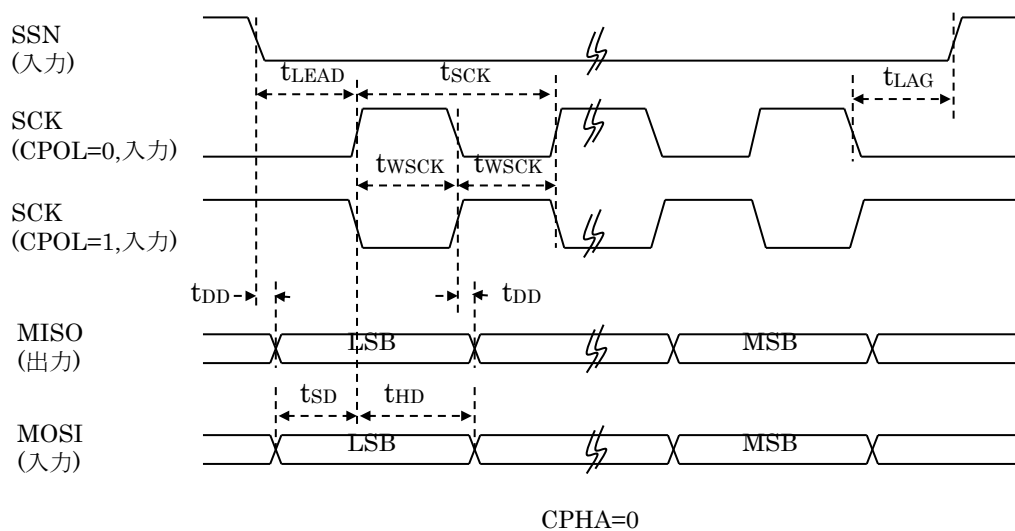
*注：CPHA/CPOL はデータ出力のタイミングおよびクロックの極性を選択するレジスタです。

5-6-2. スレーブ

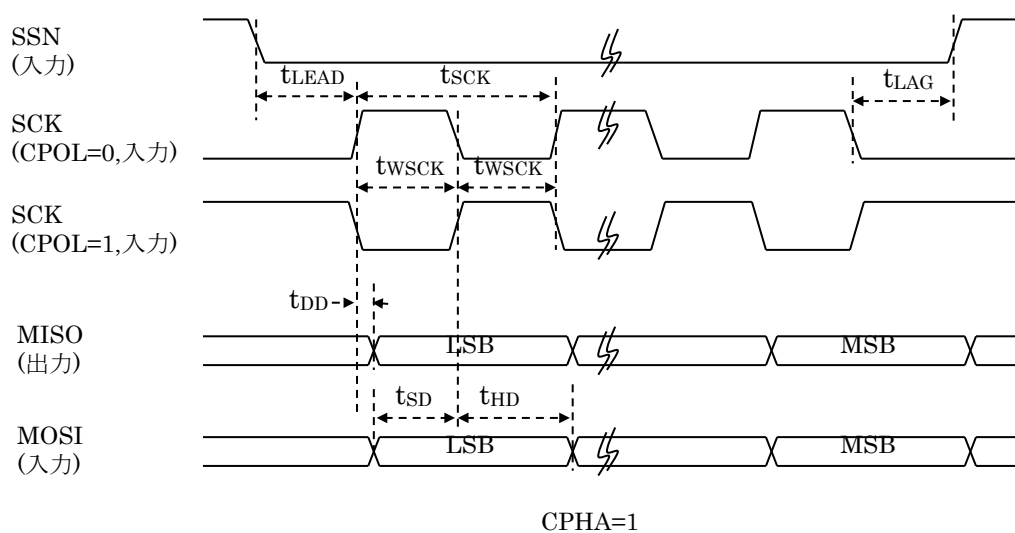
項目	記号	条件	Min	Typ	Max	単位
シリアルクロック周波数	fCLK	CL=20pF	-	-	12	MHz
シリアルクロック・High/Low 時間	tWSCK		40	-	-	ns
データ遅延時間(出力)	tDD		-	-	41.5	ns
データセットアップ時間(入力)	tSD		10	-	-	ns
データホールド時間(入力)	tHD		10	-	-	ns
SSN-SCK 進み時間	tLEAD		40	-	-	ns
SCK-SSN 遅れ時間	tLAG		40	-	-	ns

※tSCK = (1000/fCLK) [ns]

◎ SPI スレーブモードタイミング(CPHA=0)



◎ SPI スレーブモードタイミング(CPHA=1)



*注：CPHA/CPOL はデータ出力のタイミングおよびクロックの極性を選択するレジスタです。

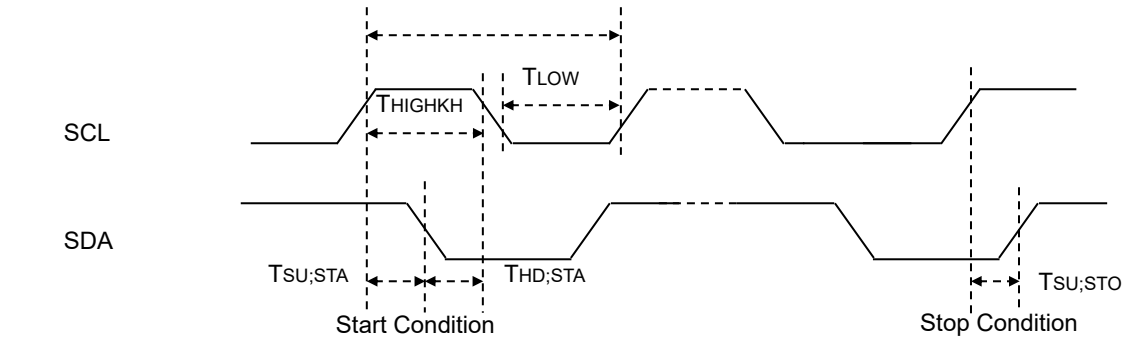
5-7. I2C インターフェース特性

項目	記号	条件	Standard-Mode		Fast-Mode		Fast-Mode+		単
			最小	最大	最小	最大	最小	最大	
SCL クロック周波数	Fscl	条件 端子負荷容量 CL=10pF	0	100	0	400	0	1000	kHz
SCL ハイパルス幅	THIGH		4.0	-	0.6	-	0.26	-	μs
SCL ローパルス幅	TLOW		4.7	-	1.3	-	0.5	-	μs
スタートコンディションホールド時間	THD;STA		4.0	-	0.6	-	0.26	-	μs
スタートコンディションセットアップ時間	TSU;STA		4.7	-	0.6	-	0.26	-	μs
ストップコンディションセットアップ時間	TSU;STO		4.7	-	0.6	-	0.26	-	μs
SDA 出力ホールド時間	THD;DAT		0	-	0	-	0	-	μs
SDA 入力セットアップ時間	TSU;DAT		250	-	100		50	-	ns

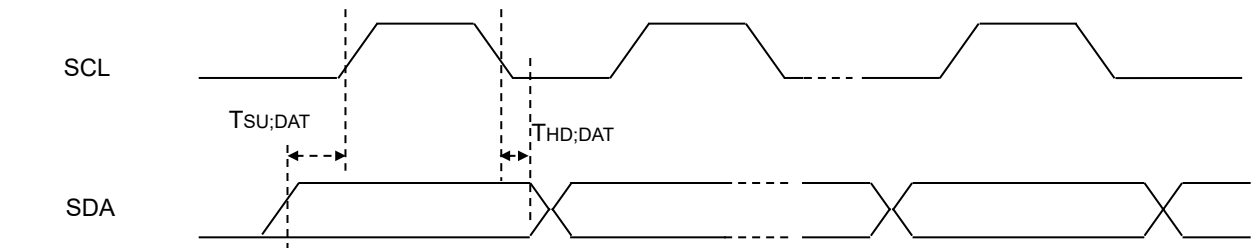
項目	記号	条件	High Speed-Mode		単位
			最小	最大	
SCL クロック周波数	Fscl	条件 端子負荷容量 CL=10pF	0	3.4	MHz
SCL ハイパルス幅	THIGH		60	-	ns
SCL ローパルス幅	TLOW		160	-	ns
スタートコンディションホールド時間	THD;STA		160		ns
ストップコンディションセットアップ時間	TSU;STO		160		ns
SDA ホールド時間	THD;DAT		0	70	ns
SDA セットアップ時間	TSU;DAT		10	-	ns

※マスタ時の High Speed-Mode 最大 SCL クロック周波数は MODE_CNT_CLKGEN3 レジスタで選択する I2C ソースクロック周波数および I2C モジュール内の関連するレジスタ (I2Cn_HS_SCL_HCNT, I2Cn_HS_LCNT, IC2n_HS_SPKLEN) より制限されます。

◎ Stop コンディション (SCL=1 時の SDA 立下り)、Start コンディション (SCL=1 時の SDA 立上り)



◎ 送受信時



5-8. A/D 変換特性

項目	記号	条件	最小	標準	最大	単位
ビット数	NSAR	SAR レジスタビット数	—	10	—	bits
分解能	RES	VIN=0~VDDIO	2.6	—	3.6	mV/LSB
入力電圧範囲	VIN		0	—	VDDIO	V
微分非直線性	DNL	・ 10bit 精度 ・ 入力信号源インピーダンス $\leq 1\text{K}\Omega$	-2.5	—	2.5	LSB
積分非直線性	INL	・ 入力電圧 $\geq 0.1\text{V}$	-2.5	—	2.5	LSB
変換時間	TL		10	—	20	us

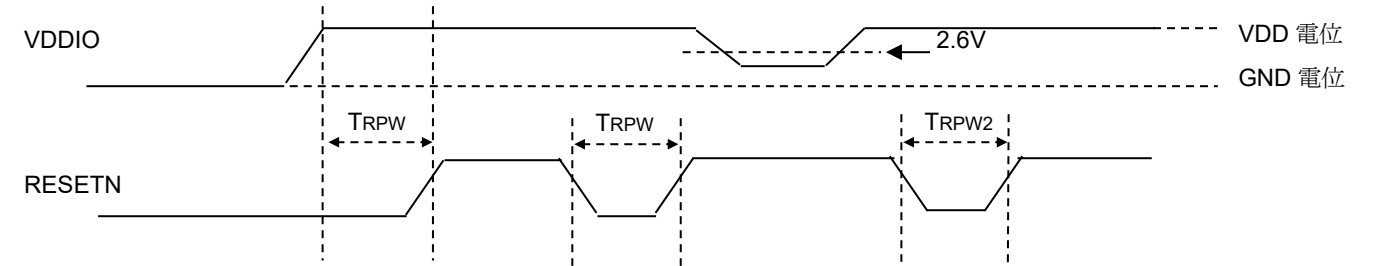
【ご注意】

ADC の出力は電源/GND 基準となっております(トラックしております)。

各電源-GND 間へは十分なバイパスコンデンサを接続して電源変動を極力抑えてご使用いただきますようお願い致します。

5-9. リセット特性

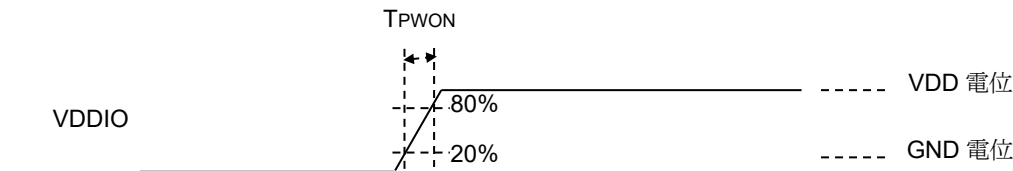
項目	記号	条件	最小	標準	最大	単位
RESETN 有効時間(パルス幅) (VDDIO=0V からの起動時)	T _{RPW}	—	200	—	—	ns
RESETN パルス時間 2(*1) (VDDIO≠0V からの起動時)	T _{RPW2}	VDD>2.6V	1	—	—	ms



(*1) VDDIO≠0V からの起動時は VDDIO が 2.6V を超えてから外部リセット IC 等により RESETN 端子にパルスを入力してください。

5-10. パワーオン特性

項目	記号	条件	最小	標準	最大	単位
パワーオン時間差	T _{PWON}	パワーオン時 (全電源端子)	—	—	5	ms



5-11. フラッシュメモリ特性

項目	記号	条件	最小	標準	最大	単位
書き換え回数	C _{EP}	データ保持年数 10 年	10,000	-	-	回
		データ保持年数 5 年	50,000	-	-	回
		データ保持年数 1 年	100,000	-	-	回
書込時間	t _{PR}	32bit プログラム時	54	60	66	usec
消去時間	t _{ER}	1KB セクタ消去時	3.3	3.7	4.1	msec

■6. 機能説明

6-1. CPU (Cortex[®]-M3)

Arm[®]社の RISC プロセッサです。

小型・低消費電力アプリケーション向けの 32 ビットプロセッサで 3 段パイプライン構成となっています。Arm v7-M アーキテクチャ¹を採用しています。

構成は以下の通りです。

- Little-Endian²
- 24 ビットシステムタイマ (SysTick タイマ) を内蔵
- NVIC(Nested Vectored Interrupt Controller)内蔵(割り込みレベル最大 8)
- 乗算器: 高速(1 サイクル)ハードウェア乗算器搭載
- Sleep サポート
- WFI(Wait for Interrupts)/WFE(Wait for Events)サポート
- リロケーション可能なベクタテーブル
- 特権/非特権モードをサポート
- MPU(Memory Protection Unit)搭載
- デバッグインタフェースとして Serial Wire デバッグポートを搭載
- ETM(Embedded Trace Macro)搭載(I-ETM/D-ETM)

¹ 詳細は、Arm[®]社発行の Arm v7-M Architecture Reference Manual を参照ください。

² 本 LSI は Little-Endian 固定となります。Little-Endian からの変更は出来ません。

6-2. フラッシュ ROM

512KByte×2 バンクのフラッシュ ROM を内蔵します。

フラッシュ ROM コントローラを搭載します。フラッシュ ROM からのブートが可能です。

- 512KByte×2 バンク構成
- セクタサイズ 1KByte、ブロックサイズ 8KByte
- ソフトウェア実行中のバンクとは、異なるバンクに対するプログラムが並列に実行可能です。
- Debug Port(SWD)を介してデバッガからの書き換えが可能です
- 1 ワード書き換え、セクタ消去(1KByte 単位)、ブロック消去(8KByte 単位)、チップ消去が可能です。
- 起動時はフラッシュ ROM 全領域を 0x00000000 番地から始まるリマップ領域に割り当てます。また、リマップ機能により、任意の 1KByte を 0x00000000 番地から始まるリマップ領域に割り当てることが可能です。
- ISP などの起動プログラムを格納するブートプログラム領域、保護設定を格納するプロテクトセット領域、セキュリティセット領域、ユーザプログラム領域、データ領域から構成されます。
- 書き込み保護/読み出し保護機能を持ちます。

6-3. SRAM

256KB の SRAM を内蔵します。

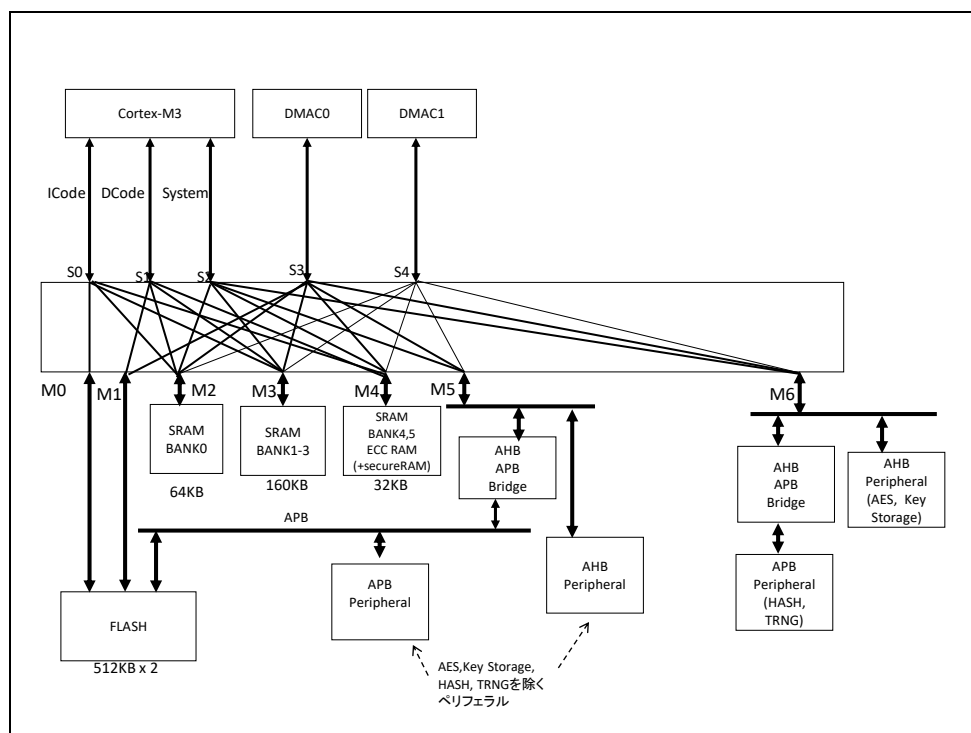
256KB 中 32KB に対して、ECC 機能の有無を選択可能です。

ECC 機能有効時は 1 ビット誤り訂正・2 ビット誤り検出を行い、誤りを訂正・検出した場合はエラー割り込みを生成します。

SRAM 空間の最上位 1Kbyte をセキュアキーストレージとデータ転送可能なセキュア領域として使用可能です。

6-4. マルチレイヤバス

階層化されたマルチレイヤバス構造により CPU および DMAC と各スレーブ間での並列転送が可能です。RAM はバンク毎に異なるレイヤに配置され、CPU のワーク領域、DMAC の転送先/転送元を異なるバンクに割り当てることで効率化が図れます。



6-5. デバッグポート

Serial Wire デバックポートを搭載します。
ETM(Embedded Trace Macro)インターフェースを搭載します。

6-6. クロック

クロックソースとして、水晶発振器(RTC 用 32.768kHz/RF 用 48MHz)、PLL、高速 RC 発振器、低速 RC 発振器を搭載します。

PLL により

水晶発振器 32.768kHz を 2475 通倍して得られる 81MHz

または

RF チップ内で生成した 64.864kHz を 1249 通倍した 81MHz を生成します。

RF チップ内で生成する 64.86kHz を PLL のソースクロックとする場合は、外部に水晶振動子が不要となります。

6-7. リセット

外部端子によるハードリセット、WDT リセット、ソフトリセット、ペリフェラルリセット、LOCKUP リセットによりチップまたは個別ブロックをリセットします。

6-7-1. 外部端子によるハードリセット

RESETN 端子に L 入力することで発生します。

L 入力を検出後に即時発生します。

6-7-2. WDT リセット

ウォッチドッグタイマ(WDT)の満了により発生します。

リセットが有効になるまでの時間は WDT_TORR により制御できます。

6-7-3. ソフトリセット

Cortex-M3 の SYSRESETREQ リセットを指します。

Cortex-M3 内の Application Interrupt and Reset Control

Register(AIRCR)の SYSRESETREQ ビットを CPU またはデバッガからセットすることにより発生します。

SYSRESETREQ ビットのセット直後に発生し、0.8us~1.6us 後に解除されます。

6-7-4. ペリフェラルリセット

ペリフェラルリセットは、ペリフェラルリセットレジスタ (SYSCON_PRST_CON、SYSCON_EPRST_CON、SYSCON_SPRST_CON) の各ペリフェラルに割り当てたビットをセットすることで、対象のペリフェラルのみをリセットします。レジスタ設定直後からメインクロックで 8 サイクル期間発生します。(81MHz の場合、 $12.3\text{ns} \times 8 = \text{約 } 100\text{ns}$)

6-7-5. LOCKUP リセット

SYSCON_CPU_CON の RESET_LU を 1 に設定している状態で CPU がロックアップ状態になった時に発生します。

6-8. パワーマネジメント

CPU(Cortex-M3)が SLEEP、SLEEPDEEP 時の動作を各ペリフェラル毎に設定可能です。

チップ内の電源ドメイン毎に電源遮断を行うパーシャルシャットダウン機能をサポートします。

電源遮断時に記憶素子の状態を保持するリテンション機能をサポートします。

電源領域は電源遮断を行わない PD0 領域(Always On 領域)とパーシャルシャットダウン可能な PD1,PD2,PD3 の 3 つの領域に分割されています。各領域の動作はレジスタにより設定可能です。

6-9. システム制御

クロックソースの選択、各ペリフェラル毎にクロックの停止、供給制御、低消費電力時の状態制御、チップ ID 表示、リマップ制御を行います。

6-10. ペリフェラル

6-10-1. UART

16550 互換の UART を 3 ポート搭載(UART0/UART1/UART2)します。
オートフロー制御をサポートします(UART0 のみ)。
最大ボーレートは 460,800bps です。

6-10-2. SPI

マスタ/スレーブ選択可能な SPI を 3 ポート搭載します³。(SPI0/SPI1/SPI2)
SPI0/SPI1 はクロック、データ入出力共用/非共用が可能です。

6-10-3. WDT

プログラマブルな 16 ビットウォッチドッグタイマです。
タイマカウンタ用クロックを選択可能です。

6-10-4. I2C

Standard Mode, Fast Mode, Fast Mode+, High Speed Mode をサポートします。

6-10-5. GPIO

汎用ポートを最大 19 本搭載します。

³ 内蔵 RF チップとの通信用に 1 ポート(SPI2)を搭載します。

6-10-6. EXTINT

任意の汎用ポートまたは MCP チップ間信号を割り込み信号として設定可能な汎用外部割り込みコントローラです。
H レベル検出/L レベル検出/立ち上がり検出/立下り検出の設定が可能です。
入力デバウンス機能を搭載します。

6-10-7. タイマ

32 ビットの標準タイマを 4ch 搭載します。

6-10-8. フレキシブルタイマ

PWM 出力機能、キャプチャ機能、コンペア出力機能を有する 32 ビットの多機能タイマを 6ch 搭載します。

6-10-9. RTC

秒単位での読み書きが可能な万年カレンダー機能付きリアルタイムクロックを搭載します。
水晶発振器(32.768kHz)または内蔵低速 RC での動作が可能です⁴。
時刻補正機能、時刻指定割り込み機能を搭載します。

6-10-10. DIO

内蔵 RF との通信用デジタルインタフェースを搭載します。

⁴ RTC 精度はクロックソースの精度に依存します。

6-10-11. DMAC

ダイレクト・メモリ・アクセス・コントローラを 2 個搭載します。各種ペリフェラルの中で SPI0/1/SPI2、CRYPTO (AES/HASH)、UART0/1/2、I2C0/1 が DMA 転送に対応しています⁵。

特長を以下に示します。

- DMAC0 は 8 チャンネル、DMAC1 は 2 チャンネルを搭載します。
- 各 ch にソース転送、デスティネーション転送用の 8 段の FIFO をそれぞれ搭載します。
- メモリ-メモリ間、ペリフェラル-メモリ間転送が可能です。
- DMA 転送対応の各ペリフェラルからの転送要求を受け付けるハードウェアハンドシェイクインタフェースを搭載します。
- 最大 2048 バイトのブロック転送が可能です。
- 各 ch の優先順位が設定可能です。
- マルチレイヤバスにおいて、各 DMAC 毎に独立したバスに割り当てられます。
- 転送アドレスのインクリメント、デクリメントおよび単一アドレスへの転送が可能です。
- リンクリストによるマルチブロック転送をサポートします。

⁵ セキュアキーストレージ機能有効時は、暗号鍵の転送には DMAC1 をご使用ください。

6-10-12. TRNG

リングオシレータおよび線形帰還シフトレジスタで構成した乱数生成回路を搭載します。

6-10-13. CRYPTO

以下の暗号演算エンジンを搭載します。

AES エンジン

128/192/256 ビット

ECB/CBC/CFB/OFB/CTR/CCM/GCM/GMAC モード

SHA-1/SHA-224/SHA-256

キーストレージ有効時は暗号鍵は CPU からの読出しに対するプロテクションが可能です。

6-10-14. セキュアキーストレージ

CRYPTO で使用する暗号鍵を格納する CPU から読出し不可の RAM 領域(1KB)を搭載します。

セキュアストレージ機能の有無を設定可能です⁶。

セキュアキーストレージ機能無効時は、CPU から読出し可能な RAM 領域となります。

セキュアキーストレージ機能有効時は、DMAC1 を介して CRYPTO, キーストレージ, SRAM 間のデータ転送を行います。

⁶ セキュアキーストレージ機能を有効にする方法は個別にお問い合わせください。

6-10-15. ADC

10 ビット逐次比較型 AD コンバータを制御します。
特長を以下に示します。

- プログラマブルな最大 3 チャンネル (CH0~CH2) スキャン機能 (スキャン時間、スキャン順を設定可能)
- スキャン結果通知機能 (割り込みにてスキャン完了を通知します。)
- AD 変換データ平均化機能 (AD 変換した結果の平均値を表示します)
- CH0~CH2 入力電圧算出機能 (CH3 にてレギュレータから出力される基準電圧のモニタが前提となります。)

* CH0,1 は PKG オプション品のみ使用可能です。

6-10-16. CLK_Timer

低速クロックの一定期間を高速クロックによりカウントし、カウント結果をレジスタに表示する機能です。
カウント結果により、理想的なクロックとの周波数誤差を判定出来ます。

6-11. RF

6-11-1.ホストインタフェース

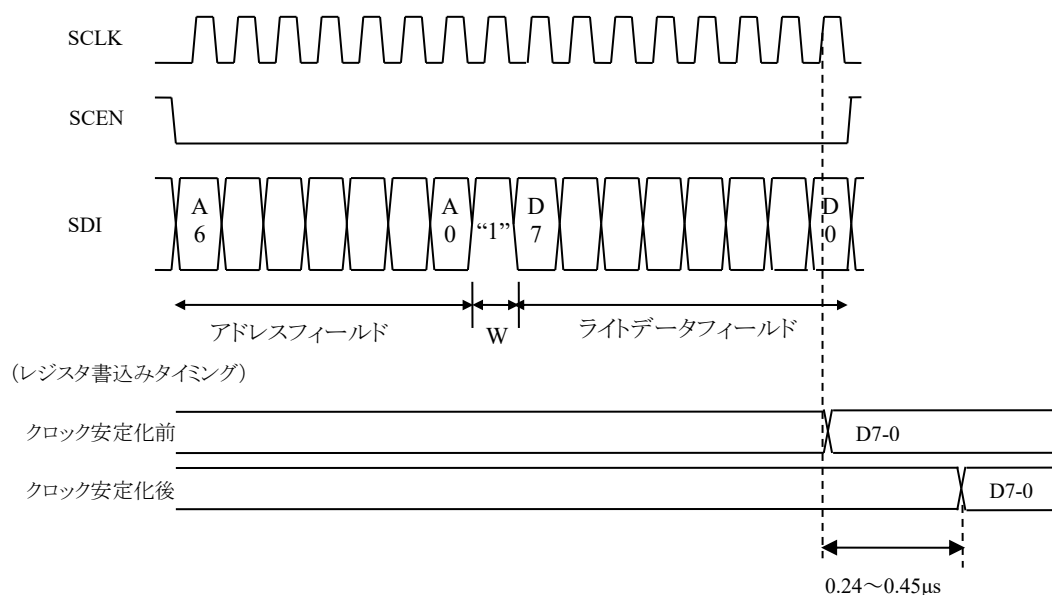
6-11-1-1 OSerial Peripheral Interface (SPI)

本 LSI はシリアルペリフェラルインタフェース(以下 SPI)を有しています。本 LSI の SPI はスレープモードのみをサポートしており、ホスト MCU よりクロックを入力して本 LSI のレジスタと FIFO の読み書きを行います。またシングルアクセス、バーストアクセスに対応しています。

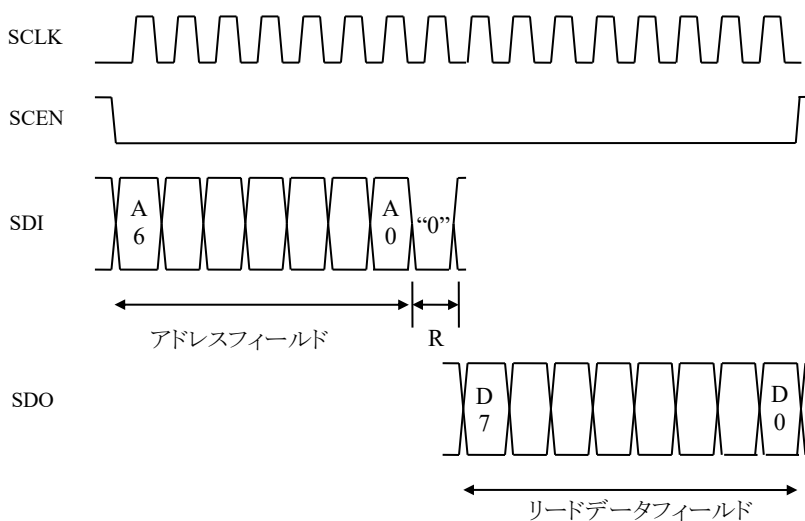
【シングルアクセス タイムチャート】

ライト時は、D0を取り込むクロックの立ち上がりを検出して内部回路に書き込みます。SCENを”H”にすると制御部はリセットされます。また、内部クロックの有無によりレジスタに書き込まれるタイミングが異なります。

【ライト時】



【リード時】



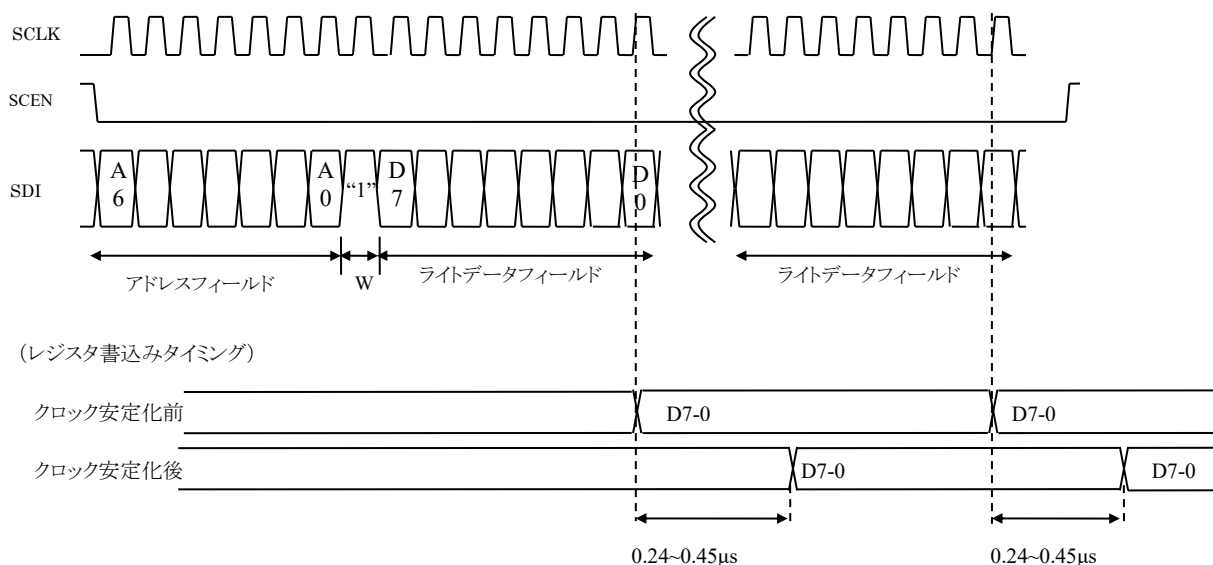
【バーストアクセス タイムチャート】

SCEN を”L”に維持することで、バーストモードに移行します。バーストモードの解除は SCEN を”H”にすることで行われます。バーストモードでは、アドレスの自動インクリメントが実行され、必要なデータ分 SCLK を入力することで連続して読み書きができます。D0 を取り込むクロックが入力される前に SCEN を”H”にした場合、当該データは破棄されます。

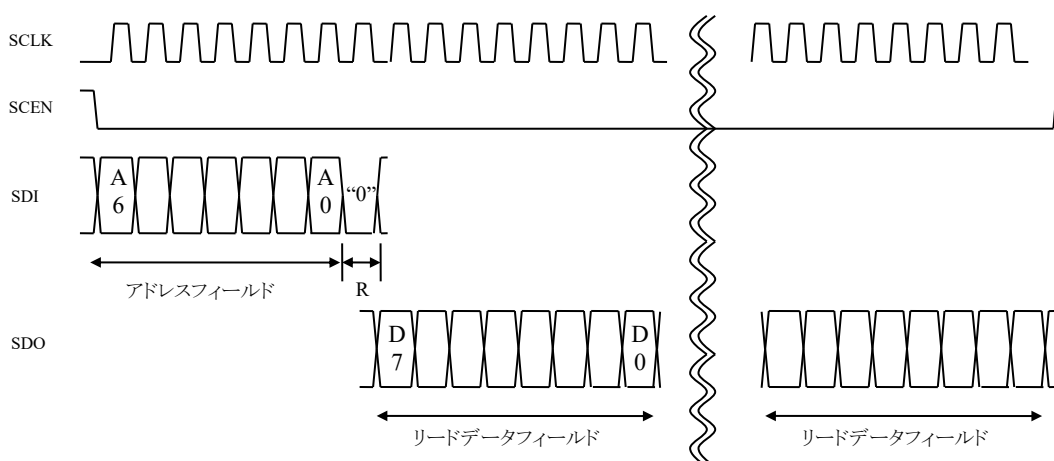
【ご注意】

アクセス先が[WR_TX_FIFO: B0 0x7C]、[RD_FIFO: B0 0x7F]の場合、アドレスのインクリメントが行われず連続して当該 FIFO の読み書きができます。

【ライト時】



【リード時】



6-11-2.LSI 状態制御

本 LSI は以下のレジスタで LSI 状態を変更することができます。

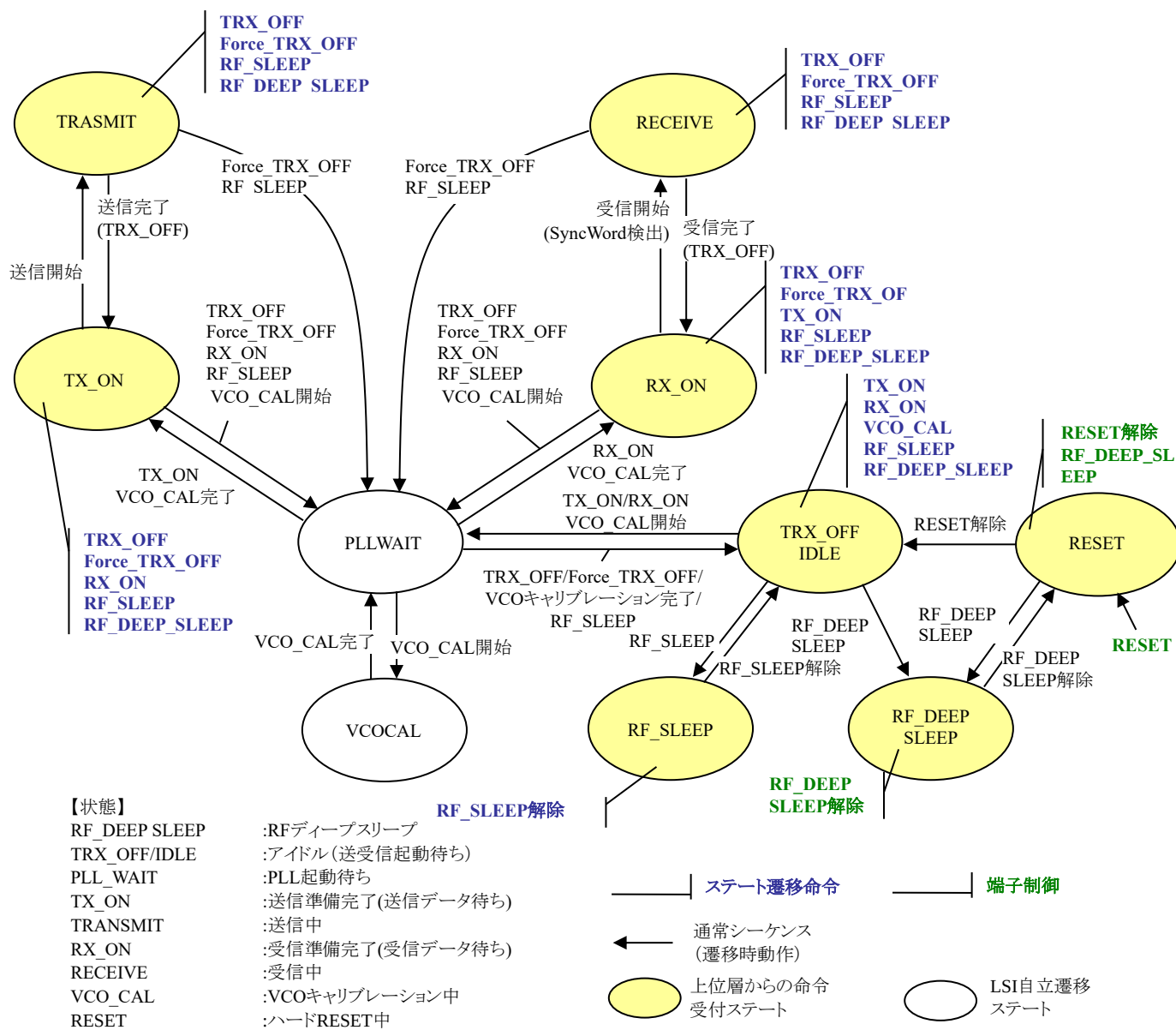
状態遷移命令	レジスタ設定
TX_ON	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x9
RX_ON	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x6
TRX_OFF	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x8
Force_TRX_OFF	SET_TRX ([RF_STATUS: B0 0x0B(3-0)]) = 0x3
VCO_CAL	VCO_CAL_START([VCO_CAL_START: B0 0x6F(0)])= 0b1

また、本 LSI は自立的に LSI の状態を変更する機能があります(下表を参照してください)。それぞれの機能により LSI 状態変更条件を満たした場合、上表のレジスタを LSI が自動で書き換え、状態を変更します。

機能	レジスタ
FIFO ライト完了後自動 TXON	AUTO_TX_EN([RF_STATUS_CTRL: B0 0x0A(4)])
FIFO ライト途中での自動 TXON	FAST_TX_EN([RF_STATUS_CTRL: B0 0x0A(5)])
送信完了時の RF 状態遷移設定	TXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(1-0)])
受信完了時の RF 状態遷移設定	RXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(3-2)])
ウェイクアップタイマ機能動作による自動 RX_ON/TX_ON	[SLEEP/WU_SET:B0 0x2D]
状態遷移時の自動 VCO キャリブレーション	AUTO_VCO_CAL_EN([VCO_CAL_START: B0 0x6F(4)])
チャネル変更時の自動 VCO キャリブレーション	AUTO_VCO_CAL_CHCHG_EN([VCO_CAL_START:B0 0x6F(3)])
高速電波チェックモードによる自動 TX_ON	CCADONE_MODE([ED_CTRL:B0 0x41(6)])
送信中の PLL ロック外れ検出時自動 Force_TRX_OFF	PLL_LD_EN([PLL_LOCK_DETECT: B1 0x0B(7)])
クロック安定化後 RF 状態設定	CLKINIT_TRX_EN([FIFO_SET: B0 0x78(2)])

それぞれの LSI 状態遷移制御は以下の状態遷移図に従います。

6-11-2-1 OLSI 状態遷移図



LSI 状態遷移図

6-11-2-2 ○RF_SLEEP 設定

RF_DEEP_SLEEP 状態は IO 端子以外の全回路の電源が OFF した状態となります。

RF_SLEEP 状態は全リニアレギュレータと 48MHz 発振回路が OFF し、サブレギュレータが ON している状態となります。

また、RF_SLEEP 中の状態は以下のレジスタで設定できます。

機能	レジスタ
電源制御	PDN_EN([SLEEP/WU_SET: B0 0x2D(1)])
ウェイクアップ設定	WAKEUP_EN([SLEEP/WU_SET: B0 0x2D(4)])
ウェイクアップタイマ用クロックソース設定	WUT_CLK_SOURCE([SLEEP/WU_SET: B0 0x2D(2)])
内蔵 RC 発振回路制御	RC32K_EN ([CLK_SET2: B0 0x03(3)])
RF_SLEEP 設定	SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)]) SLEEP_LOW_VDD([DCDC_CTRL:B1 0x70(1)])

RF_DEEP_SLEEP および代表的な RF_SLEEP モードへの設定方法と内部状態の対応関係は以下の通りとなります。

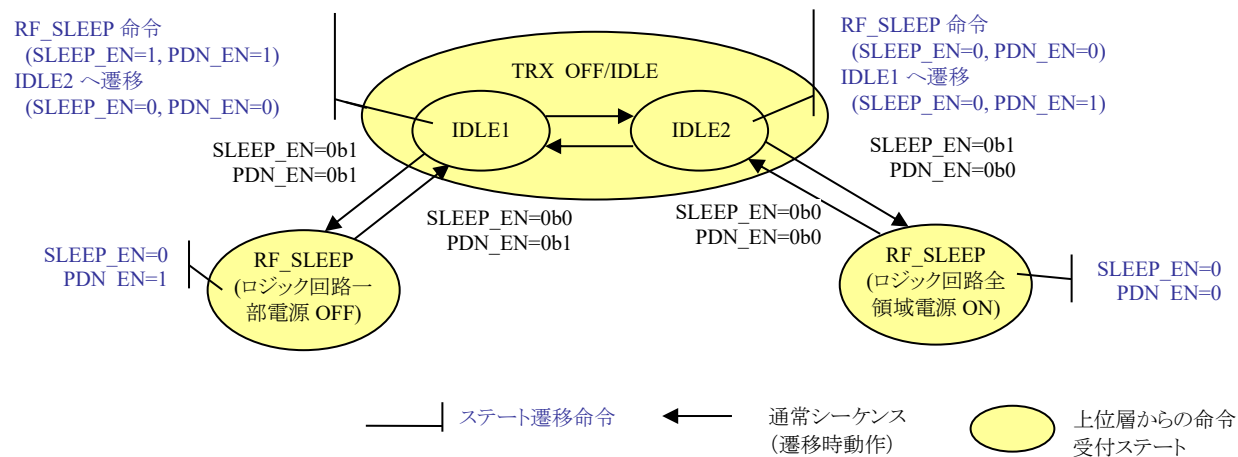
RF スリープ モード	設定方法	全リニア レギュレータ	サブ レギュレータ	48MHz 発振回路	RC 発振回路	低速タイマ	送信 FIFO
RF_DEEP_SLEEP	RESETN 端子="L" REGPDIN 端子="H"	OFF	OFF	OFF	OFF	OFF	OFF
RF_SLEEP1	[SLEEP/WU_SET: B0 0x2D(5-0)] = 0b00_0111 [CLK_SET2: B0 0x03(3)] = 0b0	OFF	ON	OFF	OFF	OFF	OFF
RF_SLEEP2	[SLEEP/WU_SET: B0 0x2D(5-0)] = 0b11_0111 [CLK_SET2: B0 0x03(3)] = 0b1	OFF	ON	OFF	ON	ON	OFF

RF_DEEP_SLEEP ではレジスタ値を保持しません。

一方、RF_SLEEP 1 または RF_SLEEP2 ではレジスタ値を保持します。ただし、RF_SLEEP1 と RF_SLEEP2 では送信 FIFO の電源が OFF されるため、送信 FIFO に格納したデータは保持されません。

【ご注意】

1. IDLE 状態から RF_SLEEP 設定後、LSI 内部が RF_SLEEP 状態に遷移するまで 8 μ s が必要です。RF_SLEEP 設定後の SPI アクセスは LSI 内部が RF_SLEEP 状態になった後(RF_SLEEP 設定から 8 μ s 以上経過後)にアクセスしてください。
2. TX/RX 状態から RF_SLEEP 設定後、INT[3]([INT_SOURCE_GRP1: B0 0x0D(3)])=0b1 になってから LSI 内部が RF_SLEEP 状態に遷移するまで 5 μ s が必要です。SPI アクセスは LSI 内部が RF_SLEEP 状態になった後(INT[3]から 5 μ s 以上経過後)にアクセスしてください。
3. RF_SLEEP 時のロジック回路領域の電源制御設定 PDN_EN([SLEEP/WU_SET: B0 0x2D(1)])と SLEEP_EN([SLEEP/WU_SET: B0 0x2D(0)])の組合せにより 2 種類の RF_SLEEP 状態にすることができます。ただし、必ずそれぞれの RF_SLEEP 状態に遷移できる IDLE 状態(IDLE1, IDLE2)に設定してから、RF_SLEEP 状態に設定してください。なお、IDLE1, IDLE2 は LSI の状態として同じ IDLE 状態であり、内部状態は同一です。



RF_SLEEP 状態遷移図

4. RF_SLEEP 時間によって、下記レジスタの設定を変更する必要があります。
5 秒以内で使用する場合と 5 秒を超えて使用する場合で設定が異なりますのでご注意ください。

RF_SLEEP 時間	レジスタ設定 SLEEP_LOW_VDD ([DCDC_CTRL:B1 0x70(1)])	DCDC 出力(VDD_REG 端子)の状態と動作
5 秒以内	0b0	Hi-Z にして外部容量の電荷を保持
5 秒を超える場合	0b1	電源電位として電荷を保持

6-11-2-3 ○RF 状態設定に関する注意事項

本 LSI はレジスタ設定による RF 状態遷移命令以外に、LSI が自立的に RF 状態遷移命令を発行し、RF 状態変更を行う機能があります(「LSI 状態制御」参照)。このとき、レジスタ設定による RF 状態遷移命令と LSI 自立動作による RF 状態変更のタイミングが重なった場合、意図しない RF 状態となります。LSI 自立動作による RF 状態変更は以下のタイミングで行われます。レジスタ設定による RF 状態遷移命令タイミングと重ならないようにご注意ください。

機能	RF 状態変更 (変更前⇒変更後)	LSI 自立動作による RF 状態変更タイミング	推奨処理方法	
自動送信	TRX_OFF/RX_ON⇒ TX_ON	送信データ受付完了割込み発生後、 {[TX_RATE_H/L: B1 0x02/03]}設定値 * 2 / FREF[MHz] / (MSTR_CLK_SEL1[CLK_SET1: B0 0x02(5)]+1)}[μs]区間	RF 状態遷移完了割り込み発生 後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)]) が期待する状態への変更後、 [RF_STATUS:B0 0x0B]にライト アクセスを行う。	
FAST_TX モード		FIFO ライト量がトリガレベル+1 以上となった後、 {[RX_RATE1_H/L:B1 0x04/05]}設定値 * 5 / FREF [MHz] / (MSTR_CLK_SEL1[CLK_SET1: B0 0x02(5)]+1)}[μs]区間		
送信完了後の RF 状態設定	TX_ON⇒TRX_OFF	データ送信完了割込み発生後、 {[TX_RATE_H/L:B1 0x02/03]}設定値 * 2 / FREF [MHz] / (MSTR_CLK_SEL1[CLK_SET1: B0 0x02(5)]+1)}[μs]区間	RF 状態遷移完了割り込み発生 後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)]) が期待する状態への変更後、 [RF_STATUS:B0 0x0B]にライト アクセスを行う。	
	TX_ON⇒RX_ON			
	TX_ON⇒RF_SLEEP			
受信完了後の RF 状態設定	RX_ON⇒TRX_OFF	データ受信完了割込み発生後、 {[RX_RATE1_H/L:B1 0x04/05]}設定値 * 2 / FREF [MHz] / (MSTR_CLK_SEL1[CLK_SET1: B0 0x02(5)]+1)}[μs]区間		
	RX_ON⇒TX_ON			
	RX_ON⇒RF_SLEEP			
ウェイクアップタイマ	RF_SLEEP⇒TX_ON	ウェイクアップタイマ満了後、ウェイクアップタイ マ用低速クロック 1 周期区間		
	RF_SLEEP⇒RX_ON			
自動 VCO キャリブレー ション	TRX_OFF⇒ VCO_CAL⇒ TX_ON/RX_ON	TRX_OFF 状態から TX_ON/RX_ON 状態まで の区間(VCO キャリブレーション実行)		VCO キャリブレーション完了割 込み発生後、[RF_STATUS:B0 0x0B]にライトアクセスを行う。
	TX_ON⇒VCO_CAL ⇒RX_ON	TX_ON 状態から RX_ON 状態までの区間(VCO キャリブレーション実行)		
	RX_ON⇒VCO_CAL ⇒TX_ON	RX_ON 状態から TX_ON 状態までの区間(VCO キャリブレーション実行)		
	RX_ON⇒CH 切替⇒ VCO_CAL ⇒RX_ON	CH 切替コマンド発行から VCO キャリブレーショ ン完了まで(VCO キャリブレーション実行)		
動作継続タイマ	TX_ON⇒RF_SLEEP	動作継続タイマ満了後、ウェイクアップタイマ用 低速クロック 1 周期区間	RF 状態遷移完了割り込み発生 後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)]) が期待する状態への変更後、 [RF_STATUS:B0 0x0B]にライト アクセスを行う。	
	RX_ON⇒RF_SLEEP			
高速電波チェック	RX_ON⇒RF_SLEEP	CCA 完了割込み発生後、(1/FREF [MHz])* (MSTR_CLK_SEL1[CLK_SET1: B0 0x02(5)]+1)*12 [μs]区間	RF 状態遷移完了割り込み発生 後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)]) が期待する状態への変更後、 [RF_STATUS:B0 0x0B]にライト アクセスを行う。	
	RX_ON⇒TX_ON			
PLL ロック外れ検出	TX_ON⇒TRX_OFF	PLL ロック外れ検出割込み発生後、(ランプダウ ン時間+6)[μs](*)区間	割込み発生後、(ランプダウン時 間+6)[μs] (*)経過後に [RF_STATUS:B0 0x0B]にライト アクセスを行う。	
クロック安定化後の RF 状態設定	TRX_OFF⇒ TX_ON/RX_ON	クロック安定化割込み発生後、(1/FREF [MHz])* (MSTR_CLK_SEL1[CLK_SET1: B0 0x02(5)]+1)*48[μs]区間	RF 状態遷移完了割り込み発生 後、または GET_TRX ([RF_STATUS:B0 0x0B(7-4)]) が期待する状態への変更後、 [RF_STATUS:B0 0x0B]にライト アクセスを行う。	

(*1) ランプダウン時間設定に依存します。ランプダウン時間について「送信関連機能」をご参照ください。

6-11-3.パケットハンドリング機能

6-11-3-1 ○パケットフォーマット

本 LSI は下記に示すパケットフォーマット(FormatA/B/C/D)をサポートします。FIFO 使用モードまたは DIO モードにおいて以下の通りパケットハンドリングを行います。

- ・プリアンブル・SyncWord の自動付加(送信時) ……DIO/FIFO モード共通
- ・プリアンブル・SyncWord の自動検出(受信時) ……DIO/FIFO モード共通
- ・プリアンブル・SyncWord の自動削除(受信時) ……DIO/FIFO モード共通
- ・CRC データ付加 ……FIFO モードのみ
- ・CRC チェック、エラー通知 ……DIO/FIFO モード共通

パケットフォーマットに関するレジスタは以下の通りです。

機能	レジスタ
パケットフォーマット設定	PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])
受信時パケット拡張モードオフ設定	RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)])
データ領域送出順設定	DAT_LF_EN([PKT_CTRL1: B0 0x04(4)])
L-field 送出順設定	LEN_LF_EN([PKT_CTRL1: B0 0x04(5)])
パケット拡張モード設定	EXT_PKT_MODE([PKT_CTRL1: B0 0x04(7-6)]) EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)])
Length フィールド長設定	LENGTH_MODE([PKT_CTRL2: B0 0x05(1-0)])

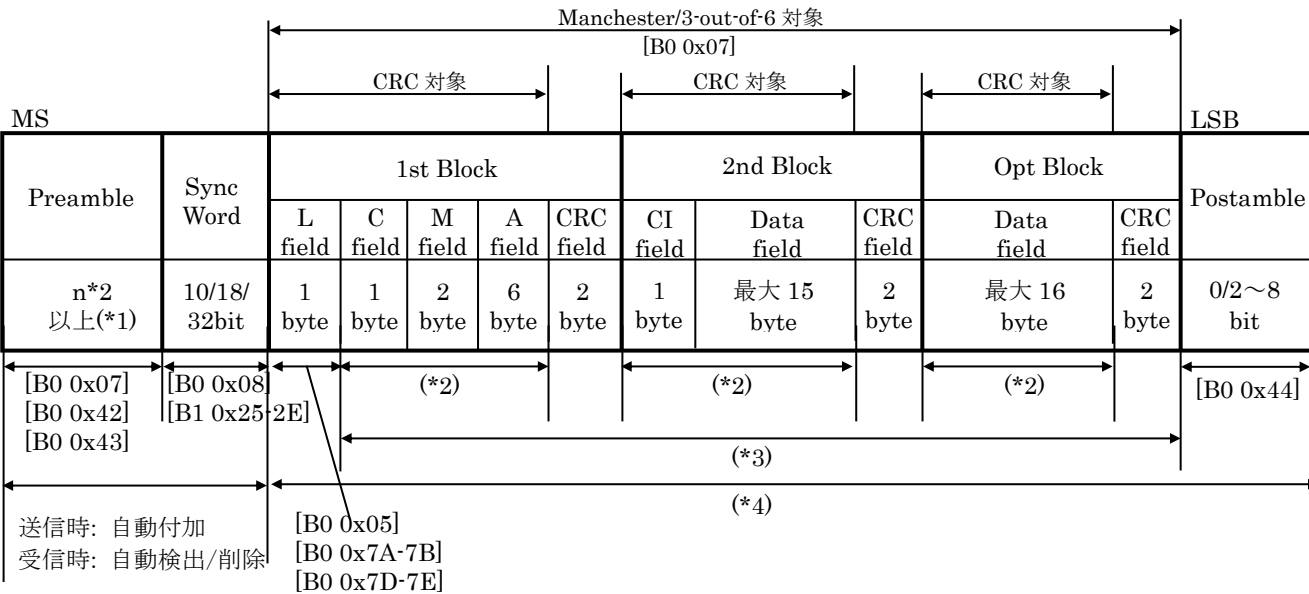
本 LSI がサポートするパケットフォーマット一覧を示します。

パケットフォーマット	規格との対応	
Format A	Wireless M-Bus Format A	通常
		拡張 CI=0x8C
		拡張 CI=0x8D
		拡張 CI=0x8E
		拡張 CI=0x8F
Format B	Wireless M-Bus Format B	通常
		拡張 CI=0x8C
		拡張 CI=0x8D
		拡張 CI=0x8E
		拡張 CI=0x8F
Format C	汎用フォーマット(L-field あり)	
Format D	汎用フォーマット(L-field なし)	

それぞれのパケットフォーマットの詳細は以下の通りです。

(1) Format A(Wireless M-Bus 対応)

Format A を使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b00 を設定してください。
Format A は、1st Block および 2nd Block または Optional Block から構成されます。各 Block 毎に CRC2 バイトが付加されます。1st Block の先頭 1 バイト(L-field)がパケットの Length 値を示し、Length 値は 1st Block の C-field 以降の CRC、Postamble を除くデータのトータルバイト数を示します。また、Length 値に応じて 1st Block 以降の 2nd Block または Optional Block が追加されます。
以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



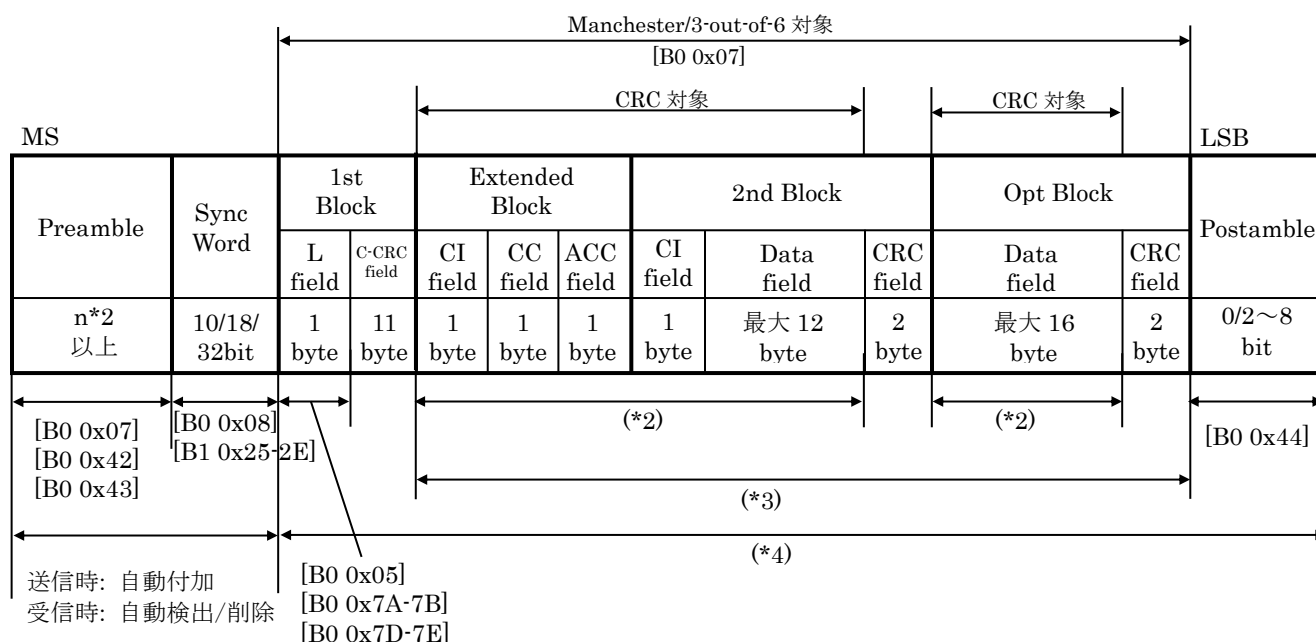
*1 n の最小値は Wireless M-Bus の Mode 毎に異なります。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

Extended Link Layer フォーマットについて

2nd Block の先頭 1 バイト(CI-field)が 0x8C/0x8D/0x8E/0x8F の場合、Extended Link Layer フォーマットが適用され、パケットフォーマットが下記の通り拡張されます。

①CI-field = 0x8C の場合

送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b01 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



*1 1st Block は Format A の通常フォーマットと同じです。

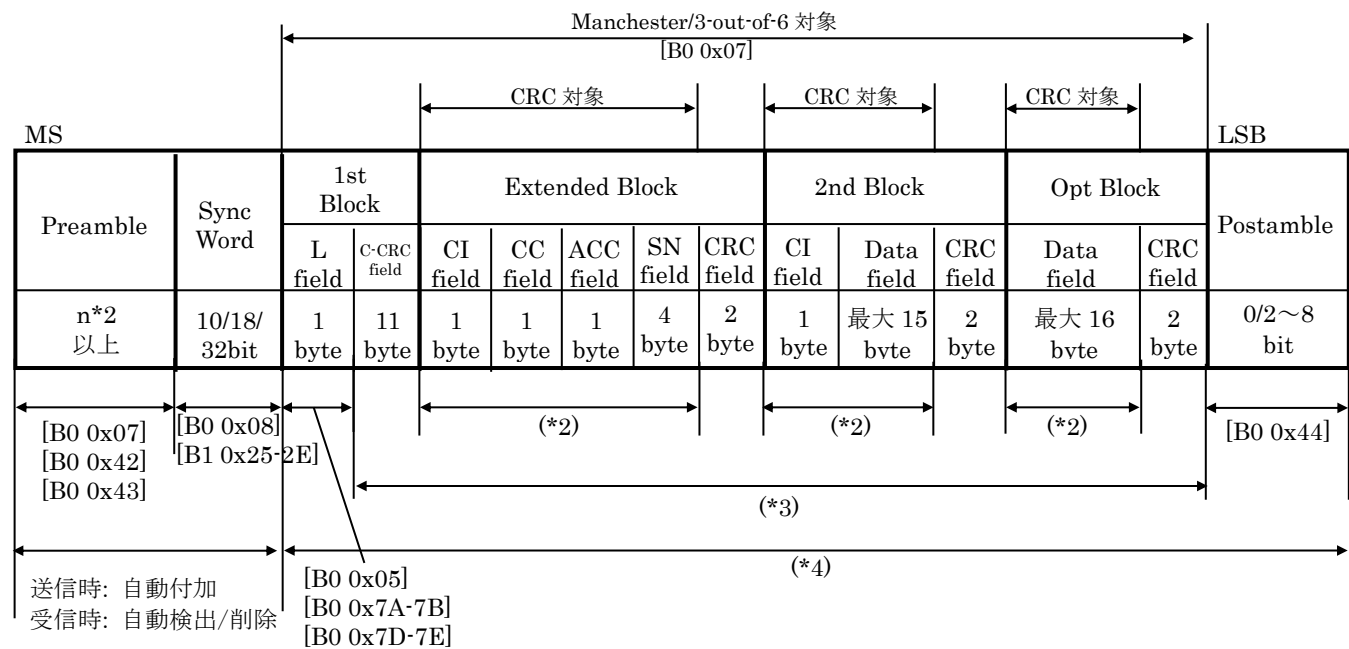
*2 送信時の送信データ FIFO 格納領域を示します。

*3 受信時の受信データ FIFO 格納領域を示します。

*4 RXDIO_CTRL ([DIO SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

②CI-field = 0x8D の場合

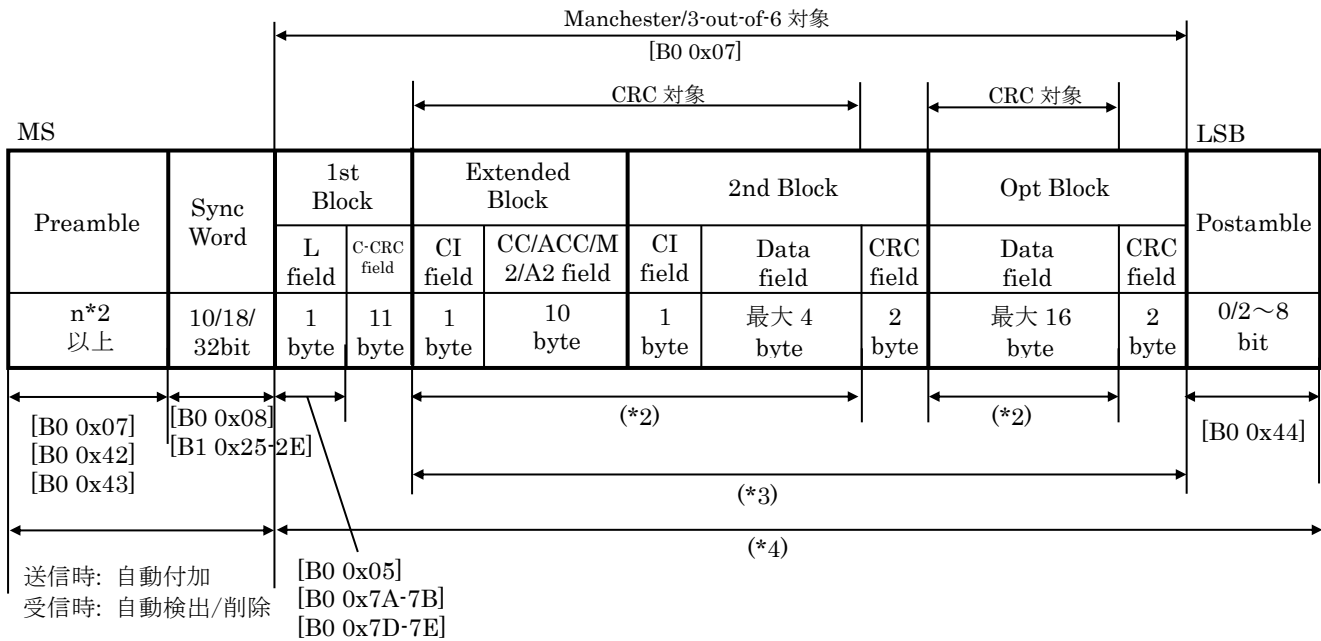
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b10 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b00 を 設 定 し て く だ さ い 。 受 信 時 、 RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



*1 1st Block は Format A の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

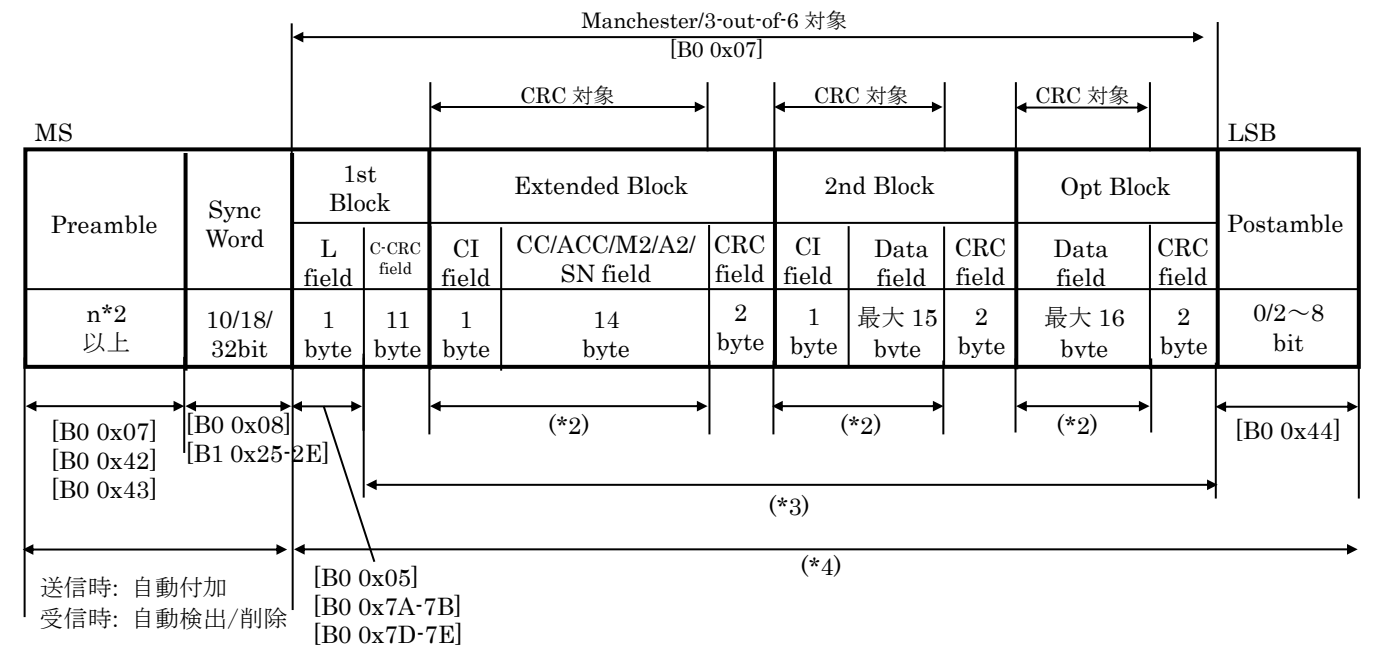
③CI-field = 0x8E の場合

送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b01 を 設 定 し て く だ さ い 。 受 信 時 、 RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



*1 1st Block は Format A の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

④CI-field = 0x8F の場合
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b10 を 設 定 し て く だ さ い 。 受 信 時 、 RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。

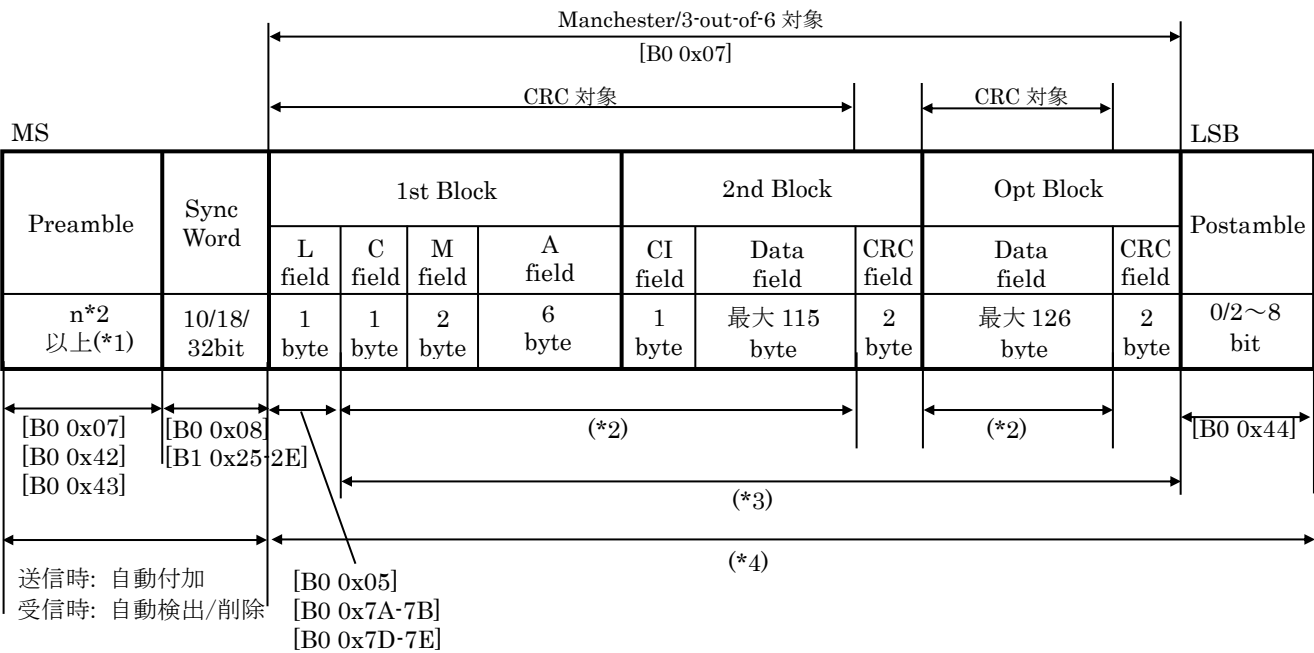


*1 1st Block は Format A の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

(2) Format B(Wireless M-Bus 対応)

Format Bを使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b01 を設定してください。
Format Bは、1st Block および 2nd Block または Optional Block から構成されます。2nd Block 以降の各 Block 毎に CRC2 バイトが付加されます。1st Block の先頭 1 バイト(L-field)がパケットの Length 値を示し、Length 値は 1st Block の C-field 以降から最終 CRC データまでのトータルバイト数を示します。また、Length 値に応じて 1st Block 以降に 2nd Block または Optional Block が追加されます。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



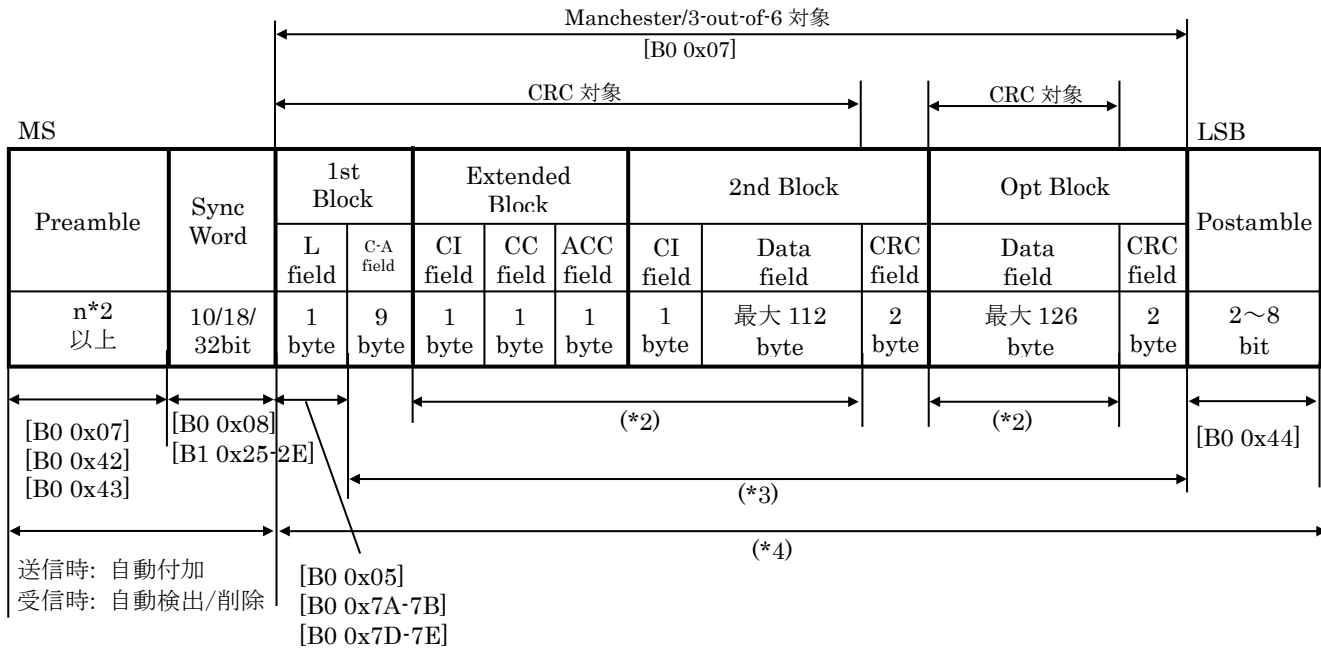
*1 n の最小値は Wireless M-Bus の Mode 毎に異なります。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

Extended Link Layer フォーマットについて

2nd Block の先頭 1 バイト(CI-field)が 0x8C/0x8D/0x8E/0x8 の場合、Extended Link Layer フォーマットが適用され、パケットフォーマットが下記の通り拡張されます。

①CI-field = 0x8C の場合

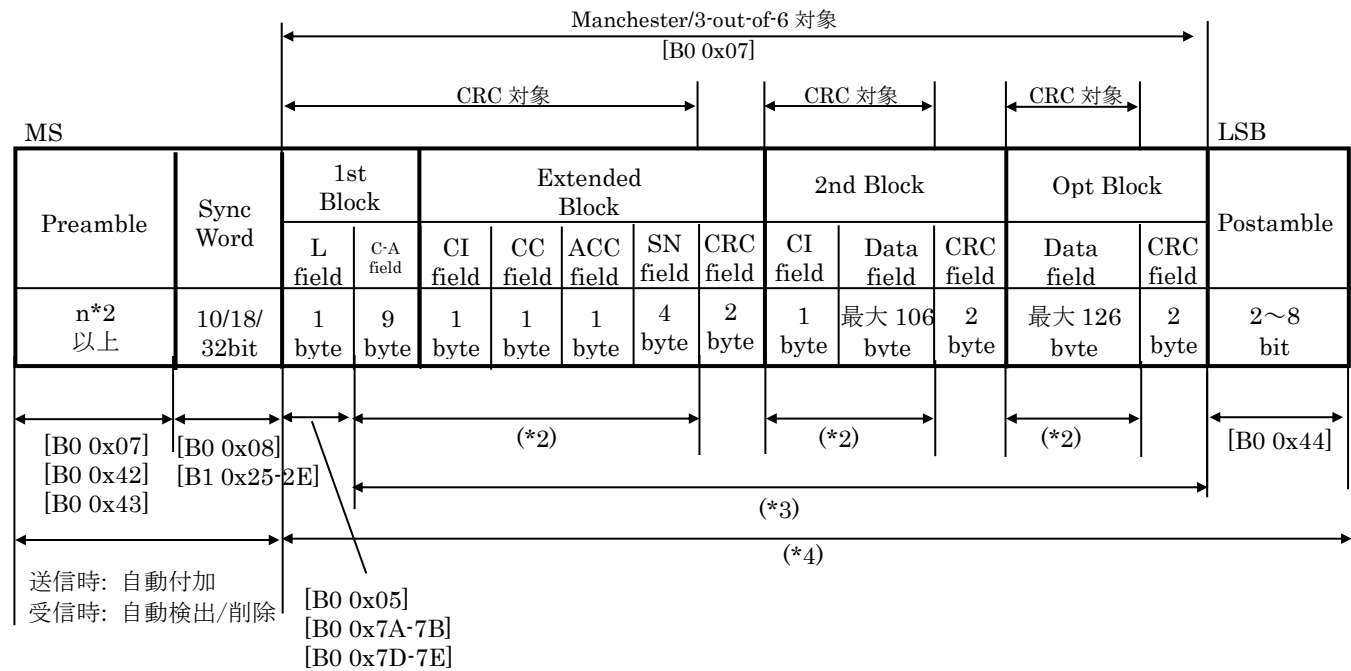
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b01 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



*1 1st Block は Format B の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

②CI-field = 0x8D の場合

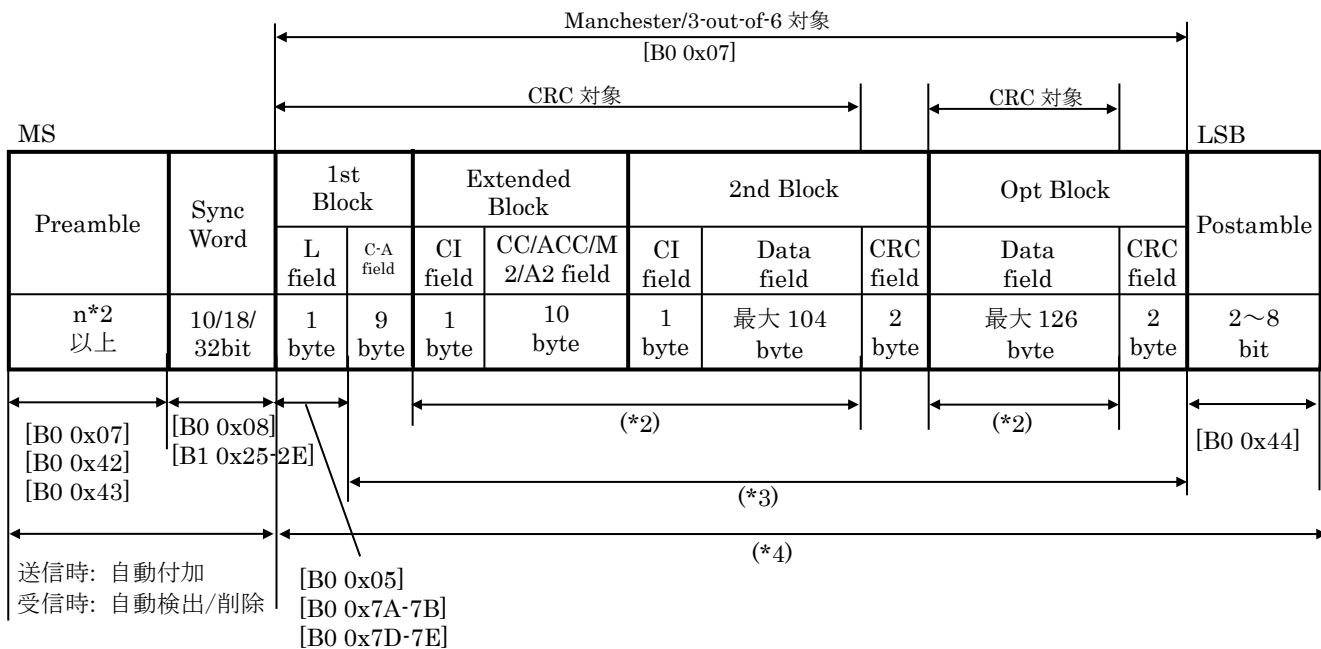
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b10 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b00 を設定してください。受信時、RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



*1 1st Block は Format B の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

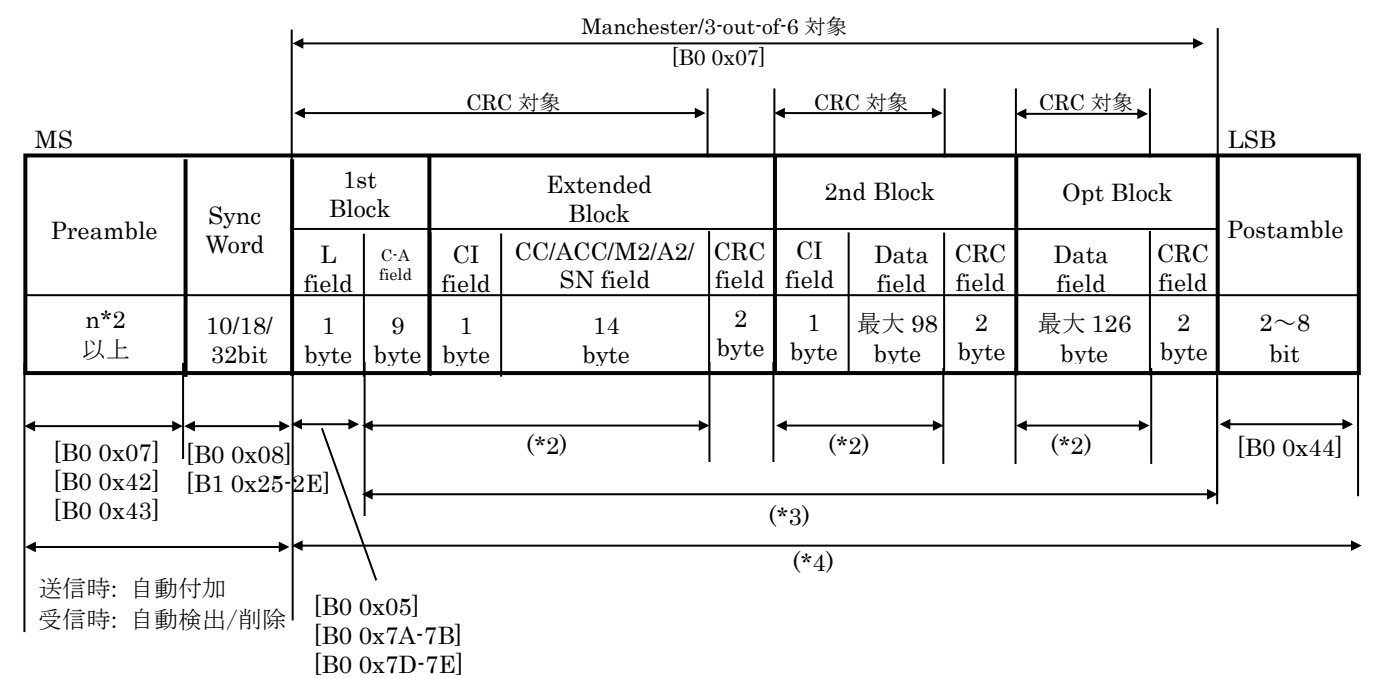
③CI-field = 0x8E の場合

送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b01 を 設 定 し て く だ さ い 。 受 信 時 、 RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。



*1 1st Block は Format B の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

④CI-field = 0x8F の場合
送信時、拡張フォーマットを使用する場合は、EXT_PKT_MODE[PKT_CTRL1: B0 0x04(7-6)]=0b00 および EXT_PKT_MODE2([DATA_SET2: B0 0x08(7-6)]=0b10 を 設 定 し て く だ さ い 。 受 信 時 、 RX_EXTPKT_OFF([PKT_CTRL1: B0 0x04(3)]=0b0 設定した場合、受信パケットが拡張パケットフォーマットかどうかを自動判定し、受信処理を行います。

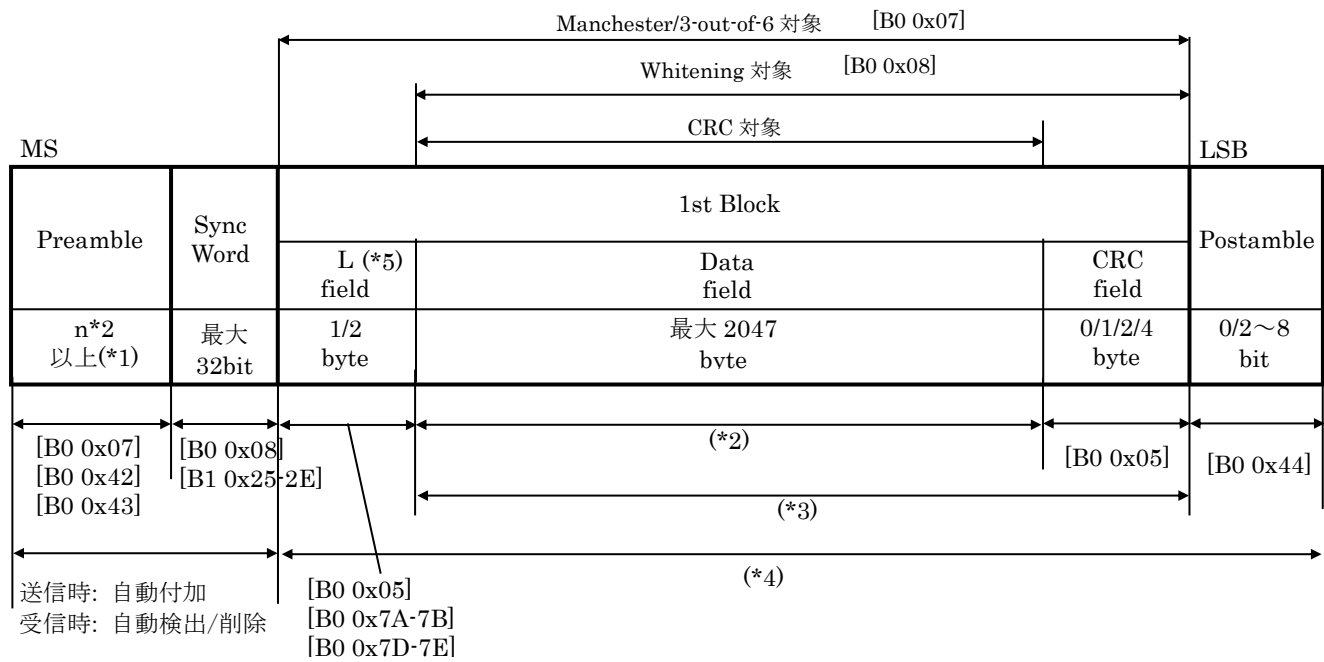


*1 1st Block は Format B の通常フォーマットと同じです。
*2 送信時の送信データ FIFO 格納領域を示します。
*3 受信時の受信データ FIFO 格納領域を示します。
*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]=0b10 設定時の DCLK/DIO 出力領域を示します。

(3) Format C(汎用フォーマット)

Format C を使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b10 を設定してください。
Format C は、1st Block のみから構成され、Data-field の後に CRC-field(0/1/2 バイト選択可)が付加されます。1st Block の先頭 1 または 2 バイト(L-field)がパケットの Length 値を示し、Length 値は Data-field 以降から最終 CRC データまでのトータルバイト数を示します。また、Whitening 機能をサポートします。

以下の図で[] は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



- *1 プリアンブル長(n)は任意の値を設定可能です。
- *2 送信時の送信データ FIFO 格納領域を示します。
- *3 受信時の受信データ FIFO 格納領域を示します。
- *4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。
- *5 IEEE802.15.4g には、L-field を 2 バイトモード(LENGTH_MODE([PKT_CTRL: B0 0x05(1-0)])=0b01)に設定することにより対応可能です。L-field と IEEE802.15.4g で規定される PHR フォーマットとの対応関係は以下の通りです。その他、IEEE802.15.4g に対応するための設定については、「その他の設定-IEEE802.15.4g モード設定」をご参照ください。なお、本 LSI は Mode Switch 機能に対応しておりません。

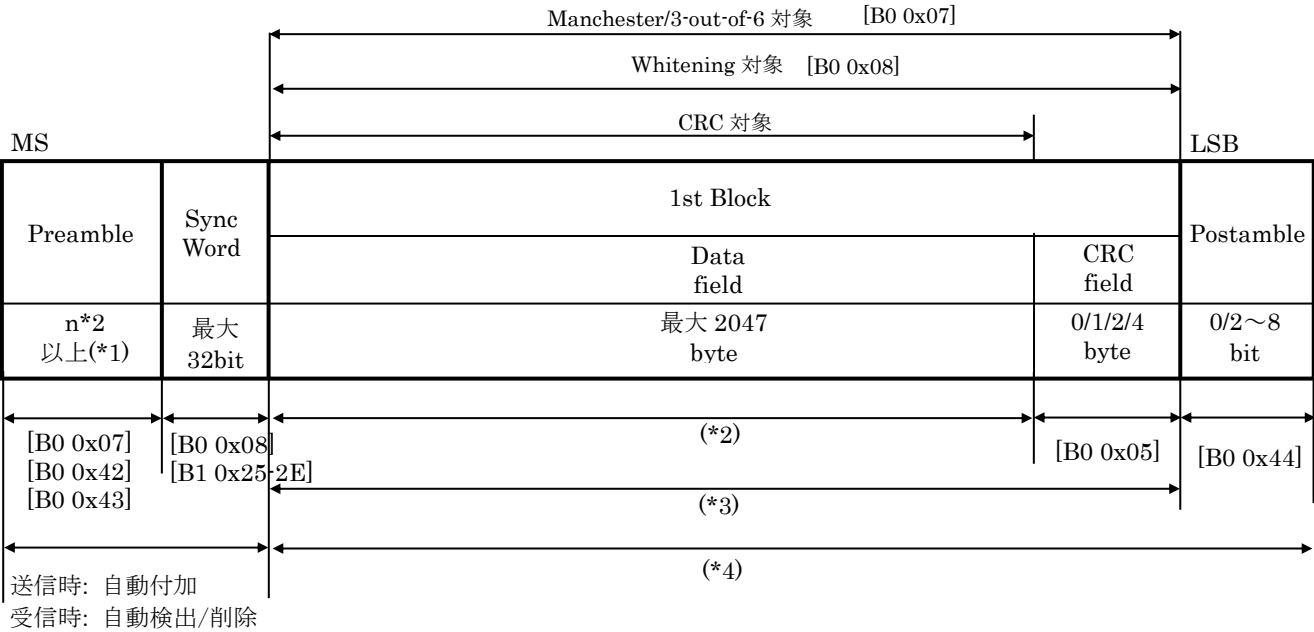
L-field		[TX_PKT_LEN: B0 0x7A]					[TX_PKT_LEN: B0 0x7B]
		Bit 7	Bit 6-5	Bit 4	Bit 3	Bit 2-0	Bit 7-0
IEEE802.15.4g PHR	Bits	0	1-2	3	4	5-7	8-15
	Function	Mode Swith	Reserved	FCS Type	Data Whitening	Frame Length(L ₁₀ -L ₀)	

(4) Format D(汎用フォーマット)

Format Dを使用する場合は、PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b11を設定してください。

Format Dは1st Blockのみから構成されます。1st Blockの先頭はData-fieldから始まり、Data-fieldの後にCRC-field(0/1/2バイト選択可)が付加されます。Length値はData-field以降から最終CRCデータまでのトータルバイト数を示し、[TX_PKT_LENGTH: B0 0x7A/0x7B]または[RX_PKT_LENGTH: B0 0x7D/0x7E]で設定します。

以下の図で[]は関連するレジスタのアドレス[バンク番号, アドレス]を示します。



*1 プリアンブル長(n)は任意の値を設定可能です。

*2 送信時の送信データ FIFO 格納領域を示します。

*3 受信時の受信データ FIFO 格納領域を示します。

*4 RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)])=0b10 設定時の DCLK/DIO 出力領域を示します。

6-11-3-2 OCRC 機能

本 LSI は CRC32/CRC16/CRC8 をサポートし、送受信時に CRC 自動付加(送信時)、CRC 自動チェック(受信時)を行います。CRC 自動付加および CRC 自動チェックは以下のモードで行います。また、下表に示すレジスタにより設定することができます。

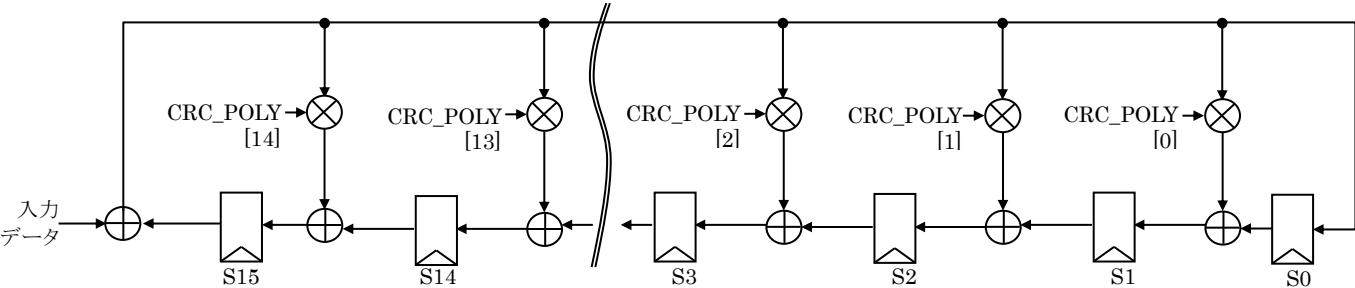
- ・FIFO モード …RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]) = 0b00
- ・DIO モード …RXDIO_CTRL ([DIO_SET: B0 0x0C(7-6)]) = 0b11

機能	レジスタ
送信 CRC 設定	TX_CRC_EN([PKT_CTRL2: B0 0x05(2)])
受信 CRC 設定	RX_CRC_EN([PKT_CTRL2: B0 0x05(3)])
CRC 長設定	CRC_LEN([PKT_CTRL2: B0 0x05(5-4)])
CRC 補数出力 OFF 設定	CRC_COMP_OFF([PKT_CTRL2: B0 0x05(6)])
CRC 生成多項式設定	[CRC_POLY3/2/1/0: B1 0x16/17/18/19]
CRC エラー表示	[CRC_ERR_H/M/L: B0 0x13/14/15]
CRC 長設定 2 イネーブル	CRC_LEN2_EN([CRC_ERR_H: B0 0x13(7)])
CRC 長設定 2	CRC_LEN2([CRC_ERR_H: B0 0x13(6-5)])

CRC の生成多項式は任意に設定可能です。初期設定は下式の通りです。

CRC16 生成多項式 = $x^{16} + x^{12} + x^5 + 1$ (初期設定)

CRC データは以下回路によって生成され、[CRC_POLY3/2/1/0]を設定することで任意の CRC 生成多項式に対応します。生成されたデータは左側(S15)のビットから送出されます。(下図) CRC 長に満たないデータに対して CRC 機能を使用する場合(CRC32 の 3 バイトデータのみ)は、データ”0”を追加して CRC 演算を行います。CRC チェック結果は [CRC_ERR_H/M/L]に表示します。FormatA/B は FormatC と異なり 1 パケット内に複数の CRC-field を持つ構成です。複数の CRC-field に対しては、L-field に最も近いCRC チェック結果が CRC_ERR[0]に表示され、以降 CRC_ERR の MSB 側に順に表示します。



※ ⊕ :排他的論理和を示します。

CRC16 生成回路例

一般的な生成多項式と[CRC_POLY3/2/1/0]の設定との対応関係は以下の通りです。CRC 長については CRC_LEN にて設定してください。

CRC 生成多項式		[CRC_POLY3/2/1/0]			
		(B1 0x16)	(B1 0x17)	(B1 0x18)	(B1 0x19)
CRC8	$x^8 + x^2 + x + 1$	0x00	0x00	0x00	0x03
CRC16	$x^{16} + x^{12} + x^5 + 1$	0x00	0x00	0x08	0x10
	$x^{16} + x^{15} + x^2 + 1$	0x00	0x00	0x40	0x02
	$x^{16} + x^{13} + x^{12} + x^{11} + x^{10} + x^8 + x^6 + x^5 + x^2 + 1$	0x00	0x00	0x1E	0xB2
CRC32	$x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$	0x02	0x60	0x8E	0xDB

また、本 LSI は CRC 演算時の CRC 長と、パケットに付加(送信時)またはチェック(受信時)する時の CRC 長を個別に設定することができます。この場合、CRC_LEN2_EN、CRC_LEN2 および CRC_LEN にて設定してください。

CRC 演算時の CRC 長	CRC 付加または チェック時の CRC 長	CRC_LEN2_EN (B0 0x13(7))	CRC_LEN2 (B0 0x13(6-5))	CRC_LEN (B0 0x05(5-4))
CRC8	CRC8	0	-	0b00
CRC16	CRC8	1	0b01	0b00
	CRC16	0	-	0b01
CRC32	CRC8	1	0b10	0b00
	CRC16	1	0b10	0b01
	CRC32	0	-	0b10

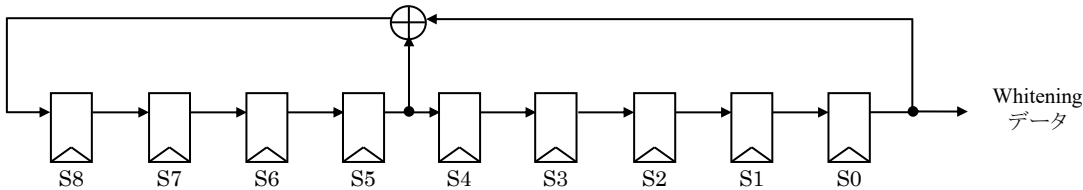
ただし、CRC 演算時の CRC 長とパケットに付加(送信時)またはチェック(受信時)する時の CRC 長を変える場合、「CRC 演算時の CRC 長」≧「パケットに付加(送信時)またはチェック(受信時)する時の CRC 長」になるよう設定する必要があります。

6-11-3-3 ODataWhitening 機能

本 LSI は DataWhitening 機能をサポートします。パケットフォーマット A/B では C-field 以降、パケットフォーマット C では Data-field 以降が Whitening 対象領域であり、下記 9 ビットの擬似ランダム雑音系列(PN9)生成回路にて生成されたデータを送信直前の送信データ(3-out-of-6 符号化後データ)と XOR 処理を行い、送信します。PN9 生成回路のシフトレジスタ初期値は[WHT_INIT_H/L: B1 0x64/65]にて設定可能です。また、PN9 の生成多項式は、[WHT_CFG: B1 0x66]にて任意の生成多項式に設定可能です。

機能	レジスタ
DataWhiteing 設定イネーブル	WHT_SET ([DATA_SET2: B0 0x08(0)])
DataWhiteing 初期値	[WHT_INIT_H/L: B1 0x64/65]
Whitening 生成多項式	[WHT_CFG: B1 0x66]

生成多項式設定機能は、[WHT_CFG: B1 0x66(0)]が 0b1 設定されている場合、シフトレジスタ S1 出力を XOR にフィードバックします。同様に[WHT_CFG: B1 0x66(1)] が 0b1 設定されている場合、シフトレジスタ S2 出力を XOR にフィードバックし、[WHT_CFG: B1 0x66(7-2)]も同様の機能をもっています。また、WHT_CFG に複数ビット 0b1 を設定することも可能であり、任意の生成多項式を設定することができます。



※ ⊕ :排他的論理和を示します。

Whitening データ生成回路例
(生成多項式: $x^9 + x^5 + 1$)

代表的な PN9 生成多項式と[WHT_CFG: B1 0x66]設定との対応関係例は以下に示します。

PN9 生成多項式	[WHT_CFG: B1 0x66]
$x^9 + x^4 + 1$	0x08
$x^9 + x^5 + 1$	0x10

6-11-3-4 ○SyncWord 検出機能

本LSIはSyncWordパターンの検出機能を持っています。2面のSyncWordパターン格納エリアを持つことにより、Wireless M-Busで規定される二つのパケットフォーマット(Format A/B)を自動判定可能です(詳細はWireless M-Bus規格書を参照してください)。パケットフォーマットの検出結果を、SW_DET_RSLT([STM_STATE:B0 0x77(5)])で表示します。また、Format C/DにてSyncWord2面待ち設定をした場合、2つのSyncWordの待ち受けが可能です。ただし、検出結果は表示しません。

1) 送信時

SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)])にて設定されたSyncWordパターンが選択されます。送信するSyncWord長はSYNC_WORD_LEN ([SYNC_WORD_LEN: B1 0x25(5-0)])を設定することで、各SyncWordパターンを設定するSyncWord長分だけ上位ビットから送信します。

SYNCWORD_SEL	送信される SyncWord パターン
0	SYNCWORD1_SET[31:0] ([SYNCWORD1_SET0/1/2/3: B1 0x27/28/29/2A])
1	SYNCWORD2_SET[31:0] ([SYNCWORD2_SET0/1/2/3: B1 0x2B/2C/2D/2E])

例) SyncWord パターンと SyncWord 長について

以下レジスタ設定をした場合、SYNCWORD1_SET[17:0]の18ビットが上位ビットから順に送信されます。

[SYNC_WORD_LEN: B1 0x25]=0x12

SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)]) = 0b0

以下レジスタ設定をした場合、SYNCWORD2_SET[23:0]の24ビットが上位ビットから順に送信されます。

[SYNC_WORD_LEN: B1 0x25]=0x18

SYNCWORD_SEL ([DATA_SET2: B0 0x08(4)]) = 0b1

2) 受信時

SYNCWORD_SEL、2SW_DET_EN ([DATA_SET2: B0 0x08(3)])の設定により下表の通り1面待ちと2面待ち動作を切り替えます。パケットフォーマットの自動判定機能は2SW_DET_EN=0b1設定かつFormatA/B設定時のみ有効です。2面待ち時のパケットフォーマット自動判定結果はSW_DET_RSLT([STM_STATE: B0 0x77(5)])に表示します。

2SW_DET_EN	SYNCWORD_SEL	検出時に参照する SyncWord パターン	SyncWord 検出動作	パケットフォーマットの自動判定	SyncWord 以降のデータ処理
0	0	SYNCWORD1_SET[31:0]	1面待ち	なし	各Format設定に従って処理します
0	1	SYNCWORD2_SET[31:0]	1面待ち	なし	各Format設定に従って処理します
1	-	SYNCWORD1_SET[31:0] SYNCWORD2_SET[31:0]	2面待ち	あり	【FormatA または FormatB 設定】 SYNCWORD1_SET と一致した場合はFormat A、SYNCWORD2_SET と一致した場合はFormat Bにて処理します 【FormatC 設定】 FormatCにて処理します

検出時に参照する SyncWord パターンの SyncWord 長は SYNC_WORD_LEN ([SYNC_WORD_LEN: B1 0x25(5-0)]) により変更可能です。このとき、SYNCWORD1_SET または SYNCWORD2_SET の下位側から SyncWord 長分の SyncWord パターンが参照するパターンとなります。

例) SyncWord 長について

以下レジスタ設定をした場合、SYNCWORD1_SET[17:0]または SYNCWORD2_SET[17:0]の 18 ビットが SyncWord 検出時の参照パターンとなります。このとき、上位ビット(bit31-18)は検出対象となりません。

[SYNC_WORD_LEN: B1 0x25]=0x12

[SYNC_WORD_EN: B1 0x26]=0x0F

また、SyncWord パターンに対し、8 ビット毎に検出時の参照ビットとするか否かのイネーブル制御が可能です。イネーブル制御と SyncWord 検出時に参照する SyncWord パターンとの関係は以下の通りとなります。ただし、SyncWord 長設定がイネーブル制御を行うビットの範囲外である場合、期待する SyncWord 検出はできませんのでご注意ください。

[SYNC_WORD_EN] レジスタ (B1 0x26)	SYNCWORD*_SET				SyncWord 検出動作
	[31:24]	[23:16]	[15:8]	[7:0]	
0000					設定禁止
0001	D.C.(※1)			ON	[7:0]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
0010	D.C.		ON	D.C.	[15:8]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
0011	D.C.		ON	ON	[15:0]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
0100	D.C.	ON	D.C.		[23:16]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
0101	D.C.	ON	D.C.	ON	[23:16]と[7:0]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
0110	D.C.	ON	ON	D.C.	[23:8]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
0111	D.C.	ON	ON	ON	[23:0]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
1000	ON	D.C.			[31:24]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
1001	ON	D.C.		ON	[31:24]と[7:0]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
1010	ON	D.C.	ON	D.C.	[31:24]と[15:8]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
1011	ON	D.C.	ON	ON	[31:24]と[15:0]のみ有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
1100	ON	ON	D.C.		[31:16]が有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
1101	ON	ON	D.C.	ON	[31:16]と[7:0]のみ有効です。

					bit[0]受信後が SyncWord 検出のタイミングとなります。
1110	ON	ON	ON	D.C.	[31:8]が有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。
1111	ON	ON	ON	ON	[31:0]が有効です。 bit[0]受信後が SyncWord 検出のタイミングとなります。

※1 表中の D.C.は Don't Care を意味します。

※2 SyncWord 検出条件として、SyncWord パターン以外に SyncWord と連続するプリアンブルパターンを含めることができます。プリアンブルパターンを含める場合は、RXPR_LEN([SYNC_CONDITION1: B0 0x45(5:0)])を設定してください。

6-11-3-5 OField チェック機能

本 LSI は受信パケットの C-field 以降 9 バイト(Format A/B)、または Data-field 以降 13 バイト(Format C/D)を比較し、一致または不一致時に割込みにて通知する機能(Field チェック機能)を持っています。Field チェック設定は以下レジスタにて設定可能です。Field チェック機能は L-field の判別を行う FIFO モード(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b00)および DIO モードのデータ出力モード 2(RXDIO_CTRL[DIO_SET: B0 0x0C(7-6)]=0b11)のみ有効です。

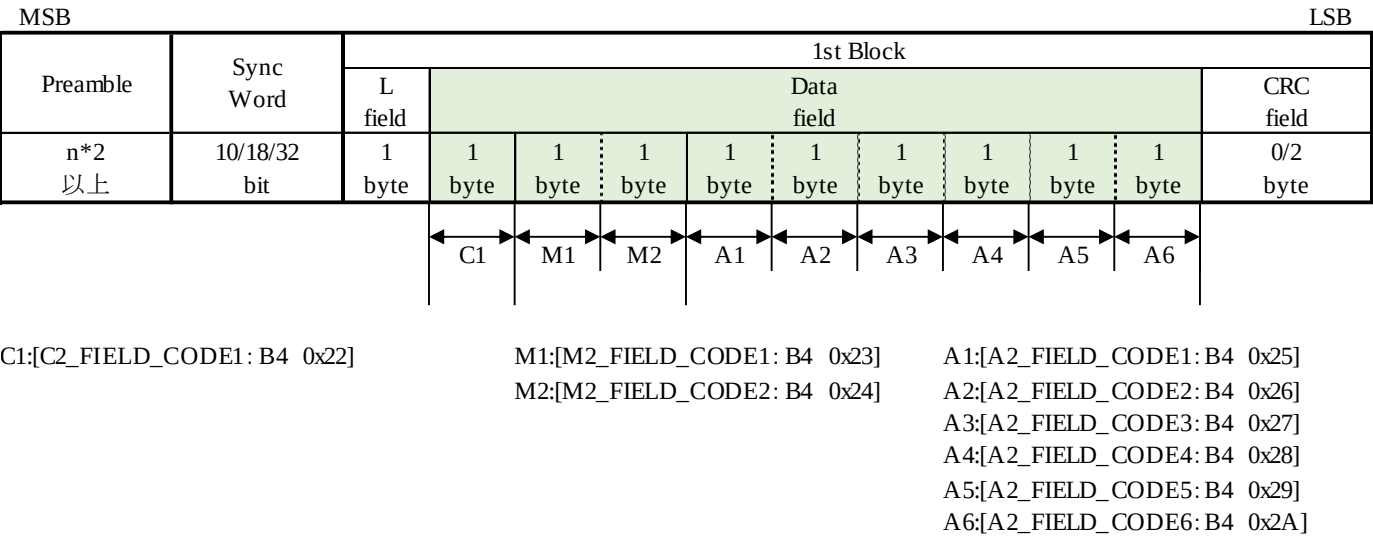
機能	レジスタ
Field チェック不一致時の受信データ処理設定	[C_CHECK_CTRL: B0 0x1B(7)]
Field チェック割込み設定	[C_CHECK_CTRL: B0 0x1B(6)]
C-field 検出イネーブル設定	[C_CHECK_CTRL: B0 0x1B(4-0)]
M-field 検出イネーブル設定	[M_CHECK_CTRL: B0 0x1C(3-0)]
A-field 検出イネーブル設定	[A_CHECK_CTRL: B0 0x1D(5-0)]
C-field コード設定	[C_FIELD_CODE1: B4 0x05] [C_FIELD_CODE2: B4 0x06] [C_FIELD_CODE3: B4 0x07] [C_FIELD_CODE4: B4 0x08] [C_FIELD_CODE5: B4 0x09] [C2_FIELD_CODE1: B4 0x22] [C3_FIELD_CODE1: B4 0x32]
M-field コード設定	[M_FIELD_CODE1: B0 0x23] [M_FIELD_CODE2: B0 0x24] [M_FIELD_CODE3: B0 0x25] [M_FIELD_CODE4: B0 0x26] [M2_FIELD_CODE1: B4 0x23] [M2_FIELD_CODE2: B4 0x24] [M3_FIELD_CODE1: B4 0x33] [M3_FIELD_CODE2: B4 0x34]
A-field コード設定	[A_FIELD_CODE1: B4 0x0E] [A_FIELD_CODE2: B4 0x0F] [A_FIELD_CODE3: B4 0x10] [A_FIELD_CODE4: B4 0x11] [A_FIELD_CODE5: B4 0x12] [A_FIELD_CODE6: B4 0x13] [A_FIELD_CODE7: B4 0x14] [A_FIELD_CODE8: B4 0x15] [A_FIELD_CODE9: B4 0x16] [A_FIELD_CODE10: B4 0x17] [A2_FIELD_CODE1: B4 0x25] [A2_FIELD_CODE2: B4 0x26] [A2_FIELD_CODE3: B4 0x27] [A2_FIELD_CODE4: B4 0x28] [A2_FIELD_CODE5: B4 0x29] [A2_FIELD_CODE6: B4 0x2A] [A2_FIELD_CODE7: B4 0x2B] [A2_FIELD_CODE8: B4 0x2C] [A2_FIELD_CODE9: B4 0x2D] [A2_FIELD_CODE10: B4 0x2E] [A3_FIELD_CODE1: B4 0x35] [A3_FIELD_CODE2: B4 0x36] [A3_FIELD_CODE3: B4 0x37] [A3_FIELD_CODE4: B4 0x38] [A3_FIELD_CODE5: B4 0x39] [A3_FIELD_CODE6: B4 0x3A] [A3_FIELD_CODE7: B4 0x3B] [A3_FIELD_CODE8: B4 0x3C] [A3_FIELD_CODE9: B4 0x3D] [A3_FIELD_CODE10: B4 0x3E]
Field チェック結果表示	[FIELD_CHECK_RSLT: B0 0x64]

受信データと比較するリファレンスパターンの関係を以下に示します。

【Format A/B(Wireless M-Bus 対応)の場合】
Field チェックはリファレンスパターン毎にイネーブル・ディセーブル設定が可能です。全 Field データ (C-field/M-field/A-field)が下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、C-field データとC_FIELD_CODE5 が一致した場合のみ、他の Field データ(M-field/A-field)が不一致であった場合でも Field チェック結果は一致として結果を通知します。

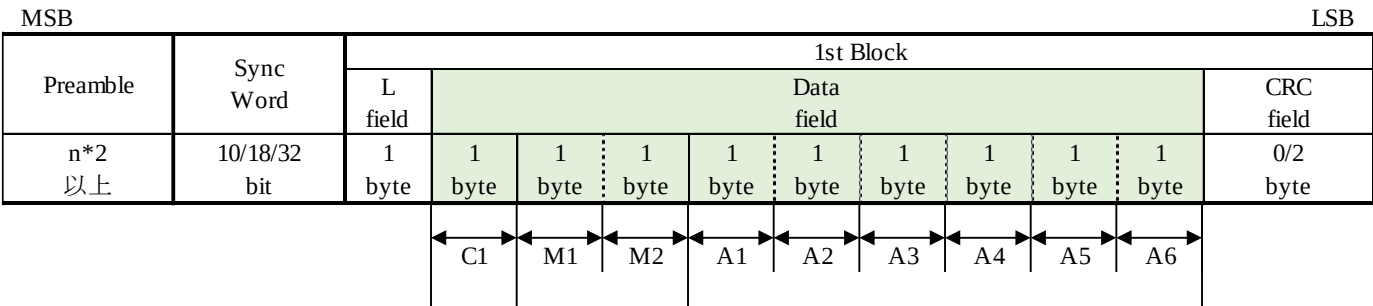
以下の 3 パターンを設定可能であり、異なる 3 パターンの Field データを同時に待受けチェックすることが可能です。

・パターン 1



チェック Field	リファレンスパターン	一致の条件
C-field	C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5	5つのリファレンスパターンのいずれか1つ一致した場合、一致となる。
M-field 1 バイト目	M_FIELD_CODE1 または M_FIELD_CODE2	2つのリファレンスパターンのいずれか1つ一致した場合、一致となる。
M-field 2 バイト目	M_FIELD_CODE3 または M_FIELD_CODE4	2つのリファレンスパターンのいずれか1つ一致した場合、一致となる。
A-field 1 バイト目	A_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
A-field 2 バイト目	A_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
A-field 3 バイト目	A_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
A-field 4 バイト目	A_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
A-field 5 バイト目	A_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
A-field 6 バイト目	A_FIELD_CODE16	リファレンスパターンと一致した場合、一致となる。

・パターン 2



C1:[C2_FIELD_CODE1: B4 0x22]

M1:[M2_FIELD_CODE1: B4 0x23]

M2:[M2_FIELD_CODE2: B4 0x24]

A1:[A2_FIELD_CODE1: B4 0x25]

A2:[A2_FIELD_CODE2: B4 0x26]

A3:[A2_FIELD_CODE3: B4 0x27]

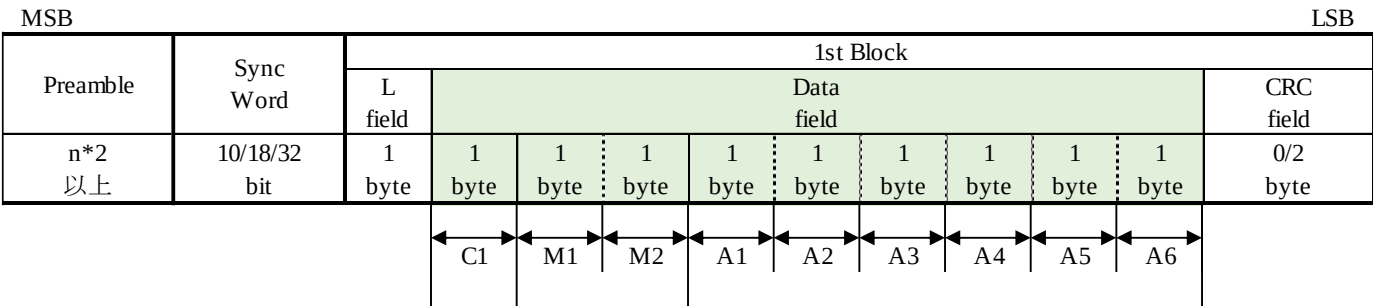
A4:[A2_FIELD_CODE4: B4 0x28]

A5:[A2_FIELD_CODE5: B4 0x29]

A6:[A2_FIELD_CODE6: B4 0x2A]

チェック Field	リファレンスパターン	一致の条件
C-field	C2_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
M-field 1 バイト目	M2_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
M-field 2 バイト目	M2_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
A-field 1 バイト目	A_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
A-field 2 バイト目	A_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
A-field 3 バイト目	A_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
A-field 4 バイト目	A_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
A-field 5 バイト目	A_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
A-field 6 バイト目	A_FIELD_CODE16	リファレンスパターンと一致した場合、一致となる。

・パターン 3



C1:[C3_FIELD_CODE1: B4 0x32]

M1:[M3_FIELD_CODE1: B4 0x33]

M2:[M3_FIELD_CODE2: B4 0x34]

A1:[A3_FIELD_CODE1: B4 0x35]

A2:[A3_FIELD_CODE2: B4 0x36]

A3:[A3_FIELD_CODE3: B4 0x37]

A4:[A3_FIELD_CODE4: B4 0x38]

A5:[A3_FIELD_CODE5: B4 0x39]

A6:[A3_FIELD_CODE6: B4 0x3A]

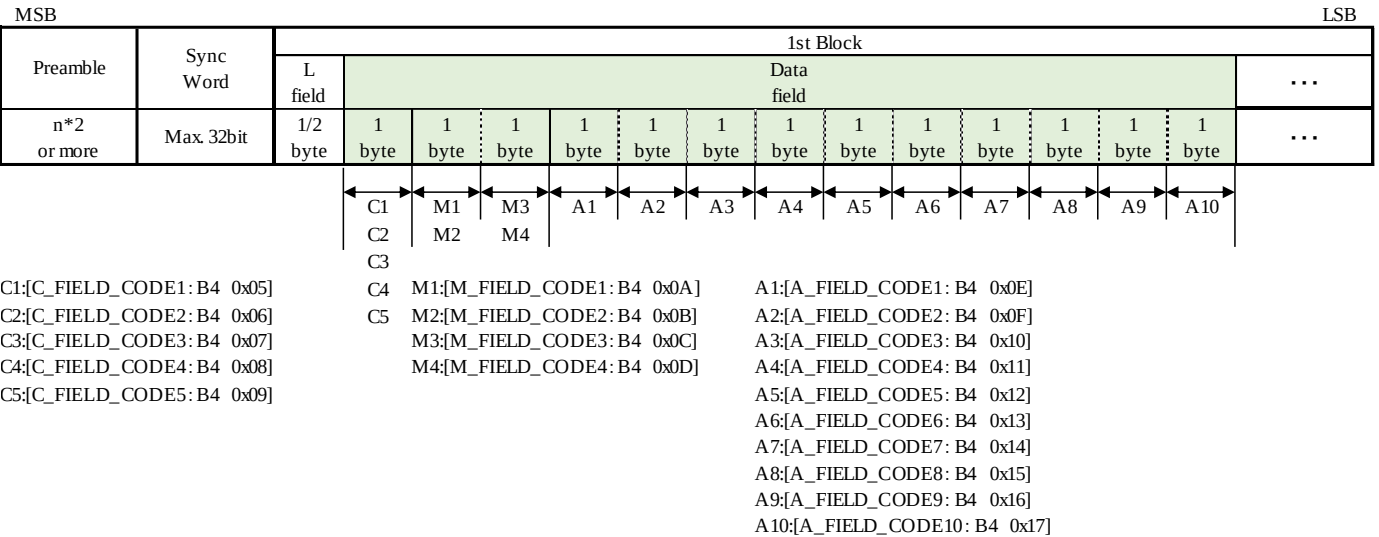
チェック Field	リファレンスパターン	一致の条件
C-field	C3_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
M-field 1 バイト目	M2_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
M-field 2 バイト目	M2_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
A-field 1 バイト目	A3_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
A-field 2 バイト目	A3_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
A-field 3 バイト目	A3_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
A-field 4 バイト目	A3_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
A-field 5 バイト目	A3_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
A-field 6 バイト目	A3_FIELD_CODE6	リファレンスパターンと一致した場合、一致となる。

【Format C の場合】

Field チェックはリファレンスパターン毎にイネーブル・ディセーブル設定が可能です。全 Data-field データが下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、Data-field1 バイト目のデータと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(Data-field2 バイト目から 9 バイト目)が不一致であった場合でも Field チェック結果は一致として結果を通知します。

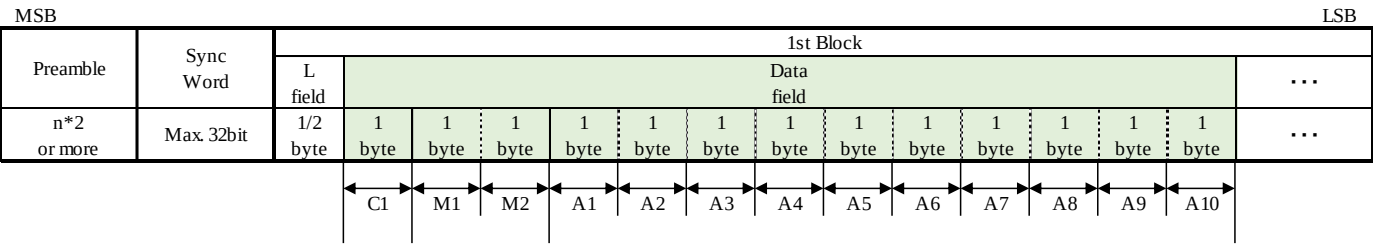
以下の 3 パターンを設定可能であり、異なる 3 パターンの Field データを同時に待受けチェックすることが可能です。

・パターン 1



チェック Field	リファレンスパターン	一致の条件
Data-field1 バイト目	C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5	5 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field2 バイト目	M_FIELD_CODE1 または M_FIELD_CODE2	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field3 バイト目	M_FIELD_CODE3 または M_FIELD_CODE4	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field4 バイト目	A3_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field5 バイト目	A3_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field6 バイト目	A3_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
Data-field7 バイト目	A3_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
Data-field8 バイト目	A3_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
Data-field9 バイト目	A3_FIELD_CODE6	リファレンスパターンと一致した場合、一致となる。
Data-field10 バイト目	A3_FIELD_CODE7	リファレンスパターンと一致した場合、一致となる。
Data-field11 バイト目	A3_FIELD_CODE8	リファレンスパターンと一致した場合、一致となる。
Data-field12 バイト目	A3_FIELD_CODE9	リファレンスパターンと一致した場合、一致となる。
Data-field13 バイト目	A3_FIELD_CODE10	リファレンスパターンと一致した場合、一致となる。

・パターン 2



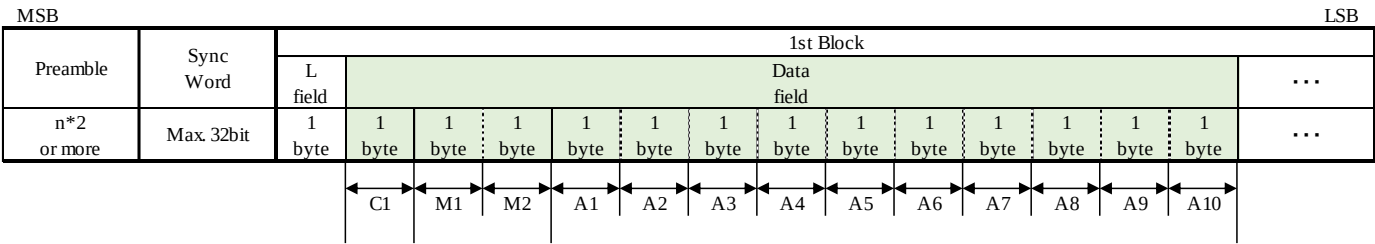
C1:[C2_FIELD_CODE1: B4 0x22]

M1:[M2_FIELD_CODE1: B4 0x23]
M2:[M2_FIELD_CODE2: B4 0x24]

A1:[A2_FIELD_CODE1: B4 0x25]
A2:[A2_FIELD_CODE2: B4 0x26]
A3:[A2_FIELD_CODE3: B4 0x27]
A4:[A2_FIELD_CODE4: B4 0x28]
A5:[A2_FIELD_CODE5: B4 0x29]
A6:[A2_FIELD_CODE6: B4 0x2A]
A7:[A2_FIELD_CODE7: B4 0x2B]
A8:[A2_FIELD_CODE8: B4 0x2C]
A9:[A2_FIELD_CODE9: B4 0x2D]
A10:[A2_FIELD_CODE10: B4 0x2E]

チェック Field	リファレンスパターン	一致の条件
Data-field1 バイト目	C2_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field2 バイト目	M2_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field3 バイト目	M2_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field4 バイト目	A3_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field5 バイト目	A3_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field6 バイト目	A3_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
Data-field7 バイト目	A3_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
Data-field8 バイト目	A3_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
Data-field9 バイト目	A3_FIELD_CODE6	リファレンスパターンと一致した場合、一致となる。
Data-field10 バイト目	A3_FIELD_CODE7	リファレンスパターンと一致した場合、一致となる。
Data-field11 バイト目	A3_FIELD_CODE8	リファレンスパターンと一致した場合、一致となる。
Data-field12 バイト目	A3_FIELD_CODE9	リファレンスパターンと一致した場合、一致となる。
Data-field13 バイト目	A3_FIELD_CODE10	リファレンスパターンと一致した場合、一致となる。

・パターン 3



C1:[C3_FIELD_CODE1: B4 0x32]

M1:[M3_FIELD_CODE1: B4 0x33]
M2:[M3_FIELD_CODE2: B4 0x34]

A1:[A3_FIELD_CODE1: B4 0x35]
A2:[A3_FIELD_CODE2: B4 0x36]
A3:[A3_FIELD_CODE3: B4 0x37]
A4:[A3_FIELD_CODE4: B4 0x38]
A5:[A3_FIELD_CODE5: B4 0x39]
A6:[A3_FIELD_CODE6: B4 0x3A]
A7:[A3_FIELD_CODE7: B4 0x3B]
A8:[A3_FIELD_CODE8: B4 0x3C]
A9:[A3_FIELD_CODE9: B4 0x3D]
A10:[A3_FIELD_CODE10: B4 0x3E]

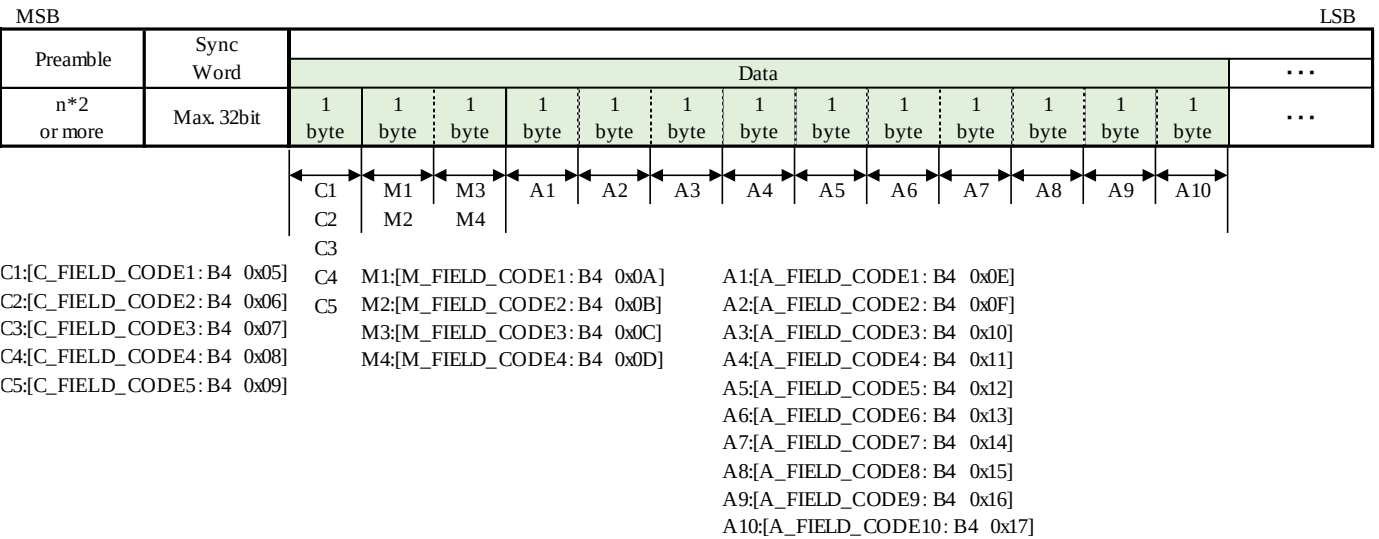
チェック Field	リファレンスパターン	一致の条件
Data-field1 バイト目	C3_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field2 バイト目	M3_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field3 バイト目	M3_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field4 バイト目	A_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field5 バイト目	A_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field6 バイト目	A_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
Data-field7 バイト目	A_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
Data-field8 バイト目	A_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
Data-field9 バイト目	A_FIELD_CODE6	リファレンスパターンと一致した場合、一致となる。
Data-field10 バイト目	A_FIELD_CODE7	リファレンスパターンと一致した場合、一致となる。
Data-field11 バイト目	A_FIELD_CODE8	リファレンスパターンと一致した場合、一致となる。
Data-field12 バイト目	A_FIELD_CODE9	リファレンスパターンと一致した場合、一致となる。
Data-field13 バイト目	A_FIELD_CODE10	リファレンスパターンと一致した場合、一致となる。

【Format D の場合】

Field チェックはリファレンスパターン毎にイネーブル・ディセーブル設定が可能です。全 Data-field データが下表に示す一致条件を満たした場合、Field チェック結果は一致として結果を通知します。ただし、Data-field1 バイト目のデータと C_FIELD_CODE5 が一致した場合のみ、他の Field データ(Data-field2 バイト目から 9 バイト目)が不一致であった場合でも Field チェック結果は一致として結果を通知します。

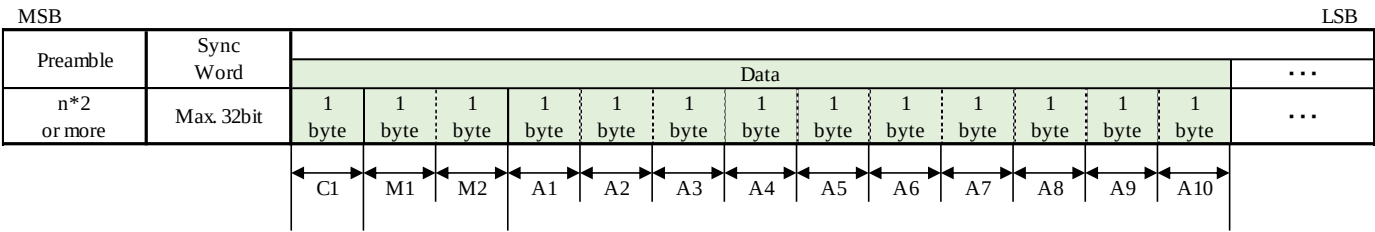
以下の 3 パターンを設定可能であり、異なる 3 パターンの Field データを同時に待受けチェックすることが可能です。

・パターン 1



チェック Field	リファレンスパターン	一致の条件
Data-field1 バイト目	C_FIELD_CODE1 または C_FIELD_CODE2 または C_FIELD_CODE3 または C_FIELD_CODE4 または C_FIELD_CODE5	5 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field2 バイト目	M_FIELD_CODE1 または M_FIELD_CODE2	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field3 バイト目	M_FIELD_CODE3 または M_FIELD_CODE4	2 つのリファレンスパターンのいずれか 1 つ一致した場合、一致となる。
Data-field4 バイト目	A_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field5 バイト目	A_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field6 バイト目	A_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
Data-field7 バイト目	A_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
Data-field8 バイト目	A_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
Data-field9 バイト目	A_FIELD_CODE6	リファレンスパターンと一致した場合、一致となる。
Data-field10 バイト目	A_FIELD_CODE7	リファレンスパターンと一致した場合、一致となる。
Data-field11 バイト目	A_FIELD_CODE8	リファレンスパターンと一致した場合、一致となる。
Data-field12 バイト目	A_FIELD_CODE9	リファレンスパターンと一致した場合、一致となる。
Data-field13 バイト目	A_FIELD_CODE10	リファレンスパターンと一致した場合、一致となる。

パターン 2



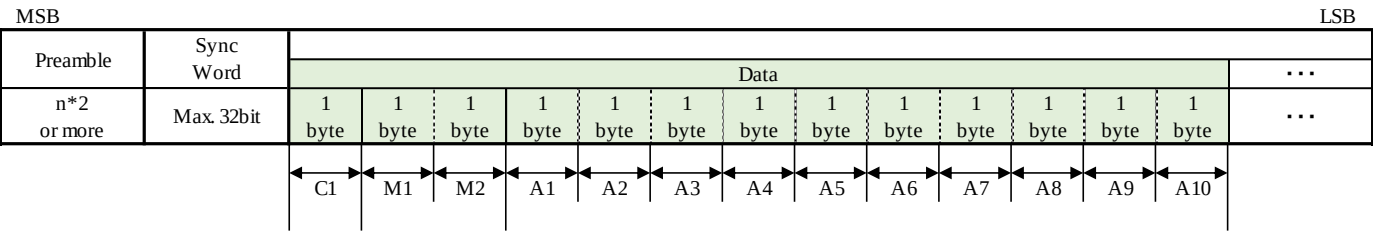
C1:[C2_FIELD_CODE1: B4 0x22]

M1:[M2_FIELD_CODE1: B4 0x23]
M2:[M2_FIELD_CODE2: B4 0x24]

A1:[A2_FIELD_CODE1: B4 0x25]
A2:[A2_FIELD_CODE2: B4 0x26]
A3:[A2_FIELD_CODE3: B4 0x27]
A4:[A2_FIELD_CODE4: B4 0x28]
A5:[A2_FIELD_CODE5: B4 0x29]
A6:[A2_FIELD_CODE6: B4 0x2A]
A7:[A2_FIELD_CODE7: B4 0x2B]
A8:[A2_FIELD_CODE8: B4 0x2C]
A9:[A2_FIELD_CODE9: B4 0x2D]
A10:[A2_FIELD_CODE10: B4 0x2E]

チェック Field	リファレンスパターン	一致の条件
Data-field1 バイト目	C2_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field2 バイト目	M1_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field3 バイト目	M2_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field4 バイト目	A2_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field5 バイト目	A2_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field6 バイト目	A2_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
Data-field7 バイト目	A2_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
Data-field8 バイト目	A2_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
Data-field9 バイト目	A2_FIELD_CODE6	リファレンスパターンと一致した場合、一致となる。
Data-field10 バイト目	A2_FIELD_CODE7	リファレンスパターンと一致した場合、一致となる。
Data-field11 バイト目	A2_FIELD_CODE8	リファレンスパターンと一致した場合、一致となる。
Data-field12 バイト目	A2_FIELD_CODE9	リファレンスパターンと一致した場合、一致となる。
Data-field13 バイト目	A2_FIELD_CODE10	リファレンスパターンと一致した場合、一致となる。

•パターン 3



C1:[C3_FIELD_CODE1: B4 0x32]

M1:[M3_FIELD_CODE1: B4 0x33]

M2:[M3_FIELD_CODE2: B4 0x34]

A1:[A3_FIELD_CODE1: B4 0x35]

A2:[A3_FIELD_CODE2: B4 0x36]

A3:[A3_FIELD_CODE3: B4 0x37]

A4:[A3_FIELD_CODE4: B4 0x38]

A5:[A3_FIELD_CODE5: B4 0x39]

A6:[A3_FIELD_CODE6: B4 0x3A]

A7:[A3_FIELD_CODE7: B4 0x3B]

A8:[A3_FIELD_CODE8: B4 0x3C]

A9:[A3_FIELD_CODE9: B4 0x3D]

A10:[A3_FIELD_CODE10: B4 0x3E]

チェック Field	リファレンスパターン	一致の条件
Data-field1 バイト目	C3_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field2 バイト目	M1_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field3 バイト目	M2_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field4 バイト目	A3_FIELD_CODE1	リファレンスパターンと一致した場合、一致となる。
Data-field5 バイト目	A3_FIELD_CODE2	リファレンスパターンと一致した場合、一致となる。
Data-field6 バイト目	A3_FIELD_CODE3	リファレンスパターンと一致した場合、一致となる。
Data-field7 バイト目	A3_FIELD_CODE4	リファレンスパターンと一致した場合、一致となる。
Data-field8 バイト目	A3_FIELD_CODE5	リファレンスパターンと一致した場合、一致となる。
Data-field9 バイト目	A3_FIELD_CODE6	リファレンスパターンと一致した場合、一致となる。
Data-field10 バイト目	A3_FIELD_CODE7	リファレンスパターンと一致した場合、一致となる。
Data-field11 バイト目	A3_FIELD_CODE8	リファレンスパターンと一致した場合、一致となる。
Data-field12 バイト目	A3_FIELD_CODE9	リファレンスパターンと一致した場合、一致となる。
Data-field13 バイト目	A3_FIELD_CODE10	リファレンスパターンと一致した場合、一致となる。

- Field チェック結果によるパケット処理方法

CA_RXD_CLR ([C_CHECK_CTRL: B0 0x1B(7)]=0b1 かつ CA_INT_CTRL ([C_CHECK_CTRL: B0 0x1B(6)]=0b1 に設定することにより、Field チェックにより不一致が生じたデータパケットを直ちに破棄し、次パケット受信待ち状態とすることが可能です。

•不一致パケット数表示

不一致を検出したパケット総数は、最大 2047 個までカウントし、結果を[ADDR_CHK_CTR_H: B1 0x62]および[ADDR_CHK_CTR_L: B1 0x63]に表示します。このカウント値は STATE_CLR4([STATE_CLR: B0 0x16(4)])にてクリアできます。

•Field チェック結果表示

各パターンの Field チェック結果を FIELD_CHECK_RSLT1/2/3([FIELD_CHECK_RSLT: B0 0x64(2-0)])に表示します。さらに IEEE802.15.4g パケットに準拠したパケットを受信した場合、ACK 要求ビットの有無検出結果を ACK_REQ_DET([FIELD_CHECK_RSLT: B0 0x64(3)])に表示します。それぞれ、SyncWord 検出タイミングでクリアされ、その後 Field チェック結果、ACK 要求ビットチェック結果に応じて表示が更新されます。

86

6-11-3-6 OFIFO 制御機能

本 LSI は送信用 FIFO256Byte、受信用 FIFO256Byte を各 1 面ずつ搭載しています。ただし、送受信 FIFO は複数パケットのデータ格納はサポートしていませんので、必ず 1 パケットずつ処理してください。受信 FIFO に受信パケットがある状態で次のパケットを受信した場合は上書きされます。送信 FIFO も同様です。

受信時は受信データをバイト単位で格納し、SPI 経由でホスト MCU より読み出します。送信時はホスト MCU より入力したデータをバイト単位で格納して送信します。

FIFO への書き込み、読み出しは SPI からのバーストアクセスにて行います。送信時は[WR_TX_FIFO: B0 0x7C]へ書き込み、受信時は [RD_FIFO: B0 0x7F]から読み出しを連続して行うことで FIFO 内部カウンタが自動インクリメントし、データを保存、出力します。書き込み、読み出し途中で FIFO アクセスを中断した場合、パケットの処理が完了するまでアドレスは保持されます。従いまして、FIFO アクセス再開時は FIFO アクセス中断時の次データからデータの書き込み、読み出しが可能です。

FIFO 制御に関するレジスタは以下の通りです。

機能	レジスタ
送信 FIFO の Full レベル設定	[TXFIFO_THRH: B0 0x17]
送信 FIFO の Empty レベル設定	[TXFIFO_THRL: B0 0x18]
受信 FIFO の Full レベル設定	[RXFIFO_THRH: B0 0x19]
受信 FIFO の Empty レベル設定	[RXFIFO_THRL: B0 0x1A]
FIFO リード面選択設定	[FIFO_SET: B0 0x78]
受信 FIFO の使用量表示	[RX_FIFO_LAST: B0 0x79]
送信パケット Length 設定	[TX_PKT_LEN_H/L: B0 0x7A/7B]
受信パケット Length 設定	[RX_PKT_LEN_H/L: B0 0x7D/7E]
送信 FIFO	[WR_TX_FIFO: B0 0x7C]
FIFO リード	[RD_FIFO: B0 0x7F]

FIFO を使用して送受信する場合の手順は以下となります。

【送信時】

- ①送信する L-field の値を[TX_PKT_LEN_H: B0 0x7A]、[TX_PKT_LEN_L: B0 0x7B]に設定します。Length 長が 1 バイト設定時は[TX_PKT_LEN_L]レジスタ値が送信されます。

Length 長設定は LENGTH_MODE([PKT_CTRL: B0 0x05(1-0)])で設定することができます。

- ②送信データを FIFO に書き込みます。

【ご注意】

1. 送信データの書き込みを途中で止めた場合、必ず送信 FIFO クリア([STATE_CLR: B0 0x16])を実行してください。LSI 内部にてデータを管理するポインタが状態を維持してしまい、この状態では次パケットの FIFO 処理が正常に行われないためです。

想定される条件としては、送信 FIFO アクセスエラーの割り込み通知([INT_SOURCE_GRP3: B0 0x0F(4)])を受けて止める場合があります。なお、この割り込み通知は FIFO のオーバーラン(例えば、FIFO に空きがない状態で送信 FIFO にライトした場合)、またはアンダーラン(例えば、FIFO が空きの状態で送信しようとした場合)に発生します。

2. 1 パケットのデータを格納した状態で次の書き込み動作を行うと FIFO は上書きされます。

3. 送信時に設定する Length 値は、パケットフォーマット設定により異なります。

Format A: Length および CRC 領域を除くデータ長を Length 値として設定します。

Format B: Length 領域を除くデータ長を Length 値として設定します。

Format C: Length 領域を除くデータ長を Length 値として設定します。

Format D: Data-field から CRC-field までのデータ長を Length 値として設定します。

【受信時】

(1) Format A/B/C の場合

- ① L-field の値 (Length) を [RX_PKT_LEN_H: B0 0x7D]、[RX_PKT_LEN_L: B0 0x7E] から読み出します。
- ② 受信データを FIFO から読み出します。
受信 FIFO をリードする場合は必ず FIFO_R_SEL([FIFO_SET: B0 0x78(0)]) を 0b0 に設定してください。
FIFO_R_SEL=0b1 設定時は FIFO リード面として送信 FIFO が選択されます。
また、受信 FIFO のデータ使用量は [RX_FIFO_LAST: B0 0x79] に表示します。

(2) Format D の場合

- ① データ長 (Length 値) を [RX_PKT_LEN_H: B0 0x7D]、[RX_PKT_LEN_L: B0 0x7E] に設定します。
- ② 受信データを FIFO から読み出します。
受信 FIFO をリードする場合は必ず FIFO_R_SEL([FIFO_SET: B0 0x78(0)]) を 0b0 に設定してください。
FIFO_R_SEL=0b1 設定時は FIFO リード面として送信 FIFO が選択されます。
また、受信 FIFO のデータ使用量は [RX_FIFO_LAST: B0 0x79] に表示します。

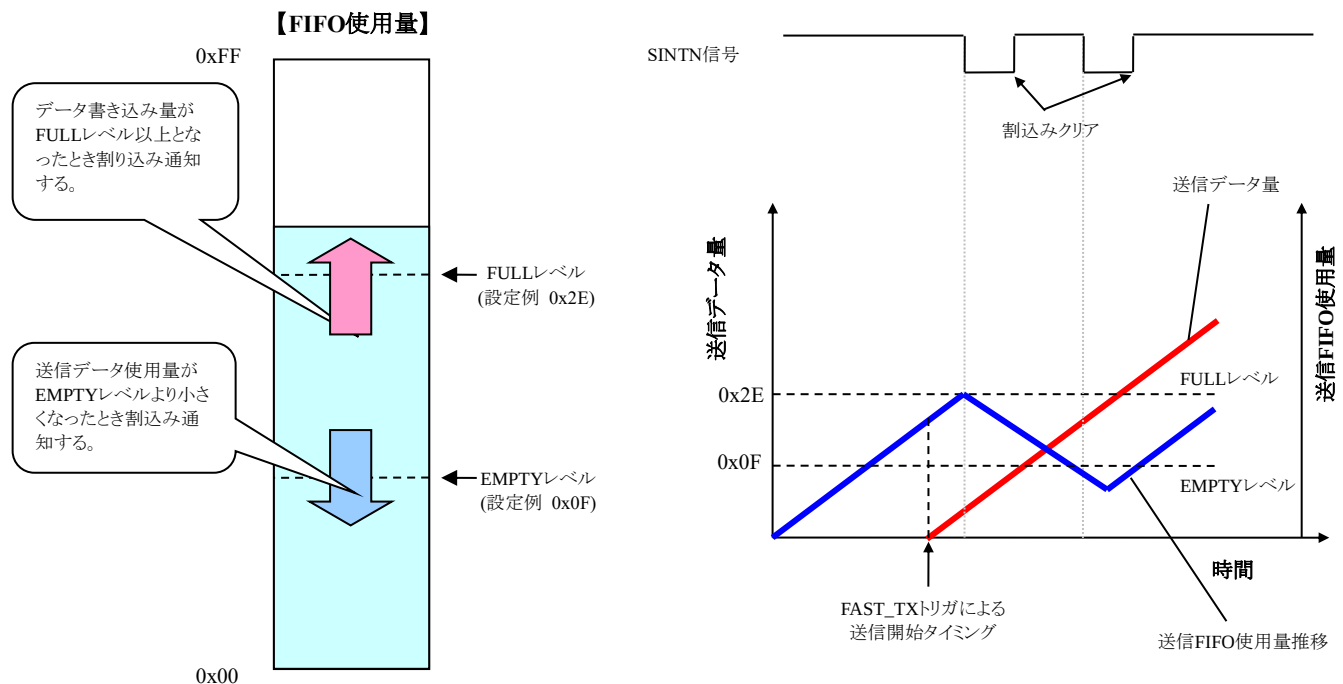
【ご注意】

1. 受信データの読み出しを途中で止めた場合、必ず受信 FIFO クリア ([STATE_CLR: B0 0x16]) を実行してください。LSI 内部にてデータを管理するポインタが状態を維持してしまい、この状態では次パケットの FIFO 処理が正常に行われなためです。
2. 1 パケットのデータが格納された状態で次のパケットを受信すると FIFO は上書きされます。必要な受信データは次のパケットを受信する前に全て読み出してください。なお、全てのデータを読み出していないにも関わらず次のパケット受信したことを検出する場合、SyncWord 検出割込み (INT[13](INT_SOURCE_GRP2: B0 0x0E(5))) を用いて判断することができます。
3. FIFO のオーバーランまたはアンダーランが発生しないように FIFO 制御を行ってください。
FIFO のオーバーランまたはアンダーランが発生しないように FIFO を制御するためには、以下の方法があります。
① 受信 FIFO 使用量 ([RX_FIFO_LAST: B0 0x79]) をリードし、使用量分のデータ量を FIFO から読み出します。
② 受信 FIFO の Full レベル ([RX_FIFO_THRH: B0 0x19]) を設定し、FIFO-Full 割込み (INT[5](INT_SOURCE_GRP1: B0 0x0D(5))) 発生後、受信 FIFO の Full レベル相当のデータ量を FIFO から読み出します。

FIFO サイズを超えるパケット長の送受信を行う場合、FIFO の Fullトリガ、Emptyトリガを使用することで FIFO へのライトまたはリード制御が容易に行うことができます。

(1) 送信 FIFO の使用量告知機能の使用方式

本機能は、送信 FIFO の未送信データ量(FIFO 使用量)を割込み通知信号(SINTN)を使用して MCU に通知する機能です。送信 FIFO の使用量(未送信分)が、[TXFIFO_THRH: B0 0x17]で設定した閾値(FULL レベル)以上となったときに割込みにて通知します。また本 LSI がデータを送信し、送信 FIFO の使用量が[TXFIFO_THRL: B0 0x18]で設定した閾値(EMPTY レベル)より小さくなった時に割込みにて通知します。割込み通知信号(SINTN)は GPIO*から出力できます。出力設定は[GPIO0_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[GPIO4_CTRL: B0 0x52]、[GPIO5_CTRL: B1 0x6D]を参照してください。なお、FULL レベルおよび EMPTY レベルは [TXFIFO_THRH: B0 0x17]、[TXFIFO_THRL: B0 0x18]に 1 以上の値を設定することにより有効になります。

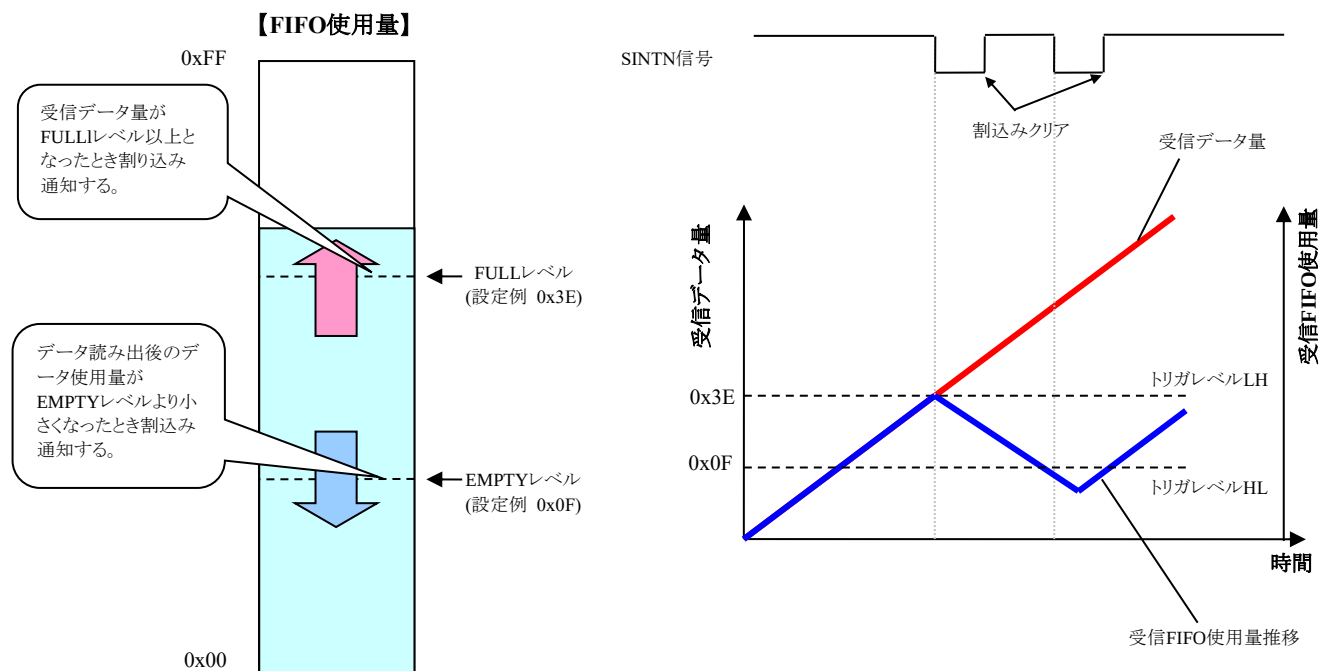


【ご注意】

1. [TXFIFO_THRH]と[TXFIFO_THRL]の告知レベルを同じ値に設定せず、必ず [TXFIFO_THRH] > [TXFIFO_THRL]となるよう設定してください。
2. LSI 内部の Full 検出状態は Full トリガ([TXFIFO_THRH]) > FIFO 使用量となった場合にクリアされ、次の Full トリガが検出できる状態となります。送信データのリード(PHY)と SPI 経由での FIFO ライトのタイミングによっては、FIFO ライト中に前述クリア条件を満たし、さらに Full トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Full トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO ライト完了後再度トリガレベル設定をイネーブルとしてください。
3. LSI 内部の Empty 検出状態は FIFO 使用量 ≤ Empty トリガ([TXFIFO_THRL])となった場合にクリアされ、次の Empty トリガが検出できる状態となります。送信データのリード(PHY)と SPI 経由での FIFO ライトのタイミングによっては、FIFO ライト中に前述クリア条件を満たし、さらに Empty トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Empty トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO ライト完了後再度トリガレベル設定をイネーブルとしてください。

(2) 受信 FIFO の使用量告知機能の使用方法

本機能は、送信 FIFO の未読み出しデータ量(FIFO 使用量)を割り込み通知信号(SINTN)を使用して MCU に通知する機能です。受信 FIFO の使用量(未読分)が、[RXFIFO_THRH: B0 0x19]で設定した閾値(FULL レベル)以上となったとき割り込みにて通知します。また MCU から受信データの読み出しが行われ、受信 FIFO の未読み出しデータ量(FIFO 使用量)が[RXFIFO_THRL: B0 0x1A]で設定した閾値(EMPTY レベル)より小さくなった時に割り込みにて通知します。割り込み通知信号(SINTN)は GPIO*から出力できます。出力設定は[GPIO0_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x52]、[GPIO4_CTRL: B0 0x52]、[GPIO5_CTRL: B1 0x6D]を参照してください。なお、FULL レベルおよび EMPTY レベルは[RXFIFO_THRH: B0 0x19]、[RXFIFO_THRL: B0 0x1A]に 1 以上の値を設定することにより有効になります。



【ご注意】

- 1.[RXFIFO_THRH]と[RXFIFO_THRL]の告知レベルを同じ値に設定せず、必ず [RXFIFO_THRH] > [RXFIFO_THRL]となるよう設定してください。
- 2.内部の Full 検出状態は Full トリガ([RXFIFO_THRH]) > FIFO 使用量となった場合にクリアされ、次の Full トリガが検出できる状態となります。受信データのライト(PHY)と SPI 経由での FIFO リードのタイミングによっては、FIFO リード中に前述クリア条件を満たし、さらに Full トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Full トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO リード完了後再度トリガレベル設定をイネーブルとしてください。
- 3.内部の Empty 検出状態は FIFO 使用量 ≥ Empty トリガ([RXFIFO_THRL])となった場合にクリアされ、次の Empty トリガが検出できる状態となります。受信データのライト(PHY)と SPI 経由での FIFO リードのタイミングによっては、FIFO リード中に前述クリア条件を満たし、さらに Empty トリガを検出する場合がありますのでご注意ください。この状態を防ぐために、Empty トリガ検出後、トリガレベル設定をディセーブル設定し、FIFO リード完了後再度トリガレベル設定をイネーブルとしてください。
- 4.本機能はデータ受信時のみ有効です。受信完了後は FIFO_EMPTY 割り込みは通知されません。

6-11-3-7 ODIO 機能

本 LSI は GPIO0～5 端子または SDI/SDO 端子より送受信データを入出力することが可能です。出力端子の制御は [GPIO0_CTRL: B0 0x4E]、[GPIO1_CTRL: B0 0x4F]、[GPIO2_CTRL: B0 0x50]、[GPIO3_CTRL: B0 0x51]、[GPIO4_CTRL: B0 0x52]、[GPIO5_CTRL: B1 0x6D]および[SPI/EXT_PA_CTRL: B0 0x53]によって行います。送信または受信時に入力または出力するデータは以下の通りです。

送信時・・・(NRZ またはマンチェスタ/3-out-of-6 符号化後の)送信データを入力します。

受信時・・・復号化前の受信データ、または復号化後の受信データを出力します。([DIO_SET: B0 0x0C]にて選択可)

DIO 機能に関するレジスタは以下の通りです。

機能	レジスタ
DIO 受信データ出力開始設定	DIO_START([DIO_SET: B0 0x0C(0)])
DIO 受信完了設定	DIO_RX_COMPLETE([DIO_SET: B0 0x0C(2)])
送信 DIO モード設定	TXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(5-4)])
受信 DIO モード設定	RXDIO_CTRL[1:0]([DIO_SET: B0 0x0C(7-6)])
DIO 時の IO 入出力方向設定イネーブル	DIO_IODIR_SET_EN([DIO_SET: B0 0x0C(1)])
DIO 時の IO 入出力方向設定	DIO_IODIR_SET([DIO_SET: B0 0x0C(3)])

(1) GPIO*端子使用時

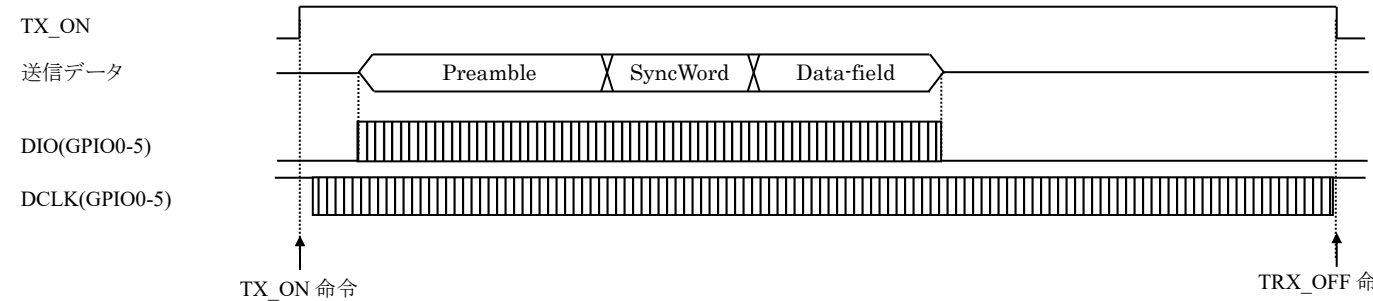
GPIO0～5 端子を使用して送受信データの入出力を行う場合、以下のように DCLK/DIO が制御されます。(図の DIO/DCLK 縦線部分は出力または入力区間を示します。)

【送信時】

① 常時入力モード

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b01 に設定してください。

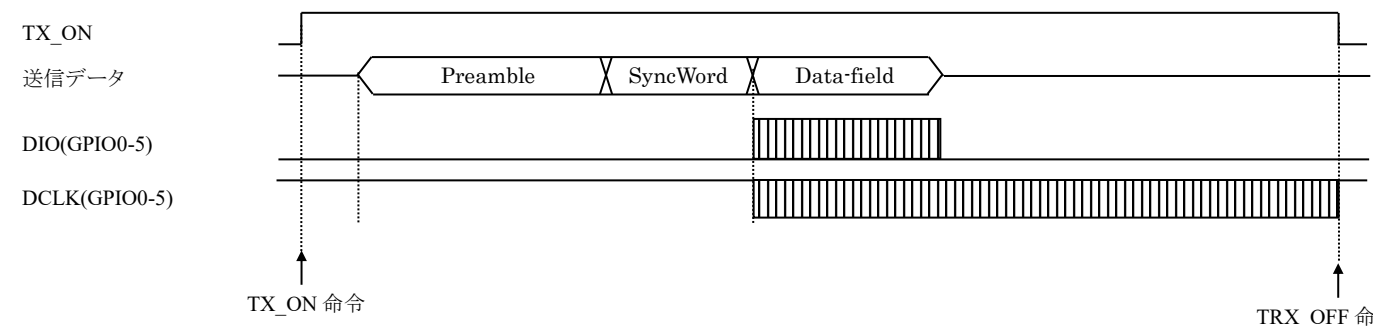
TX_ON 後送信クロックを出力します。送信クロックの立下りに同期して送信データを DIO 設定端子から入力します。送信データは符号化後のデータを入力してください。



② データ入力モード

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b10 に設定してください。

TX_ON 後 SyncWord 以降のデータ入力タイミングから送信クロックを出力します。送信クロックの立下りに同期して送信データを DIO 設定端子から入力します。送信データは符号化後のデータを入力してください。プリアンプルおよび SyncWord はそれぞれのレジスタ設定に従い、LSI が自動生成し送信します。



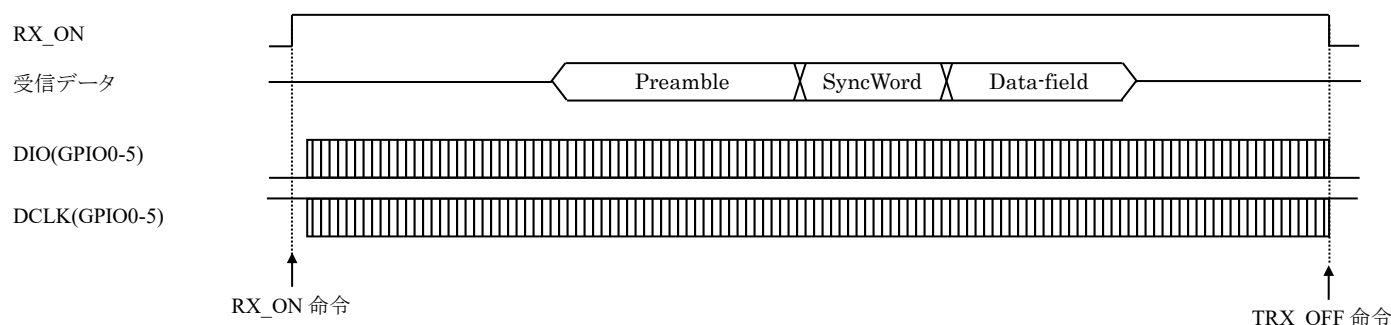
プリアンブルは PB_PAT([DATA_SET1: B0 0x07(7)], TXPR_LEN([TXPR_LEN_H/L: B0 0x42/43])にて設定できます。また、SyncWord は SYNCWORD_SEL([DATA_SET2: B0 0x08(4)], SYNCWORD_LEN([SYNC_WORD_LEN: B1 0x25), SYNC_WORD_EN*([SYNC_WORD_EN: B1 0x26), SYNCWORD1_SET([SYNCWORD1_SET3/2/1/0: B1 0x27/28/29/2A), SYNCWORD2_SET([SYNCWORD2_SET3/2/1/0: B1 0x2B/2C/2D/2E)にて設定できます。

【受信時】

① 常時出力モード

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b01 に設定してください。

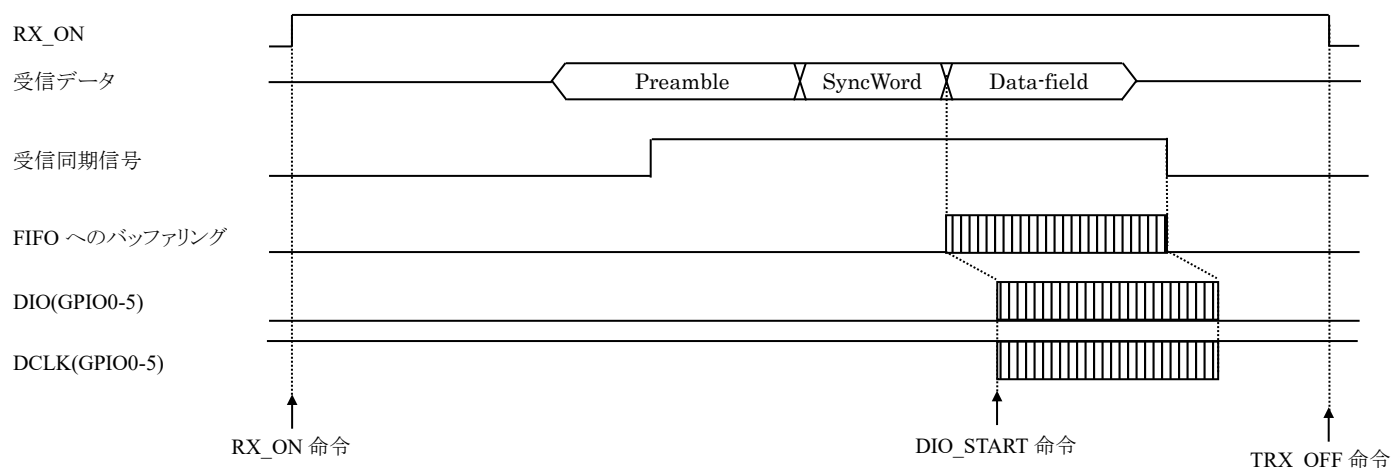
RX_ON 後常時受信クロックが出力されます。受信クロックの立下りに同期して受信データ(復調データ)を DIO 出力設定端子から出力します。FIFO による受信データのバッファリングは行いません。



② データ出力モード 1

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b10 に設定してください。

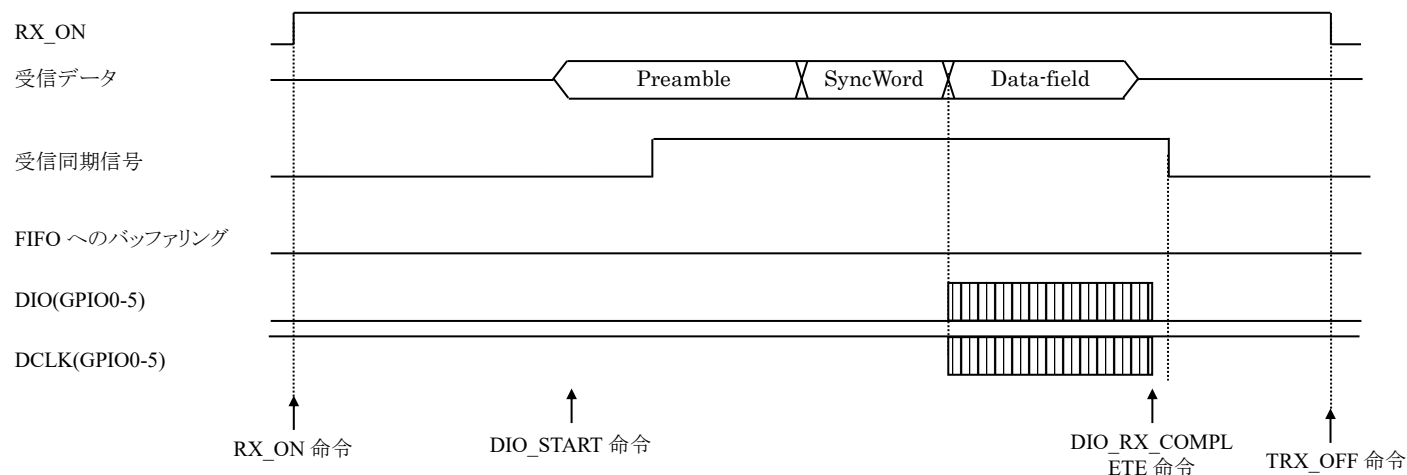
SyncWord 検出後、受信データを FIFO へバッファリング開始し、受信データのバッファリングは受信同期信号(SYNC)が”L”となるまで継続します。受信データ出力設定 DIO_START([DIO_SET: B0 0x0C(0)])により、バッファリングした先頭バイトの受信データから DIO インタフェース(DIO/DCLK)経由で出力されます(受信データは受信クロックの立下りに同期して出力されます)。ただし、256 バイト時間以上経過後に受信データ出力設定した場合、先頭バイトから順に上書きされます。SYNC が”L”となるタイミングまでバッファリングされたデータを全て出力した場合、受信完了とみなし受信完了割込み(INT[8])を発生します。受信完了後、本 LSI は次パケット受信待ち状態へ移行します。



【ご注意】

1. FIFO への受信データバッファリングはバイト単位で行います。DIO_START 命令は SyncWord 検出から 1 バイト以上の時間経過後(1 バイト以上データバッファリング完了後)に発行してください。
2. 本モードは L-field を LSI 内部で判断しないモードであり、Field チェック機能は使用できません。

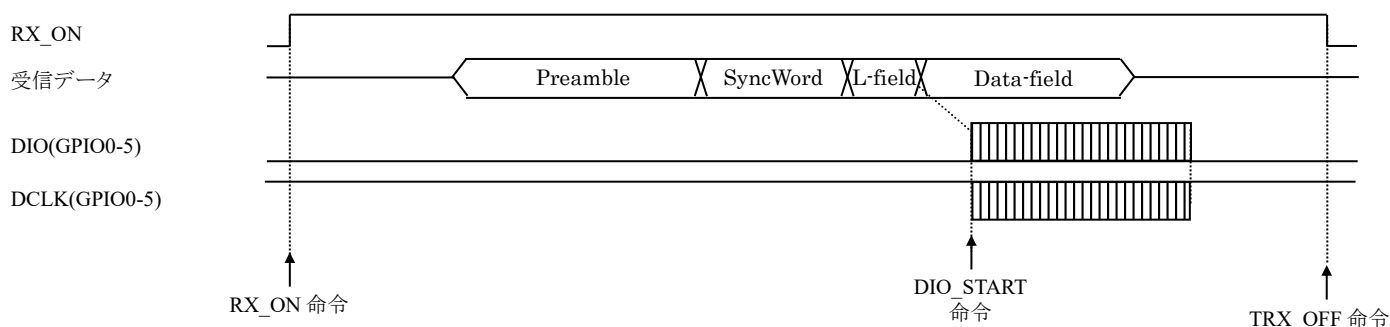
本設定において、SyncWord 検出以前に DIO_START 命令を発行した場合、FIFO でのデータバッファリングはせず、SyncWord 検出以降の受信データ・クロックを出力します。SYNC が”L”となる前に受信を完了する場合、DIO 受信完了設定 (DIO_RX_COMPLETE([DIO_SET: B0 0x0C(2)])を設定することで受信完了とすることができます。この場合、DIO_RX_COMPLETE 設定後、本 LSI は次パケット受信待ち状態へ移行します。



③ データ出力モード 2

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b11 に設定してください。

Data-field のみ受信データを FIFO へバッファリングします。FIFO へのバッファリングは L-field が示す Length 分の受信データをバッファリングします。受信データ出力設定(DIO_START([DIO_SET: B0 0x0C(0)])により、バッファリングした先頭バイトの受信データから DIO インタフェース(DIO/DCLK)経由で出力されます。ただし、256 バイト時間以上経過後に受信データ出力設定した場合、先頭バイトから順に上書きされます。L-field が示す Length 分の受信データを全て出力した場合、受信完了とみなし受信完了割込み(INT[8])を発生します。受信完了後、本 LSI は次パケット受信待ち状態へ移行します。受信した Length 情報は[RX_PKT_LEN_H/L: B0 0x7D/7E]に表示します。本モードは FIFO モード同様にパケット構成を考慮した動作を行いますので、Field チェック機能を使用することができます。



【ご注意】

1. FIFO への受信データバッファリングはバイト単位で行います。DIO_START 命令は SyncWord 検出から L-field 長(レジスタ設定値)+1 バイト以上の時間経過後(1 バイト以上データバッファリング完了後)に発行してください。

(2) SDI/SDO 端子使用時

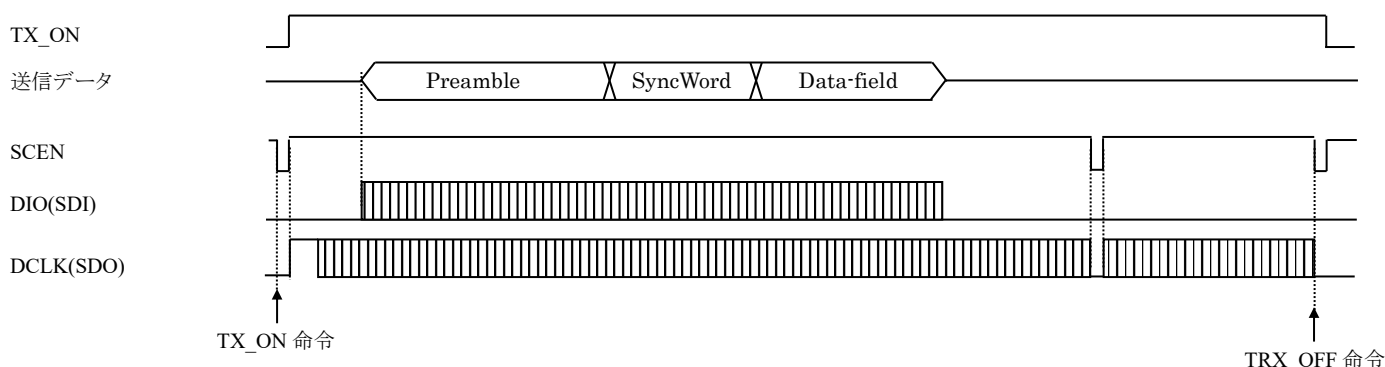
SPI インタフェース(SDI/SDO)を使用して送受信データの入出力を行う場合、以下のように DCLK/DIO が制御されます。(図の DIO/DCLK 縦線部分は出力または入力区間を示します。) 各 DIO モードの動作については前章“(1) GPIO*端子使用時”をご参照ください。

【送信時】

① 常時入力モード

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b01 に設定してください。

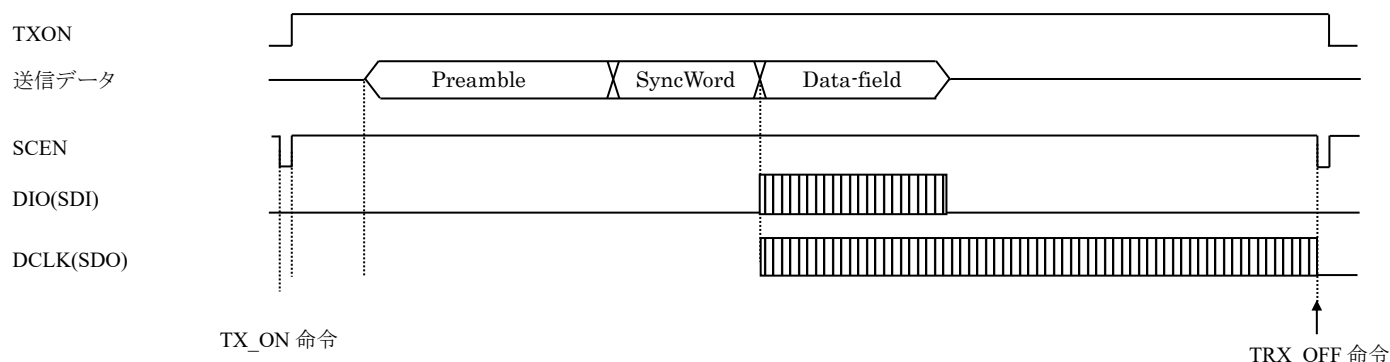
TX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x9)後、SCEN が”H”区間で SDO 端子から送信クロックを出力します。SDI 端子から送信データの入力してください。TRX_OFF([RF_STATUS: B0 0x0B(3-0)]=0x8)命令発行後は送信データ/クロックの入出力は無効になります。また、DCLK 出力中の場合でも SCEN が L となった場合、送信クロックの出力は停止します(SPI アクセスが優先されます)。



② データ入力モード

TXDIO_CTRL([DIO_SET: B0 0x0C(5-4)])を 0b10 に設定してください。

TX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x9)後、SCEN が”H”区間で SDO 端子から送信クロックを出力します。SDI 端子から送信データの入力してください。TRX_OFF 命令発行後は送信データ/クロックの入出力は無効になります。また、送信クロック出力中の場合でも SCEN が L となった場合、送信クロックの出力は停止します(SPI アクセスが優先されます)。



【ご注意】

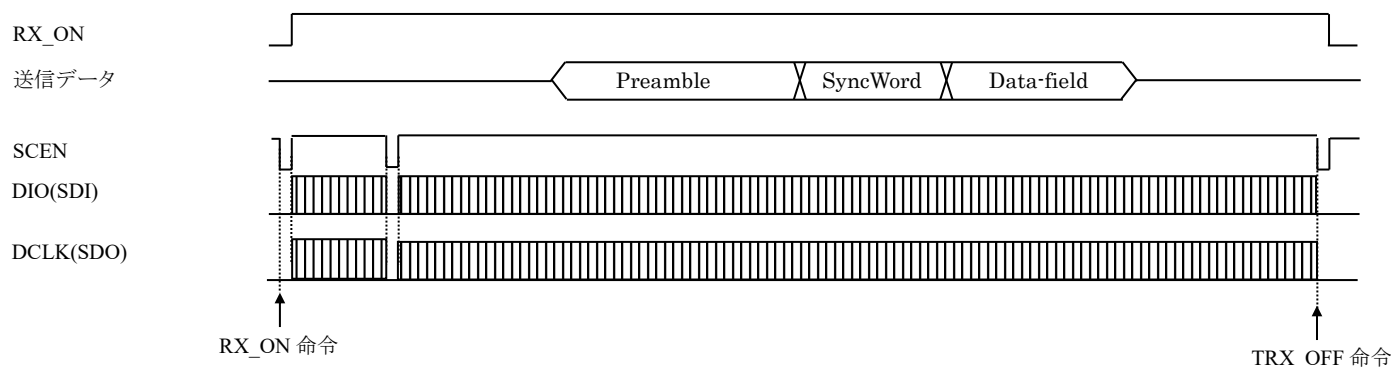
パケット送信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、送信処理は継続します。このとき、送信データのビット抜けが発生しますので、送信完了まで SPI アクセスしないでください。

【受信時】

① 常時出力モード

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b01 設定時

RX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x6)後、SCEN が”H”区間において SDO 端子から受信クロック、SDI 端子から受信データを出します。TRX_OFF 命令発行後は受信データ/クロックの出力は無効になります。また、受信データ/クロック出力中の場合でも SCEN が L となった場合、受信データ/クロックの出力は停止します(SPI アクセスが優先されます)。



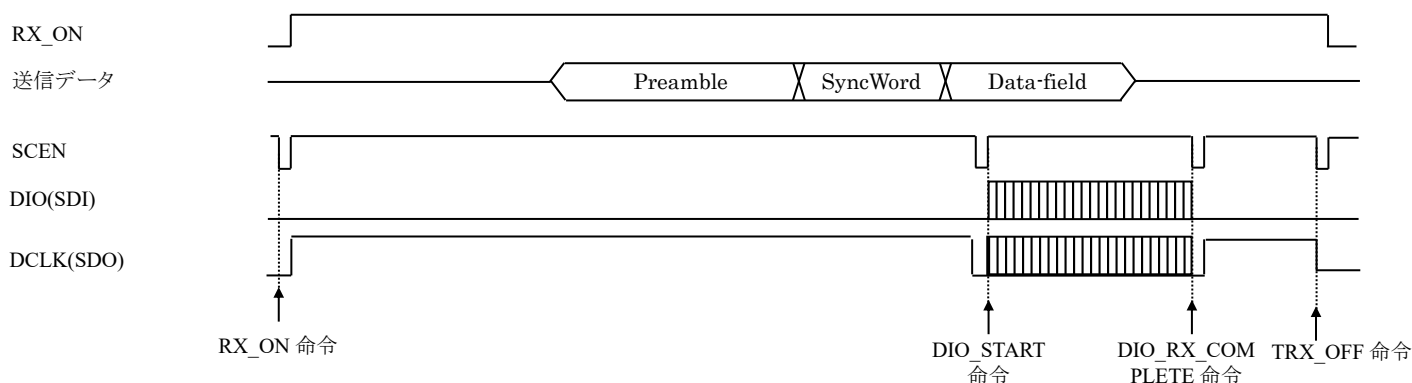
【ご注意】

パケット受信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、受信処理は継続します。このとき、受信データが出力されずビット抜けが発生しますので、受信完了まで SPI アクセスしないでください。

② データ出力モード 1 またはデータ出力モード 2

RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])を 0b10/11 設定にしてください。

RX_ON 命令発行([RF_STATUS: B0 0x0B(3-0)]=0x6)後、SCEN が”H”区間において SDO 端子から受信クロック、SDI 端子から受信データを出します。TRX_OFF 命令発行後は受信データ/クロックの出力は無効になります。また、受信データ/クロック出力中の場合でも SCEN が L となった場合、受信データ/クロックの出力は停止します(SPI アクセスが優先されます)。



【ご注意】

パケット受信中に SPI アクセスを行った場合、SPI アクセスが優先されますが、受信処理は継続します。このとき、受信データが出力されずビット抜けが発生しますので、受信完了まで SPI アクセスしないでください。

(3) GPIO 入出力極性設定

DIO モードでは、送受信動作に合わせて自動的にデータ入出力端子に割り当てた GPIO の入出力極性が切替わります。各状態における GPIO 入出力極性は以下の通りです。

LSI 状態	GPIO 入出力極性
IDLE 状態	出力
受信状態	出力
送信状態	入力
RF_SLEEP 状態	出力

ここで、GPIO の入出力極性を自動的に切り替えず、レジスタ制御(DIO_IODIR_SET_EN([DIO_SET: B0 0x0C(1)]))、DIO_IODIR_SET([DIO_SET: B0 0x0C(3)])にて任意のタイミングで切り替えることが可能です。任意のタイミングで入出力極性を切替える場合のレジスタ設定と入出力極性の関係は、以下の通りです。

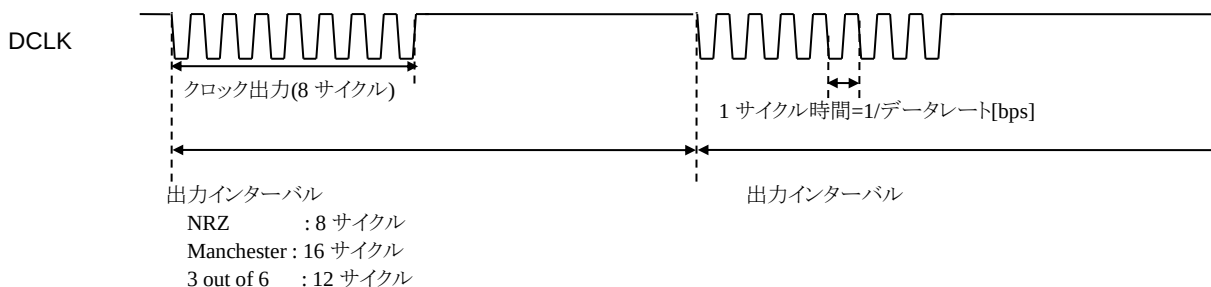
DIO_IODIR_SET_EN ([DIO_SET: B0 0x0C(1)])	DIO_IODIR_SET ([DIO_SET: B0 0x0C(3)])	GPIO 入出力極性
0	-	自動制御
1	0	入力
1	1	出力

(4) DCLK 出力方法

DIO モード設定により DCLK の出力方法が異なります。

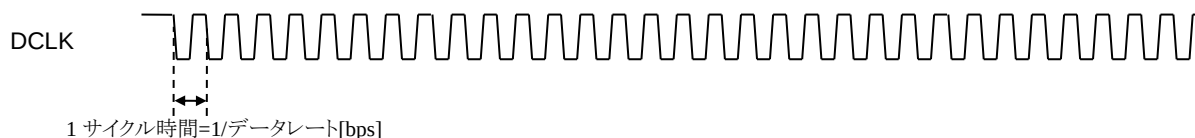
①データ出力モード 2(RXDIO_CTRL([DIO_SET: 0x0C(7-6)])=0b11 設定時)

本モードではマンチェスタ、3-out-of-6 復号化後のデータを出力するため、クロック出力インターバルに対するクロック出力区間は符号化方式により異なります。クロック出力区間は以下の通りとなります。



②①以外のモード(受信常時出力モード/データ出力モード 1、送信常時入力モード/データ入力モード)

本モードでは復号前の DIO を入出力するため、符号化方式によらず DCLK が連続して出力されます。

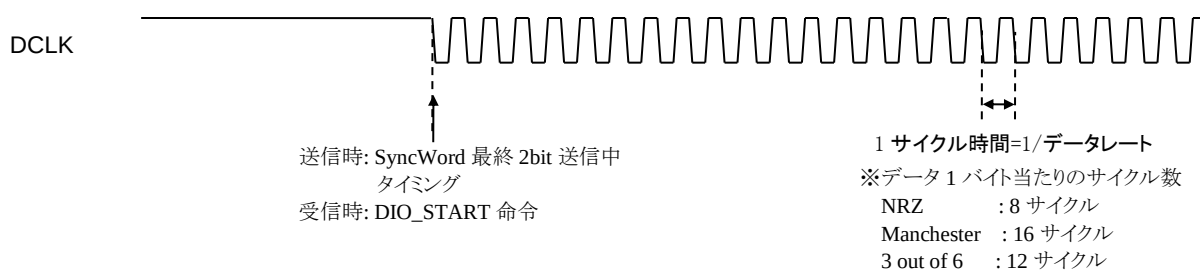
送信常時入力モードまたは受信常時出力モード

※データ 1 バイト当たりのサイクル数

NRZ : 8 サイクル

Manchester : 16 サイクル

3 out of 6 : 12 サイクル

送信データ入力モードまたは受信データ出力モード 1

6-11-3-8 OFEC(Forward Error Correction)機能

本 LSI は IEEE802.15.4g に準拠した FEC およびインターリーブを搭載しています。

FEC に関するレジスタは以下の通りです。

機能	レジスタ
FEC 設定	FEC_EN([FEC_CTRL: B6 0x02(0)])
FEC 方式設定	FEC_SCHEME([FEC_CTRL: B6 0x02(1)])
インターリーブ設定	INTLV_EN([FEC_CTRL: B6 0x02(2)])

【ご注意】

- FEC 機能を使用する場合、以下の設定でご使用ください。
①送信符号モード設定(TX_DEC_SCHEME([DATA_SET1: B0 0x07(1-0)]))および受信符号化モード設定(RX_DEC_SCHEME([DATA_SET1: B0 0x07(3-2)]))は NRZ としてください。
②パケットフォーマットは Format C(PKT_FORMAT([PKT_CTRL1: B0 0x04(1-0)])=0b10)をご使用ください。
③Length フィールド長設定は 2 バイトモード(LENGTH_MODE([PKT_CTRL2: B0 0x05(1-0)])=0b01)としてください。
- Whitening されたデータを受信する場合、予め Whitening 設定を有効(WHT_SET([DATA_SET2: B0 0x08(0)])=0b1)にして受信してください。

6-11-4. タイマ機能

6-11-4-1 ○ウェイクアップタイマ

本 LSI はウェイクアップタイマによる自動ウェイクアップ機能をサポートしております。ウェイクアップタイマに関連するレジスタは以下の通りです。

機能	レジスタ
ウェイクアップイネーブル	WAKEUP_EN([SLEEP/WU_SET: B0 0x2D(4)])
ウェイクアップ後の動作継続タイマイネーブル設定	WU_DURATION_EN([SLEEP/WU_SET: B0 0x2D(5)])
ウェイクアップ後の動作設定	WAKEUP_MODE([SLEEP/WU_SET: B0 0x2D(6)])
ウェイクアップタイマ動作モード設定	WUT_1SHOT_MODE([SLEEP/WU_SET: B0 0x2D(7)])
ウェイクアップタイマ用クロックソース設定	WUT_CLK_SORCE([SLEEP/WU_SET: B0 0x2D(3)])
ウェイクアップタイマ分周設定	[WUT_CLK_SET: B0 0x2E]
ウェイクアップタイマ設定	[WUT_INTERVAL_H/L: B0 0x2F/30]
ウェイクアップ後の動作継続タイマ設定	[WU_DURATION: B0 0x31]
動作継続タイマ満了時の受診継続条件設定	RCV_CONT_SEL[1:0]([M_CHECK_CTRL: B0 0x1C(5-4)])
高速電波チェックモード	FAST_DET_MODE_EN([CCA_CTRL: B0 0x39(3)])

ウェイクアップタイマを用いることで下記に示す動作が可能となります。

- ・タイマ満了後、RF_SLEEP 状態から自動ウェイクアップします。ウェイクアップ後の動作は WAKEUP_MODE([SLEEP/WU_SET: B0 0x2D(6)])で RX_ON 状態または TX_ON 状態のいずれかへの状態変更が選択可能です。
- ・WUT_1SHOT_MODE([SLEEP/WU_SET: B0 0x2D(7)])でウェイクアップ動作を繰り返し行う(インターバル動作)か、または1回のみ(1ショット動作)行うかの選択が可能です。
- ・インターバル動作設定時にウェイクアップタイマにより TX_ON/RX_ON へ状態遷移したとき、動作継続タイマが動作します。
- ・ウェイクアップによりRX_ONへ状態遷移後、動作継続タイマ満了時には、自動的にRF_SLEEP状態へ移行します。ただし、動作継続タイマ動作中に SyncWord を検出した場合、RX_ON 状態を継続します。このとき自動で RF_SLEEP 状態へは遷移しませんので、RF_SLEEP 設定(SLEEP_EN ([SLEEP/WU_SET: B0 0x2D(0)])=0b1)を行ってください。ただし、RXDONE_MODE[1:0] ([RF_STATUS_CTRL :B0 0x0A (3-2)])=0b11 に設定している場合は、受信完了した場合に自動で RF_SLEEP 状態へ遷移します。
動作継続タイマ満了時の受信継続判断を RCV_CONT_SEL([M_CHECK_CTRL: B0 0x1C(5:4)])により SyncWord 検出時、Field チェック検出、同期検出時から選択できます。
- ・ウェイクアップによりTX_ONへ状態遷移し、動作継続タイマ動作満了時にIDLE状態(送信完了)であった場合、自動的にRF_SLEEPに戻ります。送信中であった場合はTX_ON状態を継続します。このとき自動でRF_SLEEP状態へ遷移しませんので、RF_SLEEP 設定(SLEEP_EN ([SLEEP/WU_SET: B0 0x2D(0)])=0b1)を行ってください。
- ・高速電波チェックモードとの組み合わせにてウェイクアップ後、CCA を自動発行し、IDLE を検出した場合、即座にRF_SLEEPに移行することが可能です。詳細は(3) 高速電波チェックモードとの組合せを参照してください。
- ・ウェイクアップタイマ用のクロックソースは、WUT_CLK_SOURCE([SLEEP/WU_SET: B0 0x2D(2)])で GPIO 端子 GPIO0/GPIO1/GPIO2/GPIO3/GPIO4/ GPIO5 からの入力、もしくは内蔵 RC 発振回路を選択することが可能です。

ウェイクアップ間隔、ウェイクアップタイマ間隔および動作継続タイマの動作時間は下式の通り設定可能です。

$$\text{ウェイクアップ間隔[s]} = \text{ウェイクアップタイマ間隔[s]} + \text{動作継続タイマ稼働時間[s]}$$
$$\begin{aligned} \text{ウェイクアップタイマ間隔[s]} = & \text{ウェイクアップタイマ用クロック周期} * \\ & \text{分周設定}([WUT_CLK_SET: B0\ 0x2E(3-0)]) * \\ & (\text{ウェイクアップタイマ間隔設定}([WUT_INTERVAL_H/L: B0\ 0x2F/0x30]) + 1) \end{aligned}$$
$$\begin{aligned} \text{動作継続タイマ稼働時間[s]} = & \text{ウェイクアップタイマ用クロック周期} * \\ & \text{分周設定}([WUT_CLK_SET: B0\ 0x2E(7-4)]) * \\ & (\text{動作継続タイマ稼働時間設定}([WU_DURATION: B0\ 0x31]) - 1) \end{aligned}$$

【ご注意】

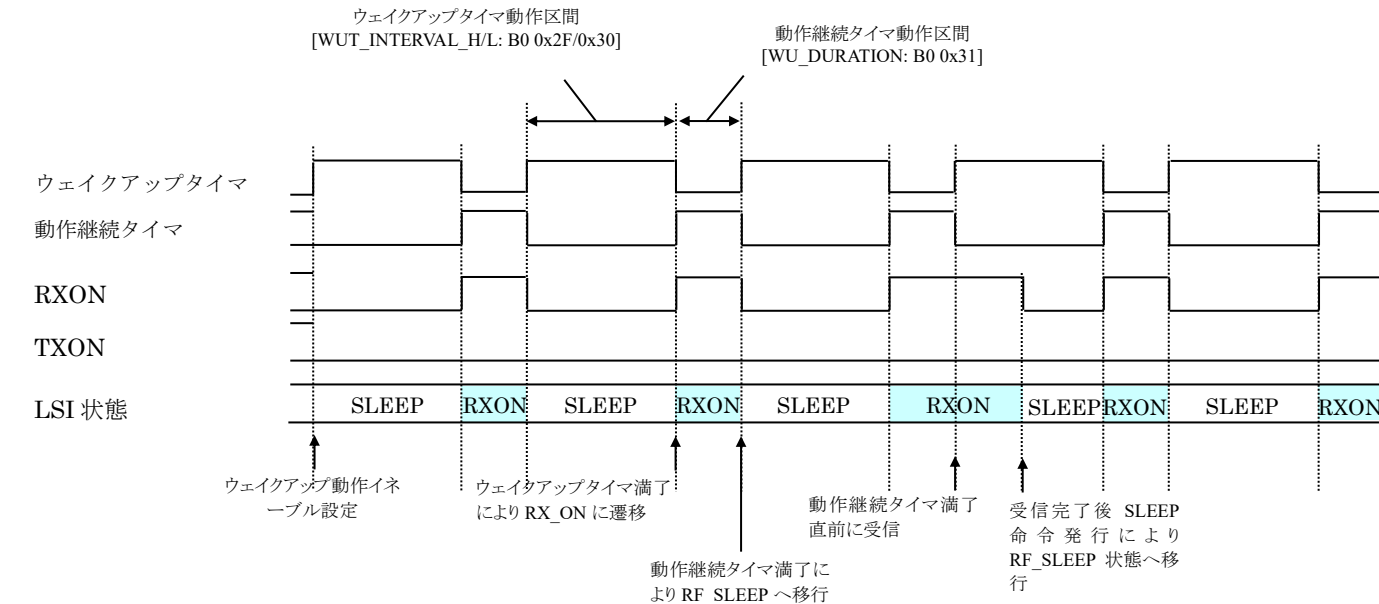
1. ウェイクアップ後 TX_ON へ遷移させる設定時、動作継続タイマ満了時に送信中であった場合には送信中と判断し、送信を継続します。送信完了後は TXDONE_MODE([RF_STATUS_CTRL: B0 0x0A(1-0)])設定に従い、RF 状態遷移を行います。
2. 分周設定の WUDT_CLK_SET ([WUT_CLK_SET: B0 0x2E(7-4)])と WUT_CLK_SET ([WUT_CLK_SET: B0 0x2E(3-0)])は独立して設定可能です。ただし、動作継続タイマを使用する場合は、WUDT_CLK_SET と WUT_CLK_SET は同じ設定にしてください。
3. ウェイクアップタイマ設定間隔([WUT_INTERVAL_H/L: B0 0x2F/0x30])の最小設定は 0x02 となります。また動作継続タイマ稼働時間設定([WU_DURATION: B0 0x31])の最小設定は 0x01 となります。ただし、動作継続タイマ稼働時間設定はウェイクアップによるクロック安定化割込み(INT[0]([INT_SOURCE_GRP1: B0 0x0D(0)]))が通知された後、タイマ満了になるようタイマ値を設定してください。
4. RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])=0b01 に設定した DIO モードの受信では SyncWord 検出を行わないため、動作継続タイマ満了後 RF_SLEEP 状態へ強制的に移行してしまいます。ご注意ください。

(1) インターバル動作

① 受信時

ウェイクアップ後、RX_ON 状態とします。SyncWord 検出前に動作継続タイマが満了した場合、自動で RF_SLEEP に戻ります。SyncWord を検出した場合は、RX_ON を継続します。受信完了後は、RXDONE_MODE[1:0] ([RF_STATUS_CTRL: B0 0x0A(3-2)])に従って動作します。また、SLEEP_EN(SLLEP/WU_SET:B0 0x2D(0))=0b1 を設定して RF_SLEEP 状態へ遷移させることができます。

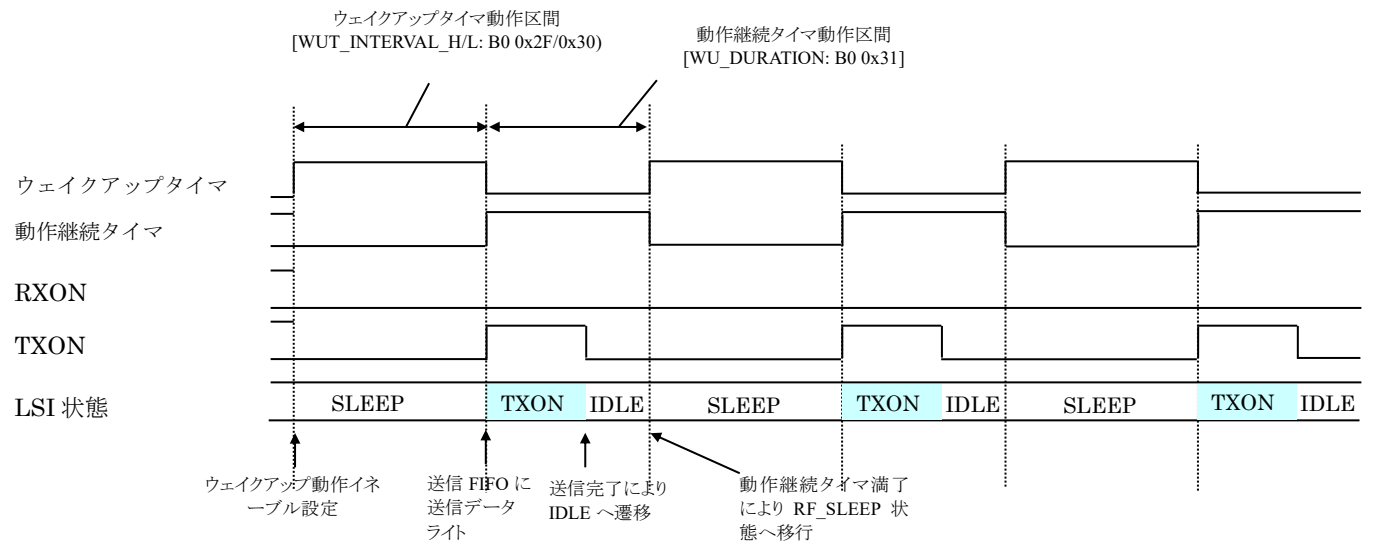
[SLEEPWU_SET: B0 0x2D(6-4)]=0b011 設定時



② 送信時

ウェイクアップ後、TX_ON 状態とします。送信完了後、TXDONE_MODE[1:0] ([RF_STATUS_CTRL: B0 0x0A(1-0)])に従って動作します。動作継続タイマが満了した場合、RF_SLEEP に戻ります。従いまして、動作継続タイマは必ず送信完了後にタイマ満了となるように設定してください。

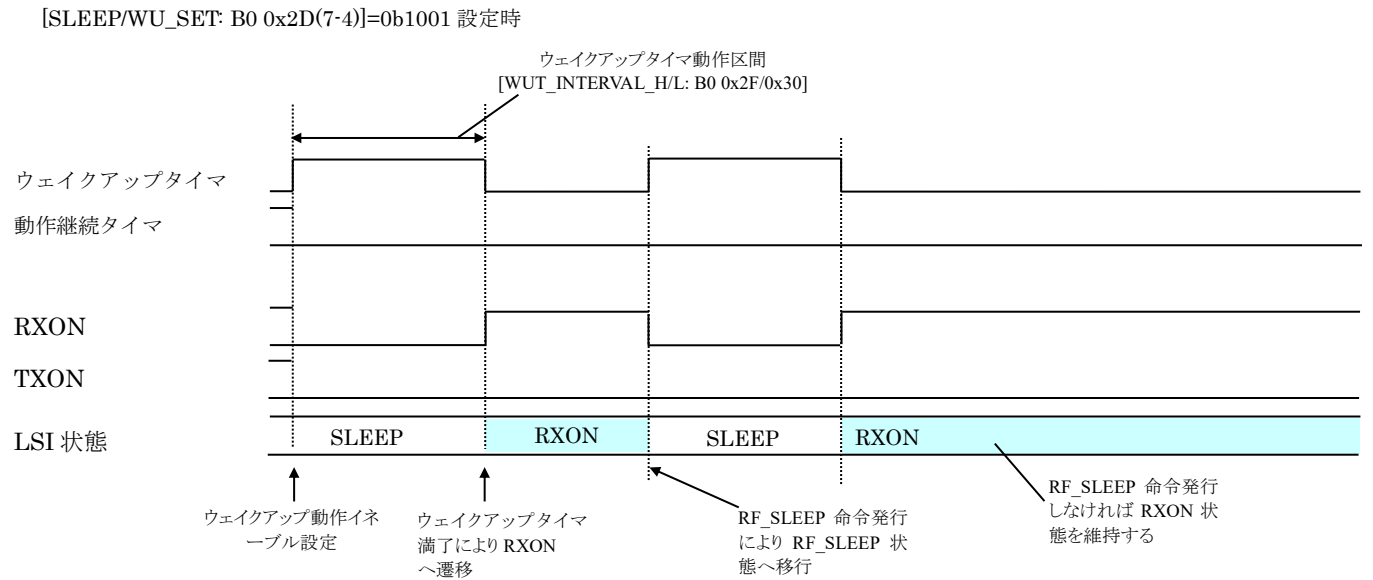
[SLEEPWU_SET: B0 0x2D(6-4)]=0b111 設定時



(2) 1 ショット動作

①受信時

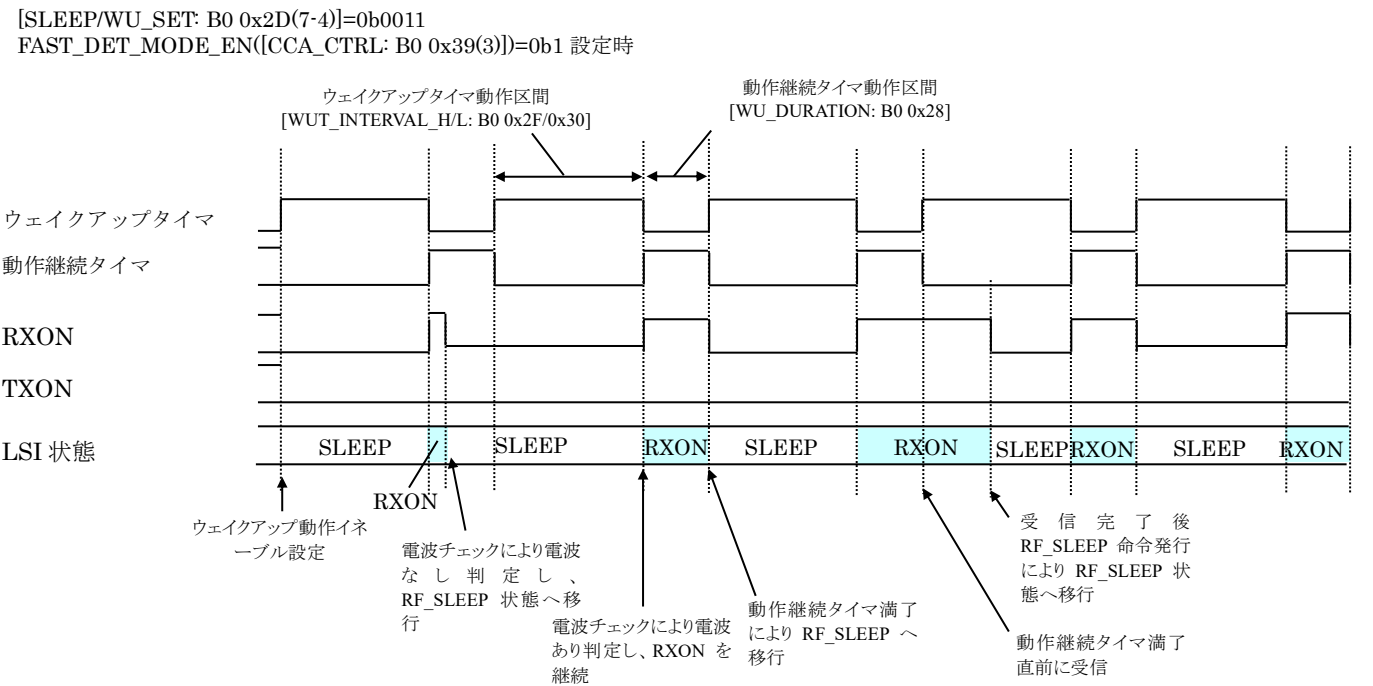
ウェイクアップタイム満了後、RX_ON 状態へ遷移します。その後、RX_ON を継続します。RF_SLEEP 命令発行により RF_SLEEP 状態へ移行します。ウェイクアップタイム設定間隔([WUT_INTERVAL_H/L: B0 0x2F/0x30])は維持されますので RF_SLEEP 命令発行後、1 ショット動作が再起動いたします。RF_SLEEP 状態へ移行する前には、ウェイクアップ割込み([INT_SOURCE_GRP1: B0 0x0D(6)])をクリアしてください。ウェイクアップ割込みをクリアしない場合は、自動で RX_ON 状態へ遷移しません。RX_ON 中に受信完了すると RXDONE_MODE[1:0] ([RF_STATUAS_CTRL:B0 0x0A (3-2)])に従って遷移します。送信時も同様の動作となります。



(3) 高速電波チェックモードとの組合せ

①インターバル動作

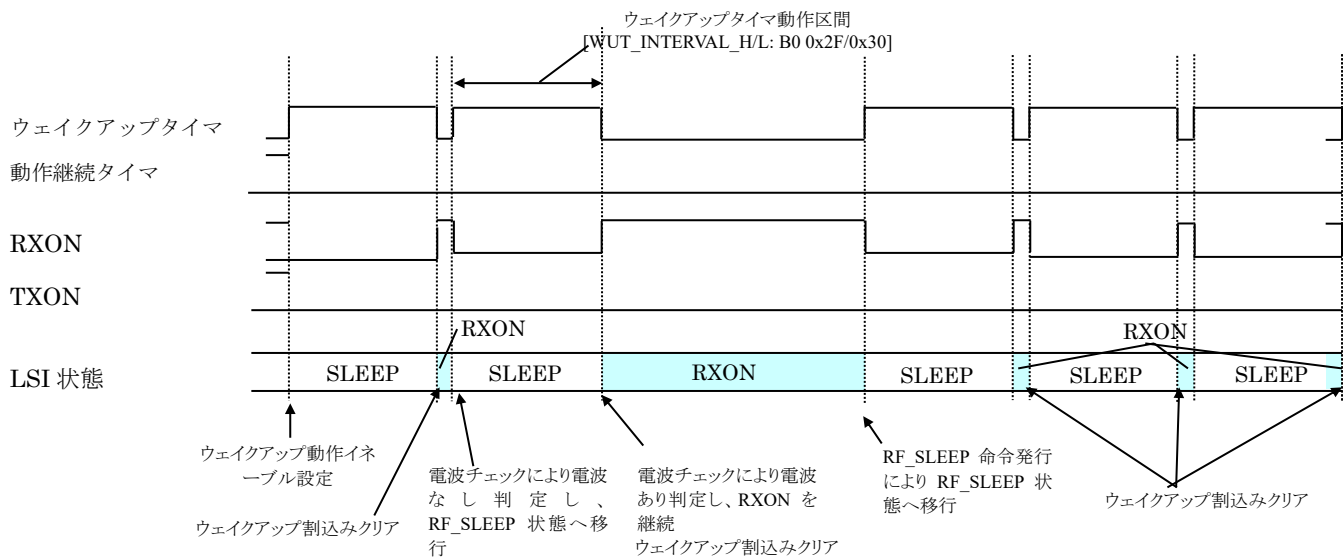
ウェイクアップタイム満了後、RX_ON 状態へ遷移します。その後、CCAを行い電波チェックを実施します。電波なしと判定した場合、RF_SLEEP 状態へ自動で移行します。電波ありと判定した場合は受信状態を継続し、SyncWord 検出を実施します。SyncWord 検出前に動作継続タイムが満了した場合、自動で RF_SLEEP に戻りますが、SyncWord を検出した場合は、RX_ON を継続します。



②1 ショット動作

ウェイクアップタイマ満了後、RX_ON 状態へ遷移します。その後、CCA を行い電波チェックを実施します。電波なしと判定した場合、RF_SLEEP 状態へ自動で移行します。電波なしと判定した場合にウェイクアップタイマ間隔で RF_SLEEP から復帰させる場合、RF_SLEEP へ移行する前にウェイクアップ割込み([INT_SOURCE_GRP1: B0 0x0D(6)])をクリアしてください。ウェイクアップ割込みをクリアしない場合は、自動で RX_ON 状態へ遷移しません。電波ありと判定した場合は受信状態を継続します。再度 RF_SLEEP 状態とする場合は、RF_SLEEP 設定を行います。

[SLEEPWU_SET: B0 0x2D(7-4)]=0b1001
FAST_DET_MODE_EN([CCA_CTRL: B0 0x39(3)])=0b1 設定時



6-11-4-2 ○汎用タイマ

本 LSI は汎用タイマ機能をサポートします。2 系統のタイマを用意し、タイマに使用するクロックソースの選択、タイマ設定が可能です。また、本タイマは 1 ショット動作し、タイマ満了後割込み(INT[22]または INT[23]:[INT_SOUCE_GRP3: B0 0x0F])にて通知します。再度タイマを動作させる場合は、タイマスタート前にタイマ満了割込み(INT[22]または INT[23])を必ずクリアしてください。

汎用タイマに関連するレジスタは以下の通りです。

機能	レジスタ
汎用タイマ 1 実行	GT1_START([GT_SET: B0 0x32(0)])
汎用タイマ 1 クロックソース設定	GT1_CLK_SOURCE([GT_SET: B0 0x32(1)])
汎用タイマ 1 間隔設定	[GT1_TIMER: B0 0x34]
汎用タイマ 2 実行	GT2_START([GT_SET: B0 0x32(4)])
汎用タイマ 2 クロックソース設定	GT2_CLK_SOURCE([GT_SET: B0 0x32(5)])
汎用タイマ 2 間隔設定	[GT2_TIMER: B0 0x35]
汎用タイマクロック分周設定	[GT_CLK_SET: B0 0x33]

汎用タイマのタイマ間隔は下式の通り設定可能です。

汎用タイマ間隔[sec] = 汎用タイマ用クロック周期 *
分周設定([GT_CLK_SET: B0 0x33]) *
汎用タイマ間隔設定([GT1_TIMER: B0 0x34]または[GT2_TIMER: B0 0x35])

汎用タイマ用クロックは、GT2/1_CLK_SOURCE [GT_SET: B0 0x32(5,1)]でウェイクアップタイマ用クロック、2MHz から選択可能です。2MHz クロックは FREF 及び MSTR_CLK_SEL1,2([CLK_SET1: B0 0x02(6,5)])により生成されます。詳細は GT2/1_CLK_SOURCE [GT_SET: B0 0x32(5,1)]をご参照ください。

【ご注意】
汎用タイマ動作中に GT1_START または GT2_START を 0b0 に設定した場合、その時点でタイマが停止します。その後、再度 GT1_START または GT2_START を 0b1 にした場合、停止時のタイマ値から再開します。タイマを途中で停止後、タイマ値 0 から動作させることはできません。

6-11-5.周波数設定機能

下の表に示すレジスタで周波数を設定することができます。

周波数設定

設定周波数			レジスタ
PLL 出力分周設定(Ndiv) PLL 前置分周比設定(S)			[PLL_DIV_SET: B1 0x1A(3-1)] : RF 出力分周比設定(Ndiv) [PLL_DIV_SET: B1 0x1A(0)]:PLL 前置分周比設定(S)
CH#0 周波数設定 (PLL 分周比 : Npll)	サブ GHz 用	PLL 分周値 (送信用)	[TXFREQ_I: B1 0x1B] : 整数分周値 [TXFREQ_FH: B1 0x1C] : 小数分周値(上位バイト) [TXFREQ_FM: B1 0x1D] : 小数分周値(中位バイト) [TXFREQ_FL: B1 0x1E] : 小数分周値(下位バイト)
		PLL 分周値 (受信用)	[RXFREQ_I: B1 0x1F] : 整数分周値 [RXFREQ_FH: B1 0x20] : 小数分周値(上位バイト) [RXFREQ_FM: B1 0x21] : 小数分周値(中位バイト) [RXFREQ_FL: B1 0x22] : 小数分周値(下位バイト)
	2.4GHz 用	PLL 分周値 (送信用)	[TXFREQ_I_2G: B4 0x60] : 整数分周値 [TXFREQ_FH_2G: B4 0x61] : 小数分周値(上位バイト) [TXFREQ_FM_2G: B4 0x62] : 小数分周値(中位バイト) [TXFREQ_FL_2G: B4 0x63] : 小数分周値(下位バイト)
		PLL 分周値 (受信用)	[RXFREQ_I_2G: B4 0x64] : 整数分周値 [RXFREQ_FH_2G: B4 0x65] : 小数分周値(上位バイト) [RXFREQ_FM_2G: B4 0x66] : 小数分周値(中位バイト) [RXFREQ_FL_2G: B4 0x67] : 小数分周値(下位バイト)
チャンネル間隔(N_sp)	サブ GHz 用		[CH_SPACE_H: B1 0x23] : チャンネル間隔設定値(上位バイト) [CH_SPACE_L: B1 0x24] : チャンネル間隔設定値(下位バイト)
	2.4GHz 用		[CH_SPACE_H_2G: B4 0x68] : チャンネル間隔設定値(上位バイト) [CH_SPACE_L_2G: B4 0x69] : チャンネル間隔設定値(下位バイト)
チャンネル番号(Nch)			[CH_SET: B0 0x09] : チャンネル番号

上記のレジスタ設定方法を以下で説明致します。

6-11-5-1 OPLL 出力分周設定

RF 周波数帯に応じて、以下の通り設定してください。

PLL 出力分周値設定および前置分周設定

RF 周波数帯 [MHz]	RF 出力分周設定値 (Ndiv)	[PLL_DIV_SET: B1 0x1A] (HEX)	
		PLL 前置分周:2 分周	PLL 前置分周:4 分周
420-470MHz	4	0x04	0x05
779-787MHz	2	0x02	0x03
843-847MHz	2	0x02	0x03
863-870MHz	2	0x02	0x03
902-930MHz	2	0x02	0x03
2402-2483.5MHz	1	0x00	0x01

※PLL 前置分周比(S)を切り替える場合は、PLL_DIV_SEL([PLL_DIV_SET: B1:0x1A(0)])を変更して下さい。
(PLL_DIV_SEL=0:2 分周、PLL_DIV_SEL=1:4 分周)

6-11-5-2 ○チャンネル周波数の設定

CH#0 から CH#255 までの最大 256 個のチャンネル周波数を設定することができます。
送受信周波数に関する設定は以下のレジスタにより設定可能です。

【チャンネル周波数設定】

チャンネル周波数は下式により決定されます。

$$\text{Frf_0} = S * \text{Npll} / \text{Ndiv} * \text{Fref} \quad \dots(1)$$

ここで、Frf_0: CH#0 周波数

Npll: PLL 分周比

Ndiv: PLL 出力分周設定

Fref: 基準周波数

S: PLL 前置分周比(PLL_DIV_SEL([PLL_DIV_SET: B1 0x1A(0)]=0:S=2, 1:S=4)

$$\text{Npll} = \text{Frf_0} * \text{Ndiv} / (S * \text{Fref}) \quad \dots(2)$$

※CH#0 周波数設定のために Npll 値を下記レジスタに設定します。

サブ GHz 用 : [TXFREQ_I / FH/FM/FL: B1 0x1B~0x1E]

[RXFREQ_I / FH/FM/FL: B1 0x1F~0x22]

2.4GHz 用 : [TXFREQ_I / FH/FM/FL_2G: B4 0x60~0x63]

[RXFREQ_I / FH/FM/FL_2G: B4 0x64~0x67]

$$\text{Frf_x} = \text{Frf_0} + \text{F_sp} * \text{Nch} \quad \dots(3)$$

ここで、Frf_x: チャンネル周波数

F_sp: チャンネル間隔

Nch: チャンネル番号

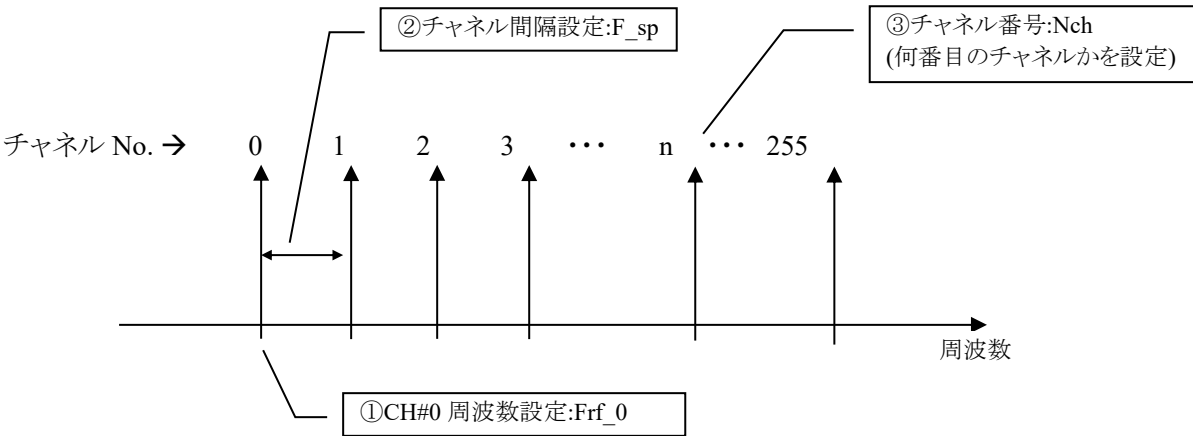
$$\text{N_sp} = \text{F_sp} * \text{Ndiv} / (S * \text{Fref}) \quad \dots(4)$$

※チャンネル間隔(F_sp)設定のために N_sp 値を下記レジスタに設定します。

サブ GHz 用 : [CH_SPACE_H / L: B1 0x23~0x24]

2.4GHz 用 : [CH_SPACE_H_2G: B4 0x68~0x69]

【チャンネル周波数設定のイメージ】



(1) CH#0 周波数設定(Frf_0)

CH#0 周波数設定方法を説明します。
送信周波数と受信周波数は別々のアドレスに設定されます。
CH#0 周波数(Frf_0)は(2)式より PLL 分周比 Npll を算出し、整数部分 I、小数部分 F に分けてレジスタに設定します。

$$N_{pll} = Frf_0 * Ndiv / (S * F_{ref}) \quad \dots(2)$$

整数部分 I = INT(Npll) ... (5) ※INT(X) : X の整数部分
小数部分 F = INT[{ Npll - INT(Npll) } * 2²⁰] ... (6)

計算例) CH#0 周波数 Frf_0=920.7MHz を設定する場合 (基準クロック Fref=48MHz 時)

$$N_{pll} = Frf_0 * Ndiv / (S * F_{ref}) = 920.7MHz * 2 / (2 * 48MHz) = 19.18125$$

(※Ndiv=2, S=2)

整数部分 I = 19[DEC]=13[HEX]
小数部分 F = INT((Npll - INT(Npll)) * 2²⁰) = INT((19.18125 - 19) * 2²⁰) = 190054[DEC] = 02_E6_66[HEX]

Frf_0=920.7MHz(Fref=48MHz)時の CH#0 周波数設定

PLL 分周比 Npll	送信用レジスタアドレス	受信用レジスタアドレス	設定値[HEX]
整数部分 I	[TXFREQ_I: B1 0x1B]	[RXFREQ_I: B1 0x1F]	13
小数部分 F_H(上位)	[TXFREQ_FH: B1 0x1C]	[RXFREQ_FH: B1 0x20]	02
小数部分 F_M(中位)	[TXFREQ_FM: B1 0x1D]	[RXFREQ_FM: B1 0x21]	E6
小数部分 F_L(下位)	[TXFREQ_FL: B: 0x1E]	[RXFREQ_FL: B1 0x22]	66

※2.4GHz 設定例

Frf_0=2405MHz(Fref=48MHz)時の CH#0 周波数設定

PLL 分周比 Npll	送信用レジスタ		受信用レジスタ	
	アドレス	設定値[HEX]	アドレス	設定値[HEX]
整数部分 I	[TXFREQ_I_2G: B4 0x60]	19	[RXFREQ_I_2G: B4 0x64]	19
小数部分 F_H(上位)	[TXFREQ_FH_2G: B4 0x61]	00	[RXFREQ_FH_2G: B4 0x65]	00
小数部分 F_M(中位)	[TXFREQ_FM_2G: B4 0x62]	D5	[RXFREQ_FM_2G: B4 0x66]	D5
小数部分 F_L(下位)	[TXFREQ_FL_2G: B4 0x63]	55	[RXFREQ_FL_2G: B4 0x67]	55

(2) チャネル間隔の設定(F_{sp})

チャネル間隔設定方法を説明します。

チャネル間隔 F_{sp} とは、隣接するチャネルの中心周波数の間隔です。

チャネル間隔 F_{sp} は(4)式より PLL 分周比 N_{sp} を算出し、小数部分 F のみをレジスタに設定します。

$$N_{sp} = F_{sp} * N_{div} / (S * F_{ref}) \quad \dots(4)$$

$$\text{小数部分 } F = \text{INT}((N_{sp}) * 2^{20}) \quad \dots(7)$$

設定できるチャネル間隔の最大値は F_{sp_max} は次式で計算されます。

$$F_{sp_max} < F_{ref} / 2^4 \quad \dots(8)$$

計算例) チャネル間隔 $F_{sp} = 400\text{kHz}$ を設定する場合 (基準クロック $F_{ref} = 48\text{MHz}$ 時)

$$N_{sp} = F_{sp} * N_{div} / (S * F_{ref}) = 400\text{kHz} * 2 / (2 * 48\text{MHz}) = 0.008333$$

(※ $N_{div}=2, S=2$)

$$\text{小数部分 } F = \text{INT}((N_{sp}) * 2^{20}) = \text{INT}(0.008333 * 2^{20}) = 8738[\text{DEC}] = 00_22_22[\text{HEX}]$$

$F_{sp}=400\text{kHz}(F_{ref}=48\text{MHz})$ 時のチャネル間隔(N_{sp})設定表

PLL 分周比 N_{sp}	レジスタアドレス	設定値[HEX]
整数部分 I	-	-
小数部分 F_H (上位)	-	-
小数部分 F_M (中位)	[CH_SPACE_H: B1 0x23]	22
小数部分 F_L (下位)	[CH_SPACE_L: B1 0x24]	22

※チャネル間隔の最大値 $F_{sp}[\text{MHz}] < F_{ref} / (2^4) [\text{MHz}] (=3\text{MHz})$

※2.4GHz 設定例

$F_{sp}=1000\text{kHz}(F_{ref}=48\text{MHz})$ 時のチャネル間隔(N_{sp})設定表

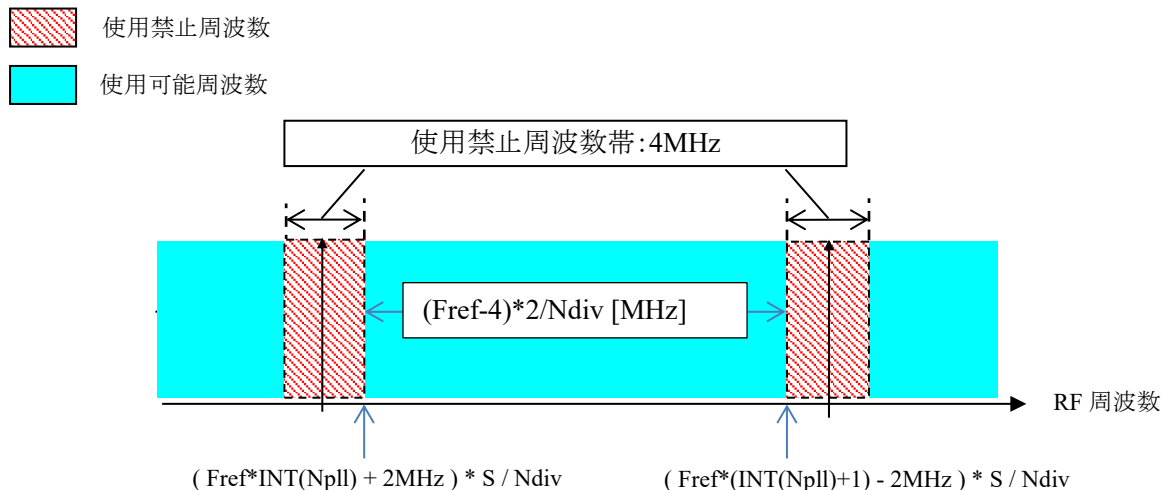
PLL 分周比 N_{sp}	レジスタアドレス	設定値[HEX]
整数部分 I	-	-
小数部分 F_H (上位)	-	-
小数部分 F_M (中位)	[CH_SPACE_H_2G: B1 0x68]	2A
小数部分 F_L (下位)	[CH_SPACE_L_2G: B1 0x69]	AA

※チャネル間隔の最大値 $F_{sp}[\text{MHz}] < F_{ref} / (2^4) [\text{MHz}] (=3\text{MHz})$

【ご注意】

- (1) 使用する RF 周波数は以下の条件を満足しなければなりません。次式を満足しない場合は、基準クロック周波数を変更する、もしくはチャンネル#0 周波数を変更してください。

$$(F_{\text{ref}} * \text{INT}(N_{\text{pll}}) + 2\text{MHz}) * S / N_{\text{div}} \leq \text{使用する RF 周波数} \leq (F_{\text{ref}} * (\text{INT}(N_{\text{pll}}) + 1) - 2\text{MHz}) * S / N_{\text{div}}$$



- (2) CH#0 周波数およびチャンネル間隔設定はそれぞれ誤差を含むため、チャンネル周波数は次式で示す周波数誤差を生じます。

$$\text{チャンネル周波数誤差[Hz]} = \text{CH\#0 周波数誤差[Hz]} + \text{チャンネル間隔設定誤差[Hz]} * \text{チャンネル設定}$$

チャンネル設定を大きくした場合、チャンネル周波数誤差が大きくなります。この誤差が許容できない場合、CH#0 周波数を変更してください。

- (3) チャンネル周波数(=CH#0 周波数+チャンネル間隔×チャンネル設定)設定値が、整数部および小数部(「チャンネル#0 周波数の設定」参照)からなる計 26bit が、最大値 0x1FF_FFFF を超えた場合、期待するチャンネル周波数は得られません。最大値を考慮し、チャンネル#0 周波数、チャンネル間隔、チャンネル設定の値を決定してください。

(4)リファレンスクロック周波数(Fref)と設定可能な代表的な RF 周波数帯の関係を以下に示します。(※)

○:設定可能 X:設定不能

PLL リファレンス クロック Fref[MHz]	30		32		36		38		38.88		39		40		40.96		41.6		48		52	
PLL 前置固定 分周比 S	2	4	2	4	2	4	2	4	2	4	2	4	2	4	2	4	2	4	2	4	2	4
ETSI 863-870MHz	X	○	X	○	X	X	○	○	○	○	○	○	○	○	○	○	○	○	X	X	○	○
ETSI 868-870MHz	X	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
STD-30 426MHz	○	○	○	○	○	○	○	○	○	X	○	○	○	○	○	○	○	○	○	○	○	○
T67 426MHz	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
T67 429MHz	○	○	○	○	○	○	○	○	○	○	X	X	○	○	X	○	○	○	○	○	○	○
T67 469MHz	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
T108 915-917MHz	○	○	○	○	○	○	○	X	○	○	○	○	○	○	○	○	X	X	○	○	○	○
T108 920-928MHz	○	○	X	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
T108 920-930MHz	X	○	X	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
T66 2402-2483.5MHz	X	X	X	X	X	X	X	X	X	○	X	○	X	X	X	X	X	○	X	○	○	○
FCC 902-928MHz	○	X	X	○	○	○	X	X	○	○	○	○	○	○	X	X	X	X	X	○	○	○
FCC 2402-2478MHz	X	X	X	X	X	X	X	X	X	○	X	○	X	X	X	X	X	○	X	○	○	○

※このほか使用するデータレートとリファレンスクロック周波数 Fref は次の関係を満足する必要があります。リファレンスクロック周波数 Fref はデータレートの整数倍であることです。データレートと Fref の関係に関しては、「機能説明-その他の機能-データレート設定機能」の章をご参照ください。

(5) PLL ロック外れが生じたとき、PLL ロック外れ検出割込み(INT2[INT_SOURCE_GRP1: B0 0x0D(2)])が発生します。そのときの PLL ロック判定設定(PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)])と割込み発生後の LSI 動作の関係は以下の通りとなります。

・PLL ロック外れが発生した場合

LSI 状態	PLL ロック外れ 監視期間	PLL ロック判定設定と PLL ロック外れ検出割込み発生後の LSI 動作	
		PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b1	PLL_LD_EN[PLL_LOCK_DETECT:B1 0x0B(7)]=0b0
送信	PA_ON="H"の期間	割込み発生し、強制送信停止	割込み発生し、送信継続
受信	RX イネーブル="H"の 期間	割込み発生し、受信継続	割込み発生し、受信継続

6-11-5-3 OIF 周波数の設定

IF 周波数は[IF_FREQ: B0 0x61]にて設定します。設定値と IF 周波数との関係は下表の通りとなります。
 なお、通常受信時と CCA 時で個別に設定可能です。IF_RES_SEL_DIF([DIF_SET3: B3 0x31(4)])と
 IF_RES_SEL_FMAP([DIF_SET3: B3 0x31(5)])の設定により IF 周波数を設定値の 1/2 にすることができます。

IF_FREQ([IF_FREQ: B0 0x61(2-0)]) IF_FREQ_CCA([IF_FREQ: B0 0x61(6-4)])	IF 周波数(*1)		
	[DIF_SET3: B3 0x31]=0x00 (デジタル信号処理回路 動作モード:通常モード, IF 周波数=設定値 x 1)	[DIF_SET3: B3 0x31]=0x25 (デジタル信号処理回路 動作モード:低消費電力モー ド, IF 周波数=設定値 x 1/2)	[DIF_SET3: B3 0x31]=0x35 (デジタル信号処理回路動作モ ード:低消費電力モード, IF 周波数=設定値 x 1)
0x0	500kHz	250kHz	設定禁止
0x1	375kHz	187.5kHz	375kHz
0x2	300kHz	150kHz	300kHz
0x3	設定禁止	設定禁止	設定禁止
0x4	175kHz	87.5kHz	175kHz
0x5	200kHz	100kHz	200kHz
0x6	225kHz	112.5kHz	225kHz
0x7	250kHz	125kHz	250kHz
0x8	275kHz	137.5kHz	275kHz
0x9	325kHz	162.5kHz	325kHz
0xA	350kHz	175kHz	350kHz
0xB	400kHz	200kHz	設定禁止
0xC	425kHz	212.5kHz	設定禁止
0xD	450kHz	225kHz	設定禁止
0xE	475kHz	237.5kHz	設定禁止
0xF	525kHz	262.5kHz	設定禁止

(*1) 上記周波数は FREF が 48MHz 時の値です。FREF が 52MHz の場合は、上記周波数を 52/48 倍した周波数になります。

【ご注意】

- (1) 受信ローカルはデフォルトで Lower local 設定となっています。
- (2) 低消費電力化のために、DIF_FREQ_SEL([DIF_SET3: B3 0x31(2)])を 0b1 に変更する場合には、必ず
DIF_LP_MODE([DIF_SET3: B3 0x31(0)])も 0b1 に変更して下さい。
また、DIF_FREQ_SEL([DIF_SET3: B3 0x31(2)])を 0b1 に設定した場合には、IF_RES_SEL_FMAP([DIF_SET3:
B3 0x31(5)])と IF_RES_SEL_DIF([DIF_SET3: B3 0x31(4)])の設定の組み合わせにより、IF 周波数を[IF_FREQ: B0
0x61]で設定する IF 周波数の 1/2 にすることができます。

{ IF_RES_SEL_FMAP([DIF_SET3: B3 0x31(5)]) , IF_RES_SEL_DIF([DIF_SET3: B3 0x31(4)]) }	IF 周波数
0b11	[IF_FREQ: B0 0x61]設定通り
0b10	[IF_FREQ: B0 0x61]設定の 1/2
その他の設定	設定禁止

DIF_FREQ_SEL([DIF_SET3: B3 0x31(2)])を 0b0 で使用する場合には、IF_RES_SEL_FMAP([DIF_SET3: B3
0x31(5)])と IF_RES_SEL_DIF([DIF_SET3: B3 0x31(4)])は、0b0 に設定して下さい。

- (3) IF 周波数変更により受信特性が劣化する場合があります。「初期設定レジスタ」で指定する値以外の IF 周波数に
変更する場合、十分評価の上設定値の決定してください。

6-11-6.受信関連機能

6-11-6-1 OAFc 機能

本 LSI は受信時の AFC 機能を持っています。送信相手と本 LSI 内部のローカル信号のそれぞれの周波数偏差(最大 ±20ppm)を本機能で補正します。本機能により周波数偏差内で一定の受信感度や妨害波特性が得られます。本機能は、AFC_EN([AFC/GC_CTRL: B1 0x15(7)])に 0b1 を書き込むことで有効にできます。

6-11-6-2 O電力検出値(ED 値)取得機能

本 LSI は受信電界強度(RSSI)を電力検出値(以降 ED 値)として表示する機能を搭載しております。ED 値は ED_CALC_EN ([ED_CTRL: B0 0x41(7)])を 0b1 に設定し、RX_ON 状態に移行すると、自動的に取得を開始し、RX_ON 状態中は常に最新の値に更新されます。ED 値は、ある瞬間の RSSI 値ではなく平均化された値で表示されます。平均化する回数は ED_AVG([ED_CTRL: B0 0x41(2-0)])で設定されます。また、ダイバーシティの時は DIV_ED_AVG([2DIV_MODE: B1 0x48(2-0)])で設定されます。平均化回数分 ED 値を取得した時点で ED_DONE([ED_CTRL: B0 0x41(4)])に”1”が設定されるとともに、ED_VALUE([ED_RSLT: B0 0x3A])が更新されます。

- ED_DONE ビットは、以下のいずれかの条件が成立するとクリアされます。
- ① アンテナが切り替わった場合
 - ② ゲインが切り替わった場合
 - ③ 一度 ED 値取得を停止し、再開した場合

ED 値の算出開始から、ED 値が表示されるまでにかかる時間は次式で算出できます。
ED 値平均化時間 = 平均間隔(16μs(*1)) * ED 値平均回数

(*1)平均間隔は MSTR_CLK_SEL1([CLK_SET1: B0 0x02(5)])と MSTR_CLK_SEL2([CLK_SET1: B0 0x02(6)])の設定値を条件に下式から生成されます。

MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b0 …(1/FREF)*24*32
MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b1 …(1/FREF)*26*32
MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b0 …(1/FREF)*12*32
MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b1 …(1/FREF)*13*32

ED 値と受信レベルの関係は、標準的には以下の式で表現されます。

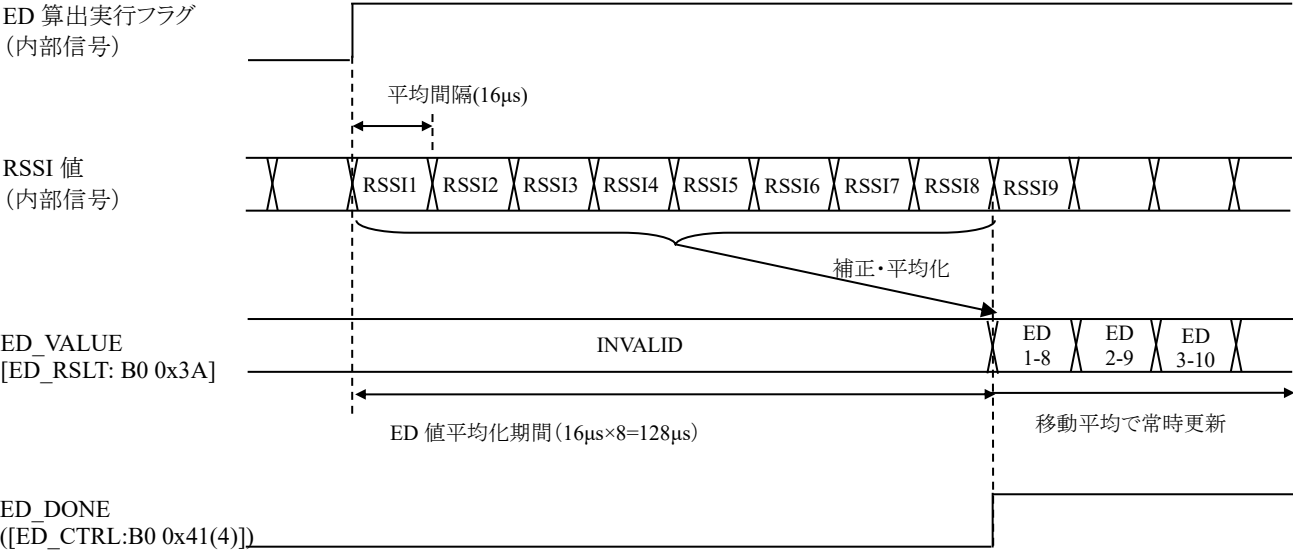
受信レベル [dBm] = (ED 値 – X) / Y

データレート	X	Y
4.8	452.36	3.9662
9.6	452.36	3.9662
50	433.2	3.969
100	425.98	3.9853
150	425.98	3.9853
200	425.98	3.9853
300	425.98	3.9853

ED 取得に関するタイミングチャートを以下に示します。

【条件】

ED_AVG[2:0]=0b011 (ED 値 8 回平均) [ED_CTRL: B0 0x41(2-0)]



6-11-6-3 ○チャンネルフィルタ帯域幅可変機能

チャンネルフィルタ帯域幅は $\text{CHFIL_BW_ADJ}[7:0]$ (CHFIL_BW : B0 0x54(7-0))、 $\text{CHFIL_BW_ADJ}[9:8]$ (CHFIL_BW_OPTION : B0 0x6B(5-4))および、 CHFIL_CO_SEL (CHFIL_BW_OPTION : B0 0x6B(0))または CHFIL_CO_SEL_CCA (CHFIL_BW_OPTION : B0 0x6B(1))にて設定することができます。設定値とチャンネルフィルタ帯域幅の関係は下式の通りとなります。

$\text{CHFIL_CO_SEL}/\text{CHFIL_CO_SEL_CCA}=0b0$ のとき
 $\text{チャンネルフィルタ帯域幅}[\text{Hz}] = \{\text{FREF}[\text{Hz}] / \text{設定値} / 43.33\}$

$\text{CHFIL_CO_SEL}/\text{CHFIL_CO_SEL_CCA}=0b1$ のとき
 $\text{チャンネルフィルタ帯域幅}[\text{Hz}] = \{\text{FREF}[\text{Hz}] / \text{設定値} / 40\}$

それぞれに設定値に対するチャンネルフィルタ帯域幅を下表に示します。なお、通常受信時と CCA 時で個別にチャンネルフィルタ帯域幅を設定可能です。CCA 時のチャンネルフィルタ帯域幅は $\text{CHFIL_BW_ADJ_CCA}[7:0]$ (CHFIL_BW_CCA : B0 0x6A(7-0))および $\text{CHFIL_BW_ADJ_CCA}[9:8]$ (CHFIL_BW_OPTION : B0 0x6B(7-6))の設定値が適用されます。デュータレート、最大周波数偏位に応じてチャンネルフィルタ帯域幅の最適化設定が必要です。

(1) FREF=48MHz、CHFIL_CO_SEL=0b1 設定時

CHFIL_BW_ADJ [dec]	チャンネルフィルタ帯域幅 [kHz]	CHFIL_BW_ADJ [dec]	チャンネルフィルタ帯域幅 [kHz]
0	設定禁止	16	75.0
1	1200.0	17	70.6
2	600.0	18	66.7
3	400.0	19	63.2
4	300.0	20	60.0
5	240.0	21	57.1
6	200.0	22	54.5
7	171.4	23	52.2
8	150.0	24	50.0
9	133.3	25	48.0
10	120.0	26	46.2
11	109.1	...	...
12	100.0	120	10.0
13	92.3	...	...
14	85.7	1022	1.74
15	80.0	1023	1.73

(2) FREF=48MHz、CHFIL_CO_SEL=0b0 設定時

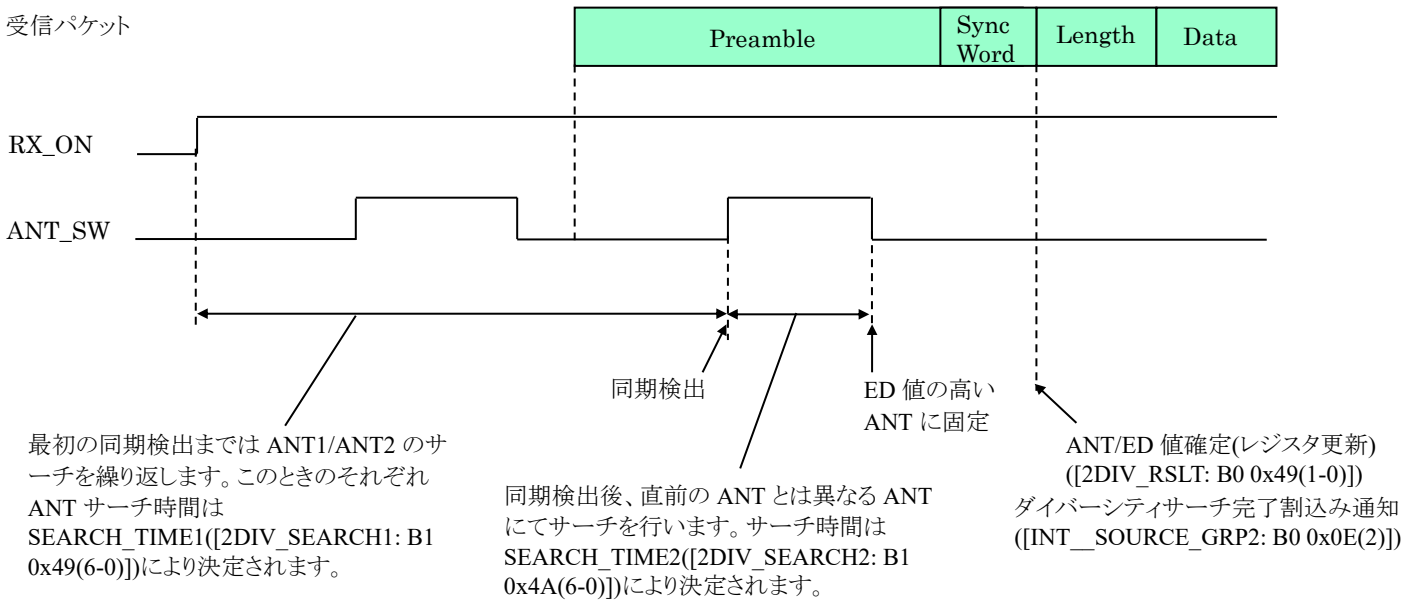
CHFIL_BW_ADJ [dec]	チャンネルフィルタ帯域幅 [kHz]	CHFIL_BW_ADJ [dec]	チャンネルフィルタ帯域幅 [kHz]
0	設定禁止	16	69.2
1	1107.8	17	65.2
2	553.9	18	61.5
3	369.3	19	58.3
4	276.9	20	55.4
5	221.6	21	52.8
6	184.6	22	50.4
7	158.3	23	48.2
8	138.5	24	46.2
9	123.1	25	44.3
10	110.8	26	42.6
11	100.7	...	...
12	92.3	120	9.23
13	85.2	...	...
14	79.1	1022	1.084
15	73.9	1023	1.083

6-11-6-4 ○ダイバーシティ機能

本 LSI は 2 アンテナダイバーシティ機能を搭載しております。

2DIV_EN([2DIV_CTRL: B0 0x48(0)])を 0b1 にセットした状態で RFを受信状態(RX_ON)に設定するとダイバーシティモードが起動いたします。ダイバーシティモードが起動すると、受信データ検出時にアンテナを切り替えてそれぞれの ED 値を取得し、高いほうのアンテナを使用するよう制御します。ダイバーシティ機能はプリアンプルデータの ED 値を取得するため送信側のプリアンプルデータ長は十分に長い値である必要があります。プリアンプルデータ長が短いと正確な ED 値の取得が出来ませんのでご注意ください。

以下にタイムチャートを示します。



ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果([2DIV_RSLT: B0 0x49(1-0)])は、SyncWord 検出時に上書き更新します。

ED 値算出時の検出回数は、2DIV_ED_AVG([2DIV_MODE: B1 0x48(2:0)])にて設定可能です。

サーチ時間([SEARCH_TIME1]および[SEARCH_TIME2])の時間分解能は、SEARCH_TIME_SET([2DIV_SEARCH1: B1 0x49(7)])にて設定可能です。

また、ダイバーシティサーチ完了割込み INT[10]([INT_SOURCE_GRP2: B0 0x0E(2)])をクリアした場合、ダイバーシティにより取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B])およびダイバーシティアンテナ結果([2DIV_RSLT: B0 0x49(1-0)])は 0 クリアされます。

【ご注意】

本機能では、誤検出から引き起こされた誤ったダイバーシティ完了であると判断した場合、アンテナサーチを再自動実行しますが、誤検出によって発生したダイバーシティサーチ完了後～誤検出判定までに希望波を受信した場合、取得した ED 値([ANT1_ED: B0 0x4A])または[ANT2_ED: B0 0x4B])は、希望波の入力レベルとは異なる低い ED 値を表示します。

本事象の発生可否は、希望波の SyncWord 検出割込み INT[13]([INT_SOURCE_GRP2: B0 0x0E(5)])発生後、[ED_RSLT: B0 0x3A]で表示される ED 値を読み出すことで確認することができます。

(1) アンテナスイッチ制御

[2DIV_CTRL: B0 0x48]、[ANT_CTRL: B0 0x4C]、[SPI/EXT_PA_CTRL: B0 0x53]にて、送受信切替え信号 (TRX_SW)、アンテナ切替え信号(ANT_SW)、外部 PA 制御信号(DCNT)の各種の制御が可能です。

[2DIV_CTRL: B0 0x48(3-1)]および[ANT_CTRL: B0 0x4C]にて、2 種類のアンテナスイッチ(SPDT スイッチ/DPDT スイッチ)制御が可能です。それぞれのアンテナスイッチ制御時の ANT_SW 端子および TRX_SW 端子の出力状態と [2DIV_CTRL: B0 0x48(2-1)]との関係を以下に示します。

①DPDT スイッチ使用時

2PORT_SW([2DIV_CTRL: B0 0x48(1)])=0b1、ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=0b0 に設定します。アイドル、送信時、受信時での ANT_SW、TRX_SW は以下の通り出力されます(デフォルト設定)。INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])を 0b1 に設定した場合、ANT_SW と TRX_SW の極性が反転します。なお、INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])の設定は無効であり、下記動作に影響を与えません。

送受信状態	INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=0 (デフォルト設定)		INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=1 (極性反転時)		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	H	L	L	H	アイドル時の状態です。
送信時	L	H	H	L	送信時の状態です。
受信時	H	L	L	H	ダイバーシティディセーブル([2DIV_CTRL: B0 0x48(0)]を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時のダイバーシティ開始時は本状態となります。
	L/H	H/L	H/L	L/H	ダイバーシティイネーブル (2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L) と (ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

②SPDT スイッチ使用時

2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b0 に設定します。アイドル、送信時、受信時での ANT_SW、TRX_SW は以下の通り出力されます(デフォルト設定)。INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])を 0b1 に設定した場合、TRX_SW の極性が反転します。ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])を 0b0 設定時、INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])の設定は無効であり、下記動作に影響を与えません。

送受信状態	INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=0 (デフォルト設定)		INV_TRX_SW([2DIV_CTRL: B0 0x48(2)])=1 (極性反転時)		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	L	L	L	H	アイドル時の状態です。
送信時	L	H	L	L	送信時の状態です。
受信時	L	L	L	H	ダイバーシティディセーブル([2DIV_CTRL: B0 0x48(0)]を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時のダイバーシティ開始時は本状態となります。
	H/L	L	H/L	H	ダイバーシティイネーブル (2DIV_CTRL: B0 0x48(0)]を 0b1 に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L) と (ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

上記デフォルト設定に対し、INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])を 0b1、ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])を 0b1 に設定することにより、ANT_SW 端子の極性が反転します。

送受信状態	INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])=0 ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=0 (デフォルト設定)		INV_ANT_SW([2DIV_CTRL: B0 0x48(3)])=1 ANT_CTRL1([2DIV_CTRL: B0 0x48(5)])=1		説明
	ANT_SW	TRX_SW	ANT_SW	TRX_SW	
アイドル	L	L	H	L	アイドル時の状態です。
送信時	L	H	H	H	送信時の状態です。
受信時	L	L	H	L	ダイバーシティディセーブル([2DIV_CTRL: B0 0x48(0)])を 0b0 に設定)時の初期状態およびダイバーシティイネーブル([2DIV_CTRL: B0 0x48(0)])を 0b1 に設定)時のダイバーシティ開始時は本状態となります。
	H/L	L	L/H	L	ダイバーシティイネーブル (2DIV_CTRL: B0 0x48(0)])を 0b1 に設定)時は、サーチ中 (ANT_SW=H、TRX_SW=L)と (ANT_SW=L、TRX_SW=H)を繰り返し、ダイバーシティ完了後、どちらかの状態に固定されます。

(2) アンテナスイッチ強制設定

[ANT_CTRL: B0 0x4C]により、ANT_SW 端子の出力状態の強制設定が可能です。

送信時: TX_ANT_EN([ANT_CTRL: B0 0x4C(0)])を 0b1 に設定することにより TX_ANT([ANT_CTRL: B0 0x4C(1)])の設定値が出力されます。

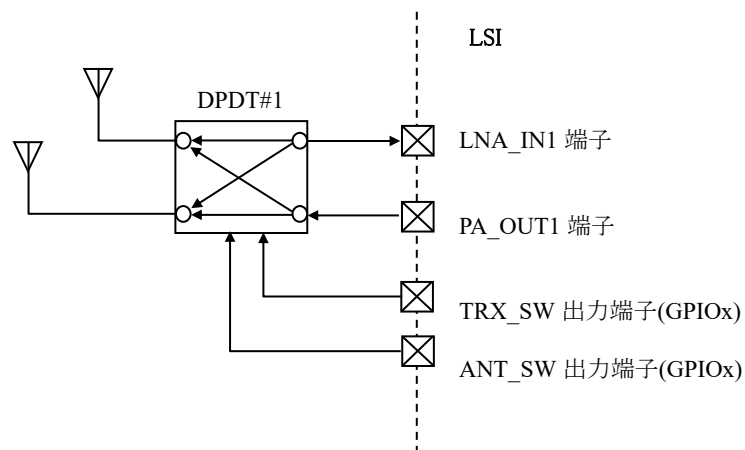
受信時: RX_ANT_EN([ANT_CTRL: B0 0x4C(4)])を 0b1 に設定することにより RX_ANT([ANT_CTRL: B0 0x4C(5)])の設定値が出力されます。

但し、[GPIO*_CTRL: B0 0x4E~0x51]にて出力時強制設定された場合は、[GPIO*_CTRL: B0 0x4E~0x51]レジスタ設定が優先されます。

なお、アンテナスイッチ制御信号を以下のように使用することができます。

使用例 1) DPDT スイッチ 1 個を使用する場合

2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b1 に設定してください。

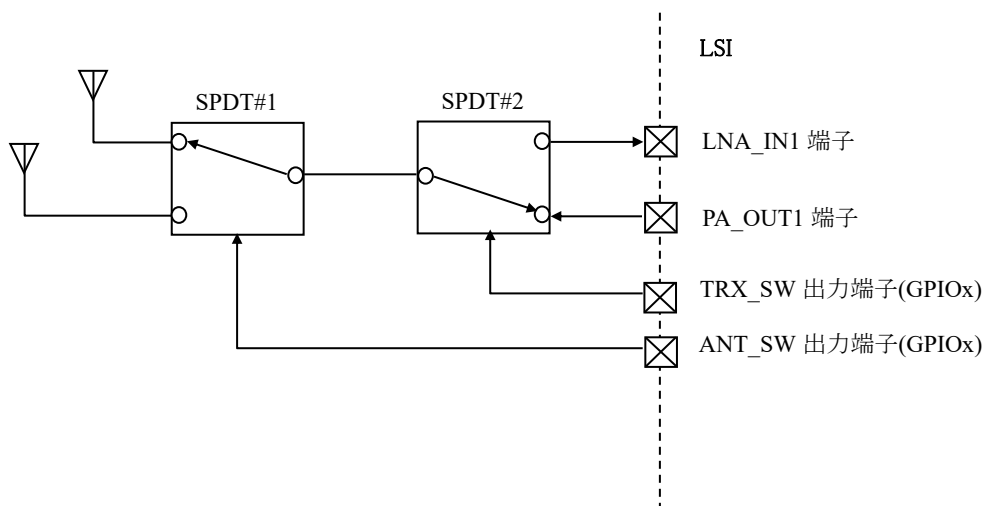


(※)もう1つ GPIO を外部 PA に割り当てることにより、DPDT SW と外部 PA を両方制御可能です。

(※)LNA_IN1 端子および PA_OUT1 端子とアンテナスイッチ(DPDT#1)間の外付け回路は省略しています。

使用例 2) SPDT スイッチ 2 個使用した場合

2PORT_SW([2DIV_CTRL: B0 0x48(1)])を 0b0 に設定してください。



(※)もう1つ GPIO を外部 PA に割り当てることにより、DPDT SW と外部 PA を両方制御可能です。

(※)LNA_IN1 端子および PA_OUT1 端子とアンテナスイッチ(SPDT#2)間の外付け回路は省略しています。

6-11-6-5 OCCA(Clear Channel Assessment)機能

本 LSI は CCA 機能を搭載しております。CCA はある周波数チャネルを受信して、そのチャネルが現在使用されているか(BUSY)、空いているか(IDLE)を判定する機能です。本 LSI では単発実行モード、連続実行モードと IDLE 検出モードの 3 種類のモードがあります。3 種類のモードは下記により設定できます。

[CCA モードの設定]

	[CCA_CTRL: B0 0x39]			終了条件
	Bit4 (CCA_EN)	Bit5 (CCA_CPU_EN)	Bit6 (CCA_IDLE_EN)	
単発実行モード	0b1	0b0	0b0	IDLE/BUSY 検出時
連続実行モード	0b1	0b1	0b0	CPU からの停止命令時
IDLE 検出モード	0b1	0b0	0b1	IDLE 検出時

CCA の判定は、ED 値の平均値[ED_RSLT: B0 0x3A]と CCA 閾値[CCA_LVL: B0 0x37]との大小比較で行われます。ED 値の平均値が CCA 閾値を超えた場合は BUSY と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の状態が、IDLE 検出期間[IDLE_WAIT[9:0]([IDLE_WAIT_H: B0 0x3B]、[IDLE_WAIT_L: B0 0x3C])]継続した場合、IDLE と判定し、CCA_RSLT[1:0]に 0b00 を設定します。IDLE_WAIT[9:0]の詳細動作は”(5)長時間の IDLE 検出について”をご参照下さい。

また、ED 値の平均値が CCA 閾値以下の状態で、ED 値の瞬間的な上昇を検知した場合、一定時間 IDLE 判定を出しません。詳細動作については”(4)強入力発生時の IDLE 判定除外について”をご参照ください。

(1) 単発実行モード

単発実行モードは IDLE/BUSY を検出するまで CCA を継続するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b0 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b0 を設定している状態で RX_ON をすることで CCA(単発実行モード)が実行されます。

BUSY または IDLE を検出すると CCA 完了割り込み(割り込みグループ 3 の INT[18])が通知され、CCA_EN ビットが 0b0 に自動クリアされます。

CCA 完了割り込みをクリアすると CCA_RSLT[1:0]は初期化(0b00)されます。CCA_RSLT[1:0]は CCA 完了割り込みをクリアする前に読み出して下さい。

CCA 実行指示してから CCA 完了するまでの時間は下式で算出されます。

[IDLE 判定の場合]

CCA 実行時間 = (ED 値平均回数 + IDLE_WAIT 設定) × 平均間隔(16μs (*1)) + ゲイン切替待ち時間(50us(*2))
× ゲイン切替発生回数)

[BUSY 判定の場合]

CCA 実行時間 = ED 値平均回数 × 平均間隔(16μs (*1)) + ゲイン切替待ち時間(50us(*2)) × ゲイン切替発生回数)

(*1)平均間隔は MSTR_CLK_SEL1([CLK_SET1: B0 0x02(5)])と MSTR_CLK_SEL2([CLK_SET1: B0 0x02(6)])の設定値を条件に下式から生成されます。

MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b0 ... (1/FREF)*24*32

MSTR_CLK_SEL1=0b0, MSTR_CLK_SEL2=0b1 ... (1/FREF)*26*32

MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b0 ... (1/FREF)*12*32

MSTR_CLK_SEL1=0b1, MSTR_CLK_SEL2=0b1 ... (1/FREF)*13*32

(*2) FREF=48MHz、CHFIL_BW_ADJ[9:0]([CHFIL_BW: B0 0x54],[CHFIL_BW_OPTION: B0 0x6B(5-4)])=0x006、[RSSI_STABLE_TIME:B1 0x12]=0x00、[RSSI_STABLE_RES: B1 0x0F]=0x00 の設定時。

※ 上式は[CCA_IGNORE_LVL: B0 0x36]による IDLE 判定除外を考慮しておりません。

[CCA_IGNORE_LVL: B0 0x36]動作詳細は”強入力発生時の IDLE 判定除外について”をご参照下さい。

以下に単発実行モード時のタイムチャートを示します。

【条件】

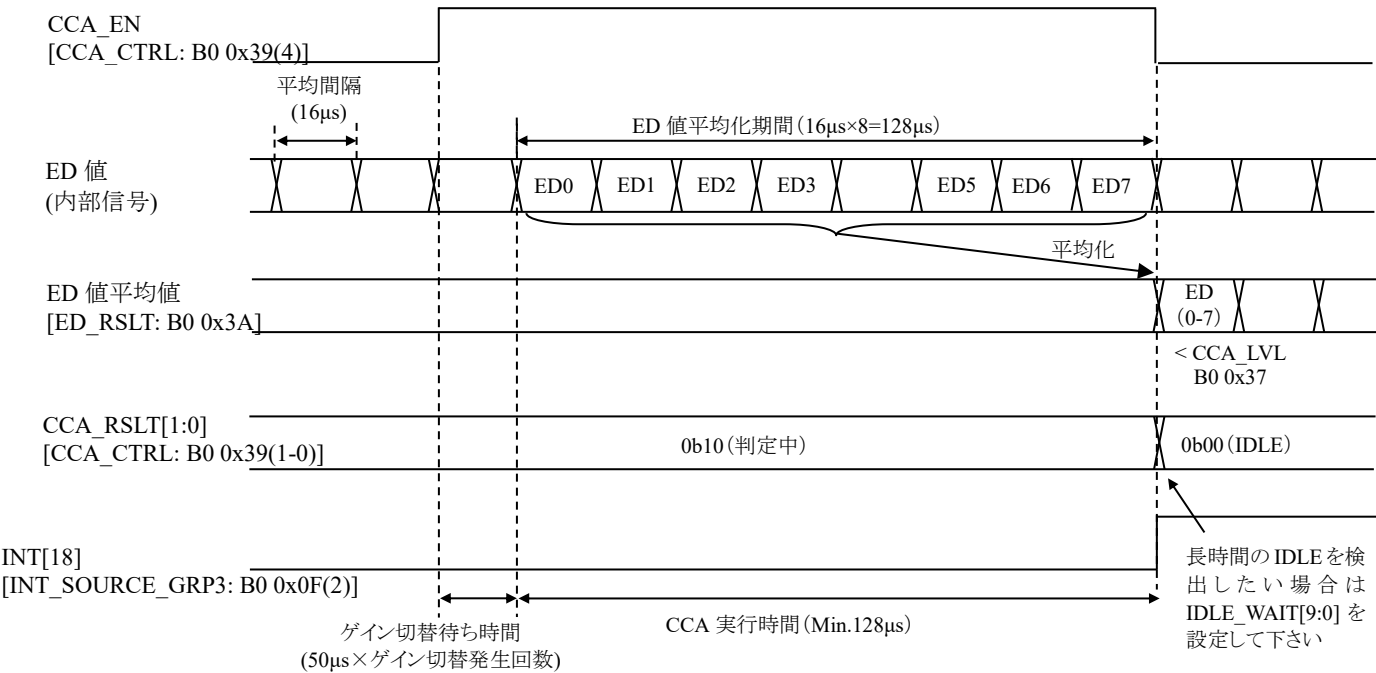
ED_AVG[2:0]=0b011 (ED 値 8 回平均)

[ED_CTRL: B0 0x41(2-0)]

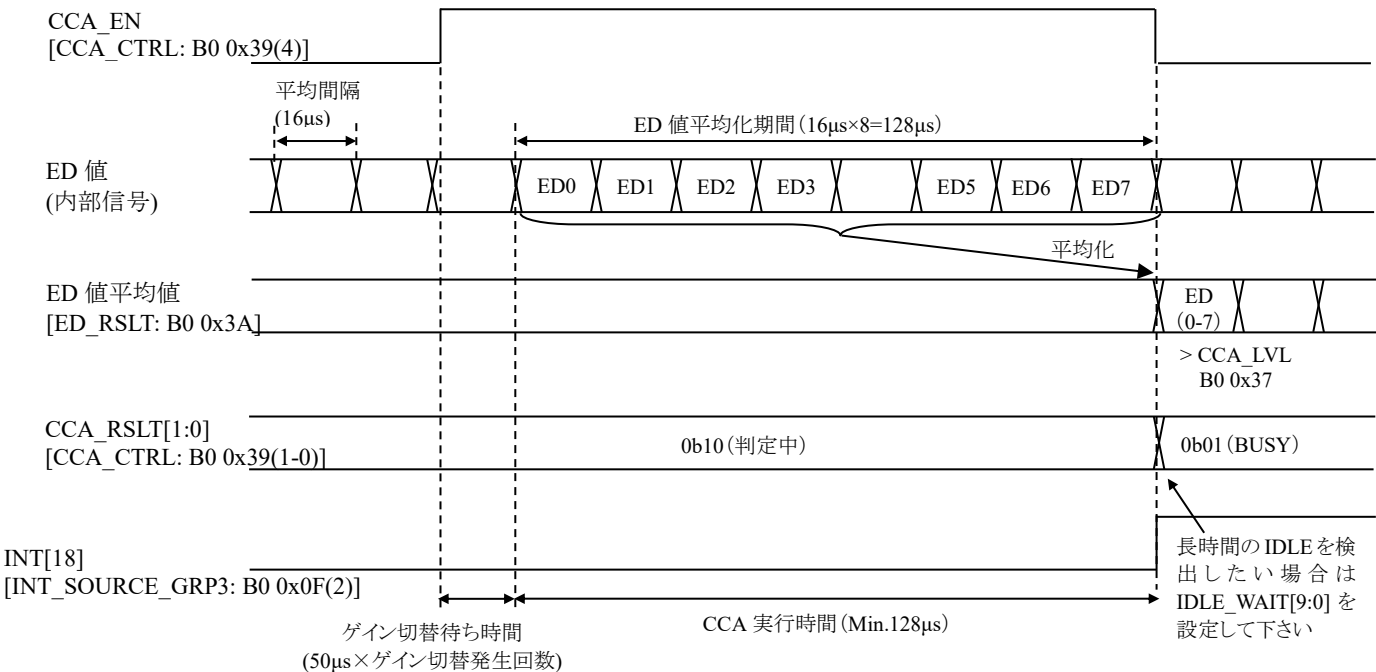
IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs)

[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]

[IDLE 判定したケース]



[BUSY 判定したケース]



(2) 連続実行モード

連続実行モードはホスト CPU からの停止命令があるまで CCA を継続するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b1 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b0 を設定している状態で RX_ON をすることで CCA(連続実行モード)が実行されます。

連続実行モードでは、BUSY または IDLE を検出しても自動停止せず、CCA_STOP([CCA_CTRL: B0 0x39(7)])に 0b1 が書き込まれるまで CCA 動作を継続し、結果は ED 値取得される度に更新されます。このとき、CCA 完了割り込み INT[18]([INT_SOURCE_GRP3:B0 0x0F(2)])は通知されません。

以下に連続実行モード時のタイムチャートを示します。

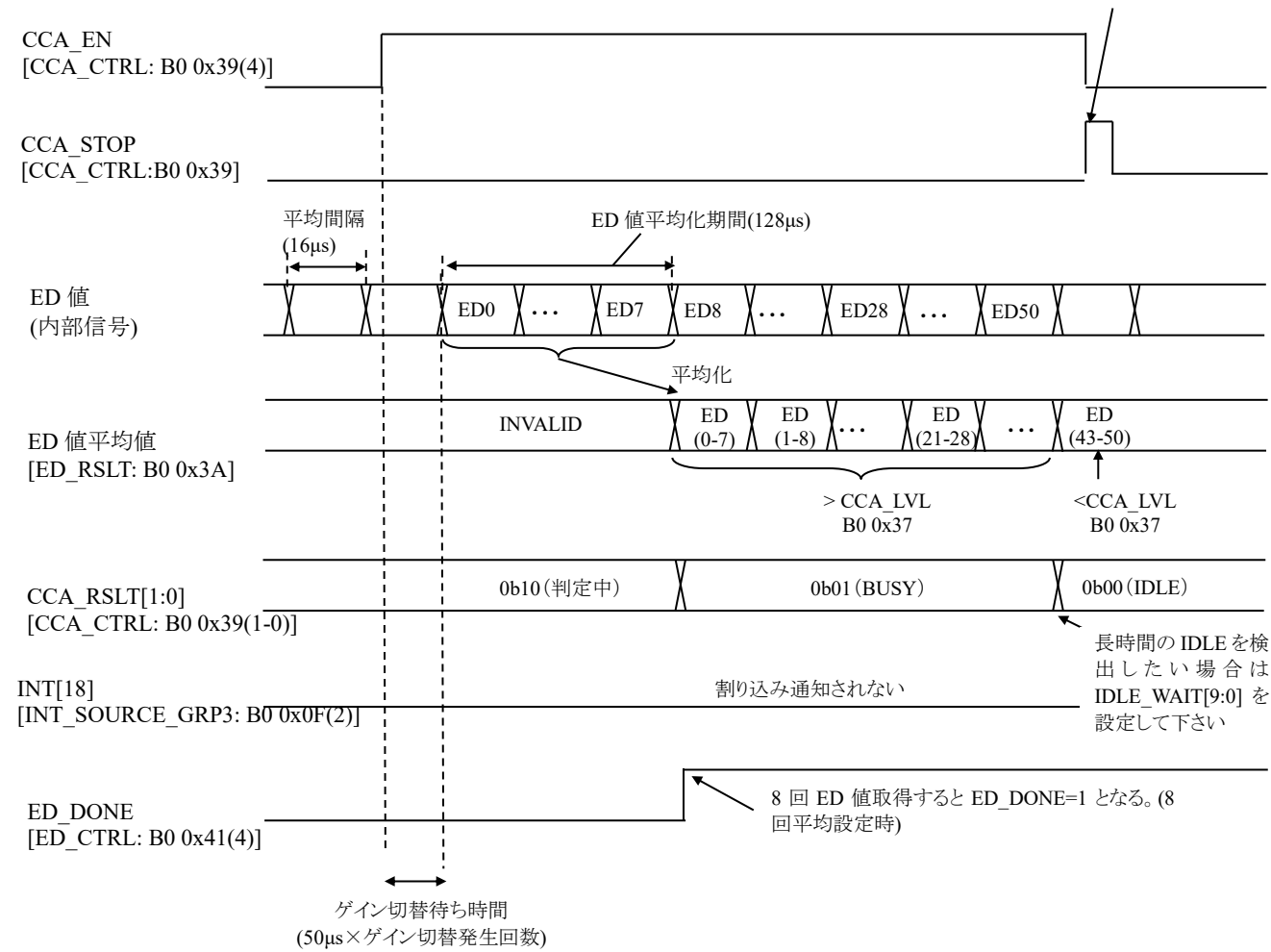
【条件】

ED_AVG[2:0]=0b011 (ED 値 8 回平均) [ED_CTRL: B0 0x41(2-0)]

IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs) [IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]

[BUSY→IDLE と遷移し、CCA_STOP で終了するケース]

CCA_STOP が発行されると CCA_EN、
CCA_CPU_EN をクリアし、CCA_STOP
ビットは自動クリアされる



(3) IDLE 検出モード

IDLE 検出モードは IDLE を検出するまで CCA を継続するモードです。CCA_EN(CCA_CTRL: B0 0x39(4))=0b1、CCA_CPU_EN(CCA_CTRL: B0 0x39(5))=0b0 かつ CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))=0b1 を設定している状態で RX_ON をすることで CCA(IDLE 検出モード)が実行されます。

IDLE 検出モードでは、IDLE を検出した場合のみ CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])が通知されます。また、CCA_EN 設定により CCA を実行した場合は CCA_EN(CCA_CTRL: B0 0x39(4))および CCA_IDLE_EN(CCA_CTRL: B0 0x39(6))が 0b0 に自動クリアされます。

IDLE 検出モードでは、BUSY を検出している間は、CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])を通知せず、IDLE 検出を継続します。CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])をクリアすると、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])は初期化(0b00)されます。CCA_RSLT[1:0]は CCA 完了割り込み INT[18]([INT_SOURCE_GRP3: B0 0x0F(2)])をクリアする前に読み出して下さい。

以下に IDLE 検出モード時のタイムチャートを示します。

[BUSY 検出後、CCA 継続して IDLE 判定したケース]

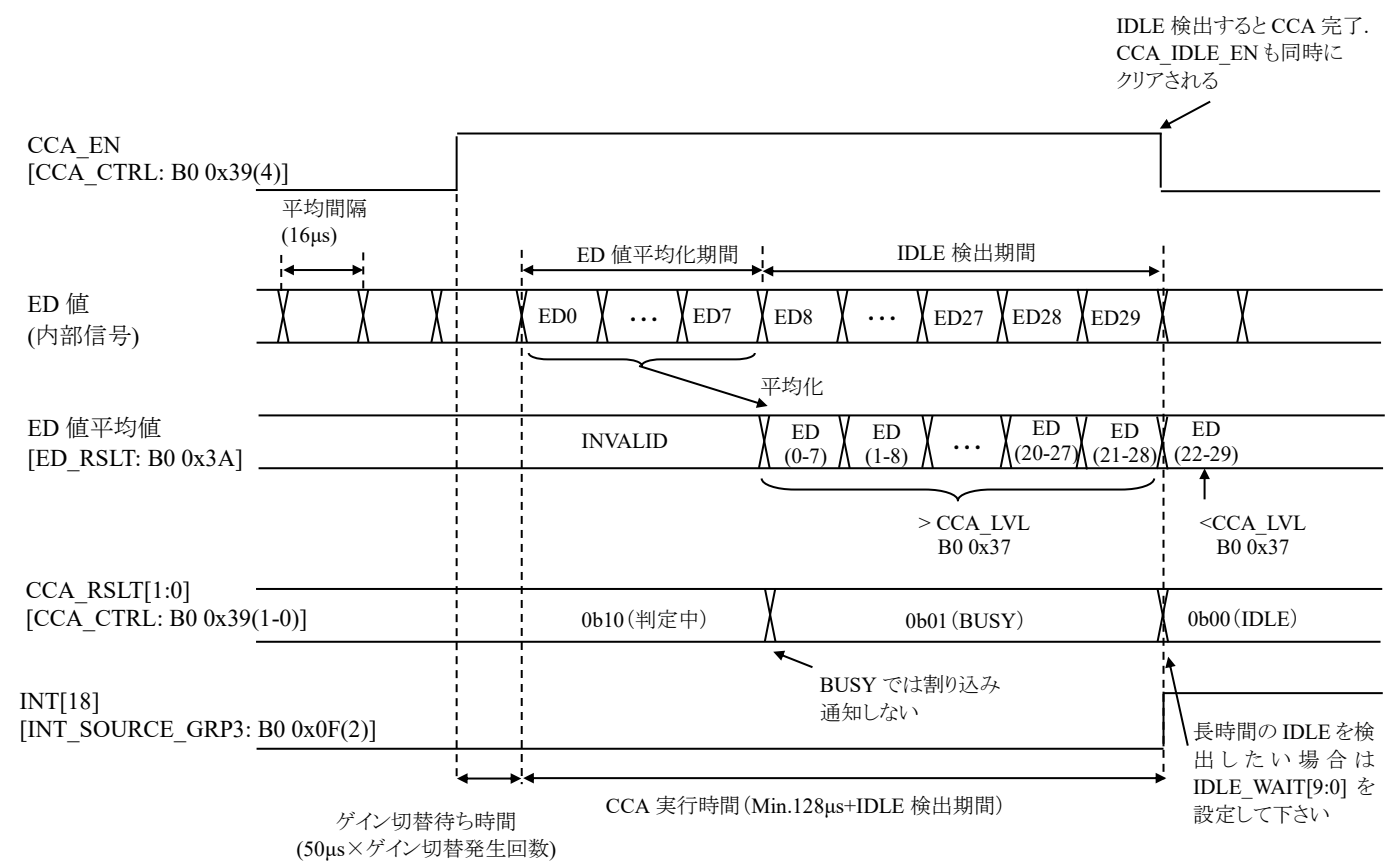
【条件】

ED_AVG[2:0]=0b011 (ED 値 8 回平均)

[ED_CTRL: B0 0x41(2-0)]

IDLE_WAIT[9:0]=0b00_0000_0000 (IDLE 検出期間 0μs)

[IDLE_WAIT_L: B0 0x3C]、[IDLE_WAIT_H: B0 0x3B(1-0)]



(4) 強入力発生時の IDLE 判定除外について

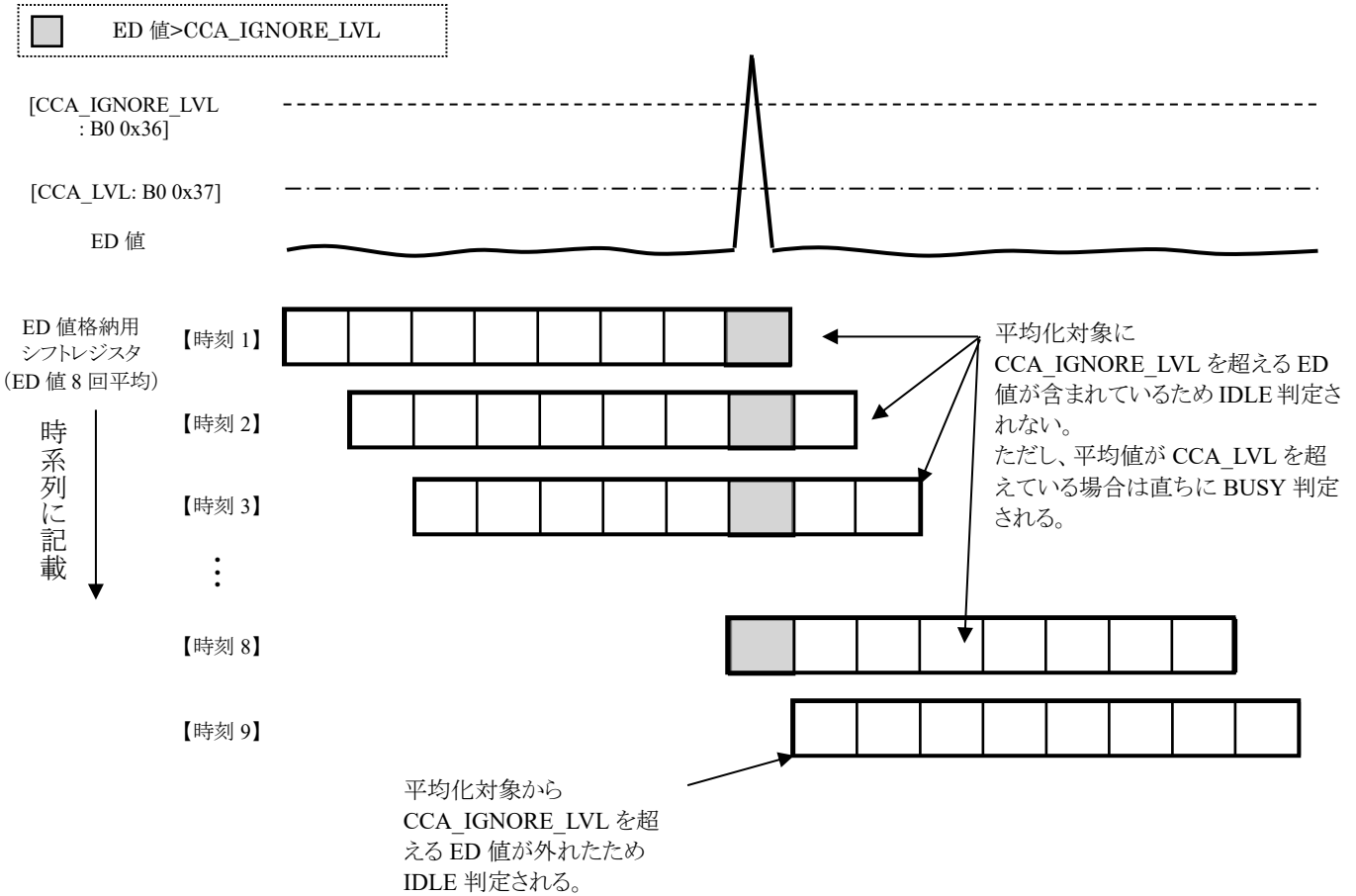
取得した ED 値が、[CCA_IGNORE_LVL: B0 0x36]で設定される値を超えた場合は、その ED 値が平均化対象である間は IDLE 判定を行いません。この強入力の ED 値を含む ED 値の平均値が CCA 閾値を超えた場合は”キャリアあり (BUSY)”と判定し、CCA_RSLT[1:0]([CCA_CTRL: B0 0x39(1-0)])に 0b01 を設定します。ED 値の平均値が CCA 閾値以下の場合、”判定中(判定除外の ED 値取得)”とし、CCA_RSLT[1:0]に 0b11 を設定します。

ED 値の平均値が[CCA_LVL: B0 0x37]以下の場合でも、その平均化対象の ED 値に[CCA_IGNORE_LVL: B0 0x36]を超えるものが含まれていた場合、IDLE 判定を行いません。この時、CCA_RSLT[1:0]には 0b11(判定中)を表示し、CCA を継続します。

ED 値の平均値が[CCA_LVL: B0 0x37]を超えている場合は[CCA_IGNORE_LVL: B0 0x36]の比較結果に関わらず直ちに BUSY 判定します。

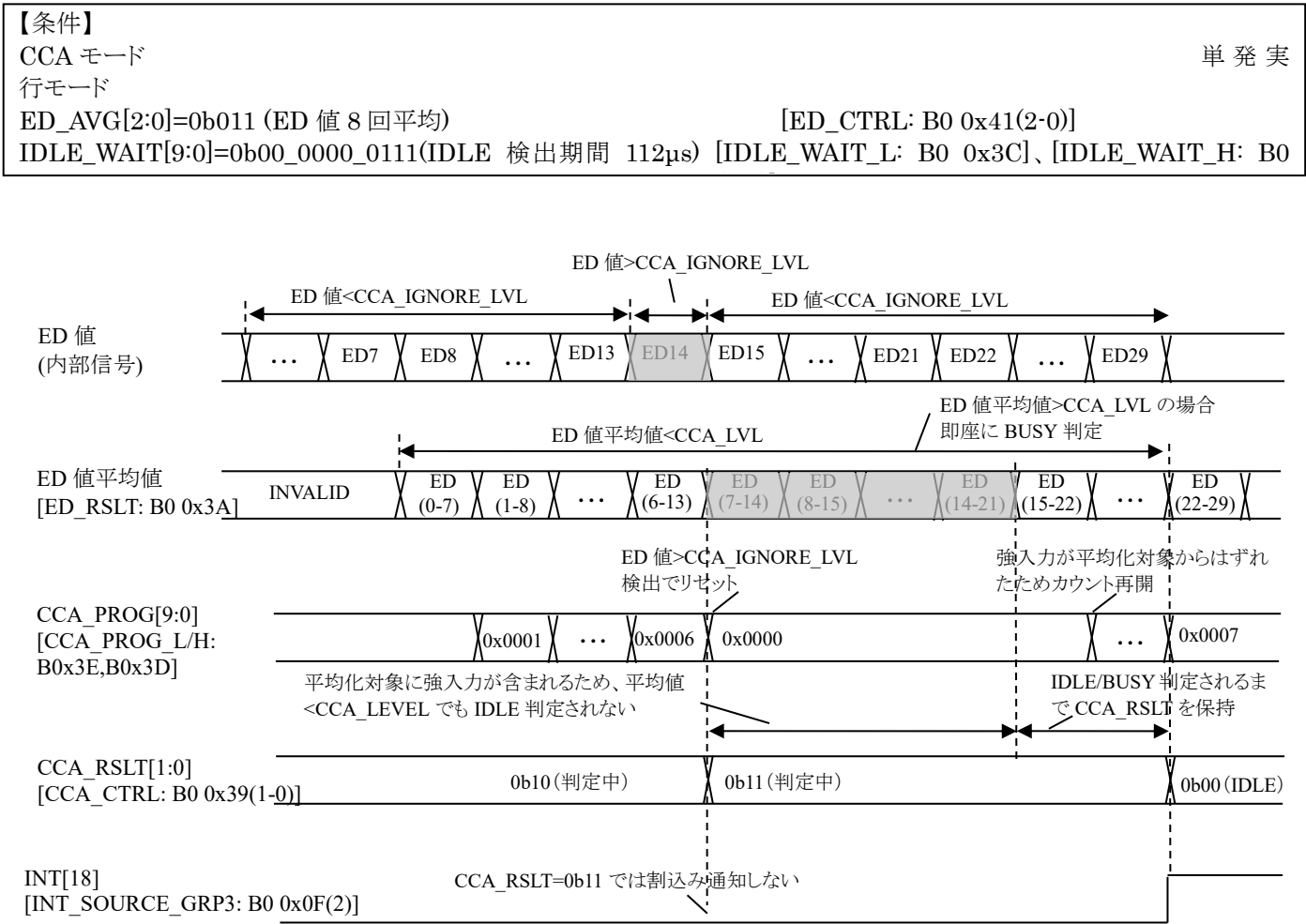
- 【ご注意】
- 1. CCA 完了割込みは CCA 結果が IDLE または BUSY 判定された場合にのみ通知されます。従いまして、CCA_IGNORE_LVL を超えるデータが断続的に入力されるような環境下においては、IDLE とも BUSY とも判定されずに CCA が継続されることがあります。
 - 2. [CCA_IGNORE_LVL: B0 0x36] ≥ [CCA_LVL: B0 0x37]の大小関係になるように[CCA_IGNORE_LVL: B0 0x36]を設定してください。

【強入力 ED 値取得時のイメージ図】



以下に強入力 ED 値取得時のタイムチャートを示します。

[IDLE_WAIT カウント中に強入力検出し、平均化対象から強入力が外れた後に IDLE 判定したケース]



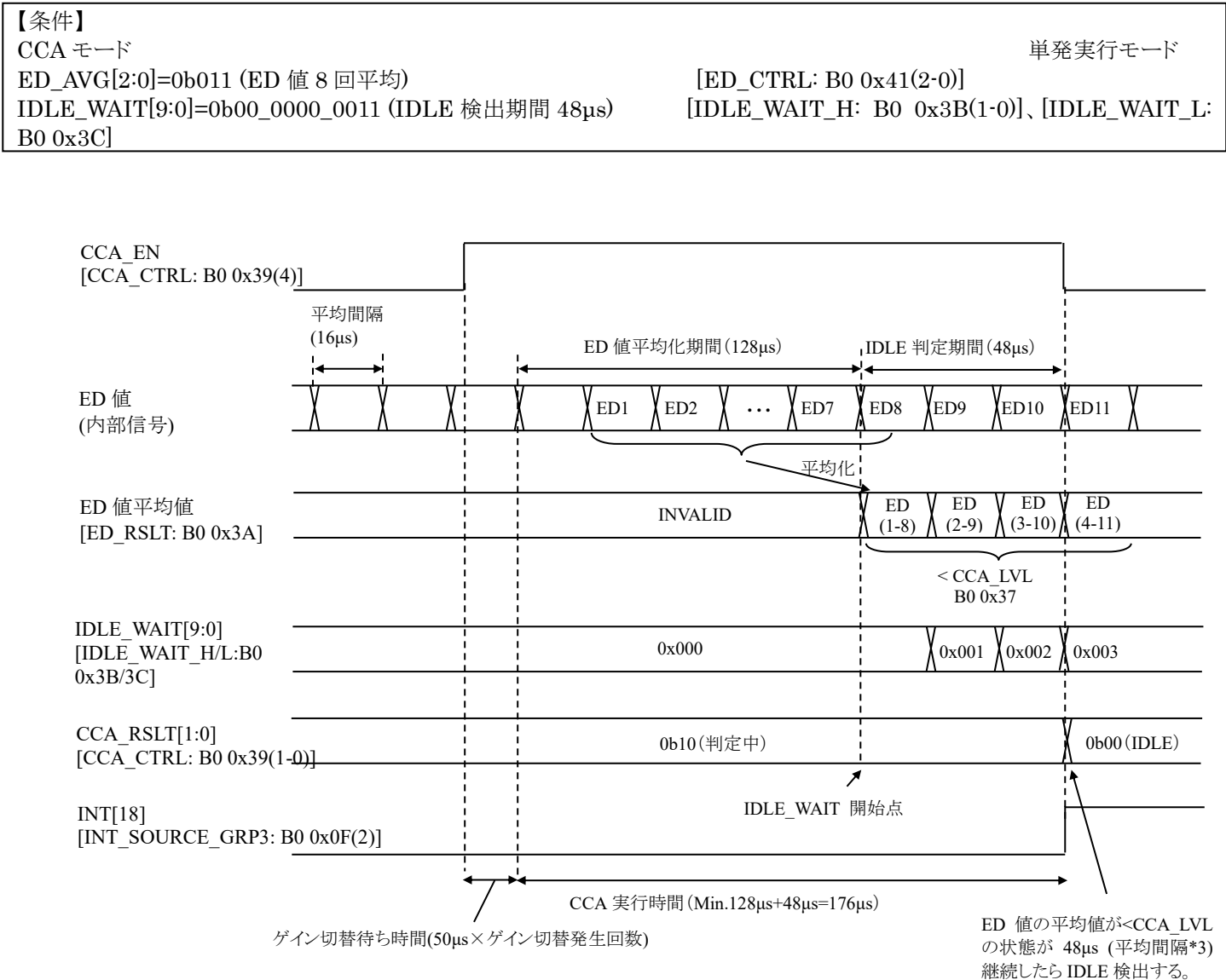
(5) 長時間の IDLE 検出について

IDLE 検出期間の継続時間を調整する場合は、[IDLE_WAIT_H: B0 0x3B(1-0)]、[IDLE_WAIT_L:B0 0x3C]の IDLE_WAIT [9:0]で設定することができます。

[IDLE_WAIT_H: B0 0x3B(1-0)]、[IDLE_WAIT_L:B0 0x3C]の IDLE_WAIT [9:0]を使用することで、平均化期間(平均間隔 16μs、8 回平均設定の場合 128μs)よりも長い期間の IDLE を検出することが可能です。本機能は、ED 値の平均値が[CCA_LVL: B0 0x37]以下の状態が IDLE_WAIT [9:0]以上継続した場合に IDLE 判定する機能です。本機能を使用している場合でも、ED 値の平均値が[CCA_LVL: B0 0x37]を越えた場合は IDLE_WAIT [9:0]期間を待たずに直ちに BUSY 判定します。

以下に IDLE_WAIT[9:0]を設定した時のタイムチャートを示します。

[ED 値 8 回平均で IDLE 判定したケース]

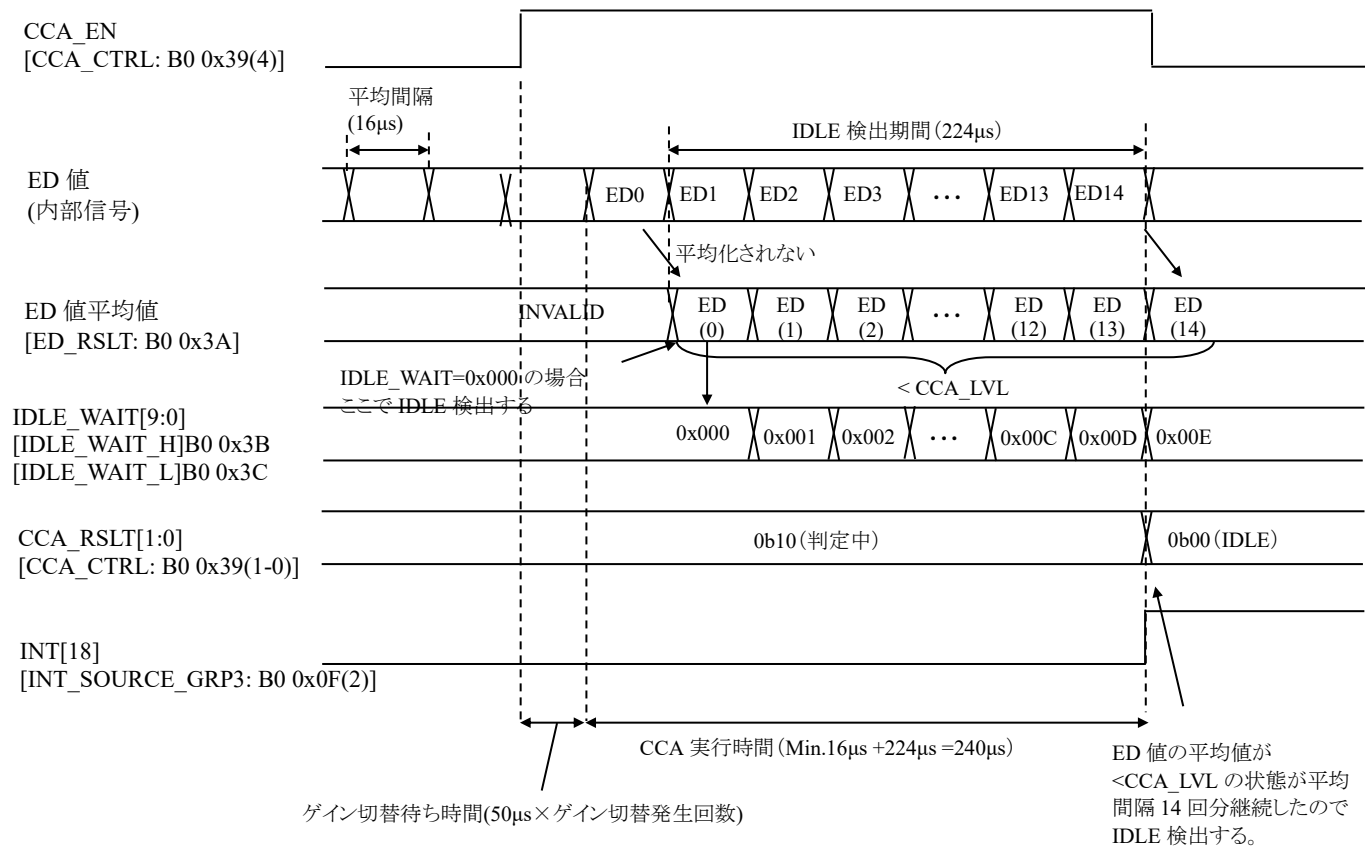


[ED 値 1 回平均で IDLE 判定したケース]

【条件】
CCA モード
ED_AVG[2:0]=0b000 (ED 値 1 回平均)
IDLE_WAIT[9:0]=0b00_0000_1110(IDLE 検出期間 224μs)

[ED_CTRL: B0 0x41(2-0)]
[IDLE_WAIT_H: B0 0x3B(1-0)]
[IDLE_WAIT_L: B0 0x3C]

単発実行モード

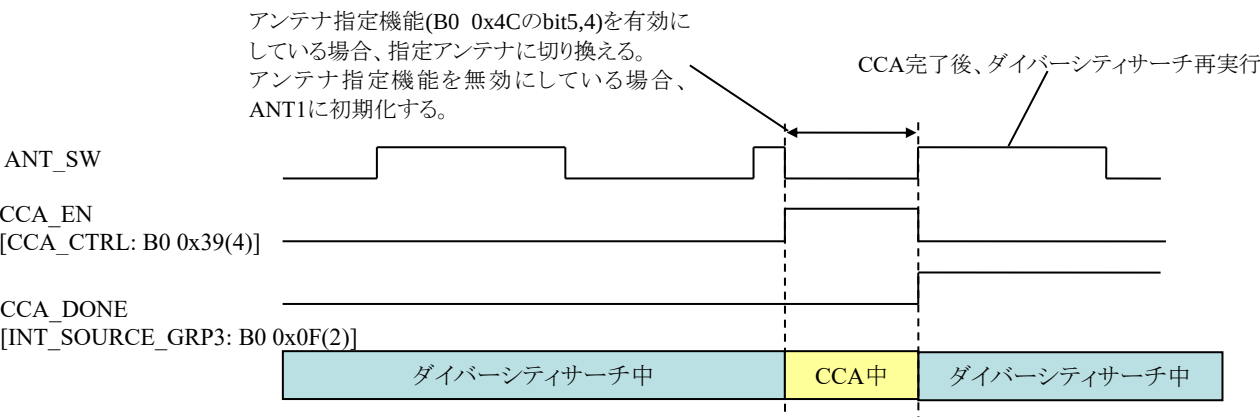


(6) ダイバーシティ使用時の CCA 実行について

①ダイバーシティサーチ中の CCA 実行動作

ダイバーシティサーチ中に CCA 実行指示した場合、ダイバーシティサーチを中止し、CCA が動作します。CCA が動作すると、アンテナは初期値(※1)に固定され、次にダイバーシティサーチされるまで保持されます。ただし、アンテナ指定機能([ANT_CTRL: B0 0x4C(5-4)])を有効にしている場合はアンテナは同レジスタ機能で指定したアンテナに固定されます。CCA 完了後は、ダイバーシティサーチが再実行されます。

※1：“機能説明ダイバーシティ機能 ANT_SW / TRX_SW 設定“の各表”受信時”欄上段の設定になります。



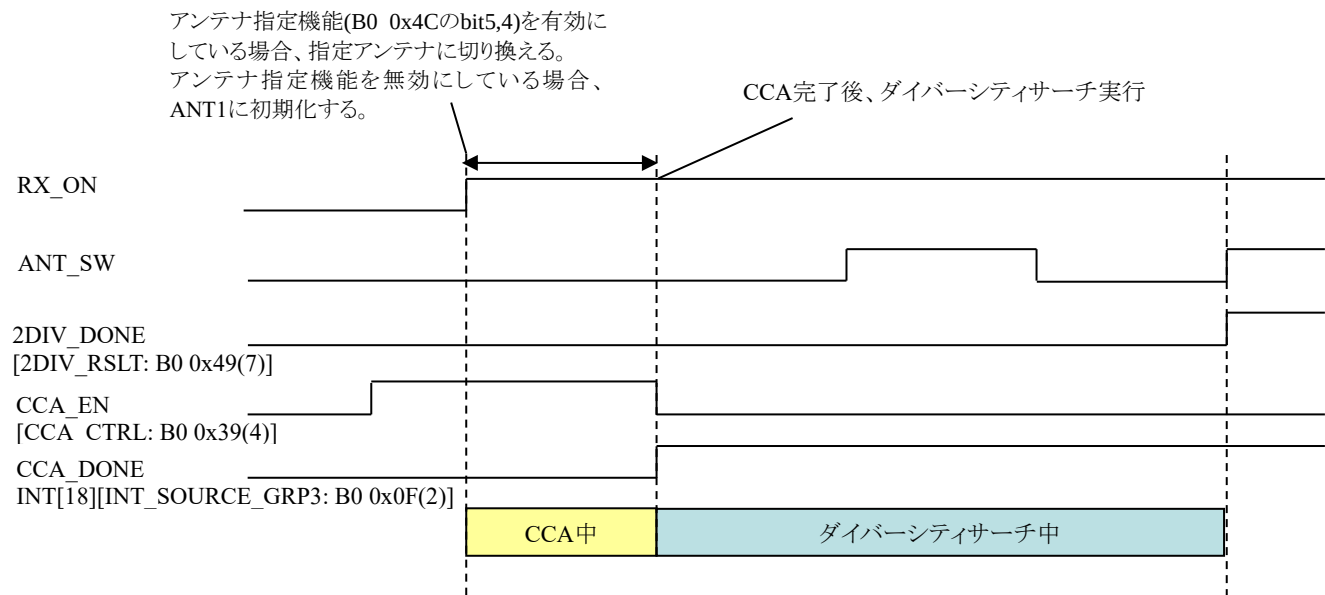
【ご注意】

CCA 中は受信動作を並行して実行していますので、CCA 完了割込みが通知されない場合でも、SyncWord 検出割込み([INT_SOURCE_GRP2: B0 0x0E(5)]), FIFO-Fullトリガ割込み([INT_SOURCE_GRP1: B0 0x0D(5)]), 受信完了割込み([INT_SOURCE_GRP3: B0 0x0E(0)]), CRC 検出エラー割込み([INT_SOURCE_GRP3: B0 0x0E(1)])が通知されることがあります。

ダイバーシティ機能詳細につきましては、“ダイバーシティ機能”をご参照下さい。

② ダイバーシティ ON 設定時、RX_ON 前に CCA 実行設定した場合の動作

RX_ON 遷移前にダイバーシティ ON 設定および CCA 実行設定した場合、RX_ON 遷移後、CCA 完了後にダイバーシティサーチが実行されます。



(7) CCA 閾値設定方法について

CCA 閾値 ([CCA_LVL: B0 0x37])には検出したい受信レベルに相当する ED 値に、バラツキ(IC の個体バラツキ、温度変動)やその他損失(アンテナ、整合回路での損失等)を考慮し設定する必要があります。ED 値と受信レベルの関係式は「電力検出値(ED 値)取得機能」の章をご参照ください。

CCA 閾値が妥当かどうかの検証は、入力レベルを変化させる毎に CCA 実行し IDLE から BUSY になるレベルを確認することで可能です。

6-11-6-6 ○チャンネルサーチ機能

本 LSI はチャンネルサーチ機能を搭載しております。チャンネルサーチ機能は受信状態でチャンネルを切替えながらそのチャンネルに電波があるか否かを判定し、電波があった場合は電波を検出したチャンネルで受信を継続する機能です。チャンネルサーチに関するレジスタは以下の通りです。

機能	レジスタ
チャンネルサーチイネーブル設定	CH_SRCH_EN([SEARCH_CH_SET: B8 0x01(0)])
チャンネルサーチモード	CH_SRCH_MODE([SEARCH_CH_SET: B8 0x01(2-1)])
ED 値算出時の平均回数設定	SRCH_ED_AVG([SEARCH_CH_SET: B8 0x01(6-4)])
同期検出待ち時間分解能設定	SRCH_TIME_RES([SEARCH_CH_SET: B8 0x01(7)])
サーチチャンネルイネーブル(CH0-CH7)	[SEARCH_CH_EN: B8 0x02]
サーチチャンネル番号設定(CH0-CH7)	[SEARCH_CH0: B8 0x03]- [SEARCH_CH7: B8 0x0A]
ED 値閾値設定	[SRCH_ED_TH: B8 0x0B]
PLL 収束待ち時間設定	[PLL_WAIT_TIMER: B8 0x0C]
ED 値収束待ち時間設定	[ED_WAIT_TIMER: B8 0x0D]
同期検出待ち時間設定	[SYNC_WAIT_TIMER: B8 0x0E] [SYNC_WAIT_TIMER2: B8 0x0F]
ED 値取得値表示(ANT1/2)	[SRCH_ED_ANT1: B8 0x10]/ [SRCH_ED_ANT2: B8 0x11]
チャンネルサーチ完了後のチャンネル番号表示	[SRCH_CH: B8 0x12]
周波数ホッピングチャンネルサーチ設定	FH_CH_SRCH_EN([FH_MAX_CH: B8 0x14(0)])
周波数ホッピングチャンネルサーチ時の最大チャンネル設定	[FH_MAX_CH: B8 0x15]
ランダムチャンネル番号生成設定	RANDOM_CH_EN([FH_SET: B8 0x15(1)])
ランダムチャンネル番号表示	[RANDOM_CH_DISP: B8 0x16]

(1) 任意チャンネルサーチ

任意のチャンネルに対し、電波の有無や受信すべき信号の有無をチェックし、電波または受信すべき信号を検出した場合、チャンネルサーチを停止し検出したチャンネルで受信を継続します。受信完了または SYNC エラー(受信中の同期外れ)になった場合、停止したチャンネルの次のチャンネルからチャンネルサーチを再開します。サーチするチャンネルについては、最大 8 チャンネルに対し個別にサーチするか否かを ON/OFF 制御([SEARCH_CH_EN: B8 0x02])することができ、どのチャンネルをサーチするか 8 チャンネルそれぞれに対して任意のチャンネル番号(0～255 チャンネル)を設定([SEARCH_CH0: B8 0x03]-[SEARCH_CH7: B8 0x0A])することが可能です。本機能は受信時に自動でチャンネルを切替える機能であり、送信時は [CH_SET: B0 0x09]に設定したチャンネル番号が適用されます。

【ご注意】

- ① 任意のチャンネル(0～255 チャンネル)を設定可能ですが、設定するチャンネルは必ず VCO キャリブレーション時に設定した周波数範囲内になるように設定してください。
- ② VCO キャリブレーションはオンデマンド方式でキャリブレーションを実行してください。

チャンネルの検出条件はチャンネルサーチモード(CH_SRCH_MODE([SEARCH_CH_SET: B8 0x01(2-1)]))で設定することが可能です。

チャンネルサーチモード CH_SRCH_MODE([SEARCH_CH_SET: B8 0x01(2-1)])	説明
00	ED 値のみ判定するモード
01	ED 値のみ判定するモード(アンテナ切替あり)
10	ED 値と同期状態により判定するモード(アンテナ切替あり)
11	予約

各モードについて詳細を以下に示します。

6-10-16-1-1. ①ED 値のみ判定するモード
CH_SRCH_MODE([SEARCH_CH_SET: B8 0x01(2-1)])=0b00 に設定してください。
CH_SRCH_EN([SEARCH_CH_SET: B8 0x01(0)])=0b1 に設定し、RX_ON 後チャンネルサーチを開始します。チャンネル切替後、PLL の収束、ED 値の収束を待った後 ED 値が設定した閾値([SRCH_ED_TH: B8 0x0B])と大小比較し、チャンネルサーチを停止または継続を判定します。また、ED 値の平均化回数はチャンネルサーチ時専用平均回数(SRCH_ED_AVG([SEARCH_CH_SET: B8 0x01(6-4)]))を設定することが可能です。

チャンネルサーチ判定条件は以下の通りです。

チャンネルサーチ判定	判定後の動作
ED 値≧閾値	電波ありと判定し、チャンネルサーチを停止します。
ED 値<閾値	電波なしと判定し、チャンネルサーチを継続します。

ED 値が閾値以上を示しチャンネルサーチ停止後、[SYNC_WAIT_TIMER2: B8 0x0F]で設定する同期検出待ち時間内に同期確立しない場合、電波はあるが受信すべき信号ではないと判断し、チャンネルサーチを再開します。

PLL 収束待ち時間、ED 値収束時間および同期検出待ち時間は以下の式で定義されます。

PLL 収束待ち時間[us] = [PLL_WAIT_TIMER: B8 0x0C] / { FREF [MHz] /
(2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) } ×240 [us] (5us)

ED 値収束待ち時間[us] = [ED_WAIT_TIMER: B8 0x0D] / { FREF [MHz] /
(2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) } ×240 [us] (5us)

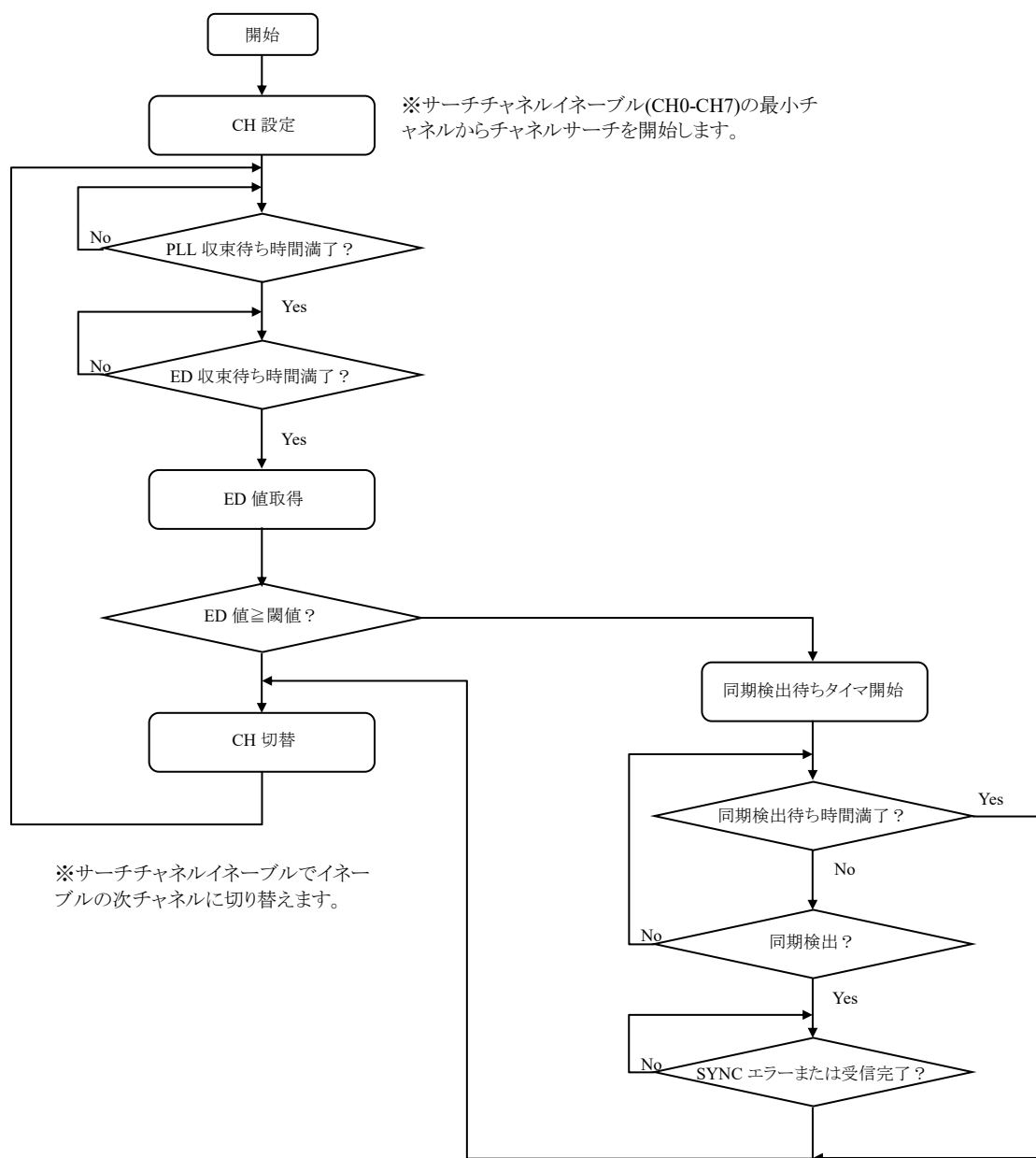
チャンネルサーチ完了後の同期検出待ち時間[us] = [SYNC_WAIT_TIMER2: B8 0x0F] × 時間分解能
※時間分解能は SRCH_TIME_RES([SERCH_CH_SET: B3 0x72(7)])により設定されます。
SRCH_TIME_RES =0 設定時: 240 / { FREF [MHz] /
(2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) } (10us)
SRCH_TIME_RES =1 設定時: 6000 / { FREF [MHz] /
(2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) } (250us)

※括弧内の時間分解能は基準クロック周波数が 48MHz 時の値です。

【ご注意】

- ① ED 値収束待ち時間設定は、チャンネルサーチ時の ED 値平均回数設定に応じて適切な待ち時間を設定する必要があります。
- ② チャンネルサーチ完了後の同期検出待ち時間は、データレートに応じて適切な待ち時間を設定する必要があります。

【LSI 動作フロー】

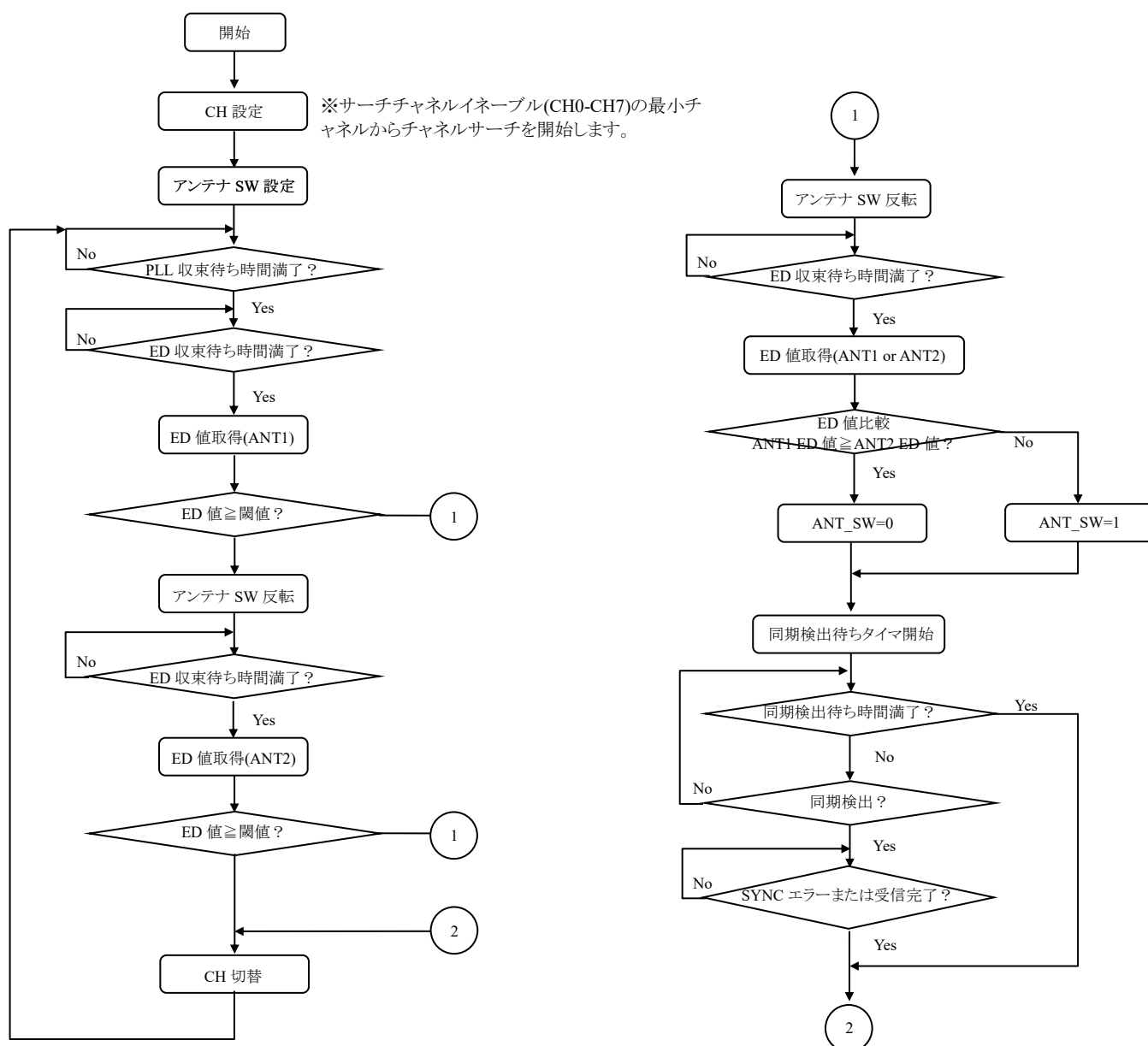


6-10-16-1-2. ②ED 値のみ判定するモード(アンテナ切替あり)

CH_SRCH_MODE([SEARCH_CH_SET: B8 0x01(2-1)])=0b01 に設定してください。

CH_SRCH_EN([SEARCH_CH_SET: B8 0x01(0)])=0b1 に設定し、RX_ON 後チャンネルサーチを開始します。チャンネル切替後、PLL および ED 値収束時間経過後 ED 値を取得、設定した閾値([SRCH_ED_TH: B8 0x0B])と大小比較し、ED 値が閾値未満であった場合、アンテナを切替えを行います。切り替えたアンテナで同様に ED 値の閾値判定を行い、ED 値が閾値以上であった場合はチャンネルサーチを停止し、ED 値が閾値未満であった場合はチャンネルを切替え、チャンネルサーチを継続します。アンテナ切替以外の動作は①ED 値のみ判定するモードと同様です。

【LSI 動作フロー】



※サーチチャンネルイネーブルでイネーブルの次チャンネルに切り替えます。

6-10-16-1-3. ③ED 値と同期状態により判定するモード(アンテナ切替あり)
CH_SRCH_MODE([SEARCH_CH_SET: B8 0x01(2-1)])=0b10 に設定してください。
CH_SRCH_EN([SEARCH_CH_SET: B8 0x01(0)])=0b1 に設定し、RX_ON 後チャンネルサーチを開始します。チャンネル切替後、PLL の収束、ED 値の収束を待った後 ED 値が設定した閾値([SRCH_ED_TH: B8 0x0B])と大小比較し、かつ設定した時間内に同期検出した場合にチャンネル検出とみなし、チャンネルサーチを停止します。また、ED 値の平均化回数はチャンネルサーチ時専用平均回数(SRCH_ED_AVG([SEARCH_CH_SET: B8 0x01(6-4)]))を設定することが可能です。

チャンネルサーチ判定条件は以下の通りです。

チャンネルサーチ判定	判定後の動作
ED 値≧閾値 かつ 同期検出	電波あり(受信すべき信号)と判定し、チャンネルサーチを停止します。
ED 値<閾値	電波なしと判定し、チャンネルサーチを継続します。

ED 値が閾値以上を示しチャンネルサーチ停止後、[SYNC_WAIT_TIMER2: B8 0x0F]で設定する同期検出待ち時間内に同期確立しない場合、電波はあるが受信すべき信号ではないと判断し、チャンネルサーチを再開します。

PLL 収束待ち時間、ED 値収束時間および同期検出待ち時間は以下の式で定義されます。

PLL 収束待ち時間[us] = [PLL_WAIT_TIMER: B8 0x0C] / { FREF [MHz] /
(2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) } ×240 [us] (5us)

ED 値収束待ち時間[us] = [ED_WAIT_TIMER: B8 0x0D] / { FREF [MHz] /
(2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) } ×240 [us] (5us)

チャンネルサーチ中の同期検出待ち時間 = [SYNC_WAIT_TIMER: B8 0x0E] × (10us or 250us)

チャンネルサーチ完了後の同期検出待ち時間 = [SYNC_WAIT_TIMER2: B8 0x0F] × (10us or 250us)

※時間分解能は SRCH_TIME_RES([SERCH_CH_SET: B3 0x72(7)])により設定されます。

SRCH_TIME_RES =0 設定時: 240 / { FREF [MHz] /
(2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) } (10us)

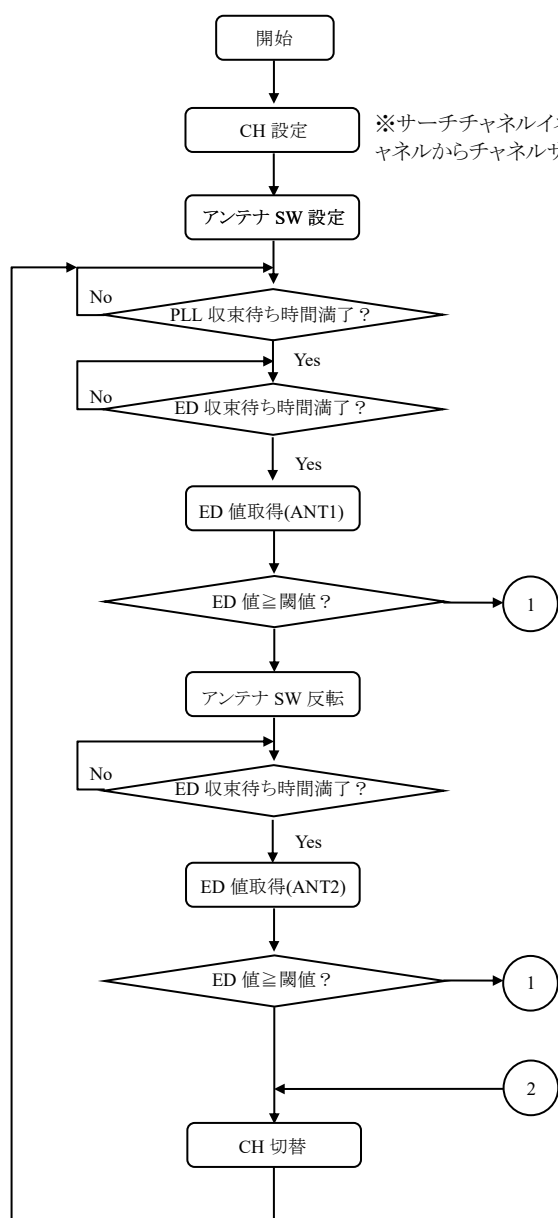
SRCH_TIME_RES =1 設定時: 6000 / { FREF [MHz] /
(2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) } (250us)

※括弧内の時間分解能は基準クロック周波数が 48MHz 時の値です。

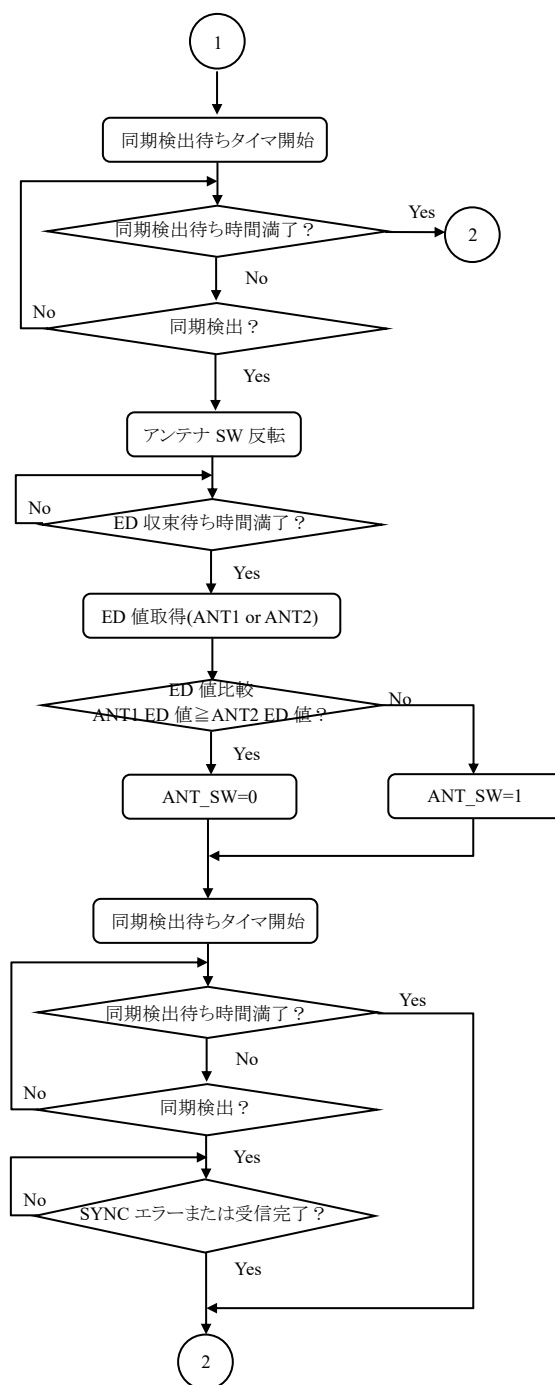
【ご注意】

- ① ED 値収束待ち時間設定は、チャンネルサーチ時の ED 値平均回数設定に応じて適切な待ち時間を設定する必要があります。
- ② 同期検出待ち時間(チャンネルサーチ中、チャンネルサーチ完了後)は、データレートに応じて適切な待ち時間を設定する必要があります。

【LSI 動作フロー】



※サーチチャンネルイネーブルでイネーブルの次チャンネルに切り替えます。



(2) インクリメントチャネルサーチ

FH_CH_SRCH_EN([FH_MAX_CH: B8 0x14(0)])=0b1 か つ CH_SRCH_EN([SEARCH_CH_SET: B8 0x01(0)])=0b1 に設定します。RX_ON 後チャネルサーチを開始しますが、サーチするチャネルは 0 チャネルから [FH_MAX_CH: B8 0x15]で設定するチャネルまで 1 チャネルずつインクリメントします。その他の動作は(1)任意チャネルサーチと同様です。インクリメントチャネルサーチは、1 パケット毎に異なる周波数で送信(周波数ホッピング)されるパケットを受信する場合に適用可能です。

【ご注意】

- ① チャネルサーチは送信されるパケットのプリアンブル内で完了する必要があります。プリアンブル内で完了しない場合、SyncWord 検出できずパケット受信ができない場合があります。よって、チャネルサーチがプリアンブル内で完了するように送信プリアンブルは周波数ホッピングする全チャネルに対しチャネルサーチ完了する時間以上のプリアンブルを設定してください。
- ② VCO キャリブレーションはオンデマンド方式でキャリブレーションを実行してください。

(3) ランダムチャネル番号生成

周波数ホッピングにおいて、送信時にランダムなチャネルでパケット送信する必要があります。本 LSI はランダムなチャネル番号を生成する機能を備えています。RANDOM_CH_EN([FH_SET: B8 0x15(1)])=0b1 に設定することによりランダムなチャネル番号生成器が動作し、ランダムチャネル番号表示([RANDOM_CH_DISP: B8 0x16])に表示し、表示されるチャネル番号の最大は周波数ホッピングチャネルサーチ時の最大チャネル設定([FH_MAX_CH: B8 0x15])までに制限されます。なお、本機能はランダムチャネル番号を表示するのみです。送信時にランダムチャネル番号を適用するためにはランダムチャネル番号表示([RANDOM_CH_DISP: B8 0x16]) で読み出したチャネル番号をチャネル設定([CH_SET: B0 0x09])に設定して送信してください。

6-11-7.送信関連機能

6-11-7-1 ○ランプ制御機能

ランプ制御機能により送信起動時および送信停止時のスプリアス発射を低減します。

ランプ制御は以下のレジスタで制御することができます。

設定	レジスタ
ランプ制御カウンタインクリメント設定	RAMP_INC([RAMP_CTRL1: B3 0x41(1-0)])
ランプ制御基準クロック周期設定	RAMP_CLK_STEP([RAMP_CTRL1: B3 0x41(2)])
ランプアップ時間設定	RAMP_CLK_SET_R([RAMP_CTRL2: B3 0x42])
ランプダウン時間設定	RAMP_CLK_SET_F([RAMP_CTRL3: B3 0x43])

ランプアップ時間・ランプダウン時間はそれぞれ下式にて算出することができます。

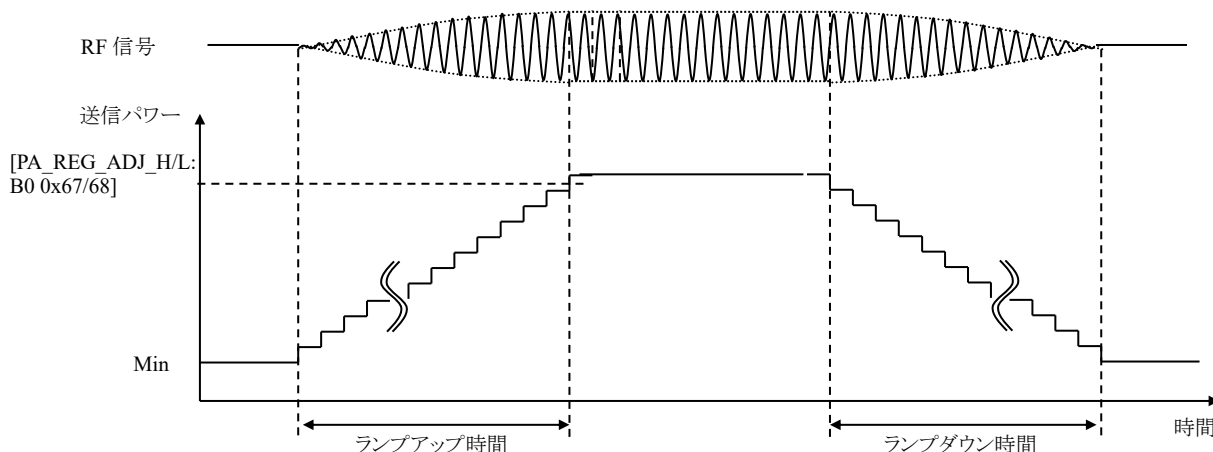
$$\begin{aligned} \text{ランプアップ時間[s]} = & \text{ランプ制御基準クロック周期設定(RAMP_CLK_STEP[(RAMP_CTRL1: B3 0x41(2))])} * \\ & \text{ランプアップ時間設定(RAMP_CLK_SET_R[6:0]([RAMP_CTRL2: B3 0x42(6-0)]))} * \\ & \text{最大振幅設定([PA_REG_ADJ: B0 0x67(0), B0 0x68])} / \\ & \text{ランプ制御カウンタインクリメント設定(RAMP_INC[1:0]([RAMP_CTRL1: B3 0x41(1-0)]))} \end{aligned}$$

$$\begin{aligned} \text{ランプダウン時間[s]} = & \text{ランプ制御基準クロック周期設定(RAMP_CLK_STEP([RAMP_CTRL1: B3 0x41(2)]))} * \\ & \text{ランプダウン時間設定(RAMP_CLK_SET_F[6:0]([RAMP_CTRL3: B3 0x43(6-0)]))} * \\ & \text{最大振幅設定([PA_REG_ADJ: B0 0x67(0), B0 0x68])} / \\ & \text{ランプ制御カウンタインクリメント設定(RAMP_INC[1:0]([RAMP_CTRL1: B3 0x41(1-0)]))} \end{aligned}$$

ランプ制御基準クロック周期設定は下記レジスタで設定可能です。

RAMP_CLK_STEP=0b0 …ランプ制御基準クロック周期=(1/FREF)*(MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)]))+1)*2

RAMP CLK STEP=0b1 ...ランプ制御基準クロック周期=(1/F_{REF})*(MSTR CLK SEL1([CLK SET2: B0 0x02(5)]+1)*32



ここで、リセット時および最大値に設定した場合(FREF =48MHz、PA 出力パワー+13dBm 設定時)のランプアップ・ダウン時間(例)は以下となります。

設定レジスタ	最小 設定時	リセット時	最大 設定時
RAMP_INC([RAMP_CTRL1: B3 0x41(1-0)])	0x3	0x0	0x0
RAMP_CLK_STEP([RAMP_CTRL1: B3 0x41(2)])	0x0	0x0	0x1
RAMP_CLK_SET_R[6:0] ([RAMP_CTRL2: B3 0x42(6-0)])	0x01	0x01	0x7F
RAMP_CLK_SET_F[6:0] ([RAMP_CTRL3: B3 0x43(6-0)])	0x01	0x01	0x7F
[PA_REG_ADJ: B0 0x67/68]	0x0190	0x0190	0x0190
ランプアップ・ダウン時間	20us	40us	38.6ms

6-11-7-2 OFSK 変調機能

(1) GFSK 変調の設定

GFSKモードを使用する場合は、GFSK_EN([DATA_SET1: B0 0x07(4)])=0b1を設定してください。GFSK変調では周波数偏位を以下のレジスタで、またガウシアンフィルタのフィルタ係数を[FSK_DEV0_H/ GFIL0: B1 0x32]から[FSK_DEV3_H: B1 0x38]のレジスタを使用して設定することができます。2 値 FSK/4 値 FSK は FSK_SEL[DATA_SET2: B0 0x08(5)]により選択可能です。

周波数偏位設定	レジスタ
サブ GHz 用	[GFSK_DEV_H: B1 0x30] : 周波数偏位設定(上位バイト) [GFSK_DEV_L: B1 0x31] : 周波数偏位設定(下位バイト)
2.4GHz 用	[GFSK_DEV_H_2G: B4 0x6A] : 周波数偏位設定(上位バイト) [GFSK_DEV_L_2G: B4 0x6B] : 周波数偏位設定(下位バイト)

N_{div}の値については、「チャンネル周波数の設定」をご参照ください。

① GFSK 周波数偏位の設定

F_DEV の設定値は、下記の式で求められます。

$$F_DEV = \{ f_{dev} / (S \cdot f_{ref} / N_{div}) \} \cdot 2^{20} \text{ の整数部分}$$

ここで

f_{dev} : 周波数偏位 [Hz]

f_{ref} : PLL リファレンス周波数 (=基準クロック周波数: F_{REF})

N_{div} : PLL 分周設定値

S: PLL 前置分周比(B1:0x1A(0)=0:2 分周、1:4 分周)

4 値 GFSK の場合は、最大周波数偏位の値を設定してください。

例) 920MHz 帯(N_{div} = S=2)で周波数偏位=50kHzを設定する場合、f_{REF} = 48MHz 時の設定値は以下のようになります。

$$F_DEV = \{0.05\text{MHz} \div (2 \cdot 48\text{MHz}/2)\} \cdot 2^{20} \text{ の整数部分} = 1092(0x0444)$$

この場合、[GFSK_FDEV_H/L: B1 0x30/31]には以下のように設定してください。

[GFSK_DEV_H: B1 0x30] = 0x04

[GFSK_DEV_L: B1 0x31] = 0x44

② ガウシアンフィルタの設定

GFSK モードは GFSK_EN([DATA_SET1: B0 0x07(4)])=0b1 にて設定することができます。

ガウシアンフィルタの BT 値は以下レジスタにて設定可能です。

BT 値とレジスタ設定と関係を以下に示します。

レジスタ	BT 値	
	0.5	1.0
[FSK_DEV0_H/GFIL0: B1 0x32]	0x24	0x00
[FSK_DEV0_L/GFIL1: B1 0x33]	0xD6	0x00
[FSK_DEV1_H/GFIL2: B1 0x34]	0x19	0x02
[FSK_DEV1_L/GFIL3: B1 0x35]	0x29	0x0C
[FSK_DEV2_H/GFIL4: B1 0x36]	0x3A	0x31
[FSK_DEV2_L/GFIL5: B1 0x37]	0x48	0x74
[FSK_DEV3_H/GFIL6: B1 0x38]	0x4C	0x9A

【ご注意】

GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数、FSK モード時は周波数偏位を設定します。

(2) FSK 変調の設定

FSK モードは GFSK_EN([DATA_SET1: B0 0x07(4)])=0b0 にて設定できます。
このモードでは、周波数偏位とそのタイミングを自由に調整できます。
周波数偏位は[FSK_DEV0_H/GFIL0: B1 0x32]から[FSK_DEV4_L: B1 0x3B]にて設定できます。
周波数偏位タイミングは[FSK_TIM_ADJ4: B1 0x3C]から[FSK_TIM_ADJ0: B1 0x40] にて設定できます。
2 値 FSK/4 値 FSK の切り替えは FSK_SEL[DATA_SET2: B0 0x08(5)] にて設定できます。

① FSK 周波数偏位 F_DEV の設定

F_DEV の設定値は、下記の式で求められます。
$$F_DEV = \{ f_{dev} / (S * f_{ref} / N_{div}) \} * 2^{20}$$
 の整数部分

ここで
f_{dev} : 周波数偏位 [Hz]
f_{ref} : PLL リファレンス周波数 (=基準クロック周波数: F_{REF})
N_{div} : PLL 分周設定
S : PLL 前置分周比(B1:0x1A(0)=0:2 分周、1:4 分周)

例) 920MHz 帯(Ndiv = S=2)で周波数偏位=50kHz を設定する場合、f_{REF} = 48MHz 時の設定値は以下のようになります。
$$F_DEV = \{ 0.05MHz \div (2 * 48MHz / 2) \} * 2^{20}$$
 の整数部分 = 1092(0x0444)

この式に従い、次ページ表で示される第 1～最大周波数偏位を設定します。

② FSK 周波数偏位タイミングの設定

変調タイミング時間分解能の切替は、FSK_CLK_SET ([FSK_CTRL: B1 0x2F(0)])にて設定できます。
データパターン、データレートに応じて中心周波数時間、第 1～第 4 周波数偏位時間を設定します。
これらのレジスタは[FSK_TIM_ADJ4:B1 0x3C]～[FSK_TIM_ADJ0:B1 0x40]にアサインされています。
周波数偏位時間は次式で計算されます。

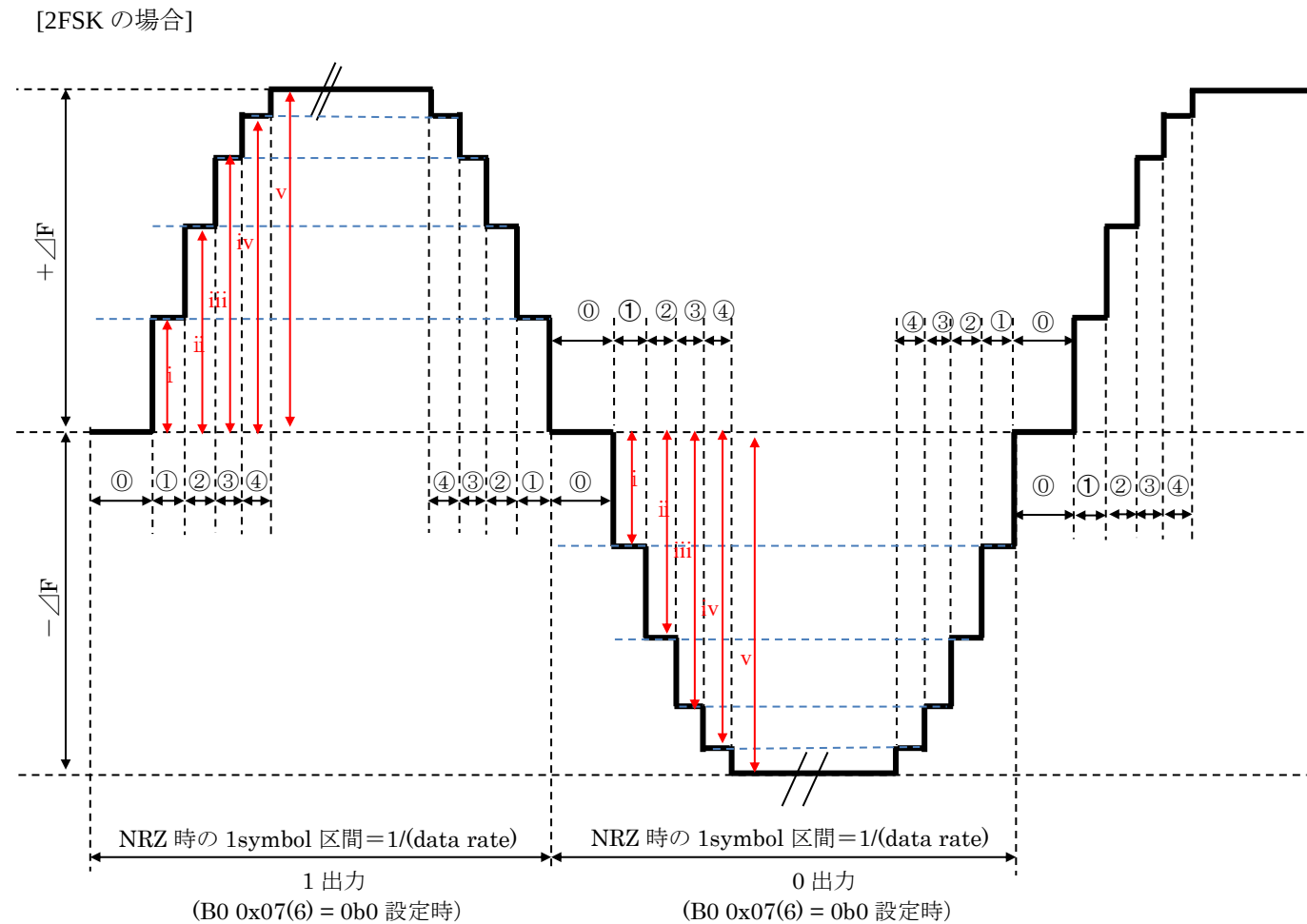
周波数偏位時間 T= 時間分解能 * N

上式の N をレジスタ[FSK_TIM_ADJ4:B1 0x3C]～[FSK_TIM_ADJ0:B1 0x40]に設定します。
最大周波数偏位時間 Tmax < 1/(データレート)/10 の条件を満足するよう設定下さい。
これより最大周波数偏位時間 Tmax となるレジスタ設定値 Nmax は下表で計算されます。

Fref=48MHz 時

MSTR_CLK_SEL1 ([CLK_SET1: B0 0x02(4)])	FSK_CLK_SET ([FSK_CTRL: B1 0x2F(0)])	時間分解能(式)	時間分解能 [us] Tres	データレート [kbps] R	最大周波数 偏位時間 Tmax[us] =1/R/10	最大偏位 タイミング設定 (Nmax=Tmax/Tres) [DEC]
0	0	1/(Fref/12)	0.25	100	1	4
0	0	1/(Fref/12)	0.25	100	1	4
0	1	1/(Fref/6)	0.13	100	1	8
0	1	1/(Fref/6)	0.13	100	1	8
1	0	1/(Fref/4)	0.08	100	1	12
1	0	1/(Fref/4)	0.08	100	1	12
1	1	1/(Fref/2)	0.04	100	1	24
1	1	1/(Fref/2)	0.04	100	1	24

[FSK_TIM_ADJ4:B1 0x3C]～[FSK_TIM_ADJ0:B1 0x40]に最大偏位タイミング設定 Nmax 以下となるよう HEX フォーマットで設定します。

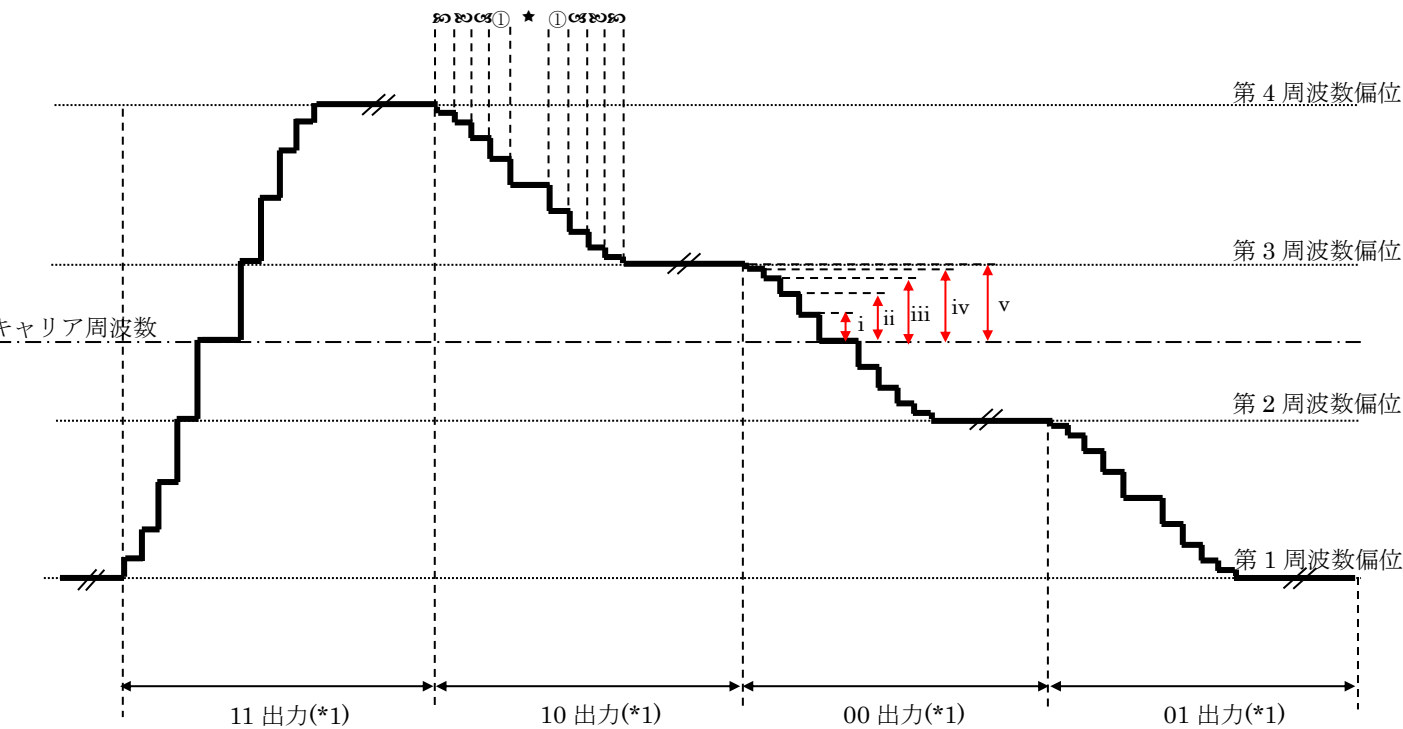


周波数偏位設定				時間設定			
記号	レジスタ名	アドレス	機能	記号	レジスタ名	アドレス	機能
				①	FSK_TIM_ADJ0	B1 0x40	中心周波数時間(*1)
i	FSK_FDEV0_H/GFIL0 FSK_FDEV0_L/GFIL1	B1 0x32/33	第1周波数偏位	①	FSK_TIM_ADJ1	B1 0x3F	第1周波数偏位時間(*1)
ii	FSK_FDEV1_H/GFIL2 FSK_FDEV1_L/GFIL3	B1 0x34/35	第2周波数偏位	②	FSK_TIM_ADJ2	B1 0x3E	第2周波数偏位時間(*1)
iii	FSK_FDEV2_H/GFIL4 FSK_FDEV2_L/GFIL5	B1 0x36/37	第3周波数偏位	③	FSK_TIM_ADJ3	B1 0x3D	第3周波数偏位時間(*1)
iv	FSK_FDEV3_H/GFIL6 FSK_FDEV3_L	B1 0x38/39	第4周波数偏位	④	FSK_TIM_ADJ4	B1 0x3C	第4周波数偏位時間(*1)
v	FSK_FDEV4_H FSK_FDEV4_L	B1 0x3A/3B	最大周波数偏位				

(*1) 変調タイミング分解能の切替は、FSK_CLK_SET ([FSK_CTRL: B1 0x2F(0)])にて設定できます。

【ご注意】
GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数、FSK モード時は周波数偏位を設定します。

[4FSK の場合]



- (*1) 各周波数偏位(第 1～第 4)に対するデータ(00/01/10/11)のマッピングは、[4FSK_DATA_MAP: B1 0x40]により変更できます。
- (*2) 第 1 周波数偏位から第 3 周波数偏位などへ 2 段階周波数が変化する場合、各周波数変化量は i～v の 2 倍となります。
第 1 周波数偏位から第 4 周波数偏位などへ 3 段階周波数が変化する場合、各周波数変化量は i～v の 3 倍となります。

周波数偏位の設定を表に示します。算出式のパラメータはレジスタのビット名です。

周波数偏位設定			
記号	算出式	アドレス	機能
i	FSK_FDEV4 - FSK_FDEV3	B1 0x3A/3B, B1 0x38/39	
ii	FSK_FDEV4 - FSK_FDEV2	B1 0x3A/3B, B1 0x36/37	
iii	FSK_FDEV4 - FSK_FDEV1	B1 0x3A/3B, B1 0x34/35	
iv	FSK_FDEV4 - FSK_FDEV0	B1 0x3A/3B, B1 0x32/33	
v	FSK_FDEV4	B1 0x3A/3B	隣接シンボル間周波数偏移 x 1/2
v-i	FSK_FDEV3	B1 0x38/39	
v-ii	FSK_FDEV2	B1 0x36/37	
v-iii	FSK_FDEV1	B1 0x34/35	
v-iv	FSK_FDEV0	B1 0x32/33	

時間設定			
記号	レジスタ名	アドレス	機能
④	FSK_TIM_ADJ4	B1 0x3C	変調タイミング 4MHz/12MHz カウンタ値 (*1)
③	FSK_TIM_ADJ3	B1 0x3D	
②	FSK_TIM_ADJ2	B1 0x3E	
①	FSK_TIM_ADJ1	B1 0x3F	
①	FSK_TIM_ADJ0	B1 0x40	

(*1) 変調タイミング分解能の切替は、FSK_CLK_SET ([FSK_CTRL: B1 0x2F(0)])にて設定できます。

【ご注意】
GFSK のフィルタ係数設定レジスタと FSK 周波数偏位設定レジスタは共通です。GFSK モード時にはフィルタ係数、FSK モード時は周波数偏位を設定します。

6-11-8. その他の機能

6-11-8-1 Oデータレート設定機能

(1) データレート変更方法

本 LSI は以下のレジスタ設定する任意のデータレートにて送受信可能です。

送信時…[TX_RATE_H: B1 0x02]および[TX_RATE_L: B1 0x03]

受信時…[RX_RATE1_H: B1 0x04]、[RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]

送信・受信時のデータレート設定は以下の式に従い設定されます。

【送信時】

$$\text{送信データレート[bps]} = \text{round} \left(\frac{F_{\text{REF}}[\text{Hz}]}{(2 - \text{MSTR_CLK_SEL1}([\text{CLK_SET2}: \text{B0 } 0x02(5)])) / 10 / [\text{TX_RATE}] \right)$$

各データレートに対する推奨設定値を以下の表に示します。以下のレジスタ設定値は TX_DRATE([DRATE_SET: B0 0x06(3-0)])を設定することにより、自動的に[TX_RATE_H: B1 0x02]および[TX_RATE_L: B1 0x03]に設定されます。

FREF=48MHz

送信データレート[kbps]	[TX_RATE_H][TX_RATE_L] 設定値(10 進)	データレート偏差 [%] *1
1.2	2000	0.00
2.4	1000	0.00
4.8	500	0.00
9.6	250	0.00
10.0	240	0.00
15.0	160	0.00
19.2	125	0.00
20.0	120	0.00
32.768	73	0.06
40.0	60	0.00
50.0	48	0.00
100.0	24	0.00
200.0	12	0.00
300.0	8	0.00

*1 データレート偏差は、本 LSI に接続する FREF の周波数偏差が 0ppm 時の値です。

上式により算出される送信データレートにおいて、データレート偏差が大きくなる場合、[TX_RATE2_H: B1 0x7C]および[TX_RATE2_L: B1 0x7D]を用いることにより、データレート偏差をより小さく調整することが可能です。

$$\text{TX_RATE2}[13:0] = \text{round} \left[\left\{ \frac{1}{\text{データレート(bps)}} \right\} - \left\{ \frac{1}{(\text{動作クロック周波数(Hz)} / 2 / \text{TX_RATE}[11:0]) \times 9} \right\} / \left\{ \frac{1}{\text{動作クロック周波数(Hz)} / 2} \right\} \right]$$

$$\text{※動作クロック周波数} = F_{\text{REF}}[\text{Hz}] / (2 - \text{MSTR_CLK_SEL1}([\text{CLK_SET2}: \text{B0 } 0x02(5)]))$$

【受信時】

受信データレート[bps] = round ({FREF[Hz] /
(2-MSTR_CLK_SEL1([CLK_SET2: B0 0x02(5)])) / N} /
{[RX_RATE1] * [RX_RATE2]}))
※N=1(LOW_RATE_EN=0 設定時)
N=2(LOW_RATE_EN=1 設定時)

各データレートに対する推奨設定値 (LOW_RATE_EN([CLK_SET2: B0 0x03(0)])=0b1 設定時) を以下の表に示します。
以下のレジスタ設定値は RX_DRATE([DRATE_SET: B0 0x06(7-4)])を設定することにより、自動的に[RX_RATE1_H: B1 0x04]、[RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]に設定されます。

FREF=48MHz

受信データレート[kbps]	[RX_RATE1_H][RX_RATE1_L] 設定値(10 進)	[RX_RATE2] 設定値(10 進)
1.2	100	100
2.4	50	100
4.8	25	100
9.6	10	125
10.0	10	120
15.0	8	100
19.2	5	125
20.0	10	60
32.768	3	122
40.0	3	100
50.0	2	120
100.0	1	60
200.0	1	60
300.0	1	40

【ご注意】

1. LOW_RATE_EN([CLK_SET2: B0 0x03(0)])=0b0 設定した場合、上式に従って受信データレートを算出してください。
また、LOW_RATE_EN=0b0 設定時、送受信のデータレート設定レジスタ([DRATE_SET: B0 0x06])を設定しても自動で[RX_RATE1_H: B1 0x04][RX_RATE1_L: B1 0x05]および[RX_RATE2: B1 0x06]に最適値は設定されませんのでご注意ください。

(2)データレート変更に伴う設定

データレートを変更する場合、初期設定レジスタに従いレジスタを変更してください。

【ご注意】

1. 必ず TRX_OFF 状態で設定を変更してください。

6-11-8-2 ○割り込み通知機能

本 LSI は割り込み通知機能を搭載しております。割り込みが発生すると割り込み通知信号(SINTN)を Low にして通知します。割り込み要因は[INT_SOURCE_GRP1: B0 0x0D] [INT_SOURCE_GRP2: B0 0x0E] [INT_SOURCE_GRP3: B0 0x0F]の 3 つのグループに分かれています。また、各割り込みは[INT_EN_GRP1: B0 0x10] [INT_EN_GRP2: B0 0x11] [INT_EN_GRP3: B0 0x12]でマスクすることができます。割り込み通知信号(SINTN)は GPIO*または EXT_CLK から出力できます。

【ご注意】

マスクされていない割り込み要因がひとつでも発生している場合、SINTN は Low を維持します。

(1) 割り込み要因表

各グループの割り込み要因を下記にまとめます。

レジスタ	割り込み名	機能
INT_SOURCE_GRP1	INT[0]	クロック安定化完了割り込み
	INT[1]	VCO キャリブレーション完了割り込み または Fuse アクセス完了割り込み または IQ 調整完了割り込み
	INT[2]	PLL ロック外れ割り込み
	INT[3]	RF 状態遷移完了割り込み
	INT[4]	FIFO-EMPTY 割り込み
	INT[5]	FIFO-FULL 割り込み
	INT[6]	ウェイクアップ割り込み
	INT[7]	クロックキャリブレーション完了割り込み または チャンネルサーチエラー割り込み
INT_SOURCE_GRP2	INT[8]	データ受信完了割り込み
	INT[9]	CRC エラー割り込み
	INT[10]	ダイバーシティサーチ完了割り込み
	INT[11]	受信 Length エラー割り込み
	INT[12]	受信 FIFO アクセスエラー割り込み
	INT[13]	SyncWord 検出割り込み
	INT[14]	Field チェック割り込み
	INT[15]	Sync エラー割り込み
INT_SOURCE_GRP3	INT[16]	データ送信 完了割り込み
	INT[17]	データ送信要求受付完了割り込み
	INT[18]	CCA 完了割り込み
	INT[19]	送信 Length エラー割り込み
	INT[20]	送信 FIFO アクセスエラー割り込み
	INT[21]	予約
	INT[22]	汎用タイマ 1 割り込み
	INT[23]	汎用タイマ 2 割り込み

(2) 割り込み発生タイミング

各割り込み通知において、各基点から割り込み発生までの時間、または割り込み発生タイミングを以下に示します。割り込み通知待ちのタイムアウト処理は以下を参照してください。

【ご注意】

(1) 下表中の数値は 100kbps 時の値となります。任意のシンボルレートの場合、下表中のシンボル時間と記載される数値がシンボル周期に置き換えた数値となります。

(2) 下表中の数値は下記フォーマットの送受信データを用いた場合です。

10 バイト	2 バイト	1 バイト	24 バイト	2 バイト
プリアンブル	SyncWord	Length	ユーザデータ	最終 CRC

(3) 各割り込み通知を OFF 設定した場合でも本 LSI 内部に割り込みを保持した状態となります。よって、割り込みをクリアせずに割り込み通知 OFF 設定から ON 設定とした場合は割り込みが通知されます。割り込みが発生した場合は、割り込み通知 OFF 後に割り込みクリアすることを推奨いたします。

割り込み通知		基点	基点から割り込み発生までの時間 または、割り込み発生タイミング
INT[0]	クロック安定化完了	RESETN 解除 (電源投入時)	1~1.25ms
		RF_SLEEP 解除 (RF_SLEEP 復帰時)	1~1.25ms
INT[1]	VCO キャリブレーション完了	VCO キャリブレーション実行開始	約 6ms
	IQ 自動調整完了	IQ 調整実行開始	最大 100ms 程度
	FUSE アクセス完了	RESETN 解除後	クロック安定化完了割り込み
INT[2]	PLL ロック外れ検出	-	(送信時) PA_ON 以降の送信中 (受信時) RX イネーブル以降の受信時
INT[3]	RF 状態遷移完了	TX_ON 命令	(IDLE 時) 232μs(VCO オートキャリブレーション時) 160μs(VCO オンデマンドキャリブレーション時) (受信時) 219μs(VCO オートキャリブレーション時) 72μs(VCO オンデマンドキャリブレーション時)
		RX_ON 命令	(IDLE 時) 203μs(VCO オートキャリブレーション時) 121μs(VCO オンデマンドキャリブレーション時) (送信時) 220μs(VCO オートキャリブレーション時) 75μs(VCO オンデマンドキャリブレーション時)
		TRX_OFF 命令	(送信時) ランプダウン時間+6μs (受信時) 5μs
		Force_TRX_OFF 命令	(送信時) ランプダウン時間+6μs (受信時) 5μs
INT[4]	FIFO-EMPTY	TX_ON 命令 (送信) (※1)	Emptyトリガレベルを 0x02 と設定していた場合 (符号化 NRZ 時) RF 起動(210μs)+(プリアンブル~データ 22 バイト)×10(ビット時間)=3010μs)
		-(受信)	FIFO リードにより FIFO 使用量がトリガレベルを下回った時
INT[5]	FIFO-FULL	-(送信)	FIFO ライトにより FIFO 使用量がトリガレベルを超えた時
		SyncWord 検出 (受信)	Fullトリガレベルを 0x05 と設定していた場合 (符号化 NRZ 時) 500μs(データ 5 バイト×10μs(ビット時間))
INT[6]	ウェイクアップ完了	RF_SLEEP 設定	ウェイクアップタイマ満了時 詳細は「ウェイクアップタイマ」を参照してください。
INT[7]	クロックキャリブレーション完了	キャリブレーション開始	キャリブレーションタイマ満了時 詳細は「低速クロック補正補助機能」を参照してください。
	チャネルサーチ完了	-	チャネルサーチエラー発生時
INT[8]	データ受信完了	SyncWord 検出	L-field が 1 バイト、NRZ 符号化の場合、2160μs 後 (L-field 長(8bit)×10(シンボル時間)=80μs、データ長((Data ~CRC:bit)×10(シンボル時間)=2080μs))

割込み通知		基点	基点から割込み発生までの時間 または、割込み発生タイミング
INT[9]	CRC エラー	SyncWord 検出	(FormatA/B)各 CRC 演算ブロック受信完了時 (FormatC/D)受信完了時
INT[10]	ダイバーシティサーチ完了	-	ダイバーシティイネーブル設定状態での SyncWord 検出時
INT[11]	受信 Length エラー	SyncWord 検出	80 μ s(L-field 1 バイト時) 160 μ s(L-field 2 バイト時)
INT[12]	受信 FIFO アクセスエラー 割込み	-	(1)FIFO の読み出しが不足にオーバーフローが発生した時 (2)FIFO を読み出し過ぎアンダーフローが発生した時
INT[13]	SyncWord 検出	-	SyncWord 検出時
INT[14]	Field チェック	-	Field チェックにより一致または不一致を検出した時
INT[15]	Sync エラー	-	SyncWord 検出以降の受信中に同期が外れた時 (RXDIO_CTRL([DIO_SET: B0 0x0C(7-6)])に 0b00 または 0b11 設定時)
INT[16]	データ送信完了	TX_ON 命令 (*1)	RF 起動+[送信データ数+3](ビット)後 =210 μ s+315 ビット x 10 μ s (ビット時間)=3360 μ s 後
INT[17]	データ送信要求受付完了	-	Length 分のデータを全て送信 FIFO にライト完了したとき (FAST_TX モードを使用し、FIFO トリガによりデータ書き足しを行う 場合は送信中になります)
INT[18]	CCA 完了	CCA 実行開始	(1)単発実行モード (ED 値平均回数+ IDLE_WAIT 設定) $\times$ 平均間隔+ゲイン切替時間 (2) IDLE 検出モード ○IDLE 判定の場合 (ED 値平均回数+ IDLE_WAIT 設定) $\times$ 平均間隔+ゲイン切替時間 ○BUSY 判定の場合 ED 値平均回数 $\times$ 平均間隔+ゲイン切替時間 平均間隔は 16 μ s となります。
INT[19]	送信 Length エラー	-	[TX_PKT_LEN_H/L: B0 0x7A/0x7B]への Length 設定時
INT[20]	送信 FIFO アクセスエラー	-	(1)FIFO に空きがない状態でデータ書き込みを行った時 (2)FIFO の書き足し時にオーバーフローが発生した時 (3)送信中に送信すべきデータがなくなった時
INT[21]	予約	-	-
INT[22]	汎用タイマ 1	タイマ開始	汎用タイマ 1 満了時 汎用タイマ用クロック周期 *分周設定([GT_CLK_SET: B0 0x33]) * 汎用タイマ間隔設定([GT1_TIMER: B0 0x34])後
INT[23]	汎用タイマ 2	タイマ開始	汎用タイマ 2 満了時 汎用タイマ用クロック周期 *分周設定([GT_CLK_SET: B0 0x33]) * 汎用タイマ間隔設定([GT2_TIMER: B0 0x35])後

(*1)FIFO に Length 分の送信データを書き込み完了した後、TX_ON 命令を発行し送信する場合

(2) 割り込みクリア条件

割り込み通知		推奨割り込みクリアタイミング
INT[0]	クロック安定化終了	
INT[1]	VCO キャリブレーション完了 または Fuse アクセス完了割り込み または IQ 調整完了割り込み	
INT[2]	PLL ロック外れ検出	
INT[3]	RF 状態遷移完了	
INT[4]	FIFO-EMPTY	次の EMPTY トリガ発生タイミングまでにクリア
INT[5]	FIFO-FULL	次の FULL トリガ発生タイミングまでにクリア
INT[6]	ウェイクアップ完了	
INT[7]	クロックキャリブレーションまたは チャネルサーチエラー	
INT[8]	データ受信完了	次のパケット受信前までにクリア
INT[9]	CRC エラー	次のパケット受信前までにクリア
INT[10]	ダイバーシティサーチ完了	割り込み発生後
INT[11]	受信 Length エラー	
INT[12]	受信 FIFO アクセスエラー	次のパケット受信前までにクリア
INT[13]	SyncWord 検出	
INT[14]	Field チェック	
INT[15]	Sync エラー	
INT[16/]	データ送信完了	次のパケット送信前までにクリア
INT[17]	データ送信要求受付完了	次のパケット受信前までにクリア
INT[18]	CCA 完了	次の CCA 実行までにクリア ※ただし、割り込みクリアにより CCA 結果もクリアされます。
INT[19]	送信 Length エラー	
INT[20]	送信 FIFO アクセスエラー	次のパケット送信前までにクリア
INT[21]	予約	
INT[22]	汎用タイマ 1	
INT[23]	汎用タイマ 2	

6-11-8-3 ○低速クロック補正補助機能

本 LSI は、ウェイクアップタイマ用クロック(外部入力、内蔵 RC 発振回路出力)の周波数を調整するための補助機能として、低速クロック周波数のずれを検出する機能を持っています。本機能は以下のレジスタにより設定、使用することができます。本機能により検出したウェイクアップタイマ用クロック周波数のずれを考慮し、ウェイクアップタイマ間隔設定([WUT_INTERVAL_H/L: B0 0x2F/0x30])または動作継続タイマ間隔設定([WU_DURATION: B0 0x31])を調整することで、より正確なタイマ動作をさせることが可能となります。この項では、ウェイクアップタイマ間隔設定([WUT_INTERVAL_H/L: B0 0x2F/0x30])の調整方法を記載します。動作継続タイマ間隔設定([WU_DURATION: B0 0x31])に関しては、“ウェイクアップタイマ”の項を参照して下さい。

設定	レジスタ
周波数ずれ検出用 クロック分周設定	[CLK_CAL_SET: B0 0x70]
キャリブレーション時間	[CLK_CAL_TIME: B0 0x71]
高速クロックによるカウント数表示	[CLK_CAL_H: B0 0x72]および[CLK_CAL_L: B0 0x73]

本機能は、ウェイクアップタイマ用低速クロック周期間を LSI 内部の高精度、高速クロックによりカウントを行い、カウント結果を [CLK_CAL_H/L: B0 0x72/0x73] レジスタに表示します。上記設定とカウント数との関係は以下の通りとなります。

$$\begin{aligned} \text{高速クロックによるカウント数} &= \{\text{ウェイクアップタイマ用クロック周期}([SLEEP/WU_SET: B0 0x2D(2)]) * \\ &\quad \text{キャリブレーション時間設定}([CLK_CAL_TIME: B0 0x71(5-0)])\} / \\ &\quad \{\text{基準クロック周期} * \\ &\quad \text{(MSTR_CLK_SEL1}([CLK_SET2: B0 0x02(5)])+1) * \\ &\quad \text{検出用クロック分周設定値}([CLK_CAL_SET: B0 0x70(7-4)])\} \end{aligned}$$

この時の、キャリブレーションにかかる時間は下式で計算されます。

$$\text{キャリブレーションにかかる時間[sec]} = \text{ウェイクアップタイマ用クロック周期} * \text{キャリブレーション時間設定}$$

(ウェイクアップタイマ補正例)

内部高速クロックの分周設定なし、キャリブレーション時間 10 サイクル、ウェイクアップタイマ設定 1000(0x3E8)を設定した場合

$$\begin{aligned} \text{条件: ウェイクアップタイマ用クロック周波数} &= 32.768\text{kHz} \\ \text{検出用クロック分周設定 CLK_CAL_DIV[3:0] ([CLK_CAL_SET: B0 0x70(7-4)])} &= 0b0000 \\ \text{キャリブレーション時間設定 [CLK_CAL_TIME]} &= 0x0A \\ \text{ウェイクアップタイマ設定 [WUT_INTERVAL: B0 0x2F,30]} &= 0x03E8(1000) \\ \text{基準クロック周波数} &= 48\text{MHz} \\ \text{MSTR_CLK_SEL1}([CLK_SET2: B0 0x02(5)]) &= 1 \end{aligned}$$

理想的な高速クロックによるカウント数は、下記となります。

$$\begin{aligned} \text{高速クロックによるカウント数} &= (1/32.768\text{kHz}) * 10 / (1/\{48\text{MHz}/2\}) \\ &= 7324(0x1C9C) \end{aligned}$$

ここで、[CLK_CAL_H/L: B0 0x72,73] レジスタで 0x1BB5(7093)を得た場合、

$$\text{カウンタズレ値} = 7093 - 7324 = -231$$

$$\text{周波数ズレ} = 1/[\{1/32.768\text{kHz} + (-231) / 10 * 1/24\text{MHz}\}] - 32.768\text{kHz} = 1067.13\text{Hz}$$

となり、低速クロック周波数誤差が+3.26%であることが分かります。この場合、ウェイクアップタイマ用カウンターの補正值(C)は、下記となります。

$$\begin{aligned} C &= \text{ウェイクアップタイマ設定値}([WU_INTERVAL_H/L: B0 0x2F,30]) * \text{周波数ズレ} / 32.768\text{kHz} \\ &= 1000 * 1067.13\text{Hz} / 32.768\text{kHz} \\ &= 37 \end{aligned}$$

この結果から、ウェイクアップタイマ設定値 = 1000 + 37 = 1037 = 0x040D と設定することで、32.768kHz で設定しようとしたタイマ時間に近づきます。

【ご注意】

キャリブレーション時間が短い場合やクロック分周設定値が大きく、高速クロックカウントの時間分解能が粗い場合、キャリブレーション精度が低くなります。

6-11-8-4 ○ローバッテリー検出機能

本 LSI は 3V 系電圧(VDD_BIAS)の電圧検出機能を備えています。本機能は以下のレジスタにより設定、使用することができます。

設定	レジスタ
ローバッテリー検出イネーブル	LOWBAT_DET_EN([LOWBAT_DET_CTRL1: B3 0x44(4)])
バッテリー値表示	[LOWBAT_DET_DISP: B3 0x44/45]

ローバッテリー検出イネーブル設定後、3V 系電圧(VDD_BIAS)の 1/3 電圧と LDO_XO 電圧から生成される閾値電圧を比較します。閾値電圧が 3V 系電圧(VDD_BIAS)の 1/3 電圧を超えたときの閾値電圧値をバッテリー値表示レジスタ ([LOWBAT_DET_DISP: B3 0x44/45])に表示します。3V 系電圧推定値とバッテリー表示値との関係は以下の式で表現されます。

$$3V \text{ 系電圧推定値[V]} = LDO_XO \text{ 端子電圧(Typ. 1.4V)} * \text{バッテリー表示値} / 511 * 3 - 0.1$$

(例) バッテリー表示 = 410(0x19A)であった場合、3V 系電圧推定値は以下となります。

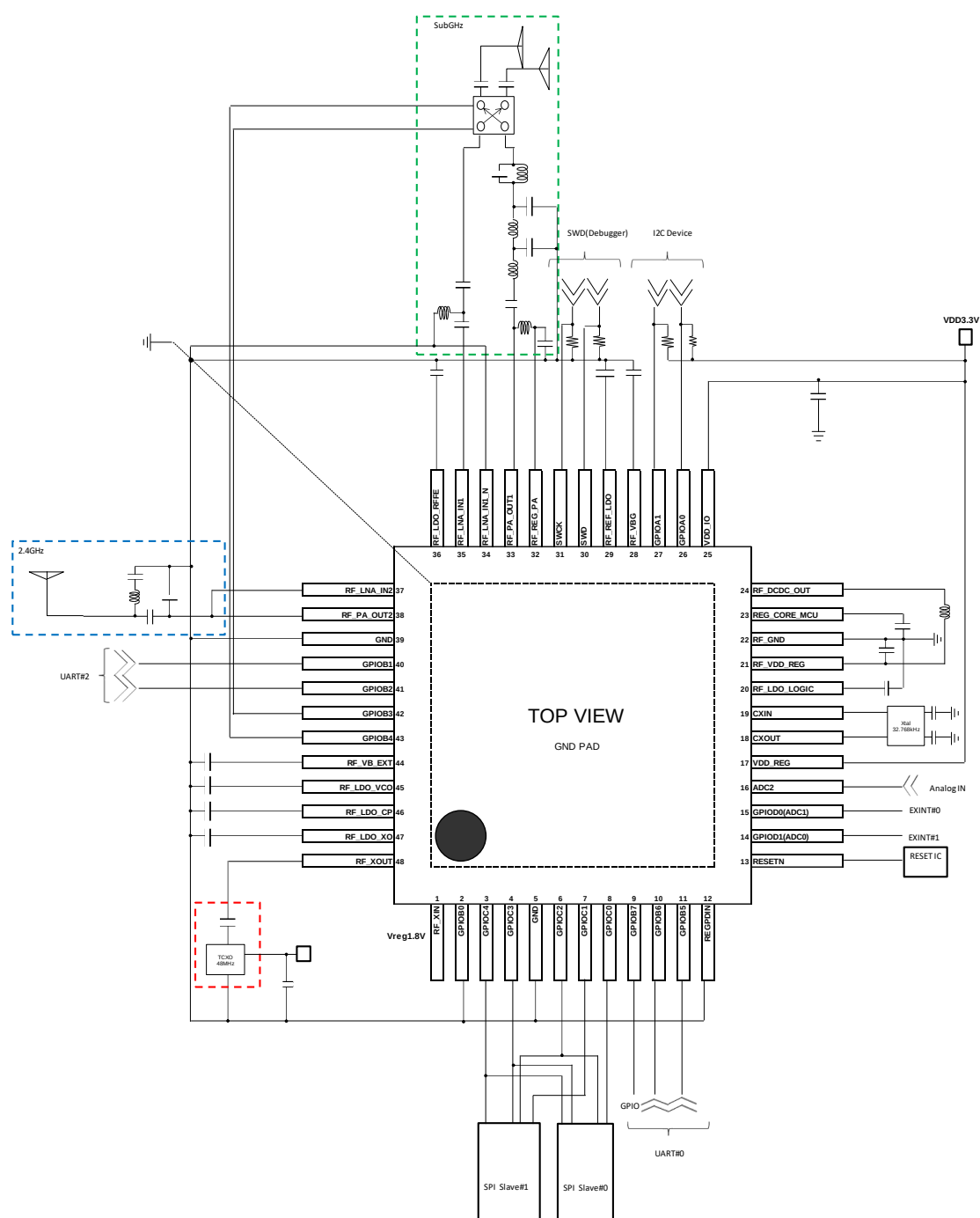
$$3V \text{ 系電圧推定値} = 1.4V(LDO_XO \text{ 端子電圧}) * 410 / 511 * 3 - 0.1 = 3.27 \text{ [V]}$$

【ご注意】

- 1. ローバッテリー検出は必ず IDLE 状態または受信状態で実施してください。
- 2. ローバッテリー検出中に比較電圧値が 3V 系電圧(VDD_BIAS)の 1/3 電圧を超えなかった場合、バッテリー表示値は 0x000 を表示します。
- 3. LDO_XO 端子電圧の Typ 電圧は 1.4V ですが、電圧値がずれていた場合、その分 3V 系電圧値もずれます。
- 4. 上記計算例は FREF=48MHz の場合の結果となります。

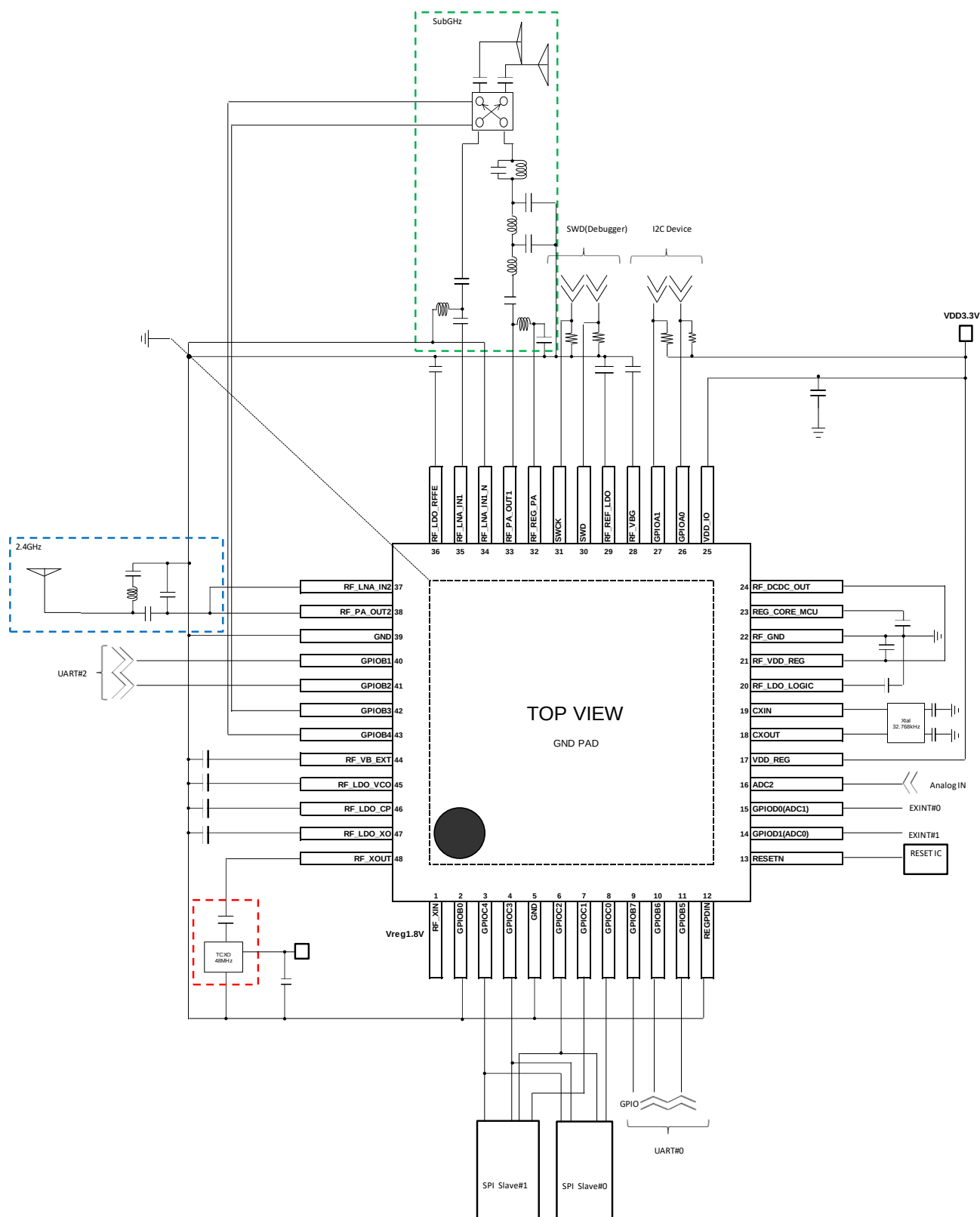
■7. 応用回路例

DCDC 使用時



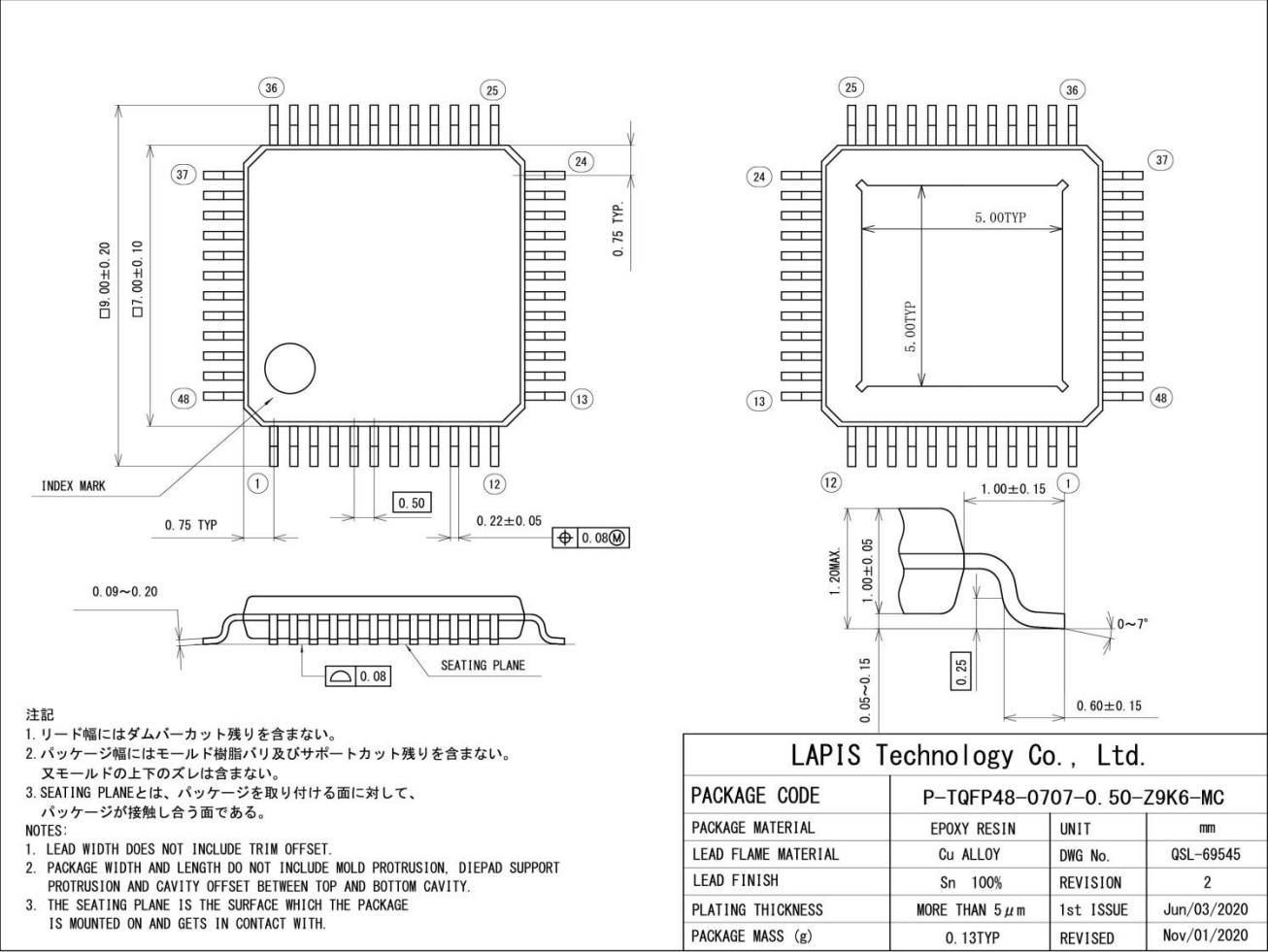
詳細はデザインガイドをご参照ください。

DCDC 未使用時



詳細はデザインガイドをご参照ください。

■8. パッケージ外形寸法図



■9. 改版履歴

版数	変更内容	日付
01	初版	2020/6/10
02	社名変更(ヘッダー)	2020/12/4
	内部端子の追加(4-7)	
	RF 特性の追加(5-4)	
	RF 機能説明の追加(6-11)	
	プログラミングモデルの削除(7)	
	送信電流の誤記訂正(1)	
	A/D 変換特性変更(5-8)	
	応用回路例 誤記訂正(7)	
	許容損失訂正(5-1)	
	リセット要因とリセット対象の削除(6-7-8)	
	DeepSleep 機能削除	
	ご注意の変更	
03	誤記修正(3/4/7)	2021/3/15
	グランド端子追加(4-1)	
04	規格見直しによる ACP 値の修正(5-4-1)	2021/6/29
05	製品名、用途の追加	2023/11/1
	ご注意の更新	
06	ご注意の更新	2024/1/10

ご注意

- 1) 本製品をご使用の際は、最新の製品情報をご確認の上、絶対最大定格^(※1)、動作条件その他の指定条件の範囲内でお使いください。指定条件の範囲を超えて使用された場合や、使用上の注意を守ることなく使用された場合、その後に発生した故障、誤動作等の不具合、事故、損害等については、ラピステクノロジー株式会社(以下、「当社」といいます)はいかなる責任も負いません。また、指定条件の範囲内のご使用であっても、半導体製品は種々の要因で故障・誤作動する可能性があります。万が一本製品が故障・誤作動した場合でも、その影響により人身事故、火災損害等が起らないよう、お客様の責任において、ディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等お客様の機器・システムとしての安全確保を行ってください。
(※1)絶対最大定格：瞬時たりとも超過してはならない限界値となります。
- 2) 本資料に掲載されております製品は、耐放射線設計がなされておられません。
- 3) 本資料に記載されております応用回路例やその定数、ソフトウェア等の情報は、半導体製品の標準的な動作例や応用例を説明するものです。お客様の機器やシステムの設計においてこれらの情報を使用する場合には、お客様の責任において行ってください。また、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。これらのご使用に起因して生じた損害等に関し、当社は一切その責任を負いません。
- 4) 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の技術情報は、それをもって当該技術情報に関する当社または第三者の知的財産権その他の権利を許諾するものではありません。したがって、当該技術情報を使用されたことによる第三者の知的財産権に対する侵害またはこれらに関する紛争について、当社は何ら責任を負うものではありません。
- 5) 当社は、本資料に明示した用途で本製品が使用されることを意図しています。本資料に明示した用途以外への使用を検討される場合は、必ず営業窓口までお問い合わせください。また、本製品を、医療機器分類クラスⅢ、Ⅳに該当する用途に使用される際は、必ず当社へご連絡の上、書面にて承諾を得てください。
本製品を、直接生命・身体に危害を及ぼす可能性のある機器・システム、極めて高い信頼性を要求される機器(航空宇宙機器、原子力制御機器、海底中継機器等)に使用することはできません。当社の事前の書面による承諾なく、当社の意図していない用途に製品を使用したことにより生じた損害等に関し、当社は一切その責任を負いません。
- 6) 本資料に記載の内容は、改良などのため予告なく変更することがあります。本製品のご使用、ご購入に際しては、必ず事前に営業窓口で最新の情報をご確認ください。本資料に記載されております情報は、正確を期すため慎重に作成したものです。万が一、当該情報の誤り・誤植に起因して、お客様に損害が生じた場合においても、当社はその責任を負うものではありません。
- 7) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上ご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いません。
- 8) 本製品および本資料に記載の技術を輸出または国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 9) 本資料に記載されている内容または本製品についてご不明な点がございましたら営業窓口までお問い合わせください。
- 10) 本資料の一部または全部を当社の許可なく、転載・複写することを堅くお断りします。

Copyright 2020 – 2024 LAPIS Technology Co., Ltd.

ラピステクノロジー株式会社

〒222-8575 神奈川県横浜市港北区新横浜 2-4-8

<https://www.lapis-tech.com>